

Análise dos principais parâmetros e projeto de uma célula de um transistor DMOS vertical de potência

José Francisco Vieira Nogueira

Monografia apresentada na Faculdade de Engenharia Elétrica para defesa de tese de mestrado

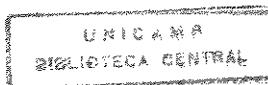
Este exemplar corresponde à edição final da tese defendida por JOSÉ FRANCISCO VIEIRA NOGUEIRA

_____ e aprovada pela Comissão Julgadora em JULHO, 1994.

Wilmar Bueno de Moraes
Orientador

Orientador: Prof. Dr. Wilmar Bueno de Moraes *16*

FACULDADE DE ENGENHARIA ELÉTRICA
UNICAMP
CAMPINAS - JULHO 1994



Agradecimentos

Aos meus pais, pelo amor, carinho, apoio e compreensão.

Ao meu orientador, Prof. Dr. Wilmar B. de Moraes, pelo auxílio e paciência em todos estes longos anos.

A todos os meus amigos: Montanha, Dudu, Sérgio, Carmem, Carla, Augusto, pessoal do LPD, etc, pelo incentivo nos momentos difíceis.

Em especial, ao meu amigo Biral, pelo inestimável auxílio (e paciência) nos trabalhos de impressão.

Aos professores, técnicos, funcionários e colegas do LED - UNICAMP.

Aos meus professores, que no passado, contribuíram para a minha formação.

À CAPES e à FAEP pelo auxílio financeiro.

Finalmente a todas aquelas pessoas invisíveis que, de alguma forma, contribuíram para a realização desta tese.

Conteúdo

1	O transistor VDMOS de potência	7
1.1	Características de operação dos transistores MOS de potência	8
1.2	Evolução dos transistores MOS de potência	10
1.3	Desenvolvimentos tecnológicos recentes	15
1.3.1	Desenvolvimentos estruturais	16
1.3.2	Novos dispositivos	19
1.3.3	Novas técnicas de integração	27
2	Tensão de transição e estudo do processo de dupla difusão	32
2.1	Tensão de transição do transistor DMOS	33
2.2	Cálculo dos perfis de difusão	35
2.2.1	Modelamento unidimensional da difusão térmica	35
2.2.2	Modelamento tridimensional da distribuição de impurezas sob a borda da máscara de óxido	44
2.2.3	Redistribuição de Boro no óxido de porta	45
2.2.4	Outros desvios da teoria unidimensional para a difusão	49
2.3	Influências das variações do processo de difusão na tensão de transição	55
3	Tensão de ruptura e técnicas de terminação de junções	62
3.1	Tensão de ruptura de junções semicondutoras	62
3.1.1	A junção abrupta	64
3.1.2	A junção tipo P ⁺ /N ⁻ /N ⁺	66
3.1.3	A junção gradual linearmente dopada	67
3.1.4	A junção difundida	69
3.2	A junção difundida real	71
3.2.1	A região cilíndrica	73
3.2.2	A região esférica	74
3.3	Técnicas de terminação de junções	76
3.3.1	Anéis de guarda difundidos	76
3.3.2	Anéis de campo flutuante	76
3.3.3	Implantação iônica de superfície	80
3.3.4	Placa de campo e anel equipotencial	82
3.3.5	Terminação em bisel	85
3.3.6	Ataque químico (etch) de contorno	90

4	Resistência de condução e capacitâncias parasitárias do transistor DMOS vertical	96
4.1	Modelamento da resistência de condução	97
4.2	Dependência da resistência de condução com a forma geométrica dos transistores	102
4.3	Otimização da espessura da camada epitaxial de uma estrutura P ⁺ /N ⁻ /N ⁺	106
4.4	Otimização do comprimento do canal L	108
4.5	Otimização do espaçamento intercelular l e da resistência de condução específica R_{ONS}	109
4.6	Influência do espaçamento intercelular l na tensão de ruptura	113
4.7	Modelamento das capacitâncias do transistor DMOS vertical	116
5	Projeto e otimização de um dispositivo VDMOS de potência	121
5.1	Projeto de um dispositivo VDMOS de potência	121
5.2	Otimização do projeto apresentado	123
5.3	Conclusões e sugestões	136
A	Máscaras utilizadas na construção do transistor VDMOS	138
B	Sequência de processos para a construção do transistor VDMOS	147
C	Sequência de processos para a calibração do etch	152
D	Simulações SUPREM	157

Lista de Figuras

1.1	O transistor MOS de potência: (a) corte transversal de uma estrutura VDMOS, (b) [1.3] curvas características de um transistor MOS de potência	9
1.2	Corte transversal de um transistor MOS canal-n convencional	10
1.3	Corte transversal de um transistor MOS lateral do tipo LDD [1.2]	11
1.4	Corte transversal de um transistor LDMOS [1.1]	12
1.5	Corte transversal de um transistor VMOS obtido através de ataque isotrópico [1.3]	14
1.6	Corte transversal e vista superior de um transistor VMOS obtido através de ataque anisotrópico [1.1]	14
1.7	Corte transversal e vista superior de um transistor UMOS [1.1]	15
1.8	Comparação do fluxo de corrente em um MOSFET de potência “state-of-the-art”(b) com um MOSFET de potência projetado segundo as regras VLSI (a) [1.4]	17
1.9	Corte transversal de célula de transistor DMOS com difusão profunda P ⁺ [1.5]	17
1.10	Sequência de processos usada na fabricação de um dispositivo onde a difusão P ⁺ é menos profunda que a difusão P [1.5]. Na figura (b) estão ilustrados os espaçadores de óxido sacrificial	18
1.11	Corte transversal de dispositivos de potência apresentando o dreno na parte superior da lâmina	19
1.12	O dispositivo IGT: (a) corte transversal, (b) curvas características [1.6]	20
1.13	Corte transversal de um diodo do tipo RESURF [1.8]	22
1.14	Corte transversal de um transistor Bipolar do tipo RESURF [1.8]	23
1.15	Sequência de processos usada na fabricação de um Trench-MOS [1.9]	24
1.16	Corte transversal de um transistor j-MOS construído sobre substrato SOS [1.10]	25
1.17	(a) Vista superficial de um dispositivo j-MOS construído sobre substrato de Silício, indicando dois cortes transversais: A-A’ e B-B’, ilustrados em (b) e (c), respectivamente [1.11]	26
1.18	Corte transversal de um dispositivo construído segundo a tecnologia BiCMOS [1.12]	28
1.19	Corte transversal de um dispositivo inteligente de potência, composto de um transistor VDMOS de potência e dois transistores MOS convencionais [1.14]	29

1.20	Corte transversal de dispositivos isolados entre si por isolação dielétrica [1.14]	30
1.21	Corte transversal de dispositivos isolados entre si por junções verticais [1.14]	31
2.1	Corte transversal simplificado do transistor VDMOS de potência	34
2.2	Perfis de concentração com fonte constante de impurezas [2.3]	38
2.3	Perfis de concentração com fonte instantânea de impurezas [2.3]	39
2.4	Perfis de concentração de impurezas após as difusões de Boro e Fósforo [2.3]: (a) perfil de concentração absoluta, (b) perfil de concentração líquida	42
2.5	Comparação entre valores teóricos e experimentais da tensão de transição [2.1]	43
2.6	Sistema de coordenadas a ser utilizado no modelo tridimensional [2.1]	44
2.7	Comparação entre os perfis de concentração de impurezas teóricos vertical e lateral [2.1]	45
2.8	Curvas de densidade de impureza constante na borda da máscara de uma estrutura planar bidimensional [2.4]	46
2.9	Concentração superficial de Boro no Silício após a oxidação térmica [2.5]	47
2.10	Variação de K para o Boro em função da profundidade para várias temperaturas de oxidação [2.5]	48
2.11	Comparação entre valores teóricos e experimentais da tensão de transição [2.1]	49
2.12	Corte transversal e perfil de impurezas, ilustrando o “Efeito E.D.E.” [2.5]	50
2.13	Influência do campo elétrico na forma do perfil de concentração de impurezas [2.5]	53
2.14	Perfil de concentração de Fósforo segundo o modelo proposto por Tsai [2.10]	54
2.15	Perfis de concentração de Boro e Fósforo, mostrando o efeito da profundidade de difusão na variação de $N_{A_{MAX}}$	55
2.16	Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal longo [2.1]	57
2.17	Efeito resultante ao se combinar todas as variações individuais de processo na tensão de transição para dispositivos de canal longo [2.1]	58
2.18	Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal curto [2.1]	59
2.19	Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal curto com posicionamento ótimo do perfil de Fósforo [2.1]	59
2.20	Efeito da variação do comprimento de canal na tensão de transição ($x_{jN} = 1 \mu\text{m}$) [2.1]	60
2.21	Influência da variação nas cargas de interface na tensão de transição [2.1]	61

3.1	Tensões de ruptura e correspondentes larguras máximas da região de depleção em função da dopagem do substrato para junções abruptas [3.1]	65
3.2	Tensões de ruptura e correspondentes larguras máximas da região de depleção para junções graduais linearmente dopadas [3.2]	68
3.3	Tensões de ruptura (a) e larguras da região de depleção em ambos os lados de uma junção difundida (b,c), em função da dopagem do substrato [3.1]	70
3.4	Distribuição de campo elétrico em uma junção semi-infinita	71
3.5	Esquema de uma junção difundida real, ilustrando as porções cilíndricas e esféricas da junção [3.2]	72
3.6	Concentração de linhas de campo elétrico na borda da região cilíndrica da junção [3.1]	72
3.7	Sistema de coordenadas usado no cálculo da tensão de ruptura para a porção cilíndrica da junção [3.1]	73
3.8	Corte transversal de um diodo com anel de guarda difundido [3.4]	77
3.9	Comparação da concentração de linhas de campo elétrico para uma junção com (a) e sem (b) anel de campo flutuante [3.1]	78
3.10	Influência do posicionamento do anel de campo flutuante em relação à junção principal na tensão de ruptura desta [3.1]	79
3.11	Influência da largura do anel de campo flutuante na concentração de linhas de campo elétrico [3.1]	80
3.12	Terminação da junção com múltiplos anéis de campo flutuante: (a) com larguras e espaçamentos entre os anéis gradualmente decrescentes, (b) com larguras e espaçamentos entre os anéis constantes [3.1]	81
3.13	Corte transversal de uma estrutura ilustrando a implantação iônica de superfície [3.1]	82
3.14	Influência das cargas de superfície no espalhamento da região de depleção na borda da junção para: (a) carga negativa, (b) carga nula, (c) carga positiva [3.1]	83
3.15	Corte transversal de uma estrutura ilustrando a placa de campo na borda da junção e a largura da região de depleção para três casos de tensão aplicada na placa: $A = +$, $B = 0$, $C = -$ [3.1]	84
3.16	Corte transversal de uma estrutura ilustrando a placa de campo e o anel equipotencial [3.4]	84
3.17	Corte transversal ilustrando a técnica de terminação em bisel com ângulo positivo [3.1]	85
3.18	Distribuição de campo elétrico ao longo da superfície para uma junção com terminação em bisel com ângulo positivo [3.1]	86
3.19	Corte transversal ilustrando a técnica de terminação em bisel com ângulo negativo [3.1]	87
3.20	Corte transversal ilustrando a técnica de terminação em bisel com ângulo negativo, em junções graduais rasas [3.1]	87
3.21	Variação do campo elétrico máximo na superfície com o ângulo negativo de desbaste [3.1]	88

3.22	Cortes transversais ilustrando terminações em bisel com duplo ângulo: (a) ângulo positivo e negativo, (b) duplo ângulo positivo [3.1]	89
3.23	Distribuição de carga para uma junção plana usando: (a) ataque químico de contorno, e (b) bisel com ângulo negativo [3.5]	90
3.24	Corte transversal ilustrando a terminação por ataque químico de contorno em junções difundidas [3.5]	92
3.25	Variação do pico de campo na superfície em função da profundidade do ataque [3.5]	93
3.26	Corte transversal ilustrando a terminação por ataque químico de contorno, onde também há remoção de cargas do substrato [3.6]	93
3.27	Corte transversal ilustrando a terminação por ataque químico de contorno, onde há remoção apenas de cargas do substrato [3.6]	94
4.1	Curvas características de um transistor DMOS de potência [4.2]	97
4.2	Corte transversal de uma célula elementar genérica de um transistor VDMOS de potência, ilustrando as parcelas componentes de R_{ON} [4.1]	98
4.3	Efeito de estrangulamento em transistores com l muito pequeno [4.1]	100
4.4	Formas geométricas tradicionais: (a) faixas simples e interdigitadas, (b) triângulos equiláteros, (c) faixas sinuosas, (d) retângulos (= quadrados alinhados se $n = l$) e quadrados desalinhados, (e) e (f) hexágonos não encaixáveis, (g) círculos alinhados, (h) círculos desalinhados e (i) hexágonos encaixáveis [4.1]	104
4.5	Gráfico do fator de forma (F) em função do espaçamento intercelular (l), para $r = 20 \mu\text{m}$ [4.1]	105
4.6	Gráfico da espessura ótima da camada epitaxial (H_{ot}) em função da tensão de ruptura (V_r) [4.1]	108
4.7	Gráfico do comprimento ótimo do canal (L_{ot}) em função da tensão de ruptura (V_r), tendo $N_{A_{MAX}}$ como parâmetro [4.1]	110
4.8	Esquemas para as parcelas de R_{ONS} de um transistor VDMOS para: (a) $r = r_1$, $l = l_1$ e (b) $r = r_1$, $l = 7 l_1$ [4.1]	111
4.9	Gráfico da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l), para várias geometrias [4.1]	112
4.10	Gráfico da condutância máxima específica ($\sigma_{ONS_{MAX}}$) em função da tensão de ruptura (V_r), para várias geometrias [4.1]	114
4.11	Influência do espaçamento intercelular (l) na tensão de ruptura (V_r) para dois casos extremos: (a) l muito pequeno e (b) l muito grande [4.2]	115
4.12	Gráfico da tensão de ruptura (V_r) em função do espaçamento intercelular (l) para várias dopagens da camada epitaxial (N_D) [4.2]	116
4.13	Gráfico do espaçamento intercelular ótimo (l_{ot}) em função da tensão de ruptura (V_r), para várias geometrias [4.1]	117
4.14	Circuito equivalente simplificado de um transistor MOS de potência [4.2]	118
4.15	Estrutura DMOS convencional com as capacitâncias indicadas [4.2]	119

4.16	Curva $C \times V$ da capacitância C_P para um dispositivo de potência [4.2]	120
5.1	Corte transversal de uma célula completa de um transistor VDMOS de potência.	122
5.2	Gráfico da tensão de ruptura (V_r) em função da profundidade do ataque (Y_1).	123
5.3	Gráfico da resistividade (ρ) em função da concentração de impurezas (N), conhecido como Curva de Irvin [5.2].	125
5.4	Gráfico da tensão de transição (V_t) em função da concentração máxima de dopantes no canal ($N_{A_{MAX}}$) [5.3].	127
5.5	Gráfico do potencial de Fermi (ϕ_F) em função da concentração líquida de impurezas (N), para Silício a 300 K. $\phi_F > 0$ para região tipo-p e $\phi_F < 0$ para região tipo-n [5.5].	129
5.6	Curvas da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l) para três geometrias: (a) T.E. = triângulos equiláteros, (b) F.S. = faixas sinuosas e (c) F.P. = faixas paralelas. Os valores apresentados referem-se ao processo descrito no Apêndice B e às máscaras apresentadas no Apêndice A	132
5.7	Curvas da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l) para as mesmas três geometrias apresentadas na figura 5.6. Neste caso, porém, utilizou-se os valores de r_{ot} e H_{ot} no cálculo de R_{ONS}	135
A.1	Máscara 1 = Difusão P ⁻	139
A.2	Máscara 2 = Difusão P ⁺	140
A.3	Máscara 3 = Difusão P [±] /N ⁺	141
A.4	Máscara 4 = Etch úmido	142
A.5	Máscara 5 = Óxido de porta	143
A.6	Máscara 6 = Abertura de contatos	144
A.7	Máscara 7 = Metalização	145
A.8	Sobreposição de todas as máscaras e corte transversal de uma célula completa do transistor VDMOS de potência	146
C.1	Corte transversal da célula para teste de etch	156
D.1	Corte transversal indicando os pontos onde foram simulados os perfis verticais	157
D.2	Perfil de Difusão - CORTE A	160
D.3	Perfil de Difusão - CORTE B	163
D.4	Perfil de Difusão - CORTE C	166
D.5	Perfil de Difusão - CORTE D	169
D.6	Perfil de Difusão - CORTE E	172
D.7	Perfil de Difusão - NVERSO	175

Resumo

Os principais parâmetros de uma célula de um transistor VDMOS de potência são: a tensão de transição, a tensão de ruptura, a resistência de condução e as capacitâncias parasitárias que surgem na estrutura. Apresenta-se a conceituação teórica destes parâmetros, bem como modos de otimizar seus valores. Desta forma, um modelo tridimensional para a difusão térmica é discutido e outros fenômenos que influenciam tal difusão são analisados. Técnicas de terminação de junções são ilustradas. Finalmente é apresentado um procedimento de projeto e sua otimização.

Lista de Símbolos

- A_0 = Área de “overlap” entre os eletrodos de fonte e porta (cm^2)
- B = Coeficiente parabólico do modelo de oxidação de Deal e Grove
- C_{GD} = Capacitância (por unidade de área) entre porta e dreno (F/cm^2)
- C_{GS} = Capacitância (por unidade de área) entre porta e fonte (F/cm^2)
- C_{in} = Capacitância (por unidade de área) total de entrada (F/cm^2)
- C_m = Amplificação na capacitância (por unidade de área) entre porta e dreno devido ao efeito Miller (F/cm^2)
- C_M = Capacitância (por unidade de área) que surge ao passar o metal da fonte sobre o eletrodo de porta (F/cm^2)
- C_{N^+} = Capacitância (por unidade de área) devido ao “overlap” do eletrodo de porta sobre a região N^+ da fonte (F/cm^2)
- C_{OX} = Capacitância por unidade de área do óxido de porta (F/cm^2)
- C_P = Capacitância (por unidade de área) da estrutura MOS (F/cm^2)
- d = Distância de conjugamento efetivo de carga (cm)
- D = Coeficiente de difusão da impureza no Silício na temperatura do processo (cm^2/s)
- D_a = Coeficiente de difusão da espécie difusora mais lenta (cm^2/s)
- D_b = Coeficiente de difusão da espécie difusora mais rápida (cm^2/s)
- D_d = Coeficiente de difusão para a impureza, na temperatura de penetração (cm^2/s)
- D_{dB} = Coeficiente de difusão de Boro na penetração (cm^2/s)
- D_{d^*} = Coeficiente de difusão de Boro na temperatura de penetração de Fósforo (cm^2/s)
- D_{ef} = Coeficiente efetivo de difusão (cm^2/s)
- d_{epi} = Espessura da camada epitaxial (cm)
- D_{OX} = Coeficiente de difusão da impureza no SiO_2 (cm^2/s)
- D_p = Coeficiente de difusão para a impureza, na temperatura de pré-deposição (cm^2/s)
- D_{pB} = Coeficiente de difusão de Boro na pré-deposição (cm^2/s)

- D_0 = "Constante" relacionada à vibração da rede (cm^2/s)
 \mathcal{E} = Módulo da intensidade do campo elétrico (V/cm)
 E_a = Energia de ativação (eV)
 \mathcal{E}_b = Campo elétrico na junção plana, na ruptura (V/cm)
 \mathcal{E}_{MAX} = Campo elétrico máximo (V/cm)
 $\mathcal{E}_{MAX(CIL)}$ = Campo elétrico máximo para a região cilíndrica (V/cm)
 \mathcal{E}_{MAX_r} = Campo elétrico máximo na ruptura (V/cm)
 $\mathcal{E}_{MAX_{rA}}$ = Campo elétrico máximo na ruptura para a junção abrupta (V/cm)
 $\mathcal{E}_{MAX_{r(CIL)}}$ = Campo elétrico máximo na ruptura para a região cilíndrica (V/cm)
 $\mathcal{E}_{MAX_{r(ESF)}}$ = Campo elétrico máximo na ruptura para a região esférica (V/cm)
 $\mathcal{E}_{MAX_{rL}}$ = Campo elétrico máximo na ruptura para a junção linearmente dopada (V/cm)
erfc = Função Erro-complementar
 \vec{f} = Densidade de fluxo de partículas ($\text{cm}^{-2}\cdot\text{s}^{-1}$)
 F = Fator de forma
 $F_{F.P.}$ = Fator de forma para faixas paralelas
 $F_{F.S.}$ = Fator de forma para faixas sinuosas
 $F_{T.E.}$ = Fator de forma para triângulos equiláteros
 G = Taxa de variação da concentração de dopantes com a distância
 g_m = Transcondutância do dispositivo (U)
 H = Espessura da camada epitaxial (cm)
 H_{ot} = Espessura ótima da camada epitaxial (cm)
 I_D = Corrente de dreno (A)
 k = Constante de Boltzmann (eV/K)
 K = Coeficiente de redistribuição
 l = Espaçamento entre as células elementares (cm)
 L = Comprimento do canal (cm)
 l_{ot} = Espaçamento ótimo entre as células do transistor (cm)
 L_{ot} = Comprimento ótimo do canal (cm)
 m = Coeficiente de segregação
 N = Concentração líquida de impurezas (cm^{-3})
 N_a = Concentração da espécie difusora mais lenta (cm^{-3})
 N_A = Concentração líquida de impurezas aceitadoras no canal (cm^{-3})
 $N_{A_{MAX}}$ = Concentração máxima de impurezas no canal (cm^{-3})
 N_b = Concentração da espécie difusora mais rápida (cm^{-3})
 N_{BC} = Concentração do substrato (cm^{-3})
 N_D = Concentração de átomos doadores (cm^{-3})

- N_{epi} = Concentração de dopantes na camada epitaxial (cm^{-3})
 n_i = Densidade intrínseca de portadores (cm^{-3})
 N_{OX} = Concentração de impurezas na interface externa do óxido (cm^{-3})
 N_S = Concentração superficial de Fósforo (cm^{-3})
 N_{Sf} = Concentração superficial de impurezas após a oxidação (cm^{-3})
 N_{Si} = Concentração superficial de impurezas antes da oxidação (cm^{-3})
 N_0 = Concentração superficial na temperatura de pré-deposição (cm^{-3})
 q = Carga unitária (Coulomb)
 Q_h = Carga em excesso armazenada fora da região depletada no lado mais dopado da junção (Coulomb/ cm^2)
 Q_I = Carga implantada na implantação iônica de superfície (Coulomb/ cm^2)
 Q_l = Carga diminuída no lado menos dopado da junção (Coulomb/ cm^2)
 Q_r = Carga removida do lado mais dopado da junção (Coulomb/ cm^2)
 Q_{rn} = Carga removida do lado n da junção (Coulomb/ cm^2)
 Q_{rp} = Carga removida do lado p da junção (Coulomb/ cm^2)
 Q_{SS} = Cargas efetivas de interface por unidade de área (Coulomb/ cm^2)
 $Q(x)$ = Densidade volumétrica de cargas (Coulomb/ cm^3)
 Q_0 = Carga introduzida durante a pré-deposição (cm^{-2})
 r = Largura da difusão P^\pm (cm)
 R_a = Resistência de acesso (Ω)
 R_{a^*} = Resistência de acesso (por Z unitário) ($\Omega \cdot \text{cm}$)
 R_A = Resistência da região de acumulação (Ω)
 R_C = Resistência de contato (Ω)
 R_{ch} = Resistência do canal (Ω)
 R_{ch^*} = Resistência do canal (por Z unitário) ($\Omega \cdot \text{cm}$)
 R_J = Resistência da região de estrangulamento (Ω)
 R_L = Resistência de carga (Ω)
 R_{N+} = Resistência da região de fonte (Ω)
 r_{N-} = Resistência de um paralelepípedo da camada epitaxial (Ω)
 R_{N-} = Resistência de corpo da camada epitaxial N^- (Ω)
 r_{N-MIN} = Valor mínimo da resistência de um paralelepípedo da camada epitaxial (Ω)
 R_{N-}^* = Resistência de corpo da camada epitaxial N^- (por Z unitário) ($\Omega \cdot \text{cm}$)
 R_{ON} = Resistência de condução (Ω)
 R_{ONS} = Resistência de condução específica ($\Omega \cdot \text{cm}^2$)
 R_{ONSMIN} = Valor mínimo da resistência de condução específica ($\Omega \cdot \text{cm}^2$)
 R_{ON^*} = Resistência de condução (por Z unitário) ($\Omega \cdot \text{cm}$)
 r_{ot} = Largura ótima da difusão P^\pm (cm)

- R_p = Alcance médio da implantação iônica (cm)
 R_S = Resistência do substrato N⁺ (Ω)
 S = Área da célula do transistor (cm²)
 t = Tempo (s)
 T = Temperatura (K)
 t_d = Tempo de penetração (s)
 t_{dB} = Tempo de penetração de Boro (s)
 t_{dF} = Tempo de penetração de Fósforo (s)
 t_{epi} = Espessura da camada epitaxial (cm)
 t_p = Tempo de pré-deposição (s)
 t_{pB} = Tempo de pré-deposição de Boro (s)
 V = Tensão aplicada (V)
 V_a = Tensão reversa aplicada à junção (V)
 V_{anel} = Tensão no anel de campo flutuante (V)
 V_{DS} = Tensão entre fonte e dreno (V)
 V_{GS} = Tensão entre porta e fonte (V)
 V_r = Tensão de ruptura (V)
 V_{rA} = Tensão de ruptura para a junção abrupta (V)
 $V_{r(CIL)}$ = Tensão de ruptura para a região cilíndrica (V)
 $V_{r(ESF)}$ = Tensão de ruptura para a região esférica (V)
 V_{rL} = Tensão de ruptura para a junção linearmente dopada (V)
 V_{SB} = Tensão entre fonte e "bulk" (V)
 V_t = Tensão de transição (V)
 V_{tMAX} = Tensão de transição máxima (V)
 W = Largura da região de depleção (cm)
 W_C = Largura da região de depleção para a região cilíndrica (cm)
 W_E = Largura da região de depleção para a região esférica (cm)
 W_h = Largura da região de depleção no lado mais dopado da junção (cm)
 W_l = Largura da região de depleção no substrato (cm)
 W_r = Largura da região de depleção na ruptura (cm)
 W_{rA} = Largura da região de depleção na ruptura para a junção abrupta (cm)
 W_{rC} = Largura da região de depleção na ruptura para a região cilíndrica (cm)
 W_{rE} = Largura da região de depleção na ruptura para a região esférica (cm)
 W_{rL} = Largura da região de depleção na ruptura para a junção linearmente dopada (cm)
 W_s = Espaçamento entre o anel de campo flutuante e a junção (cm)
 X = Distância da borda do ataque químico à da região difundida (cm)

- X_I = Espessura do isolante entre os eletrodos de fonte e porta (cm)
 x_j = Profundidade da junção (cm)
 x_{jN} = Profundidade da junção fonte/canal (cm)
 x_{jP} = Profundidade da junção canal/dreno (cm)
 X_{OX} = Espessura do óxido (cm)
 x_0 = Posição da "phase boundary" (cm)
 X_1 = Largura do ataque químico (cm)
 Y = Distância entre a superfície resultante do ataque químico e a junção (cm)
 Y_1 = Profundidade do ataque químico (cm)
 Y_{1ot} = Profundidade ótima do ataque químico (cm)
 Z = Largura do canal (cm)
 α = Coeficiente de ionização aproximado (cm^{-1})
 α = Razão da espessura de Silício consumido durante a oxidação para a espessura de óxido
 α_n = Coeficiente de ionização por impacto para elétrons (cm^{-1})
 α_p = Coeficiente de ionização por impacto para lacunas (cm^{-1})
 ΔR_p = Desvio padrão do alcance da implantação iônica
 ϵ_I = Constante dielétrica do isolante entre os eletrodos de fonte e porta (F/cm)
 ϵ_{OX} = Constante dielétrica do óxido (F/cm)
 ϵ_{Si} = Constante dielétrica do Silício (F/cm)
 θ = Ângulo de desbaste
 μ = Mobilidade dos elétrons ou lacunas ($\text{cm}^2/\text{V}\cdot\text{s}$)
 μ_n = Mobilidade dos elétrons no substrato ($\text{cm}^2/\text{V}\cdot\text{s}$)
 μ_{na} = Mobilidade dos elétrons na região de acumulação ($\text{cm}^2/\text{V}\cdot\text{s}$)
 μ_{nch} = Mobilidade dos elétrons no canal ($\text{cm}^2/\text{V}\cdot\text{s}$)
 ρ = Resistividade do substrato ($\Omega\cdot\text{cm}$)
 ϕ = Dose implantada
 ϕ_{B_a} = Potencial de corpo para a região de acumulação (V)
 ϕ_F = Potencial de Fermi (V)
 ϕ_{FN} = Potencial de Fermi para a região de acumulação (V)
 ϕ_{FP} = Potencial de Fermi para a região do canal (V)
 Φ_{MS} = Função de trabalho entre metal e semiconductor (V)
 Φ_{MSN} = Função de trabalho entre metal e semiconductor para a região de acumulação (V)
 Φ_{MSP} = Função de trabalho entre metal e semiconductor para a região do canal (V)
 $\vec{\nabla}$ = Operador gradiente

Capítulo 1

O transistor VDMOS de potência

Introdução

O transistor de efeito de campo (FET) já é conhecido desde a década de 20. Porém, devido às dificuldades tecnológicas envolvidas na fabricação de tal dispositivo, só foi possível a fabricação deste em escala industrial com o advento da tecnologia planar, viabilizada pelo uso do Óxido de Silício como máscara de difusão seletiva e como camada passivadora da superfície do Silício. Surge aí a técnica MOS (metal-óxido-semicondutor) de construção de dispositivos de efeito de campo, resultando em dispositivos que iriam competir comercialmente com aqueles fabricados através da tecnologia Bipolar, dominante na época. Mesmo assim, tais dispositivos MOS ainda apresentavam sérios problemas de migração iônica que causavam drásticas variações nos parâmetros, sendo solucionados estes problemas apenas na década de 60 [1.1].

Dentro deste contexto, insere-se o desenvolvimento dos dispositivos de potência, sendo as estruturas de quatro camadas (SCRs, DIACs e TRIACs) as primeiras a atingir sucesso comercial no que se refere à operação em altas correntes e/ou altas tensões. Estes dispositivos apresentam ainda hoje desempenhos de potência satisfatórios, cobrindo a faixa de 100 a 1000 Volts e 1 a 10 Ampéres. Também os dispositivos Bipolares de potência foram desenvolvidos rapidamente, enquanto que a tecnologia MOS era utilizada apenas em aplicações de baixa tensão e baixa corrente. Porém, esta última tecnologia presenciou um enorme desenvolvimento no que se refere à densidade de integração, sendo hoje em dia considerada como sinônimo de tecnologia VLSI [1.2].

Já os dispositivos MOS de potência passaram a competir com os dispositivos Bipolares de potência, no que se refere a altas tensões e correntes, apenas na década de 80 devido tanto a alterações na estrutura do dispositivo MOS quanto a melhorias significativas no processo de fabricação de tais dispositivos.

Atualmente, a tecnologia MOS já permite a construção de dispositivos MOS de potência na mesma lâmina que dispositivos MOS convencionais ou mesmo Bipolares, sendo que estes últimos funcionam como “controle inteligente” do acionamento dos primeiros, nos chamados **Dispositivos Inteligentes de Potência**.

Neste capítulo serão sumariamente apresentadas as características de

operação dos transistores MOS de potência, além de ser discutida a evolução de tais dispositivos, passando pelo transistor DMOS vertical de potência que é o objeto de estudo deste trabalho.

1.1 Características de operação dos transistores MOS de potência

No que se refere ao princípio de operação, o transistor MOS de potência é idêntico ao transistor MOS convencional. Portanto seu funcionamento baseia-se na formação de uma camada condutiva, denominada **canal**, na superfície do material semiconductor, induzida pelo campo elétrico resultante da aplicação de uma tensão sobre o eletrodo de **porta** (gate), que encontra-se separado do semiconductor por uma fina camada de material isolante (geralmente Óxido de Silício) [1.2]. Tem-se então, ao contrário dos transistores Bipolares, um dispositivo controlado por tensão, onde a corrente que circula entre os terminais de **fonte** e **dreno** é quase totalmente devida ao movimento de portadores majoritários.

O fenômeno da modulação da condutividade do canal por tensão já é totalmente conhecido e encontra-se vasta literatura sobre o assunto (por exemplo, [1.1]), não sendo então necessário expor aqui tal teoria.

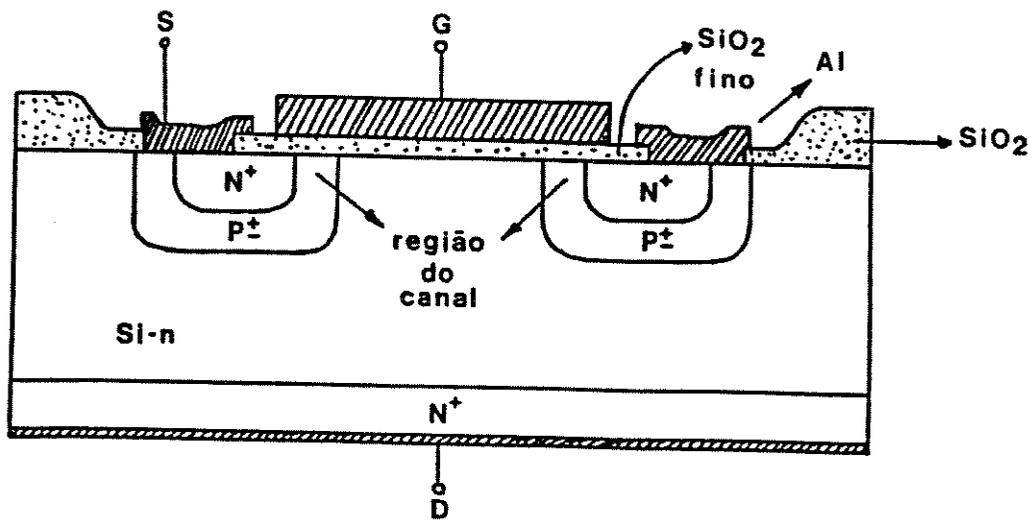
Cabe aqui dizer que, da mesma forma que os transistores MOS convencionais, os transistores MOS de potência podem ser canal-n (onde o canal se forma em uma região tipo-p) e canal-p (onde o canal se forma em uma região tipo-n), ambos podendo ainda ser do tipo enriquecimento (não existe o canal para tensão nula de porta) ou depleção (já existe o canal para tal condição).

A figura 1.1a ilustra um transistor MOS de potência do tipo VDMOS canal-n (o significado desta nomenclatura será explicado mais adiante), enquanto a figura 1.1b ilustra as curvas características deste transistor.

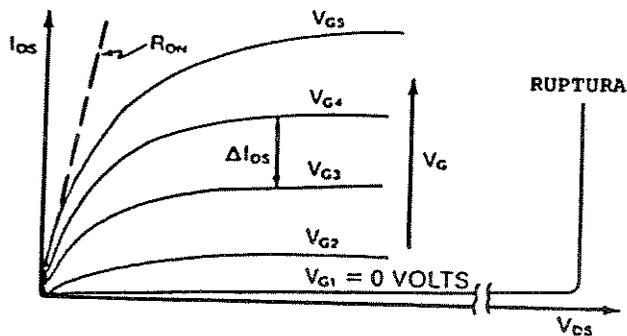
Como pode ser observado na figura 1.1b, tal transistor é capaz de suportar altas tensões reversas somente no primeiro quadrante de sua curva característica (existe também a possibilidade de operação no terceiro quadrante, como retificador quase ideal; caso que não será estudado aqui) [1.3].

Observa-se também da figura 1.1a que o metal do terminal de fonte interconecta as regiões de fonte e canal (isto é feito para evitar o "Latch-up" do transistor Bipolar parasitário existente na estrutura). Desta forma, a tensão reversa será suportada apenas pela região de depleção da junção canal/dreno, que surge ao se aplicar uma tensão positiva no **dreno** (supondo o terminal de fonte aterrado). À medida que a tensão reversa aplicada no dreno aumenta, aumenta a largura da região de depleção da junção canal/dreno, até o momento onde ocorrer a ruptura por avalanche desta junção. Então, a tensão de dreno para a qual ocorre tal ruptura é a máxima tensão reversa que o dispositivo pode suportar.

Com relação à condução de corrente, para uma tensão de porta nula, o dispositivo não conduz (a menos de uma pequena corrente de fuga). Ao se aplicar uma tensão positiva no eletrodo de porta, ocorre a formação do canal na região onde a dopagem era do tipo P, que proporcionará um caminho condutivo entre os



(a)



(b)

Figura 1.1: O transistor MOS de potência: (a) corte transversal de uma estrutura VDMOS, (b) [1.3] curvas características de um transistor MOS de potência

terminais de fonte e dreno. A tensão de porta controla então a espessura do canal, de forma que, aumentando tal tensão, aumentar-se-á a condutância entre a fonte e o dreno.

Existe porém duas diferenças fundamentais entre o transistor VDMOS canal-n (mostrado na figura 1.1a) e o transistor MOS canal-n convencional. A figura 1.2 ilustra um dispositivo deste tipo.

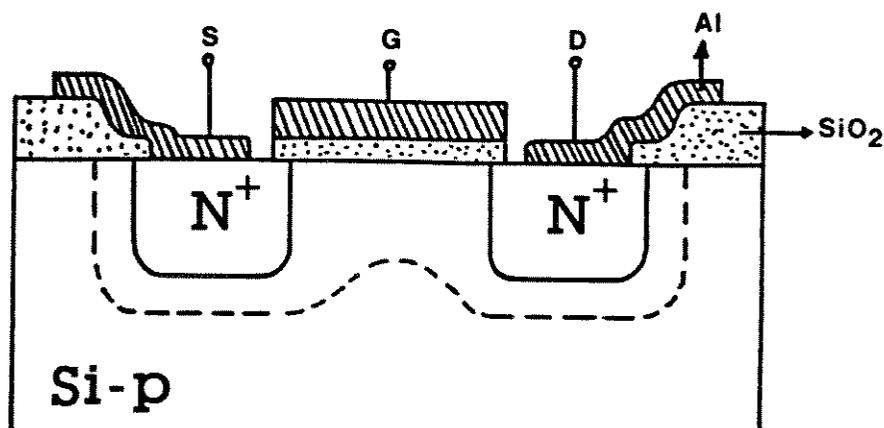


Figura 1.2: Corte transversal de um transistor MOS canal-n convencional

A primeira diferença refere-se à condução de corrente: no dispositivo MOS convencional a corrente circula entre o terminal do dreno e da fonte, passando pela região N^+ do dreno, pelo canal e pela região N^+ da fonte, não havendo correntes circulando no substrato. Já no transistor VDMOS, a corrente circula entre os terminais de dreno e fonte (o primeiro sendo encontrado na parte inferior da lâmina), necessitando para isto atravessar uma região considerável do substrato epitaxial N^- . Isto implica no aparecimento de uma alta resistência de condução, diminuindo a capacidade de tal dispositivo conduzir corrente. Tal resistência de condução será estudada detalhadamente mais adiante.

A segunda diferença reside no fato de que a região de depleção da junção dreno/substrato do transistor MOS convencional (mostrada na figura 1.2) envolve as regiões de fonte, canal e dreno, isolando eletricamente estas do substrato, podendo-se então construir dois dispositivos bem próximos um do outro na lâmina. Já no transistor VDMOS, o contato de dreno ocupa toda a superfície inferior da lâmina (isto é feito para aumentar a coleta de corrente), não sendo portanto isolado do substrato.

1.2 Evolução dos transistores MOS de potência

Apesar do transistor MOS convencional (mostrado na figura 1.2) possuir uma configuração ideal do ponto de vista da integração via um processo de fabricação planar, ele não é ideal para aplicações de potência, onde requer-se altas tensões, devido a vários problemas que podem ocorrer [1.2].

Da mesma forma que no transistor VDMOS, a máxima tensão reversa que o dispositivo pode suportar corresponde à máxima tensão aplicada no dreno, com a qual ainda não ocorre a ruptura por avalanche da junção dreno/substrato. Porém, como será visto no Capítulo 3, o valor desta tensão de ruptura depende da profundidade da junção de dreno, sendo menor tal valor para junções rasas, como ocorre no transistor MOS convencional. Portanto, tal transistor não irá apresentar altos valores para a tensão de ruptura, o que é indesejável.

Um segundo fenômeno que pode ocorrer ao se aplicar altas tensões reversas no dreno de um transistor MOS convencional é o “punchthrough” entre dreno e fonte, resultante da região de depleção da junção dreno/substrato atingir a junção fonte/substrato.

Finalmente pode ocorrer a ruptura (ou perfuração) do óxido de porta na região entre porta e dreno, devido à alta concentração de linhas de campo elétrico nesta região. Tal campo surge porque o eletrodo de porta superpõe parcialmente a região de dreno (devido à difusão lateral que ocorre ao se difundir tal junção; fato este que será analisado no Capítulo 2) [1.1].

Uma evolução estrutural do dispositivo permitiu amenizar alguns destes problemas. A figura 1.3 ilustra um transistor MOS do tipo LDD (light-doped drain).

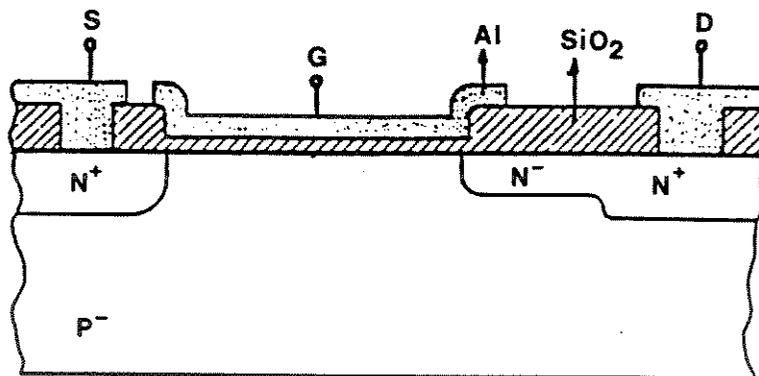


Figura 1.3: Corte transversal de um transistor MOS lateral do tipo LDD [1.2]

Este dispositivo apresenta as junções de fonte e dreno mais espaçadas do que no transistor MOS convencional a fim de evitar o punchthrough entre dreno e fonte. A fim de aumentar a tensão de ruptura da junção dreno/substrato, usa-se uma profundidade maior em tal junção, incluindo porém uma junção rasa e pouco dopada N⁻ entre o canal e a junção de dreno principal. Esta junção rasa pode ser obtida por implantação iônica ou difusão a partir de óxido dopado e auxilia na diminuição da concentração de linhas de campo elétrico na borda do eletrodo de porta [1.2].

Desta forma, o dispositivo suporta tensões mais altas do que o transistor MOS convencional. Porém, ao se afastar o dreno da fonte, prejudica-se o desempenho em corrente, já que se aumenta a resistência de condução do dispositivo, parâmetro

que será estudado no Capítulo 4.

Com o auxílio da dupla difusão foi possível desenvolver dispositivos que apresentassem melhorias em relação ao transistor MOS convencional para características tanto de tensão quanto de corrente. A figura 1.4 ilustra um transistor utilizando a dupla difusão, onde a fonte e o dreno são coplanares. Tal dispositivo é denominado DMOS lateral ou LDMOS.

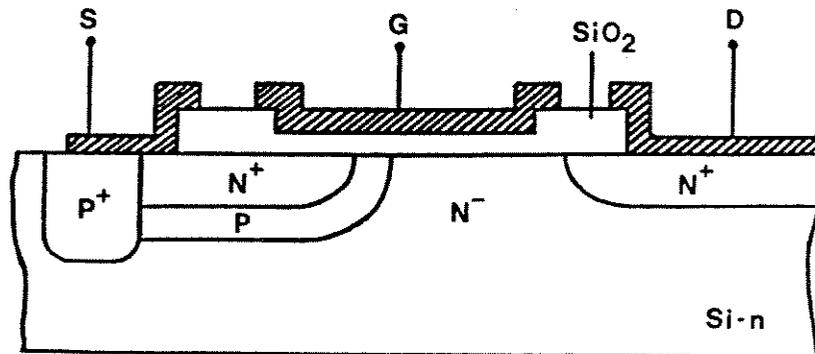


Figura 1.4: Corte transversal de um transistor LDMOS [1.1]

Neste dispositivo é realizada inicialmente uma difusão P, aonde será formado o canal e, sequencialmente na mesma janela de difusão, é realizada uma difusão N^+ de fonte (como pode ser observado na figura). Desta forma, o comprimento do canal é obtido pela diferença entre as difusões laterais das duas junções, sendo assim possível obter canais bem curtos (da ordem de 1 a 2 micra) [1.2]. O comprimento do canal passa então a depender apenas do processo de dupla difusão.

Através deste processo, é possível também controlar a concentração máxima de dopantes na superfície do canal (já que este não será mais formado na superfície do substrato e sim em uma região difundida), o que influencia no valor da tensão de transição do dispositivo, como será visto adiante.

O comprimento do canal também não será diminuído pela região de depleção da junção canal/dreno, já que o canal é bem mais dopado que o substrato e a região de depleção estende-se predominantemente no lado N^- .

Observando ainda a figura 1.4, verifica-se uma dopagem profunda P^+ em uma das bordas da região da fonte e do canal. Esta difusão é feita para facilitar o curto-circuito entre estas duas regiões, obtido através da metalização de fonte. Como já foi dito, isto é feito para evitar o "latch-up" do transistor Bipolar parasitário existente na estrutura.

Além do transistor LDMOS ser limitado em termos da corrente e da tensão reversa máxima [1.2], neste dispositivo ocorre uma grande perda de área ativa de cada célula básica para a realização da difusão de dreno.

A fim de solucionar este último problema, pode-se empregar estruturas não coplanares, como o transistor DMOS vertical ou VDMOS (como o ilustrado na figura 1.1a).

Neste dispositivo, o contato de dreno é realizado na parte inferior da

lâmina, facilitando assim as interconexões de porta e fonte na superfície do dispositivo. Deste modo, não há perda de área para a realização da difusão de dreno.

O fluxo de portadores ocorrerá verticalmente assim que a região de canal é transposta, podendo-se ajustar a espessura da camada epitaxial (como será visto no Capítulo 4) de modo a se obter uma menor resistência de condução nesta região.

Uma outra vantagem do VDMOS sobre o LDMOS reside no fato da região de depleção da junção canal/dreno extender-se verticalmente, e não horizontalmente, como no LDMOS, onde torna-se necessário um grande espaçamento entre fonte e dreno [1.2].

A localização do dreno também favorece a construção de estruturas de terminação para suavizar o alto campo elétrico que surge nas bordas do dispositivo, como será visto no Capítulo 3. Por outro lado, torna-se impossível a construção de mais de um dispositivo em um substrato, já que este é propriamente o dreno.

Uma grande vantagem dos transistores MOS em geral (sobre os dispositivos Bipolares) está no fato destes apresentarem, para a corrente de dreno, um coeficiente de temperatura negativo (o dispositivo não se destrói por excesso de dissipação de potência, originada por uma sobrecarga de tensão ou corrente) [1.1; 1.2], o que permite a ligação em paralelo de vários transistores, aumentando assim a capacidade de corrente.

Verifica-se da figura 1.1a que, devido à sua forma estrutural, o transistor VDMOS se presta bem para esta repetição.

Uma outra variação tecnológica que surgiu a partir do transistor LDMOS é o transistor VMOS. Tal dispositivo também utiliza a técnica da dupla difusão, porém seu canal é praticamente vertical, realizado nas paredes de um sulco que se abre na superfície da lâmina, geralmente por "plasma etching".

Estes sulcos podem ser obtidos tanto por ataque isotrópico como por ataque anisotrópico da lâmina de Silício, resultando em dois tipos de dispositivos ligeiramente diferentes. A figura 1.5 ilustra um transistor VMOS obtido através de ataque isotrópico. Como o ataque ocorre também lateralmente à janela de óxido sob esta, forma-se uma borda, que será aproveitada para ajustar com melhor precisão a metalização sobre a região do canal. Assim, faz-se a metalização em um ângulo no qual a projeção das bordas localiza-se exatamente sobre a região do canal, obtendo-se uma estrutura alinhada. Porém, a realização de tal dispositivo é bastante complicada [1.1].

Por outro lado, os dispositivos VMOS obtidos através de ataque anisotrópico da lâmina de Silício são bem mais simples de serem realizados. Os sulcos são abertos na superfície de lâminas $\langle 100 \rangle$, sendo que a corrosão se dá em direções preferenciais, resultando em canaletas em forma de V (daí a denominação do dispositivo). A figura 1.6 ilustra tal dispositivo.

Da mesma forma que os transistores VDMOS, os transistores VMOS possuem o dreno na parte inferior do substrato, o que facilita a repetição da célula, além de economizar área ativa na superfície da lâmina. O comprimento do canal também pode ser bem ajustado através do controle da dupla difusão.

Um outro transistor que se enquadra nesta categoria é o UMOS, mostrado na figura 1.7. Ele é em tudo idêntico ao VMOS, diferindo apenas no etch,

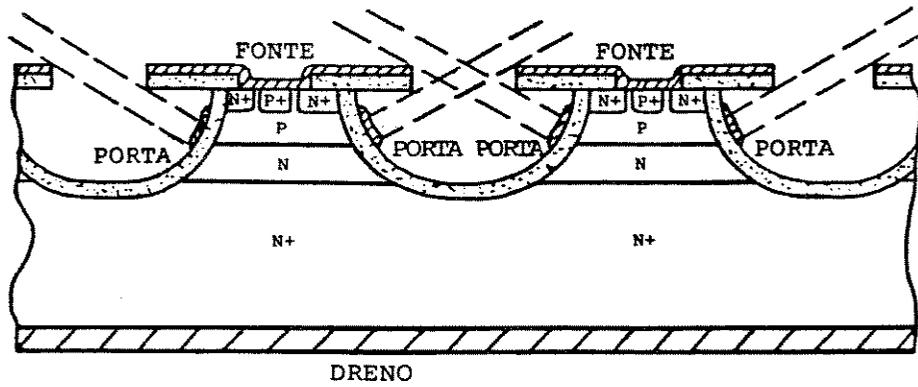


Figura 1.5: Corte transversal de um transistor VMOS obtido através de ataque isotrópico [1.3]

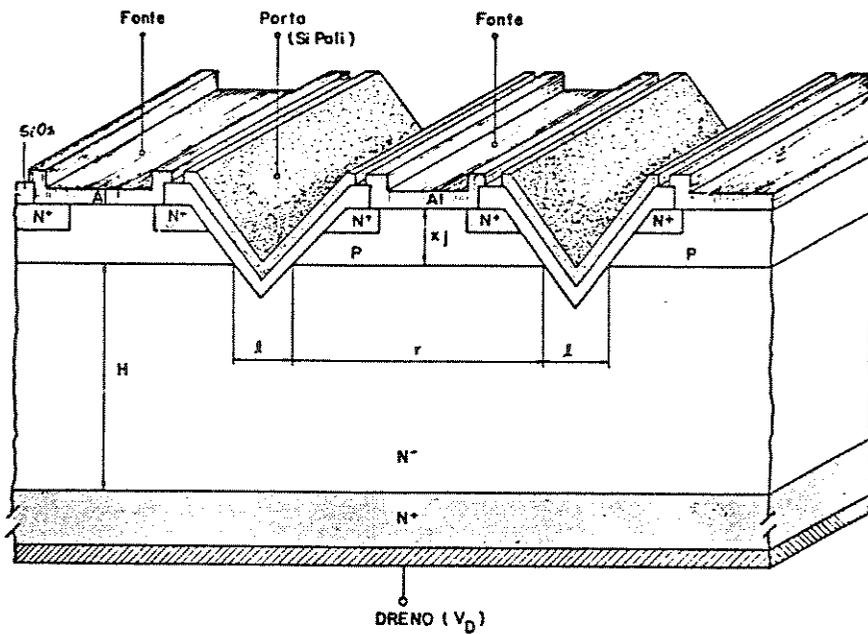


Figura 1.6: Corte transversal e vista superior de um transistor VMOS obtido através de ataque anisotrópico [1.1]

que é interrompido antes de atingir a forma de V. Por isto, possui a vantagem de apresentar menores campos elétricos na parte inferior do etch, que possui uma forma menos abrupta, se comparada ao transistor VMOS (este possui a terminação do etch em quina).

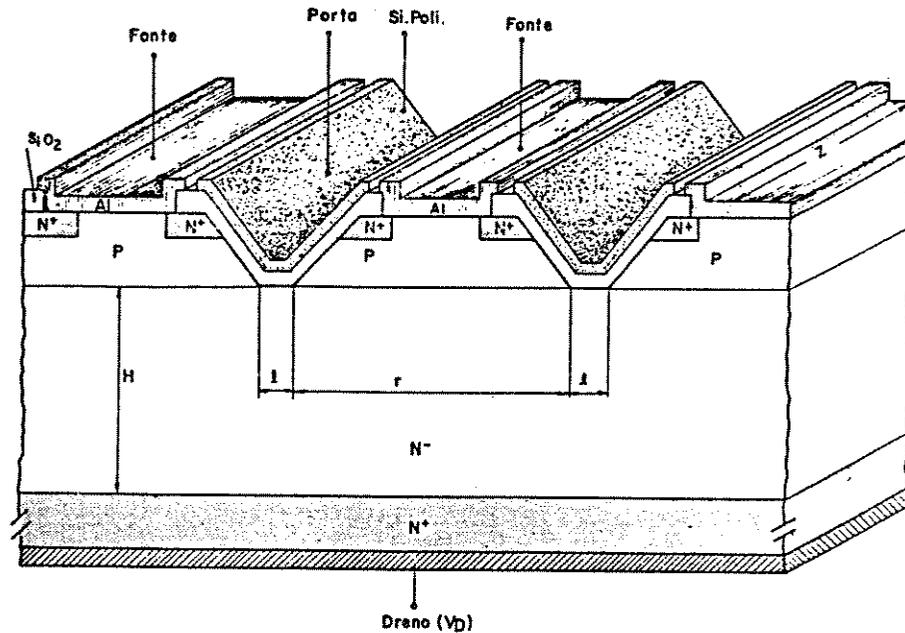


Figura 1.7: Corte transversal e vista superior de um transistor UMOS [1.1]

Atualmente, os transistores VDMOS são mais utilizados comercialmente do que os transistores VMOS e UMOS, por ser mais fácil sua construção [1.2], e por apresentarem maiores tensões de ruptura comparada com a dos transistores VMOS com a mesma dopagem e espessura da camada epitaxial [1.3].

1.3 Desenvolvimentos tecnológicos recentes

Como se pode observar na seção anterior, os transistores LDMOS, VDMOS, VMOS e UMOS já apresentam um desenvolvimento considerável em relação aos primeiros transistores MOS, no que se refere à capacidade de suportar altas tensões reversas e, ao mesmo tempo, conduzir altas correntes.

Mesmo assim, novas melhorias em tais dispositivos têm sido atualmente pesquisadas e novos dispositivos têm sido construídos, obtendo-se resultados espantosos.

A fim de se obter dispositivos capazes de operar com maiores tensões e correntes, precisa-se progressivamente melhorar e inovar a tecnologia de fabricação destes. Apenas como exemplo, pode-se citar: a técnica de implantação iônica, a utilização de Silício policristalino como material de porta, a utilização de silicetos para interconexões e a utilização de dopagem por transmutação de neutrons (um

processo que converte um isótopo de Silício em Fósforo através da absorção de neutrons térmicos, resultando em excelente uniformidade) como desenvolvimentos na tecnologia de fabricação de dispositivos. Em alguns casos, chega-se bem próximo do limite teórico possível, como cita Baliga em [1.4] em relação à resistência de condução específica, onde já se obtém resistências da ordem de $0,3 \text{ m}\Omega \cdot \text{cm}^2$ para dispositivos com tensão de ruptura de 50 V (o limite teórico do Silício para esta faixa de tensão é $0,15 \text{ m}\Omega \cdot \text{cm}^2$). Neste exemplo, a fim de reduzir ainda mais tal resistência, necessitaria abandonar as lâminas de Silício e optar por outros materiais semicondutores (Baliga cita, por exemplo, Carbetto de Silício).

Nesta seção pretende-se apresentar alguns desenvolvimentos estruturais que surgiram na última década, bem como novos dispositivos que são construídos empregando-se tecnologias mistas (Bipolar e MOS, ou MOS e FET), culminando nos dispositivos inteligentes de potência, que representam o estágio atual de desenvolvimento da tecnologia de dispositivos de potência.

1.3.1 Desenvolvimentos estruturais

Até pouco tempo, as regras de projeto desenvolvidas para as tecnologias VLSI (utilizando apenas dispositivos MOS convencionais) não eram empregadas na fabricação de dispositivos de potência, sendo que as regras de projeto empregadas nestes foram sendo desenvolvidas paralelamente. Verificou-se porém que [1.4] o emprego de tais regras VLSI podem também beneficiar os transistores MOS de potência.

Um exemplo disto é mostrado na figura 1.8, onde são comparadas as distribuições de corrente dentro da região de deriva para um transistor VDMOS, onde foram empregadas regras de projeto VLSI (figura 1.8a), e para um transistor VDMOS otimizado segundo as regras tradicionais específicas para transistores de potência (figura 1.8b).

Observando tal figura, nota-se que a região de deriva é mais efetivamente utilizada para o transporte de corrente (a corrente flui por toda a região epitaxial) quando o tamanho da janela de polisilício é reduzido, utilizando-se regras de projeto VLSI (figura 1.8a). No outro caso, apenas o comprimento de canal é minimizado, a fim de diminuir a resistência de condução, controlando-se as profundidades da dupla difusão, sem porém utilizar as regras VLSI.

Verificou-se que a resistência de condução específica pode ser reduzida à metade através do uso de tais regras [1.4].

Uma segunda inovação na tecnologia de fabricação de dispositivos de potência surgiu com a necessidade de escalonamento das dimensões dos mesmos a fim de melhorar a eficiência de chaveamento em altas frequências.

Normalmente, os transistores MOS de potência construídos em grandes áreas apresentam uma difusão profunda P^+ (como ilustra a figura 1.9), cuja função é de fornecer baixa resistência de contato entre a metalização e a difusão de canal tipo-p, além de reduzir a resistência de folha desta difusão sob a difusão N^+ de fonte. Ao se reduzir a resistência de folha da difusão de canal também melhora-se a imunidade do dispositivo a latch-up.

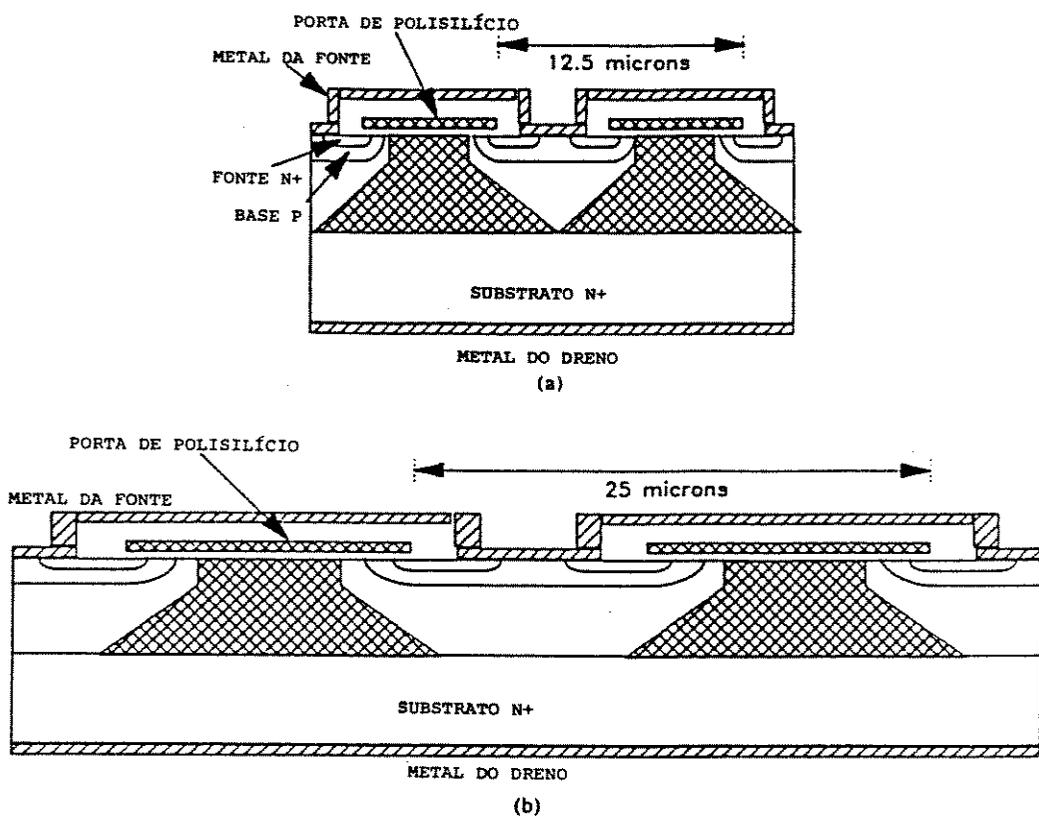


Figura 1.8: Comparação do fluxo de corrente em um MOSFET de potência “state-of-the-art”(b) com um MOSFET de potência projetado segundo as regras VLSI (a) [1.4]

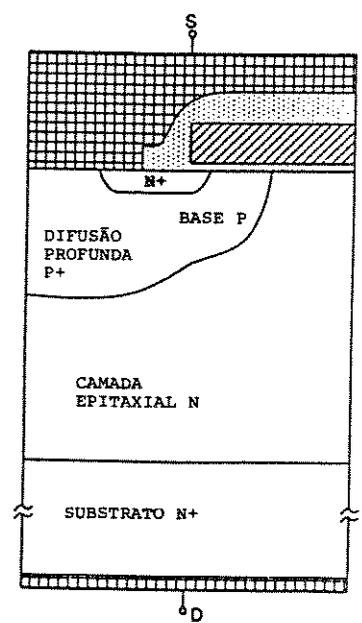


Figura 1.9: Corte transversal de célula de transistor DMOS com difusão profunda P+ [1.5]

Porém, ao se reduzir as dimensões do dispositivo, esta difusão profunda P^+ torna-se indesejável pois, além de limitar a redução na espessura da camada epitaxial (esta deve ser mais espessa para acomodar a difusão profunda), deteriora-se as características da tensão de ruptura e resistência de condução, já que a curvatura das bordas da junção é reduzida, especialmente em pequenas janelas de difusão [1.5].

Uma solução para este problema é ilustrada na figura 1.10, onde a difusão P^+ apresenta uma profundidade menor do que a difusão P de canal, sendo a primeira construída com o auxílio de espaçadores de óxido sacrificial, formados antes da difusão N^+ de fonte.

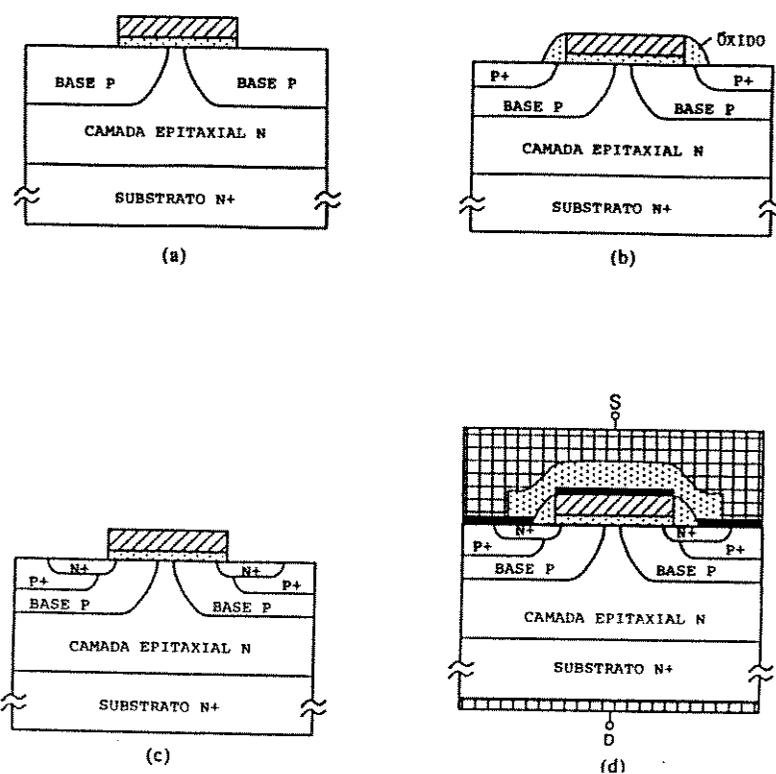


Figura 1.10: Sequência de processos usada na fabricação de um dispositivo onde a difusão P^+ é menos profunda que a difusão P [1.5]. Na figura (b) estão ilustrados os espaçadores de óxido sacrificial

Finalmente, a fim de se implementar transistores VDMOS nos chamados dispositivos inteligentes de potência, tem-se utilizado em dispositivos de baixa tensão de ruptura (até 100 V) camadas enterradas funcionando como dreno. A corrente coletada nestas é trazida para a superfície através de junções profundas N^+ , localizadas periodicamente entre as áreas ativas de vários transistores, como ilustra a figura 1.11 [1.4].

Esta solução é, no entanto, recomendável apenas para dispositivos de baixa tensão de ruptura pois, para altas tensões de ruptura, o espaço ocupado pela difusão profunda N^+ torna-se muito grande.

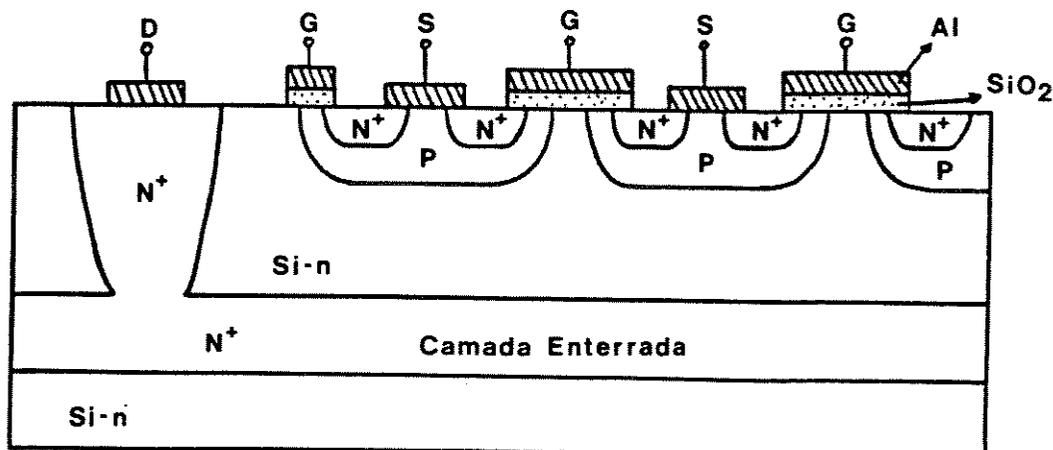


Figura 1.11: Corte transversal de dispositivos de potência apresentando o dreno na parte superior da lâmina

1.3.2 Novos dispositivos

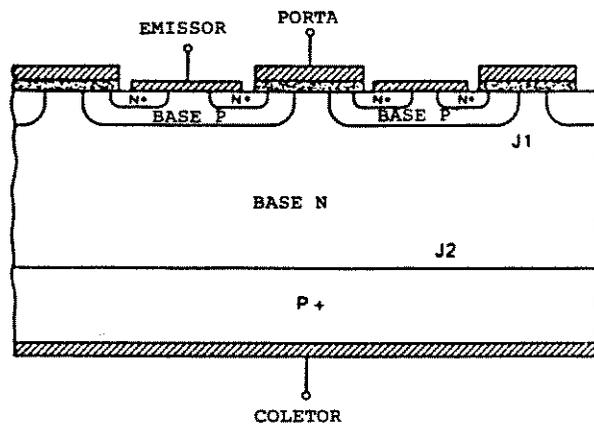
O IGT ou COMFET

Apesar dos transistores MOS de potência apresentarem algumas características ideais para aplicações em chaveamento de potência, como alta velocidade de chaveamento e pequena tensão (e corrente) de porta, tais dispositivos apresentam uma alta resistência de condução, resultando em baixas densidades de corrente (e portanto maiores dimensões da pastilha). Já os transistores Bipolares de potência podem operar com maiores densidades de corrente, apresentando porém a desvantagem de requererem altas correntes de base.

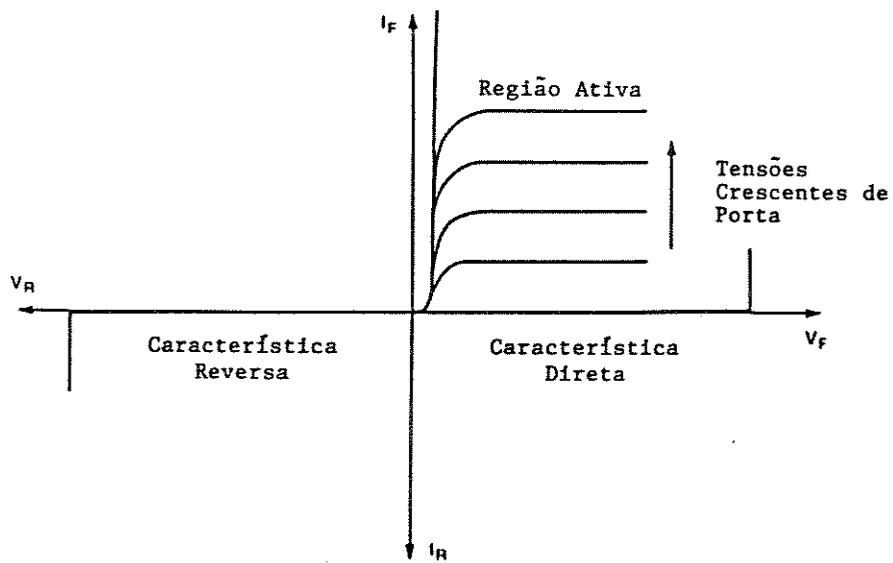
A fim de solucionar este problema, foi desenvolvido um dispositivo denominado IGT (Insulated Gate Transistor) [1.6], também conhecido por COMFET (Conductivity Modulated FET) [1.7], cujo perfil está mostrado na figura 1.12a.

Como pode ser observado, tem-se na realidade um transistor VDMOS, onde a camada epitaxial tipo-n é crescida sobre uma lâmina tipo-p (e não n, como no VDMOS), formando assim uma junção. Desta forma, ao se aplicar uma tensão negativa no coletor em relação ao emissor, não haverá fluxo de corrente já que a junção J_2 estará reversamente polarizada (bloqueio reverso). Por outro lado, ao se polarizar **diretamente** a junção J_2 , aplicando-se uma tensão positiva no coletor, e ao mesmo tempo curto-circuitar a porta ao emissor, a junção J_1 torna-se reversamente polarizada (bloqueio direto). Porém, ao se aplicar uma tensão positiva na porta, forma-se um canal, possibilitando a condução de corrente.

Neste último modo de operação reside a grande vantagem do IGT: a junção J_2 está diretamente polarizada de forma que o substrato P^+ injeta lacunas na região n, modulando esta (daí o segundo nome do dispositivo) e conseqüentemente diminuindo a resistência de condução já que aqui, esta resistência será determinada



(a)



(b)

Figura 1.12: O dispositivo IGT: (a) corte transversal, (b) curvas características [1.6]

pelas concentrações e mobilidades dos portadores em excesso, e não pela dopagem da camada epitaxial.

Na figura 1.12b estão representadas as curvas características do IGT. Nota-se que enquanto a tensão de porta é suficientemente alta para produzir uma alta condutividade na camada de inversão, o dispositivo comporta-se como um **di-odo**. Porém, quando a condutividade desta região é baixa, uma queda de tensão semelhante à observada nos transistores MOS aparece e a corrente satura. Nota-se também nesta figura um deslocamento para a direita em relação à origem das curvas características. Este deslocamento corresponde aos 0,7 V necessários para polarizar diretamente a junção J_2 .

Para desligar o dispositivo, basta curto-circuitar a porta ao emissor, removendo assim a camada de inversão. Porém, como havia uma grande concentração de elétrons na camada epitaxial (base) próximo de J_2 , existia uma grande injeção de elétrons desta no coletor P^+ e uma grande injeção de lacunas no sentido inverso. À medida que tal concentração de elétrons diminui, diminui também a injeção até restar apenas um plasma de elétrons e lacunas na camada epitaxial, que desaparecerá por recombinação. Então o processo de “turn-off” compreende duas fases: uma primeira, onde a corrente de coletor decai rapidamente, e uma segunda onde a corrente decai exponencialmente, formando uma cauda. Este longo tempo de “turn-off” é então a grande desvantagem do IGT. Para resolver este problema, coloca-se uma fina camada N^+ entre a camada epitaxial N^- e o substrato P^+ com a função de diminuir a eficiência de injeção dos portadores.

Resultados experimentais [1.6] apresentaram uma densidade de corrente 20 vezes maior que a dos dispositivos MOS e 5 vezes maior que a dos dispositivos Bipolares, para a mesma tensão de operação (tensão de ruptura de 600 V).

Deve-se evitar porém o “latch-up” do tiristor parasitário presente na estrutura entre emissor e coletor, pois se isto acontece, a corrente não pode mais ser controlada pela porta e necessitar-se-á diminuir a corrente de coletor abaixo da corrente de manutenção do tiristor a fim de desligar o dispositivo. Para se evitar o “latch-up”, pode-se acrescentar uma difusão P^+ na região do canal (como já comentado anteriormente) a fim de aumentar a condutividade desta região, além de utilizar um emissor N^+ estreito.

O RESURF

Uma outra categoria de dispositivos que tem sido recentemente pesquisada compreende os chamados RESURFs (Reduced Surface Field Devices) [1.8].

Em geral, dispositivos com altas tensões de ruptura são construídos em substratos de Silício, onde são crescidas espessas camadas epitaxiais a fim de acomodar difusões profundas. Porém, tais características não são compatíveis com a integração de vários dispositivos em uma só lâmina nos chamados dispositivos inteligentes de potência.

Foram então estudados mecanismos para se obter altas tensões de ruptura em finas camadas epitaxiais. Descobriu-se que [1.8], se satisfeitas determinadas características, maiores tensões de ruptura eram obtidas em estruturas que apresen-

tavam menores espessuras da camada epitaxial, e vice-versa.

Na figura 1.13 está ilustrado um diodo do tipo RESURF.

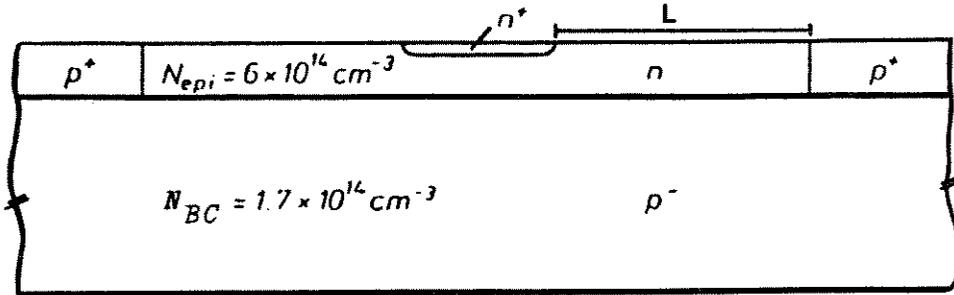


Figura 1.13: Corte transversal de um diodo do tipo RESURF [1.8]

Nesta figura, a distância L entre o contato N^+ e a difusão lateral P^+ (que possibilita a isolamento do dispositivo) é muito maior do que a espessura da camada epitaxial. Observa-se também que o dispositivo apresenta dois tipos de junções distintas: junção horizontal (junção N^-/P^-) e junção vertical (junção N^-/P^+).

Como será visto no Capítulo 3, normalmente a tensão de ruptura da junção vertical é menor do que a tensão de ruptura da junção horizontal, sendo que a ruptura do dispositivo ocorreria primeiramente na junção vertical.

Descobriu-se porém que, reduzindo-se a espessura da camada epitaxial, a junção horizontal exerce influência na junção vertical, de modo que, aumentando-se a tensão reversa aplicada, a região de depleção se alargará mais ao longo da superfície, ocorrendo a depleção total da camada epitaxial, de forma que a ruptura ocorrerá na junção horizontal (já que a junção vertical está praticamente desconectada da difusão N^+ devido à depleção total).

Cálculos numéricos [1.8] mostraram que a tensão de ruptura ótima é obtida quando:

$$N_{epi} \times d_{epi} \simeq 10^{12} \quad [\text{cm}^{-2}] \quad ; \quad L \gg d_{epi} \quad (1.1)$$

onde:

- N_{epi} = concentração de dopantes na camada epitaxial (cm^{-3}),
- d_{epi} = espessura da camada epitaxial (cm),
- L = distância entre as bordas das difusões N^+ e P^+ (cm),

para uma dada concentração de substrato.

A partir da estrutura do diodo RESURF, pode-se obter outros dispositivos, também empregando a técnica de camada epitaxial fina. A figura 1.14 ilustra um transistor Bipolar RESURF de potência, obtido através de uma difusão N^+ sobre a região de isolamento P^+ . A fim de tornar o transistor mais eficiente, é preferível alargar a difusão P^+ com uma difusão rasa de base [1.8]. Neste dispositivo, o coletor é formado pela difusão N^+ juntamente com a camada epitaxial N^- .

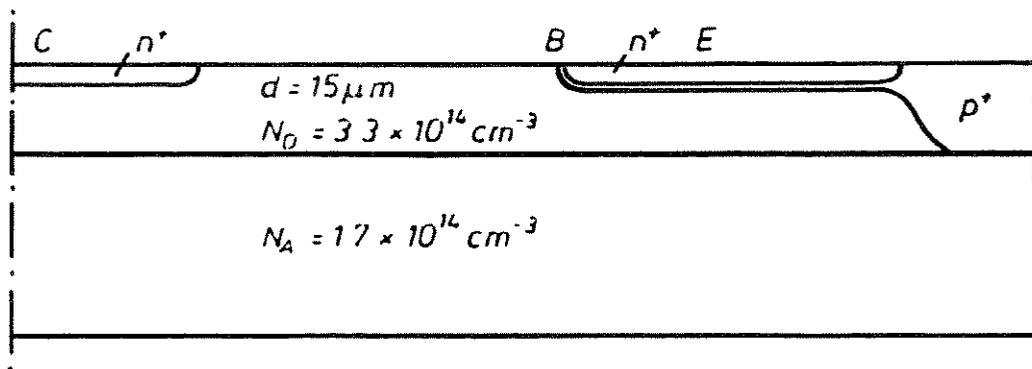


Figura 1.14: Corte transversal de um transistor Bipolar do tipo RESURF [1.8]

Observa-se desta figura que a região de base está conectada ao substrato. Desta forma, todos os dispositivos integrados em uma mesma lâmina estarão interligados. Pode-se evitar isto fazendo uma difusão isolada de base.

Cabe observar que os dispositivos RESURF não se limitam a diodos e transistores Bipolares, sendo que a técnica pode ser também aplicada com eficiência em transistores JFET, MOS e tiristores.

O Trench-MOS

Como já foi dito anteriormente, uma das grandes vantagens dos transistores VMOS sobre os transistores LDMOS era a maior densidade de células apresentada pelos primeiros, que possibilitava otimizar a capacidade do dispositivo de fornecer corrente, para uma dada tensão de ruptura.

Um outro tipo de dispositivo desenvolvido a partir dos transistores VMOS foi o chamado "Trench-MOS" onde, ao invés de um etch anisotrópico (portanto em forma de V ou U) realizado na superfície da lâmina, era aberta uma trincheira (trench) com fundo quadrado, utilizando-se para isto a técnica de RIE (Reactive Ion Etching), um tipo de etch por plasma.

Porém, constatou-se que tais transistores Trench-MOS apresentavam características de operação inferiores aos VDMOS similares, principalmente em relação à condução de corrente. Isto é devido ao fato da mobilidade dos elétrons em um canal MOS formado nas paredes laterais da trincheira ser 20% menor do que a correspondente mobilidade em um canal MOS formado na superfície da lâmina [1.9]. Diminuindo-se a mobilidade dos elétrons, aumenta-se a resistência de condução (como será visto no Capítulo 4). Além disto, ao se realizar o etch por plasma, a mobilidade dos elétrons era ainda mais degradada, devido aos danos na estrutura cristalina causados pelo bombardeamento iônico, e também devido aos resíduos poliméricos e contaminantes introduzidos pelo processo.

Outro problema apresentado pelos Trench-MOS residia na não uniformidade do óxido de porta. A espessura do óxido crescido ao longo das paredes laterais da trincheira (orientação $\langle 110 \rangle$) é quase 20% maior do que a espessura do óxido crescido no fundo da trincheira (orientação $\langle 100 \rangle$), devido à influência da orientação cristalográfica na oxidação.

Atualmente foram desenvolvidos processos otimizados de etch, além de processos melhorados de limpeza das paredes das trincheiras, e técnicas de planarização do polisilício [1.9], que permitiram obter dispositivos Trench-MOS com desempenhos semelhantes e até superiores aos dos correspondentes VDMOS.

A figura 1.15 ilustra a sequência de processos para a obtenção do Trench-MOS.

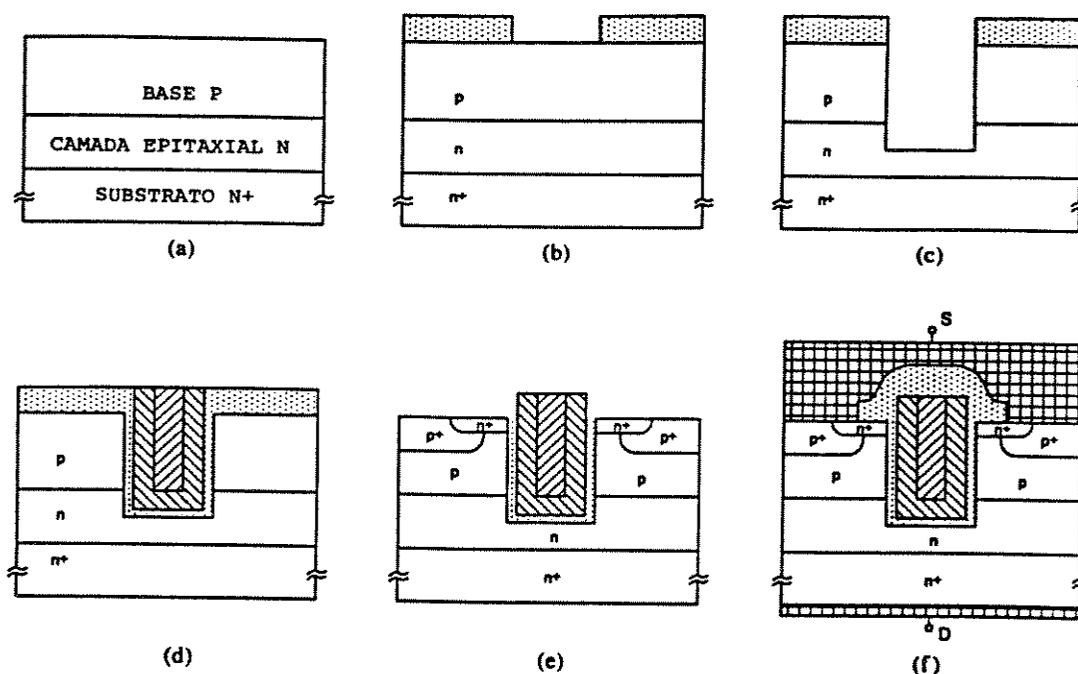


Figura 1.15: Sequência de processos usada na fabricação de um Trench-MOS [1.9]

Resultados obtidos de simulações [1.9] mostraram que, tomados os cuidados de planarização do polisilício e limpeza das paredes verticais das trincheiras, a mobilidade dos elétrons ao longo das últimas pode ser comparável à obtida na superfície de um dispositivo VDMOS, produzindo dispositivos com condutividades diretas 2,5 vezes maiores do que as de dispositivos correspondentes. Tais dispositivos poderiam ser melhorados ainda mais reduzindo-se a resistência de porta com o uso de silicetos. A orientação das paredes laterais das trincheiras ao longo de planos cristalinos $\langle 100 \rangle$ também promoveriam maiores mobilidades no canal, diminuindo a resistência de condução (no caso do dispositivo apresentado [1.9], as paredes laterais das trincheiras foram orientadas ao longo de planos cristalinos $\langle 110 \rangle$).

O j-MOS

Assim como o COMFET combina um dispositivo VDMOS com um Bipolar, o j-MOS combina um transistor de junção (JFET) com um transistor MOS. Estes dispositivos foram inicialmente desenvolvidos em uma lâmina do tipo SOS (Silicon on Sapphire) [1.10] para posteriormente serem desenvolvidos em lâminas de Silício.

A figura 1.16 ilustra um dispositivo j-MOS construído em um substrato SOS [1.10].

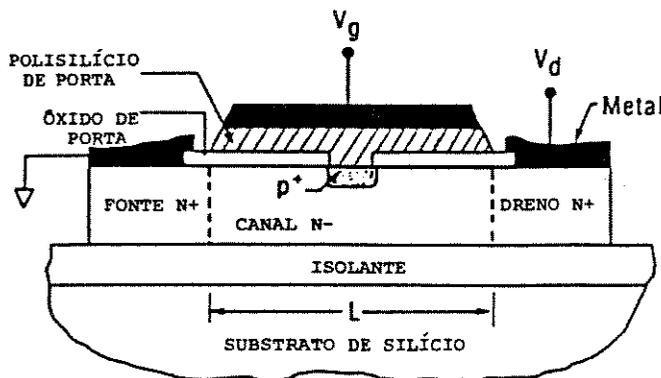


Figura 1.16: Corte transversal de um transistor j-MOS construído sobre substrato SOS [1.10]

Tal tipo de dispositivo foi inicialmente desenvolvido sem a junção mostrada na figura, onde, sem tensão aplicada na porta, teríamos uma barra de material semiconductor. Ao se aplicar uma tensão negativa na porta, surge uma região de depleção que irá estrangular a região de deriva (como no JFET), diminuindo a corrente que atravessa o dispositivo. Porém não é possível cortar completamente este já que, ao se aumentar ainda mais a tensão na porta, irá surgir uma camada de inversão.

Incluindo-se a junção, ao se polarizar negativamente a porta, esta torna-se reversamente polarizada, funcionando como um reservatório para lacunas e impedindo a formação da camada de inversão. Desta forma, pode-se cortar completamente o dispositivo. Se a região de deriva é muito comprida, pode-se utilizar várias junções regularmente espaçadas a fim de aumentar a eficiência destas.

Por outro lado, pode-se aplicar à porta uma tensão positiva, criando-se assim uma região de acumulação, que irá reduzir a resistência de condução do dispositivo.

A figura 1.17 ilustra o mesmo tipo de dispositivo, só que agora desenvolvido em um substrato de Silício [1.11].

Na figura 1.17a está ilustrada uma vista superficial do j-MOS, onde pode-se observar a junção difundida em apenas uma extremidade do dispositivo. Já as figuras 1.17b e c ilustram dois cortes transversais (indicados na figura 1.17a). Observa-se que o dispositivo é vertical (com o contato de dreno na parte inferior da lâmina), e também emprega a técnica de trincheiras, discutida anteriormente.

Apesar de estruturalmente diferente do dispositivo da figura 1.16, este dispositivo utiliza o mesmo princípio de funcionamento do anterior, com a diferença que aqui existem eletrodos separados para a porta MOS e para a junção, aumentando ainda mais as possibilidades de aplicação do dispositivo.

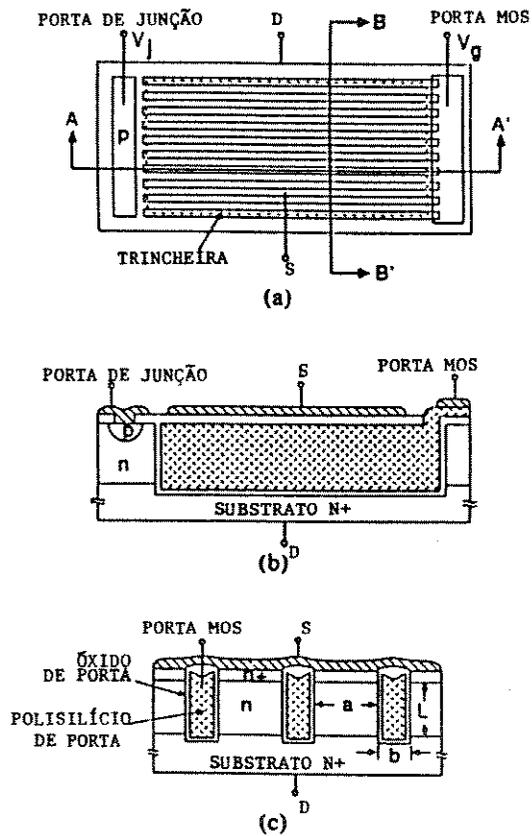


Figura 1.17: (a) Vista superficial de um dispositivo j-MOS construído sobre substrato de Silício, indicando dois cortes transversais: A-A' e B-B', ilustrados em (b) e (c), respectivamente [1.11]

1.3.3 Novas técnicas de integração

Os dispositivos BiMOS ou BiCMOS [1.12; 1.13]

Como já foi mencionado, no início da década de 70, tanto a tecnologia Bipolar como a tecnologia MOS já estavam bastante desenvolvidas a ponto de se obter um bom grau de integração, possibilitando assim a construção de inúmeros dispositivos por lâmina, além de uma boa qualidade de processamento.

Com o advento da tecnologia CMOS, combinando um transistor canal-n com um canal-p, aumentou-se ainda mais o leque de aplicações possíveis dos circuitos integrados.

Porém, as principais vantagens apresentadas pelos circuitos integrados construídos segundo a tecnologia CMOS não estavam presentes naqueles construídos segundo a tecnologia Bipolar, e vice-versa. Assim, de um lado tínhamos os dispositivos CMOS com baixo consumo de potência, larga margem de ruído, alta imunidade a ruído, grande flexibilidade lógica, e de outro os dispositivos Bipolares com alta velocidade de chaveamento, performance analógica superior, alta sensibilidade para sinais de entrada e, principalmente, maiores densidades de corrente.

Em vista disto, desde então já se cogitava a integração das duas tecnologias em uma só lâmina, obtendo assim chips que apresentariam todas as qualidades mencionadas acima. No entanto, as estruturas Bipolar e MOS requeriam técnicas e ferramentas totalmente diferentes para suas construções, diferindo significativamente um processo do outro. Por isto, o custo e a complexidade da realização de um processo misto seria muito grande, não sendo então vantajoso. Assim, a tecnologia BiCMOS se desenvolveu apenas em aplicações específicas, onde a presença de qualidades das duas tecnologias juntas era mais importante que o custo do processo.

Atualmente, muitos processos Bipolares VLSI avançados são muito semelhantes aos processos CMOS VLSI, de forma que torna-se necessário acrescentar apenas 3 ou 4 máscaras em um processo CMOS (que requer de 12 a 18 máscaras) para construir um circuito integrado BiCMOS, não acarretando consideráveis aumentos no custo dos dispositivos. Quando o processo CMOS requeria apenas 8 ou 10 máscaras, um acréscimo de 4 máscaras representava um aumento de 50% na complexidade do processo.

Assim sendo, desde os primeiros produtos lineares utilizando a tecnologia BiCMOS lançados comercialmente pela RCA no início dos anos 80, o número de fabricantes oferecendo produtos VLSI digitais e analógicos BiCMOS tem aumentado a cada ano.

A principal área onde os dispositivos BiCMOS têm encontrado campo é a de memórias RAM estáticas, onde a tecnologia oferece altos ganhos e alta sensibilidade de entrada, capaz de rapidamente perceber pequenas variações de sinal. Também os "gate arrays" têm se beneficiado da grande flexibilidade, velocidade e potência dos sinais de saída, aliados à baixa dissipação de potência que a tecnologia oferece. Outras áreas de aplicação incluem circuitos analógicos, alta potência de conversão de dados, interfaceamento e processamento de sinais, aplicações automotivas, etc.

O desenvolvimento estrutural da tecnologia BiCMOS segue o desenvolvi-

mento das outras tecnologias isoladas, sendo que soluções para problemas de latch-up, erros induzidos por partículas α , degradação por portadores quentes, eletromigração na metalização, etc, são também aplicadas aqui com igual eficiência.

A figura 1.18 ilustra um corte transversal de um dispositivo construído segundo a tecnologia BiCMOS.

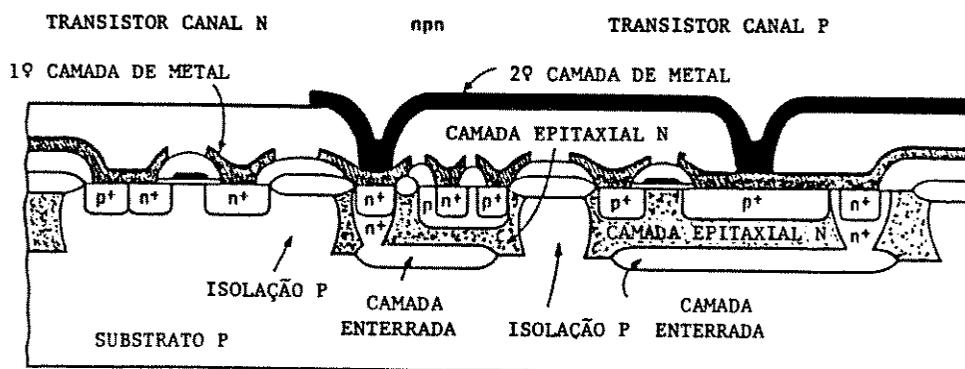


Figura 1.18: Corte transversal de um dispositivo construído segundo a tecnologia BiCMOS [1.12]

Nesta figura observa-se um transistor Bipolar (tipo NPN) e dois transistores MOS (um canal-n e um canal-p). Os transistores são isolados entre si por difusões tipo-p realizadas a partir da superfície.

Pode-se então afirmar que a tecnologia BiCMOS é uma alternativa vantajosa para tanto a tecnologia Bipolar como a CMOS e portanto tende a se tornar a tecnologia dominante no futuro.

Os dispositivos inteligentes de potência

Após ter conseguido construir um dispositivo Bipolar e um outro dispositivo CMOS integrados em uma mesma lâmina, procurou-se incluir ainda na mesma lâmina dispositivos de potência, surgindo assim na década de 90 os chamados dispositivos inteligentes de potência ("smart-power" devices).

A idéia de integrar o circuito de controle de porta do dispositivo de potência juntamente com este surgiu na realidade com a proliferação dos dispositivos MOS de potência, já que estes eram controlados por tensão, o que simplificava imensamente o circuito de controle de porta [1.4].

Desta forma, tal tecnologia fornece a interface entre a lógica de controle digital e a carga, por exemplo aumentando o nível dos sinais saídos de um microprocessador.

Assim, pode-se citar como exemplos de áreas de aplicação dos dispositivos inteligentes de potência os circuitos acionadores para "displays", onde a carga é capacitiva, requerendo tensões de alimentação maiores que as fornecidas pelos cir-

cuitos lógicos; e as aplicações automotivas, a fim de controlar luzes, motores, ar condicionado, etc.

Porém, os circuitos analógicos e digitais integrados juntamente com os dispositivos de potência não se restringem apenas ao controle de porta dos últimos. Atualmente, tais circuitos já exercem funções diversas, tais como monitoramento da carga, funções de diagnóstico, auto-proteção e “feed-back” de informações ao microprocessador. Pode-se portanto implementar circuitos de detecção de excesso de corrente, voltagem ou temperatura, ou mesmo de detecção de ausência de carga ou curto-circuito, aumentando significativamente a confiabilidade dos dispositivos construídos.

A figura 1.19 ilustra um dispositivo integrando em uma mesma lâmina um transistor VDMOS de potência e dois transistores MOS convencionais (um NMOS e um PMOS).

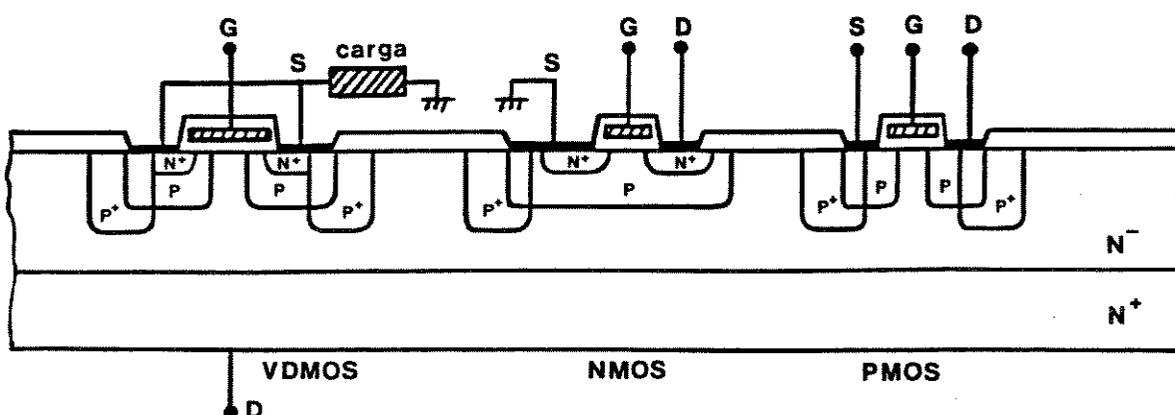


Figura 1.19: Corte transversal de um dispositivo inteligente de potência, composto de um transistor VDMOS de potência e dois transistores MOS convencionais [1.14]

Assim como no caso dos dispositivos BiCMOS, os dispositivos inteligentes de potência apresentam dificuldades de construção que estão sendo gradativamente superadas. Além dos problemas já mencionados anteriormente, surgem aqui problemas adicionais relacionados com os transistores de potência.

O primeiro destes problemas é o aumento excessivo da temperatura da lâmina devido à dissipação de potência nos transistores VDMOS. Isto pode causar instabilidades nos circuitos CMOS, além de favorecer o latch-up [1.4].

Outro cuidado que deve ser tomado é a utilização de níveis diferentes de metalização para sinais lógicos e sinais de potência, a fim de não haver o risco de surgirem sobretensões e sobrecorrentes em circuitos de controle.

Finalmente, a isolamento dos dispositivos de potência entre si e entre outros dispositivos de controle na lâmina deve ser projetada cuidadosamente a fim de evitar os problemas mencionados acima. A solução ideal para tal problema é a utilização de lâminas com isolamento dielétrico (feita por material dielétrico), como ilustra a figura 1.20 [1.14].

Aqui tem-se a vantagem de se obter uma isolamento elétrica real, permitindo ainda maior densidade de integração (devido à menor perda de área para a

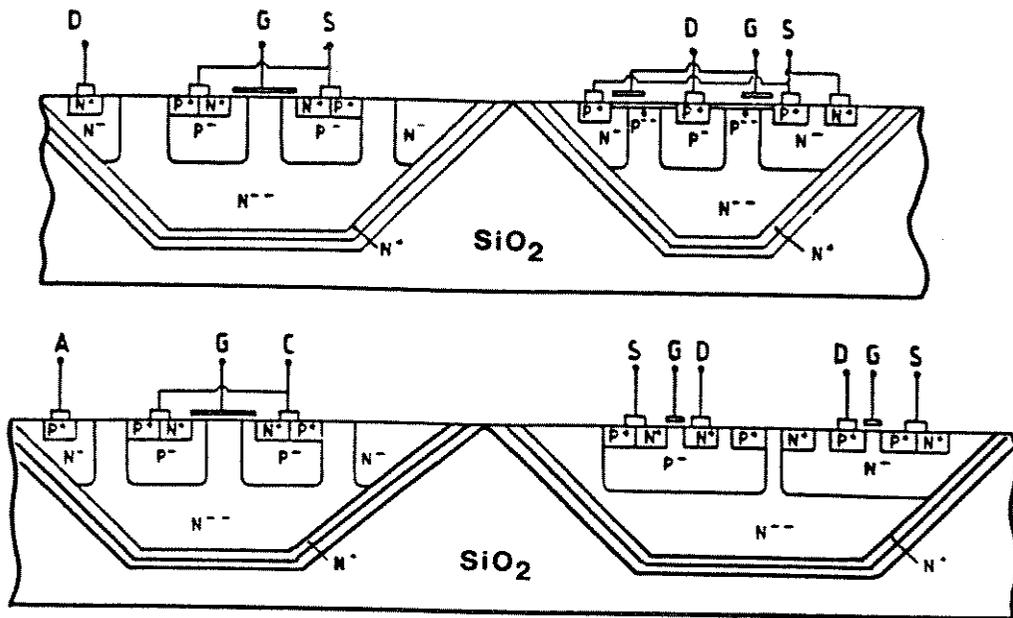


Figura 1.20: Corte transversal de dispositivos isolados entre si por isolamento dielétrico [1.14]

isolação). Porém, o custo de tais lâminas ainda torna proibitiva tal solução.

Uma solução alternativa é a técnica de auto-isolação (mostrada na figura 1.19) onde é utilizada uma lâmina epitaxial N^+/N^- e os dispositivos de baixa tensão são necessariamente construídos dentro de junções P e P^+ . Como o substrato N^- está polarizado no potencial mais alto, os dispositivos de baixa tensão são isolados pelas regiões de depleção das junções P^+/N^- . Porém, esta técnica não possibilita o uso de altas tensões nos dispositivos de potência (limitada pela tensão de ruptura das junções P^+/N^-), além de não ser imune a latch-up.

Outra solução bastante adotada é a isolação por meio de junções verticais, já comentada anteriormente, e representada na figura 1.21.

Aqui a isolação é mais eficiente do que no caso anterior, sendo porém mais complicado o processo de fabricação.

Com o aqui exposto, percebe-se que a implementação de dispositivos inteligentes de potência é complexa e requer a utilização de simuladores e CADs a fim de simplificar o projeto destes, além de evitar erros de projeto que podem produzir consequências drásticas.

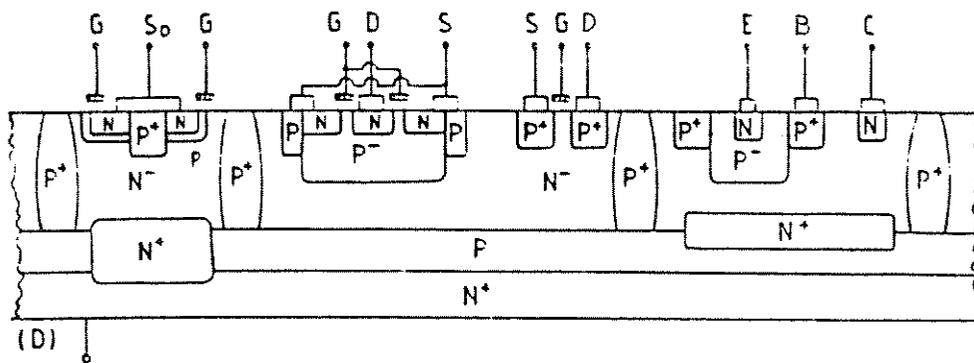


Figura 1.21: Corte transversal de dispositivos isolados entre si por junções verticais [1.14]

Capítulo 2

Tensão de transição e estudo do processo de dupla difusão

Introdução

Em um estudo teórico de transistores DMOS de alta tensão há basicamente **quatro** parâmetros elétricos que devem ser analisados por serem características fundamentais do dispositivo e, a partir destes, todos os outros parâmetros de importância podem ser determinados. São eles: a **tensão de transição** (V_t), a **tensão de ruptura** (V_r), a **resistência de condução** (R_{ON}) e as **capacitâncias parasitárias do transistor**.

A **tensão de transição** representa a tensão aplicada na porta do transistor com a qual o dispositivo inicia a condução de corrente, e será discutida neste Capítulo.

A **tensão de ruptura** representa a máxima tensão reversa suportada pela junção canal/dreno, e será discutida no Capítulo 3.

A **resistência de condução** representa a resistência entre o dreno e a fonte quando o transistor estiver polarizado na região linear.

Finalmente, as **capacitâncias parasitárias do transistor** são capacitâncias que aparecem em um transistor real e que não são necessárias ao funcionamento deste. Estes dois últimos parâmetros serão estudados no Capítulo 4.

Na realidade, estes parâmetros são relacionados entre si. Devido a isto, ao se projetar dispositivos de potência, deve-se considerar estas relações a fim de se obter **soluções de compromisso** que resultem no melhor desempenho possível do dispositivo desejado.

Neste Capítulo será analisada a tensão de transição do transistor DMOS vertical bem como o problema da dupla difusão característica deste tipo de transistor que, como será visto, possui influência direta neste parâmetro. Também será discutida a influência das variações de processo na tensão de transição.

2.1 Tensão de transição do transistor DMOS

O estudo da tensão de transição (V_t) é importante pois este é um parâmetro fundamental de todos os dispositivos do tipo MOS [2.1].

A tensão de transição nos transistores MOS já foi extensamente estudada e formulações matemáticas já foram feitas de modo que possamos calcular esta tensão a partir de outros dados do projeto do transistor.

Destes estudos sabe-se que um dos termos importantes da tensão de transição é a distribuição superficial de cargas sob o óxido de porta na região do canal do dispositivo [2.1]. Então, para um **dispositivo MOS convencional**, onde a região do canal (que corresponde ao substrato) é **uniformemente dopada**, temos que [2.2]:

$$V_t = \Phi_{MS} + 2\phi_F - \frac{Q_{SS}}{C_{OX}} + \frac{1}{C_{OX}} \sqrt{-2 N q \epsilon_{Si} (2\phi_F + V_{SB})} \quad (2.1)$$

onde:

- Φ_{MS} = função de trabalho entre metal e semicondutor (V),
- ϕ_F = potencial de Fermi (V),
- Q_{SS} = cargas efetivas de interface por unidade de área (Coulomb/cm²),
- C_{OX} = capacitância por unidade de área do óxido de porta (F/cm²),
- N = concentração líquida de impurezas (na região do canal) (cm⁻³),
- q = carga unitária = $1,6 \cdot 10^{-19}$ (C),
- ϵ_{Si} = permissividade do Silício = $1,04 \cdot 10^{-12}$ (F/cm),
- V_{SB} = tensão entre fonte e “bulk” (na região do canal) (V). Para um dispositivo MOS convencional corresponde à tensão entre fonte e substrato.

Porém, deseja-se projetar um dispositivo MOS **não convencional** e portanto deve-se investigar se a expressão (2.1) continua válida para o transistor DMOS vertical.

Na figura 2.1 está representado um corte transversal simplificado do transistor DMOS vertical.

Da figura 2.1 nota-se que o canal do dispositivo representado (no caso, canal tipo-n) é obtido pela diferença entre duas difusões. Então, ao contrário do caso do transistor MOS convencional, não se tem aqui um canal formado no substrato, mas sim em uma **região difundida**. Portanto a tensão de transição do dispositivo DMOS é determinada pelo perfil de dopagem de uma difusão, ou seja, de uma região com **dopagem não uniforme**.

Devido a este fato, a tensão de transição do transistor DMOS, além de sofrer a influência das variações de processo típicas dos transistores MOS convencionais, é afetada também por variações de outros parâmetros no processo de fabricação

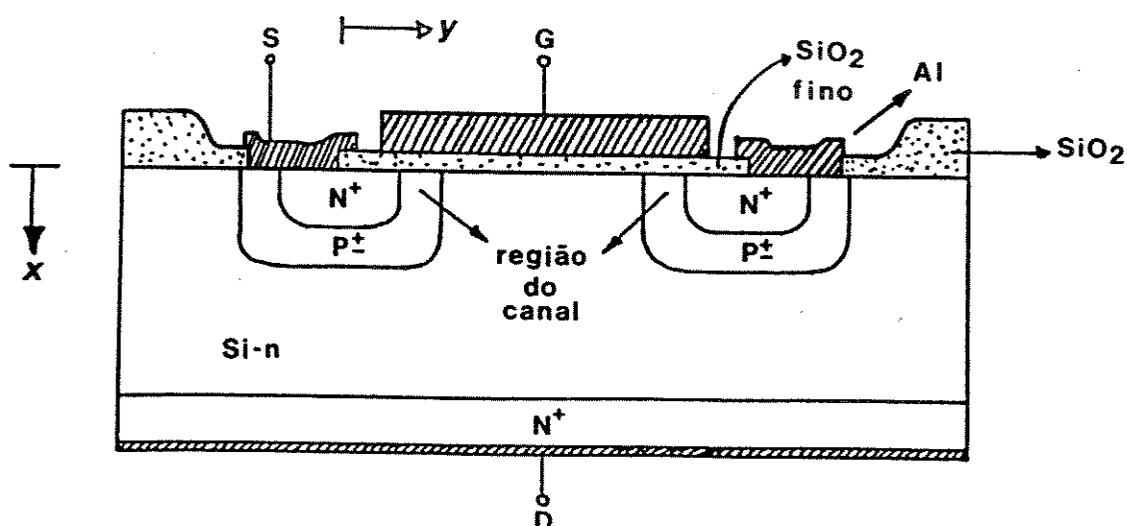


Figura 2.1: Corte transversal simplificado do transistor VDMOS de potência

do dispositivo [2.1]. Deve-se então estudar até que ponto estas variações de processo afetam a tensão de transição.

Porém, precisa-se primeiro calcular o perfil de dopagem na região do canal, já que a expressão (2.1) da tensão de transição depende deste perfil de dopagem (N). Este é um problema bidimensional complexo [2.1] já que a concentração de impurezas na região do canal varia tanto lateralmente ao longo da superfície do dispositivo quanto verticalmente, para dentro do corpo deste.

Segundo Pocha [2.1], a **variação vertical** na concentração de impurezas **pode ser desprezada**, já que a profundidade máxima que a região de depleção superficial (devida ao potencial aplicado na porta) atinge é bem menor do que a profundidade da junção $P^\pm/\text{Si-n}$.

Pode-se ainda assumir que [2.1] a tensão de transição em qualquer ponto y da superfície é influenciada apenas pela concentração superficial naquele ponto $N(y)$.

Também deve ser notado que o termo V_{SB} usado na expressão (2.1) possui, para o caso do transistor DMOS da figura 2.1, um significado diferente. Aqui, o "bulk" na região do canal não corresponde ao substrato (como ocorria no caso do transistor MOS convencional), mas sim à região difundida de tipo oposto ao do substrato, onde será formado o canal. Observando-se a figura 2.1, percebe-se que a metalização de contato da fonte coloca em curto-circuito esta região e a difusão da fonte. Isto é feito para evitar o "latch-up" do transistor $N^+/P^\pm/\text{Si-n}$ formado. Desta forma, tem-se que $V_{SB} = 0$.

Finalmente, como o canal será formado em uma região do tipo P, temos que $N(y) = -N_A(y)$ (onde N_A é a concentração líquida de impurezas aceitadoras no canal), de forma que a expressão (2.1) para o transistor DMOS vertical passa a

ser dada por:

$$V_i(y) = \Phi_{MS} + 2\phi_F - \frac{Q_{SS}}{C_{OX}} + \frac{1}{C_{OX}} \sqrt{4 N_A(y) q \epsilon_{Si} \phi_F} \quad (2.2)$$

Observação: Na realidade, Φ_{MS} e ϕ_F também são funções de y . Porém como estas variações são bem menores que a variação de $N_A(y)$, tais grandezas serão consideradas constantes.

Observando a expressão (2.2), nota-se que $V_i(y)$ é máximo quando $N_A(y)$ é máximo, já que todos os outros parâmetros são constantes. Então a tensão de transição do transistor DMOS vertical será dada por $V_i(N_{A_{MAX}})$, ou seja, o dispositivo irá começar a conduzir corrente somente quando a tensão entre porta e fonte for alta o suficiente para inverter **todo** o canal [2.1].

Desta forma, precisa-se calcular o **perfil lateral de dopagem** (já que o canal é formado na superfície do dispositivo) para determinar o valor de $N_{A_{MAX}}$.

2.2 Cálculo dos perfis de difusão

O processo de **difusão térmica** de impurezas em semicondutores com a finalidade de alterar suas propriedades eletrônicas (dopagem) já é bem conhecido [2.3] e já foi largamente utilizado industrialmente. Este processo permite a introdução de uma quantidade controlada de átomos de impureza na rede cristalina do Silício de modo a torná-lo do tipo N ou do tipo P, dependendo da impureza introduzida.

Uma vantagem deste método de dopagem é a possibilidade de processamento de uma grande quantidade de lâminas simultaneamente. Porém, como será discutido, o método possui a desvantagem de ser muito susceptível a variações de processo, apresentando desta forma resultados diferentes em operações sucessivas.

Devido a isto, é mais utilizada atualmente a técnica de **implantação iônica** onde o material dopante é introduzido através do bombardeamento da superfície semicondutora por átomos ionizados e acelerados a energias na faixa de 3 a 500 Kev. Após a implantação, segue-se uma etapa de recozimento a alta temperatura com a função de reorganizar a rede cristalina e ativar as impurezas. Com esta técnica consegue-se um controle maior do perfil de dopagem.

Porém, neste estudo do transistor DMOS vertical, somente o processo de difusão térmica será analisado.

2.2.1 Modelamento unidimensional da difusão térmica

Para substratos de Silício, os dopantes mais comumente empregados são Fósforo (P), Antimônio (Sb) e Arsênio (As) para dopagens do tipo N e Boro (B) para dopagens do tipo P. Uma vez introduzidas no substrato, estas impurezas ocupam posições substitucionais na rede (ou seja, posições da rede antes ocupadas por átomos de Silício) [2.3].

Fornecendo-se energia térmica a estes átomos de impureza, eles podem “saltar” para posições adjacentes da rede, desde que tais posições estejam vazias (vacâncias). Estes “saltos” são randômicos, já que cada átomo da rede cristalina do Silício possui 4 vizinhos mais próximos, existindo a mesma probabilidade de “salto” para cada posição. Porém, na presença de um gradiente de concentração, ou na presença de um campo elétrico (para impurezas ionizadas), estes movimentos resultam em um transporte líquido de impurezas.

Considerando apenas a difusão devido ao gradiente de concentração, pode-se relacionar a densidade de fluxo de partículas com o gradiente da concentração [2.3] através da 1ª Lei de Fick:

$$\vec{f} = -D \vec{\nabla} N \quad (2.3)$$

onde:

- \vec{f} = densidade de fluxo de partículas ($\text{cm}^{-2}\text{s}^{-1}$),
- D = coeficiente de difusão (cm^2/s),
- $\vec{\nabla}$ = operador gradiente,
- N = concentração líquida de impurezas (cm^{-3}).

Inicialmente será considerado que a difusão lateral sob a borda da máscara de SiO_2 se dá da mesma forma que a difusão na direção perpendicular à superfície da lâmina (direção x , definida na figura 2.1). Esta suposição não é totalmente verdadeira [2.1], como será mostrado posteriormente.

Nestas condições, a 1ª Lei de Fick pode ser escrita em uma dimensão:

$$f = -D \frac{\partial N}{\partial x} \quad (2.4)$$

O coeficiente de difusão D é dado por [2.3]:

$$D = D_0 \exp\left(-\frac{E_a}{kT}\right) \quad (2.5)$$

onde: (valores são para Boro e Fósforo [2.1])

- D_0 = “constante” relacionada à vibração da rede cristalina = $10,5 \text{ (cm}^2/\text{s)}$,
- E_a = energia de ativação = $3,69 \text{ (eV)}$,
- k = constante de Boltzmann = $8,62 \cdot 10^{-5} \text{ (eV/K)}$,
- T = temperatura (K).

Para níveis normais de dopagem, o coeficiente de difusão é independente da concentração [2.3]. Porém, para concentrações maiores que 10^{20} átomos/cm³, este coeficiente aumenta com o aumento da concentração de impurezas. Isto ocorre porque, para altas dopagens, os portadores móveis (elétrons e lacunas) possuem uma taxa de difusão maior que a taxa dos átomos de impureza ionizados, criando desta forma um campo elétrico que auxilia o movimento dos íons.

Mas, se for assumido que D é independente da concentração, pode-se a partir da Equação de Continuidade:

$$\frac{\partial N}{\partial t} = -\vec{\nabla} \cdot \vec{f} \quad (2.6)$$

obter a 2ª Lei de Fick:

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial x^2} \quad (2.7)$$

onde:

- t = tempo de difusão (s).

Para se obter o perfil de dopagem, basta então resolver a equação (2.7) sujeita às condições próprias de cada etapa do processo.

A difusão térmica é, em geral, realizada em duas etapas.

Inicialmente é feita uma difusão a partir de uma fonte de impurezas com concentração constante, também denominada **pré-deposição**, em uma temperatura baixa (próxima de 900°C) e por um curto intervalo de tempo. A finalidade desta etapa é introduzir logo abaixo da superfície da lâmina de Silício uma quantidade determinada de carga Q_0 . Esta quantidade de carga é dada por [2.3]:

$$Q_0 = 2N_0 \sqrt{\frac{D_p t_p}{\pi}} \quad (2.8)$$

onde:

- Q_0 = carga introduzida durante a pré-deposição (cm⁻²),
- N_0 = concentração superficial, na temperatura de pré-deposição (cm⁻³),
- D_p = coeficiente de difusão para a impureza, na temperatura de pré-deposição (cm²/s),
- t_p = tempo de pré-deposição (s).

Observação: O sub-índice “p” refere-se a valores dos parâmetros para a pré-deposição.

Resolvendo-se a 2ª Lei de Fick (2.7) para a pré-deposição, obtém-se [2.3] um perfil de dopagem com a forma de uma **função Erro-complementar** (erfc):

$$N(x, t) = N_0 \operatorname{erfc} \left(\frac{x}{2\sqrt{D_p t_p}} \right) \quad (2.9)$$

Observação: A grandeza \sqrt{Dt} é denominada “Comprimento Característico de Difusão”.

A característica principal deste tipo de difusão é que a concentração superficial permanece constante, ao passo que a profundidade da junção aumenta com o tempo de pré-deposição, como mostra a figura 2.2.

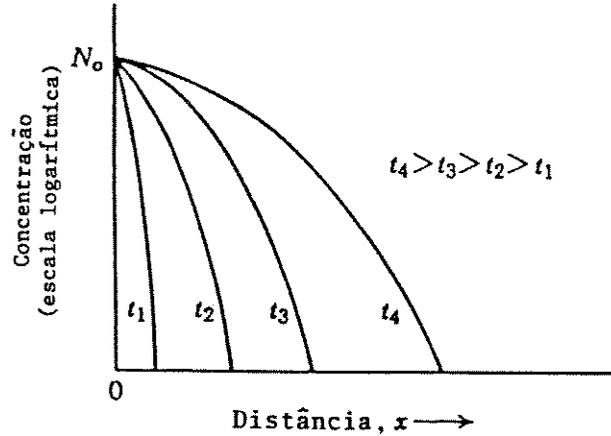


Figura 2.2: Perfis de concentração com fonte constante de impurezas [2.3]

Para que a concentração superficial permaneça constante é necessário expor a lâmina à fonte de impurezas com concentração constante durante todo o processo de pré-deposição.

A expressão (2.9) para o perfil de dopagem após a pré-deposição foi obtida [2.3] considerando-se que esta etapa do processo foi realizada sobre um substrato com dopagem inicial (N_{BC}) nula. Esta porém não é a situação encontrada na prática. Mas, como a equação de difusão (2.7) é linear, pode-se por superposição obter o perfil de dopagem para uma pré-deposição realizada sobre um substrato com dopagem uniforme N_{BC} . Desta forma, tem-se que:

$$N(x, t) = N_0 \operatorname{erfc} \left(\frac{x}{2\sqrt{D_p t_p}} \right) - N_{BC} \quad (2.10)$$

Terminada esta etapa, retira-se a fonte de impurezas e inicia-se a segunda etapa do processo de difusão, denominada **penetração** ou “**drive-in**”. Nesta etapa a lâmina é submetida a temperaturas mais elevadas em um ambiente oxidante. Isto resulta na penetração das impurezas até a profundidade desejada, além da formação de óxido na superfície da lâmina. Este óxido impede tanto a deposição de outros átomos de impureza quanto a difusão para fora da lâmina dos átomos de impureza já pré-depositados, além de servir de máscara para a próxima etapa de fotogração do processo.

Então, a penetração corresponde a uma difusão a partir de uma “fonte fixa de impurezas”, cuja solução da expressão (2.7) é uma **função Gaussiana** da

forma [2.3]:

$$N(x, t) = \frac{Q_0}{\sqrt{\pi D_d t_d}} \exp\left(-\frac{x^2}{4D_d t_d}\right) \quad (2.11)$$

onde:

- Q_0 = carga introduzida durante a pré-deposição (cm^{-2}), dada pela expressão (2.8),
- D_d = coeficiente de difusão para a impureza, na temperatura de “drive-in” (cm^2/s),
- x = profundidade da junção (cm),
- t_d = tempo de “drive-in” (s).

Observação: O sub-índice “d” refere-se a valores dos parâmetros para a penetração ou “drive-in”.

Neste tipo de difusão, ao contrário do que ocorria na pré-deposição, a concentração superficial diminui à medida que o tempo de processo aumenta, como ilustra a figura 2.3.

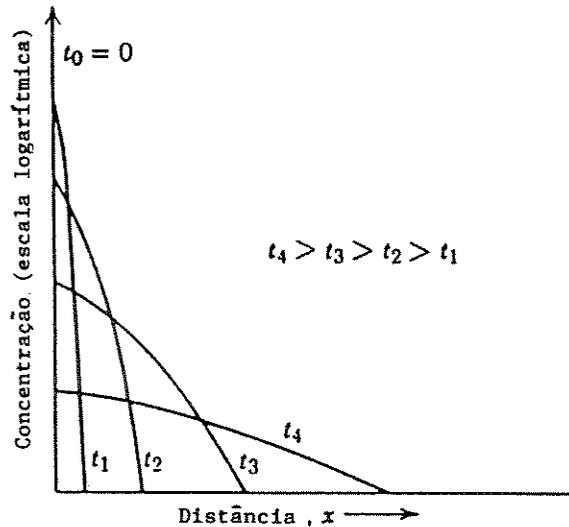


Figura 2.3: Perfis de concentração com fonte instantânea de impurezas [2.3]

Da mesma forma que na pré-deposição, a expressão (2.11) pressupõe uma penetração realizada em um substrato com dopagem inicial nula (a menos da carga Q_0 já pré-depositada logo abaixo da superfície). Mas, por superposição, tem-se que o perfil após uma penetração realizada sobre um substrato com dopagem uniforme N_{BC} é dado por:

$$N(x, t_p, t_d) = \frac{2N_0}{\pi} \sqrt{\frac{D_p t_p}{D_d t_d}} \exp\left(-\frac{x^2}{4D_d t_d}\right) - N_{BC} \quad (2.12)$$

onde já foi substituído o valor de Q_0 , dado por (2.8).

Observando a expressão (2.12), verifica-se que o perfil de dopagem após a penetração é função da quantidade de carga pré-depositada. Portanto qualquer variação no processo que altere Q_0 , modificará também o perfil final após a penetração.

O perfil final obtido para a difusão (2.12) pressupõe uma etapa de pré-deposição extremamente curta comparada com a etapa de penetração [2.3]. Em casos práticos isto não ocorre, e o perfil final para a difusão em duas etapas é dado por:

$$N(x, t_p, t_d) = \frac{2N_0}{\pi} \int_0^U \left(\frac{1}{1+u^2} \right) \exp[-\beta(1+u^2)] du \quad (2.13)$$

onde:

$$U = \sqrt{\frac{D_p t_p}{D_d t_d}}$$

e:

$$\beta = \frac{x^2}{4(D_p t_p + D_d t_d)}$$

A expressão acima recai na expressão (2.9) para $D_p t_p \gg D_d t_d$ (pré-deposição) ou na expressão (2.11) para $D_p t_p \ll D_d t_d$ (penetração).

Para um transistor DMOS vertical com canal-n, como mostrado no corte transversal simplificado da figura 2.1, deve-se partir de um substrato tipo-n com dopagem uniforme N_{BC} e realizar primeiramente uma difusão de Boro a fim de formar a junção canal/dreno. Para esta situação, a concentração efetiva de dopantes em qualquer profundidade é dada pela diferença entre a concentração de impurezas doadoras e aceitadoras. Deste modo, a junção que se forma entre o dreno e o canal (x_{jP}) ocorrerá no ponto onde a concentração de impurezas aceitadoras for igual à concentração de impurezas doadoras N_{BC} do substrato ou, de (2.12):

$$N(x_{jP}, t_{pB}, t_{dB}) = \frac{2N_0}{\pi} \sqrt{\frac{D_{pB} t_{pB}}{D_{dB} t_{dB}}} \exp\left(-\frac{x_{jP}^2}{4D_{dB} t_{dB}}\right) = N_{BC} \quad (2.14)$$

onde:

- x_{jP} = profundidade da junção P[±]/Si-n (junção canal/dreno) (cm),
- t_{pB} = tempo de pré-deposição de Boro (s),
- t_{dB} = tempo de “drive-in” de Boro (s),
- D_{pB} = coeficiente de difusão de Boro na pré-deposição (cm²/s),
- D_{dB} = coeficiente de difusão de Boro no “drive-in” (cm²/s).

Estando formada a junção canal/dreno, realiza-se agora uma difusão de Fósforo a fim de formar a junção fonte/canal (x_{jN}). Da mesma forma que na difusão anterior, esta junção será formada no ponto onde a concentração de impurezas

doadoras difundidas for igual à concentração de impurezas aceitadoras difundidas anteriormente.

Deve-se perceber porém que, durante a difusão da fonte, as impurezas aceitadoras difundidas anteriormente irão penetrar ainda mais no substrato, só que agora segundo um coeficiente de difusão para o Boro na temperatura de difusão de Fósforo. Então, desprezando-se a penetração das impurezas aceitadoras durante a pré-deposição de Fósforo (já que o tempo desta etapa é muito pequeno para produzir algum efeito relevante), pode-se incluir o efeito da (temperatura de) penetração de Fósforo nas impurezas aceitadoras substituindo-se o produto $D_{dB}t_{dB}$ da expressão (2.14) por um produto $\bar{D}\bar{t}$ efetivo, dado por:

$$\bar{D}\bar{t} = D_{dB}t_{dB} + D_{d*}t_{dF} \quad (2.15)$$

onde:

- D_{d*} = coeficiente de difusão de Boro na temperatura de “drive-in” de Fósforo (cm^2/s),
- t_{dF} = tempo de “drive-in” de Fósforo (s).

Este mesmo procedimento deve ser adotado para cada etapa térmica que eventualmente suceder estas descritas acima.

A figura 2.4 mostra um esquema do perfil de impurezas após as difusões de Boro e Fósforo. Na figura 2.4a é dado o perfil de concentração absoluta, enquanto na figura 2.4b é dado o perfil de concentração líquida. Nesta última estão também indicadas as profundidades das junções canal/dreno (x_{jP}) e fonte/canal (x_{jN}), e o ponto onde N_A é máximo ($N_{A_{MAX}}$).

O comprimento do canal, como mostra a figura 2.4, é dado por:

$$L = x_{jP} - x_{jN} \quad (2.16)$$

Então, a partir de um perfil de dopagem como o da figura 2.4 pode-se obter o valor de $N_{A_{MAX}}$ e, substituindo este valor na expressão (2.2), obter o valor de $V_{t_{MAX}}$.

Pocha [2.1] realizou simulações computacionais baseadas nas expressões até agora apresentadas e comparou os valores de V_t obtidos destas simulações com resultados experimentais. O gráfico de V_t em função de t_{pB} mostrado na figura 2.5 ilustra esta comparação (para tornar a comparação possível, todos os dispositivos foram fabricados mantendo-se os mesmos parâmetros, exceto t_{pB}).

Esta figura mostra que os valores calculados para V_t são muito maiores que os respectivos valores medidos (correspondendo a valores de $N_{A_{MAX}}$ calculados dez vezes maior que os respectivos valores experimentais) [2.1], ou seja, que o modelo unidimensional apresentado não se ajusta bem aos resultados experimentais obtidos.

Algumas razões para esta discordância são apresentadas por Pocha [2.1] e também por outros autores. Levando-se em conta estas considerações, pode-se melhorar o modelo unidimensional apresentado, de modo que ele se ajuste melhor aos dados experimentais. Estas considerações serão apresentadas nas seções a seguir.

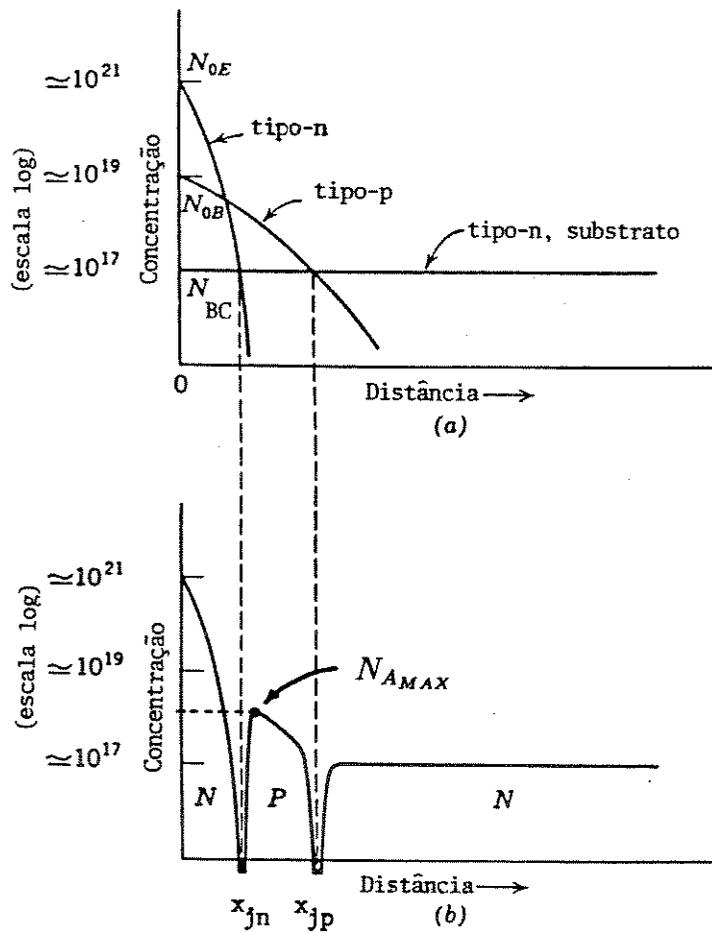


Figura 2.4: Perfis de concentração de impurezas após as difusões de Boro e Fósforo [2.3]: (a) perfil de concentração absoluta, (b) perfil de concentração líquida

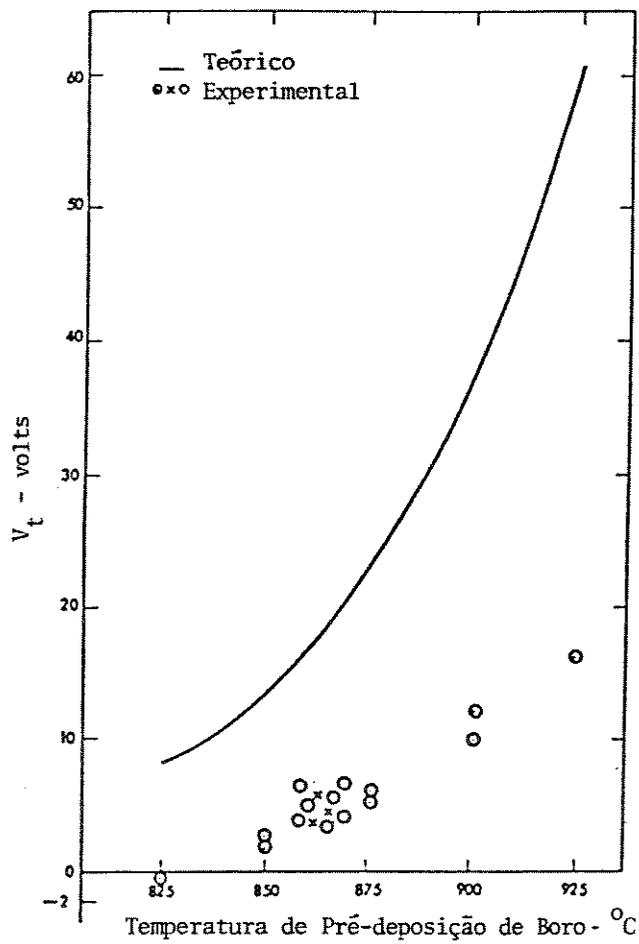


Figura 2.5: Comparação entre valores teóricos e experimentais da tensão de transição [2.1]

2.2.2 Modelamento tridimensional da distribuição de impurezas sob a borda da máscara de óxido

Para se obter o modelo unidimensional apresentado na seção anterior foi suposto que o perfil lateral de dopagem era idêntico ao perfil vertical de dopagem. Isto é verdade apenas longe das bordas da máscara de óxido pois, próximo a estas bordas o silicato formado atua como uma fonte de impurezas, modificando o perfil de dopagem [2.3].

Kennedy e O'Brien [2.4] obtiveram soluções analíticas tridimensionais para a distribuição de impurezas sob a borda da máscara de óxido. A expressão obtida para o perfil após uma pré-deposição envolve uma série hipergeométrica e, devido à sua complexidade, não será discutida aqui. Já a expressão para o perfil após a penetração é mais simples e um pouco diferente da obtida através do modelo unidimensional.

A fim de simplificar a discussão, será considerado um perfil bidimensional para a penetração apresentado por Pocha [2.1], obtido dos resultados de [2.4] fazendo-se $z = 0$.

Observação: Foi observada uma pequena discordância entre o modelo apresentado por Pocha [2.1] e o modelo original de Kennedy e O'Brien [2.4]. Escolheu-se utilizar aqui o primeiro por ser mais compatível com o que foi dito anteriormente.

A figura 2.6 ilustra o sistema de coordenadas a ser utilizado nesta discussão (o mesmo indicado na figura 2.1).

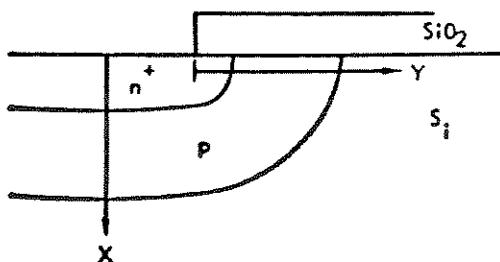


Figura 2.6: Sistema de coordenadas a ser utilizado no modelo tridimensional [2.1]

Então, tem-se que a distribuição de impurezas é dada por [2.1]:

$$N(x, y, t_d) = N_y(y, t_d) \exp\left(-\frac{x^2}{4D_d t_d}\right) \quad (2.17)$$

onde:

$$N_y(y, t_d) = \frac{Q_0}{2\sqrt{\pi D_d t_d}} \operatorname{erfc}\left(\frac{y}{2\sqrt{D_d t_d}}\right) \quad (2.18)$$

com Q_0 dado por (2.8). Comparando as expressões acima com a expressão (2.11), observa-se que o novo perfil vertical é idêntico ao anterior, mas o perfil lateral difere

daquele obtido anteriormente, como ilustra a figura 2.7. Nesta figura estão indicados, para fins de comparação, o perfil vertical obtido após a penetração (que é o perfil “Gaussiano” obtido no modelo unidimensional) e o perfil lateral para a penetração, obtido por Kennedy e O’Brien (erfc).

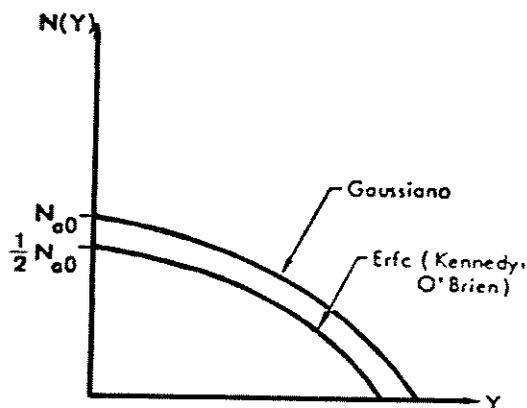


Figura 2.7: Comparação entre os perfis de concentração de impurezas teóricos vertical e lateral [2.1]

Como na realidade deseja-se calcular o perfil lateral superficial, pode-se fazer $x = 0$ na expressão (2.17), obtendo-se então:

$$N(0, y, t_d) = \frac{Q_0}{2\sqrt{\pi D_d t_d}} \operatorname{erfc} \left(\frac{y}{2\sqrt{D_d t_d}} \right) \quad (2.19)$$

O coeficiente que multiplica a função Erro-complementar na expressão (2.19) é a metade do coeficiente que multiplica a função Gaussiana na expressão (2.11).

A figura 2.8 ilustra curvas de densidade de impureza constante na borda da máscara de uma estrutura planar bidimensional (que, assumindo ser a difusão sobre um substrato com concentração uniforme, representa as famílias de junções P/N para vários níveis de dopagem do substrato). O parâmetro da figura é a concentração de impurezas normalizada segundo $N = N(x, y, \infty, t) \sqrt{\pi Dt} / N_0$.

Nesta figura observa-se que para alguns valores de N a junção termina dentro da janela de difusão. Isto porém não possui sentido físico [2.3], pois a concentração do substrato é geralmente muito menor que a concentração superficial. Também é observado que a penetração lateral da junção é aproximadamente 75 a 85 % da penetração vertical para concentrações que estão duas ou mais ordens de grandeza abaixo da concentração superficial [2.3].

2.2.3 Redistribuição de Boro no óxido de porta

Foi dito anteriormente que o Óxido de Silício crescido durante a etapa de penetração impede que as impurezas pré-depositadas se difundam para fora da

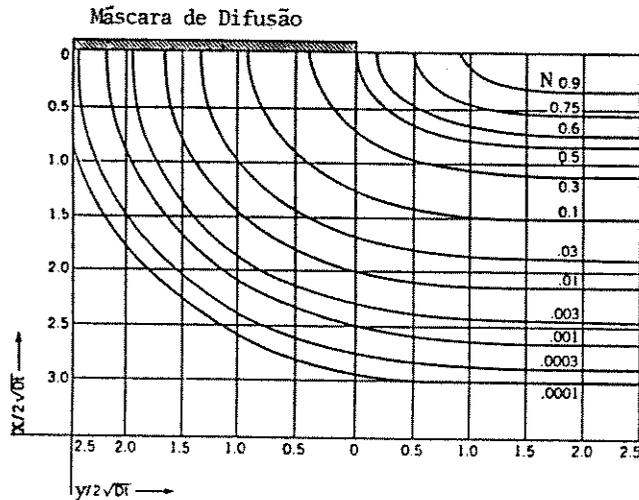


Figura 2.8: Curvas de densidade de impureza constante na borda da máscara de uma estrutura planar bidimensional [2.4]

lâmina. Isto na realidade não ocorre, mas sim há uma redistribuição das impurezas na região onde está sendo crescido o óxido, sendo que este fenômeno ocorre até que uma condição de equilíbrio seja atingida.

O fenômeno da redistribuição de impurezas no óxido é bem conhecido [2.1; 2.5] e portanto será discutido somente a redistribuição de Boro, que é de interesse no projeto do transistor DMOS da figura 2.1 (já que o óxido de porta é crescido sobre uma região P^\pm cujo perfil de impurezas determinará V_t).

No equilíbrio, define-se a constante m , denominada **coeficiente de segregação**, como:

$$m = \frac{\text{Concentração de equilíbrio da impureza no Silício}}{\text{Concentração de equilíbrio da impureza no SiO}_2}$$

Verificou-se que para o Boro m é sempre **menor** que a unidade, ou seja, as impurezas de Boro após a redistribuição encontram-se principalmente no Óxido de Silício, resultando assim em uma concentração superficial no Silício **menor** que a prevista teoricamente.

O fenômeno da redistribuição é relacionado com o valor do coeficiente de difusão da impureza no óxido (D_{OX}) pois altos valores deste coeficiente modificam o perfil de concentração de impurezas próximo da interface Si-SiO₂.

Também deve ser considerado que a interface Si-SiO₂ se desloca à medida que o óxido é crescido e, como o volume ocupado pela camada de óxido é maior que o volume da camada de Silício usada na oxidação [2.5], as impurezas se distribuirão em um volume maior, diminuindo assim a concentração de impurezas próximo à superfície do Silício.

Mostrou-se que [2.5] a redistribuição de uma concentração inicialmente

uniforme de impurezas no Silício resulta, na superfície do Silício:

$$K = \frac{N_{Sf}}{N_{Si}} = \frac{1 + (N_{OX}/N_{Si})\lambda}{1 + (1/m - \alpha)\sqrt{\pi} \exp(\alpha^2 B/4D) \operatorname{erfc}(\alpha\sqrt{B/4D})\sqrt{B/4D} + \lambda/m} \quad (2.20)$$

onde:

$$\lambda = r \exp[(\alpha^2 r^2 - 1)B/4Dr^2] \operatorname{erfc}(\alpha\sqrt{B/4D}) / \operatorname{erf}(\sqrt{B/4D_{OX}})$$

e:

$$r = \sqrt{\frac{D_{OX}}{D}}$$

sendo que:

- N_{Sf} = concentração superficial de impurezas após a oxidação (cm^{-3}),
- N_{Si} = concentração superficial de impurezas antes da oxidação (cm^{-3}),
- N_{OX} = concentração de impurezas na interface externa do Óxido, ou seja na interface entre o óxido e a fase gasosa da reação (cm^{-3}),
- α = razão da espessura de Silício consumido durante a oxidação para a espessura de Óxido = 0,45 para Óxido amorfo,
- B = coeficiente parabólico do modelo de oxidação de Deal e Grove,
- D = coeficiente de difusão da impureza no Silício (cm^2/s),
- D_{OX} = coeficiente de difusão da impureza no SiO_2 (cm^2/s).

A figura 2.9 ilustra a variação de K para o Boro em função da temperatura de oxidação para diferentes ambientes oxidantes.

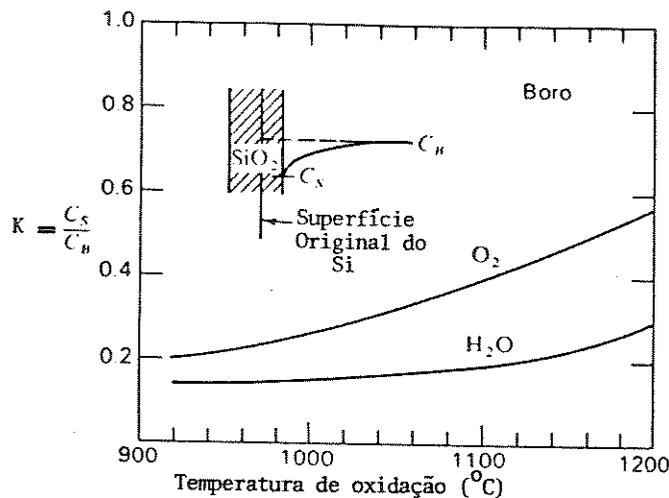


Figura 2.9: Concentração superficial de Boro no Silício após a oxidação térmica [2.5]

Nota-se da expressão (2.20) que as concentrações na interface Si-SiO₂ são independentes do tempo de oxidação. Porém a figura 2.9 mostra que a redistribuição é maior (portanto N_{S_f} mais baixa para o Boro) à medida que a velocidade da oxidação é aumentada (por exemplo, oxidando em ambiente úmido, ao invés de seco).

A quantidade de impurezas perdidas para o óxido depende também do comprimento característico de difusão da impureza, que por sua vez determinará a profundidade da perturbação na distribuição inicialmente uniforme. A figura 2.10 ilustra a variação de K para o Boro em função da profundidade desta perturbação para várias temperaturas de oxidação.

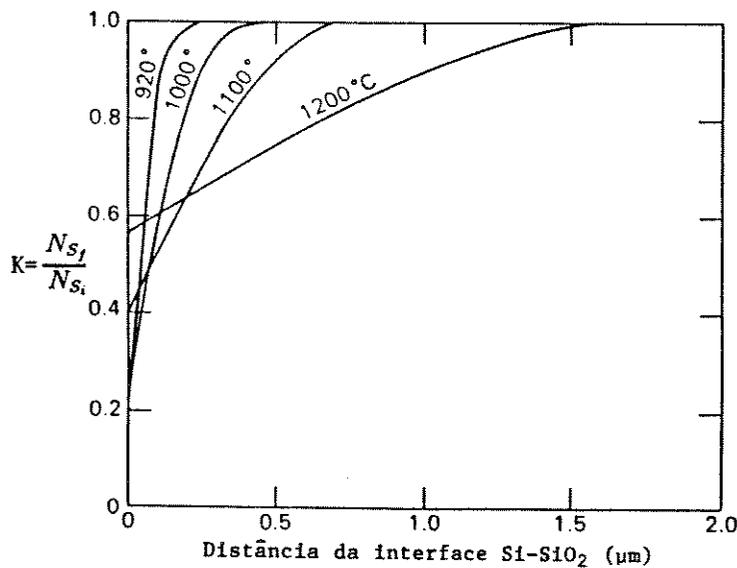


Figura 2.10: Variação de K para o Boro em função da profundidade para várias temperaturas de oxidação [2.5]

Apesar da expressão (2.20) ser determinada para uma concentração inicialmente uniforme de impurezas no Silício, esta pode ser aplicada também no caso onde tem-se uma concentração não uniforme, como por exemplo após uma pré-deposição [2.5].

Então, para incluir a correção devido à redistribuição de Boro, multiplica-se a concentração superficial sob o óxido de porta em cada ponto por K [2.1]. Assim, a expressão para o perfil lateral superficial de impurezas passa a ser:

$$N(0, y, t_d) = K \frac{Q_0}{2\sqrt{\pi D_d t_d}} \operatorname{erfc} \left(\frac{y}{2\sqrt{D_d t_d}} \right) \quad (2.21)$$

com K dado pela expressão (2.20).

Uma nova comparação de valores de V_i obtidos a partir de simulações computacionais [2.1], agora utilizando as correções devido à difusão lateral e redistribuição de Boro, com valores de V_i obtidos experimentalmente, é mostrada na figura 2.11 (os dados experimentais são os mesmos que os apresentados na figura 2.5). Esta,

mostra curvas de V_t em função do comprimento característico na pré-deposição de Boro para dois casos: um denominado “ $K \times$ Gaussiano”, onde levou-se em conta na simulação computacional apenas a correção devido à redistribuição (ou seja, multiplicando a expressão (2.11) por K), e outro denominado “ $0,5 \times \text{erfc}$ ”, onde levou-se em conta ambas as correções (ou seja, utilizando a expressão (2.21)).

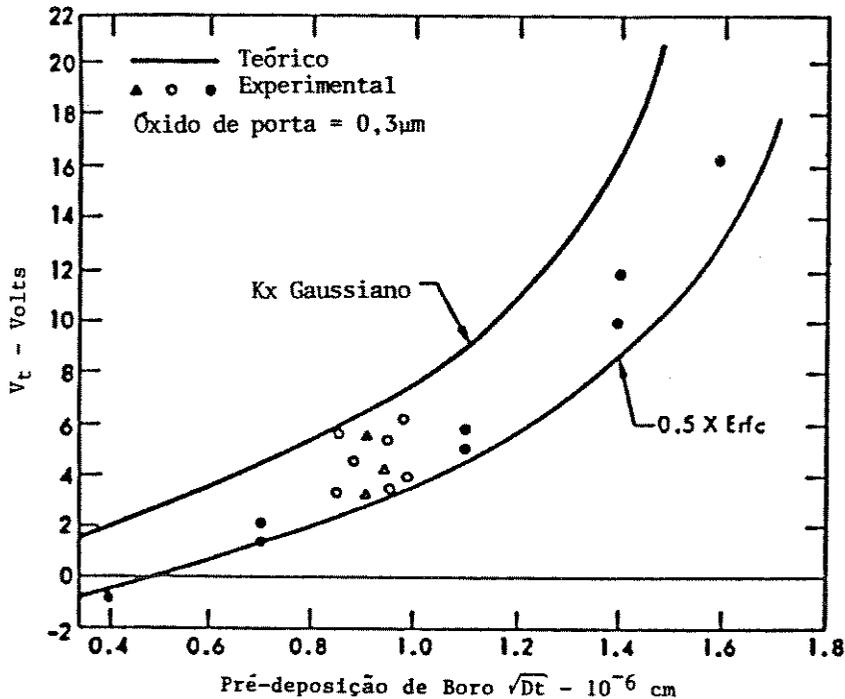


Figura 2.11: Comparação entre valores teóricos e experimentais da tensão de transição [2.1]

Para ambos os casos, o óxido de porta foi crescido à 950°C em ambiente primordialmente úmido, resultando em um valor de K aproximadamente igual a 0,16.

Observando esta figura, nota-se que a curva inferior (que leva em consideração as duas correções) se ajusta melhor aos dados experimentais, havendo porém ainda alguma discrepância. Esta ocorre devido ao fato do valor de K apresentado ser válido apenas para a superfície, sendo que mais para o interior da lâmina, este valor aproxima-se da unidade (nenhuma redistribuição). Pocha [2.1] sugere então que se use para K um valor médio que se ajuste melhor aos dados experimentais.

2.2.4 Outros desvios da teoria unidimensional para a difusão

Não são apenas a diferença no perfil lateral e a redistribuição de Boro no óxido que fazem com que o perfil de impurezas obtido experimentalmente difira do perfil calculado. Outros fatores também modificam este perfil.

A seguir serão brevemente apresentados tais fatores.

“Efeito E.D.E.”

A difusão localmente aumentada, também conhecida por “efeito E.D.E.” (Emitter Dip Effect), é observada em transistores NPN fabricados com o auxílio da dupla difusão, aonde inicialmente é difundida a base e sobre esta é difundido o emissor (o que ocorre no caso do transistor DMOS vertical).

Verifica-se que a profundidade da junção base/coletor é maior sob a região onde o emissor foi difundido do que sob a região onde tal difusão foi mascarada, como ilustra a figura 2.12.

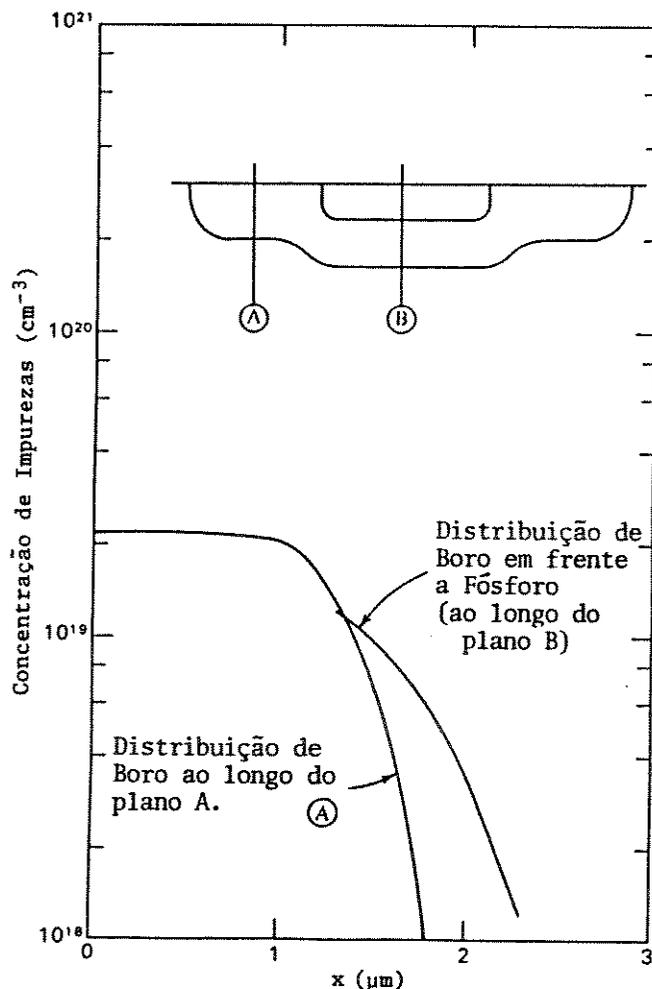


Figura 2.12: Corte transversal e perfil de impurezas, ilustrando o “Efeito E.D.E.” [2.5]

Tal efeito já foi estudado por vários autores [2.6; 2.7] e descobriu-se que:

1. Embora a presença do emissor dopado com Fósforo seja necessária para produzir o efeito, a magnitude deste é independente da concentração de Fósforo

acima daquela necessária para produzir o emissor, ou seja, aumentando a concentração de Fósforo, a diferença entre as profundidades das junções base/coletor sob o emissor e sob o óxido (dip) permanece a mesma. No entanto a profundidade da junção emissor/base aumenta com o aumento da concentração de Fósforo [2.6].

2. Aparentemente, o dip é produzido quase que instantaneamente quando o emissor é difundido.
3. Difusões múltiplas de emissor produzem múltiplos dips [2.6].
4. A espessura do dip é inversamente proporcional à espessura da base anterior à difusão de Fósforo, e aumenta linearmente com o tempo de difusão de Fósforo [2.7].
5. O efeito não é o resultado da rejeição de átomos de Boro pela região de alta concentração de átomos de Fósforo, mas sim o resultado de um aumento no coeficiente de difusão dos átomos de Boro.
6. O efeito ocorre apenas quando Fósforo é pré-depositado em um material contendo uma concentração de átomos aceitadores relativamente alta. Porém é a concentração na região da junção base/coletor (e não a concentração superficial de base) que deve ser alta, pois apenas estes átomos de impureza terão seus coeficientes de difusão aumentados devido à difusão de Fósforo.
7. O efeito não é causado pela máscara de óxido (redistribuição dos átomos de Boro) já que não foi observado o dip quando lâminas contendo uma janela na máscara de óxido sobre a base foram aquecidas em uma atmosfera não oxidante.
8. A espessura do dip é aumentada se a lâmina é lentamente resfriada após a difusão de Fósforo e diminuída se a lâmina é rapidamente resfriada [2.6].
9. O efeito não foi encontrado em estruturas PNP.

Na figura 2.12 também é ilustrado o perfil de distribuição de impurezas aceitadoras tanto na região sob o emissor quanto na região sob o óxido. Nesta percebe-se claramente a influência da difusão de Fósforo no perfil das impurezas aceitadoras.

Uma possível causa para o “efeito E.D.E.” é apontada por [2.7] como sendo a geração excessiva de vacâncias devido a fenômenos que ocorrem na superfície produzidos pela difusão de Fósforo.

Difusão simultânea de impurezas com cargas opostas

Como já foi mencionado anteriormente, campos elétricos surgem em semicondutores extrínsecos com uma concentração não uniforme de impurezas devido à rápida difusão dos elétrons e lacunas que, comparado com as impurezas ionizadas,

atingem o equilíbrio instantaneamente [2.8]. Desta forma, se a densidade de átomos de impureza aproximar ou exceder a densidade de portadores intrínsecos na temperatura de difusão, a expressão simplificada para a 1ª Lei de Fick (2.4) não pode mais ser utilizada, sendo agora necessário incluir o efeito do campo elétrico:

$$f = -D \frac{\partial N}{\partial x} \pm \mu \mathcal{E} N \quad (2.22)$$

onde:

- \mathcal{E} = módulo do campo elétrico (V/cm),
- μ = mobilidade dos elétrons ou lacunas (cm²/V.s).

Para o caso da **difusão de apenas uma impureza**, Smits [2.8] mostrou que os resultados apresentados até agora podem ser aplicados se for utilizado um coeficiente de difusão efetivo, que inclua o efeito do campo elétrico, dado por:

$$D_{ef} = D \left(1 + \frac{N}{\sqrt{(2ni)^2 + N^2}} \right) \quad (2.23)$$

onde:

- D_{ef} = coeficiente efetivo de difusão (cm²/s),
- ni = densidade de portadores intrínsecos (cm⁻³).

Nota-se aqui que o coeficiente efetivo de difusão é uma função da concentração de impurezas.

O limite de variação no coeficiente de difusão devido ao campo elétrico pode ser analisado considerando-se que, para uma dada temperatura (e consequentemente um dado valor de ni), se a concentração de impurezas é relativamente baixa ($N \ll ni$), temos que $D_{ef} \simeq D$ e o campo elétrico não produz efeito algum. Já se a concentração de impurezas é muito alta ($N \gg ni$), temos que $D_{ef} = 2D$. Portanto o coeficiente de difusão é no máximo dobrado devido à influência do campo elétrico.

Na figura 2.13 é mostrada a influência do campo elétrico na forma do perfil de concentração de impurezas. Também é mostrado um perfil do tipo erfc a fim de comparação.

Este tratamento é válido tanto para impurezas doadoras quanto para impurezas aceitadoras, já que os campos estão sempre em uma direção que retarde os portadores móveis (elétrons e lacunas), ou seja, os campos sempre auxiliam o movimento dos íons.

Porém, quando se tem **impurezas do tipo-n e do tipo-p difundindo simultaneamente** (o que ocorre no transistor DMOS vertical) não se pode mais incluir a influência do campo elétrico apenas modificando o coeficiente de difusão, já que a distribuição de uma impureza afeta a distribuição da outra [2.9]. O campo elétrico é determinado principalmente pela impureza que está em maior quantidade e possui a direção a qual acelera a taxa de difusão desta impureza. As impurezas que possuem cargas opostas terão sua difusão retardada.

Este problema é discutido por Klein e Beale em [2.9] e, devido à sua complexidade, não será apresentado aqui.

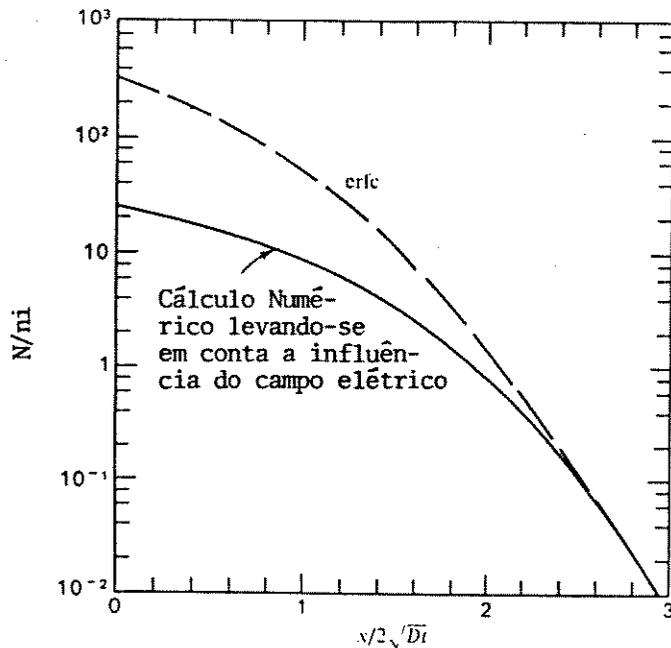


Figura 2.13: Influência do campo elétrico na forma do perfil de concentração de impurezas [2.5]

Difusão anômala de Fósforo

Verifica-se que para grandes tempos de difusão e altas temperaturas, o perfil de concentração de Fósforo pode ser razoavelmente representado pela solução das Leis de Fick. Já para difusões rasas e baixas temperaturas, desvios consideráveis aparecem.

A fim de solucionar este problema, Tsai [2.10] propôs um novo modelo para a difusão de Fósforo. Neste, assume-se que o perfil resultante de tal difusão é constituído de três regiões: uma região superficial, uma região de transição e uma região de difusão normal. A região superficial é uma mistura de Silício saturado com Fósforo eletricamente ativo e Fosfato de Silício. Nesta região, a concentração de Fósforo é constante para uma dada condição de difusão e a extensão desta região é uma função da concentração de Oxigênio durante a difusão. Uma fronteira (“phase boundary”) separa a região superficial da região de transição. Esta última contém duas espécies difusoras distintas: uma que se difunde vagorosamente e possui coeficiente de difusão D_a e outra que se difunde rapidamente e possui coeficiente de difusão D_b . Para pequenos tempos de difusão, a localização da “phase boundary” é aproximadamente uma função linear do tempo de difusão, enquanto a extensão da região de transição é determinada pela espécie difusora mais lenta. A região de difusão normal contém apenas a espécie difusora mais rápida.

A figura 2.14 ilustra um esquema de um perfil deste modelo.

Nesta:

- N_S = concentração superficial de Fósforo (cm^{-3}),

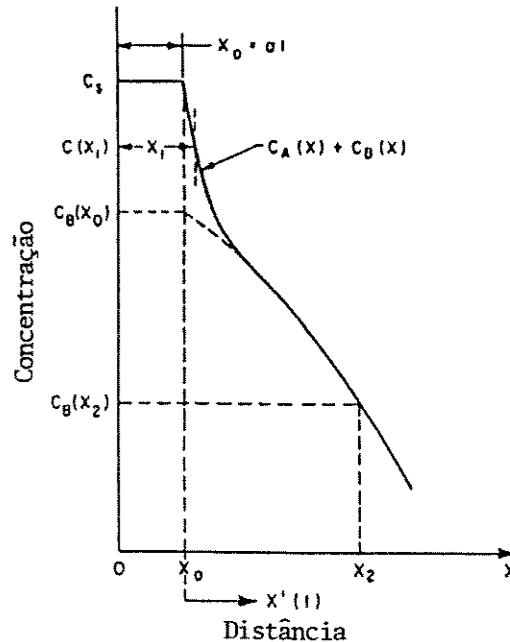


Figura 2.14: Perfil de concentração de Fósforo segundo o modelo proposto por Tsai [2.10]

- $N_a(x)$ = concentração da espécie difusora mais lenta (cm^{-3}),
- $N_b(x)$ = concentração da espécie difusora mais rápida (cm^{-3}),
- $x_0(t)$ = posição da “phase boundary” (cm).

Tsai [2.10] verificou a influência da temperatura nos parâmetros de seu modelo e obteve uma relação exponencial com o inverso da temperatura não apenas para as constantes de difusão D_a e D_b , mas também para $N_b(x)$. Quando a temperatura atinge 1100°C , os valores de D_a e D_b já estão praticamente iguais e o perfil de difusão pode ser representado por apenas uma constante de difusão.

Na região de transição, a espécie difusora mais rápida poderia ser átomos de Fósforo ocupando posições substitucionais na rede. Neste caso, a difusão no Silício dar-se-ia através de um mecanismo de difusão de vacâncias e dependeria do gradiente de concentração de vacâncias, do gradiente de concentração de impurezas e, indiretamente, da concentração de vacâncias. Já a espécie difusora mais lenta poderia ser um composto de Silício e Fósforo, tal como o Fosfato de Silício, cuja molécula migraria sem dissociação ou recombinação.

Cabe aqui ser observado que, de forma semelhante, uma região superficial com concentração constante já foi observada em difusões de alta concentração de Boro [2.10]. Porém neste caso, a profundidade da região de concentração constante é relacionada com o polimento das superfícies da lâmina onde será feita a difusão. Este efeito da superfície não foi observado nas difusões de Fósforo.

2.3 Influências das variações do processo de difusão na tensão de transição

Como já foi dito anteriormente, a tensão de transição do transistor DMOS é determinada pelo perfil de dopagem de uma difusão, e portanto afetada por variações no processo de fabricação do dispositivo. Pocha [2.1] estudou a influência de tais variações de modo a se poder minimizá-las.

As figuras 2.15a, b e c ilustram dois métodos sugeridos por Pocha a fim de minimizar tais variações.

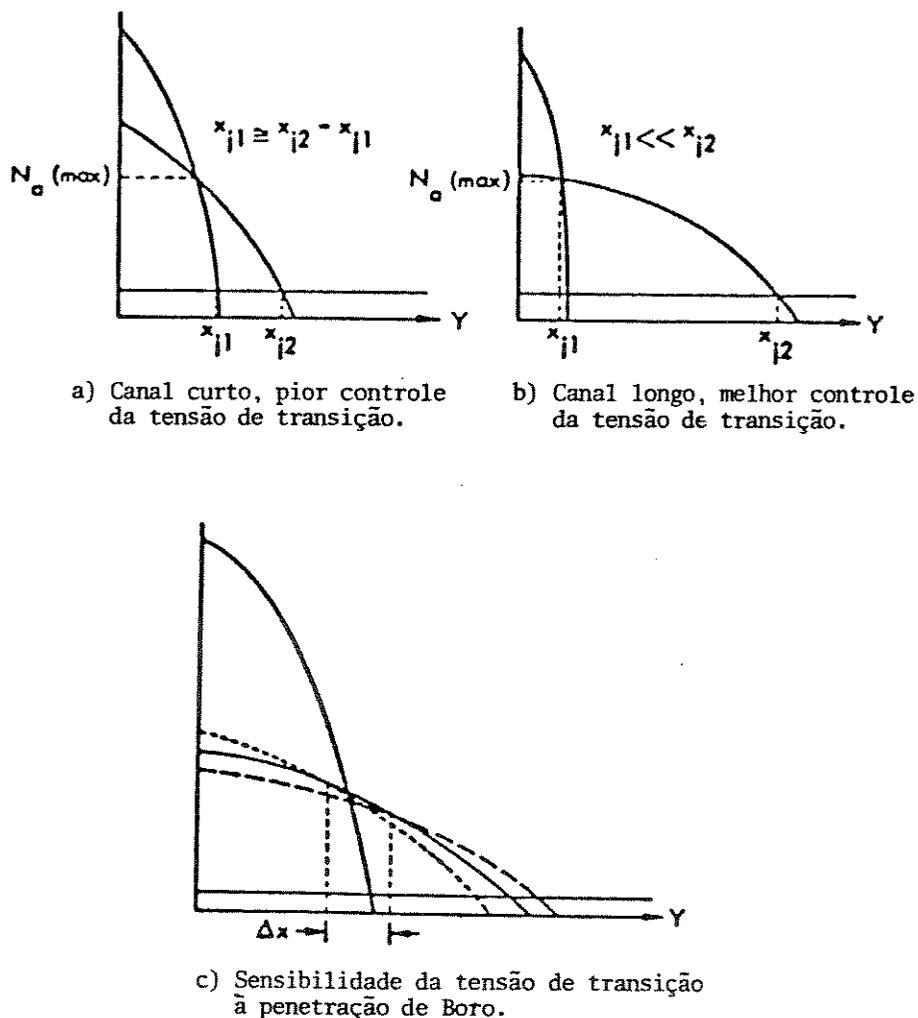


Figura 2.15: Perfis de concentração de Boro e Fósforo, mostrando o efeito da profundidade de difusão na variação de $N_{A\text{MAX}}$

Na figura 2.15a está ilustrado um perfil de dopagem no qual a profundidade da junção fonte/canal (x_{jN}) é aproximadamente a metade da profundidade

da junção canal/dreno (x_{jP}). Nesta situação, variações tanto no tempo quanto na temperatura de qualquer uma das duas difusões afetarão consideravelmente a concentração de impurezas aceitadoras no ponto de intersecção dos dois perfis (que é aproximadamente o N_{AMAX}), modificando consequentemente V_t . Esta influência pode ser diminuída se fizermos a profundidade da junção canal/dreno várias vezes maior que a profundidade da junção fonte/canal, como ilustra a figura 2.15b. Nesta, percebe-se que o perfil de impurezas aceitadoras é relativamente plano próximo do ponto de intersecção dos dois perfis, de forma que variações nos parâmetros de difusão da fonte irão influenciar a profundidade da junção fonte/canal, mas terão pouca influência em N_{AMAX} (devido à planicidade do perfil de impurezas aceitadoras nesta região). Deste modo diminui-se a influência em V_t da pré-deposição e penetração de Fósforo.

Outra forma de diminuir a influência do processo de difusão na tensão de transição é ilustrada na figura 2.15c. Suponhamos que a difusão de canal seja realizada com uma pré-deposição constante, mas que variações ocorram na penetração. Os perfis resultantes estão indicados pelas linhas tracejadas. Percebe-se da figura que tais perfis não se intersectam em um ponto mas, se as variações de processo forem pequenas, eles se intersectarão suficientemente próximos de forma que exista uma região Δx na qual as variações em N_{AMAX} sejam mínimas, reduzindo assim a influência da penetração da junção canal/dreno em V_t .

Mesmo empregando-se as duas técnicas mencionadas acima, N_{AMAX} ainda continua sendo diretamente proporcional à quantidade de impurezas introduzidas durante a pré-deposição da junção canal/dreno. A influência desta etapa na tensão de transição não pode ser diminuída, de modo que a tolerância de processo na etapa de pré-deposição da junção canal/dreno será o fator limitante no controle de V_t de transistores DMOS de canal longo [2.1].

A fim de verificar quantitativamente a influência das variações de processo na tensão de transição, Pocha realizou simulações computacionais utilizando as expressões (2.21) e (2.2). O valor de K empregado na expressão (2.21) torna-se irrelevante, já que tal valor é o mesmo para todas as simulações e deseja-se calcular apenas variações. Estas variações foram expressas em termos do comprimento característico de difusão, já que este parâmetro aparece em todas as expressões de perfis. Desta forma, variações são feitas nos valores dos parâmetros (tempo e temperatura) para cada etapa individualmente, sem variar os parâmetros das outras etapas. Porém, como as variações estão sendo expressas em termos de \sqrt{Dt} , é indiferente variar o tempo ou a temperatura.

A figura 2.16 [2.1] ilustra curvas da tensão de transição em função do comprimento característico de difusão (normalizado pelo seu menor valor) para cada etapa do processo de difusão.

Nesta figura percebe-se que a tensão de transição é mais afetada por variações na pré-deposição de Boro, como já havia sido dito. Para o caso desta figura, tem-se um dispositivo de canal longo, onde a profundidade da junção canal/dreno é bem maior do que a profundidade da junção fonte/canal, resultando em pequenas variações em V_t devido à influência da difusão de Fósforo. A figura também ilustra duas curvas para a penetração de Boro, sendo que para aquela onde houve um posi-

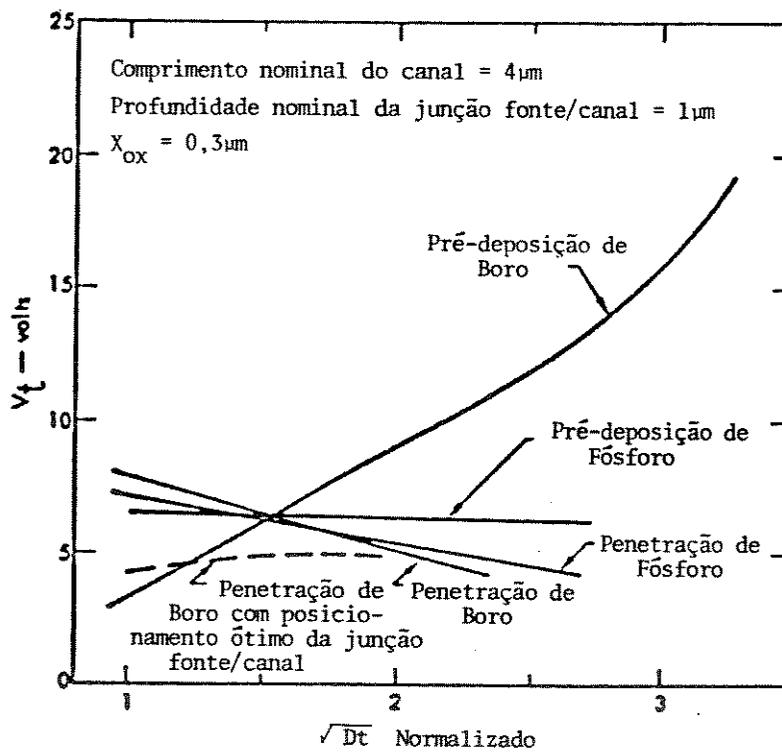


Figura 2.16: Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal longo [2.1]

cionamento ótimo da junção fonte/canal (curva tracejada), a influência em V_t é bem menor do que para a outra, aonde tal posicionamento não foi feito. Porém, mesmo se o posicionamento ótimo não é feito, a influência das variações na penetração de Boro é bem menor do que na pré-deposição de Boro.

A figura 2.17 [2.1] ilustra o efeito resultante ao se combinar todas as variações individuais. As tiras verticais indicam a variação total da tensão de transição, considerando-se 10% de tolerância em \sqrt{Dt} para cada etapa de difusão (na direção em que produziu a maior alteração em V_t). Esta figura representa então o melhor controle da tensão de transição que pode ser obtido para uma tolerância de 10% em \sqrt{Dt} .

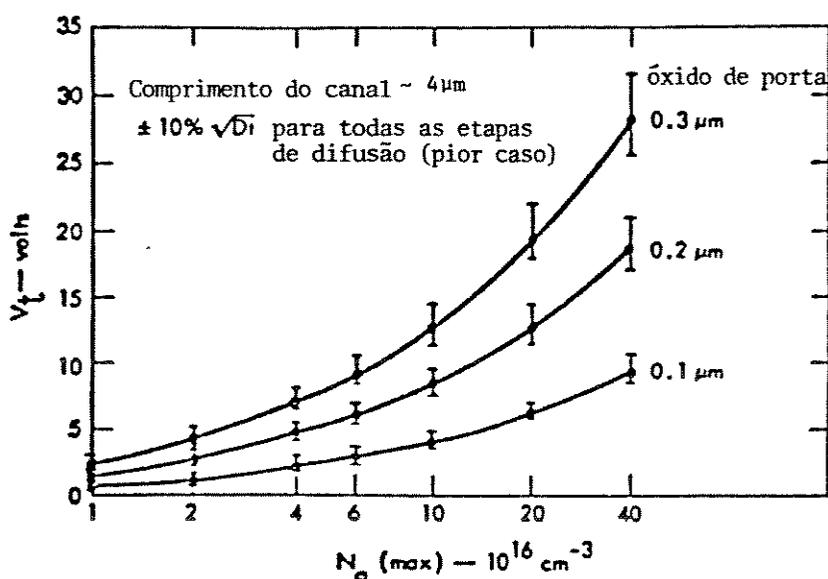


Figura 2.17: Efeito resultante ao se combinar todas as variações individuais de processo na tensão de transição para dispositivos de canal longo [2.1]

Já para dispositivos de canal curto, a influência em V_t das variações na penetração de Boro e Fósforo torna-se comparável à influência da pré-deposição de Boro, como ilustra a figura 2.18.

O aumento da influência da penetração de Boro pode ser explicado como sendo devido à grande variação ocorrida no comprimento de canal (L) quando uma pequena variação ocorre em \sqrt{Dt} [2.1].

As curvas da figura 2.18 foram obtidas para o caso em que o perfil de Fósforo não está otimamente posicionado e a profundidade da junção fonte/canal é igual ao comprimento do canal. Realizando-se ambas as otimizações, obtém-se as curvas da figura 2.19.

Levando em conta tudo o que foi dito até aqui, pode-se dizer que o parâmetro mais importante no controle da tensão de transição é a razão do comprimento de canal pela profundidade da junção fonte/canal [2.1]. Desta forma, desejando-se construir dispositivos com canais curtos, a profundidade da junção

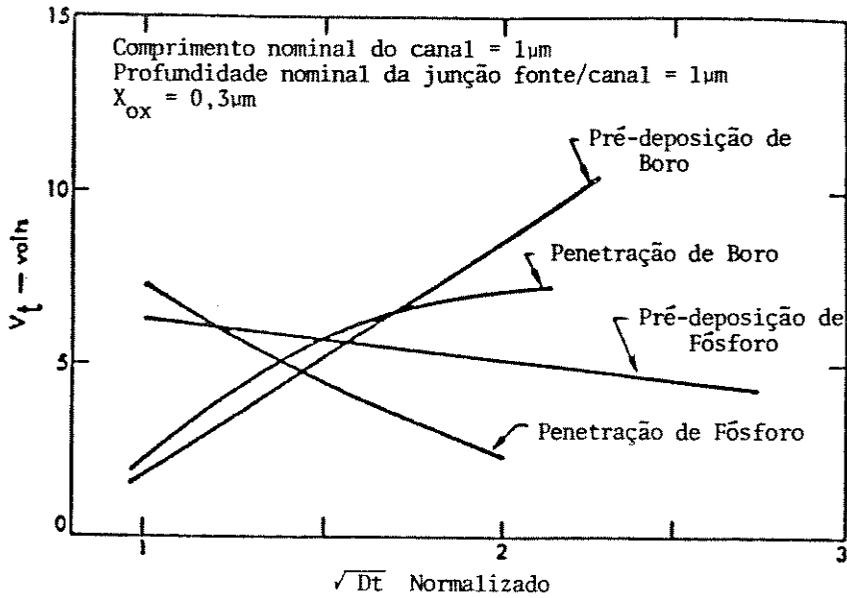


Figura 2.18: Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal curto [2.1]

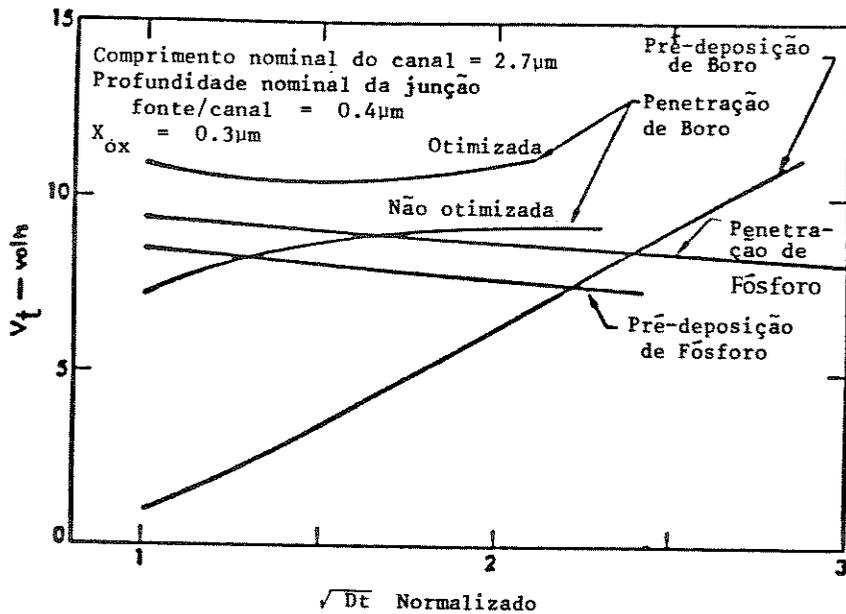


Figura 2.19: Efeito das variações nas etapas individuais de processo na tensão de transição para dispositivos de canal curto com posicionamento ótimo do perfil de Fósforo [2.1]

fonte/canal deve ser proporcionalmente diminuída, a fim de manter o controle de V_t .

A figura 2.20 ilustra a influência da variação desta razão em V_t para tolerâncias de 10% e 2% em \sqrt{Dt} (como na figura 2.17, estão combinadas as variações individuais de cada etapa de difusão). A profundidade da junção fonte/canal foi mantida constante ($\approx 1 \mu\text{m}$) e o comprimento de canal foi variado de 1 a 4 μm . Para o caso da tolerância de 10%, foi calculada a variação de V_t para duas espessuras de óxido. A tolerância de 2% seria obtida apenas com o uso da implantação iônica.

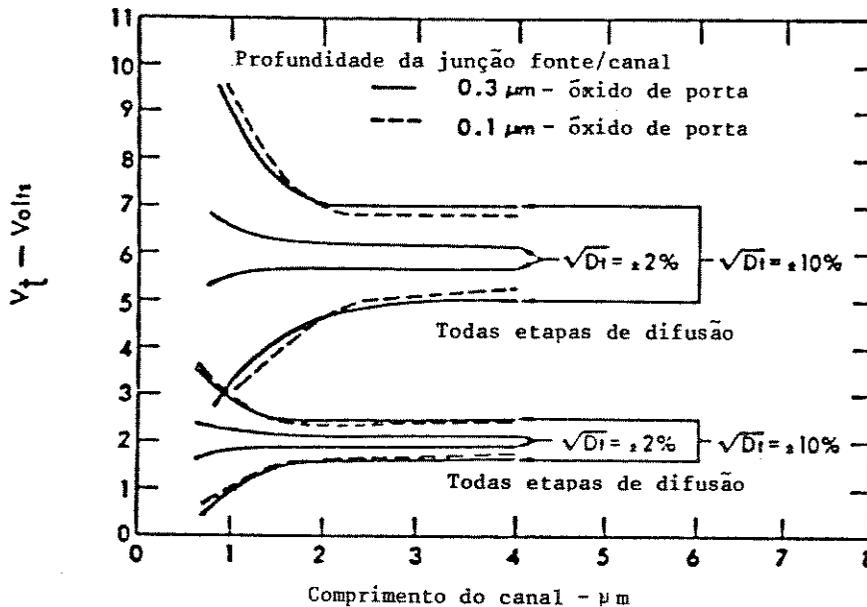


Figura 2.20: Efeito da variação do comprimento de canal na tensão de transição ($x_{jN} = 1 \mu\text{m}$) [2.1]

Esta figura mostra que uma razão entre L e x_{jN} de dois para três é suficiente para que as variações na tensão de transição sejam controladas principalmente pelas variações na pré-deposição de Boro.

Até aqui, não foi incluído o efeito da variação nas cargas de interface (Q_{SS}). O controle de tais cargas é mais difícil de ser realizado e está relacionado com a limpeza (ausência de contaminação e cuidados no manuseio das lâminas) com que as etapas do processo são realizadas, principalmente a oxidação de porta e a metalização. Realizando um recozimento em ambiente de Nitrogênio após a oxidação de porta reduz-se tais cargas a valores menores do que $1 \cdot 10^{11} \text{ cm}^{-2}$ para substratos $\langle 100 \rangle$. A influência de Q_{SS} em V_t pode ser obtida variando-se o valor da primeira na expressão (2.2). Os resultados obtidos estão ilustrados na figura 2.21 [2.1] para duas espessuras de óxido.

Desta observa-se que quanto menor é Q_{SS} , mais plana é a curva e portanto melhor o controle de V_t . Por outro lado, quanto mais fino for o óxido de porta, menor a influência de Q_{SS} na tensão de transição.

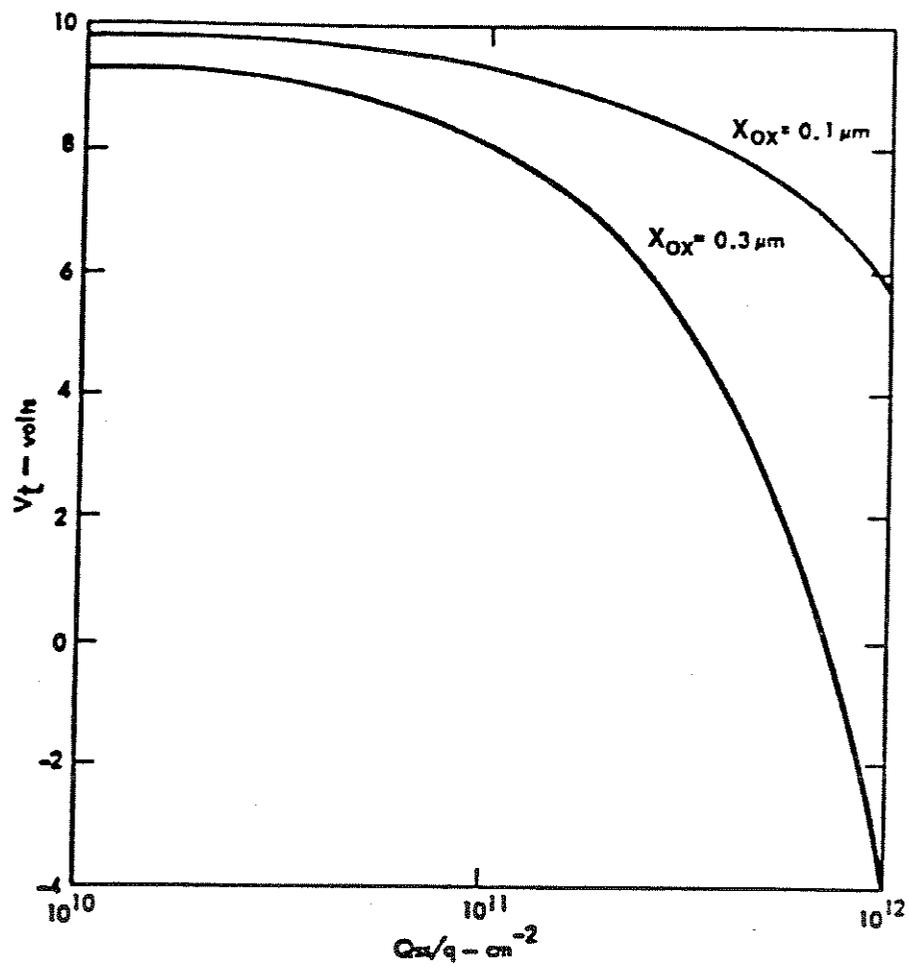


Figura 2.21: Influência da variação nas cargas de interface na tensão de transição [2.1]

Capítulo 3

Tensão de ruptura e técnicas de terminação de junções

Introdução

A tensão de ruptura (V_r) é uma característica muito importante de um transistor de potência pois representa uma limitação fundamental na voltagem máxima que o dispositivo pode operar [3.1]. Assim sendo, existem diodos retificadores com tensões de ruptura baixas (25 V) usados em fontes chaveadas, e tiristores com tensões de ruptura próximas a 6000 V usados em redes de transmissão D.C..

O estudo da junção P/N reversamente polarizada torna-se necessário para se determinar a tensão de ruptura do dispositivo. Este estudo tem sido feito desde a década de 50 e modelos matemáticos que permitem uma melhor compreensão do fenômeno já foram estabelecidos.

Com o advento da tecnologia planar, esforços foram concentrados no estudo das regiões cilíndricas e esféricas normalmente presentes nesta tecnologia, pois estas regiões degradam o valor da tensão de ruptura. Por esta razão surgiu paralelamente ao estudo da tensão de ruptura, o estudo do que chamamos de técnicas de terminação, sendo que também são encontrados vários trabalhos nesta área [3.1].

Neste capítulo será analisado o problema da ruptura de uma junção semicondutora, tanto para a região plana da junção quanto para as regiões cilíndricas e esféricas desta. Em seguida serão discutidas algumas técnicas de terminação, com ênfase na técnica de ataque químico de contorno que aqui é sugerida como técnica de terminação para a construção de transistores DMOS de potência.

3.1 Tensão de ruptura de junções semicondutoras

Quando se aplica uma tensão reversa em uma junção P/N, cria-se uma região de depleção que impede a passagem de portadores majoritários pela junção. Portanto, nessa condição, atravessa a junção apenas a corrente de fuga devida aos efeitos de superfície e a corrente reversa devida à difusão dos portadores minoritários

através da junção e à geração de pares elétron-lacuna na região de depleção. Destas componentes, a última é a mais significativa e depende, dentre outros fatores, da tensão reversa aplicada [3.2].

Os portadores móveis presentes na região de depleção sofrem a influência do campo elétrico intenso existente nesta região, sendo daí repelidos. À medida que a tensão reversa sobre a junção aumenta, a velocidade dos portadores torna-se progressivamente maior, de forma que, quando o campo elétrico ultrapassa $1 \cdot 10^5$ V/cm, os portadores têm energia suficiente para excitar um elétron da banda de valência para a banda de condução ao se chocarem com os átomos da rede. Este processo de geração de pares elétron-lacuna é denominado **ionização por impacto**. Tal processo é um fenômeno multiplicativo já que o par elétron-lacuna inicialmente formado é acelerado pelo campo elétrico e participa da formação de novos pares.

Quando a taxa de ionização por impacto (definida como [3.2]) o número total de pares elétron-lacuna criados por um único par, em toda a extensão da região de depleção) tende a infinito, o dispositivo atinge a **ruptura** (por avalanche) e a corrente de portadores através da região de depleção torna-se considerável. Para se caracterizar este processo, define-se o **Coefficiente de Ionização por Impacto para Elétrons** (α_n) como o número de pares elétron-lacunas criados por um elétron que percorra um centímetro através da região de depleção na direção do campo elétrico. O **Coefficiente de Ionização por Impacto para Lacunas** (α_p) é definido de forma semelhante.

Medidas destes coeficientes foram realizadas e verificou-se que em muitos casos α_n e α_p são aproximadamente iguais e dados por:

$$\alpha = 1,8 \cdot 10^{-35} \times \mathcal{E}^7 \quad [\text{cm}^{-1}] \quad (3.1)$$

onde:

- \mathcal{E} = intensidade do campo elétrico.

Pode-se mostrar que [3.1] a taxa de ionização por impacto, também conhecida como **coeficiente de multiplicação**, tende a infinito quando:

$$\int_0^{W_r} \alpha_p \exp \left[\int_0^x (\alpha_n - \alpha_p) dx \right] dx = 1 \quad (3.2)$$

Esta expressão é denominada **integral de ionização**. Aqui, W_r é a largura da região de depleção na ruptura e x é a distância da junção ao ponto no qual foi formado o primeiro par elétron-lacuna.

Para o caso de α aproximado, ou seja, $\alpha_n = \alpha_p = \alpha$, temos:

$$\int_0^{W_r} \alpha dx = 1 \quad (3.3)$$

ou, substituindo (3.1):

$$1,8 \cdot 10^{-35} \int_0^{W_r} \mathcal{E}^7 dx = 1 \quad (3.4)$$

Para se determinar a tensão de ruptura de uma dada junção, necessita-se conhecer a expressão do campo elétrico para tal junção. Esta pode ser obtida integrando-se a equação de Poisson unidimensional nas vizinhanças da região de depleção para a distribuição de cargas característica daquela junção:

$$\frac{d^2V}{dx^2} = -\frac{d\mathcal{E}}{dx} = -\frac{Q(x)}{\epsilon_{Si}} \quad (3.5)$$

onde:

- $Q(x)$ = densidade volumétrica de cargas (cm^{-3}),
- ϵ_{Si} = constante dielétrica do Silício (F/cm).

3.1.1 A junção abrupta

Considera-se uma junção como sendo abrupta quando um lado da junção é fortemente dopado em relação ao outro de modo que a região de depleção se estenda quase que exclusivamente no lado menos dopado. Dispositivos fabricados com o uso de junções rasas construídas sobre substratos pouco dopados são bem representados por este tipo de junção.

Considere uma junção abrupta $P^+/Si-n$ plana, construída em um substrato homogêneo com dopagem N_D . Como a região de depleção é desprezível no lado P^+ , torna-se necessário resolver a equação de Poisson apenas no lado do substrato n . Então:

$$Q(x) = +qN_D \quad [\text{Coulomb} \cdot \text{cm}^{-3}] \quad (3.6)$$

e de (3.5):

$$\frac{d^2V}{dx^2} = -\frac{qN_D}{\epsilon_{Si}} \quad (3.7)$$

Integrando a expressão acima com a condição de contorno $\mathcal{E}(W) = 0$, sendo W a largura da região de depleção, obtemos para o campo elétrico uma relação linear com a distância:

$$\mathcal{E}(x) = -\frac{qN_D}{\epsilon_{Si}} (W - x) \quad (3.8)$$

Nota-se desta que o campo elétrico máximo ocorre em $x = 0$:

$$\mathcal{E}_{MAX} = -\frac{qN_D}{\epsilon_{Si}} W \quad (3.9)$$

A distribuição de potencial é obtida integrando-se novamente a expressão (3.8) com a condição de contorno $V(0) = 0$. Obtém-se:

$$V(x) = +\frac{qN_D}{\epsilon_{Si}} \left(Wx - \frac{x^2}{2} \right) \quad (3.10)$$

Como em $x = W$, $V(x)$ deve ser igual à tensão reversa aplicada V_a , a largura da região de depleção é dada por:

$$W = \sqrt{\frac{2 \epsilon_{Si} V_a}{q N_D}} \quad (3.11)$$

Substituindo-se a expressão (3.8) do campo elétrico na integral de ionização (3.4) e resolvendo esta integral, obtém-se a largura da região de depleção na ruptura [3.1; 3.2]:

$$W_{r_A} = 2,67 \cdot 10^{10} \times N_D^{-7/8} \quad [\text{cm}] \quad (3.12)$$

e com o auxílio das expressões (3.9) e (3.11) obtém-se respectivamente o campo elétrico máximo na ruptura e a tensão de ruptura para a junção abrupta:

$$\mathcal{E}_{MAX_{r_A}} = -4 \cdot 10^3 \times N_D^{1/8} \quad [\text{Volts/cm}] \quad (3.13)$$

$$V_{r_A} = 5,34 \cdot 10^{13} \times N_D^{-3/4} \quad [\text{Volts}] \quad (3.14)$$

Desta última expressão observa-se que a tensão de ruptura de uma junção é função da dopagem do substrato.

As expressões (3.12) e (3.14) estão representadas na figura 3.1.

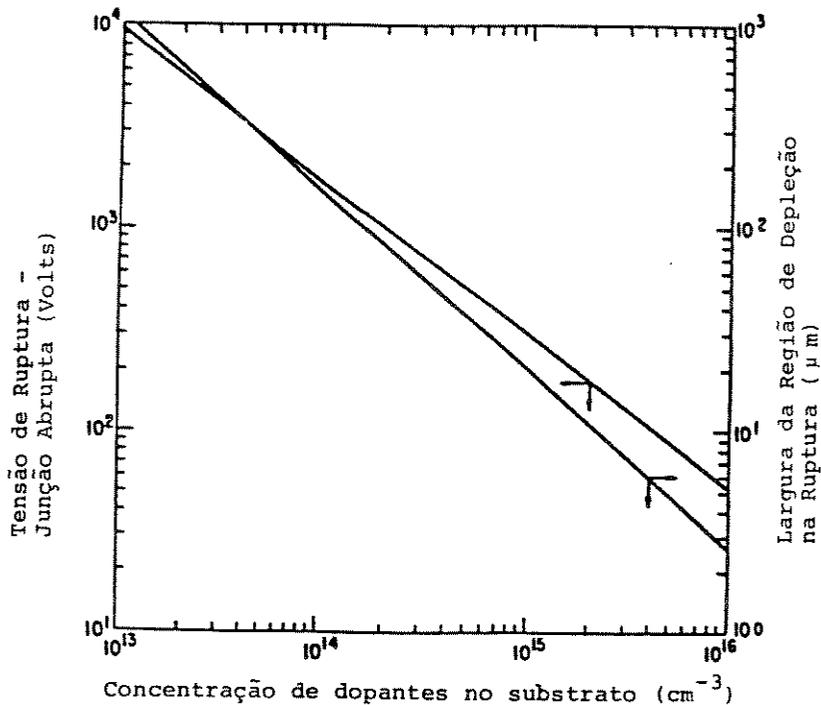


Figura 3.1: Tensões de ruptura e correspondentes larguras máximas da região de depleção em função da dopagem do substrato para junções abruptas [3.1]

3.1.2 A junção tipo P⁺/N⁻/N⁺

Uma outra estrutura importante no estudo da tensão de ruptura é a junção tipo P⁺/N⁻/N⁺, também conhecida como “diodo punchthrough”. Esta estrutura é obtida, por exemplo, ao se fazer uma difusão P⁺ sobre uma lâmina epitaxial N⁻/N⁺, cuja espessura da camada epitaxial é H .

Este tipo de estrutura é bastante útil na construção de transistores DMOS verticais de potência, já que estes dispositivos conduzem corrente pelo substrato e a junção tipo “punchthrough” é capaz de suportar a mesma tensão reversa que uma junção abrupta comum desde que a dopagem da camada epitaxial seja um pouco menor que no caso normal [3.2]. Desta forma, a resistência de condução no substrato é minimizada.

Também, como no caso da junção abrupta, a região de carga espacial estende-se quase que exclusivamente no lado menos dopado, ou seja, na camada epitaxial. Aqui porém, a largura W desta região de depleção é limitada pela camada N⁺, ou seja, W é sempre menor ou igual a H .

Para se obter a expressão do campo elétrico para este tipo de junção, deve-se então resolver a equação de Poisson. Esta é a mesma expressão (3.7) da junção abrupta, só que agora a condição de contorno será $\mathcal{E}(W) = \mathcal{E}_1$ (e não zero) [3.3]. Obtém-se:

$$\mathcal{E}(x) = -\frac{qN_D}{\epsilon_{Si}}(W - x) + \mathcal{E}_1 \quad (3.15)$$

O campo elétrico máximo ocorre novamente em $x = 0$:

$$\mathcal{E}_{MAX} = -\frac{qN_D W}{\epsilon_{Si}} + \mathcal{E}_1 \quad (3.16)$$

Substituindo-se (3.16) em (3.15), obtém-se:

$$\mathcal{E}(x) = \frac{qN_D}{\epsilon_{Si}} x + \mathcal{E}_{MAX} \quad (3.17)$$

Integrando-se novamente a expressão (3.17) sujeita à condição $V(0) = V_a$, onde V_a é a tensão reversa aplicada, obtém-se [3.3]:

$$V(x) = -\frac{qN_D}{\epsilon_{Si}} \frac{x^2}{2} - \mathcal{E}_{MAX} x + V_a \quad (3.18)$$

ou ainda, impondo a condição $V(W) = V_1$:

$$V_1 = -\frac{qN_D}{\epsilon_{Si}} \frac{W^2}{2} - \mathcal{E}_{MAX} W + V_a \quad (3.19)$$

Como a tensão V_1 representa a queda de tensão na camada epitaxial fora da região de depleção (compreendida entre H e W), pode-se escrever que [3.3]:

$$V_1 = \mathcal{E}_1(H - W) \quad (3.20)$$

de forma que, de (3.16) tem-se que:

$$V_a = \mathcal{E}_{MAX} H + \frac{qN_D}{\epsilon_{Si}} W \left(H - \frac{W}{2} \right) \quad (3.21)$$

Para se obter as expressões da largura da região de depleção na ruptura, do campo elétrico máximo na ruptura e da tensão de ruptura para a junção tipo "punchthrough", procede-se da mesma forma que na seção anterior.

Porém, quando a tensão reversa aplicada for a tensão que rompe a junção (V_r), o campo elétrico máximo será $\mathcal{E}_{MAX,r}$ e a largura da região de depleção será W_r , ou seja:

$$V_r = \mathcal{E}_{MAX,r} H + \frac{qN_D}{\epsilon_{Si}} W_r \left(H - \frac{W_r}{2} \right) \quad (3.22)$$

3.1.3 A junção gradual linearmente dopada

Uma junção é dita linearmente dopada quando a concentração de dopantes varia linearmente do lado P ao lado N por toda a região de depleção. Define-se então a constante G como sendo a taxa de variação da concentração de dopantes com a distância. Então:

$$Q(x) = \pm q G |x| \quad (3.23)$$

onde o sinal positivo refere-se às cargas de átomos de impurezas doadoras ionizadas do lado N, e o sinal negativo às impurezas aceitadoras ionizadas do lado P da junção.

Da equação de Poisson (3.5) obtemos:

$$\frac{d^2V}{dx^2} = \mp \frac{q G x}{\epsilon_{Si}} \quad (3.24)$$

Neste caso porém, a região de depleção se estende nos dois lados da junção e a expressão (3.24) deve ser integrada nestas duas regiões. Considerando que as regiões de depleção se estendam por uma largura W em cada um dos lados da junção, integrando (3.24) com a condição de contorno $\mathcal{E}(\pm W) = 0$, obtemos a expressão do campo elétrico para a junção linearmente dopada:

$$\mathcal{E}(x) = -\frac{q G}{2 \epsilon_{Si}} (W^2 - x^2) \quad (3.25)$$

ou seja, uma variação quadrática com a distância. O campo elétrico máximo ocorre novamente em $x = 0$:

$$\mathcal{E}_{MAX} = -\frac{q G}{2 \epsilon_{Si}} W^2 \quad (3.26)$$

Integrando-se novamente a expressão (3.25) com a condição de contorno $V(-W) = 0$, obtemos a distribuição de potencial para este tipo de junção:

$$V(x) = -\frac{q G}{\epsilon_{Si}} \left[\frac{x^3}{6} - \frac{W^2 x}{2} - \frac{W^3}{3} \right] \quad (3.27)$$

Como em $x = W$, $V(x)$ deve ser igual à tensão reversa aplicada V_a , obtemos a relação:

$$W = \left(\frac{3 \epsilon_{Si} V_a}{2 q G} \right)^{1/3} \quad (3.28)$$

Substituindo-se a expressão (3.25) na integral de ionização (3.4) e resolvendo tal integral, obtém-se a largura da região de depleção na ruptura para a junção linearmente dopada [3.1; 3.2]:

$$W_{rL} = 9,1 \cdot 10^5 \times G^{-7/15} \quad [\text{cm}] \quad (3.29)$$

e com o auxílio das expressões (3.26) e (3.28), obtemos respectivamente o campo elétrico máximo na ruptura e a tensão de ruptura para a junção linearmente dopada:

$$\mathcal{E}_{MAX_{rL}} = -2,0 \cdot 10^4 \times G^{1/15} \quad [\text{Volt.cm}^{-1}] \quad (3.30)$$

$$V_{rL} = 9,2 \cdot 10^9 \times G^{-2/5} \quad [\text{Volt}] \quad (3.31)$$

Novamente, a tensão de ruptura é função da dopagem do substrato. As expressões (3.29) e (3.31) estão representadas na figura 3.2.

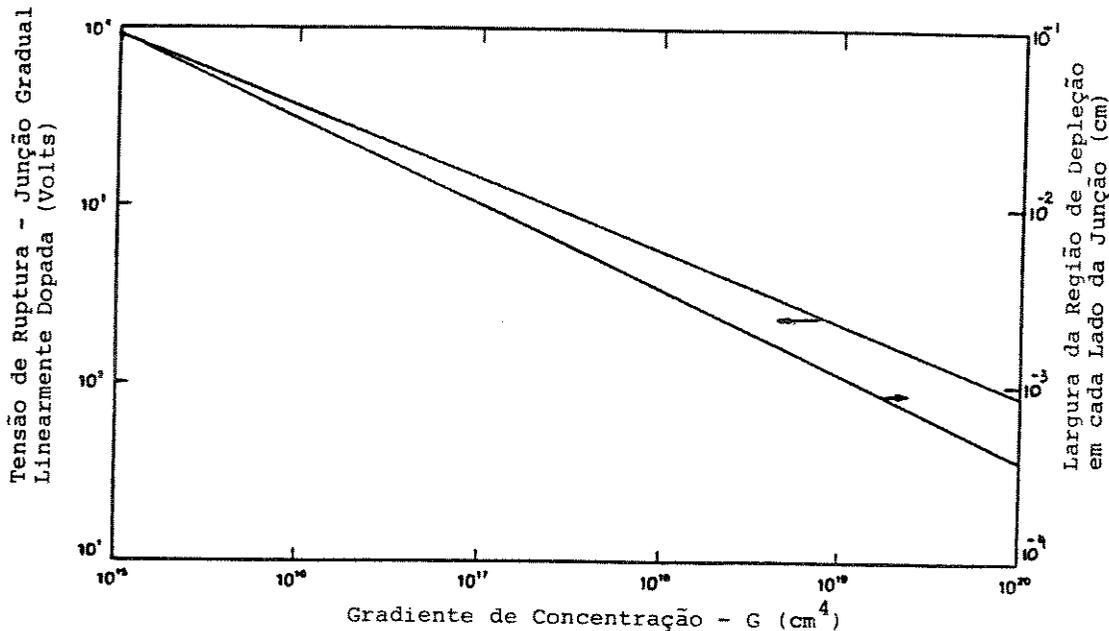


Figura 3.2: Tensões de ruptura e correspondentes larguras máximas da região de depleção para junções graduais linearmente dopadas [3.2]

Devido ao fato que a junção linearmente dopada pode suportar tensão em ambos os lados, esta apresenta maiores tensões de ruptura que as exibidas por junções abruptas com a mesma faixa de dopagem do substrato [3.1]. Este tipo de junção representa bem as junções profundas.

3.1.4 A junção difundida

A tecnologia planar de construção de circuitos integrados não permite a realização de junções daqueles dois tipos apresentados até agora.

Um método de dopagem e formação de junções empregado na tecnologia planar é a **pré-deposição** de impurezas de uma fonte sólida ou gasosa na superfície da lâmina e a posterior **penetração** destas impurezas até a profundidade desejada, sendo que tanto a pré-deposição como a penetração ocorrem em altas temperaturas. Estas etapas de processo foram modeladas no Capítulo 2, onde foi visto que o perfil de dopagem após uma **pré-deposição** com concentração de superfície constante é dado pela expressão (2.10), enquanto que o perfil de dopagem após a **penetração** é dado pela expressão (2.12).

Um outro método largamente empregado na tecnologia planar é a **implantação iônica**, onde dopantes são introduzidos na lâmina por bombardeamento de alta energia, seguindo-se uma etapa de recozimento a fim de ativar estes dopantes e reorganizar a rede cristalina. Através da implantação iônica pode-se conseguir maior controle do perfil de dopagem. Este também possui uma forma Gaussiana do tipo:

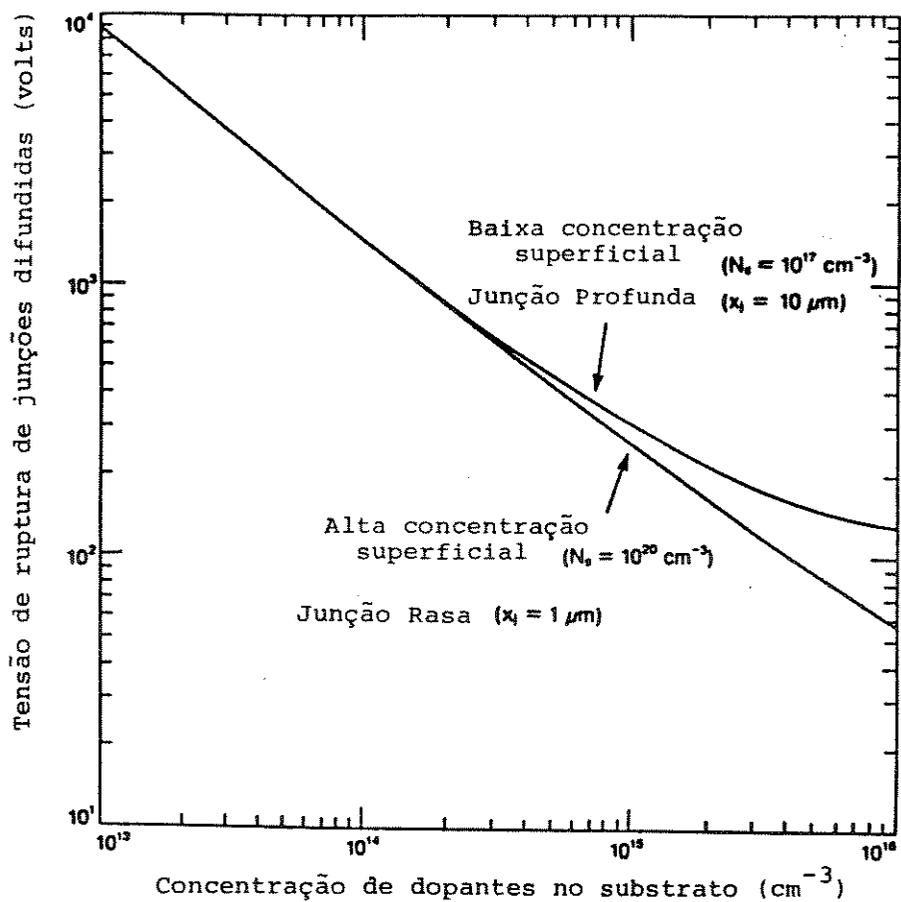
$$N(x) \simeq \frac{\phi}{\sqrt{2\pi} \Delta R_p} \exp \left[-\frac{(x - R_p)^2}{2 \Delta R_p^2} \right] - N_{BC} \quad (3.32)$$

onde:

- ϕ = dose implantada,
- R_p = alcance médio,
- ΔR_p = desvio padrão.

É interessante notar que, em ambos os métodos de dopagem, a concentração de dopantes varia gradualmente perto da junção metalúrgica, como ocorre na junção linearmente dopada, enquanto que no substrato, a compensação de dopagem do material difundido é desprezível e a concentração de dopantes é homogênea, como na junção abrupta. Então a junção difundida pode ser considerada como um caso intermediário entre a junção abrupta e a junção linearmente dopada [3.1; 3.2].

Não é possível obter expressões analíticas semelhantes às obtidas anteriormente, a partir de perfis de dopagem com a forma de função Gaussiana ou Erro-complementar. Pode-se porém realizar a integração numérica da expressão (3.3), obtendo assim a tensão de ruptura e a largura da região de depleção na ruptura para estes casos. A figura 3.3 ilustra as curvas destes parâmetros em função da dopagem do substrato para dois casos extremos. O primeiro caso possui alta concentração superficial e pequena profundidade de junção, representando uma junção abrupta, enquanto o segundo caso possui baixa concentração superficial e grande profundidade de junção, semelhante a uma junção linearmente dopada.



(a)

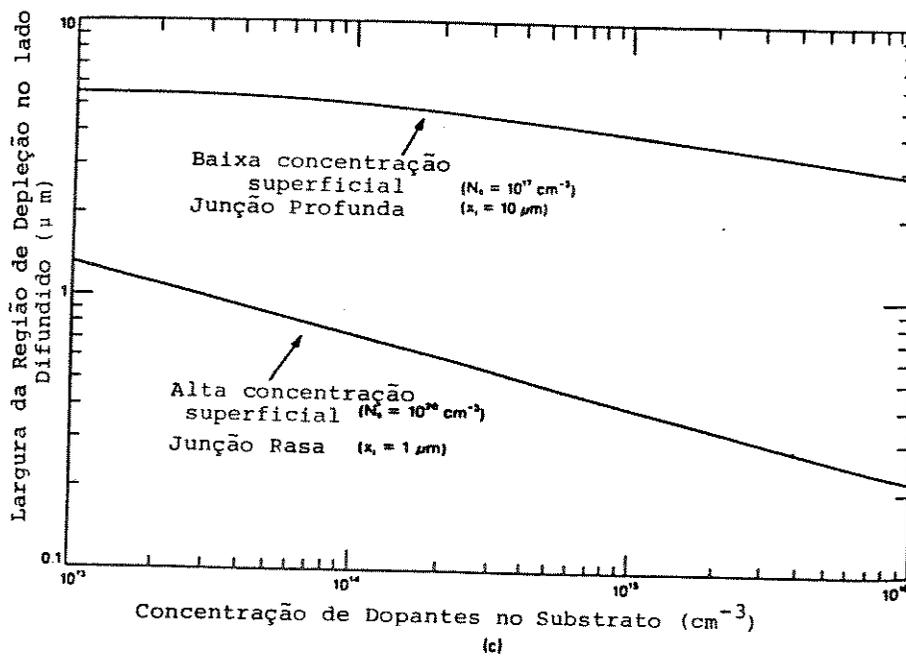
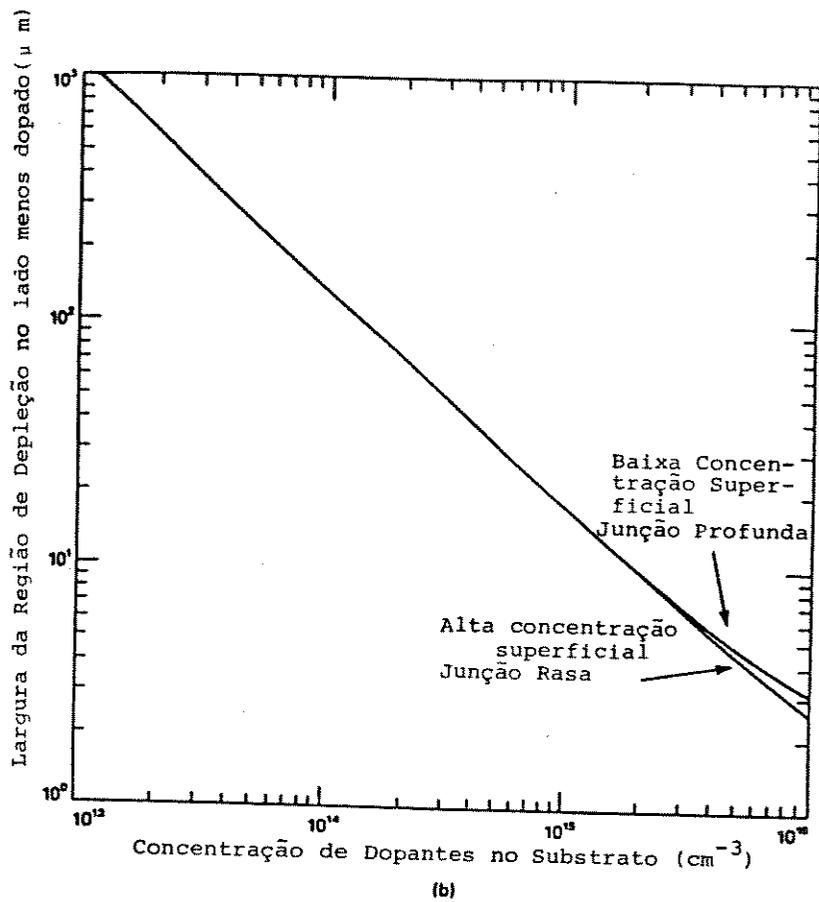


Figura 3.3: Tensões de ruptura (a) e larguras da região de depleção em ambos os lados de uma junção difundida (b,c), em função da dopagem do substrato [3.1]

3.2 A junção difundida real

As junções até agora apresentadas eram semi-infinitas, ou seja, efeitos de borda não foram considerados. Desta forma, a junção metalúrgica e a região de depleção eram praticamente paralelas à superfície da lâmina (neste caso a junção frequentemente recebe o nome de “**junção plana**”). Com isto as linhas de campo elétrico permaneciam perpendiculares à superfície e paralelas entre si por toda a extensão da junção, sendo a ruptura igualmente provável de ocorrer em todos os pontos desta (figura 3.4).

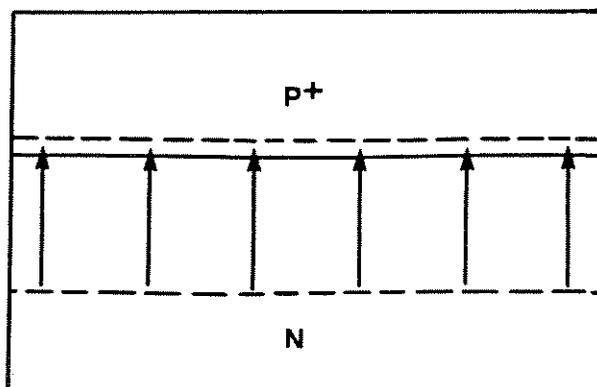


Figura 3.4: Distribuição de campo elétrico em uma junção semi-infinita

Porém, na tecnologia planar, a difusão é feita através de uma máscara de Óxido de Silício que estabelece os limites da junção. Esta será plana apenas no interior da janela de difusão pois nos contornos da janela ocorre a difusão lateral, como já mencionado anteriormente.

A difusão lateral pode estender-se por 85% da profundidade da junção. Porém, para fins de análise de tensão de ruptura, considera-se a difusão lateral idêntica à profundidade da junção [3.1; 3.2].

Assim, junções cilíndricas são formadas ao longo das bordas da janela de difusão, enquanto junções esféricas são formadas nos cantos desta janela. A figura 3.5 ilustra estas regiões.

A região de depleção segue o contorno da junção, assumindo formas cilíndricas e esféricas nestas regiões. Como deve haver um **balanço** de cargas entre os dois lados da junção, a curvatura da junção produz uma concentração de linhas de campo elétrico. Já que a ionização por impacto está diretamente relacionada ao campo elétrico, esta será maior nestas regiões e a ruptura será mais provável de aí ocorrer [3.1]. A figura 3.6 ilustra este fenômeno.

Desta forma, a terminação da junção pode reduzir a tensão de ruptura de “junções reais” a valores bem abaixo daqueles previstos na seção anterior para “junções ideais”. Por esta razão, o estudo de terminações de junções constitui uma etapa importante no desenvolvimento de transistores de potência.

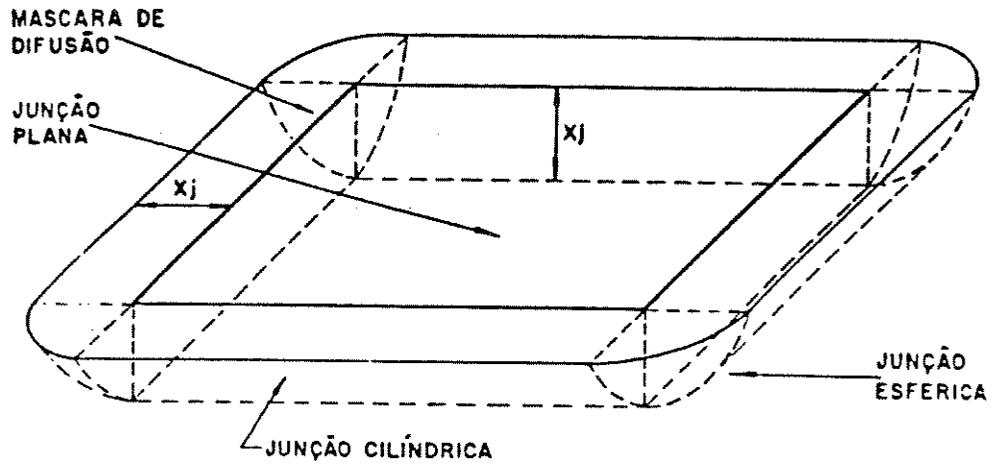


Figura 3.5: Esquema de uma junção difundida real, ilustrando as porções cilíndricas e esféricas da junção [3.2]

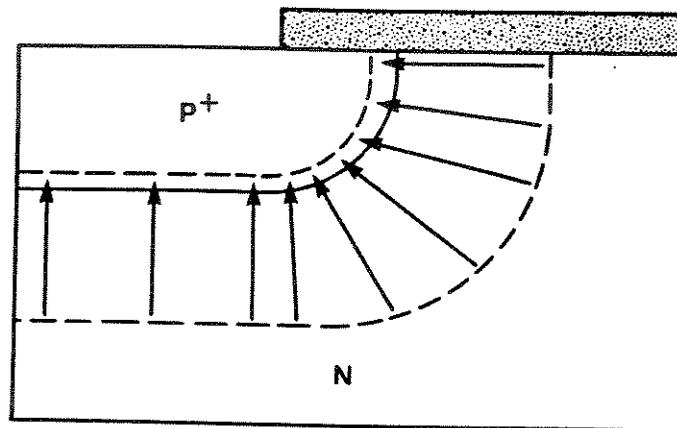


Figura 3.6: Concentração de linhas de campo elétrico na borda da região cilíndrica da junção [3.1]

3.2.1 A região cilíndrica

Para se calcular a tensão de ruptura para a região cilíndrica da junção, procede-se do mesmo modo que nos casos anteriores. A figura 3.7 ilustra um corte desta região, onde considerou-se uma junção com profundidade x_j e a região de depleção estendendo-se apenas no lado menos dopado, com dopagem uniforme N_D .

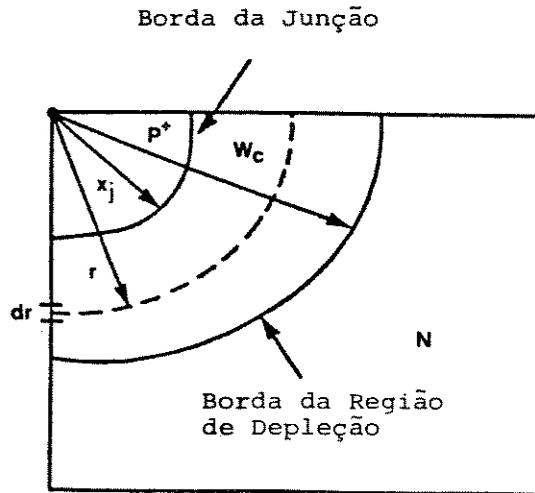


Figura 3.7: Sistema de coordenadas usado no cálculo da tensão de ruptura para a porção cilíndrica da junção [3.1]

Como existe simetria radial, pode-se integrar a equação de Poisson em coordenadas cilíndricas. Então, integrando:

$$\frac{1}{r} \frac{d}{dr} \left(r \frac{dV}{dr} \right) = -\frac{1}{r} \frac{d}{dr} (r \mathcal{E}(r)) = -\frac{qN_D}{\epsilon_{Si}} \quad (3.33)$$

e impondo a condição de contorno $\mathcal{E}(W_C) = 0$, obtém-se a distribuição de campo elétrico:

$$\mathcal{E}(r) = -\frac{qN_D}{2\epsilon_{Si}} \left(\frac{W_C^2 - r^2}{r} \right) \quad (3.34)$$

onde W_C e r estão definidos na figura 3.7.

Deve-se notar que a origem do sistema de coordenadas cilíndricas situa-se na superfície, e não na junção metalúrgica.

Obtém-se para o campo elétrico máximo, na junção metalúrgica ($r = x_j$):

$$\mathcal{E}_{MAX(CIL)} = -\frac{qN_D}{2\epsilon_{Si}} \left(\frac{W_C^2 - x_j^2}{x_j} \right) \quad (3.35)$$

Verifica-se [3.1] que o campo elétrico máximo na região cilíndrica é **maior** que o campo elétrico máximo na região plana da junção e que esta diferença aumenta com o aumento da tensão reversa aplicada, sendo então a ruptura preponderante nas curvaturas da junção.

Integrando-se novamente a expressão (3.34) com a condição de contorno $V(x_j) = 0$, obtém-se:

$$V(r) = + \frac{qN_D}{2\epsilon_{Si}} \left[\left(\frac{x_j^2 - r^2}{2} \right) + W_C^2 \ln \left(\frac{r}{x_j} \right) \right] \quad (3.36)$$

A largura da região de depleção W_C pode ser obtida da expressão acima, considerando-se que em $r = W_C$, $V(r)$ deve ser igual à tensão externa aplicada V_a .

Não é possível [3.2] obter uma solução analítica da integral de ionização (3.4) com a distribuição de campo elétrico (3.34). Porém, como a ionização por impacto ocorre principalmente na região de maior campo elétrico junto à junção metalúrgica, Baliga [3.1] propõe uma aproximação para a distribuição de campo elétrico que possibilita a obtenção de uma expressão para a tensão de ruptura:

$$\mathcal{E}(r) = - \frac{qN_D}{2\epsilon_{Si}} \frac{W_C^2}{r} \quad (3.37)$$

Esta expressão prevê uma distribuição de campo elétrico se estendendo até o infinito, sendo precisa apenas nas imediações da junção metalúrgica.

Obtém-se então [3.2]:

$$W_{rC} = \left[\frac{2\epsilon_{Si}}{qN_D} \right]^{1/2} \left[\frac{6x_j^6}{1,8 \cdot 10^{-35}} \right]^{1/14} \quad (3.38)$$

para a largura da região de depleção na ruptura,

$$\mathcal{E}_{MAX_{r(CIL)}} = - \left(\frac{3,33 \cdot 10^{35}}{x_j} \right)^{1/7} \quad (3.39)$$

para o campo elétrico crítico na ruptura e

$$V_{r(CIL)} = \frac{qN_D}{2\epsilon_{Si}} \left[\left(\frac{x_j^2 - W_{rC}^2}{2} \right) + W_{rC}^2 \ln \left(\frac{W_{rC}}{x_j} \right) \right] \quad (3.40)$$

para a tensão de ruptura da região cilíndrica.

Esta tensão de ruptura é sempre **menor** do que a tensão de ruptura da junção plana (caso ideal), sendo que esta diferença pode atingir até 70% [3.2]. Observando porém a expressão (3.40), vemos que $V_{r(CIL)}$ depende do raio de curvatura x_j da junção. À medida que o raio de curvatura e conseqüentemente a profundidade da junção aumenta, a tensão de ruptura aumenta, tendendo ao valor do caso ideal.

Por esta razão, junções profundas são necessárias para se construir dispositivos com alta tensão de ruptura.

3.2.2 A região esférica

O procedimento para o cálculo da tensão de ruptura para a região esférica da junção é idêntico ao procedimento utilizado para a região cilíndrica no item anterior, só que aqui tem-se simetria esférica.

Resolvendo a equação de Poisson em coordenadas esféricas:

$$\frac{1}{r^2} \frac{d}{dr} \left(r^2 \frac{dV}{dr} \right) = -\frac{1}{r} \frac{d}{dr} (r^2 \mathcal{E}) = -\frac{qN_D}{\epsilon_{Si}} \quad (3.41)$$

com a condição de contorno $\mathcal{E}(W_E) = 0$, obtém-se a distribuição de campo elétrico:

$$\mathcal{E}(r) = -\frac{qN_D}{3\epsilon_{Si}} \left(\frac{W_E^3 - r^3}{r^2} \right) \quad (3.42)$$

onde W_E é a largura da região de depleção para a região esférica, e r definido como anteriormente. Aqui também o campo máximo situa-se na junção metalúrgica ($r = x_j$).

O campo elétrico máximo na região esférica é cerca de 12% **maior** que o campo elétrico máximo na correspondente região cilíndrica [3.2] (e consequentemente **maior** que na porção plana da junção). **Portanto a junção se rompe primeiramente na região esférica.**

Integrando novamente a expressão (3.42) com a condição de contorno $V(x_j) = 0$, obtém-se:

$$V(r) = +\frac{qN_D}{3\epsilon_{Si}} \left[\left(\frac{x_j^2 - r^2}{2} \right) + W_E^3 \left(\frac{1}{x_j} - \frac{1}{r} \right) \right] \quad (3.43)$$

A largura da região de depleção W_E é obtida da expressão acima fazendo-se $V(W_E) = V_a$, onde V_a é a tensão reversa aplicada.

Como no caso da região cilíndrica, aqui também é necessário fazer uma aproximação na expressão da distribuição de campo elétrico (3.42) para que se possa obter uma solução analítica da integral de ionização (3.4). Então, substituindo:

$$\mathcal{E}(r) = -\frac{qN_D}{3\epsilon_{Si}} W_E^3 \left[\frac{1}{r^2} \right] \quad (3.44)$$

na expressão (3.4) e realizando a integração, obtemos para a largura da região de depleção na ruptura [3.2]:

$$W_{rE} = \left[\frac{3\epsilon_{Si}}{qN_D} \right]^{1/3} \left[\frac{13x_j^{13}}{1,8 \cdot 10^{-35}} \right]^{1/21} \quad (3.45)$$

O campo elétrico crítico na ruptura é dado por:

$$\mathcal{E}_{MAX_{r(ESF)}} = -\left(\frac{7,0 \cdot 10^{35}}{x_j} \right)^{1/7} \quad (3.46)$$

e a tensão de ruptura para a região esférica por:

$$V_{r(ESF)} = \frac{qN_D}{2\epsilon_{Si}} \left[\frac{2}{3} \frac{W_{rE}^3}{x_j} - W_{rE}^2 + \frac{1}{3} x_j^2 \right] \quad (3.47)$$

Esta tensão de ruptura é aproximadamente duas vezes menor que a tensão de ruptura para a região cilíndrica [3.1] e apresenta um valor entre 5 e 50% em relação à tensão de ruptura da junção plana. Por esta razão, os cantos em ângulo das máscaras de difusão responsáveis pelo surgimento da região esférica devem ser evitados. Então arredonda-se tais cantos, perdendo-se com isto parte da área ativa da junção. Para que este arredondamento seja eficiente, deve-se usar um raio várias vezes maior que a largura da região de depleção na ruptura. Segundo a referência [3.2], usando-se um raio cinco vezes maior que a largura da região de depleção na ruptura plana, já se obtém um valor de V_r idêntico àquele obtido na região cilíndrica.

3.3 Técnicas de terminação de junções

As expressões obtidas anteriormente para a tensão de ruptura de junções abruptas e linearmente dopadas representam o “limite plano ideal”, ou seja, o valor máximo de tensão de ruptura possível de se obter com determinada lâmina e dopagem.

Foi visto também que as junções reais possuem tensão de ruptura bem menores que este limite plano ideal devido às regiões cilíndricas e esféricas formadas na periferia da janela de difusão.

Devido a isto, tem sido desenvolvido técnicas de terminação destas regiões de periferia a fim de aproximar-se o valor da tensão de ruptura real obtido do valor que idealmente seria obtido em uma junção plana semelhante.

Basicamente, deseja-se construir estruturas que modifiquem a distribuição de campo elétrico na periferia das junções principais, reduzindo-o abaixo de seu valor crítico [3.2].

Algumas destas técnicas de terminação já foram bastante estudadas e são utilizadas na maioria dos dispositivos de potência comerciais. Será feito a seguir uma breve descrição destas técnicas.

3.3.1 Anéis de guarda difundidos

Esta talvez seja a técnica mais simples utilizada para se aumentar a tensão de ruptura de junções reais. Como já foi dito, uma junção real rasa apresenta baixa tensão de ruptura devido ao pequeno raio de curvatura das regiões cilíndricas e esféricas que gera uma alta concentração de linhas de campo elétrico nestas regiões.

Difunde-se então na periferia da junção um anel de mesmo tipo de dopagem da junção, porém com maior profundidade para que assim diminua a concentração de linhas de campo.

A figura 3.8 mostra esta técnica.

3.3.2 Anéis de campo flutuante

Os anéis de campo flutuante são regiões difundidas localizadas nas proximidades da junção principal, porém isoladas desta. São geralmente difundidos na mesma etapa de processo onde é feita a junção principal, possuindo assim a mesma

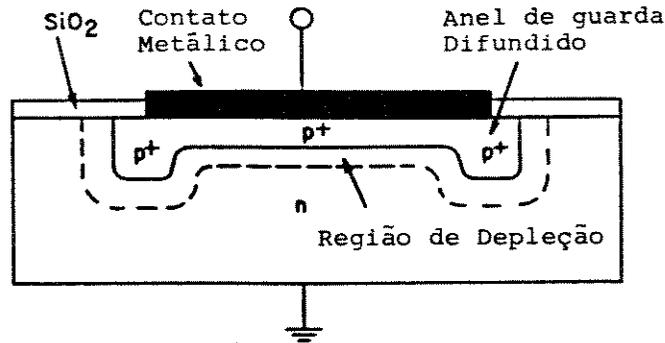


Figura 3.8: Corte transversal de um diodo com anel de guarda difundido [3.4]

profundidade de junção. A figura 3.9 mostra um corte transversal de uma junção circundada por um anel de campo flutuante.

O potencial do anel de campo é estabelecido pela região de depleção da junção principal, sendo que nenhum potencial externo é aplicado no anel. Quando a tensão reversa aplicada na junção principal é pequena, a região de depleção formada não atinge o anel e este retém o potencial do substrato. À medida que a tensão reversa aumenta, a largura da região de depleção aumenta até ocorrer o “punchthrough” no anel. A partir daí, a tensão no anel segue a tensão aplicada na junção principal. Demonstrou-se que [3.1]:

$$V_{anel} = \left(\frac{2qN_D W_s^2 V_a}{\epsilon_{Si}} \right)^{1/2} - \frac{qN_D}{2\epsilon_{Si}} W_s^2 \quad (3.48)$$

onde:

- V_a = tensão reversa aplicada na junção,
- W_s = espaçamento entre o anel e a junção.

Desta forma, o anel de campo atua como um divisor de tensão.

Na figura 3.9 pode ser visto que o anel de campo modifica a curvatura da região de depleção aliviando a concentração das linhas de campo elétrico responsável pela baixa tensão de ruptura.

Porém, para que esta redução na concentração de linhas de campo seja efetiva, o anel deve estar localizado em uma posição ideal em relação à junção. Se este estiver localizado muito longe da junção, terá pouco ou nenhum efeito sobre a curvatura da região de depleção e a ruptura ocorrerá na junção principal praticamente com o mesmo valor de tensão que ocorreria sem o anel. Já se o anel estiver localizado muito próximo da junção, o potencial assumido por este será próximo do potencial aplicado e a ruptura ocorrerá no anel com o mesmo valor de tensão que ocorreria na junção sem o anel.

A posição ótima do anel foi analisada numericamente. A figura 3.10 mostra os resultados obtidos, onde a tensão de ruptura está normalizada pelo caso

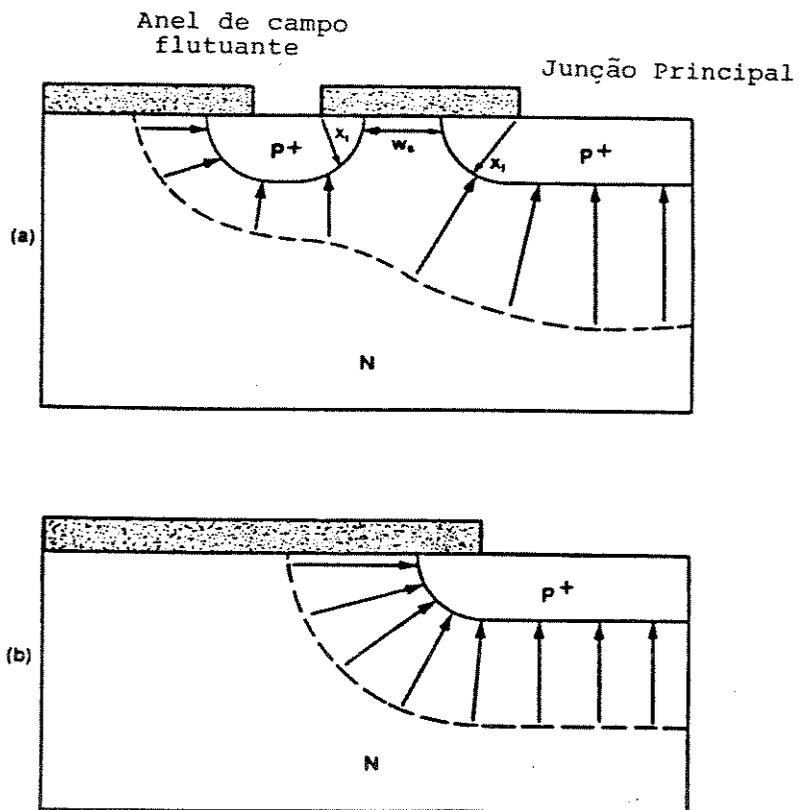


Figura 3.9: Comparação da concentração de linhas de campo elétrico para uma junção com (a) e sem (b) anel de campo flutuante [3.1]

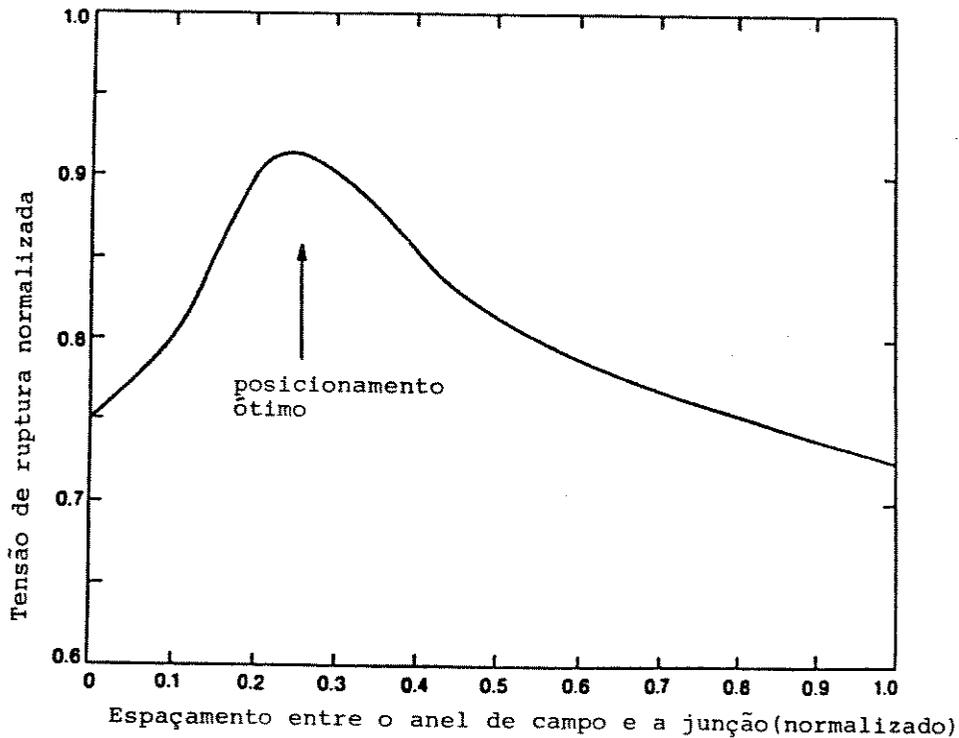


Figura 3.10: Influência do posicionamento do anel de campo flutuante em relação à junção principal na tensão de ruptura desta [3.1]

plano ideal e o espaçamento entre o anel e a junção está normalizado pela largura da região de depleção no lado menos dopado.

Nesta observa-se que existe um pico em torno da posição ótima, necessitando-se assim um controle muito preciso das dimensões de máscara e da profundidade de junção para se obter aumento considerável na tensão de ruptura através do uso de um único anel de campo.

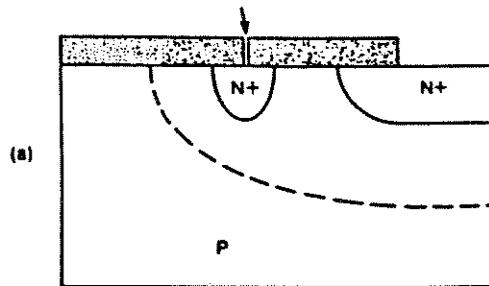
Uma vez que o anel esteja corretamente posicionado, obtém-se um aumento de duas vezes na tensão de ruptura em relação à obtida no caso cilíndrico sem o anel.

Os resultados até aqui apresentados foram obtidos considerando-se não haver cargas na superfície do semicondutor sobre a região levemente dopada (cargas no óxido, por exemplo). A presença destas cargas altera a tensão de punchthrough [3.1] no anel diminuindo a tensão de ruptura. Porém, se a densidade de carga superficial for precisamente conhecida, é possível fazer uma análise semelhante para o posicionamento ótimo do anel incluindo o efeito destas cargas.

Um outro parâmetro importante no projeto de terminações utilizando anéis de campo é a largura da janela pela qual será difundido o anel. A figura 3.11 ilustra dois casos extremos.

Na figura 3.11a, o anel é difundido por uma janela muito estreita. Neste caso o anel é ineficiente, mesmo estando localizado otimamente. Já na figura 3.11b, o anel é difundido por uma janela muito larga, tornando-se também ineficiente, além

Janela de difusão do anel de campo estreita



Janela de difusão do anel de campo larga

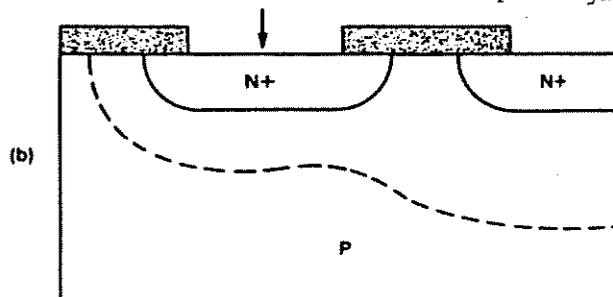


Figura 3.11: Influência da largura do anel de campo flutuante na concentração de linhas de campo elétrico [3.1]

de desperdiçar área. Deve-se então utilizar a largura do anel comparável à largura da região de depleção [3.1].

Geralmente utiliza-se três ou mais anéis de campo por dispositivo, já que o uso de anéis múltiplos permite elevar a tensão de ruptura a valores arbitrariamente próximos do valor obtido na junção abrupta plana ideal. Existem duas filosofias de projeto utilizando anéis de campo múltiplos, mostradas na figura 3.12.

Na primeira (figura 3.12a), tanto a largura dos anéis como o espaçamento entre eles são diminuídos à medida que se afasta da junção principal, de modo que a largura da região de depleção sob o anel mais afastado da junção seja bem menor que tal largura sob a junção.

Já a técnica da figura 3.12b utiliza vários anéis igualmente estreitos e com o mesmo espaçamento entre si, obtendo-se assim um encurvamento mais suave na região de depleção. Geralmente utiliza-se aqui as regras mínimas de projeto para definir a largura e o espaçamento dos anéis, economizando-se assim área no chip.

3.3.3 Implantação iônica de superfície

Esta técnica de terminação consiste em adicionar à junção próximo à superfície uma quantidade bem controlada de cargas através de uma Implantação Iônica.

Pode-se assim ajustar o formato da região de depleção, fazendo com que esta se espalhe na periferia para se obter um melhor controle do campo elétrico.

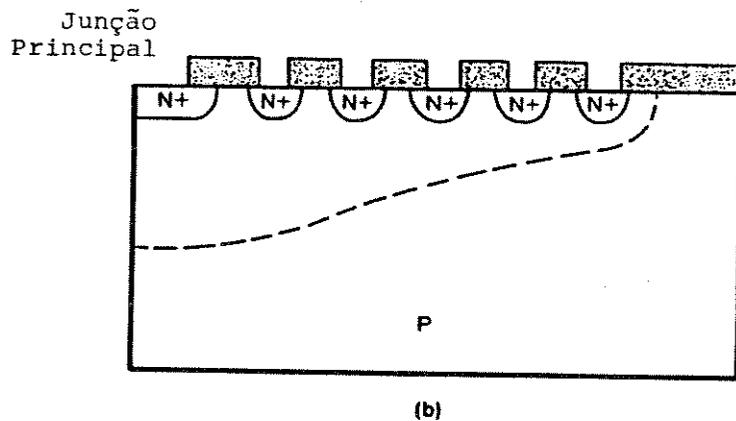
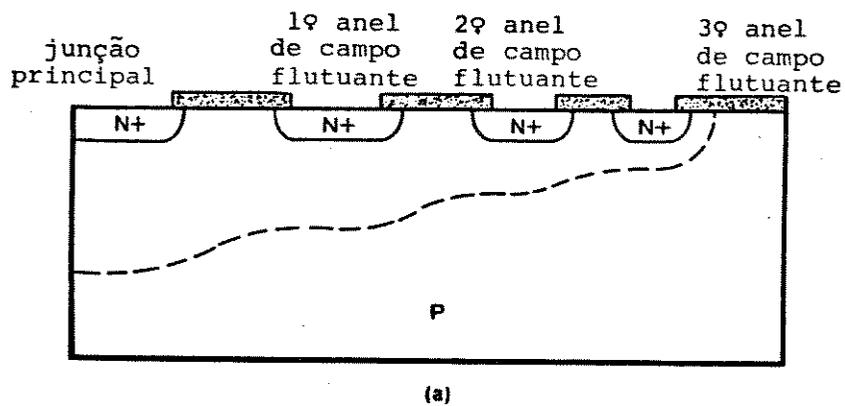


Figura 3.12: Terminação da junção com múltiplos anéis de campo flutuante: (a) com larguras e espaçamentos entre os anéis gradualmente decrescentes, (b) com larguras e espaçamentos entre os anéis constantes [3.1]

Um exemplo é dado na figura 3.13 [3.1], para o caso da junção difundida real.

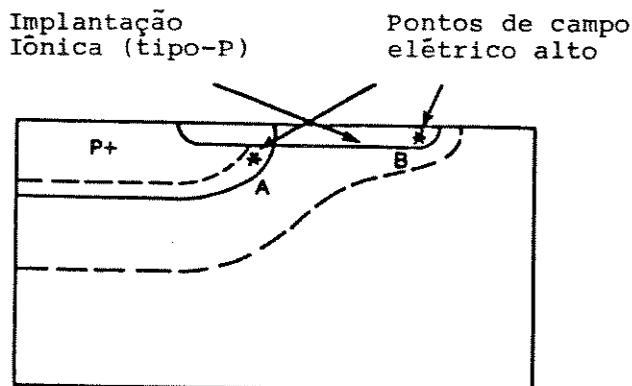


Figura 3.13: Corte transversal de uma estrutura ilustrando a implantação iônica de superfície [3.1]

Mostrou-se [3.4] que as características do dispositivo não são afetadas se o implante é realizado a uma distância da junção variando entre 13 e 130 μm .

A quantidade de carga implantada deve ser bem controlada, pois se a dose implantada for baixa, terá pequena influência sobre a distribuição de campo elétrico e a ruptura ocorrerá em A (figura 3.13) como se não houvesse o implante. Também se a dose implantada for muito alta, a ruptura ocorrerá no ponto B da figura, possuindo assim um valor menor que se ocorresse em A, pois a profundidade da junção implantada é menor. Para se obter um aumento na tensão de ruptura deve-se então controlar a carga implantada de modo que a região implantada se torne completamente depletada sob tensão reversa [3.1].

Resultados experimentais mostram que [3.4] a carga implantada deve ser:

$$Q_I = (0,8 \text{ a } 0,9) \epsilon_{Si} \mathcal{E}_b \quad (3.49)$$

onde:

- ϵ_{Si} = constante dielétrica do Silício (F/cm),
- \mathcal{E}_b = campo elétrico na junção plana, na ruptura (V/cm).

Quando feito um controle sobre a dose implantada, esta técnica permite obter tensões de ruptura de aproximadamente 95% daquelas obtidas em uma junção plana.

3.3.4 Placa de campo e anel equipotencial

Já foi dito que cargas no óxido alteram a tensão de ruptura de uma junção. Estas cargas complementam a carga das impurezas ionizadas dentro da região de depleção, modificando assim a curvatura desta como mostrado na figura 3.14.

Então para substrato tipo-n, por exemplo, cargas negativas no óxido fazem com que a região de depleção na superfície se afaste mais da junção do que se tais cargas não existissem, aumentando assim a tensão de ruptura, enquanto cargas positivas produzem o efeito oposto.

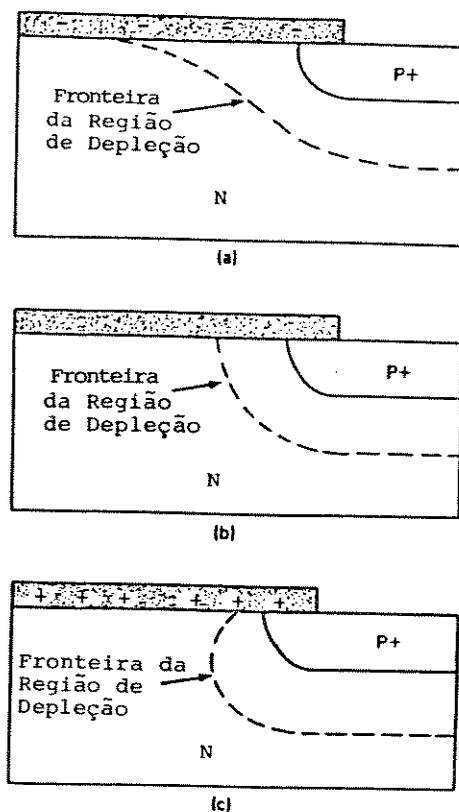


Figura 3.14: Influência das cargas de superfície no espalhamento da região de depleção na borda da junção para: (a) carga negativa, (b) carga nula, (c) carga positiva [3.1]

A curvatura da região de depleção pode também ser controlada alterando o potencial na superfície através de uma placa de campo de metal colocada nas bordas da junção, como na figura 3.15.

Então, para substrato tipo-n, uma tensão positiva na placa atrai elétrons para a superfície causando uma redução na largura da região de depleção junto à superfície, ao passo que uma tensão negativa na placa irá causar um aumento na largura da região de depleção nesta região.

Notou-se também que à medida que a tensão aplicada à placa de campo torna-se cada vez mais negativa (para substrato tipo-n), atinge-se um ponto em que a tensão de ruptura rapidamente diminui. Isto acontece [3.1] porque neste ponto ocorre a inversão da camada próxima à superfície. Então deve-se utilizar uma espessura de óxido sob a placa de campo suficiente para que não ocorra a inversão. Um óxido muito espesso porém não irá permitir que haja depleção suficiente para se obter aumento considerável na tensão de ruptura, tornando a placa ineficiente.

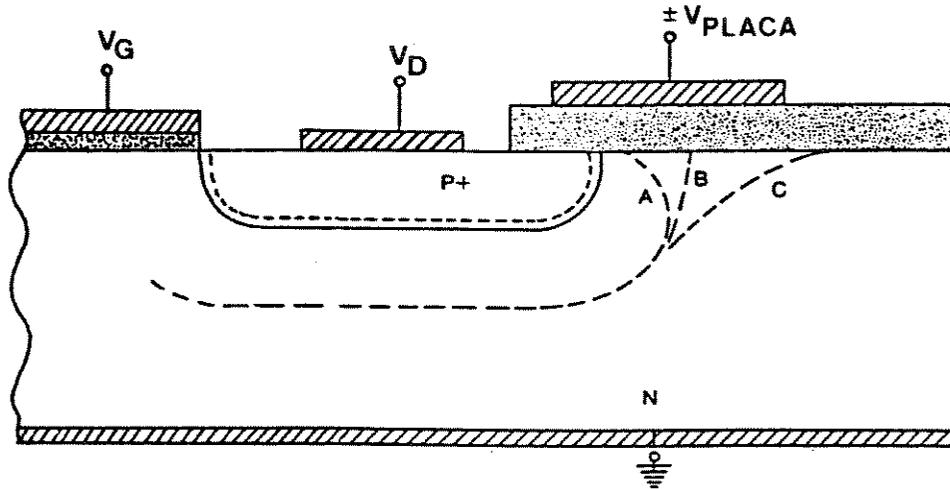


Figura 3.15: Corte transversal de uma estrutura ilustrando a placa de campo na borda da junção e a largura da região de depleção para três casos de tensão aplicada na placa: A = +, B = 0, C = - [3.1]

Em geral, a placa de campo é na realidade uma extensão do contato metálico do dreno sobre o óxido, como mostrado na figura 3.16. Desta forma, o potencial aplicado na placa é o potencial reverso aplicado no dreno.

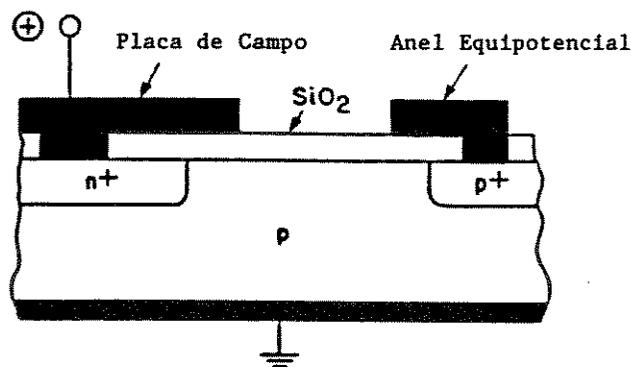


Figura 3.16: Corte transversal de uma estrutura ilustrando a placa de campo e o anel equipotencial [3.4]

Aplicando-se um potencial reverso na junção, a região de depleção próxima à superfície se estenderá além das bordas da placa de campo, reduzindo assim a concentração de linhas de campo na região cilíndrica da junção. Porém, pode haver concentração de linhas de campo sob a borda da placa, fazendo com que a ruptura ocorra aí. Para evitar isto, deve-se usar uma espessura de óxido X_{OX} tal que a largura da região de depleção W seja menor que $12 X_{OX}$ [3.1].

A placa de campo é usualmente utilizada em conjunto com um anel equipotencial, também mostrado na figura 3.16. Este anel metálico é conectado ao substrato através de uma difusão de mesma polaridade que este, só que mais fortemente dopada. O anel permanece no potencial do substrato de modo que

contrabalance o efeito da placa, além de fornecer um caminho para aterramento das cargas acumuladas na superfície do óxido. A região fortemente dopada melhora o contato do anel com o substrato, além de servir como barreira para uma possível inversão na superfície causada pela placa.

A presença do anel pode porém causar uma diminuição na tensão de ruptura devido à grande concentração de linhas de campo que podem aparecer nas bordas deste anel. Verificou-se que [3.4] a tensão de ruptura aumenta com o aumento do espaçamento entre o anel equipotencial e a placa de campo.

Estas altas concentrações de campo podem ser diminuídas depositando um filme resistivo (por exemplo polisilício não dopado ou então SIPOS) entre o anel e a placa.

A placa de campo é também utilizada em conjunto com os anéis de campo flutuante, sempre conectada ao anel mais distante da junção principal.

3.3.5 Terminação em bisel

Esta técnica de terminação foi desenvolvida principalmente do estudo da tensão de ruptura de tiristores e retificadores de alta voltagem que, opostamente aos transistores de potência, ocupam uma grande área na lâmina.

A técnica inicialmente utilizada consistia em cortar a lâmina de modo que as bordas do dispositivo ficassem perpendiculares à superfície. A parte então exposta era passivada de modo a se obter a ruptura no corpo e não na superfície do componente. Posteriormente, descobriu-se que cortando a lâmina em determinados ângulos, aumentava-se a tensão de ruptura.

Pode-se distinguir dois tipos de terminação em bisel, dependendo do ângulo do desbaste: terminação em bisel com ângulo positivo e terminação em bisel com ângulo negativo.

Terminação em bisel com ângulo positivo

Denomina-se terminação em bisel com ângulo positivo aquela na qual a área da junção nas bordas diminui à medida que se caminha do lado mais dopado para o lado menos dopado [3.1], como mostra a figura 3.17.

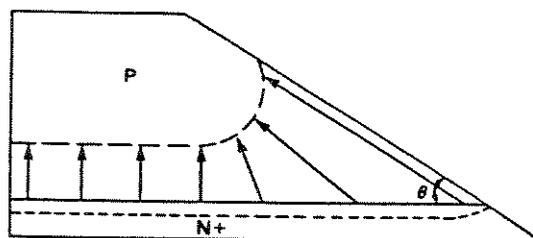


Figura 3.17: Corte transversal ilustrando a técnica de terminação em bisel com ângulo positivo [3.1]

Nesta figura também são mostradas as regiões de depleção em ambos os lados da junção. Nota-se que para que haja o balanço de cargas nos dois lados, é necessário que a região de depleção no lado menos dopado se expanda junto à superfície, diminuindo assim a concentração de linhas de campo elétrico nesta região e aumentando com isto a tensão de ruptura. Por outro lado, a região de depleção no lado mais dopado ficará menor junto à superfície. Como porém a expansão no lado menos dopado é predominante, o campo elétrico na superfície é muito menor do que o campo no interior do dispositivo, predominando assim a ruptura no interior.

Simulações numéricas [3.1] mostraram que este resultado é válido para qualquer ângulo positivo de desbaste, sendo que o campo elétrico máximo na superfície diminui à medida que o ângulo θ diminui.

A figura 3.18 ilustra resultados obtidos para diversos ângulos.

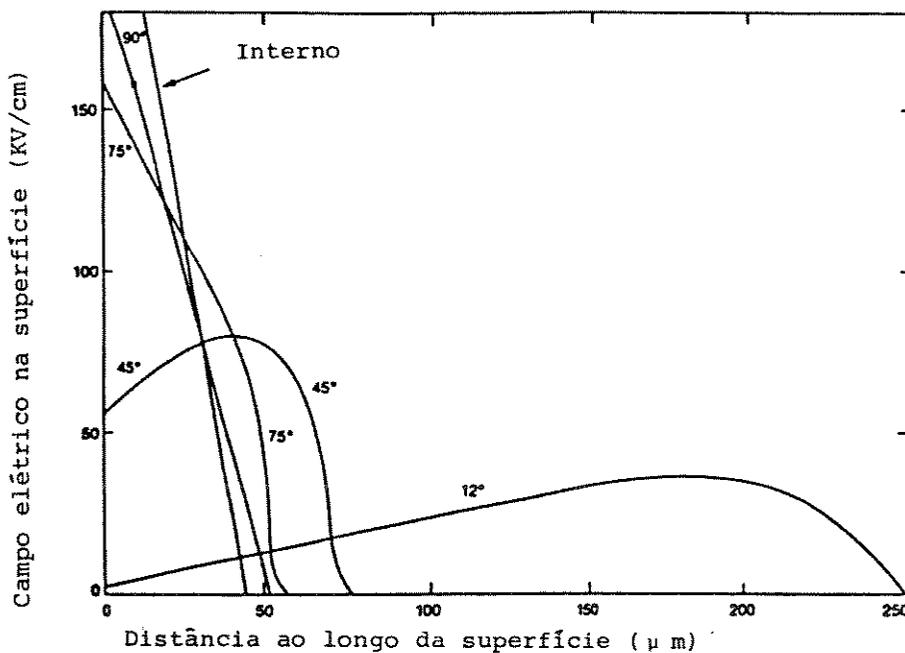


Figura 3.18: Distribuição de campo elétrico ao longo da superfície para uma junção com terminação em bisel com ângulo positivo [3.1]

Na prática, utiliza-se ângulos positivos variando de 30 a 60 graus, de modo que o campo elétrico máximo na superfície seja pelo menos 50% menor do que o campo máximo no substrato. Isto é feito devido à presença de defeitos de superfície criados ao fazer o desbaste, que aumentam a taxa de ionização por impacto, influenciando a tensão de ruptura. Deve-se portanto passivar a superfície após o desbaste.

Este tipo de terminação é a única até agora conhecida que permite obter tensões de ruptura com o valor do limite plano ideal, sendo portanto muito útil para dispositivos de alta tensão. Porém torna-se muito difícil de se implementar esta técnica em lâminas que possuem grande densidade de dispositivos, sendo que nestes casos outras técnicas são em geral preferidas.

Terminação em bisel com ângulo negativo

A terminação em bisel com ângulo negativo é aquela em que a área da junção nas bordas aumenta à medida que se caminha do lado mais dopado para o lado menos dopado [3.1], como ilustrado na figura 3.19.

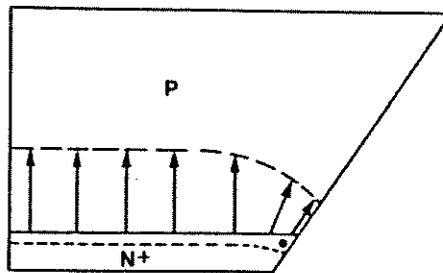


Figura 3.19: Corte transversal ilustrando a técnica de terminação em bisel com ângulo negativo [3.1]

Nesta figura nota-se que a largura da região de depleção no lado menos dopado se contrai junto à superfície para que haja o balanço de cargas nos lados da junção, aumentando assim a concentração de linhas de campo elétrico. Apesar da região de depleção no lado difundido se expandir, se a dopagem neste lado for alta, o efeito no lado menos dopado será predominante e a tensão de ruptura irá diminuir, com a ruptura ocorrendo na superfície. Desta forma, terminações com ângulo negativo devem ser evitadas.

Porém, se um corte em um ângulo negativo muito raso for feito em uma junção gradual, o campo elétrico na superfície pode ser reduzido, como mostrado na figura 3.20.

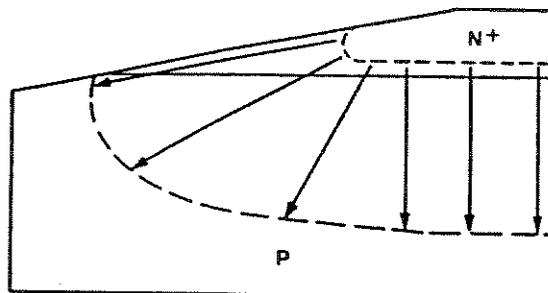


Figura 3.20: Corte transversal ilustrando a técnica de terminação em bisel com ângulo negativo, em junções graduais rasas [3.1]

Aqui a região de depleção no lado difundido se expande consideravelmente junto da superfície, de forma que o campo máximo na superfície se torna menor que o campo máximo no substrato.

A figura 3.21 mostra a variação do campo elétrico máximo em função do ângulo negativo de desbaste.

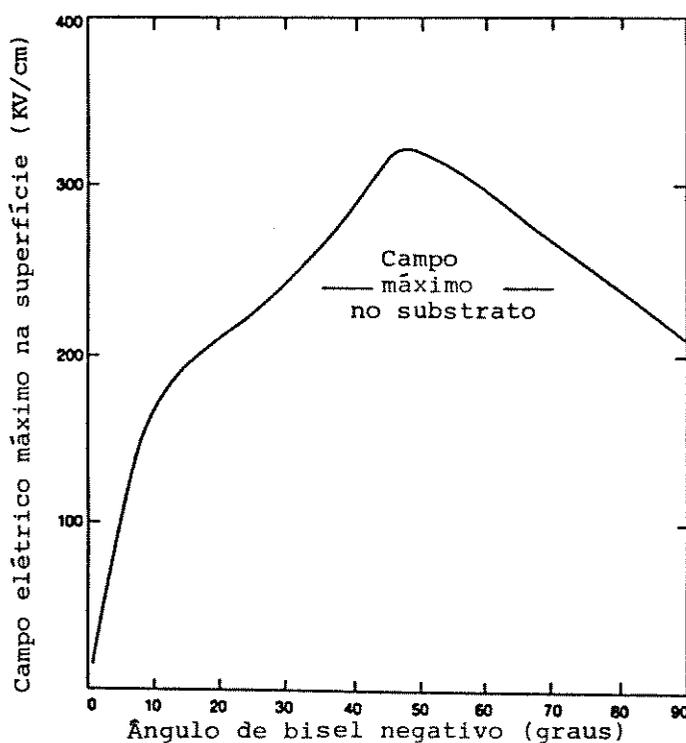


Figura 3.21: Variação do campo elétrico máximo na superfície com o ângulo negativo de desbaste [3.1]

Geralmente utiliza-se ângulos negativos variando de 2 a 6 graus em junções altamente graduais, obtendo-se assim tensões de ruptura de aproximadamente 90% do caso plano ideal.

Terminação em bisel com duplo ângulo

Quando tem-se duas junções “back to back” formando um transistor, torna-se necessário usar uma combinação destes dois tipos de terminação, como por exemplo uma com ângulo positivo e outra com ângulo negativo (como na figura 3.22a) ou então usando-se duplo ângulo positivo (como na figura 3.22b).

Em ambos os casos, as linhas tracejadas indicam as regiões de depleção da junção J_1 sob tensão reversa, enquanto as linhas pontilhadas indicam as regiões de depleção da junção J_2 sob tal condição.

No caso da figura 3.22a, no cálculo da terminação com ângulo positivo para a junção J_2 , deve-se considerar a possibilidade de ruptura prematura na superfície se ocorrer o punchthrough da região de depleção desta junção com a junção J_1 diretamente polarizada. Por esta razão utiliza-se ângulos positivos pequenos (variando de 45 a 60°) para este tipo de terminação. Também o ângulo negativo ocupa muita área, limitando o uso desta técnica.

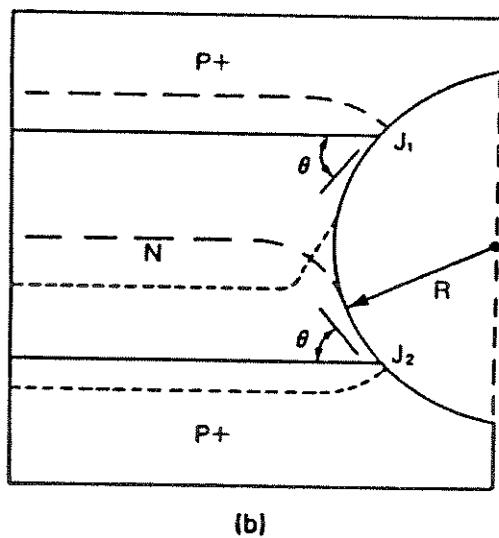
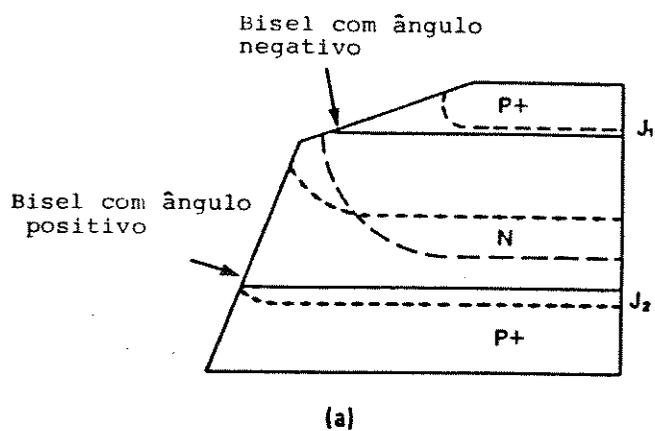


Figura 3.22: Cortes transversais ilustrando terminações em bisel com duplo ângulo: (a) ângulo positivo e negativo, (b) duplo ângulo positivo [3.1]

Por outro lado, usando-se ângulos positivos nas duas junções, existe a possibilidade de se atingir a tensão de ruptura do caso plano ideal, sendo que no caso específico da figura deve-se tomar o cuidado para que a cavidade obtida não possua irregularidades na superfície (já que é difícil de se obter um círculo perfeito), pois nestas irregularidades há um pico de campo elétrico. Estes altos campos superficiais dificultam a passivação dos dispositivos.

3.3.6 Ataque químico (etch) de contorno

O uso de ataque químico com a finalidade de aumentar a tensão de ruptura de dispositivos já é conhecido a bastante tempo, sendo que geralmente era aberto um fosso (moat etch) na periferia do dispositivo de modo a remover toda a porção curva da junção. Atualmente, pesquisas têm sido feitas a fim de aprimorar a técnica [3.5; 3.6] além de fornecer explicações teóricas.

A figura 3.23a ilustra um ataque químico onde é removido parte da região mais dopada de uma junção plana.

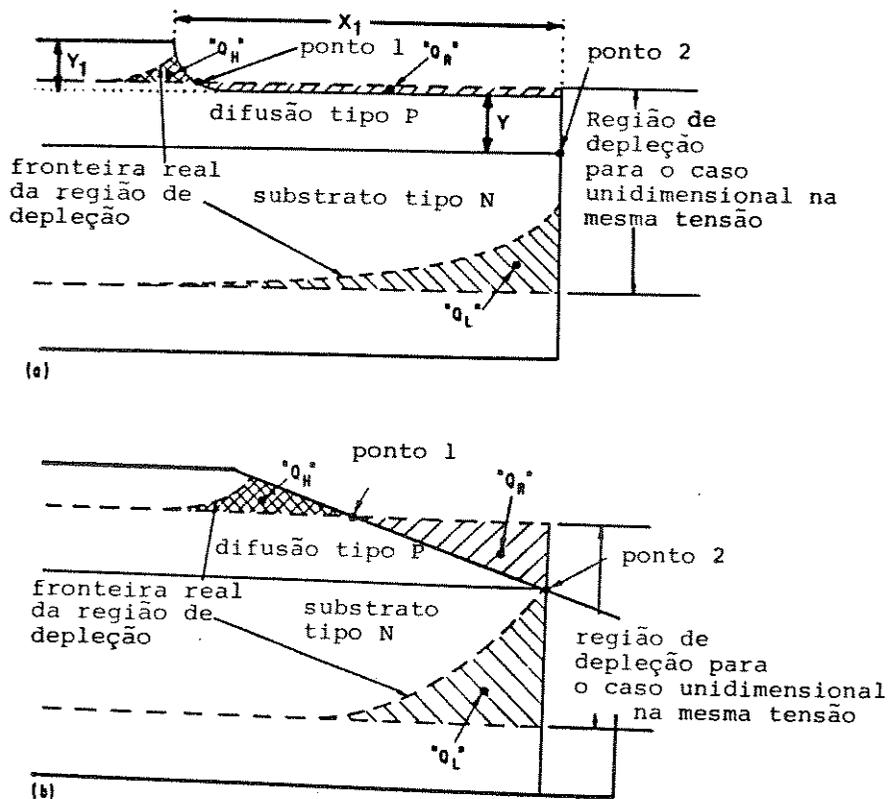


Figura 3.23: Distribuição de carga para uma junção plana usando: (a) ataque químico de contorno, e (b) bisel com ângulo negativo [3.5]

O princípio desta técnica de terminação é o mesmo da terminação em bisel com ângulo negativo, ou seja, forçar a região de depleção no lado mais dopado a se expandir, diminuindo assim o campo elétrico na superfície. Na figura 3.23b é ilustrada a terminação em bisel com ângulo negativo para comparação.

As tensões de ruptura que podem ser obtidas com esta técnica são superiores às obtidas com bisel em ângulo negativo, sendo comparáveis àquelas obtidas com bisel em ângulo positivo, sendo que aqui, nenhum desbaste físico é necessário causando então menos danos à lâmina. Além disto, não há desperdício de área da lâmina, como ocorre na terminação em bisel em ângulo negativo.

A fim de analisar esta técnica e compará-la com outras técnicas, será utilizada uma teoria qualitativa baseada no balanço de cargas que ocorre em um dispositivo unidimensional com o mesmo perfil de dopagem e na mesma voltagem do dispositivo real, após serem retiradas as cargas daquele [3.5].

Na figura 3.23 estão indicadas as cargas envolvidas nesta teoria. Q_r representa a carga removida do lado mais dopado e que normalmente seria depletada (+ para substrato n), Q_l representa a quantidade que a carga no lado menos dopado é diminuída do valor que teria em um dispositivo unidimensional na mesma tensão (- para substrato n) e Q_h representa a carga em excesso armazenada fora da região depletada no lado mais dopado para o caso unidimensional (também - para substrato n).

A distribuição de cargas de depleção pode então ser entendida como sendo resultante de uma redistribuição de cargas, onde a carga Q_r removida pelo ataque químico é compensada pelas cargas Q_l e Q_h , ou seja:

$$Q_r = Q_h + Q_l \quad (3.50)$$

Desta forma:

1. Quanto **maior** o valor de Q_l , **menor** será o valor do campo elétrico próximo ao ponto 2 (figura 3.23).
2. Quanto **menor** o valor de Q_h e quanto **mais afastada** estiver esta carga da **junção**, **menor** será o valor do pico de campo elétrico, já que será menor o número de linhas de campo extra que deverá cruzar a junção próximo de Q_h . O valor de Q_h também influencia o valor do campo no ponto 1 (figura 3.23).

Temos então que idealmente $Q_h = 0$ e $Q_r = Q_l$ grande o suficiente para reduzir o pico de campo na superfície abaixo de seu valor crítico.

Define-se então a **distância de conjugamento efetivo de carga** (d) como sendo aproximadamente:

$$d \simeq \frac{W_h + W_l}{2} \quad (3.51)$$

onde W_h e W_l são as larguras das regiões de depleção no lado mais dopado e no substrato, respectivamente. Deste modo a parcela de carga de Q_r compreendida desde o ponto 1 até uma distância d deste será relocada em Q_h e o restante será relocada em Q_l .

Na figura 3.23a estão também indicadas as dimensões do ataque químico realizado, sendo X_1 a largura do ataque e Y_1 a profundidade deste. A distância entre a superfície resultante do ataque e a junção será denominada Y . Para a junção

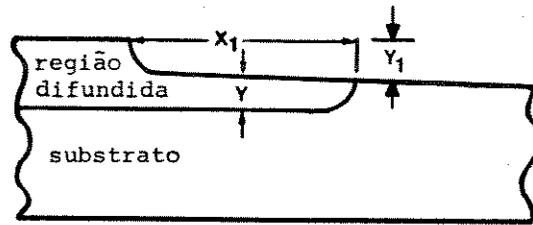


Figura 3.24: Corte transversal ilustrando a terminação por ataque químico de contorno em junções difundidas [3.5]

difundida, X_1 passa a ser a distância entre o início da máscara de etch e o fim da região difundida, como ilustrado na figura 3.24.

Para que o etch seja efetivo, ele deve se aprofundar até penetrar a região de depleção no lado mais dopado, controlando a distribuição de cargas de depleção neste lado da junção. Deve-se então fazer Y ligeiramente menor que W_h [3.5]. Já X_1 deve ser da ordem de W_l , ou seja $X_1 \simeq 2d$.

Se o ataque for **muito profundo**, Q_r será maior que o necessário para diminuir a ruptura na superfície, fazendo com que o pico de campo elétrico se desloque de próximo do ponto 2 (campo praticamente zero neste ponto) para próximo do ponto 1.

A possibilidade de se obter um controle preciso da carga removida Q_r é a maior vantagem deste método comparado com a terminação em bisel com ângulo negativo. Lá, o controle do ângulo não é preciso o suficiente para remover apenas a quantidade de Q_r necessária. Além disto, Q_h e Q_l são dependentes entre si e função do ângulo, de modo que para se reduzir Q_h , deve-se usar ângulos muito rasos, resultando em grande perda de área.

Com o auxílio do ataque químico, pode-se variar X_1 e Y independentemente de modo a se obter Q_h baixo e Q_l alto. Desta forma teremos ruptura na superfície próxima ao ponto 2 e ruptura no substrato próxima ao ponto 1 ocorrendo simultaneamente.

A figura 3.25 ilustra a variação do pico de campo na superfície em função da profundidade Y_1 do ataque. Desta percebe-se que a profundidade do etch deve ser razoavelmente bem controlada, a fim de se obter aumentos consideráveis na tensão de ruptura. Este controle pode ser melhorado difundindo-se mais profundamente a região mais dopada no substrato [3.4].

Experimentos realizados por [3.5] demonstraram que os picos de tensão de ruptura são ligeiramente menores e mais largos que os respectivos picos obtidos por simulações. Isto ocorre devido ao fato de que a região atacada não possui uma profundidade Y_1 uniforme (como ilustrado na figura 3.24), mas sim aumentando em direção à junção P/N.

Observando a figura 3.23a, verificamos que o ataque removeu cargas apenas na região difundida. O ataque pode também remover cargas no substrato, além de remover as cargas na região difundida, como ilustrado na figura 3.26.

Aqui os resultados anteriormente citados continuam válidos, desde que

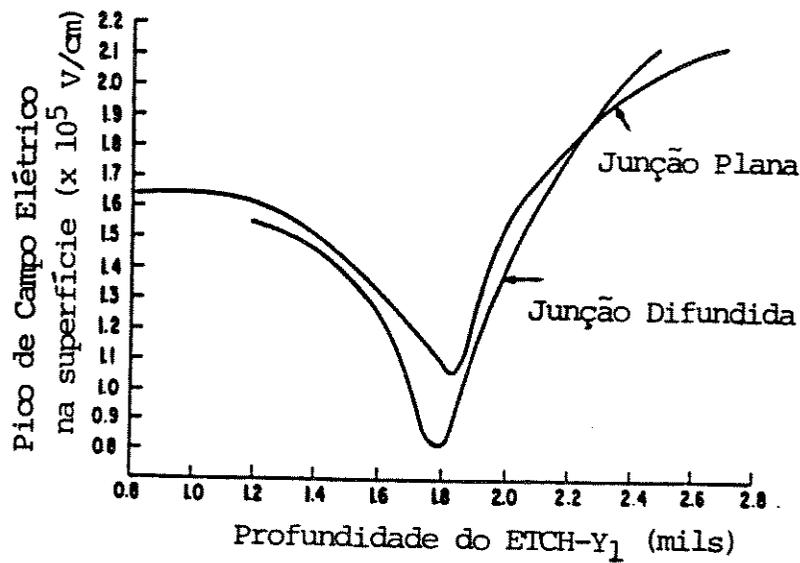


Figura 3.25: Variação do pico de campo na superfície em função da profundidade do ataque [3.5]

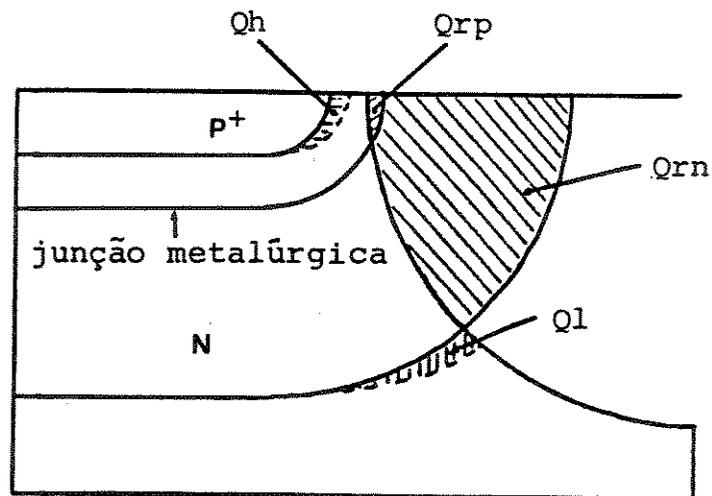


Figura 3.26: Corte transversal ilustrando a terminação por ataque químico de contorno, onde também há remoção de cargas do substrato [3.6]

se faça $Q_r = Q_{r_n} - Q_{r_p}$ (cada uma destas quantidades tratada como positiva) [3.6].

Simulações foram realizadas [3.6] a fim de se estudar a disposição do ataque apresentado na figura 3.27. Procurou-se estudar a influência da profundidade do ataque (Y_1) e da distância da borda do ataque à da região difundida (X) na tensão de ruptura. Assumindo que o ataque é isotrópico, realizou-se a simulação para três profundidades diferentes de ataque (uma delas sendo a corrosão total da espessura da lâmina).

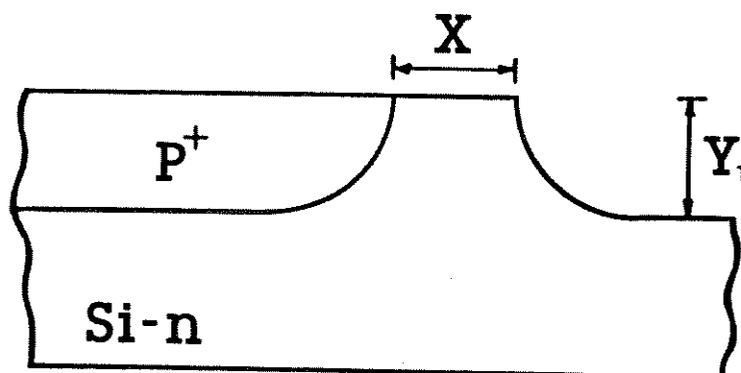


Figura 3.27: Corte transversal ilustrando a terminação por ataque químico de contorno, onde há remoção apenas de cargas do substrato [3.6]

Observou-se destas simulações que [3.6] o pico de campo elétrico na superfície apresenta um mínimo próximo a $X = 0$ e que o pico de campo elétrico no substrato também apresenta um mínimo próximo a $X = 0$ correspondendo a um máximo na tensão de ruptura, sendo que a simulação para a corrosão total da lâmina ($Y_1 \rightarrow \infty$) foi a que apresentou melhores resultados em termos de tensão de ruptura.

Em termos do pico de campo na superfície, observou-se que para grandes valores de X positivo, este pico está localizado na parte superior do dispositivo, como se não houvesse o etch. À medida que X é reduzido, o pico de campo na superfície se desloca em direção à superfície do etch, além de aumentar seu valor. O valor ótimo para X que fornece o mínimo do pico de campo na superfície é de $X = 0,4$ mils, ou seja, não havendo intersecção entre o etch e a junção (caso oposto ao discutido no início desta seção).

As tensões de ruptura obtidas para este valor de X são comparáveis às obtidas com o uso da placa de campo flutuante, com a vantagem de aqui obter-se campos na superfície menores, facilitando a passivação e dando maior estabilidade à junção.

Os resultados apresentados foram confirmados por experiências realizadas por [3.6] e demonstram que esta técnica de terminação de junções apresenta tensões de ruptura relativamente menos sensíveis à localização do etch, de cargas na superfície e da constante dielétrica do passivante, se comparado com o anel de

campo flutuante, sendo portanto a técnica de terminação mais recomendável a ser utilizada na construção de dispositivos VDMOS de potência.

Capítulo 4

Resistência de condução e capacitâncias parasitárias do transistor DMOS vertical

Introdução

Neste capítulo será analisada a **resistência de condução** (R_{ON}) de um transistor DMOS vertical, ou seja, a resistência total entre os terminais de fonte e dreno no estado de condução plena na região linear quando é aplicada à porta do transistor uma tensão suficientemente alta para inverter o canal, enquanto uma pequena tensão é aplicada entre dreno e fonte [4.1]. Em termos matemáticos, tem-se que:

$$R_{ON} \equiv \frac{\partial V_{DS}}{\partial I_D} \simeq \frac{V_{DS}}{I_D} \Big|_{(V_{GS}-V_t) \gg V_{DS}} \quad (4.1)$$

A figura 4.1 ilustra as curvas características de um transistor DMOS de potência, onde está indicada a resistência de condução do dispositivo. Nesta observa-se que R_{ON} pode também ser definida como a inclinação da curva característica na região linear para baixas tensões de dreno.

A resistência de condução é um parâmetro importante do dispositivo pois determina a corrente máxima que este consegue conduzir, o que está diretamente relacionado com a dissipação de potência.

Outro parâmetro importante de um transistor MOS de potência são as **capacitâncias parasitárias** que existem inerentemente nestes dispositivos. Estas capacitâncias tornam-se particularmente importantes ao se estudar a resposta de frequência do dispositivo (o que não será feito neste trabalho). Pode-se porém dizer que, como não há transporte de portadores minoritários, os dispositivos MOS de potência são capazes de operar em altas frequências.

Será apresentado aqui um modelamento da resistência de condução, incluindo a influência da forma geométrica dos transistores neste parâmetro. Será também apresentada uma otimização de alguns dos parâmetros do transistor DMOS vertical de potência.

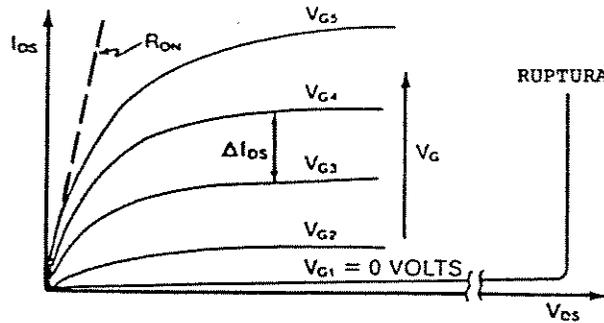


Figura 4.1: Curvas características de um transistor DMOS de potência [4.2]

4.1 Modelamento da resistência de condução

A resistência de condução (R_{ON}) de um transistor DMOS vertical de potência já foi estudada por vários autores [4.1; 4.3] e portanto serão apresentados apenas os resultados obtidos. Basicamente o que se faz é decompor a resistência R_{ON} em parcelas correspondentes a áreas específicas do transistor e modelar isoladamente cada uma destas parcelas.

A figura 4.2 ilustra uma célula elementar genérica de um transistor DMOS vertical de potência onde podem ser vistas as parcelas componentes de R_{ON} .

Nesta figura está ilustrada apenas uma célula elementar, sendo que o transistor é composto da associação em paralelo de várias células elementares iguais a esta. Na figura também podem ser vistos outros parâmetros importantes do transistor: a profundidade da junção canal/dreno (x_{JP}), o espaçamento entre as células (l), a largura da difusão P^\pm (r) e a espessura da camada epitaxial (H).

Observa-se também desta figura que a resistência entre os terminais de fonte e dreno pode ser considerada como o resultado da associação de dois ramos que estão ligados em paralelo [4.1]: o da direita da célula (cujas parcelas possuem o sub-índice “d”) e o da esquerda da célula (cujas parcelas possuem o sub-índice “e”). Como, por simetria, o ramo da direita é igual ao da esquerda, tem-se para as parcelas da direita:

$$R_{ON} = (R_{N^+})_d + (R_{ch})_d + (R_A)_d + (R_J)_d + (R_{N^-})_d + (R_S)_d \quad (4.2)$$

onde:

- R_{N^+} = resistência da região de fonte (Ω),
- R_{ch} = resistência do canal (Ω),
- R_A = resistência da região de acumulação (Ω),
- R_J = resistência da região de estrangulamento (Ω),
- R_{N^-} = resistência de corpo da camada epitaxial N^- (Ω),

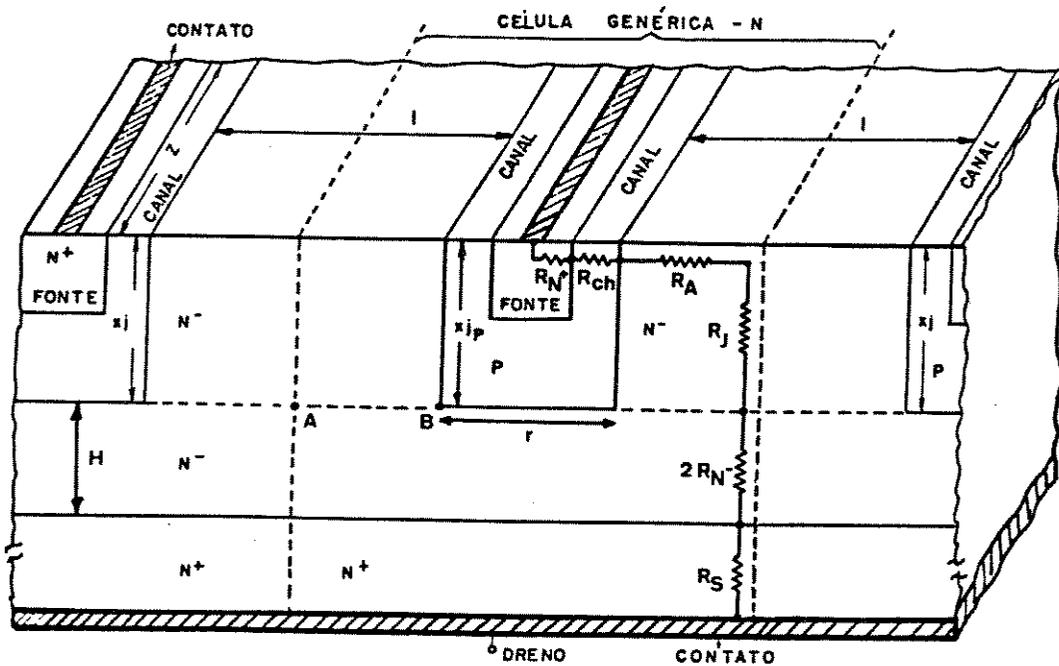


Figura 4.2: Corte transversal de uma célula elementar genérica de um transistor VDMOS de potência, ilustrando as parcelas componentes de R_{ON} [4.1]

- R_S = resistência do substrato N^+ (Ω),

sendo que o mesmo é válido para as parcelas da esquerda.

As resistências da região de fonte (R_{N^+}) e do substrato (R_S) podem ser agrupadas em apenas um termo, que será chamado de **resistência de contato** (R_C) [4.1]. Esta resistência é então dada por:

$$R_C = (R_{N^+})_d // (R_{N^+})_e + (R_S)_d // (R_S)_e \quad (4.3)$$

A contribuição desta parcela em R_{ON} é geralmente **desprezível**, especialmente para dispositivos de altas tensões de ruptura. Já para dispositivos de baixas tensões de ruptura (< 100 V), esta parcela torna-se importante, principalmente devido à resistência do substrato, o qual deve ser espesso o suficiente para não se quebrar durante as etapas do processo [4.2]. Como geralmente pretende-se obter altas tensões de ruptura, a contribuição de R_C em R_{ON} será **desprezada**.

A **resistência do canal** (R_{ch}) é determinada pela condutividade da camada superficial do canal induzida pela tensão aplicada na porta do dispositivo e é dada por:

$$R_{ch} = (R_{ch})_d = (R_{ch})_e \quad (4.4)$$

O valor desta parcela para um dispositivo operando na região linear pode ser calculado [4.1] através da expressão (4.5):

$$R_{ch} \simeq \frac{L}{\mu_{nch} Z C_{OX} (V_{GS} - V_t)} \quad (4.5)$$

onde (os outros termos já foram definidos anteriormente):

- L = comprimento do canal (cm),
- μ_{nch} = mobilidade dos elétrons no canal ($\text{cm}^2/\text{V.s}$),
- Z = largura do canal (cm).

Observa-se da expressão (4.5) que R_{ch} pode ser minimizada fazendo-se L pequeno e Z grande. Esta resistência pode também ser reduzida diminuindo-se a espessura do óxido de porta X_{OX} (ou seja, aumentando-se C_{OX}) enquanto mantém-se a tensão de porta [4.2].

O modelo apresentado aqui para R_{ch} só é válido na região linear de operação do transistor pois, à medida que a tensão de dreno aumenta, o transistor atinge a saturação, ocorre o pinçamento do canal e R_{ch} tende a infinito [4.2].

Assim como a resistência de canal, a resistência da região de acumulação (R_A) é determinada pela condutividade da camada superficial da região N^- logo abaixo do óxido de porta, também induzida pela tensão aplicada na porta. Esta resistência determina o espalhamento da corrente do canal na região de corpo da camada epitaxial [4.2].

Este termo de R_{ON} representa porém apenas a resistência da camada de acumulação bem próxima a superfície, sendo que a resistência da região N^- compreendida entre as duas difusões P é dada pelo termo R_J . Tal termo modela o fenômeno de “estrangulamento” que ocorre nesta região devido ao aumento das regiões de depleção das junções canal/dreno no lado N quando o espaçamento entre as células l é pequeno e a tensão aplicada no dreno é alta, fato semelhante ao que ocorre nos transistores de efeito de campo de junção, daí ser dado a tal fenômeno o nome de “ação J-FET” [4.2]. Devido a este estrangulamento, há uma redução na corrente que atravessa esta região e portanto um aumento em R_{ON} . A figura 4.3 ilustra o fenômeno de estrangulamento.

Como a parcela R_J é em geral desprezível [4.1], pode-se agrupar as resistências da região de acumulação (R_A) e da região de estrangulamento (R_J) em um único termo, que será chamado **resistência de acesso** (R_a), dado por [4.1]:

$$R_a = (R_A)_d + (R_J)_d = (R_A)_e + (R_J)_e \quad (4.6)$$

O valor desta parcela foi calculado por [4.1] para a situação em que é aplicada entre porta e fonte uma tensão suficientemente alta para que ocorra tanto a formação do canal quanto da camada de acumulação sob o metal da porta. Neste cálculo, foi feita a aproximação de considerar que a linha que interliga os pontos A e B da figura 4.2 seja uma **equipotencial** e que a mobilidade dos elétrons nesta região seja independente do campo [4.1]. Tem-se então que:

$$R_a = \left(\frac{2x_{jP}}{lq\mu_{na}N_DZ} \right) \left(\frac{\theta'}{\text{tgh}\theta'} \right) \quad (4.7)$$

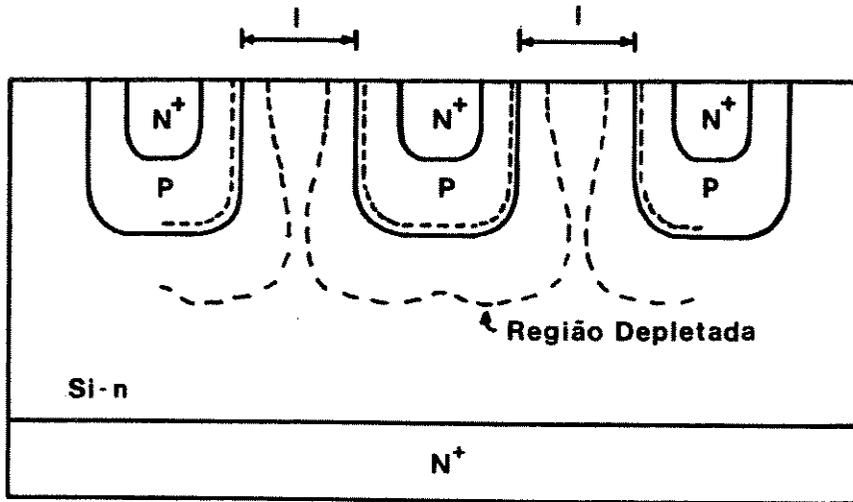


Figura 4.3: Efeito de estrangulamento em transistores com l muito pequeno [4.1]

com θ' dado por:

$$\theta' = \sqrt{\frac{qN_D}{x_{jP}C_{OX} \left[V'_{GS} - \frac{kT}{q} \ln \left(1 + \frac{q}{kT} \frac{V'^2_{GS}}{\phi_{B\alpha}} \right) \right]}} \left(\frac{l}{2} \right) \quad (4.8)$$

e V'_{GS} dado por:

$$V'_{GS} = V_{GS} - \Phi_{MS} + \frac{Q_{SS}}{C_{OX}} \quad (4.9)$$

onde:

- N_D = concentração de átomos doadores no substrato (cm^{-3}),
- μ_{na} = mobilidade dos elétrons na região de acumulação ($\text{cm}^2/\text{V.s}$),
- $\phi_{B\alpha}$ = potencial de corpo para a região de acumulação (V).

Este último termo é dado por:

$$\phi_{B\alpha} = \frac{2qN_D\epsilon_{Si}}{C_{OX}^2} \quad (4.10)$$

Observa-se da expressão (4.7) que a resistência de acesso varia inversamente com o espaçamento intercelular l . Pode-se aproximar a expressão desta

resistência para os casos particulares em que l assume valores muito pequenos ou muito grandes [4.1]. Tem-se então que, para l muito pequeno:

$$R_a \simeq \frac{2 x_{jP}}{l q \mu_{na} N_D Z} \quad (4.11)$$

e para l muito grande:

$$R_a \simeq \frac{x_{jP}}{q \mu_{na} N_D Z} \sqrt{\frac{q N_D}{x_{jP} C_{OX} \left[V'_{GS} - \frac{kT}{q} \ln \left(1 + \frac{q}{kT} \frac{V'^2_{GS}}{\phi_{Ba}} \right) \right]}} \quad (4.12)$$

com V'_{GS} e ϕ_{Ba} dados pelas expressões (4.9) e (4.10), respectivamente. Tomando-se então valores grandes para l , diminui-se R_a e conseqüentemente R_{ON} . Por outro lado, com valores grandes para l , tem-se baixa densidade de células e uma baixa corrente por unidade de área da pastilha [4.1].

A resistência da região de estrangulamento (R_J) foi estudada por [4.3] para o caso em que a tensão V_{DS} é baixa e as seguintes aproximações são válidas: a largura da região de depleção da junção canal/dreno no lado do dreno é desconsiderada e o fluxo de portadores flui uniformemente da região de acumulação para a região de deriva. Neste caso, tem-se que:

$$R_J = \frac{2\rho}{Z} \left[\frac{1}{\sqrt{1 - (2x_{jP}/L_J)^2}} \operatorname{tg}^{-1}(0,414) \sqrt{\frac{L_J + 2x_{jP}}{L_J - 2x_{jP}}} - \frac{\pi}{8} \right] \quad (4.13)$$

com L_J dado por:

$$L_J \simeq 2L + l + 0,3x_{jP} \quad (4.14)$$

onde:

- ρ = resistividade do substrato ($\Omega \cdot \text{cm}$).

Finalmente, a **resistência de corpo da camada epitaxial N^-** (R_{N^-}) é dada por [4.1]:

$$R_{N^-} = (R_{N^-})_d // (R_{N^-})_e = \frac{1}{2}(R_{N^-})_d = \frac{1}{2}(R_{N^-})_e \quad (4.15)$$

Considerando-se novamente que a linha que interliga os pontos A e B da figura 4.2 seja uma equipotencial, e que a interface N^-/N^+ (mostrada na mesma figura) seja também uma equipotencial, pode-se calcular o valor desta parcela de R_{ON} pela seguinte expressão [4.1]:

$$R_{N^-} = \frac{\rho}{Z} \frac{1}{\pi} \operatorname{senh}^{-1} \left\{ \frac{\operatorname{senh} \left(\frac{\pi H}{r+l} \right)}{\operatorname{sen} \left(\frac{\pi l}{2(r+l)} \right)} \right\} \quad (4.16)$$

Esta expressão pode ser simplificada para o caso em que $H \gg (r+l)$, assumindo assim a forma [4.1]:

$$R_{N^-} \simeq \frac{\rho}{Z} \left[\frac{H}{r+l} + \frac{1}{\pi} \ln \operatorname{cosec} \left(\frac{\pi}{2} \frac{l}{r+l} \right) \right] \quad (4.17)$$

Desta forma, a expressão para R_{ON} passa a ser dada por:

$$R_{ON} \simeq R_{ch} + R_a + 2 R_{N-} \quad (4.18)$$

com os termos R_{ch} , R_a e R_{N-} dados respectivamente pelas expressões (4.5), (4.7) e (4.16), sendo desprezada a parcela devido à resistência de contato, ou seja:

$$R_{ON} \simeq \frac{L}{\mu_{nch} Z C_{OX}(V_{GS} - V_i)} + \left(\frac{2 x_{jp}}{l q \mu_{na} N_D Z} \right) \left(\frac{\theta'}{\text{tgh } \theta'} \right) + 2 \frac{\rho}{Z} \frac{1}{\pi} \text{senh}^{-1} \left\{ \frac{\text{senh} \left(\frac{\pi H}{r+l} \right)}{\text{sen} \left(\frac{\pi l}{2 r+l} \right)} \right\} \quad (4.19)$$

Para dispositivos com alta tensão de ruptura ($V_r > 500$ V) a expressão acima pode ser mais uma vez simplificada, já que o termo referente a R_{N-} é muito maior do que os outros dois termos [4.1].

Resistências adicionais podem surgir devido a um contato pobre entre as metalizações de fonte e dreno e as regiões N^+ do semiconductor, além da resistência das conexões entre o dispositivo e o encapsulamento [4.2].

4.2 Dependência da resistência de condução com a forma geométrica dos transistores

Observando a expressão (4.19), nota-se que todas as três parcelas que compõem R_{ON} possuem o parâmetro Z em seus denominadores. Pode-se então definir uma resistência de condução, a qual será chamada de R_{ON^*} , independente de tal parâmetro:

$$R_{ON^*} \equiv R_{ON} Z \quad (4.20)$$

ou, substituindo a expressão (4.19):

$$R_{ON^*} \simeq \frac{L}{\mu_{nch} C_{OX}(V_{GS} - V_i)} + \left(\frac{2 x_{jp}}{l q \mu_{na} N_D} \right) \left(\frac{\theta'}{\text{tgh } \theta'} \right) + 2 \frac{\rho}{\pi} \text{senh}^{-1} \left\{ \frac{\text{senh} \left(\frac{\pi H}{r+l} \right)}{\text{sen} \left(\frac{\pi l}{2 r+l} \right)} \right\} \quad (4.21)$$

Também é útil definir a **resistência de condução específica** do transistor (R_{ONS}) como sendo o produto da resistência de condução pela área da célula (S) correspondente do transistor, ou seja:

$$R_{ONS} \equiv R_{ON} S \quad (4.22)$$

Substituindo a expressão (4.20) na expressão (4.22), obtém-se:

$$R_{ONS} = \frac{R_{ON^*}}{Z} S = \frac{R_{ON^*}}{Z/S} \quad (4.23)$$

À razão entre a largura do canal (ou seja o perímetro útil deste) e a área da célula do transistor, dá-se o nome de **fator de forma** (F) [4.1], ou seja:

$$F = \frac{\text{Perímetro útil do canal contido numa célula}}{\text{Área desta célula}}$$

Assim, tem-se que:

$$R_{ONS} = \frac{R_{ON*}}{F} \quad (4.24)$$

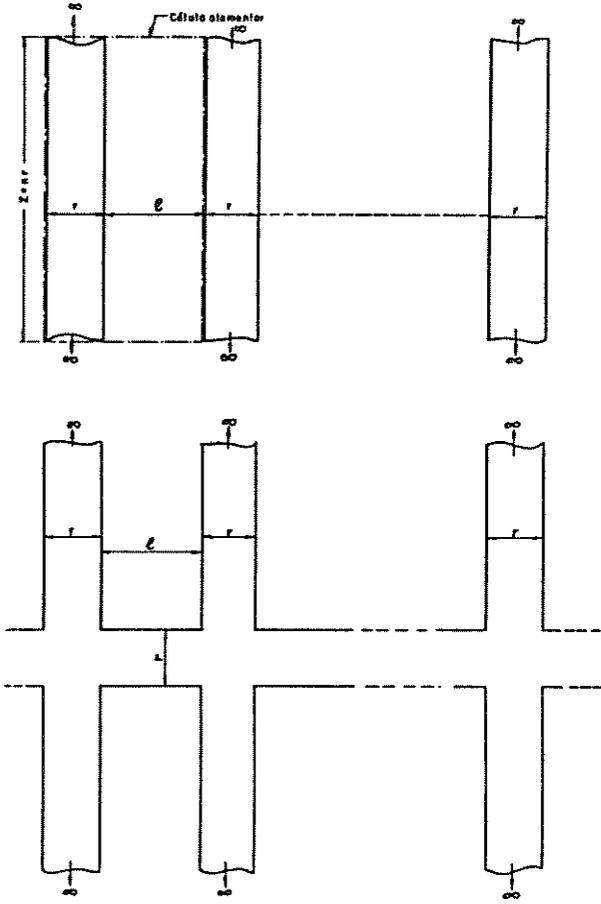
Portanto, o fator de forma depende da forma geométrica dos contornos das difusões que definem as regiões do canal de cada célula [4.1], sendo assim o parâmetro que representa a topologia superficial do transistor. Então, quando deseja-se comparar as resistências de condução de dois transistores de potência, deve-se levar em conta as diferentes geometrias através deste parâmetro.

Existem diversas geometrias com as quais pode-se interligar as várias células elementares (como a representada na figura 4.2) para se formar um transistor de potência. A escolha da geometria a ser usada é feita pelo fabricante, segundo as características do dispositivo que este deseja construir. Porém, as formas geométricas mais tradicionais já foram estudadas e seus respectivos fatores de forma calculados [4.1]. A figura 4.4 ilustra as formas geométricas mais tradicionais, enquanto a tabela 4.1 fornece os correspondentes fatores de forma.

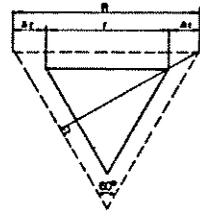
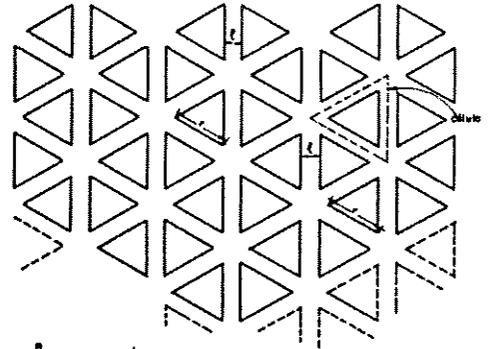
Formas Geométricas	Fatores de Forma (F)
Círculos Alinhados (C.A.)	$\frac{\pi r}{(r+l)^2}$
Círculos Desalinhados (C.D.)	$\frac{2\sqrt{3}}{3} \pi \frac{r}{(r+l)^2}$
Faixas Paralelas (F.P.)	$\frac{2}{r+l}$
Faixas Sinuosas (F.S.)	$\frac{32}{16l+5\sqrt{3}r}$
Hexágonos Encaixáveis (H.E.)	$\frac{2\sqrt{3}r}{(l+\frac{\sqrt{3}}{2}r)^2}$
Hexágonos Não-encaixáveis 1 (H.N.E.1)	$\frac{3r}{(r+l)(l+r\frac{\sqrt{3}}{2})}$
Hexágonos Não-encaixáveis 2 (H.N.E.2)	$\frac{2\sqrt{3}r}{(r+l)^2}$
Quadrados Alinhados, para $n = 1$ (Q.A.)	$\frac{4r}{(r+l)^2}$
Quadrados Desalinhados (Q.D.)	$\frac{4r}{(l+r\sqrt{2})^2}$
Retângulos, com $z = nr$	$\frac{2r(n+1)}{(l+nr)(r+l)}$
Triângulos Equiláteros (T.E.)	$\frac{4\sqrt{3}r}{(r+\sqrt{3}l)^2}$

A figura 4.5 ilustra curvas do fator de forma em função do espaçamento intercelular l , para um valor de $r = 20 \mu\text{m}$ [4.1].

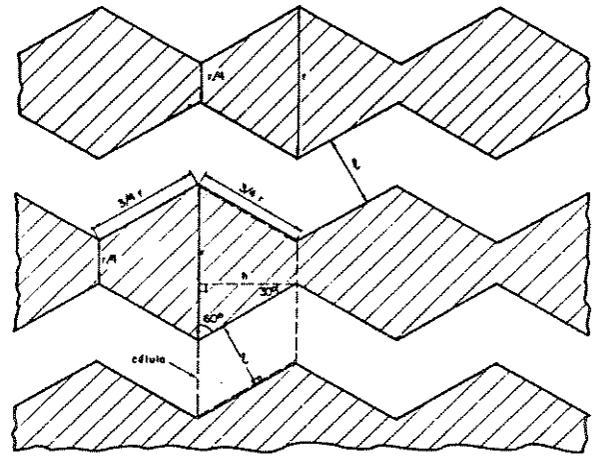
Nota-se desta que a geometria em forma de triângulos equiláteros é a que apresenta o maior valor para o fator de forma quando l assume pequenos valores. À medida que l cresce, o fator de forma para esta geometria diminui rapidamente. As geometrias em forma de quadrados alinhados e hexágonos encaixáveis também apresentam altos valores para F quando $l \ll r$. Finalmente, as faixas sinuosas, além de exibir o maior fator de forma quando $l > 0,5 r$, apresentam uma variação lenta



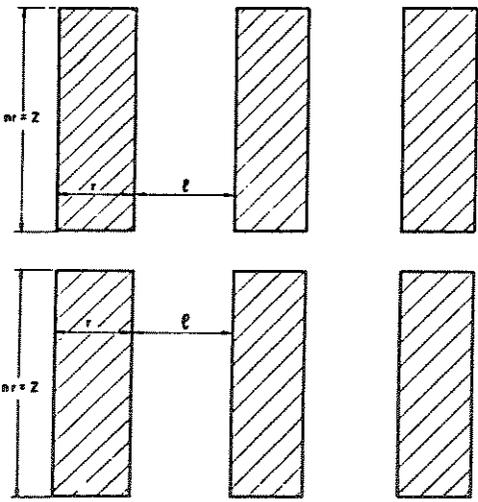
(a)



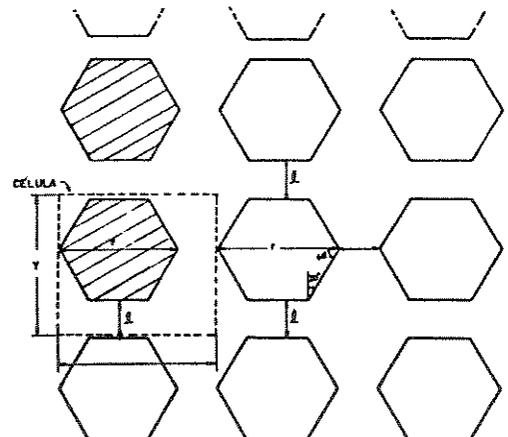
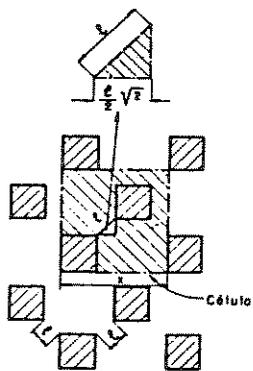
(b)



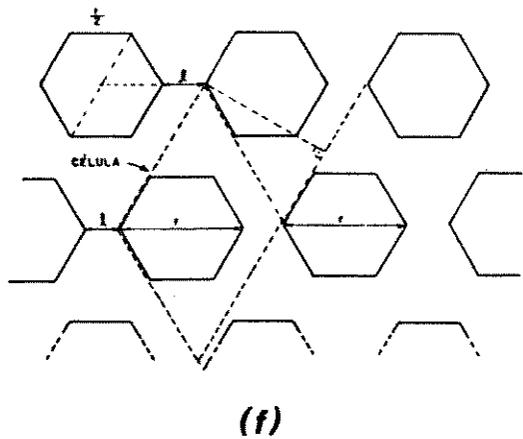
(c)



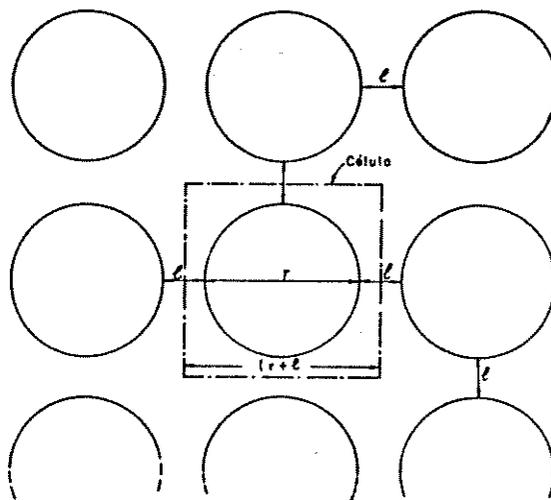
(d)



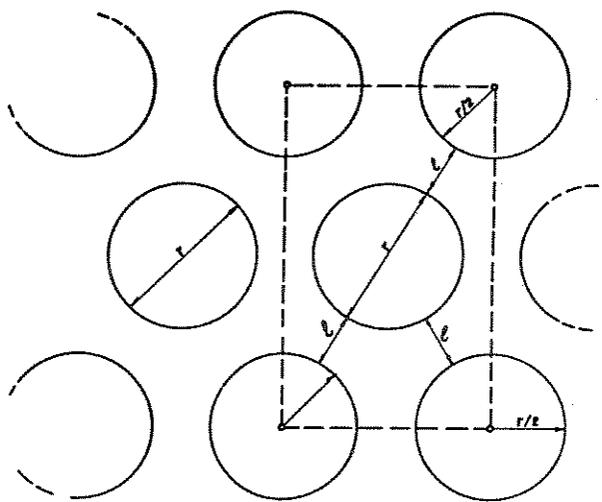
(e)



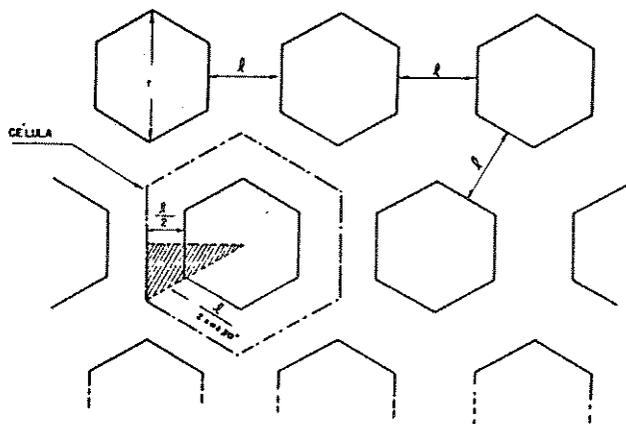
(f)



(g)



(h)



(i)

Figura 4.4: Formas geométricas tradicionais: (a) faixas simples e interdigitadas, (b) triângulos equiláteros, (c) faixas sinuosas, (d) retângulos (= quadrados alinhados se $n = l$) e quadrados desalinhados, (e) e (f) hexágonos não encaixáveis, (g) círculos alinhados, (h) círculos desalinhados e (i) hexágonos encaixáveis [4.1]

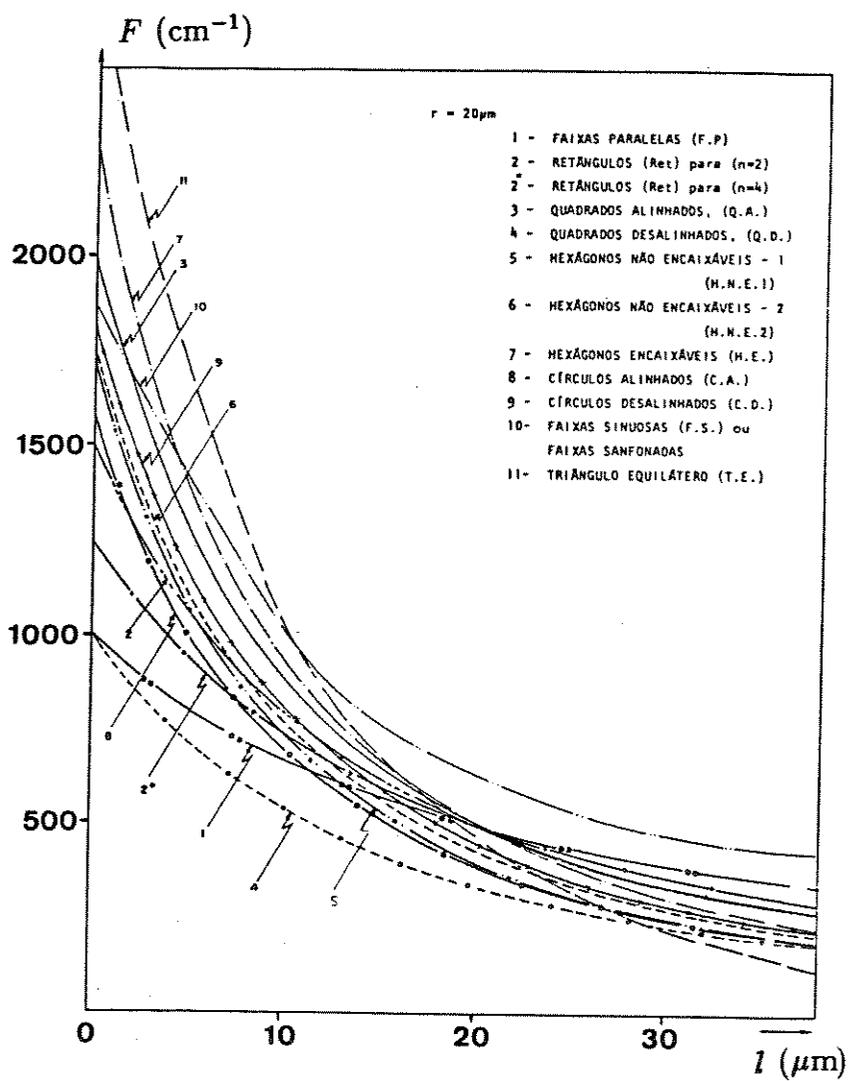


Figura 4.5: Gráfico do fator de forma (F) em função do espaçamento intercelular (l), para $r = 20 \mu\text{m}$ [4.1]

deste parâmetro à medida que l varia. Cabe aqui lembrar que, segundo a expressão (4.24), quanto maior o fator de forma, menor o valor de R_{ONS} , o que é bastante desejável.

Então para se calcular o valor de R_{ONS} para um dado transistor DMOS vertical, basta calcular o fator de forma para a geometria apropriada (com uma das expressões da tabela 4.1) e substituir este valor, juntamente com o valor de R_{ON} (calculado através da expressão (4.21)), na expressão (4.24).

É interessante estudar a variação de R_{ONS} com alguns dos outros parâmetros do transistor já apresentados neste trabalho a fim de otimizar, se possível, todo o conjunto de parâmetros deste transistor. Obviamente, um dos parâmetros que deseja-se otimizar é R_{ONS} , sendo que algumas maneiras de reduzi-lo já foram apresentadas ao se discutir as parcelas que compõem tal parâmetro.

Outro ponto a ser analisado é a relação existente entre a resistência de condução específica e a tensão de ruptura. Dos parâmetros que aparecem na expressão de R_{ONS} , três estão diretamente relacionados com V_r : H , ρ e L [4.1]. A relação entre V_r e ρ já foi estudada no Capítulo 3 para os vários tipos de junção, sendo aqui mais importante a relação apresentada na expressão (3.22) para a junção tipo $P^+/N^-/N^+$. Em tal expressão aparece mais especificamente uma relação entre V_r e N_D . Porém é sabido que [4.1] ρ e N_D se relacionam através da expressão:

$$\rho \simeq \frac{1}{q \mu_n N_D} \quad (4.25)$$

onde:

- μ_n = mobilidade dos elétrons no substrato ($\text{cm}^2/\text{V.s}$).

Não foram mencionadas ainda as relações entre a tensão de ruptura e a espessura da camada epitaxial (H) (para a junção tipo $P^+/N^-/N^+$), e entre a tensão de ruptura e o comprimento do canal (L).

Como também é de interesse otimizar H e L , tais relações serão apresentadas a seguir, juntamente com a otimização dos respectivos parâmetros. Apenas após isto feito é que será estudada a otimização de R_{ONS} .

4.3 Otimização da espessura da camada epitaxial de uma estrutura $P^+/N^-/N^+$

Deseja-se aqui calcular o valor ótimo de H , com o qual se possa obter um valor mínimo para R_{ONS} e, simultaneamente, um valor máximo para V_r .

O parâmetro H possui influência em R_{ONS} primordialmente através da parcela R_{N^-} , como pode ser visto pela expressão (4.16). Analisando unicamente tal expressão, dever-se-ia aumentar a dopagem N_D do substrato (ou seja, diminuir a resistividade deste) e ao mesmo tempo diminuir a espessura H , a fim de reduzir R_{N^-} e, conseqüentemente, R_{ONS} . Porém, se isto for feito, degradar-se-á a tensão reversa máxima da junção [4.1]. Então, precisa-se obter uma solução de compromisso para o valor ótimo de H .

Esta análise foi apresentada na referência [4.1], onde procurou-se otimizar a resistência (r_{N^-}) de um paralelepípedo da camada epitaxial, com comprimento H e área transversal unitária, ou seja:

$$r_{N^-} = \rho \frac{H}{1} \simeq \frac{H}{q \mu_n N_D} \quad (4.26)$$

Isolando N_D na expressão (3.22) e substituindo o resultado na expressão (4.26), obtém-se:

$$r_{N^-} \simeq \frac{H(H W_r - W_r^2/2)}{\epsilon_{Si} \mu_n (V_r - \mathcal{E}_{MAX_r} H)} \quad (4.27)$$

que é uma relação que expressa H tanto em função da resistência da camada epitaxial quanto em função da tensão de ruptura.

Para obter o mínimo de r_{N^-} , basta derivar a expressão (4.27) em relação a H e igualar tal derivada a zero. Isto feito, pode-se isolar o valor ótimo de H obtido, que será denominado H_{ot} . Usando a aproximação de que:

$$V_r \simeq \frac{W_r \mathcal{E}_{MAX_r}}{2} \quad (4.28)$$

obtém-se [4.1]:

$$H_{ot} = \frac{W_r}{2} \quad (4.29)$$

ou seja, que a espessura ótima para a camada epitaxial deve ser a metade da largura da região de depleção na ruptura. Como porém isto não possui significado físico, já que na prática $W_r \leq H$, utiliza-se o menor valor possível para H [4.1], ou seja:

$$H_{ot} = W_r \quad (4.30)$$

Desta forma, a região de depleção da junção canal/dreno no lado do substrato estender-se-á praticamente até a região N^+ do dreno quando a espessura da camada epitaxial estiver otimizada. Esta situação é conhecida como “reachthrough” [4.4].

Substituindo o valor de H_{ot} na expressão (4.27), e utilizando a aproximação (4.28), obtém-se o valor mínimo de r_{N^-} , ou seja:

$$|r_{N_{MIN}^-}| = \frac{H_{ot}^3}{2 \epsilon_{Si} \mu_n V_r} \quad (4.31)$$

No Capítulo 3, foi apresentada uma relação entre a tensão de ruptura e a dopagem do substrato para uma junção abrupta (expressão (3.14)). Pode-se obter uma relação semelhante para a junção tipo $P^+/N^-/N^+$ [4.1]:

$$N_D \simeq 2,35 \cdot 10^{18} \times V_r^{-1,4} \quad [\text{cm}^{-3}] \quad (4.32)$$

assim como uma relação entre a mobilidade dos portadores e a tensão de ruptura [4.1]:

$$\mu_n \simeq 710 \times V_r^{0,1} \quad [\text{cm}^2/\text{V} \cdot \text{s}] \quad (4.33)$$

Utilizando-se das duas relações acima e das expressões (4.26) e (4.31), obtém-se:

$$H_{ot} \simeq 2,63 \cdot 10^{-6} \times V_r^{1,2} \quad [\text{cm}] \quad (4.34)$$

e finalmente, utilizando-se novamente da expressão (4.31), obtém-se:

$$|r_{N_{MIN}}| \simeq 9,86 \cdot 10^{-9} \times V_r^{2,5} \quad [\Omega] \quad (4.35)$$

A figura 4.6 ilustra o gráfico correspondente à expressão (4.34).

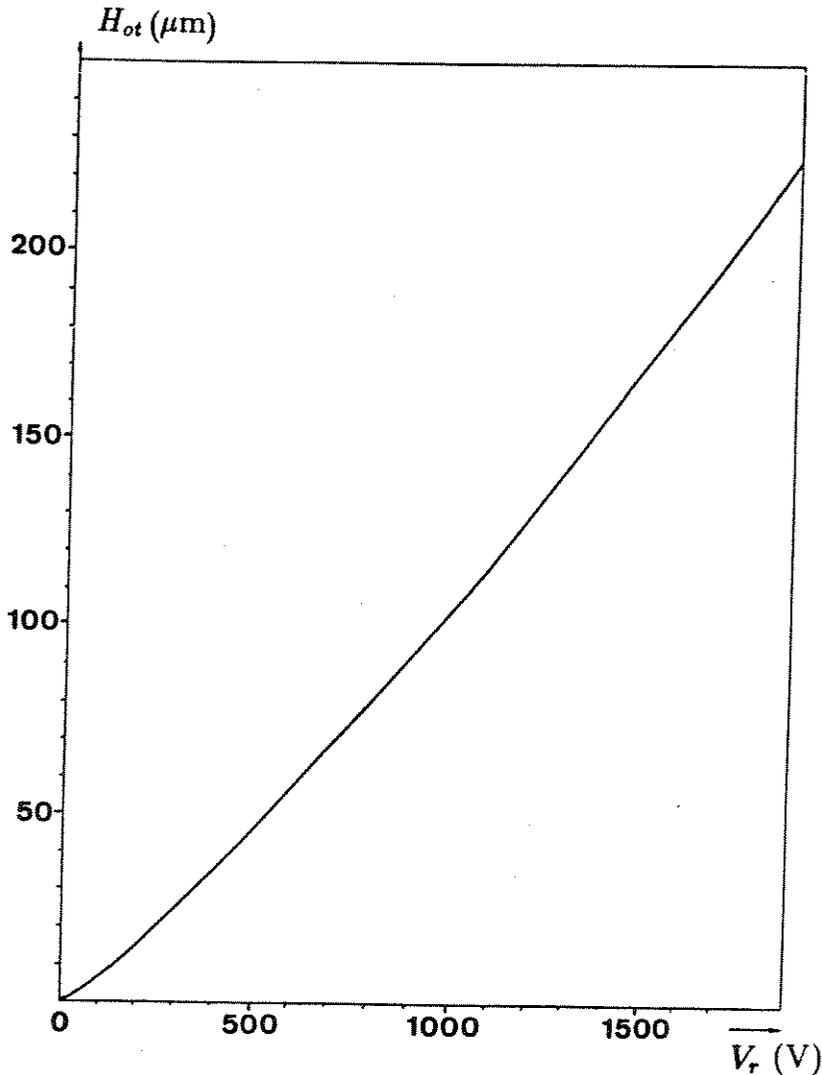


Figura 4.6: Gráfico da espessura ótima da camada epitaxial (H_{ot}) em função da tensão de ruptura (V_r) [4.1]

4.4 Otimização do comprimento do canal L

Um outro parâmetro que deseja-se otimizar é o comprimento do canal L . A otimização de tal parâmetro também foi descrita em [4.1], onde utilizou-se o

mesmo princípio usado para a otimização de H , ou seja, o comprimento mínimo do canal L_{ot} é obtido quando ocorre o “punchthrough” da região de depleção da junção canal/dreno no lado do canal.

Precisa-se então, como no caso anterior, de uma expressão que relacione os parâmetros V_r e L . A referência [4.5] apresenta uma relação para a tensão de ruptura por “punchthrough” para um perfil de dopagem no canal linear com maior concentração junto à fonte e decrescendo à medida que avizinha do dreno, sobre um substrato com dopagem uniforme:

$$V_r = \frac{q}{\epsilon_{Si}} \left(\frac{N_{A_{MAX}}}{6} + \frac{N_{A_{MAX}}^2}{8N_D} \right) L^2 \quad (4.36)$$

ou, aproximadamente [4.1]:

$$V_r \simeq \frac{q}{8\epsilon_{Si}} \frac{N_{A_{MAX}}^2}{N_D} L^2 \quad (4.37)$$

Como a tensão de ruptura na expressão acima já é para o caso de “punchthrough”, L já é o comprimento ótimo do canal L_{ot} . Isolando então L_{ot} em tal expressão e utilizando-se da expressão (4.32), obtém-se:

$$L_{ot} \simeq \frac{1,1 \cdot 10^{13} \times V_r^{-0,2}}{N_{A_{MAX}}} \quad [\text{cm}] \quad (4.38)$$

A figura 4.7 ilustra o gráfico correspondente à expressão (4.38).

Porém, como foi visto no Capítulo 2, o perfil de dopantes no canal não é linear, mas possui a forma dada pela expressão (2.21). Assim, a expressão (4.38) é apenas uma forma aproximada de se calcular o comprimento ótimo do canal. Uma outra forma de se fazer isto é utilizar-se das curvas apresentadas na figura 3.3c, obtendo daí o valor da largura da região de depleção no lado mais dopado da junção canal/dreno, que corresponderá ao L_{ot} . Cabe lembrar que as curvas apresentadas na figura 3.3c foram obtidas a partir de um perfil com uma forma Gaussiana, ou seja, não levando em consideração todas as correções discutidas no Capítulo 2, sendo portanto o resultado daí obtido também aproximado.

4.5 Otimização do espaçamento intercelular l e da resistência de condução específica R_{ONS}

Uma vez otimizados os parâmetros H e L , que estão intrinsecamente ligados com a escolha da lâmina a ser utilizada e com os processos de epitaxia e dupla difusão, deseja-se otimizar os parâmetros l e R_{ONS} , sendo que o primeiro está diretamente ligado às dimensões de máscara a ser utilizada no processo fotolitográfico.

A fim de minimizar R_{ONS} , deve-se analisar os termos que definem este parâmetro, ou seja, o fator de forma F e as parcelas que compõem R_{ON} . Deve-se então estudar a variação de tais parâmetros à medida que varia-se l e r . Tem-se que:

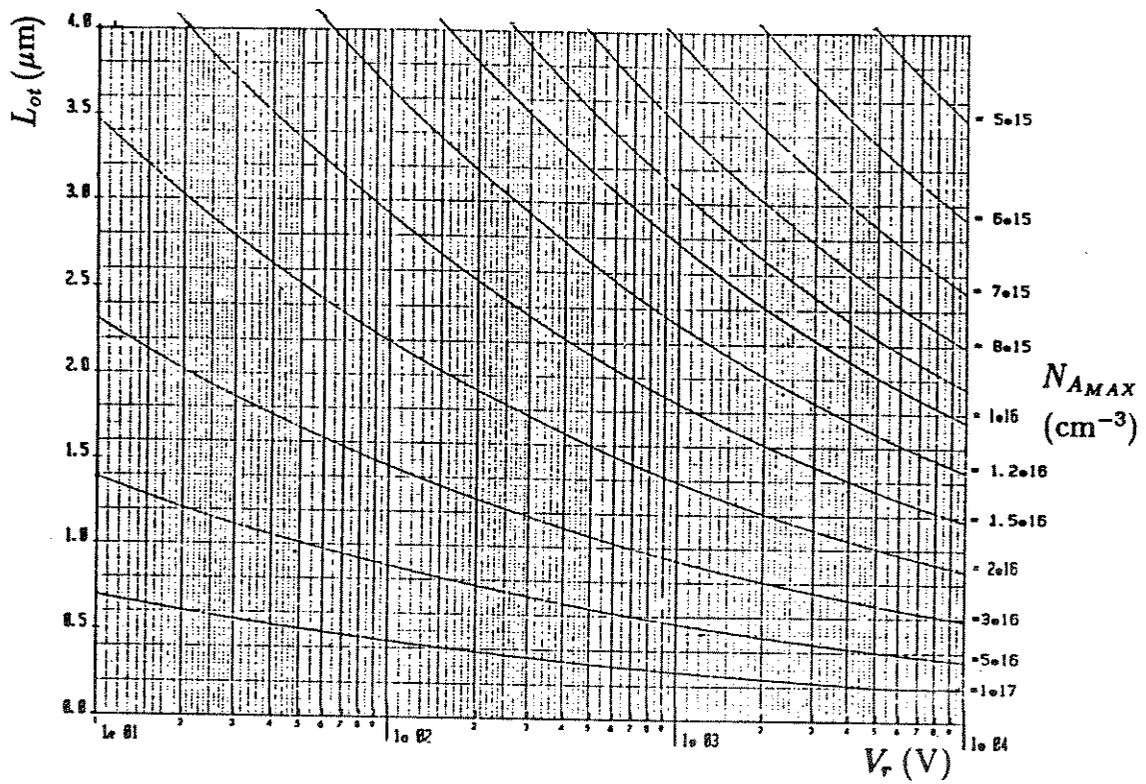


Figura 4.7: Gráfico do comprimento ótimo do canal (L_{ot}) em função da tensão de ruptura (V_r), tendo $N_{A_{MAX}}$ como parâmetro [4.1]

1. O fator de forma F depende tanto de r quanto de l para qualquer geometria escolhida, como pode ser visto na tabela 4.1.
2. A parcela de R_{ON} correspondente à resistência do canal, R_{ch} , independe de r e l , ou seja, já está otimizada se $L = L_{ot}$, como expresso na expressão (4.5).
3. A parcela de R_{ON} correspondente à resistência de acesso, R_a , depende apenas de l (expressão (4.7)) e, como já foi dito, pode ser minimizada tomando-se valores grandes para l .
4. Finalmente a parcela de R_{ON} correspondente à resistência de corpo da camada epitaxial, R_{N-} , depende tanto de r quanto de l , como mostra a expressão (4.16).

Então, fixa-se r no menor valor que o processo fotolitográfico permite obter [4.1] e estuda-se a variação de R_{ONS} com l . A figura 4.8 ilustra dois esquemas para as parcelas de R_{ONS} de um transistor DMOS vertical, sendo que o valor de r é o mesmo nos dois casos mostrados, enquanto o valor de l na figura 4.8b é sete vezes maior do que este na figura 4.8a.

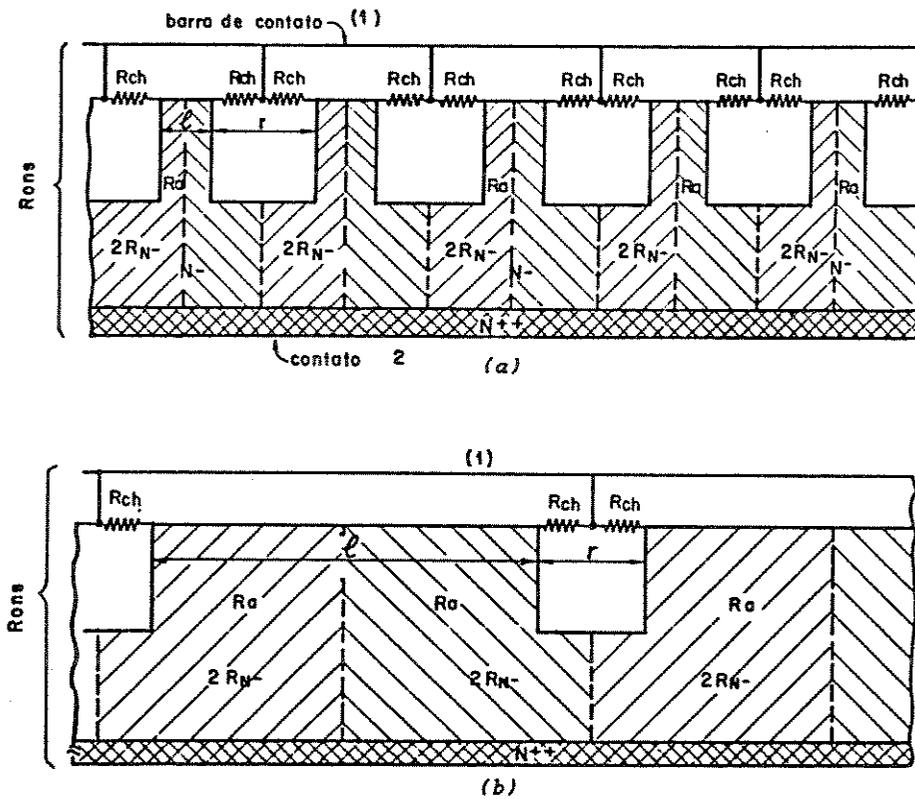


Figura 4.8: Esquemas para as parcelas de R_{ONS} de um transistor VDMOS para: (a) $r = r_1$, $l = l_1$ e (b) $r = r_1$, $l = 7 l_1$ [4.1]

Desta figura é possível observar que, à medida que l aumenta, a resistência das partes hachuradas, que representa $R_a + 2 R_{N^-}$, diminui, já que a largura aumenta enquanto o comprimento é mantido constante [4.1]. Por outro lado, a resistência de toda a estrutura (que inclui várias células elementares ligadas em paralelo) correspondente à parcela de R_{ch} aumenta, já que diminui o número de tais parcelas cujo valor é constante. Então, conclui-se que R_{ONS} deve passar por um mínimo, à medida que aumenta-se o espaçamento intercelular l .

Substituindo-se os valores de H_{ot} , L_{ot} , r , assim como todos os outros valores dos parâmetros (com excessão de l) na expressão de R_{ON} (expressão (4.21)); escolhendo a expressão apropriada para o fator de forma F e substituindo o valor de r nesta; pode-se substituir estas duas expressões obtidas na expressão (4.24), obtendo-se assim uma expressão de R_{ONS} em função de l .

A figura 4.9 ilustra curvas de R_{ONS} em função de l para várias geometrias [4.1]. Os valores de alguns dos parâmetros utilizados encontra-se na mesma figura.

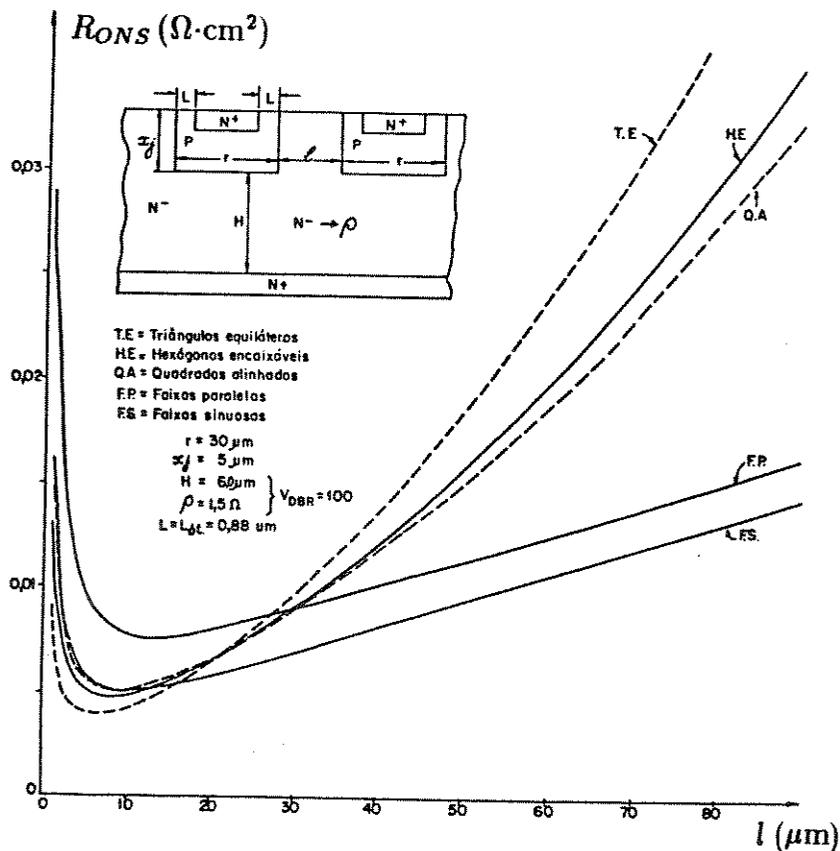


Figura 4.9: Gráfico da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l), para várias geometrias [4.1]

A partir desta figura pode-se, para cada geometria, obter o valor de R_{ONS} mínimo e o correspondente valor de l_{ot} . Observa-se também que a geometria em forma de triângulos equiláteros é a que apresenta o menor valor para R_{ONS} mínimo, apesar de apresentar também uma variação acentuada de R_{ONS} à medida que se

aumenta l . Já a geometria em forma de faixas sinuosas não apresenta este problema. Finalmente, observa-se um rápido aumento no valor de R_{ONS} à medida que l diminui. Isto se deve principalmente [4.1] ao já comentado fenômeno de “estrangulamento” que ocorre na região entre as difusões P^\pm . Deve-se então, para valores de l muito pequenos, incluir a expressão (4.13) no cálculo de R_{ONS} .

Outra relação importante a ser observada é entre R_{ONS} e a tensão de ruptura V_r . Para se obter uma expressão semelhante à citada anteriormente entre R_{ONS} e l , só que agora entre R_{ONS} e V_r , basta substituir as expressões (4.32), (4.33), (4.34) e (4.38), assim como todos os outros valores dos parâmetros (com exceção de V_r) na expressão (4.21); escolher a expressão apropriada para o fator de forma, substituindo nesta os valores de r e l_{ot} ; e finalmente substituir as duas expressões obtidas na expressão (4.24). Neste caso, os valores de l_{ot} a serem substituídos tanto na expressão de R_{ON} quanto na expressão de F podem ser obtidos dos mínimos para cada forma geométrica da figura 4.9. Obtém-se então na realidade uma expressão de R_{ONS} mínimo em função de V_r .

A figura 4.10 ilustra curvas de σ_{ONS} máximo (portanto, o inverso de R_{ONS} mínimo) em função de V_r para várias geometrias [4.1].

Nesta figura está também indicado o limite máximo da condutância da camada epitaxial (σ_{epi}), obtido pelo inverso da expressão (4.35). Observa-se daí que a influência da forma geométrica é mais acentuada na região de baixas tensões de ruptura, sendo praticamente desprezível tal influência na região de altas tensões de ruptura. O mesmo ocorre com relação às influências de r e x_{jP} em R_{ONS} , como mostra a referência [4.1].

4.6 Influência do espaçamento intercelular l na tensão de ruptura

Uma vez obtido o espaçamento ótimo entre as células elementares do transistor, cabe aqui analisar a influência deste parâmetro na tensão de ruptura.

A figura 4.11 ilustra dois casos extremos, ou seja, espaçamento muito pequeno e muito grande entre duas células adjacentes. Nesta figura estão também esquematizadas as regiões de depleção da junção canal/dreno no lado da camada epitaxial para tensões de dreno baixas e altas.

Observa-se que [4.2] para o caso de l pequeno, a curvatura da região de depleção torna-se pequena para altas tensões de dreno. Neste caso, a ruptura ocorrerá nas bordas do dispositivo. Porém, se o espaçamento l é grande, a curvatura da região de depleção (ainda para altas tensões de dreno) nas bordas das regiões P aumenta, reduzindo assim a tensão de ruptura. Portanto o espaçamento l possui uma grande influência na tensão de ruptura do dispositivo.

Esta influência foi estudada por vários autores [4.1; 4.4], sendo que a figura 4.12 ilustra curvas da tensão de ruptura em função do espaçamento intercelular (não otimizado) para várias dopagens da camada epitaxial [4.4].

Nesta pode ser observado que a tensão de ruptura aumenta quando o espaçamento intercelular diminui, para l assumindo valores na faixa de uma dezena

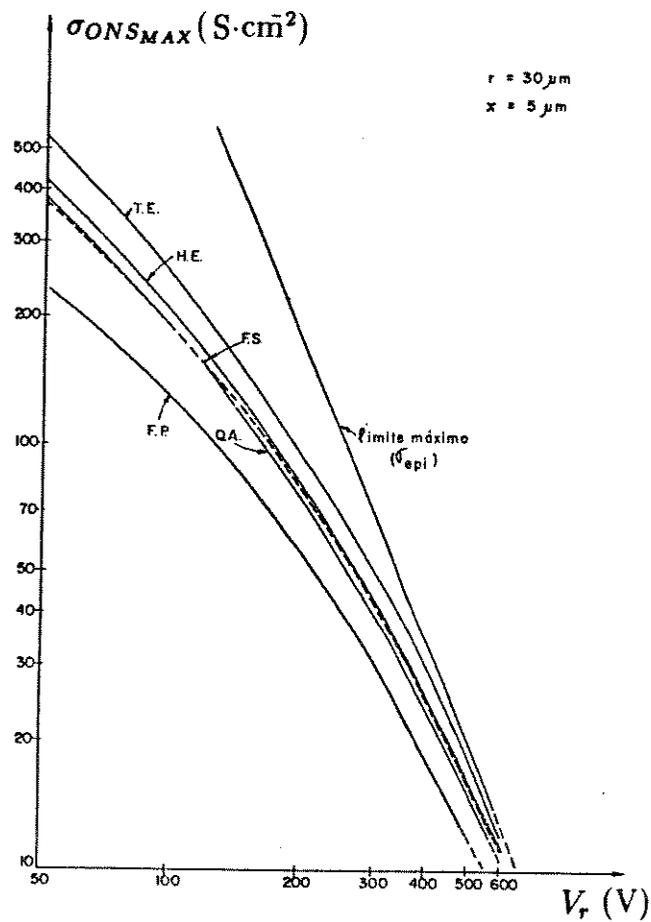


Figura 4.10: Gráfico da condutância máxima específica ($\sigma_{ONS_{MAX}}$) em função da tensão de ruptura (V_r), para várias geometrias [4.1]

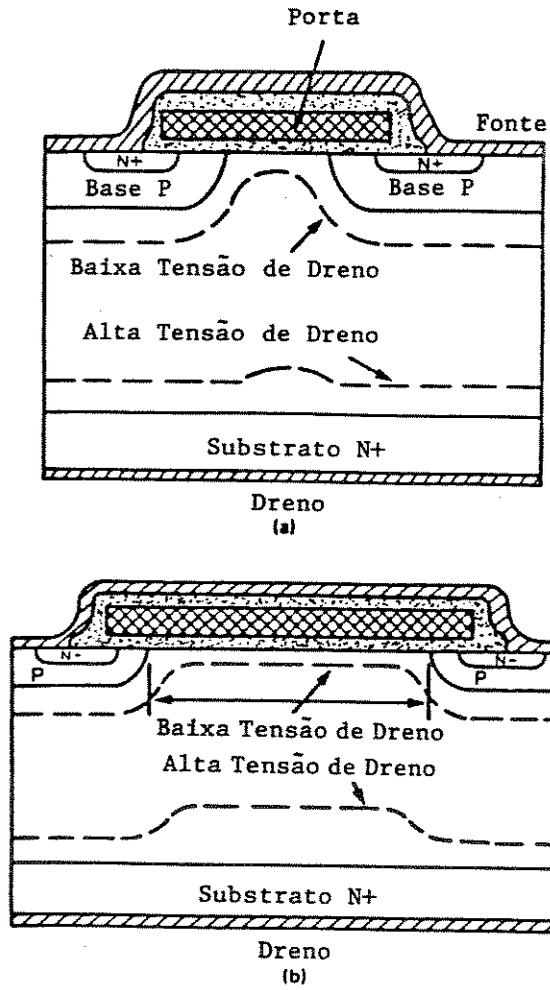


Figura 4.11: Influência do espaçamento intercelular (l) na tensão de ruptura (V_r) para dois casos extremos: (a) l muito pequeno e (b) l muito grande [4.2]

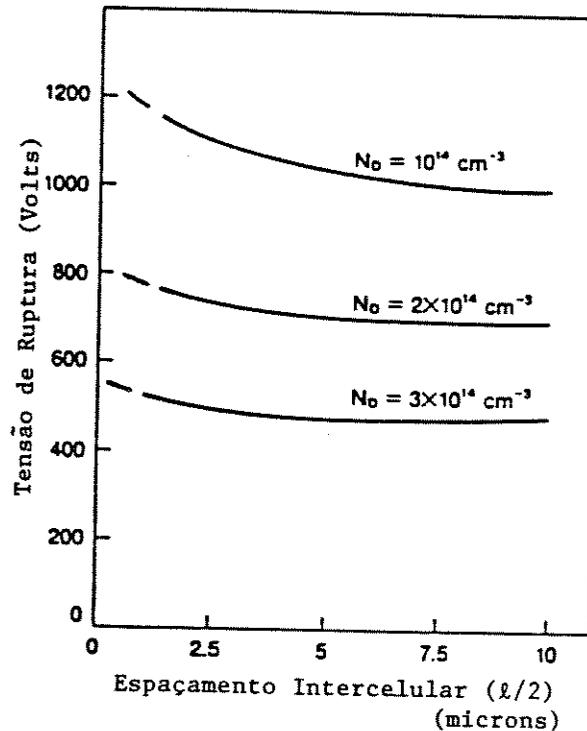


Figura 4.12: Gráfico da tensão de ruptura (V_r) em função do espaçamento intercelular (l) para várias dopagens da camada epitaxial (N_D) [4.2]

de microns. A razão disto é a diminuição da curvatura da região de depleção, como indicado na figura 4.11.

Pode-se desta forma aumentar a tensão de ruptura do dispositivo em até 15% [4.4].

Deseja-se então obter um valor ótimo para l que otimize tanto R_{ONS} quanto V_r . A figura 4.13 ilustra curvas de l_{ot} (obtidas, por exemplo, dos mínimos da figura 4.9) em função da tensão de ruptura para várias geometrias [4.1].

Observa-se daí que [4.1] para todas as geometrias, exceto as faixas paralelas, os espaçamentos ótimos situam-se entre 5 e 15 μm e são aproximadamente constantes com a tensão de ruptura. Já para a geometria em forma de faixas paralelas, o espaçamento ótimo apresenta uma variação parabólica com a tensão de ruptura.

4.7 Modelamento das capacitâncias do transistor DMOS vertical

Como já foi dito anteriormente, os transistores DMOS de potência são inerentemente capazes de operar em altas frequências devido à ausência de transporte de portadores minoritários.

Um limite para a frequência de operação do dispositivo surge [4.2] da

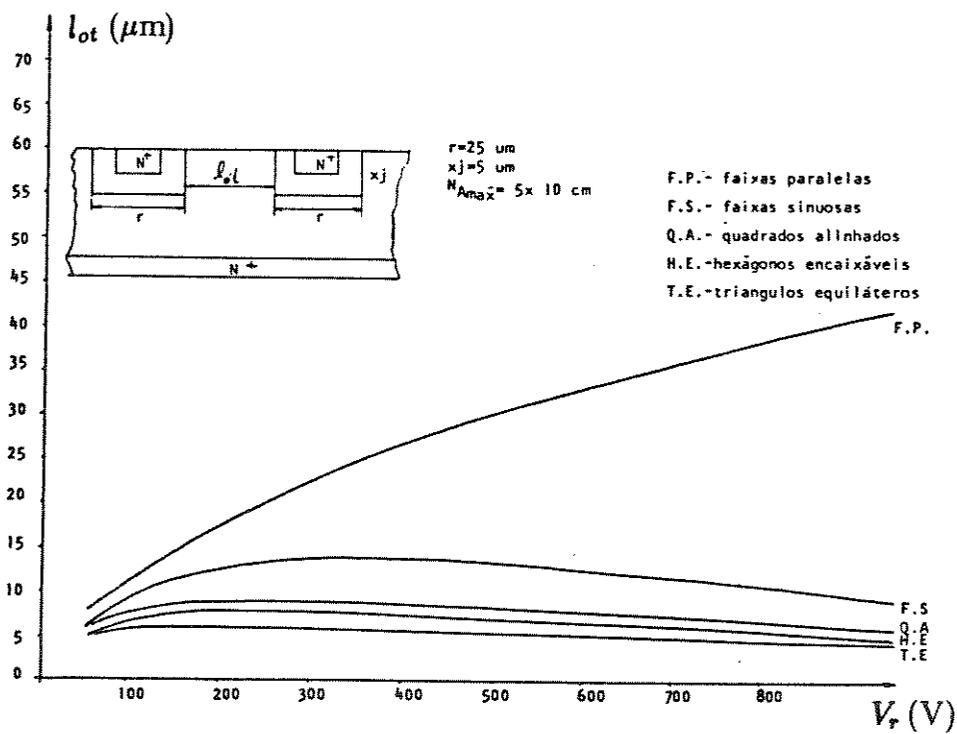


Figura 4.13: Gráfico do espaçamento intercelular ótimo (l_{ot}) em função da tensão de ruptura (V_r), para várias geometrias [4.1]

necessidade de carregar e descarregar a capacitância de entrada de porta.

Um circuito equivalente simplificado para o dispositivo está mostrado na figura 4.14.

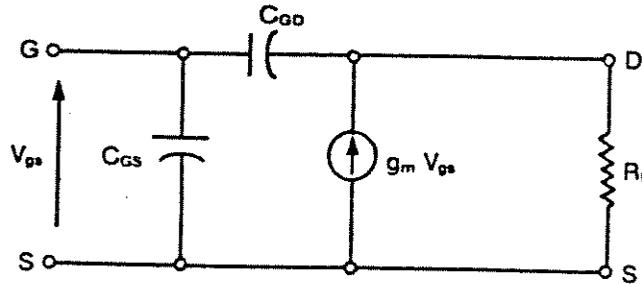


Figura 4.14: Circuito equivalente simplificado de um transistor MOS de potência [4.2]

Nesta observa-se além da capacitância entre porta e fonte (C_{GS}), uma capacitância entre porta e dreno (C_{GD}). Esta última surge devido ao “overlap” do eletrodo de porta sobre a região de deriva.

Desta forma, a **capacitância total de entrada** (C_{in}) é dada por:

$$C_{in} = C_{GS} + C_m \quad (4.39)$$

onde C_m representa a amplificação que ocorre na capacitância entre porta e dreno devido ao Efeito Miller, dada por [4.2]:

$$C_m = (1 + g_m R_L) C_{GD} \quad (4.40)$$

onde:

- g_m = transcondutância do dispositivo,
- R_L = resistência de carga (veja figura 4.14).

A capacitância entre porta e dreno varia com as tensões aplicadas no dreno e na porta e possui um alto valor quando o dispositivo está conduzindo, devido à camada de acumulação que surge na superfície. O valor desta capacitância diminui à medida que a tensão de dreno aumenta [4.2]. Pode-se reduzir também o valor desta capacitância aumentando a espessura do óxido de campo (sobre as regiões onde o substrato N^- encosta na superfície).

Já a capacitância entre porta e fonte é composta de várias parcelas, como ilustra a figura 4.15 para um dispositivo onde o eletrodo de porta estende-se entre duas células adjacentes.

Tem-se então que [4.2]:

$$C_{GS} = C_{N+} + C_P + C_M \quad (4.41)$$

onde:

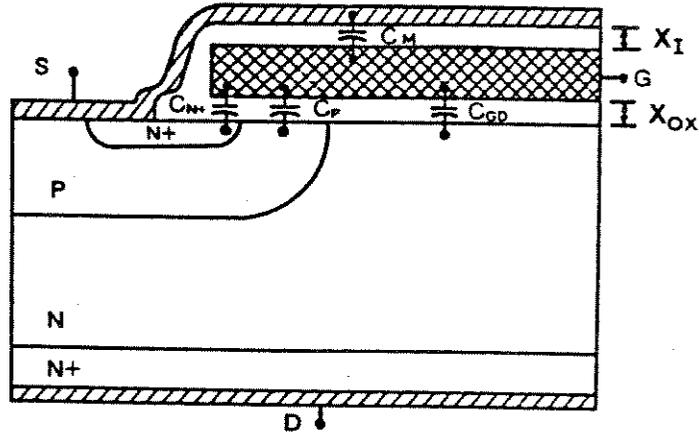


Figura 4.15: Estrutura DMOS convencional com as capacitâncias indicadas [4.2]

- C_{N+} = capacitância devido ao “overlap” do eletrodo de porta sobre a região N^+ da fonte,
- C_P = capacitância da estrutura MOS,
- C_M = capacitância que surge ao passar o metal da fonte sobre o eletrodo de porta.

Substituindo as expressões (4.40) e (4.41) na expressão (4.39), obtém-se para a capacitância total de entrada:

$$C_{in} = C_{N+} + C_P + C_M + (1 + g_m R_L) C_{GD} \quad (4.42)$$

A capacitância devido ao “overlap” do eletrodo de porta sobre a região N^+ (C_{N+}) é aproximadamente dada por [4.2]:

$$C_{N+} \simeq \frac{\epsilon_{OX}}{X_{OX}} x_{jN} Z \quad (4.43)$$

onde:

- ϵ_{OX} = constante dielétrica do óxido (F/cm).

Já a capacitância entre os eletrodos de fonte e porta (C_M) pode ser dada por [4.2]:

$$C_M = \frac{\epsilon_I A_O}{X_I} \quad (4.44)$$

onde:

- ϵ_I = constante dielétrica do isolante entre os eletrodos de fonte e porta (= ϵ_{OX} , se for Óxido de Silício) (F/cm),
- X_I = espessura de tal isolante (cm),

- $A_O =$ área de “overlap” entre tais eletrodos (cm^2).

Para se reduzir esta capacitância, usa-se geralmente um isolante espesso entre as duas camadas de metal.

Finalmente, a capacitância C_P é a já bastante conhecida capacitância da estrutura MOS, composta da associação em paralelo da capacitância do óxido de porta e da capacitância da região de depleção.

A figura 4.16 ilustra a curva $C \times V$ da capacitância C_P para um dispositivo de potência. Está aí sendo considerado um substrato tipo-p, correspondendo à região do canal do transistor DMOS vertical.

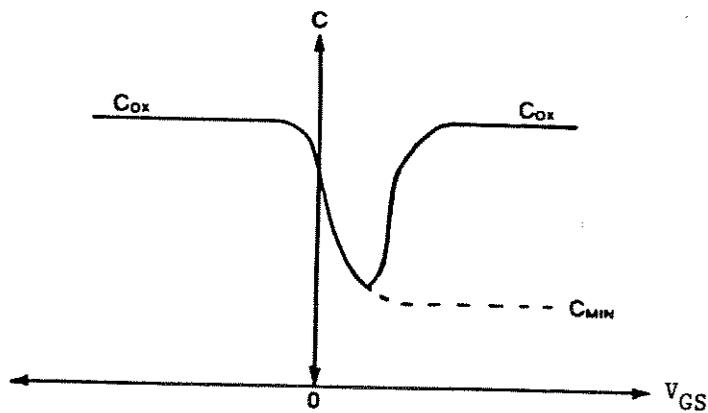


Figura 4.16: Curva $C \times V$ da capacitância C_P para um dispositivo de potência [4.2]

Desta figura é importante observar que a curva de resposta para altas frequências (tracejada na figura), normalmente encontrada nos capacitores MOS, **não** ocorre nos transistores MOS porque a formação da camada de inversão na região P é acompanhada pelo transporte de portadores entre a região N^+ da fonte e a camada de inversão [4.2].

Capítulo 5

Projeto e otimização de um dispositivo VDMOS de potência

Introdução

Nos capítulos anteriores foram apresentados os principais parâmetros de um transistor VDMOS de potência. Tais parâmetros foram ali definidos e as principais relações entre eles foram discutidas.

No Capítulo 4 foram apresentadas também algumas maneiras de se otimizar vários parâmetros do dispositivo, de forma a se conseguir melhores resultados.

Neste capítulo será apresentado inicialmente um projeto de construção de um transistor DMOS vertical de potência, o qual não está otimizado e, em seguida, será discutida uma possível otimização para este projeto.

5.1 Projeto de um dispositivo VDMOS de potência

Ao analisarmos o que foi dito até agora, percebe-se que o transistor VDMOS apresentado na figura 1.1a é apenas uma versão muito simplificada do que deve na realidade ser um transistor VDMOS de potência, pois aquele não apresenta a maioria das estruturas discutidas até agora, como por exemplo, técnicas de terminação de junções, difusões P^+ para evitar "latch-up", etc.

A figura 5.1 apresenta um corte transversal de uma célula de um transistor VDMOS, agora contendo todas as estruturas discutidas, enquanto que no Apêndice A está apresentada a sequência de máscaras necessárias para construir tal célula.

Apesar de aparentemente existirem dois transistores em cada célula, com o auxílio das máscaras (Apêndice A) pode-se facilmente ser concluído que trata-se na realidade de apenas um dispositivo (já que as difusões são feitas em janelas quadradas). Desta forma, aumenta-se a largura do canal de cada célula.

Observa-se da figura 5.1 que a técnica de terminação de junções sugerida é a de ataque químico de contorno, por razões já mencionadas anteriormente. Observa-se também na figura a difusão profunda P^+ que, como já mencionado, au-

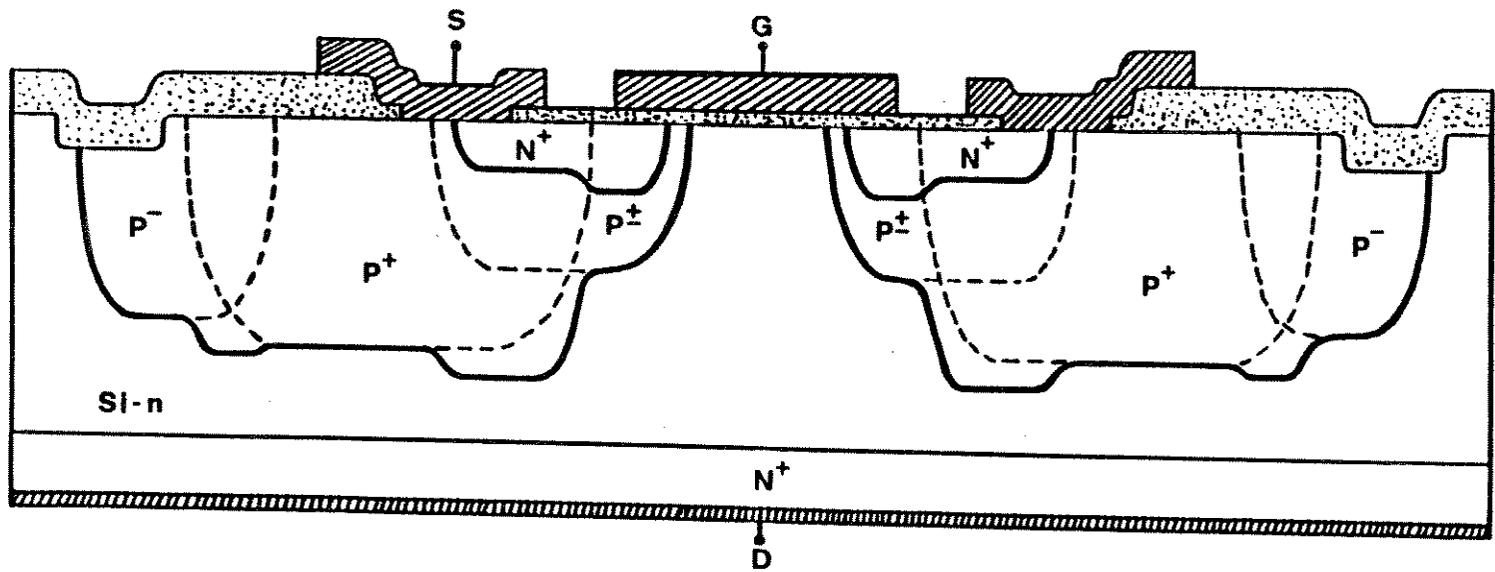


Figura 5.1: Corte transversal de uma célula completa de um transistor VDMOS de potência.

xilia o curto circuito entre a difusão do canal tipo-p e a fonte , além de reduzir a resistência de folha desta difusão sob a difusão N^+ de fonte.

Finalmente observa-se na figura uma região difundida P^- entre o etch e a difusão P^+ . Tal difusão não havia sido mencionada até agora, e, além de suavizar a concentração de linhas de campo elétrico (por se tratar de região menos dopada que a difusão P^+), possui a função de dar maior precisão à quantidade de carga removida pelo etch, já que, se este fosse feito diretamente sobre a região P^+ , um pequeno desvio no tempo de etch provocaria um grande erro na quantidade de cargas removidas. Ao se realizar o etch sobre a região P^- , reduz-se bastante a sensibilidade deste.

Uma vez definida a sequência de máscaras que irá gerar o dispositivo da figura 5.1, precisa-se estabelecer a sequência de processos a ser realizada. No Apêndice B está dada a sequência de processos necessária para a construção do dispositivo da figura 5.1. Os valores de temperatura utilizados são valores padrões utilizados no Laboratório de Eletrônica e Dispositivos (LED-UNICAMP). Já os valores dos tempos utilizados em cada etapa do processo foram obtidos de simulações utilizando o simulador SUPREM [5.1].

Foram realizadas inúmeras simulações, principalmente da dupla difusão (que é a etapa mais crítica do processo) e escolheu-se as simulações que apresentaram os melhores perfis de concentração de dopantes. Os critérios para tal escolha no caso da dupla difusão foram: comprimento do canal (L) entre 3 e 7 μm , profundidade da junção fonte/canal (x_{jN}) maior que 2,5 μm (para que a junção fonte/canal não fique muito próxima da superfície) e $N_{A\text{MAX}}$ maior que $5 \cdot 10^{16} \text{ cm}^{-3}$ (para que se obtenha um transistor do tipo enriquecimento - como foi visto, $N_{A\text{MAX}}$ determinará V_i do transistor). No Apêndice D estão mostradas as simulações escolhidas, das

quais são retirados alguns parâmetros do transistor DMOS.

Além da dupla difusão, uma outra etapa crítica de processo é o ataque químico (etch) de contorno. Como já foi discutido no Capítulo 3, o contorno de tal etch irá influenciar a tensão de ruptura do dispositivo. Precisa-se então calibrar a profundidade do etch (já que, como pode ser observado no Apêndice A, a localização e a janela através da qual será realizado o etch estão fixadas através da máscara de etch). Desta forma, no Apêndice C está dada uma sequência de processos que irá gerar uma estrutura como a ilustrada em tal apêndice. Esta estrutura é bastante semelhante ao transistor da figura 5.1, porém apresenta algumas sequências de processo fora da ordem correta, de forma a deixar o etch como última etapa. Porém, observando a figura C.1 (veja Apêndice C), observa-se que esta possui os terminais de fonte e dreno metalizados, de forma que pode-se medir a tensão de ruptura da junção canal/dreno. Então, para se calibrar o etch, realiza-se uma corrosão (por exemplo em Hidrazina) progressiva, sendo que a cada etapa corroída, mede-se a profundidade do etch e a tensão de ruptura correspondente. Desta forma, pode-se obter um gráfico de V_r em função da profundidade Y_1 do ataque (semelhante ao da figura 3.25), de modo a se poder determinar a profundidade ótima do ataque. A figura 5.2 ilustra a forma que tal gráfico deve possuir (observa-se que, enquanto na figura 3.25 tínhamos um mínimo de campo elétrico, aqui devemos ter um máximo de V_r).

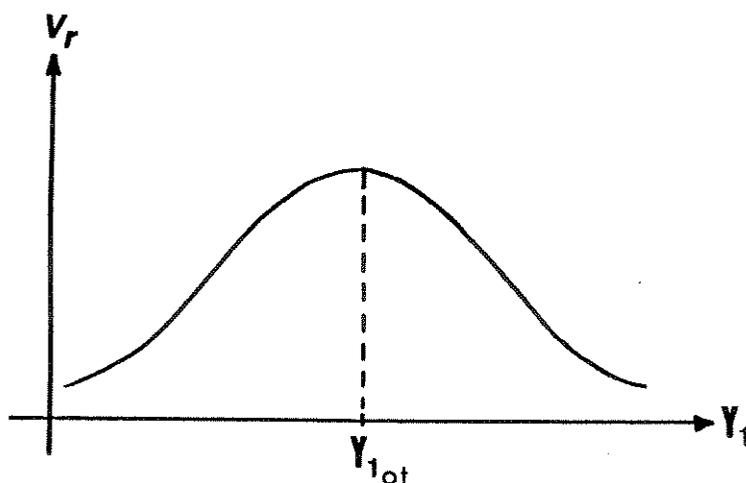


Figura 5.2: Gráfico da tensão de ruptura (V_r) em função da profundidade do ataque (Y_1).

5.2 Otimização do projeto apresentado

Como já foi dito, o projeto apresentado provavelmente não está otimizado segundo os critérios dados nos capítulos anteriores, isto porque pretendeu-se apenas estudar a construção de um transistor VDMOS qualquer.

Nesta seção será analisada uma possível otimização do projeto apresentado na seção anterior, de modo a ilustrar como tal otimização pode ser feita.

O primeiro passo a ser tomado quando decide-se construir um transistor VDMOS de potência é a escolha da lâmina a ser utilizada. Esta escolha é feita principalmente em função da tensão de ruptura que se deseja obter (obviamente será a tensão de ruptura máxima que aquele substrato consegue suportar, já que a tensão de ruptura real que será obtida dependerá de diversos fatores). Neste exemplo, será escolhida como tensão de ruptura desejada:

$$V_r = 1000V$$

Do gráfico da figura 3.3a, obtém-se para tal tensão de ruptura uma dopagem de substrato próxima de:

$$N_D \simeq 1,5 \cdot 10^{14} [\text{cm}^{-3}]$$

que foi exatamente a concentração de substrato utilizada nas simulações SUPREM. Sabendo-se que o substrato é do tipo n (devido à maior mobilidade dos elétrons, que serão os portadores presentes no canal), pode-se com o auxílio do gráfico da figura 5.3 [5.2] obter a resistividade do substrato.

Desta figura obtém-se então que a resistividade do substrato deve ser:

$$\rho \simeq 35 \Omega \cdot \text{cm}$$

A escolha da orientação cristalográfica do substrato está por sua vez relacionada principalmente com a qualidade do óxido de porta que será crescido a partir deste. Como a quantidade de cargas no óxido é **menor** para a orientação $\langle 100 \rangle$ do que para a orientação $\langle 111 \rangle$, é preferível utilizar lâminas do primeiro tipo. Um outro fator que poderia influenciar a orientação da lâmina seria a opção por um etch **anisotrópico** (no caso da Hidrazina, o etch é **isotrópico**).

Cabe observar aqui que, utilizando-se da expressão (4.32), obtém-se para $N_D = 1,5 \cdot 10^{14} \text{ cm}^{-3}$ uma tensão de ruptura de 951 V, portanto um pouco abaixo da obtida pelo gráfico. Por esta equação, para $V_r = 1000 \text{ V}$ deveríamos ter $N_D = 1,48 \cdot 10^{14} \text{ cm}^{-3}$.

Uma vez escolhida a dopagem do substrato, resta escolher a espessura deste, que será determinada através de H_{ot} , dado pela expressão (4.34). Então, para $V_r = 1000 \text{ V}$, temos que:

$$H_{ot} \simeq 105 \mu\text{m}$$

Como, da simulação da dupla difusão (corte E - Apêndice D) temos que:

$$x_{jP} = 6,89 \mu\text{m}$$

e portanto a espessura da camada epitaxial deve ser de:

$$t_{epi} = H_{ot} + x_{jP} \quad (5.1)$$

ou seja:

$$t_{epi} \simeq 112 \mu\text{m}$$

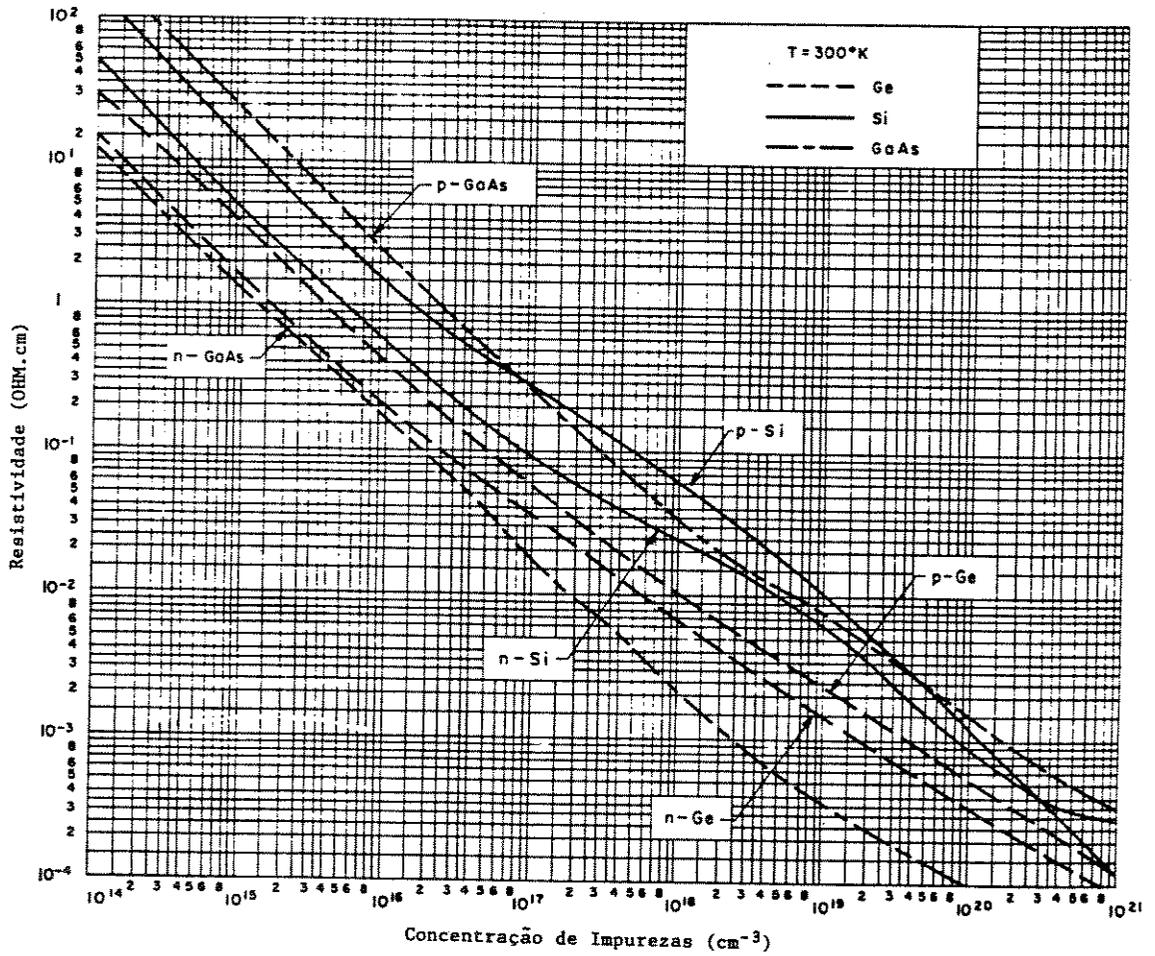


Figura 5.3: Gráfico da resistividade (ρ) em função da concentração de impurezas (N), conhecido como Curva de Irvin [5.2].

Portanto, o transistor deve ser construído sobre uma lâmina epitaxial Si-n/N⁺, onde a espessura da camada epitaxial (descontando a região N⁺) deve ser próxima de 112 μm . Observa-se que as sequências de processos dadas nos Apêndices B e C **não utilizam lâmina epitaxial**, mas sim uma difusão N⁺ realizada no verso da lâmina (com a função de melhorar o contato de dreno). Além de tal difusão não produzir uma região abrupta entre as regiões N⁻ e N⁺, a profundidade desta difusão não está otimizada, como pode ser observado na simulação SUPREM - Difusão N⁺ verso (Apêndice D). Desta simulação, obtém-se que a espessura da difusão N⁺ no verso da lâmina é de aproximadamente 13 μm . Com uma lâmina de espessura 290 μm , teremos então que a espessura da “camada epitaxial” é de 277 μm , de forma que, por (5.1):

$$H = 270,11 \mu\text{m}$$

O passo seguinte na otimização do transistor é o cálculo de L_{ot} , obtido através da expressão (4.38). Para tal, necessita-se do valor de $N_{A_{MAX}}$, obtido do gráfico da simulação SUPREM - corte E (Apêndice D). De tal gráfico, obtém-se que:

$$N_{A_{MAX}} \simeq 1 \cdot 10^{17} \text{ cm}^{-3}$$

de modo que, por (4.38), ou identicamente pelo gráfico da figura 4.7, obtém-se:

$$L_{ot} \simeq 0,3 \mu\text{m}$$

Este parâmetro claramente não está otimizado em nosso projeto, já que, da simulação SUPREM - corte E (Apêndice D), temos que:

$$x_{jN} = 3,37 \mu\text{m}$$

e portanto, de (2.16):

$$L = 3,52 \mu\text{m}$$

Porém, a simulação SUPREM - corte E representa o perfil vertical da dupla difusão, que, como já discutido, difere do perfil superficial (horizontal). Portanto, os valores de $N_{A_{MAX}}$, L , x_{jN} e x_{jP} obtidos da simulação SUPREM não são os valores dos respectivos parâmetros que serão obtidos na superfície ao se realizar o processo descrito no Apêndice B. Necessitar-se-ia portanto construir o transistor segundo a sequência apresentada e medir o valor destes parâmetros na superfície do canal de tais transistores, já que não há uma formulação matemática que inclua todos os fenômenos discutidos no Capítulo 2 (e mesmo formulações de fenômenos individuais já são bastante complicadas). Também deve ser observado que o comprimento L do canal obtido da simulação SUPREM é na realidade o comprimento metalúrgico do canal já que, próximo da junção canal/dreno, a concentração da difusão P[±] é baixa e o canal nesta região já está normalmente invertido (devido a cargas presentes no óxido), mesmo para tensões de porta iguais a zero. Portanto o comprimento efetivo do canal será menor que o obtido na simulação.

Cabe aqui mencionar que o valor do comprimento ótimo do canal obtido é muito pequeno e portanto muito sensível a variações de processo (daí ser a técnica de implantação iônica altamente recomendável ao invés da difusão térmica).

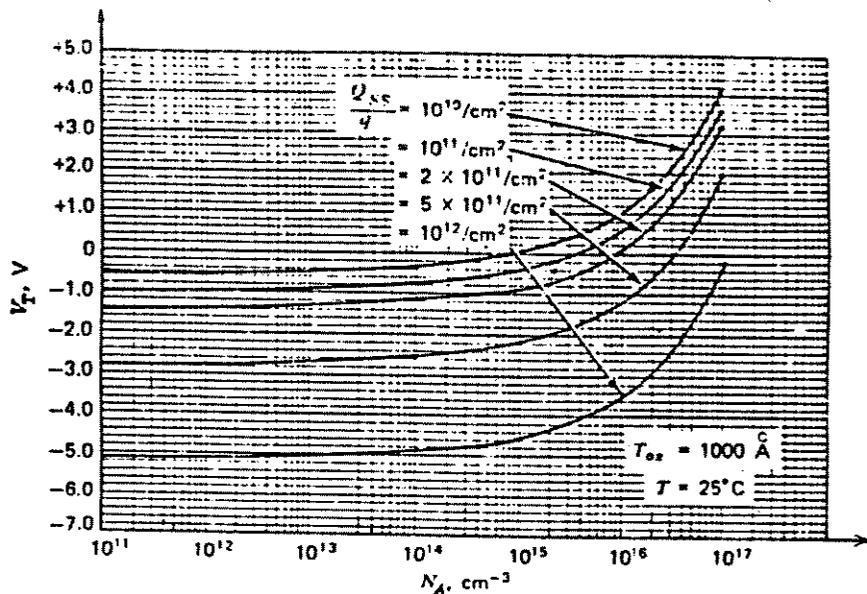


Figura 5.4: Gráfico da tensão de transição (V_t) em função da concentração máxima de dopantes no canal ($N_{A_{MAX}}$) [5.3].

A figura 5.4 ilustra curvas de V_t em função de $N_{A_{MAX}}$ (correspondente à equação (2.2)) [5.3].

Como pode ser observado desta, para um valor de $Q_{SS} = 1 \cdot 10^{11} \text{ cm}^{-2}$ (que, como foi mencionado no Capítulo 2, pode ser razoavelmente obtido), o valor de $N_{A_{MAX}}$ deve ser no mínimo $4 \cdot 10^{15} \text{ cm}^{-3}$ para que se tenha um transistor tipo enriquecimento ($V_t > 0$), sendo tal concentração considerada no perfil superficial (horizontal) de difusão, devendo a respectiva concentração no perfil vertical ser um pouco maior do que esta, daí a escolha de $N_{A_{MAX}} \geq 5 \cdot 10^{16} \text{ cm}^{-3}$.

De qualquer forma, as simulações apresentadas no Apêndice D não estão otimizadas.

Resta ainda calcular os valores de l e R_{ONS} , e seus respectivos valores otimizados. Para tanto, precisa-se inicialmente obter o valor de r (largura da difusão P^\pm). O valor de tal parâmetro pode ser apenas estimado, considerando-se que a largura da janela da difusão P^\pm é de $50 \mu\text{m}$ (vide máscara correspondente - Apêndice A) e que deve-se acrescentar a tal dimensão a penetração lateral da junção canal/dreno (correspondente a aproximadamente 80% da profundidade vertical da junção) em ambos os lados, obtendo-se daí:

$$r = 50 + 0,8 \times 2 \times x_{jP} \quad (5.2)$$

ou seja:

$$r \simeq 61 \mu\text{m}$$

Além de tal valor ser apenas uma rude estimativa, não está otimizado. Como foi mencionado anteriormente, tal valor poderia ter sido fixado pelo menor valor que o processo fotolitográfico consegue obter.

Precisa-se agora obter os valores dos outros parâmetros do dispositivo, assim como de algumas constantes físicas, a fim de substituir tais valores na expressão (4.21) que possibilitará a obtenção do gráfico de R_{ON} em função de l .

Tem-se então, para o dispositivo dado pelo processo descrito no Apêndice B, que como vimos, não está otimizado:

1. O valor de C_{OX} é dado por:

$$C_{OX} = \frac{\epsilon_{OX}}{X_{OX}} = \frac{K_{OX} \epsilon_0}{X_{OX}} \quad (5.3)$$

Obtendo-se da simulação SUPREM - corte E (Apêndice D) o valor de X_{OX} :

$$X_{OX} \simeq 1600 \text{ \AA} = 1,6 \cdot 10^{-5} \text{ cm}$$

e portanto:

$$C_{OX} = \frac{3,9 \times 8,86 \cdot 10^{-14} [\text{F/cm}]}{1,6 \cdot 10^{-5} [\text{cm}]} \Rightarrow C_{OX} = 2,16 \cdot 10^{-8} \text{ F/cm}^2$$

2. Dado que:

$$q = 1,6 \cdot 10^{-19} \text{ Coulomb}$$

obtem-se:

$$\frac{kT}{q} = \frac{1,38 \cdot 10^{-23} [\text{J/K}] \times 300 [\text{K}]}{1,6 \cdot 10^{-19} [\text{Coulomb}]} \Rightarrow \frac{kT}{q} = 2,59 \cdot 10^{-2} \text{ V}$$

e portanto:

$$\frac{q}{kT} = 38,61 \text{ V}^{-1}$$

3. Também:

$$\epsilon_{Si} = K_{Si} \epsilon_0 = 11,7 \times 8,86 \cdot 10^{-14} \text{ F/cm} \Rightarrow \epsilon_{Si} = 1,04 \cdot 10^{-12} \text{ F/cm}$$

4. Como já foi mencionado no Capítulo 2, pode ser assumido que:

$$Q_{SS} \leq 1 \cdot 10^{11} \text{ cm}^{-2}$$

ou, multiplicando por q :

$$Q_{SS} \leq 1,6 \cdot 10^{-8} \text{ Coulomb/cm}^2$$

5. Para o cálculo das mobilidades, usou-se [5.4]:

$$\mu_e = 65 + \frac{1265}{1 + (N/8,5 \cdot 10^{16})^{0,72}} \quad [\text{cm}^2/\text{V}\cdot\text{s}] \quad (5.4)$$

de forma que, usando-se $N = N_D = 1,5 \cdot 10^{14} \text{ cm}^{-3}$, obtém-se:

$$\mu_{na} = 1317 \text{ cm}^2/\text{V}\cdot\text{s}$$

e, usando-se $N = N_{A_{MAX}} = 1 \cdot 10^{17} \text{ cm}^{-3}$, obtém-se:

$$\mu_{nch} = 660 \text{ cm}^2/\text{V}\cdot\text{s}$$

6. A figura 5.5 ilustra um gráfico de ϕ_F em função de N [5.5].

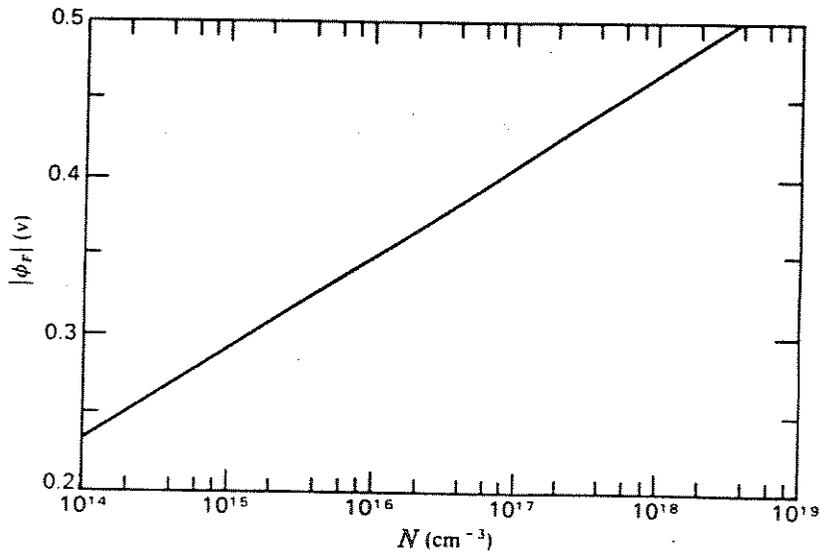


Figura 5.5: Gráfico do potencial de Fermi (ϕ_F) em função da concentração líquida de impurezas (N), para Silício a 300 K. $\phi_F > 0$ para região tipo-p e $\phi_F < 0$ para região tipo-n [5.5].

Usando este gráfico, obtém-se para $N = N_D = 1,5 \cdot 10^{14} \text{ cm}^{-3}$:

$$\phi_{FN} \simeq -0,23 \text{ V}$$

e para $N = N_{A_{MAX}} = 1 \cdot 10^{17} \text{ cm}^{-3}$:

$$\phi_{FP} \simeq 0,41 \text{ V}$$

7. Como, para porta de Alumínio, tem-se que:

$$\Phi_{MS} = -0,6 - \phi_F \quad (5.5)$$

obtem-se para a região do canal:

$$\Phi_{MS_P} = -0,6 - 0,41 \Rightarrow \boxed{\Phi_{MS_P} = -1,01 \text{ V}}$$

e para a região de acumulação:

$$\Phi_{MS_N} = -0,6 - (-0,23) \Rightarrow \boxed{\Phi_{MS_N} = -0,37 \text{ V}}$$

8. Assume-se que:

$$\boxed{V_{GS} = 10 \text{ V}}$$

9. Pode-se então calcular $V_{t_{MAX}}$ utilizando-se na expressão (2.2): $N_A(y) = N_{A_{MAX}}$, $\Phi_{MS} = \Phi_{MS_P}$ e $\phi_F = \phi_{FP}$, cujos valores estão dados acima. Obtém-se então:

$$\boxed{V_{t_{MAX}} = 6,72 \text{ V}}$$

10. Obtém-se V'_{GS} usando $\Phi_{MS} = \Phi_{MS_N}$ na expressão (4.9):

$$\boxed{V'_{GS} = 11,11 \text{ V}}$$

11. O valor do parâmetro ϕ_{B_a} é obtido da expressão (4.10):

$$\boxed{\phi_{B_a} = 1,07 \cdot 10^{-1} \text{ V}}$$

12. Através da expressão (4.8) pode-se obter o valor de θ' em função de l :

$$\theta' = 193l \quad (5.6)$$

13. Então, a partir da expressão (4.7), pode-se obter o valor de R_{a^*} , dado por:

$$R_{a^*} = R_a Z = \left(\frac{2x_{jP}}{lq\mu_{na}N_D} \right) \left(\frac{\theta'}{\text{tgh}\theta'} \right) \quad (5.7)$$

de forma que obtém-se:

$$\boxed{R_{a^*} = \frac{8,41}{\text{tgh}\{193l\}} \quad [\Omega \cdot \text{cm}]} \quad (5.8)$$

onde l é dado em centímetros. Observa-se da expressão acima que, como foi mencionado anteriormente, R_{a^*} depende de l .

14. Da mesma forma, pode-se a partir da expressão (4.5) obter o valor de R_{ch^*} , dado por:

$$R_{ch^*} = R_{ch} Z \simeq \frac{L}{\mu_{nch} C_{OX}(V_{GS} - V_t)} \quad (5.9)$$

obtendo-se para $L = 3,52 \mu\text{m}$:

$$\boxed{R_{ch^*} = 7,53 \Omega \cdot \text{cm}} \quad (5.10)$$

que, como mencionado anteriormente, não depende de l . Deve aqui ser observado no entanto que foi utilizado o valor de L vertical (obtido da simulação SUPREM - corte E - Apêndice D). Na realidade, o comprimento de canal superficial é menor do que o utilizado nos cálculos, resultando em uma resistência R_{ch^*} menor do que a dada na expressão (5.10).

15. Finalmente, pode-se a partir da expressão (4.16) obter o valor de R_{N-}^* , dado por:

$$R_{N-}^* = R_{N-} - Z = \frac{\rho}{\pi} \sinh^{-1} \left\{ \frac{\sinh \left(\frac{\pi H}{r+l} \right)}{\operatorname{sen} \left(\frac{\pi l}{2(r+l)} \right)} \right\} \quad (5.11)$$

Então, para $H = 270,11 \mu\text{m}$, tem-se:

$$R_{N-}^* = 11,14 \sinh^{-1} \left\{ \frac{\sinh \left(\frac{8,48 \cdot 10^{-2}}{6,1 \cdot 10^{-3} + l} \right)}{\operatorname{sen} \left(\frac{1,57 l}{6,1 \cdot 10^{-3} + l} \right)} \right\} \quad [\Omega \cdot \text{cm}] \quad (5.12)$$

onde l é dado em cm.

16. Utilizando-se da expressão (4.18) e das expressões (5.8), (5.10) e (5.12), obtém-se que:

$$R_{ON^*} \simeq R_{ch^*} + R_{a^*} + 2R_{N-}^* \quad (5.13)$$

ou seja:

$$R_{ON^*} \simeq 7,53 + \frac{8,41}{\operatorname{tgh}\{193l\}} + 22,28 \sinh^{-1} \left\{ \frac{\sinh \left(\frac{8,48 \cdot 10^{-2}}{6,1 \cdot 10^{-3} + l} \right)}{\operatorname{sen} \left(\frac{1,57 l}{6,1 \cdot 10^{-3} + l} \right)} \right\} \quad (5.14)$$

17. Necessita-se agora calcular os fatores de forma, dados na Tabela 4.1, a fim de se poder calcular R_{ONS} . Serão calculados os valores de R_{ONS} para três geometrias: triângulos equiláteros (T.E.), faixas paralelas (F.P.) e faixas sinuosas (F.S.). De tal tabela, tem-se então que:

- Para triângulos equiláteros:

$$F_{T.E.} = \frac{4\sqrt{3}r}{(r + \sqrt{3}l)^2}$$

ou seja:

$$F_{T.E.} = \frac{4,23 \cdot 10^{-2}}{(6,1 \cdot 10^{-3} + 1,73l)^2} \quad (5.15)$$

- Para faixas sinuosas:

$$F_{F.S.} = \frac{32}{16l + 5\sqrt{3}r}$$

ou seja:

$$F_{F.S.} = \frac{2}{l + 3,3 \cdot 10^{-3}} \quad (5.16)$$

- Finalmente, para faixas paralelas:

$$F_{F.P.} = \frac{2}{r + l}$$

ou seja:

$$F_{F.P.} = \frac{2}{6,1 \cdot 10^{-3} + l} \quad (5.17)$$

18. Finalmente, da expressão (4.24), pode-se calcular a expressão de R_{ONS} em função de l , usando para isto as expressões (5.14), (5.15), (5.16) e (5.17).

Na figura 5.6 estão ilustradas as curvas de R_{ONS} em função de l para as três geometrias calculadas.

Transistor não otimizado

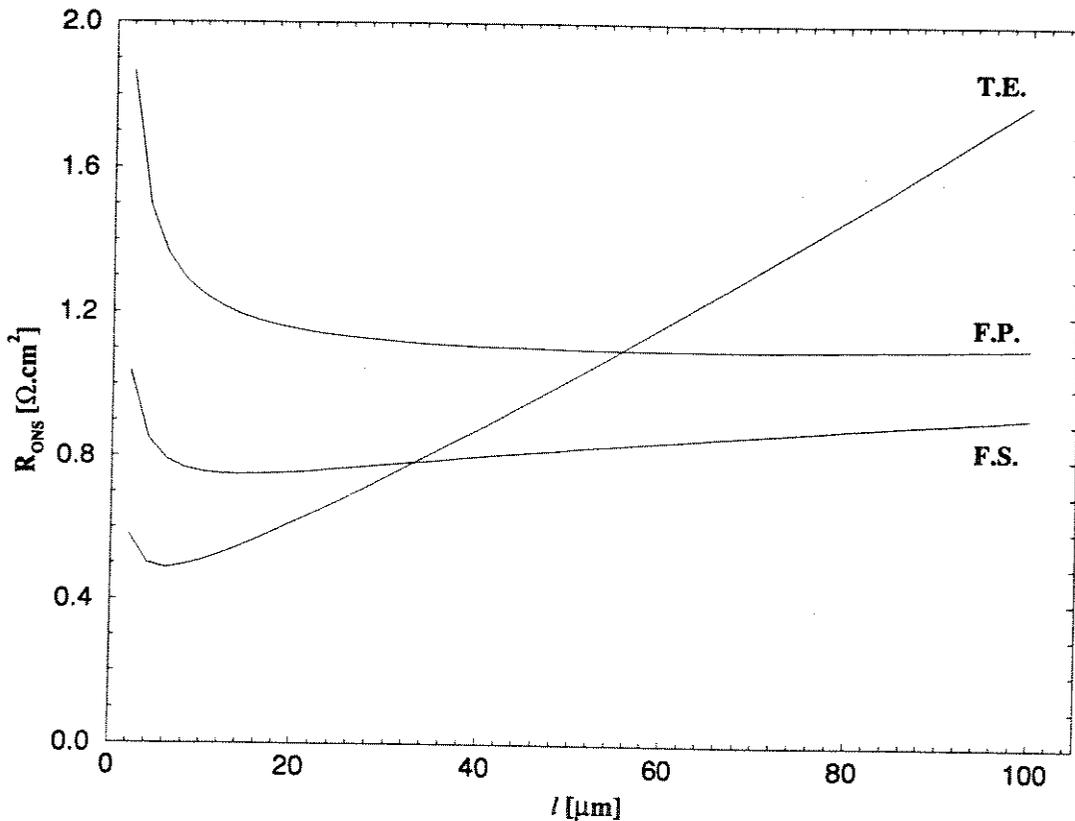


Figura 5.6: Curvas da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l) para três geometrias: (a) T.E. = triângulos equiláteros, (b) F.S. = faixas sinuosas e (c) F.P. = faixas paralelas. Os valores apresentados referem-se ao processo descrito no Apêndice B e às máscaras apresentadas no Apêndice A

Do gráfico da figura acima, pode-se finalmente obter os valores de l_{ot} e os correspondentes valores de R_{ONS} mínimo. Tem-se então que:

- Para triângulos equiláteros:

$$l_{ot} \simeq 6 \mu\text{m}$$

e:

$$R_{ONSMIN} \simeq 0,49 \Omega \cdot \text{cm}^2$$

- Para faixas sinuosas:

$$l_{ot} \simeq 14 \mu\text{m}$$

e:

$$R_{ONS_{MIN}} \simeq 0,75 \Omega \cdot \text{cm}^2$$

- Para faixas paralelas:

$$l_{ot} \simeq 64 \mu\text{m}$$

e:

$$R_{ONS_{MIN}} \simeq 1,10 \Omega \cdot \text{cm}^2$$

Observa-se deste gráfico que, como dito no Capítulo 4, a geometria em forma de triângulos equiláteros é a que apresenta o menor valor para R_{ONS} mínimo, apresentando porém uma rápida variação à medida que l aumenta (tornando crítico o posicionamento das células). Já as geometrias em forma de faixas sinuosas e faixas paralelas não apresentam este problema (para faixas paralelas, tem-se pouca variação de $R_{ONS_{MIN}}$ no intervalo $40 \mu\text{m} < l < 100 \mu\text{m}$). Nota-se também na figura o efeito de “estrangulamento” mencionado anteriormente para valores de l muito pequenos.

Substituindo o valor de l_{ot} nas expressões (5.8) e (5.12), pode-se comparar a magnitude das três parcelas de R_{ON^*} . Obtém-se:

- Para a geometria em forma de triângulos equiláteros:

$$R_{ch^*} = 7,53 \Omega \cdot \text{cm}$$

$$R_{a^*} = 72,95 \Omega \cdot \text{cm}$$

$$R_{N^-}^* = 163 \Omega \cdot \text{cm}$$

- Para a geometria em forma de faixas paralelas:

$$R_{ch^*} = 7,53 \Omega \cdot \text{cm}$$

$$R_{a^*} = 9,96 \Omega \cdot \text{cm}$$

$$R_{N^-}^* = 79,23 \Omega \cdot \text{cm}$$

sendo que, da expressão (5.13), observa-se que $R_{N^-}^*$ contribui em dobro para R_{ON^*} . Portanto, a resistência de corpo da camada epitaxial N^- é o termo que mais contribui para R_{ON^*} , podendo ser desprezados os outros dois termos (principalmente a resistência do canal). Daí:

$$R_{ON^*} \simeq 2 R_{N^-}^* \quad (5.18)$$

Com isto conclui-se que **não é necessário utilizar o comprimento ótimo de canal** (L_{ot}) para dispositivos de alta tensão de ruptura, já que sua utilização provocaria uma redução muito pequena em R_{ON^*} .

Comparando as parcelas de R_{ON^*} para as geometrias F.P. e T.E., conclui-se também que R_{a^*} é maior para a geometria T.E., onde l_{ot} é pequeno. Isto é devido ao fenômeno de “estrangulamento”, que faz com que a resistência de acesso aumente.

Por outro lado, substituindo o valor ótimo de r (menor valor que o processo fotolitográfico do LED-UNICAMP consegue obter):

$$r_{ot} = 10 \mu\text{m}$$

e o valor de H_{ot} na expressão (5.11), obtém-se:

$$R_{N-}^* = 11,14 \operatorname{senh}^{-1} \left\{ \frac{\operatorname{senh} \left(\frac{3,3 \cdot 10^{-2}}{1 \cdot 10^{-3} + l} \right)}{\operatorname{sen} \left(\frac{1,57 l}{1 \cdot 10^{-3} + l} \right)} \right\} \quad [\Omega \cdot \text{cm}] \quad (5.19)$$

onde l é dado em cm.

Substituindo esta expressão, juntamente com as expressões (5.8) e (5.10), na expressão (5.13), pode-se, com o auxílio das expressões (4.24), (5.15), (5.16) e (5.17), obter a expressão de R_{ONS} em função de l , agora para o **dispositivo otimizado em relação a H e r** . Nota-se porém que tal expressão não está otimizada em relação a L (que, como dito, não é necessário) e nem em relação ao perfil de difusão do canal (x_{jP} e $N_{A_{MAX}}$). Esta última otimização é difícil de ser realizada e não produziria grandes modificações no resultado, já que o termo R_{N-}^* (que está otimizado) é dominante.

Na figura 5.7 estão ilustradas as curvas de tal expressão, para as mesmas três geometrias calculadas anteriormente.

Apesar de, aparentemente terem sido obtidas três retas, o gráfico da figura acima apresenta valores de l_{ot} para as três geometrias:

- Para triângulos equiláteros:

$$l_{ot} \simeq 1,5 \mu\text{m}$$

e:

$$R_{ONS_{MIN}} \simeq 0,22 \Omega \cdot \text{cm}^2$$

- Para faixas sinuosas:

$$l_{ot} \simeq 3,8 \mu\text{m}$$

e:

$$R_{ONS_{MIN}} \simeq 0,31 \Omega \cdot \text{cm}^2$$

- Para faixas paralelas:

$$l_{ot} \simeq 23,6 \mu\text{m}$$

e:

$$R_{ONS_{MIN}} \simeq 0,42 \Omega \cdot \text{cm}^2$$

Deste gráfico, observa-se que o valor de l_{ot} para a geometria em forma de triângulos equiláteros é muito pequeno (e portanto de difícil realização), além de ser muito pronunciado. Já a geometria em forma de faixas paralelas apresenta uma variação quase imperceptível na resistência de condução específica na faixa

Transistor otimizado em ρ , H e r

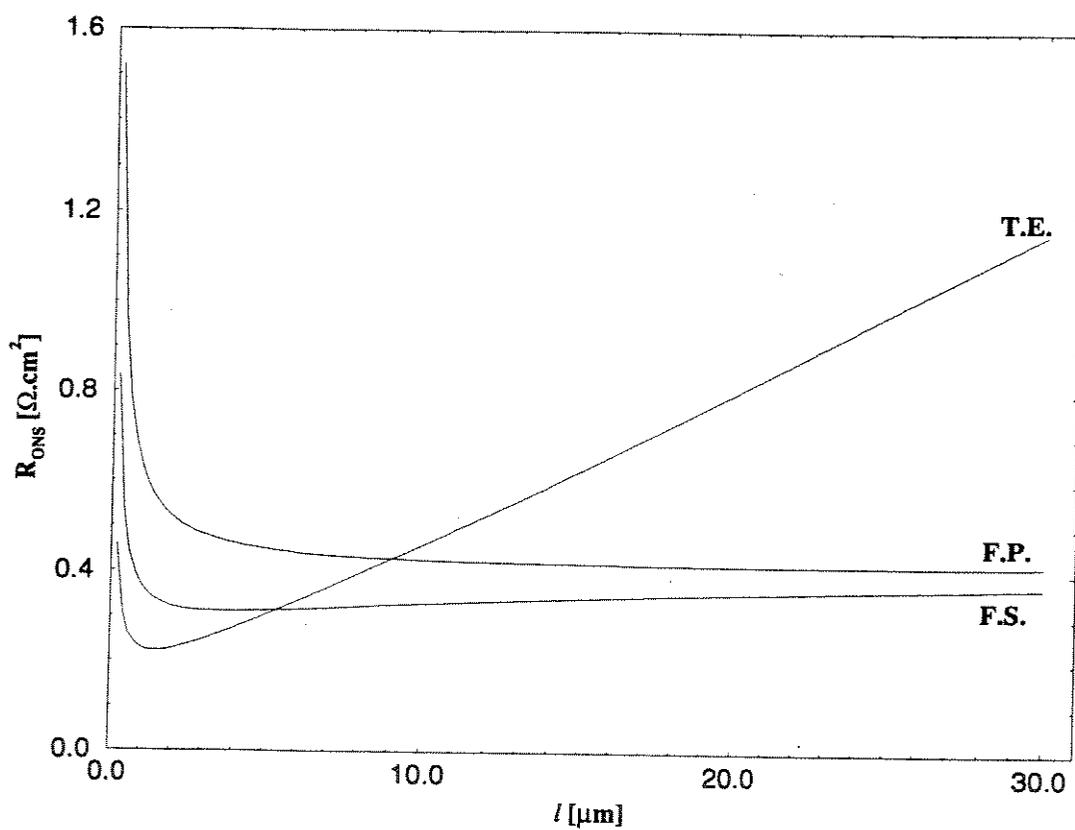


Figura 5.7: Curvas da resistência de condução específica (R_{ONS}) em função do espaçamento intercelular (l) para as mesmas três geometrias apresentadas na figura 5.6. Neste caso, porém, utilizou-se os valores de r_{ot} e H_{ot} no cálculo de R_{ONS} .

de $10 \mu\text{m} \leq l \leq 100 \mu\text{m}$, o que torna o processo praticamente insensível a erros no posicionamento ótimo das diversas células. Como esta última geometria facilita também a obtenção de contato com as células, pode-se concluir que a **geometria em forma de faixas paralelas é a mais recomendada para ser empregada no transistor VDMOS de potência com alta tensão de ruptura.**

Comparando os valores de R_{ONS} mínimo obtidos para as duas situações calculadas, observa-se que, quando se tem H , r e ρ otimizados, obtém-se um valor de R_{ONS} (para o caso de faixas paralelas) 60% menor do que o valor obtido se tais parâmetros não são otimizados.

5.3 Conclusões e sugestões

Neste trabalho foi inicialmente apresentado um breve histórico do desenvolvimento dos transistores MOS de potência, sendo em seguida discutidos alguns desenvolvimentos tecnológicos recentes nesta área.

Em seguida discutiu-se isoladamente os quatro principais parâmetros do transistor VDMOS de potência.

No Capítulo 2 foi discutida a tensão de transição, parâmetro este que estava diretamente relacionado com o perfil de dopagem do dispositivo. Estudando-se apenas tal perfil gerado por uma difusão térmica, apresentou-se inicialmente um modelo unidimensional desta. Como este modelo mostrou-se ineficiente, por não incluir os efeitos de difusão lateral e redistribuição de Boro no óxido de porta, foi apresentado um modelo tridimensional para a difusão térmica, além de uma correção para o fenômeno da redistribuição. Mesmo assim, ainda havia outros fenômenos (o efeito E.D.E., a difusão simultânea de impurezas com cargas opostas e a difusão anômala de Fósforo) que alteravam o perfil de difusão térmica. Deste modo, tal discussão teve como resultado principalmente a apresentação dos fenômenos que ocorrem na difusão térmica, ao invés da obtenção de um modelamento matemático perfeito.

No Capítulo 2 foram também discutidas as influências das variações de processo na tensão de transição, onde concluiu-se que a tolerância de processo na etapa de pré-deposição da junção canal/dreno é o fator limitante no controle de V_i de transistores DMOS de canal longo (para canal curto, as influências em V_i das variações na penetração de Boro e Fósforo tornam-se consideráveis). Desta forma, a técnica de implantação iônica de impurezas praticamente eliminaria tal influência.

Já no Capítulo 3 foi discutida a tensão de ruptura para várias estruturas ideais, sendo em seguida analisado o problema das regiões cilíndricas e esféricas que surgem nas bordas das estruturas difundidas (reais) e que diminuem o valor da tensão de ruptura destas. A fim de evitar esta perda, foram discutidas várias técnicas de terminações de junções, onde concluiu-se que a mais indicada (porém não a mais eficiente) para o caso do transistor VDMOS de potência é a técnica de ataque químico de contorno, que, por esta razão, foi discutida em maiores detalhes. Da mesma forma que o Capítulo 2, o Capítulo 3 apresentou uma visão mais qualitativa do fenômeno estudado.

Por outro lado, o Capítulo 4 apresentou uma visão bastante quantitativa da resistência de condução do dispositivo, onde foram calculadas as parcelas individuais de tal resistência, incluída a influência da forma geométrica da metalização entre as várias células do dispositivo e apresentadas otimizações de vários parâmetros do dispositivo, como a espessura da camada epitaxial, o comprimento do canal e o espaçamento intercelular.

Também foi apresentado no Capítulo 4 um modelamento para as capacitâncias que aparecem na estrutura VDMOS.

Finalmente, no Capítulo 5, foram apresentados um conjunto de máscaras e uma sequência de processos que possibilitam a construção de uma célula de um dispositivo VDMOS de potência. Foi realizado os cálculos de parâmetros como a tensão de transição e a resistência de condução para tal célula e concluiu-se que o dispositivo formado por tal conjunto de máscaras e tal sequência de processos não está otimizado. Partiu-se então para a otimização do dispositivo, em relação à espessura da camada epitaxial, à resistividade do substrato e à largura da difusão canal/dreno. Concluiu-se daí que não é necessário otimizar o comprimento do canal e o espaçamento intercelular (desde que se utilize a metalização em forma de faixas paralelas). Comparando as resistências de condução específica para os dispositivos otimizado e não otimizado, conclui-se que tal parâmetro é 60% menor no primeiro caso (também para faixas paralelas).

Não foi porém otimizado o perfil de difusão (apenas indicou-se alguns limites para a profundidade das junções e para a dopagem do canal). Precisa-se então buscar um perfil melhor que, dentre outras coisas, apresente uma profundidade da junção canal/dreno várias vezes maior do que a profundidade da junção fonte/canal, a fim de diminuir a influência das variações de processo na tensão de transição (como indicado no Capítulo 2). Seria também conveniente buscar menores tempos de processo, já que os tempos obtidos são bastante longos.

Certamente, a sequência natural do estudo aqui apresentado é a realização prática do dispositivo apresentado e a posterior verificação da validade dos resultados teóricos aqui obtidos. Desta forma poder-se-á não só analisar a concordância entre teoria e prática dos valores de tensão de transição e resistência de condução do dispositivo, mas também verificar a efetividade da técnica de terminação usada.

Por último, como um passo seguinte ou alternativo, é desejável substituir a técnica de difusão térmica pela técnica de implantação iônica, além da utilização de regras de projeto VLSI a fim de otimizar ainda mais o transporte de corrente pela região epitaxial.

Apêndice A

Máscaras utilizadas na construção do transistor VDMOS

Neste apêndice estão dadas as máscaras necessárias para a construção do dispositivo ilustrado na figura 5.1.

As dimensões estão dadas em micras. Porém, para uma melhor visualização das máscaras, **as dimensões não estão desenhadas em escala**

O hachurado representa, nas figuras A.1, A.2, A.3, A.4, A.5 e A.6, as regiões aonde serão abertas janelas no óxido (regiões aonde serão feitas as difusões, etc). Já na figura A.7, o hachurado representa a região aonde será retirado o metal.

Os pequenos retângulos são marcas internas de alinhamento, cujo comprimento varia de máscara para máscara.

Finalmente na figura A.8 estão representadas todas as máscaras (sobrepostas), de modo a se poder ter uma idéia de suas funções respectivas.

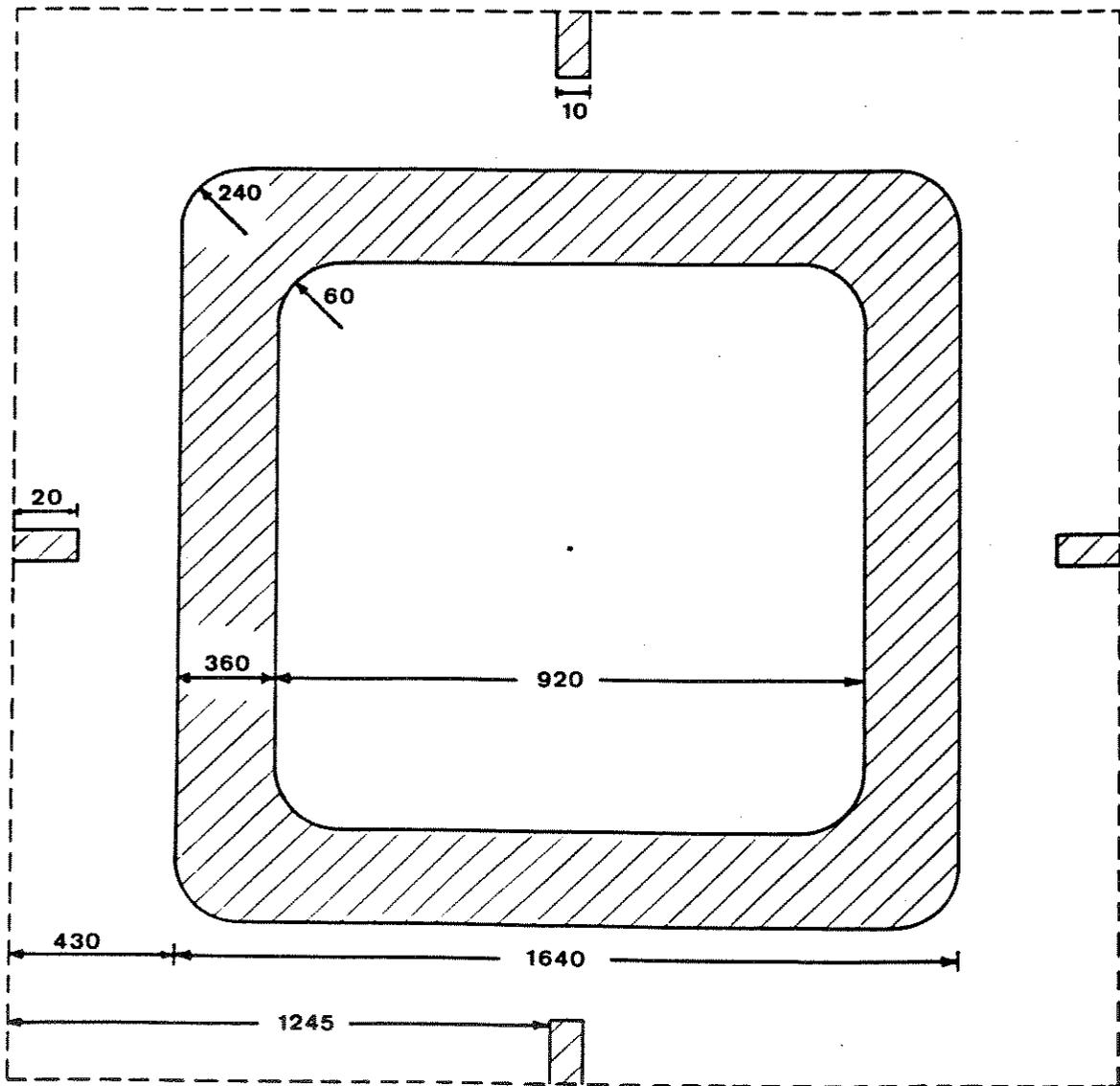


Figura A.1: Máscara 1 = Difusão P⁻

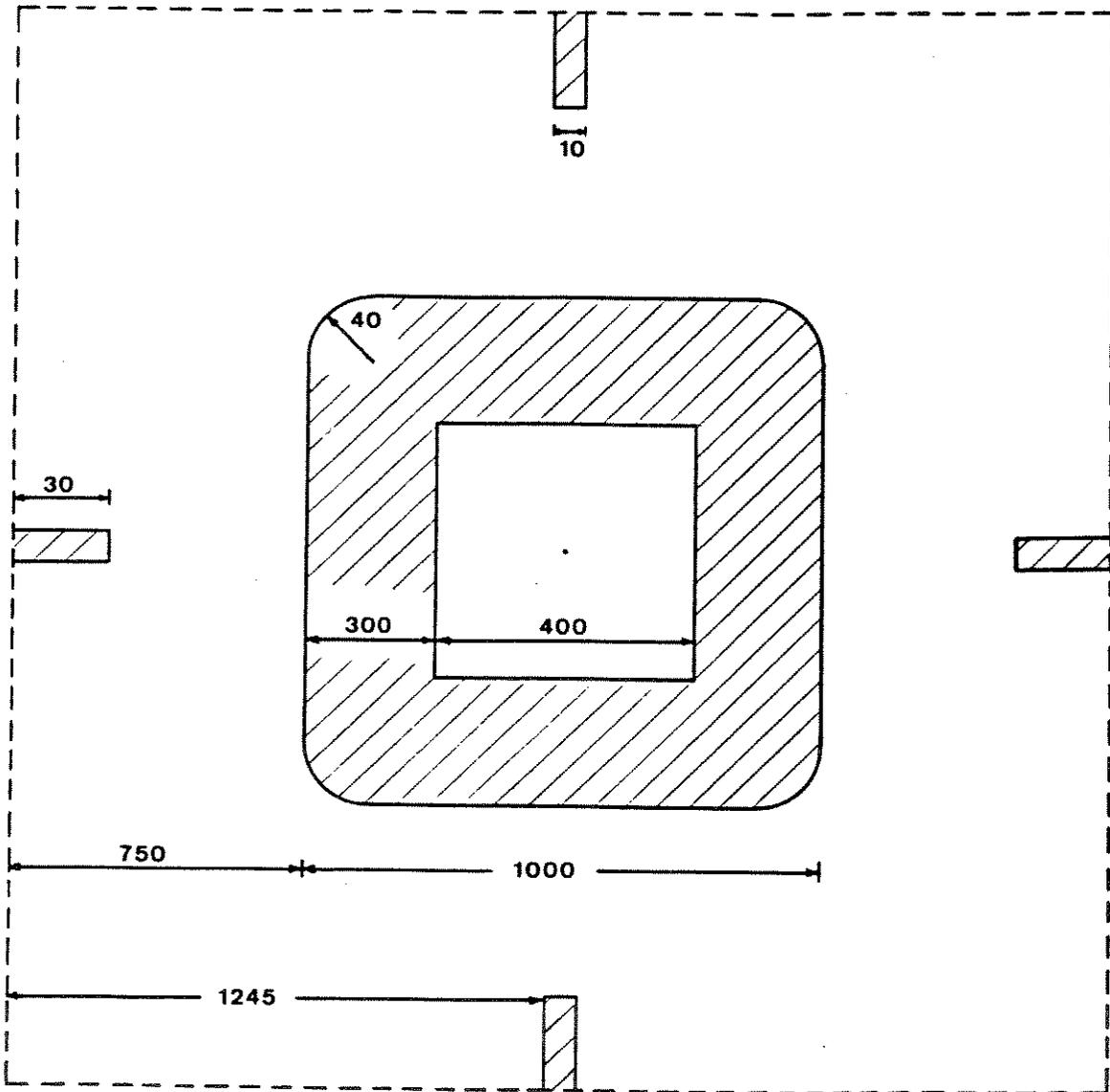


Figura A.2: Máscara 2 = Difusão P⁺

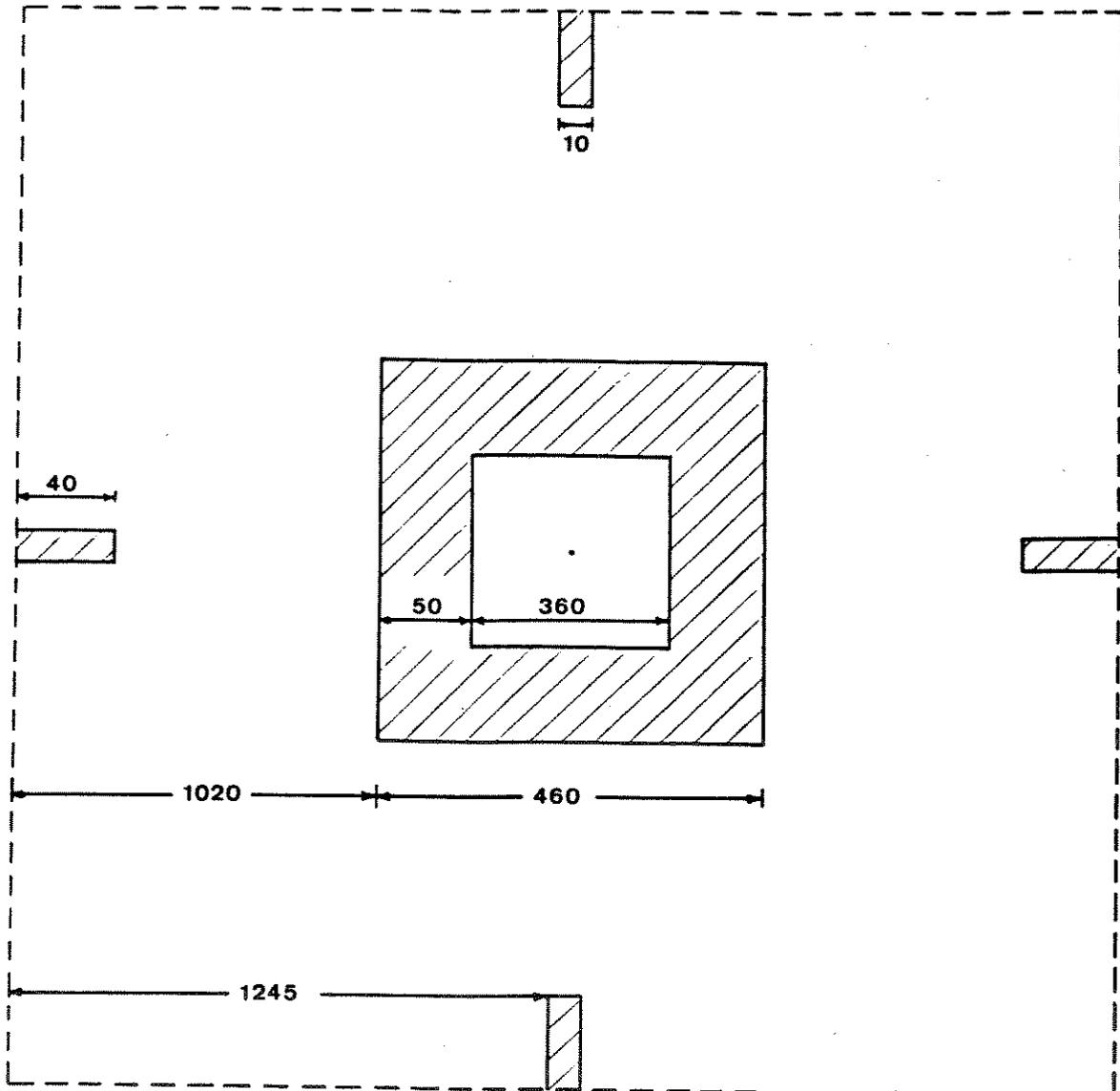


Figura A.3: Máscara 3 = Difusão P[±]/N⁺

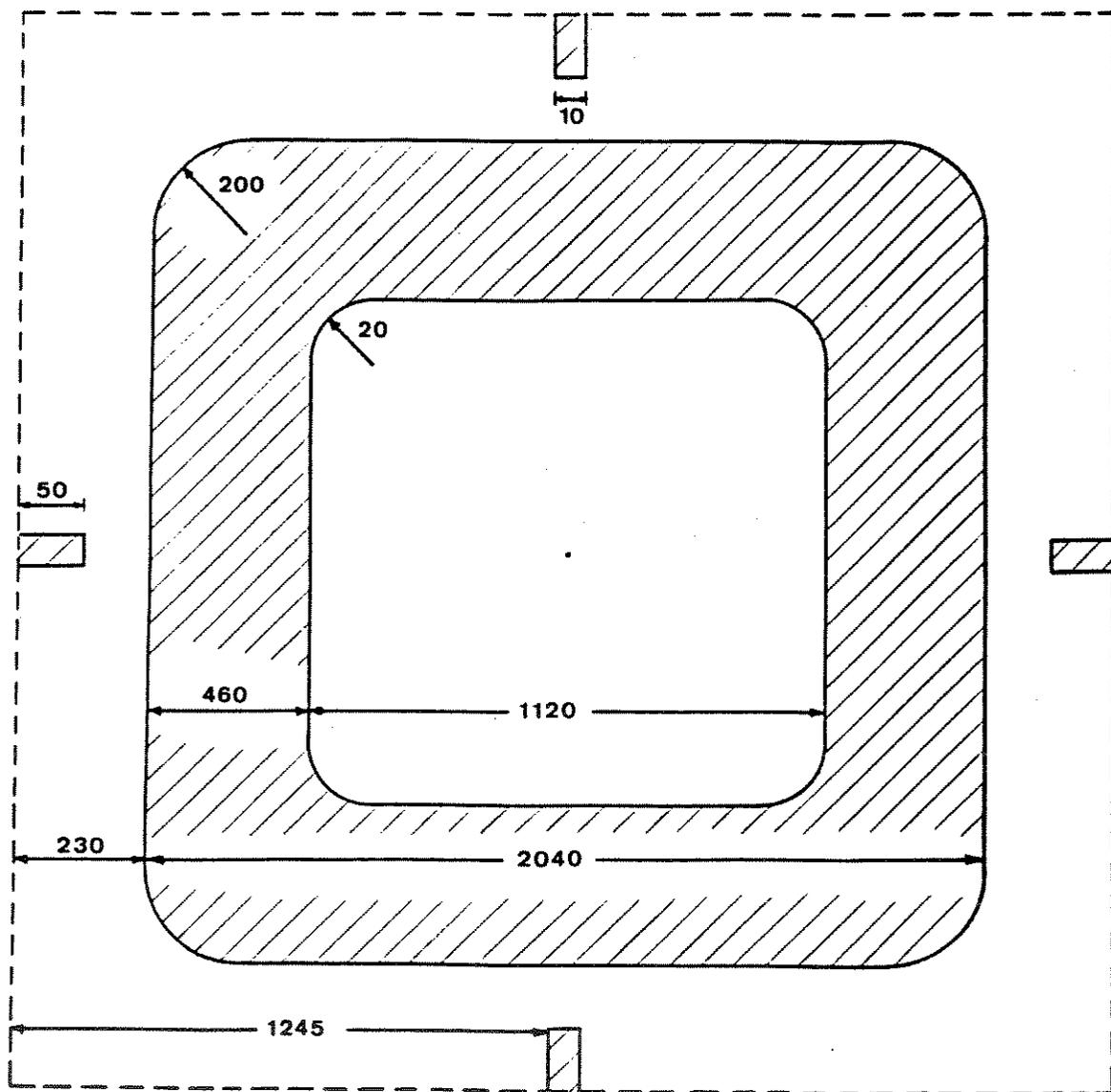


Figura A.4: Máscara 4 = Etch úmido

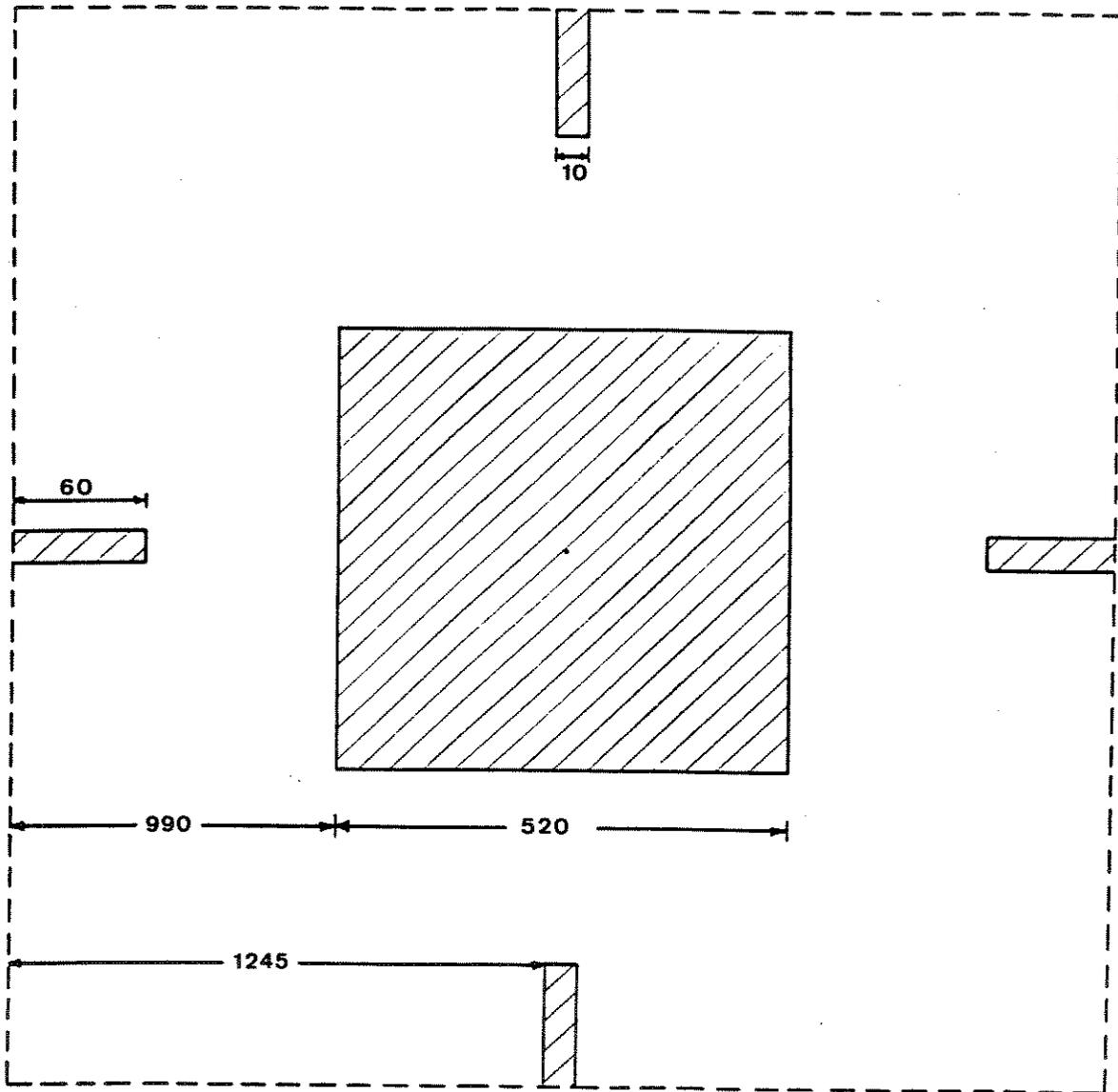


Figura A.5: Máscara 5 = Óxido de porta

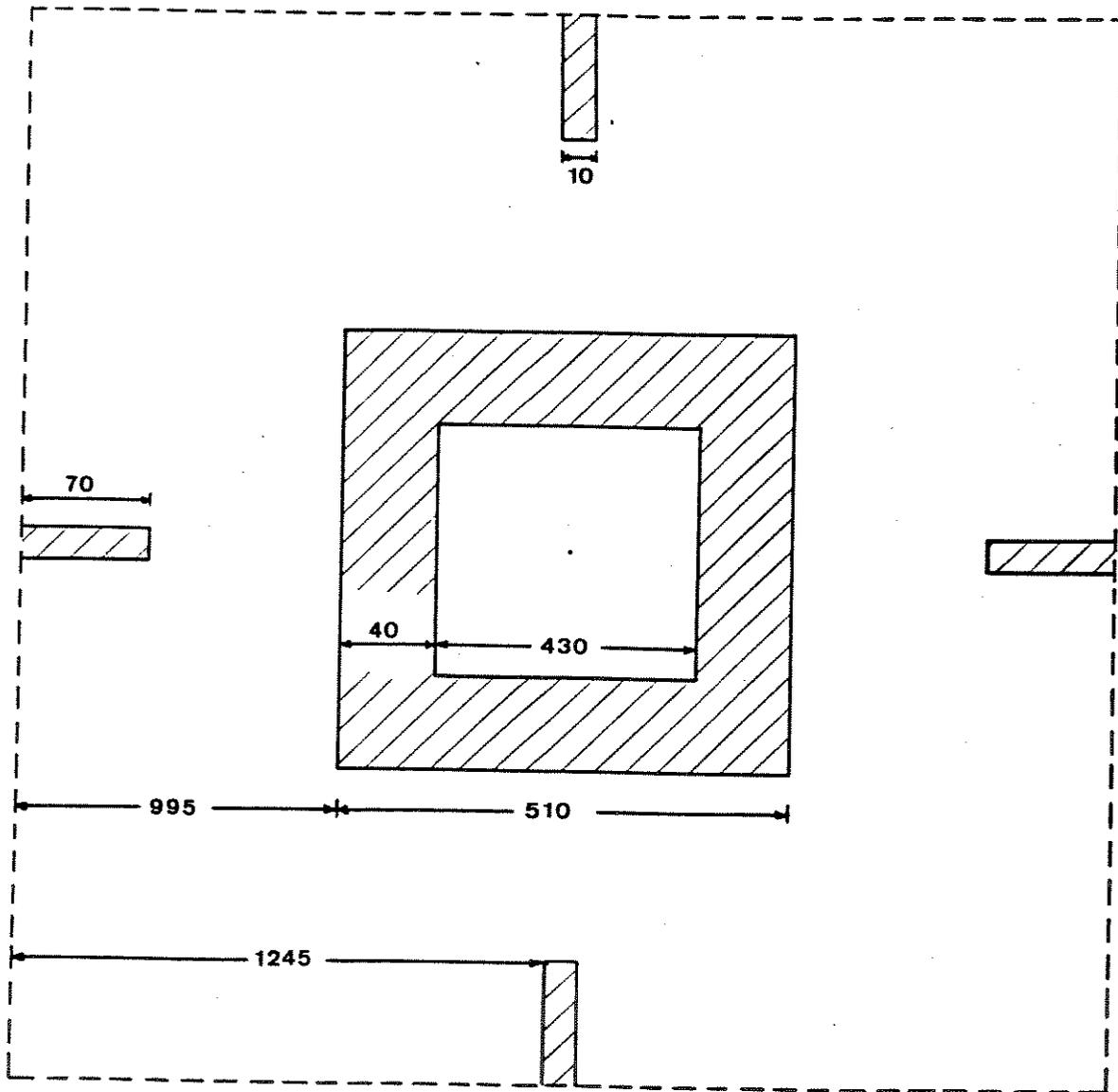


Figura A.6: Máscara 6 = Abertura de contatos

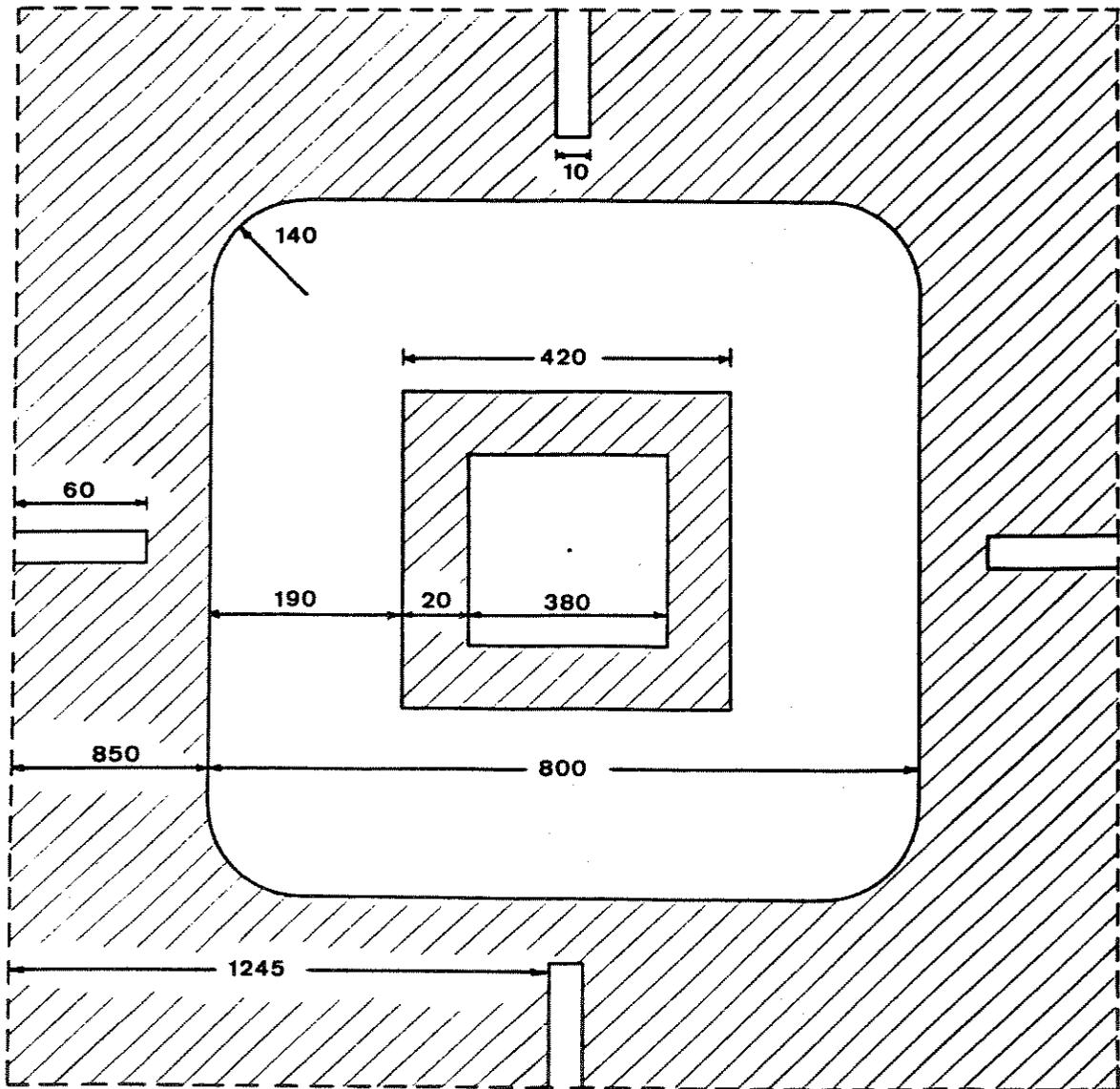


Figura A.7: Máscara 7 = Metalização

- = Difusão P⁻
- = Difusão P⁺
- = Difusão P[±]/N⁺

- = Etch úmido
- = Óxido de porta
- = Abertura de contatos
- = Metalização

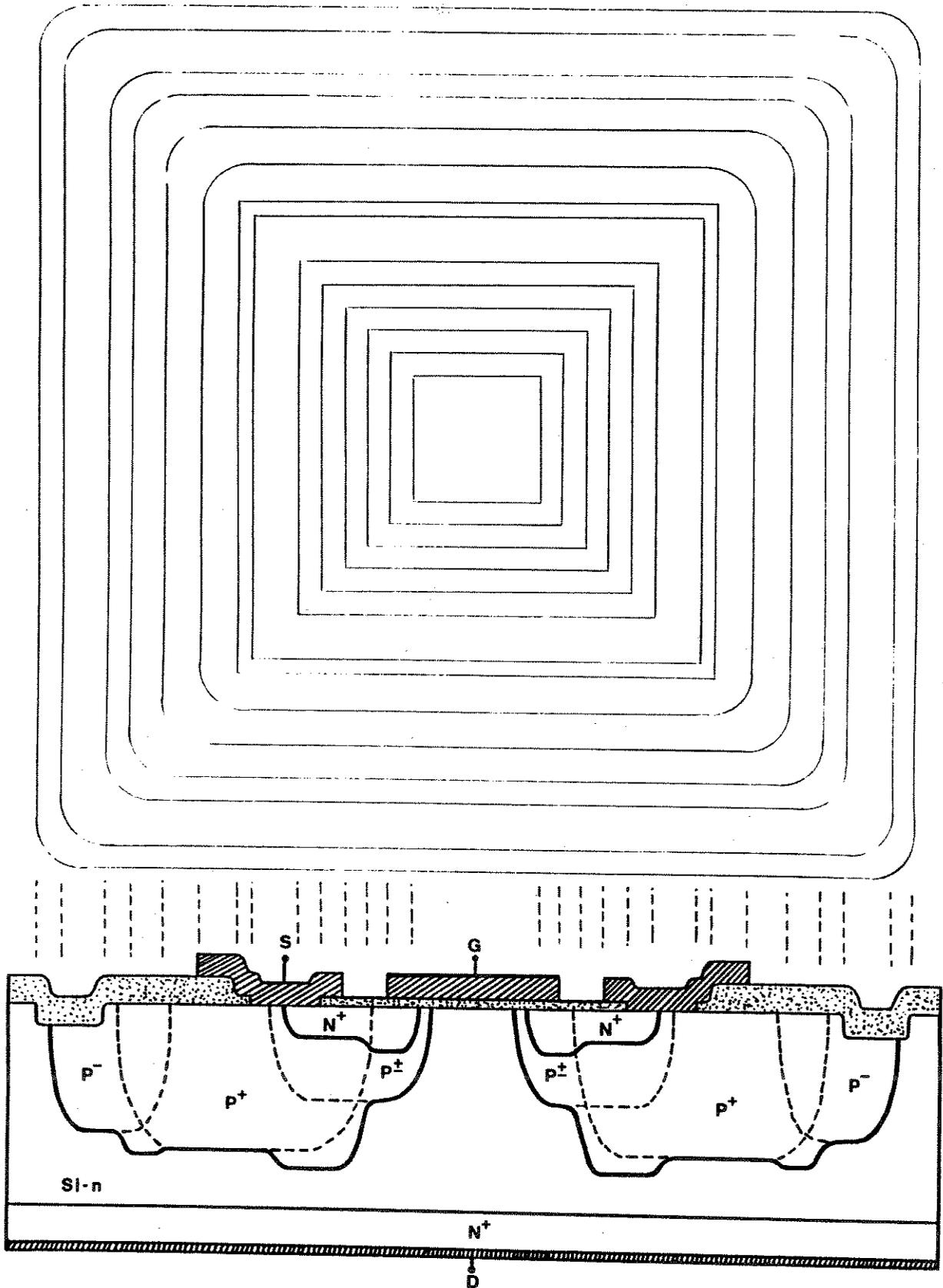


Figura A.8: Sobreposição de todas as máscaras e corte transversal de uma célula completa do transistor VDMOS de potência

— = Difusão P⁻
 — = Difusão P⁺
 — = Difusão P[±]/N⁺

— = Etch úmido
 — = Óxido de porta
 — = Abertura de contatos
 — = Metalização

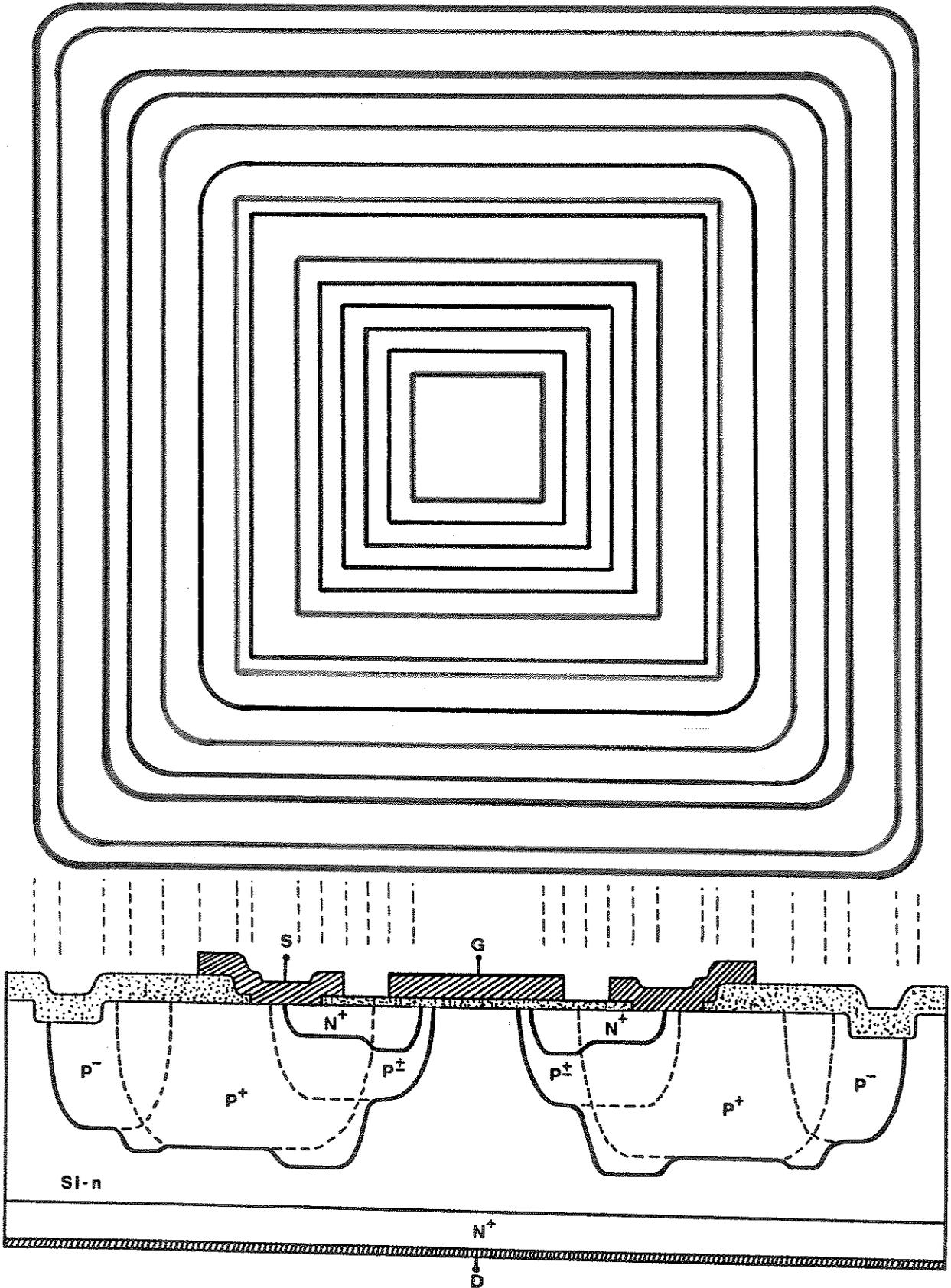


Figura A.8: Sobreposição de todas as máscaras e corte transversal de uma célula completa do transistor VDMOS de potência

Apêndice B

Sequência de processos para a construção do transistor VDMOS

Neste apêndice é dada a sequência de processos necessária para a construção do transistor VDMOS ilustrado na figura 5.1.

Os valores de temperatura usados são os valores normalmente utilizados nas difusões realizadas no Laboratório de Eletrônica e Dispositivos (LED - UNICAMP). Já os valores de tempos utilizados foram obtidos das simulações SUPREM (Apêndice D). As fontes de dopantes a serem utilizadas são do tipo fontes sólidas (Boron Plus e Phosforus plus) sendo que as concentrações usadas nas simulações das pré-deposições (para a pré-deposição de Fósforo, o valor de default é $7,11 \cdot 10^{20} \text{ cm}^{-3}$) fornecem resultados de simulações muito próximos dos valores reais obtidos no LED.

1. Limpeza convencional da lâmina.
 - Orientação = $\langle 100 \rangle$,
 - Silício tipo N,
 - Resistividade = $35 \Omega/\text{cm}$ ($N = 1,5 \cdot 10^{14} \text{ cm}^{-3}$).
2. Oxidação inicial (para remoção de defeitos) e posterior remoção total do óxido.
 - (a) Temperatura = 1150°C .
 - (b) Tempos:
 - 10 min = Introdução da barqueta,
 - 30 min = Vapor H_2O , 1 l/min N_2 ,
 - 10 min = O_2 , 1 l/min,
 - 10 min = Retirada da barqueta.
3. Nova oxidação e posterior remoção do óxido apenas do verso da lâmina (face não polida). Após esta oxidação, a face superior da lâmina deve ser protegida com cera, antes de ser feito o dip em HF. Esta cera deve ser removida antes da próxima etapa (mas não o óxido que protege a face superior).

- (a) Temperatura = 1150°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 50 min = Vapor H₂O, 1 l/min N₂,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
4. Pré-deposição de Fósforo no verso da lâmina (verificar se o lado polido está protegido com óxido). Pré-deposição sem máscara.
- (a) Temperatura = 950°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 100 min = N₂, 1 l/min,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
5. Remoção do fosforosilicato e da proteção da frente da lâmina (óxido).
- Observação:** O verso da lâmina deverá ficar protegido com óxido (crescido em 6) até a etapa 20. As pré-deposições subseqüentes só deverão ser feitas na parte superior da lâmina.
6. Penetração de Fósforo e oxidação (de máscara).
- (a) Temperatura = 950°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 10 min = O₂, 1 l/min,
 - 200 min = Vapor H₂O, 1 l/min N₂,
 - 10 min = Retirada da barqueta.
7. Fotoresiste (Máscara 1 = Difusão P⁻).
8. Pré-deposição de Boro P⁻.
- (a) Temperatura = 925°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 15 min = N₂, 1 l/min,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
9. Remoção do borosilicato (não remover todo o óxido do verso).

10. Penetração de Boro P⁻ e oxidação (de máscara).

(a) Temperatura = 1150°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 10 min = O₂, 1 l/min,
- 50 min = Vapor H₂O, 1 l/min N₂,
- 10 min = Retirada da barqueta.

11. Fotorresiste (Máscara 2 = Difusão P⁺).

12. Pré-deposição de Boro P⁺.

(a) Temperatura = 925°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 400 min = N₂, 1 l/min,
- 10 min = O₂, 1 l/min,
- 10 min = Retirada da barqueta.

13. Remoção do borosilicato (não remover todo o óxido do verso).

14. Penetração de Boro P⁺ e oxidação (de máscara).

(a) Temperatura = 1150°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 10 min = O₂, 1 l/min,
- 50 min = Vapor H₂O, 1 l/min N₂,
- 220 min = N₂, 1 l/min,
- 10 min = Retirada da barqueta.

15. Fotorresiste (Máscara 3 = Difusão P[±]/N⁺).

Observação: Serão feitas duas pré-deposições (P[±] e N⁺) na mesma janela de óxido aberta nesta etapa. Portanto esta janela não pode ser destruída até o fim da etapa 20.

16. Pré-deposição de Boro P[±].

(a) Temperatura = 925°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 200 min = N₂, 1 l/min,

- 5 min = O₂, 1 l/min,
- 10 min = Retirada da barqueta.

17. Remoção do borosilicato (não remover o óxido superficial).

18. Penetração de Boro P[±] em Nitrogênio.

(a) Temperatura = 1150°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 180 min = N₂, 1 l/min,
- 10 min = Retirada da barqueta.

Observação: Não pode ser crescido óxido nesta etapa. Após a penetração, fazer um dip ultra rápido (~ 1 s) em HF para remover possível óxido.

19. Pré-deposição de Fósforo N⁺.

(a) Temperatura = 950°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 30 min = N₂, 1 l/min,
- 10 min = O₂, 1 l/min,
- 10 min = Retirada da barqueta.

20. Remoção do fosforosilicato e óxido do verso da lâmina.

21. Penetração de Fósforo N⁺ e oxidação (de máscara).

(a) Temperatura = 950°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 10 min = O₂, 1 l/min,
- 170 min = Vapor H₂O, 1 l/min N₂,
- 10 min = Retirada da barqueta.

22. Fotoresiste (Máscara 4 = Etch úmido).

(a) Sugestão de corrosivo = Hidrazina.

(b) Tempo de corrosão = Aquele obtido na calibração do etch (veja Capítulo 5 e Apêndice C).

23. Fotoresiste (Máscara 5 = Óxido de porta).

24. Oxidação de porta (seca).

(a) $X_{Ox} \simeq 1600 \text{ \AA}$.

(b) Temperatura = 1150°C .

(c) Tempos:

- 10 min = Introdução da barqueta,
- 60 min = O_2 , 1 l/min,
- 10 min = Retirada da barqueta.

25. Fotoresiste (Máscara 6 = Abertura de contatos).

26. Abertura de contatos.

27. Metalização de toda a superfície da lâmina com Alumínio.

28. Fotoresiste (Máscara 7 = Metalização).

Apêndice C

Sequência de processos para a calibração do etch

Neste apêndice é dada a sequência de processos necessária para a construção de uma estrutura na qual podem ser feitos testes de corrosão.

A sequência de processos para tal é ligeiramente diferente da sequência anterior (Apêndice B).

1. Limpeza convencional da lâmina.
 - Orientação = $\langle 100 \rangle$,
 - Silício tipo N,
 - Resistividade = $35 \Omega/\text{cm}$ ($N = 1,5 \cdot 10^{14} \text{ cm}^{-3}$).
2. Oxidação inicial (para remoção de defeitos) e posterior remoção total do óxido.
 - (a) Temperatura = 1150°C .
 - (b) Tempos:
 - 10 min = Introdução da barqueta,
 - 30 min = Vapor H_2O , 1 l/min N_2 ,
 - 10 min = O_2 , 1 l/min,
 - 10 min = Retirada da barqueta.
3. Nova oxidação e posterior remoção do óxido **apenas do verso da lâmina** (face não polida). Após esta oxidação, a face superior da lâmina deve ser protegida com cera, antes de ser feito o dip em HF. Esta cera deve ser removida antes da próxima etapa (mas não o óxido que protege a face superior).
 - (a) Temperatura = 1150°C .
 - (b) Tempos:
 - 10 min = Introdução da barqueta,
 - 50 min = Vapor H_2O , 1 l/min N_2 ,

- 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
4. Pré-deposição de Fósforo no verso da lâmina (verificar se o lado polido está protegido com óxido). Pré-deposição sem máscara.
- (a) Temperatura = 950°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 100 min = N₂, 1 l/min,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
5. Remoção do fosforosilicato e da proteção da frente da lâmina (óxido).
- Observação:** O verso da lâmina deverá ficar protegido com óxido (crescido em 6) até a etapa 20. As pré-deposições subsequentes só deverão ser feitas na parte superior da lâmina.
6. Penetração de Fósforo e oxidação (de máscara).
- (a) Temperatura = 950°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 10 min = O₂, 1 l/min,
 - 200 min = Vapor H₂O, 1 l/min N₂,
 - 10 min = Retirada da barqueta.
7. Fotoresiste (Máscara 1 = Difusão P⁻).
8. Pré-deposição de Boro P⁻.
- (a) Temperatura = 925°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 15 min = N₂, 1 l/min,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
9. Remoção do borosilicato (não remover todo o óxido do verso).
10. Penetração de Boro P⁻ e oxidação (de máscara).
- (a) Temperatura = 1150°C.
- (b) Tempos:

- 10 min = Introdução da barqueta,
 - 10 min = O₂, 1 l/min,
 - 50 min = Vapor H₂O, 1 l/min N₂,
 - 10 min = Retirada da barqueta.
11. Fotorresiste (Máscara 2 = Difusão P⁺).
12. Pré-deposição de Boro P⁺.
- (a) Temperatura = 925°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 400 min = N₂, 1 l/min,
 - 10 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
13. Remoção do borosilicato (não remover todo o óxido do verso).
14. Penetração de Boro P⁺ e oxidação (de máscara).
- (a) Temperatura = 1150°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 10 min = O₂, 1 l/min,
 - 50 min = Vapor H₂O, 1 l/min N₂,
 - 220 min = N₂, 1 l/min,
 - 10 min = Retirada da barqueta.
15. Fotorresiste (Máscara 3 = Difusão P[±]/N⁺).
- Observação:** Serão feitas duas pré-deposições (P[±] e N⁺) na mesma janela de óxido aberta nesta etapa. Portanto esta janela não pode ser destruída até o fim da etapa 20.
16. Pré-deposição de Boro P[±].
- (a) Temperatura = 925°C.
- (b) Tempos:
- 10 min = Introdução da barqueta,
 - 200 min = N₂, 1 l/min,
 - 5 min = O₂, 1 l/min,
 - 10 min = Retirada da barqueta.
17. Remoção do borosilicato (não remover o óxido superficial).

18. Penetração de Boro P^{\pm} em Nitrogênio.

(a) Temperatura = 1150°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 180 min = N_2 , 1 l/min,
- 10 min = Retirada da barqueta.

Observação: Não pode ser crescido óxido nesta etapa. Após a penetração, fazer um dip ultra rápido (~ 1 s) em HF para remover possível óxido.

19. Pré-deposição de Fósforo N^+ .

(a) Temperatura = 950°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 30 min = N_2 , 1 l/min,
- 10 min = O_2 , 1 l/min,
- 10 min = Retirada da barqueta.

20. Remoção do fosforosilicato e óxido do verso da lâmina.

21. Penetração de Fósforo N^+ e oxidação (de máscara).

(a) Temperatura = 950°C.

(b) Tempos:

- 10 min = Introdução da barqueta,
- 10 min = O_2 , 1 l/min,
- 170 min = Vapor H_2O , 1 l/min N_2 ,
- 10 min = Retirada da barqueta.

22. Fotoresiste (Máscara 5 = Óxido de porta).

23. Oxidação de porta (seca).

(a) $X_{OX} \simeq 1600 \text{ \AA}$.

(b) Temperatura = 1150°C.

(c) Tempos:

- 10 min = Introdução da barqueta,
- 60 min = O_2 , 1 l/min,
- 10 min = Retirada da barqueta.

24. Fotoresiste (Máscara 6 = Abertura de contatos).

25. Abertura de contatos.
26. Metalização de toda a superfície da lâmina com Alumínio.
27. Fotorresiste (Máscara 4 = Etch).
28. Sucessivos etchs e medidas das correspondentes tensões de ruptura (veja Capítulo 5).

Após realizada a sequência acima, obtém-se uma célula como a indicada na figura abaixo.

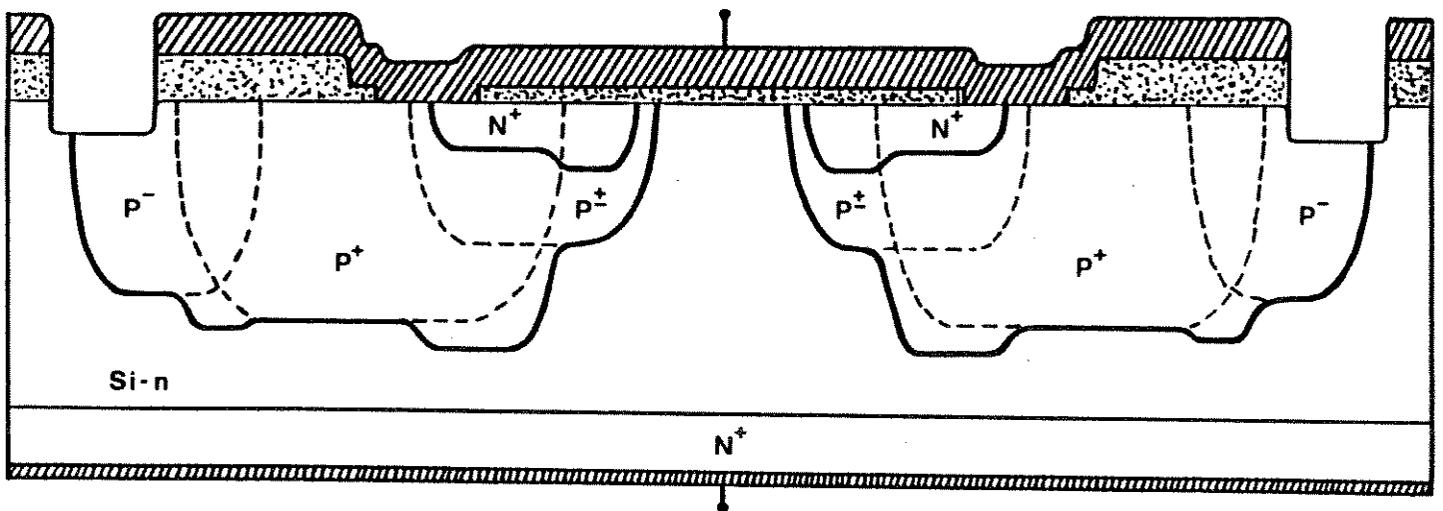


Figura C.1: Corte transversal da célula para teste de etch

Como pode ser observado da sequência acima, não foi utilizada a Máscara 7 (Metalização) e portanto o dispositivo está totalmente coberto por Alumínio, exceto na região do etch. Isto foi feito para proteger a região do canal durante o etch.

Apêndice D

Simulações SUPREM

Neste apêndice estão dadas as simulações SUPREM (simplificadas) do processo descrito nos Apêndices B e C. Foram realizadas simulações dos perfis verticais, de modo que foram necessárias várias simulações a fim de se obter o perfil total (bidimensional). Na figura D.1 está ilustrado um corte lateral do dispositivo, com cortes indicando onde foram feitas as simulações.

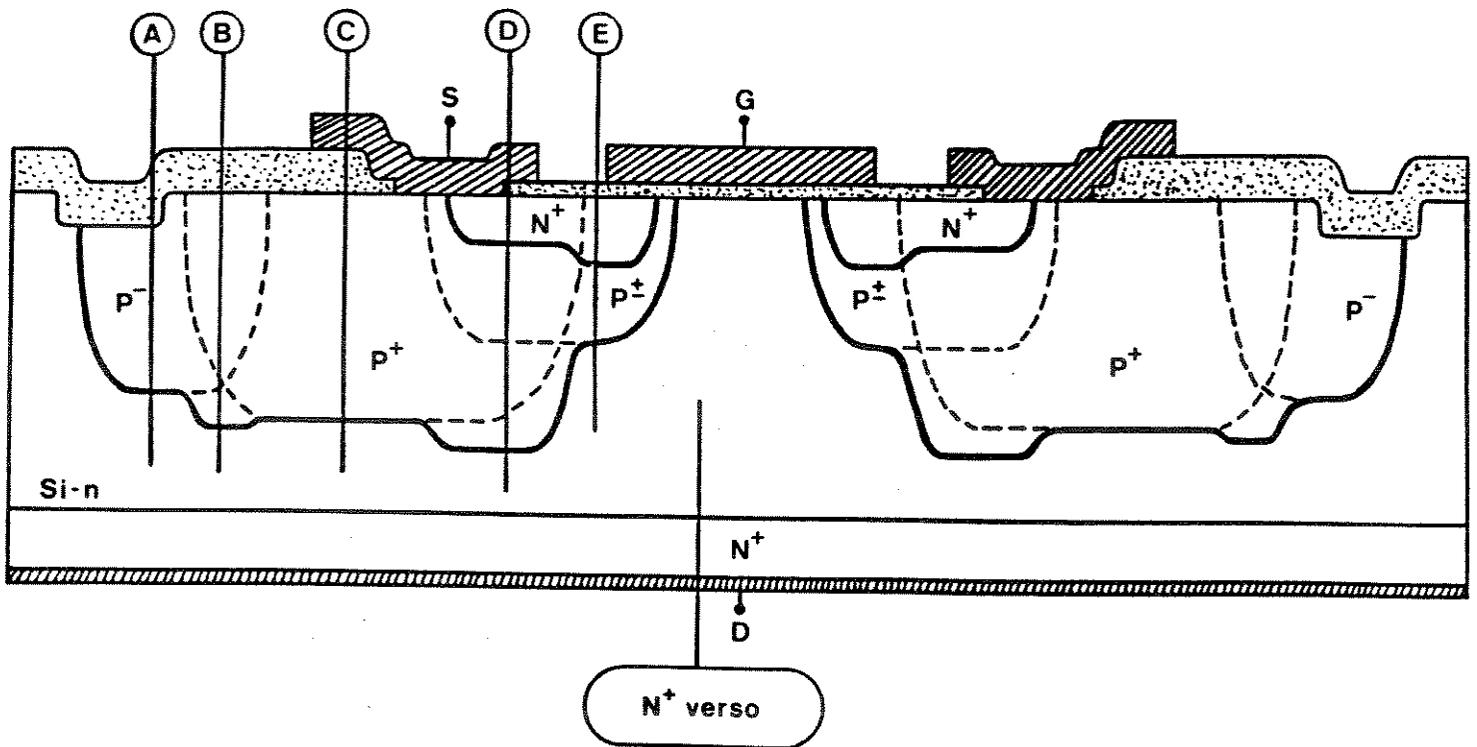


Figura D.1: Corte transversal indicando os pontos onde foram simulados os perfis verticais

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION D-05 ***

```

1....TITLE CORTE A (Difusao P-)
2....GRID DYSI=0.01, DPTH=13, YMAX=13
3....SUBS DRNT=100, ELEM=P, CONC=1.5E14
4....PRINT HEAD=Y
5....COMM PRE-DEPOSICAO BORO (P-)
6....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=15, CONC=1.2E20
7....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
8....COMM REMOCAO BOROSILICATO
9....STEP TYPE=ETCH, TEMP=25
10....COMM PENETRACAO BORO (P-)
11....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
12....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
13....COMM PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+)
14....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=400
15....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
16....COMM PENETRACAO BORO (P-) DEVIDO PENETRACAO BORO (P+)
17....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
18....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
19....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=220
20....COMM PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+/-)
21....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=200
22....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
23....COMM PENETRACAO BORO (P-) DEVIDO PENETRACAO (P+/-)
24....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=180
25....COMM PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
26....STEP TYPE=OXID, MODL=NITO, TEMP=950, TIME=30
27....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
28....COMM PENETRACAO BORO (P-) DEVIDO PENETRACAO FOSFORO (N+)
29....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
30....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
31....PLOT WIND=10, CMIN=13, NDEC=8, TOTL=Y
32....COMM PENETRACAO BORO (P-) DEVIDO A CRESCIMENTO OXIDO FINO
33....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
34....END
    
```

PRE-DEPOSICAO BORO (P-)

STEP # 1
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.197144E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.252211	MICRONS	I 140.111	OHMS/SQUARE
		I 26128.4	OHMS/SQUARE

PRE-DEPOSICAO BORO (P-)

STEP # 2
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.7260E-02 MICRONS
SURFACE CONCENTRATION = 2.533188E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.384157	MICRONS	I 218.893	OHMS/SQUARE
		I 26447.6	OHMS/SQUARE

REMOCAO BOROSILICATO

STEP # 3
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 2.533188E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.393713	MICRONS	I 218.868	OHMS/SQUARE
		I 26528.6	OHMS/SQUARE

PENETRACAO BORO (P-)

STEP # 4
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 4.8994E-02 MICRONS
SURFACE CONCENTRATION = 1.112436E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.46649	MICRONS	I 195.913	OHMS/SQUARE
		I 29122.4	OHMS/SQUARE

PENETRACAO BORO (P-)

STEP # 5
OXIDATION IN STEAM

OXIDE THICKNESS = .6913 MICRONS
SURFACE CONCENTRATION = 1.608022E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.69741	MICRONS	I 248.640	OHMS/SQUARE
		I 33845.7	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+)

STEP # 6
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6913 MICRONS
SURFACE CONCENTRATION = 1.253703E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.72920	MICRONS	I 250.948	OHMS/SQUARE
		I 33965.3	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+)

STEP # 7
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6918 MICRONS
SURFACE CONCENTRATION = 1.241509E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.73246	MICRONS	I 250.980	OHMS/SQUARE
		I 33971.4	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO BORO (P+)

STEP # 8
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6956 MICRONS
SURFACE CONCENTRATION = 1.705498E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.92362	MICRONS	I 240.857	OHMS/SQUARE
		I 34724.7	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO BORO (P+)

STEP # 9
OXIDATION IN STEAM

OXIDE THICKNESS = 1.001 MICRONS
SURFACE CONCENTRATION = 8.476246E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
3.60493	MICRONS	I 264.839	OHMS/SQUARE
		I 38064.5	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO BORO (P+)
 STEP # 10
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 6.876505E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
5.55329	MICRONS	I 234.075	OHMS/SQUARE
		I 49982.2	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+/-)
 STEP # 11
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 4.502170E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
5.56095	MICRONS	I 236.054	OHMS/SQUARE
		I 50012.0	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO BORO (P+/-)
 STEP # 12
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 4.528863E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
5.56169	MICRONS	I 236.115	OHMS/SQUARE
		I 50015.8	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO (P+/-)
 STEP # 13
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 5.680515E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.70596	MICRONS	I 221.274	OHMS/SQUARE
		I 61102.5	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO FOSFORD (#+)
 STEP # 14
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 3.397591E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.70771	MICRONS	I 222.269	OHMS/SQUARE
		I 61115.2	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PRE-DEPOSICAO FOSFORD (#+)
 STEP # 15
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.001 MICRONS
 SURFACE CONCENTRATION = 3.695692E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.70942	MICRONS	I 222.495	OHMS/SQUARE
		I 61127.1	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO FOSFORD (#+)
 STEP # 16
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.002 MICRONS
 SURFACE CONCENTRATION = 3.857564E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.71114	MICRONS	I 222.655	OHMS/SQUARE
		I 61140.3	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO PENETRACAO FOSFORD (#+)
 STEP # 17
 OXIDATION IN STEAM

OXIDE THICKNESS = 1.231 MICRONS
 SURFACE CONCENTRATION = 8.000294E+16 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.64368	MICRONS	I 237.302	OHMS/SQUARE
		I 61561.8	OHMS/SQUARE

PENETRACAO BORO (P-) DEVIDO A CRESCIMENTO OXIDO FINO
 STEP # 18
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.244 MICRONS
 SURFACE CONCENTRATION = 4.433208E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.04566	MICRONS	I 234.104	OHMS/SQUARE
		I 67134.1	OHMS/SQUARE

SUPREM END.

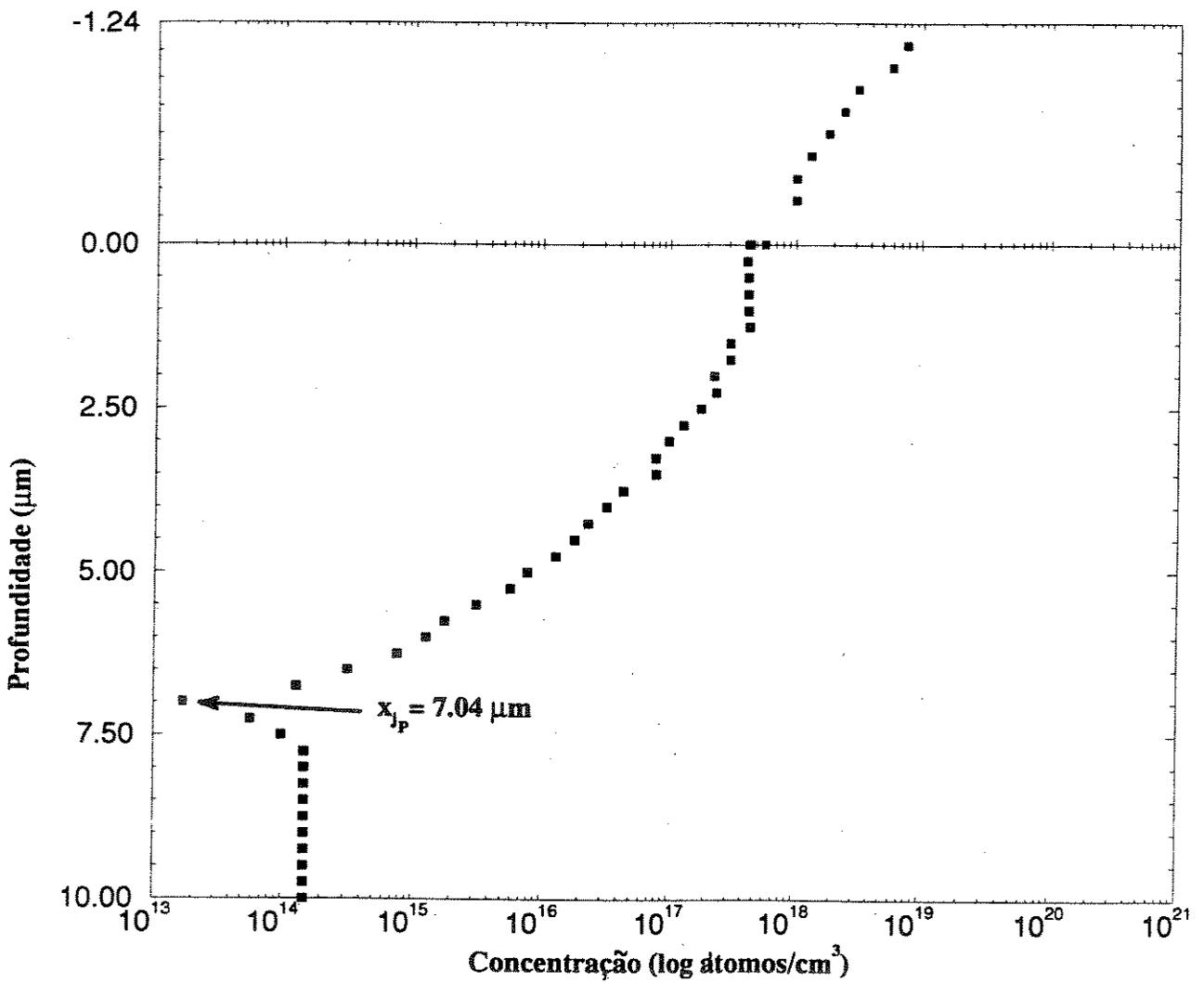


Figura D.2: Perfil de Difusão - CORTE A

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION 0-05 ***

1....TITLE CORTE B (Difusao P- + Difusao P+)
2....GRID DYSI=0.01, DPTH=13, YMAX=13
3....SUBS ORNT=100, ELEM=P, CONC=1.5E14
4....PRINT HEAD=Y
5....COMM PRE-DEPOSICAO BORO (P-)
6....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=15, CONC=1.2E20
7....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
8....COMM REMOCAO BOROSILICATO
9....STEP TYPE=ETCH, TEMP=25
10....COMM PENETRACAO BORO (P-)
11....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
12....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
13....COMM REMOCAO OXIDO
14....STEP TYPE=ETCH, TEMP=25
15....COMM PRE-DEPOSICAO BORO (P+)
16....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=400, CONC=1.2E20
17....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
18....COMM PENETRACAO BORO (P+)
19....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
20....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
21....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=220
22....COMM PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
23....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=200
24....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
25....COMM PENETRACAO (P- e P+) DEVIDO PENETRACAO BORO (P+/-)
26....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=180
27....COMM PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO FOSFORD (N+)
28....STEP TYPE=OXID, MODL=NITO, TEMP=950, TIME=30
29....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
30....COMM PENETRACAO (P- e P+) DEVIDO PENETRACAO FOSFORD (N+)
31....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
32....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
33....PLOT WIND=10, CMIN=13, NDEC=8, TOTL=Y
34....COMM PENETRACAO (P- e P+) DEVIDO A CRESCIMENTO OXIDO FINO
35....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
36....END

PRE-DEPOSICAO BORO (P-)

STEP # 1

GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.197144E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.252211	MICRONS	I 140.111	OHMS/SQUARE
		I 26128.4	OHMS/SQUARE

PRE-DEPOSICAO BORO (P-)

STEP # 2

OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.7260E-02 MICRONS
SURFACE CONCENTRATION = 2.533188E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.384157	MICRONS	I 218.893	OHMS/SQUARE
		I 26447.6	OHMS/SQUARE

REMOCAO BOROSILICATO

STEP # 3

ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 2.533188E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.393713	MICRONS	I 218.868	OHMS/SQUARE
		I 26528.5	OHMS/SQUARE

PENETRACAO BORO (P-)

STEP # 4

OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 4.8994E-02 MICRONS
SURFACE CONCENTRATION = 1.112436E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.46649	MICRONS	I 195.913	OHMS/SQUARE
		I 29122.4	OHMS/SQUARE

PENETRACAO BORO (P-)

STEP # 5

OXIDATION IN STEAM

OXIDE THICKNESS = .6913 MICRONS
SURFACE CONCENTRATION = 1.608022E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.69741	MICRONS	I 248.640	OHMS/SQUARE
		I 33845.7	OHMS/SQUARE

REMOCAO OXIDO

STEP # 6

ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.608022E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.69701	MICRONS	I 248.633	OHMS/SQUARE
		I 33823.9	OHMS/SQUARE

PRE-DEPOSICAO BORO (P+)

STEP # 7

GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.199466E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.72885	MICRONS	I 26.0396	OHMS/SQUARE
		I 33938.9	OHMS/SQUARE

PRE-DEPOSICAO BORO (P+)

STEP # 8

OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.8013E-02 MICRONS
SURFACE CONCENTRATION = 5.604605E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.72464	MICRONS	I 29.6657	OHMS/SQUARE
		I 33964.8	OHMS/SQUARE

PENETRACAO BORO (P+)

STEP # 9

OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 5.0512E-02 MICRONS
SURFACE CONCENTRATION = 5.137516E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.89741	MICRONS	I 30.6593	OHMS/SQUARE
		I 34639.8	OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 10
OXIDATION IN STEAM

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 1.463182E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
3.53377	MICRONS	I 50.2921	OHMS/SQUARE
		I 38421.0	OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 11
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 1.061629E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.13753	MICRONS	I 42.3583	OHMS/SQUARE
		I 55590.5	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 12
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 7.866632E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.14697	MICRONS	I 42.7244	OHMS/SQUARE
		I 55806.5	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 13
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6902 MICRONS
SURFACE CONCENTRATION = 7.871555E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.14791	MICRONS	I 42.7349	OHMS/SQUARE
		I 55810.1	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PENETRACAO BORO (P+/-)
STEP # 14
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6902 MICRONS
SURFACE CONCENTRATION = 8.703207E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.59871	MICRONS	I 38.7757	OHMS/SQUARE
		I 74663.1	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 15
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6902 MICRONS
SURFACE CONCENTRATION = 5.659311E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.60092	MICRONS	I 38.9208	OHMS/SQUARE
		I 74707.0	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 16
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6908 MICRONS
SURFACE CONCENTRATION = 6.135062E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.60308	MICRONS	I 38.9539	OHMS/SQUARE
		I 74729.8	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 17
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6915 MICRONS
SURFACE CONCENTRATION = 6.357611E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.60523	MICRONS	I 38.9755	OHMS/SQUARE
		I 74752.1	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 18
OXIDATION IN STEAM

OXIDE THICKNESS = .9760 MICRONS
SURFACE CONCENTRATION = 1.251782E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.52119	MICRONS	I 41.4535	OHMS/SQUARE
		I 75694.0	OHMS/SQUARE

PENETRACAO (P- e P+) DEVIDO A CRESCIMENTO OXIDO FINO
STEP # 19
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .9924 MICRONS
SURFACE CONCENTRATION = 6.666594E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
8.02364	MICRONS	I 40.4549	OHMS/SQUARE
		I 86186.7	OHMS/SQUARE

SUPREM END.

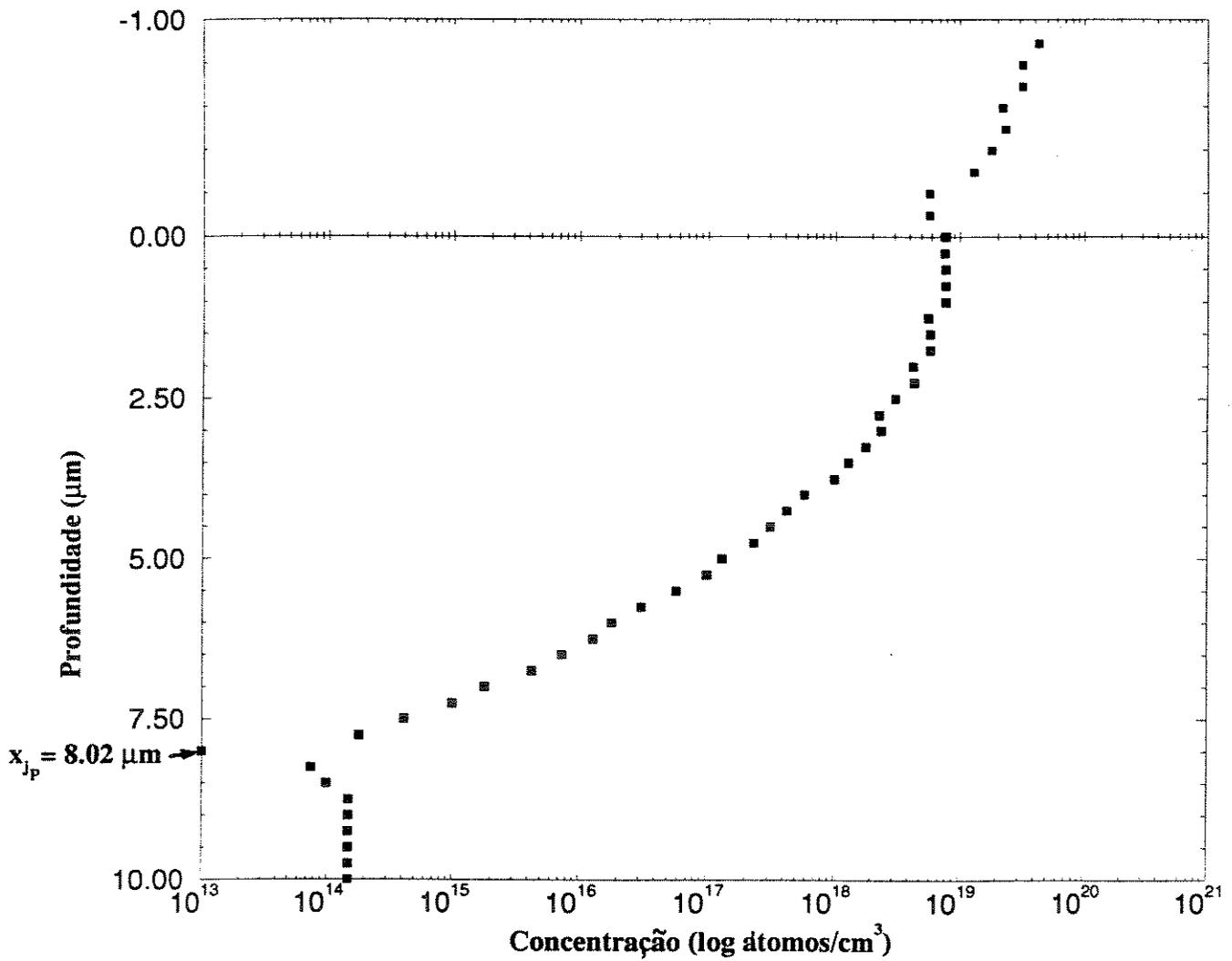


Figura D.3: Perfil de Difusão - CORTE B

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION 0-05 ***

```

1....TITLE CORTE C (Difusao P+ + Oxido Fino)
2....GRID DYSI=0.01, DPTH=13, YMAX=13
3....SUBS ORNT=100, ELEM=P, CONC=1.5E14
4....PRINT HEAD=Y
5....COMM PRE-DEPOSICAO BORO (P+)
6....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=400, CONC=1.2E20
7....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
8....COMM REMOCAO BOROSILICATO
9....STEP TYPE=ETCH, TEMP=25
10....COMM PENETRACAO BORO (P+)
11....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
12....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
13....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=220
14....COMM PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
15....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=200
16....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
17....COMM PENETRACAO BORO (P+) DEVIDO PENETRACAO (P+/-)
18....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=180
19....COMM PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO FOSFORO (M+)
20....STEP TYPE=OXID, MODL=NITO, TEMP=950, TIME=30
21....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
22....COMM PENETRACAO BORO (P+) DEVIDO PENETRACAO FOSFORO (M+)
23....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
24....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
25....COMM REMOCAO OXIDO
26....STEP TYPE=ETCH, TEMP=25
27....PLOT WIND=10, CHIN=13, NDEC=8, TOTL=Y
28....COMM OXIDO FINO
29....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
30....END
    
```

PRE-DEPOSICAO BORO (P+)
STEP # 1
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.199460E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.849947	MICRONS	I 27.4373	OHMS/SQUARE
		I 27490.1	OHMS/SQUARE

PRE-DEPOSICAO BORO (P+)
STEP # 2
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.8013E-02 MICRONS
SURFACE CONCENTRATION = 5.590215E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.892891	MICRONS	I 31.4133	OHMS/SQUARE
		I 27548.2	OHMS/SQUARE

REMOCAO BOROSILICATO
STEP # 3
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 5.590215E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.889233	MICRONS	I 31.4107	OHMS/SQUARE
		I 27578.3	OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 4
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 4.8060E-02 MICRONS
SURFACE CONCENTRATION = 4.975607E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.96126	MICRONS	I 32.6852	OHMS/SQUARE
		I 30431.3	OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 5
OXIDATION IN STEAM

OXIDE THICKNESS = .6897 MICRONS
SURFACE CONCENTRATION = 1.390177E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
3.36573	MICRONS	I 53.5378	OHMS/SQUARE
		I 36236.9	OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 6
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6897 MICRONS
SURFACE CONCENTRATION = 9.967173E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.08076	MICRONS	I 44.5347	OHMS/SQUARE
		I 52384.5	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 7
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6897 MICRONS
SURFACE CONCENTRATION = 7.339118E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.09008	MICRONS	I 44.8497	OHMS/SQUARE
		I 52584.8	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 8
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 7.344832E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.09103	MICRONS	I 44.8578	OHMS/SQUARE
		I 52588.4	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PENETRACAO (P+/-)
STEP # 9
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 8.152892E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.54435	MICRONS	I 40.6323	OHMS/SQUARE
		I 69210.7	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 10
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6899 MICRONS
SURFACE CONCENTRATION = 5.274075E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.54656	MICRONS	I 40.7818	OHMS/SQUARE
		I 69226.5	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 11
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6906 MICRONS
SURFACE CONCENTRATION = 5.716662E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.54872	MICRONS	I 40.8162	OHMS/SQUARE
		I 69245.0	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 12
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .6912 MICRONS
SURFACE CONCENTRATION = 5.925045E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.55087	MICRONS	I 40.8394	OHMS/SQUARE
		I 69263.4	OHMS/SQUARE

PENETRACAO BORO (P+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 13
OXIDATION IN STEAM

OXIDE THICKNESS = .9758 MICRONS
SURFACE CONCENTRATION = 1.187892E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.46699	MICRONS	I 43.4240	OHMS/SQUARE
		I 70023.0	OHMS/SQUARE

REMOCAO OXIDO
STEP # 14
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.187892E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.46691	MICRONS	I 43.4230	OHMS/SQUARE
		I 70034.0	OHMS/SQUARE

OXIDO FINO
STEP # 15
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .1427 MICRONS
SURFACE CONCENTRATION = 5.532502E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.91295	MICRONS	I 43.5595	OHMS/SQUARE
		I 78866.1	OHMS/SQUARE

SUPREM END.

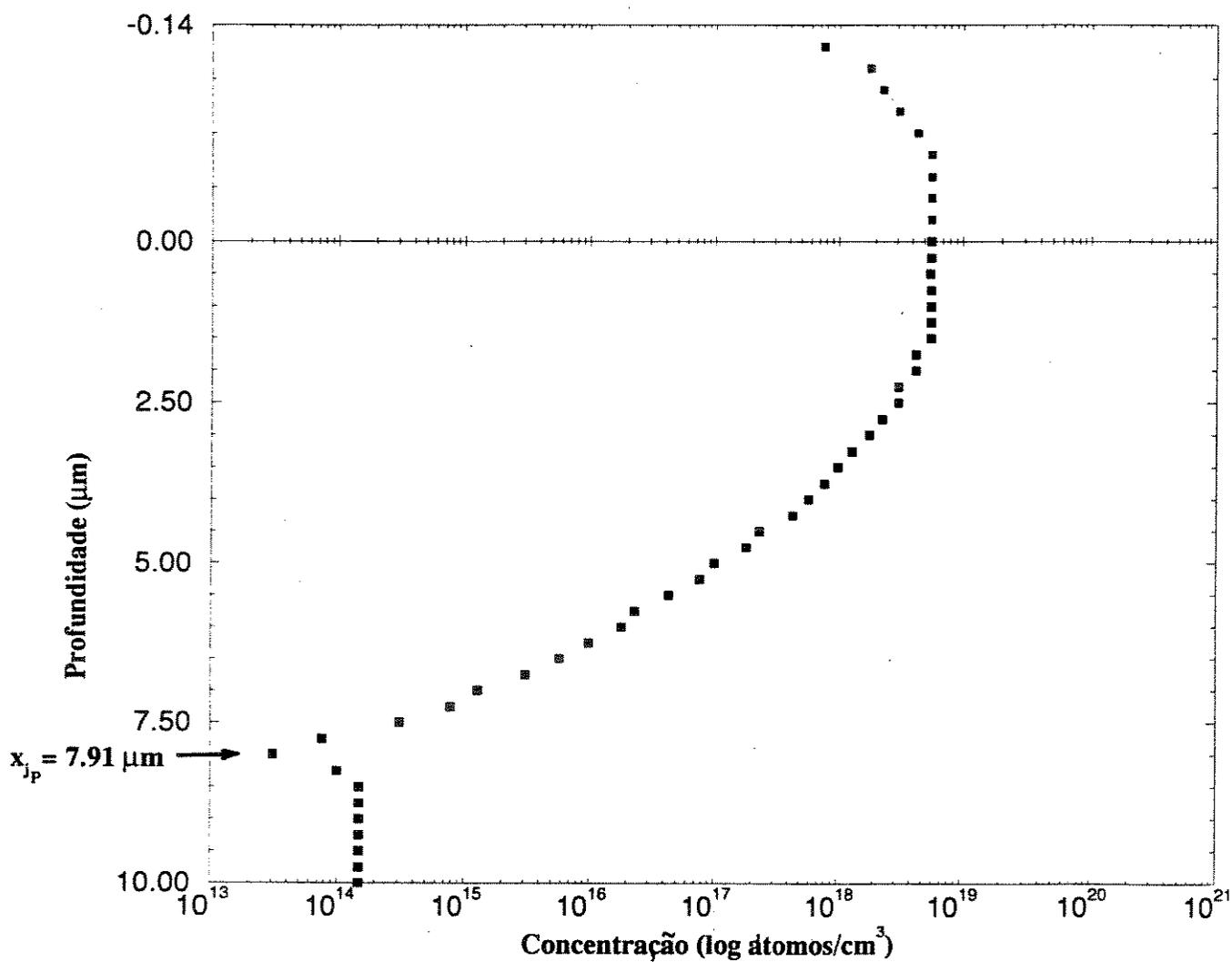


Figura D.4: Perfil de Difusão - CORTE C

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION 0-05 ***

1....TITLE CORTE D (Difusao P+, Dupla Difusao e Oxido Fino)
2....GRID DYSI=0.01, DPTH=13, YMAX=13
3....SUBS ORNT=100, ELEM=P, CONC=1.5E14
4....PRINT HEAD=Y
5....COMM PRE-DEPOSICAO BORO (P+)
6....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=400, CONC=1.2E20
7....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
8....COMM REMOCAO BOROSILICATO
9....STEP TYPE=ETCH, TEMP=25
10....COMM PENETRACAO BORO (P+)
11....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
12....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
13....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=220
14....COMM REMOCAO OXIDO
15....STEP TYPE=ETCH, TEMP=25
16....COMM PRE-DEPOSICAO BORO (P+/-)
17....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=200, CONC=1.2E20
18....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
19....COMM REMOCAO BOROSILICATO
20....STEP TYPE=ETCH, TEMP=25
21....COMM PENETRACAO BORO (P+/-)
22....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=180
23....COMM PRE-DEPOSICAO FOSFORO (N+)
24....STEP TYPE=PDEP, ELEM=P, TEMP=950, TIME=30
25....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
26....COMM REMOCAO FOSFOROSILICATO
27....STEP TYPE=ETCH, TEMP=25
28....COMM PENETRACAO FOSFORO (N+)
29....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
30....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
31....COMM REMOCAO OXIDO
32....STEP TYPE=ETCH, TEMP=25
33....PLOT WIND=10, CHIN=13, WDEC=8, TOTL=Y
34....COMM OXIDO FINO
35....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
36....END

PRE-DEPOSICAO BORO (P+)
STEP # 1
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.199460E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
.849947	MICRONS	I 27.4373 OHMS/SQUARE
		I 27490.1 OHMS/SQUARE

PRE-DEPOSICAO BORO (P+)
STEP # 2
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.8013E-02 MICRONS
SURFACE CONCENTRATION = 5.590215E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
.892891	MICRONS	I 31.4133 OHMS/SQUARE
		I 27548.2 OHMS/SQUARE

REMOCAO BOROSILICATO
STEP # 3
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 5.590215E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
.889233	MICRONS	I 31.4107 OHMS/SQUARE
		I 27578.3 OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 4
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 4.8060E-02 MICRONS
SURFACE CONCENTRATION = 4.975607E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
1.96126	MICRONS	I 32.6852 OHMS/SQUARE
		I 30431.3 OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 5
OXIDATION IN STEAM

OXIDE THICKNESS = .6897 MICRONS
SURFACE CONCENTRATION = 1.390177E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
3.36573	MICRONS	I 53.5378 OHMS/SQUARE
		I 36236.9 OHMS/SQUARE

PENETRACAO BORO (P+)
STEP # 6
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .6897 MICRONS
SURFACE CONCENTRATION = 9.967173E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
6.08076	MICRONS	I 44.5347 OHMS/SQUARE
		I 52384.5 OHMS/SQUARE

REMOCAO OXIDO
STEP # 7
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 9.967173E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
6.08076	MICRONS	I 44.5350 OHMS/SQUARE
		I 52484.1 OHMS/SQUARE

PRE-DEPOSICAO BORO (P+/-)
STEP # 8
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.199280E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
6.09034	MICRONS	I 21.8219 OHMS/SQUARE
		I 52520.4 OHMS/SQUARE

PRE-DEPOSICAO BORO (P+/-)
STEP # 9
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.0411E-02 MICRONS
SURFACE CONCENTRATION = 6.186816E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
6.08674	MICRONS	I 23.3365 OHMS/SQUARE
		I 52504.4 OHMS/SQUARE

REMOCAO BOROSILICATO
 STEP # 10
 ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = 6.186816E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
6.08677	MICRONS	I 23.3365	OHMS/SQUARE
		I 82536.0	OHMS/SQUARE

PENETRACAO BORO (P+/-)
 STEP # 11
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = 1.066017E+18 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
7.53735	MICRONS	I 41.0169	OHMS/SQUARE
		I 69160.4	OHMS/SQUARE

PRE-DEPOSICAO FOSFORO (N+)
 STEP # 12
 GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = -2.764377E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.564427	MICRONS	I 19.9007	OHMS/SQUARE
7.57023	MICRONS	I 47.9525	OHMS/SQUARE
		I 69646.4	OHMS/SQUARE

PRE-DEPOSICAO FOSFORO (N+)
 STEP # 13
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.9131E-02 MICRONS
 SURFACE CONCENTRATION = -2.423947E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.651542	MICRONS	I 18.1597	OHMS/SQUARE
7.60290	MICRONS	I 50.0911	OHMS/SQUARE
		I 70268.6	OHMS/SQUARE

REMOCAO FOSFOROSILICATO
 STEP # 14
 ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = -2.423947E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.652369	MICRONS	I 18.1548	OHMS/SQUARE
7.60288	MICRONS	I 50.0695	OHMS/SQUARE
		I 70279.0	OHMS/SQUARE

PENETRACAO FOSFORO (N+)
 STEP # 15
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.8533E-02 MICRONS
 SURFACE CONCENTRATION = -2.265667E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.741993	MICRONS	I 16.9313	OHMS/SQUARE
7.64586	MICRONS	I 52.3683	OHMS/SQUARE
		I 71028.2	OHMS/SQUARE

PENETRACAO FOSFORO (N+)
 STEP # 16
 OXIDATION IN STEAM

OXIDE THICKNESS = .7890 MICRONS
 SURFACE CONCENTRATION = -1.104043E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.60720	MICRONS	I 13.3850	OHMS/SQUARE
8.39720	MICRONS	I 84.8634	OHMS/SQUARE
		I 94021.8	OHMS/SQUARE

REMOCAO OXIDO
 STEP # 17
 ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = -1.104043E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.60680	MICRONS	I 13.3858	OHMS/SQUARE
8.39704	MICRONS	I 84.8747	OHMS/SQUARE
		I 93978.1	OHMS/SQUARE

OXIDO FINO
 STEP # 18
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .1584 MICRONS
 SURFACE CONCENTRATION = -4.597941E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
2.71321	MICRONS	I 11.7224	OHMS/SQUARE
8.84942	MICRONS	I 163.454	OHMS/SQUARE
		I 110995.	OHMS/SQUARE

SUPREM END.

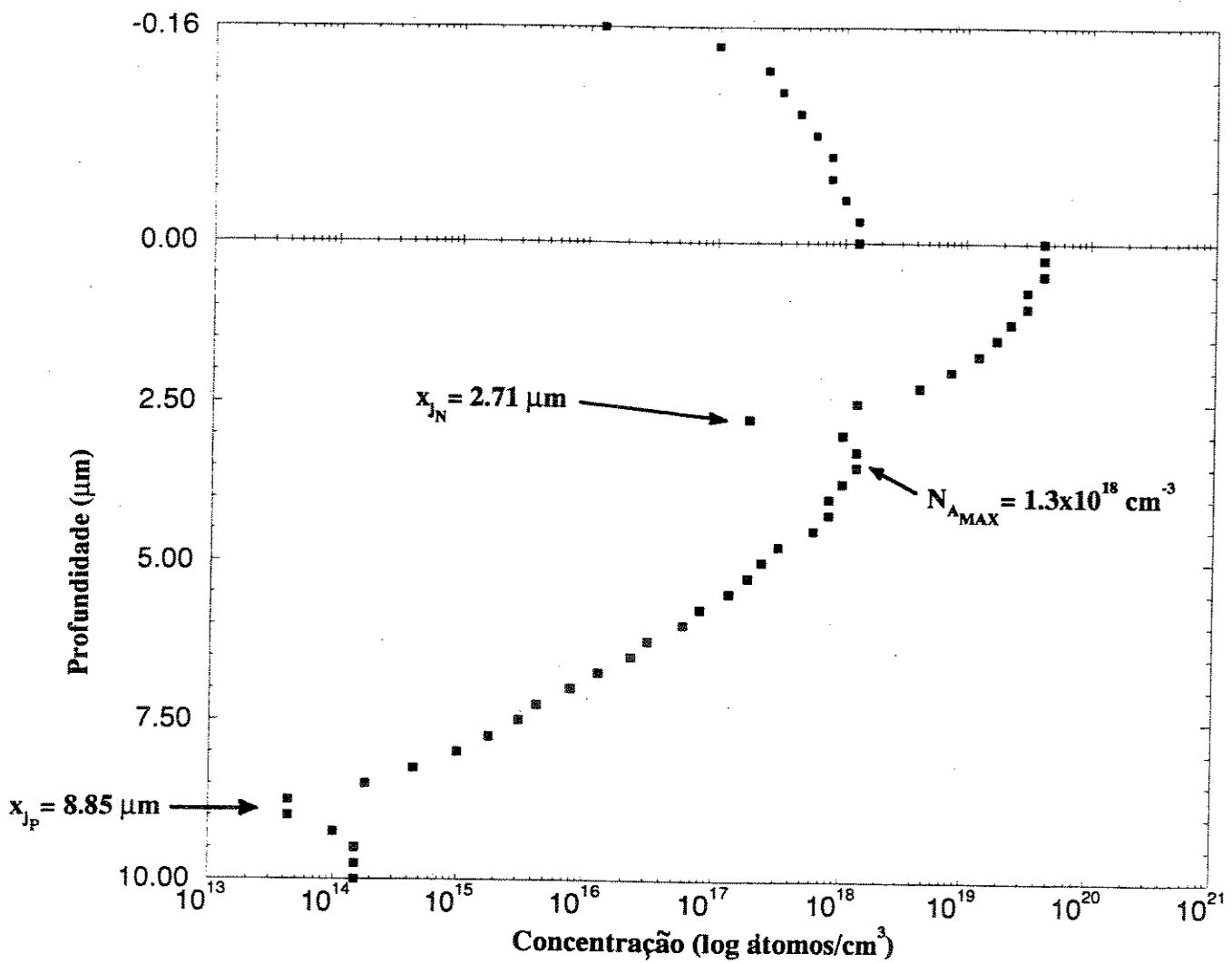


Figura D.5: Perfil de Difusão - CORTE D

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION 0-05 ***

```

1....TITLE CORTE E (Dupla difusao + Oxido Fino)
2....GRID DYSI=0.01, DPTH=10, YMAX=10
3....SUBS ORNT=100, ELEM=P, CONC=1.5E14
4....PRINT HEAD=Y
5....COMM PRE-DEPOSICAO BORO (P+/-)
6....STEP TYPE=PDEP, ELEM=B, TEMP=925, TIME=200, CONC=1.2E20
7....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
8....COMM REMOCAO BOROSILICATO
9....STEP TYPE=ETCH, TEMP=25
10....COMM PENETRACAO BORO (P+/-)
11....STEP TYPE=OXID, MODL=MITO, TEMP=1150, TIME=180
12....COMM PRE-DEPOSICAO FOSFORO (N+)
13....STEP TYPE=PDEP, ELEM=P, TEMP=950, TIME=30
14....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
15....COMM REMOCAO FOSFORSILICATO
16....STEP TYPE=ETCH, TEMP=25
17....COMM PENETRACAO FOSFORO (N+)
18....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
19....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
20....COMM REMOCAO OXIDO
21....STEP TYPE=ETCH, TEMP=25
22....PLOT WIND=10, CMIN=13, NDEC=8, TOTL=Y
23....COMM OXIDO FINO
24....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
25....END
    
```

PRE-DEPOSICAO BORO (P+/-)

STEP # 1
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 1.199236E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.614108	MICRONS	I	38.8178 OHMS/SQUARE
		I	35532.5 OHMS/SQUARE

PRE-DEPOSICAO BORO (P+/-)

STEP # 2
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.0404E-02 MICRONS
SURFACE CONCENTRATION = 6.069307E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.640907	MICRONS	I	43.6775 OHMS/SQUARE
		I	35623.0 OHMS/SQUARE

REMOCAO BOROSILICATO

STEP # 3
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 6.069307E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.642361	MICRONS	I	43.6829 OHMS/SQUARE
		I	35652.0 OHMS/SQUARE

PENETRACAO BORO (P+/-)

STEP # 4
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = 5.683661E+17 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
4.91509	MICRONS	I	81.8637 OHMS/SQUARE
		I	68412.1 OHMS/SQUARE

PRE-DEPOSICAO FOSFORO (N+)

STEP # 5
GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = -2.766094E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.610829	MICRONS	I	19.3656 OHMS/SQUARE
4.96783	MICRONS	I	105.675 OHMS/SQUARE
		I	69168.9 OHMS/SQUARE

PRE-DEPOSICAO FOSFORO (N+)

STEP # 6
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.9173E-02 MICRONS
SURFACE CONCENTRATION = -2.419692E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.712636	MICRONS	I	17.5325 OHMS/SQUARE
5.02763	MICRONS	I	112.985 OHMS/SQUARE
		I	70161.9 OHMS/SQUARE

REMOCAO FOSFORSILICATO

STEP # 7
ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
SURFACE CONCENTRATION = -2.419692E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.712803	MICRONS	I	17.5273 OHMS/SQUARE
5.02758	MICRONS	I	112.997 OHMS/SQUARE
		I	70163.5 OHMS/SQUARE

PENETRACAO FOSFORO (N+)

STEP # 8
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.8568E-02 MICRONS
SURFACE CONCENTRATION = -2.261911E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
.815945	MICRONS	I	16.2453 OHMS/SQUARE
5.10302	MICRONS	I	121.218 OHMS/SQUARE
		I	71750.0 OHMS/SQUARE

PENETRACAO FOSFORO (N+)

STEP # 9

OXIDATION IN STEAM

OXIDE THICKNESS = .7903 MICRONS

SURFACE CONCENTRATION = -1.102372E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.85286	MICRONS I	12.2434	OHMS/SQUARE
6.30125	MICRONS I	301.396	OHMS/SQUARE
	I	109671.	OHMS/SQUARE

REMOCAO OXIDO

STEP # 10

ETCH STEP

OXIDE THICKNESS = .0000 MICRONS

SURFACE CONCENTRATION = -1.102372E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
1.85287	MICRONS I	12.2436	OHMS/SQUARE
6.30108	MICRONS I	301.348	OHMS/SQUARE
	I	109603.	OHMS/SQUARE

OXIDO FINO

STEP # 11

OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .1593 MICRONS

SURFACE CONCENTRATION = -4.933264E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE	
3.37046	MICRONS I	10.4012	OHMS/SQUARE
6.88916	MICRONS I	1623.94	OHMS/SQUARE
	I	142324.	OHMS/SQUARE

SUPREM END.

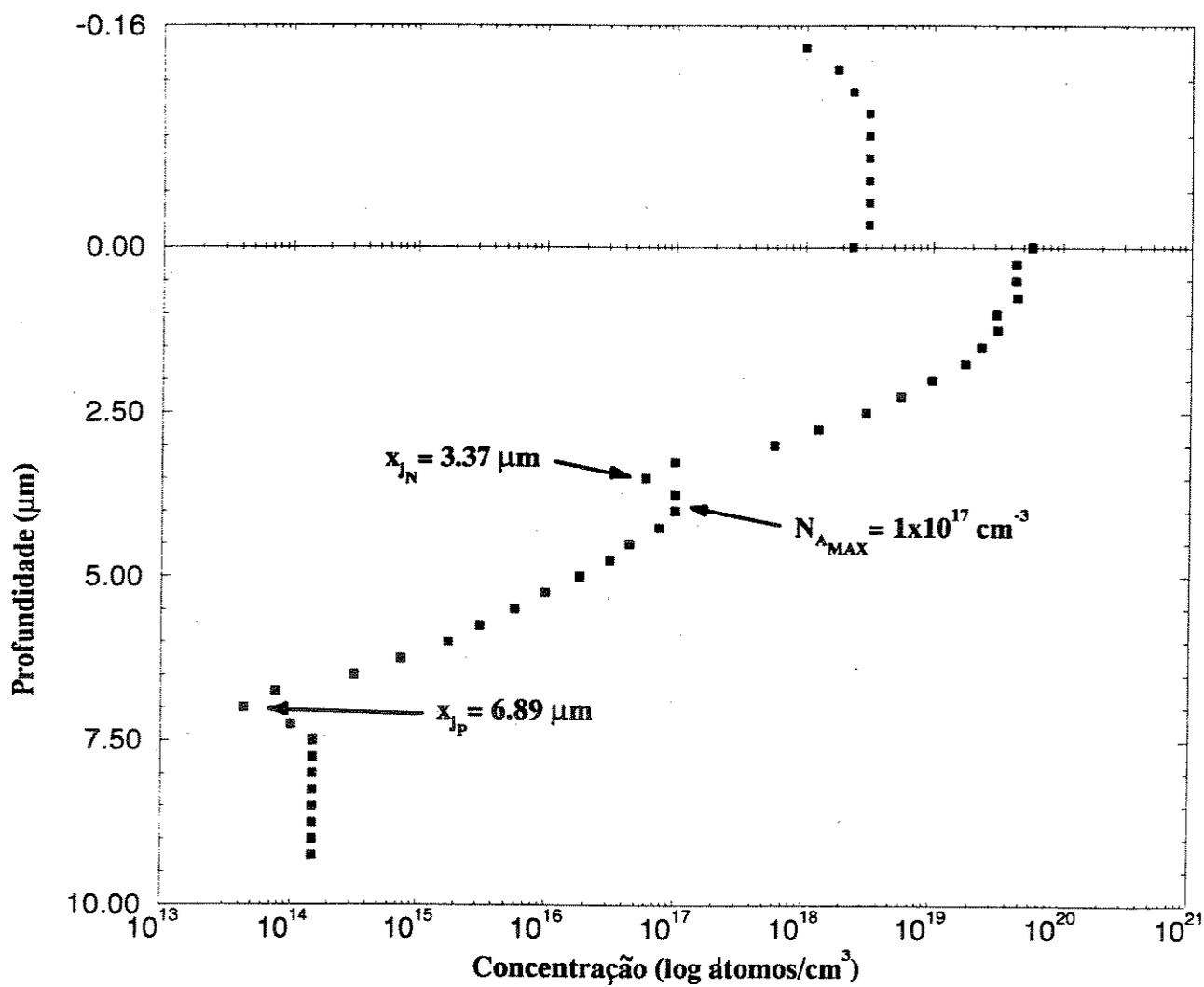


Figura D.6: Perfil de Difusão - CORTE E

*** STANFORD UNIVERSITY PROCESS ENGINEERING MODELS PROGRAM ***

*** VERSION 0-05 ***

1....TITLE DIFUSAO N+ VERSO
 2....GRID DYSI=0.01, DPTH=15, YMAX=15
 3....SUBS ORNT=100, ELEM=P, CONC=1.5E14
 4....PRINT HEAD=Y
 5....COMM PRE-DEPOSICAO FOSFORD (N+) VERSO
 6....STEP TYPE=PDEP, ELEM=P, TEMP=950, TIME=100
 7....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
 8....COMM REMOCAO FOSFOROSILICATO
 9....STEP TYPE=ETCH, TEMP=25
 10....COMM PENETRACAO FOSFORD (N+) VERSO
 11....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
 12....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=200
 13....COMM PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P-)
 14....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=15
 15....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
 16....COMM PENETRACAO (N+) DEVIDO PENETRACAO BORO (P-)
 17....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
 18....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
 19....COMM PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+)
 20....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=400
 21....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=10
 22....COMM PENETRACAO (N+) DEVIDO PENETRACAO BORO (P+)
 23....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=10
 24....STEP TYPE=OXID, MODL=STMO, TEMP=1150, TIME=50
 25....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=220
 26....COMM PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
 27....STEP TYPE=OXID, MODL=NITO, TEMP=925, TIME=200
 28....STEP TYPE=OXID, MODL=DRYO, TEMP=925, TIME=5
 29....COMM PENETRACAO (N+) DEVIDO PENETRACAO (P+/-)
 30....STEP TYPE=OXID, MODL=NITO, TEMP=1150, TIME=180
 31....COMM PENETRACAO (N+) DEVIDO PRE-DEPOSICAO FOSFORD (N+)
 32....STEP TYPE=OXID, MODL=NITO, TEMP=950, TIME=30
 33....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
 34....COMM PENETRACAO (N+) DEVIDO PENETRACAO FOSFORD (N+)
 35....STEP TYPE=OXID, MODL=DRYO, TEMP=950, TIME=10
 36....STEP TYPE=OXID, MODL=STMO, TEMP=950, TIME=170
 37....PLOT WIND=13, CMIN=13, NDEC=8, TOTL=Y
 38....COMM PENETRACAO (N+) DEVIDO A CRESCIMENTO OXIDO FINO
 39....STEP TYPE=OXID, MODL=DRYO, TEMP=1150, TIME=60
 40....END

PRE-DEPOSICAO FOSFORD (N+) VERSO

STEP # 1
 GASEOUS PREDEPOSITION

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = -2.769407E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	10.1815	OHMS/SQUARE

PRE-DEPOSICAO FOSFORD (N+) VERSO

STEP # 2
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.9876E-02 MICRONS
 SURFACE CONCENTRATION = -2.646661E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	9.94977	OHMS/SQUARE

REMOCAO FOSFOROSILICATO

STEP # 3
 ETCH STEP

OXIDE THICKNESS = .0000 MICRONS
 SURFACE CONCENTRATION = -2.646661E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	9.94900	OHMS/SQUARE

PENETRACAO FOSFORD (N+) VERSO

STEP # 4
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 2.9666E-02 MICRONS
 SURFACE CONCENTRATION = -2.582900E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	9.72787	OHMS/SQUARE

PENETRACAO FOSFORD (N+) VERSO

STEP # 5
 OXIDATION IN STEAM

OXIDE THICKNESS = .8994 MICRONS
 SURFACE CONCENTRATION = -1.637062E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	7.14473	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P-)

STEP # 6
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = .8994 MICRONS
 SURFACE CONCENTRATION = -1.593660E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	7.11593	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P-)

STEP # 7
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .9000 MICRONS
 SURFACE CONCENTRATION = -1.569331E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	7.08424	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO BORO (P-)

STEP # 8
 OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = .9031 MICRONS
 SURFACE CONCENTRATION = -1.100053E+20 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	6.31956	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO BORO (P-)

STEP # 9
 OXIDATION IN STEAM

OXIDE THICKNESS = 1.165 MICRONS
 SURFACE CONCENTRATION = -7.757603E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	5.60611	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+)

STEP # 10
 NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.165 MICRONS
 SURFACE CONCENTRATION = -7.563316E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
I	5.58536	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+)
STEP # 11
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.166 MICRONS
SURFACE CONCENTRATION = -7.581395E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.58477	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO BORO (P+)
STEP # 12
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.168 MICRONS
SURFACE CONCENTRATION = -7.208586E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.51583	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO BORO (P+)
STEP # 13
OXIDATION IN STEAM

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -6.538447E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.36656	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO BORO (P+)
STEP # 14
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -4.976430E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.11107	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 15
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -4.970966E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.11012	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO BORO (P+/-)
STEP # 16
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -4.980488E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.11012	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO (P+/-)
STEP # 17
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -4.410357E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	4.99693	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 18
NEUTRAL AMBIENT DRIVE-IN

OXIDE THICKNESS = 1.381 MICRONS
SURFACE CONCENTRATION = -4.409558E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	4.99677	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PRE-DEPOSICAO FOSFORO (N+)
STEP # 19
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.382 MICRONS
SURFACE CONCENTRATION = -4.425486E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	4.99678	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 20
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.382 MICRONS
SURFACE CONCENTRATION = -4.434672E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	4.99678	OHMS/SQUARE

PENETRACAO (N+) DEVIDO PENETRACAO FOSFORO (N+)
STEP # 21
OXIDATION IN STEAM

OXIDE THICKNESS = 1.597 MICRONS
SURFACE CONCENTRATION = -6.292478E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.06118	OHMS/SQUARE

PENETRACAO (N+) DEVIDO A CRESCIMENTO OXIDO FINO
STEP # 22
OXIDATION IN DRY OXYGEN

OXIDE THICKNESS = 1.608 MICRONS
SURFACE CONCENTRATION = -4.337836E+19 ATOMS/CM 3

JUNCTION DEPTH	I	SHEET RESISTANCE
-----I-----		
I	5.00265	OHMS/SQUARE

SUPREM END.

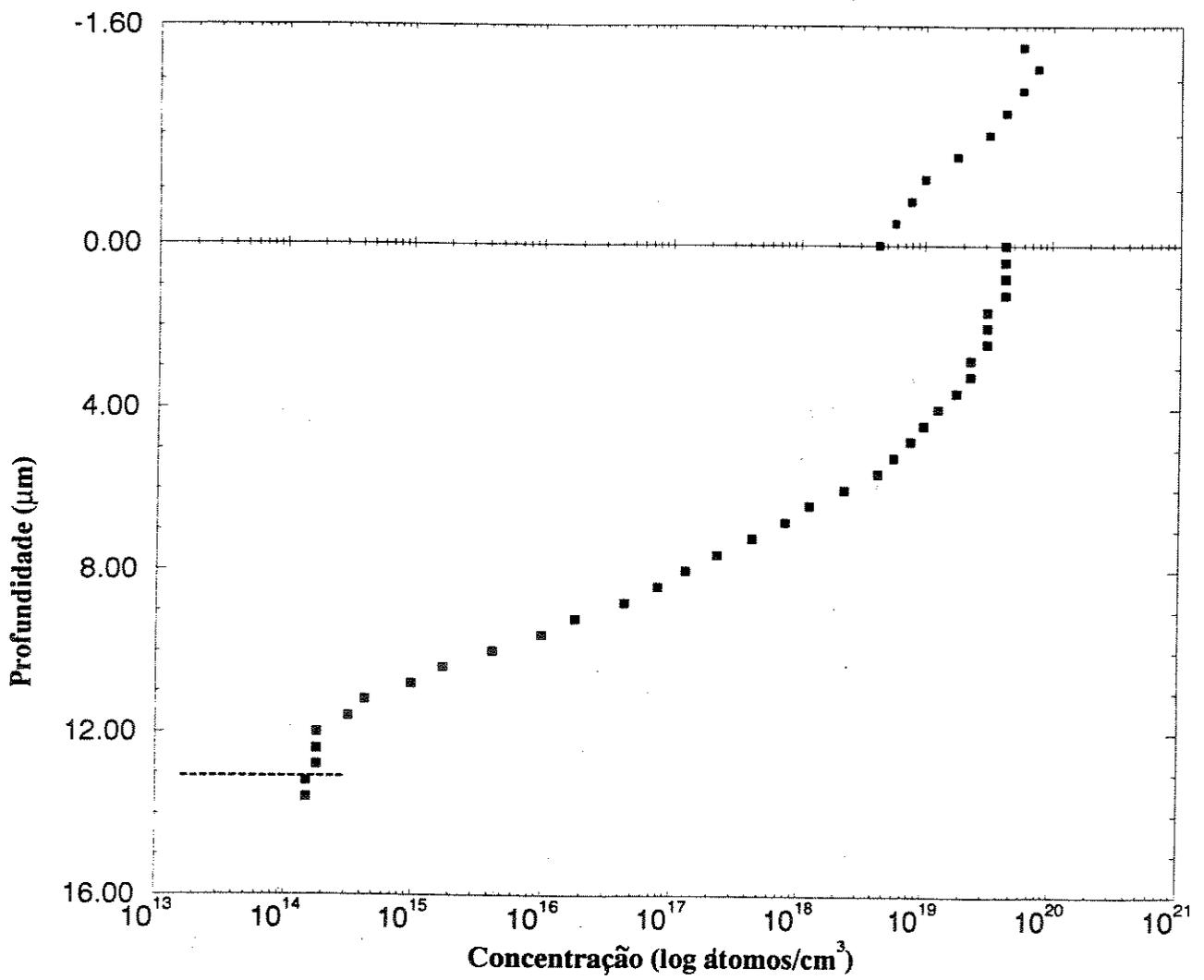


Figura D.7: Perfil de Difusão - NVERSO

Bibliografia

- [1.1] W. B. de Moraes, "*Contribuição à Otimização da Estrutura de Transistores MOS de Potência de Estruturas não Coplanares*", Tese de Doutorado - UNICAMP, 1982, Capítulo 1.
- [1.2] F. H. Behrens, "*Modelamento, Projeto e Caracterização de Transistores Verticais DMOS de Potência e Estruturas de Alta Tensão Compatíveis com a Tecnologia CMOS*", Tese de Mestrado - UNICAMP, 1989, Capítulo 3.
- [1.3] B. J. Baliga, "*Modern Power Devices*", John Wiley & Sons, 1987, Capítulo 3.
- [1.4] B. J. Baliga, "*An Overview of Smart Power Technology*", IEEE Trans. Electron Devices, vol. 38, pag. 1568 - 1575, Julho 1991.
- [1.5] K. Shenai, "*A High-Density, Self-Aligned Power MOSFET Structure Fabricated Using Sacrificial Spacer Technology*", IEEE Trans. Electron Devices, vol. 39, pag. 1252 - 1255, Maio 1992.
- [1.6] B. J. Baliga, M. S. Adler, R. P. Love, P. V. Gray e N. D. Zommer, "*The Insulated Gate Transistor: A New Three-Terminal MOS-Controlled Bipolar Power Device*", IEEE Trans. Electron Devices, vol. 31, pag. 821 - 828, Junho 1984.
- [1.7] J. P. Russel, A. M. Goodman, L. A. Goodman e J. M. Neilson, "*The COMFET - A New High Conductance MOS-Gated Device*", IEEE Electron Device Lett., vol. 4, pag. 63 - 65, Março 1983.
- [1.8] J. A. Appels, M. G. Collet, P. A. H. Hart, H. M. J. Vaes e J. F. C. M. Verhoeven, "*Thin Layer High-Voltage Devices*", Philips Journal of Research, vol. 35, pag. 1 - 13, 1980.
- [1.9] K. Shenai, "*Optimized Trench MOSFET Technologies for Power Devices*", IEEE Trans. Electron Devices, vol. 39, pag. 1435 - 1443, Junho 1992.
- [1.10] B. A. MacIver e K. C. Jain, "*j-MOS: A Versatile Power Field-Effect Transistor*", IEEE Electron Device Lett., vol. 5, pag. 154 - 156, Maio 1984.
- [1.11] B. A. MacIver, S. J. Valeri, K. C. Jain, J. C. Erskine e R. Rossen, "*Characteristics of Trench j-MOS Power Transistors*", IEEE Electron Device Lett., vol. 10, pag. 380 - 382, Agosto 1989.

- [1.12] B. C. Cole, "Mixed-Process Chips Are About to Hit the Big Time", *Electronics*, vol. 3, pag. 27 - 31, Março 1986.
- [1.13] B. C. Cole, "Is BiCMOS The Next Technology Driver ?", *Electronics*, vol. 4, pag. 55 - 67, Fevereiro 1988.
- [1.14] F. H. Behrens, "Modelamento, Projeto e Caracterização de Transistores Verticais DMOS de Potência e Estruturas de Alta Tensão Compatíveis com a Tecnologia CMOS", Tese de Mestrado - UNICAMP, 1989, Capítulo 1.
- [2.1] M. D. Pocha, "High Voltage DMOS Transistor for Integrated Circuits", Tese de Doutorado - Stanford University, 1976, Capítulo 3.
- [2.2] R. S. C. Cobbold, "Theory and Applications of Field-Effect Transistors", Wiley Interscience, 1970, Capítulo 7.
- [2.3] S. K. Ghandhi, "The Theory and Practice of Microelectronics", Robert E. Krieger Publishing Company, 1968, Capítulo 4.
- [2.4] D. P. Kennedy e R. R. O'Brien, "Analysis of the Impurity Atom Distribution Near the Diffusion Mask for a Planar p-n Junction", *IBM Journal*, pag. 179 - 186, Maio 1965.
- [2.5] A. S. Grove, "Physics and Technology of Semiconductor Devices", John Wiley & Sons, 1967, Capítulo 3.
- [2.6] R. Gereth, P. G. G. van Loon e V. Williams, "Localized Enhanced Diffusion in NPN Silicon Structures", *J. Electrochem. Soc.*, vol. 112, pag. 323 - 329, Março 1965.
- [2.7] H. Nakamura, S. Ohyama e C. Tadachi, "Boron Diffusion Coefficient Increased by Phosphorus Diffusion", *J. Electrochem. Soc.*, vol. 121, pag. 1377 - 1381, Outubro 1974.
- [2.8] F. M. Smits, "Formation of Junction Structures by Solid-State Diffusion", *Proc. of the IRE*, vol. 46, pag. 1049 - 1061, Junho 1958.
- [2.9] T. Klein e J. R. A. Beale, "Simultaneous Diffusion of Oppositely Charged Impurities in Semiconductors", *Solid-State Electron.*, vol. 9, pag. 59 - 69, 1966.
- [2.10] J. C. C. Tsai, "Shallow Phosphorus Diffusion Profiles in Silicon", *Proc. of the IEEE*, vol. 57, pag. 1499 - 1506, Setembro 1969.
- [3.1] B. J. Baliga, "Modern Power Devices", John Wiley & Sons, 1987, Capítulo 3.

- [3.2] F. H. Behrens, *“Modelamento, Projeto e Caracterização de Transistores Verticais DMOS de Potência e Estruturas de Alta Tensão Compatíveis com a Tecnologia CMOS”*, Tese de Mestrado - UNICAMP, 1989, Capítulo 2.
- [3.3] W. B. de Moraes, *“Contribuição à Otimização da Estrutura de Transistores MOS de Potência de Estrutura não Coplanar”*, Tese de Doutorado - UNICAMP, 1982, Capítulo 3.
- [3.4] A. Blicher, *“Field-Effect and Bipolar Power Transistor Physics”*, Academic Press, 1981, Capítulo 4.
- [3.5] V. A. K. Temple e M. S. Adler, *“The Theory and Application of a Simple Etch Contour for Near Ideal Breakdown Voltage in Plane and Planar p-n Junctions”*, IEEE Trans. Electron Devices, vol. 23, pag. 950 - 955, Agosto 1976.
- [3.6] V. A. K. Temple, B. J. Baliga e M. S. Adler, *“The Planar Junction Etch for High Voltage and Low Surface Fields in Planar Devices”*, IEEE Trans. Electron Devices, vol. 24, pag. 1304 - 1310, Novembro 1977.
- [4.1] W. B. de Moraes, *“Contribuição à Otimização da Estrutura de Transistores MOS de Potência de Estrutura não Coplanar”*, Tese de Doutorado - UNICAMP, 1982, Capítulo 3.
- [4.2] B. J. Baliga, *“Modern Power Devices”*, John Wiley & Sons, 1987, Capítulo 6.
- [4.3] S. C. Sun e J. D. Plummer, *“Modeling of the On-Resistance of LDMOS, VDMOS e VMOS Power Transistors”*, IEEE Trans. Electron Devices, vol. 27, pag. 356 - 367, Fevereiro 1980.
- [4.4] M. N. Darwish e K. Board, *“Optimization of Breakdown Voltage and On-Resistance of VDMOS Transistors”*, IEEE Trans. Electron Devices, vol. 31, pag. 1769 - 1773, Dezembro 1984.
- [4.5] M. D. Pocha, J. D. Plummer e J. D. Meindl, *“Tradeoff Between Threshold Voltage and Breakdown in High-Voltage Double-Diffused MOS Transistors”*, IEEE Trans. Electron Devices, vol. 25, pag. 1325 - 1327, Novembro 1978.
- [5.1] E. Caquot e S. Martin, *“SUPREM - Présentation et Mode d’emploi”*, Nota Técnica 64, CNET - Grenoble, Fevereiro 1982.
- [5.2] S. M. Sze, *“Physics of Semiconductor Devices”*, Wiley Interscience, 1969, Capítulo 2.

- [5.3] P. Richman, "*MOS Field-Effect Transistors and Integrated Circuits*", Wiley Interscience, 1973, Capítulo 2.
- [5.4] D. M. Gaughey e R. E. Thomas, "*Carrier Mobilities in Silicon Empirically Related to Doping and Field*", Proc. of the IEEE, vol. 55, pag. 2192 - 2193, Dezembro 1967.
- [5.5] A. S. Grove, "*Physics and Technology of Semiconductor Devices*", John Wiley & Sons, 1967, Capítulo 6.