

Universidade Estadual de Campinas - UNICAMP
Faculdade de Engenharia Elétrica - FEE
Departamento de Microeletrônica

**Equacionamento, Simulação e Análise de Transcondutores que
utilizam o Transistor MOS operando na Região de Saturação**

Luiz Antônio Razera Júnior

Orientador: Prof. Dr. Wilmar Bueno de Moraes
DEMIC / FEE - UNICAMP

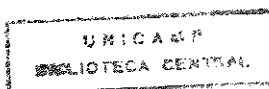
Este exemplar corresponde à edição final da tese

defendida por LUIZ ANTONIO RAZERA JÚNIOR Dissertação apresentada à Faculdade de
Engenharia Elétrica da Universidade
Estadual de Campinas - FEE / UNICAMP -
como requisito parcial à obtenção do título
de **Mestre em Engenharia Elétrica**

Julgadora em 14 / 06 / 1995

Wilmar Bueno de Moraes
WILMAR BUENO DE MORAES Orientador

Campinas, Junho de 1995



Dedico este trabalho...

...aos meus Pais, **Luiz Antonio Razera** e **Eidil Aparecida Milani Razera**, Doutores pela Vida, sábios Conselheiros, que por todo o meu caminho sempre me apoiaram e incentivaram. Que seus ensinamentos me acompanhem para sempre.

Agradecimentos

Gostaria de agradecer a todas as pessoas que, de uma maneira ou de outra, com maior ou menor intensidade, me ajudaram no processo de elaboração deste trabalho, em especial ...

... aos amigos do Centro Tecnológico para a Informática - CTI, particularmente ao *Eng. Frank Herman Behrens*, meu ex-chefe, e ao *Eng. Saulo Finco*, pela amizade, apoio, compreensão e estímulo recebido;

... ao *Eng. Luciano S. Fernandes*, colega e amigo, pelas conversas e discussões, e pelo gentil fornecimento do programa "Sspice", de grande importância para o desenvolvimento deste trabalho;

... ao *Prof. Dr. Wilmar Bueno de Moraes*, meu orientador e amigo, por tudo o que me transmitiu, inclusive os conhecimentos científicos;

... à *família Charry Sierra*, por todo o apoio e incentivo, pelas sábias opiniões, pelo carinho e compreensão de todos;

... aos meus pais, *Luiz Antônio e Eidil*, e à minha irmã, *Renata*, pelo estímulo, carinho e amor;

... à minha futura esposa, *Ximena*, pela paciência, incentivo e apoio.

Agradeço, de maneira preeminente, Àquele sem o qual nada disso seria possível.

Agradeço a Deus.

Algumas Palavras ...

"Uma coisa permanece. Há uma fórmula famosa - talvez a mais compacta e famosa de todas as fórmulas - desenvolvida por Euler, partindo da descoberta do matemático francês De Moivre: $e^{i\pi} + 1 = 0$. Elegante, concisa e cheia de significação, podemos apenas reproduzi-la, mas não devemos parar para perguntar suas implicações. Ela interessa tanto ao místico quanto ao cientista, ao filósofo, ao matemático. Para cada um deles tem um significado. Embora conhecida por mais de um século, a fórmula de De Moivre pareceu a Benjamin Peirce, um dos maiores matemáticos de Harvard do século XIX, algo como uma revelação. Tendo descoberto a fórmula um determinado dia, ele dirigiu aos seus alunos uma observação que encerra, em qualidade dramática e apreciação, o que lhe falta em conhecimento e sofisticação: "Senhores", disse ele, "isso é certamente verdade, é absolutamente paradoxal; não podemos entendê-lo, e não sabemos o que significa, mas provamo-lo e, portanto, sabemos que deve ser a verdade".

Quando tanta humildade e tanta visão existirem por toda parte, a sociedade será governada pela ciência e não por seus componentes mais espertos."

*Matemática e Imaginação
Edward Kasner e James Newman
pag. 107.*

Sspice é marca registrada de "Michigan State University Board of Trustees".

Mathematica é marca registrada de "Wolfram Research, Inc."

PSpice é marca registrada de "MicroSim Corporation".

ÍNDICE

Dedicatória	I
Agradecimentos.....	II
Algumas Palavras.....	III
Índice.....	V
Resumo	VII
Abstract	VIII
Introdução	1

Capítulo I - Transcondutores com Par Diferencial

1.1 Introdução.....	4
1.2 Par Diferencial Simples.....	5
1.2.1 Não-Linearidade	6
1.2.2 Distorção Harmônica.....	10
1.2.3 Resposta em Freqüência.....	11
1.2.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação	14
1.3 Par Diferencial Cruzado com Fontes de Corrente Independentes	15
1.3.1 Aumento da Linearidade através de Diferença de Correntes	16
1.3.2 Distorção Harmônica.....	19
1.3.3 Resposta em Freqüência.....	20
1.3.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação.	21
1.4 Par Diferencial Cruzado com Fonte de Corrente Comum.....	21
1.4.1 Não-Linearidade	22
1.4.2 Distorção Harmônica.....	25
1.4.3 Resposta em Freqüência.....	25
1.4.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação	26
1.5 Par Diferencial com Célula em Modo Corrente.....	27
1.5.1 Linearidade através de Diferença de Correntes	27
1.5.2 Distorção Harmônica.....	31
1.5.3 Resposta em Freqüência.....	32
1.5.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação	34
1.6 Conclusões.....	35

Capítulo II - Transcondutores com Polarização Adaptativa

2.1 Introdução.....	36
2.2 Princípios Básicos da Polarização Adaptativa.....	37
2.3 Par Diferencial em Polarização Adaptativa com circuito quadrador de dois transistores..	37
2.3.1 Linearidade	40
2.3.2 Distorção Harmônica.....	42
2.3.3 Resposta em Freqüência.....	42
2.3.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação	45
2.4 Par Diferencial em Polarização Adaptativa com Célula Quadradora Cruzada	46
2.4.1 Linearidade	49

2.4.2 Distorção Harmônica.....	51
2.4.3 Resposta em Frequência.....	52
2.4.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação	54
2.5 Conclusões.....	54

Capítulo III - Transcondutores em Classe AB

3.1 Introdução.....	55
3.2 Princípios Básicos de Circuitos em Classe AB	55
3.3 O Par CMOS.....	57
3.4 Quadrador Duplo Cruzado.....	58
3.4.1 Linearidade.....	61
3.4.2 Distorção Harmônica.....	64
3.4.3 Resposta em Frequência.....	65
3.4.4 Excursão do Sinal de Entrada em Relação às Fontes de Alimentação	72
3.5 Par Duplo CMOS	73
3.5.1 Linearidade	75
3.5.1.1 Transistores em Poços Independentes.....	75
3.5.1.2 Transistores canal N com substrato comum	77
3.5.2 Distorção Harmônica.....	83
3.5.3 Resposta em Frequência.....	83
3.5.3.1 Par CMOS M1-M2.....	84
3.5.3.2 Par CMOS M2-M3.....	85
3.5.3.3 Circuito Completo.....	86
3.5.4 Excursão do Sinal de Entrada em Relação às Fontes de Alimentação	90
3.6 Conclusões.....	91

Capítulo IV - Transcondutores Projetados no DEMIC/FEE-UNICAMP

4.1 Introdução.....	92
4.2 Circuito 1	92
4.2.1 Linearidade	93
4.2.2 Resultados Obtidos.....	94
4.3 Circuito 2	94
4.3.1 Linearidade	95
4.3.2 Resultados Obtidos.....	96
4.4 Conclusões.....	96

Conclusões Gerais

Considerações Iniciais.....	97
Contribuições do Trabalho.....	97
Sumário dos Resultados Obtidos	98
Proposições para Trabalhos Futuros.....	99

Referências Bibliográficas	100
----------------------------------	-----

Apêndice A - O transistor MOS em Regime de Saturação.....	102
Apêndice B - Equacionamento DC e AC do Par Diferencial Simples	105
Apêndice C - Exemplos de Arquivos de Simulação.....	110

RESUMO

Este trabalho apresenta o equacionamento matemático, as simulações e análises detalhadas do comportamento DC, distorção harmônica, resposta em frequência e excursão do sinal de entrada de dez conversores tensão-corrente, ou *transcondutores*, que utilizam transistores MOS operando na região de saturação.

Estes transcondutores estão subdivididos em quatro grupos, correspondentes aos quatro capítulos do trabalho. São eles:

- ☞ *Transcondutores com Pares Diferenciais;*
- ☞ *Transcondutores com Polarização Adaptativa;*
- ☞ *Transcondutores em Classe AB;*
- ☞ *Transcondutores Projetados no DEMIC/FEE-UNICAMP.*

São tecidos comentários acerca de cada circuito, enfatizando seus pontos positivos e negativos, além de comparações entre os transcondutores de um mesmo grupo. Sugestões e propostas de melhorias também são realizadas, além da verificação das mesmas através de simulações.

ABSTRACT

This work presents the mathematical equations, simulations and detailed analysis of DC behavior, harmonic distortion, frequency response and input signal excursion of ten V-I converters, or *transconductors*, that use MOS transistors on the saturation region of operation.

Those transconductors are divided into four groups, which corresponds to the four chapters of the thesis. They are:

- ☞ *Transconductors with Differential Pairs;*
- ☞ *Transconductors with Adaptive Biasing;*
- ☞ *Class AB Transconductors;*
- ☞ *Transconductors Designed at DEMIC/FEE-UNICAMP.*

Comments are done on each circuit, enhancing their positive and negative aspects, besides comparisons among transconductors of a same group. Suggestions and enhancement proposes are also realized, besides their verification by simulations.

Introdução

Desde a invenção do transistor, em 23 de dezembro de 1947, por John Bardeen, Walter Brattain e William Shockley, nos Laboratórios Bell, os rumos do desenvolvimento tecnológico sofreram uma revolução sem precedentes. Deste então, a Eletrônica e, a seguir, a Microeletrônica, têm desempenhado um papel fundamental na evolução da humanidade. Presente, porém nem sempre percebida e valorizada, é esta ciência a responsável por feitos que vão desde atos simples e antigos, como a marcação do tempo, até atos praticamente inimagináveis por nossos antepassados, como a comunicação via satélite, a conquista do Espaço e a previsão de safras agrícolas, entre outros.

Historicamente, os primeiros transistores disponíveis (transistores bipolares) substituíram as antigas válvulas com inúmeras vantagens. Eram menores e mais leves, não tinham necessidade de filamentos que provocavam perda de calor, eram mais resistentes e eficientes, uma vez que absorviam menos energia, não necessitavam de tempo de aquecimento, podendo ser utilizados a qualquer instante e exigiam menores tensões de operação. Os Circuitos Analógicos, que até então utilizavam válvulas, foram rapidamente se ajustando de modo a utilizar este novo dispositivo. Desde então, dispositivos cada vez menores, mais baratos e confiáveis têm sido largamente empregados em inúmeras aplicações. Amplificadores, filtros, moduladores e demoduladores, e, mais recentemente, conversores A/D e D/A são apenas alguns exemplos destas aplicações, que se inserem num contexto ainda maior, como as comunicações, a radiodifusão e o processamento de sinais em uma forma geral.

A evolução do computador digital tem atuado de forma profunda do desenvolvimento da microeletrônica. Através da necessidade de componentes cada vez menores e mais rápidos, novas tecnologias têm sido continuamente desenvolvidas. Dentre várias disponíveis, a tecnologia CMOS tem ocupado posição de destaque na atualidade. Mais de 60% do mercado atual de microeletrônica, incluindo aplicações digitais e analógicas, é dominado por esta tecnologia. Circuitos digitais de crescente complexidade, como microprocessadores, microcontroladores e processadores digitais de sinais têm utilizado cada vez mais esta tecnologia, devido à altíssima capacidade de integração de componentes que a mesma oferece, fazendo com que circuitos que utilizem milhões de transistores possam ser realizados numa pastilha de silício de alguns milímetros quadrados.

Sendo assim, o desenvolvimento de circuitos analógicos com transistores MOS tem sido cada vez mais uma necessidade, de forma a compatibilizar, num mesmo circuito, funções analógicas e digitais, de modo a se obter um sistema integrado único, com maior confiabilidade e menor custo.

A evolução da capacidade de processamento de computadores, principalmente equipamentos pessoais, de baixo custo e alto desempenho, também proporcionou o desenvolvimento de programas cada vez mais poderosos e úteis, atuando como ferramentas de trabalho de profissionais das mais diversas áreas.

Na área de projetos de circuitos, os programas de maior utilidade têm sido simuladores. Baseados em parâmetros elétricos e parâmetros de construção de dispositivos, estes implementam as funções matemáticas que descrevem seu comportamento. Desta maneira, o projetista pode observar o desempenho de seu circuito, antes mesmo de fabricá-lo. Na área de microeletrônica, um destes programas tornou-se praticamente um padrão: SPICE, que quer dizer "Programa de Simulação com Ênfase em Circuitos Integrados". Desta maneira, comportamento DC, análises da resposta transiente e de frequências, análises de ruído e distorção harmônica de um circuito são algumas das capacidades que se têm hoje em dia nestes simuladores.

Outros programas, desenvolvidos nos últimos anos, também têm servido como ferramentas precisas nas mãos de projetistas de circuitos. Pacotes matemáticos que possuem tratamento simbólico têm ajudado projetistas a resolver e formular, de maneira literal, as equações de seus circuitos. O programa *Mathematica* é um exemplo.

Após o surgimento deste tipo de programa, que possui tratamento simbólico, surgiram simuladores simbólicos de circuitos, como o programa *Sspice*. Desta forma, os comportamentos DC e AC de um circuito podem ser dados, não mais apenas sob a forma de um gráfico, obtido numericamente, mas através de funções matemáticas. A possibilidade de se ter, matematicamente, a expressão de uma função de transferência em função de parâmetros do circuito, como condutâncias e capacitâncias e ganhos associados, abre uma nova forma de se resolverem problemas anteriormente solucionados através da intuição e experiência de projetistas. No caso da resposta em frequência de um circuito, por exemplo, um capacitor de compensação pode ter seu valor exatamente determinado, de modo a aumentar a faixa de operação. A utilização deste tipo de programa, que fornece uma expressão matemática do funcionamento do circuito, em conjunto com pacotes matemáticos, que resolvem equações, de maneira numérica e simbólica, estão se tornando, para o projetista de circuitos, ferramentas análogas ao processador de textos para um escritor.

De posse destes programas, juntamente com um computador de alta capacidade e velocidade de processamento, a realidade de um projetista de circuitos integrados é bastante diferente daquela encontrada nos primórdios da microeletrônica. A tarefa de projeto, hoje, se resume praticamente a um trabalho realizado sob o auxílio dos programas mencionados, num computador. A fabricação e teste de protótipos, etapa essencial para a verificação da idéia, vêm apenas confirmar os resultados esperados. Embora estes programas tenham auxiliado de maneira importantíssima o projeto de um circuito, a criação e idéias para a solução otimizada dos problemas são ainda méritos que cabem exclusivamente ao projetista.

Esta tese trata, sob o ponto de vista do equacionamento matemático, verificação computacional do comportamento (simulação) e análise dos resultados obtidos, de circuitos que realizam a conversão de sinais sob a forma de tensão elétrica para corrente elétrica.

O Conversor Tensão-Corrente, ou *Transconductor*, é um bloco analógico básico para a implementação de sistemas de processamento de sinais analógicos mais complexos, tais como integradores, resistores flutuantes, giradores, filtros ativos e multiplicadores analógicos, entre outros. Na atualidade, circuitos de grande complexidade, como conversores A/D e D/A, necessitam de transdutores de alta precisão para realizarem suas funções adequadamente.

Uma nova vertente na eletrônica analógica tem sido o processamento de sinais sob forma de corrente. Esta abordagem, chamada "modo corrente", tem demonstrado algumas vantagens em relação ao modo tensão. Dentre elas, destacam-se o aumento da banda de frequências e seu uso apropriado para sistemas em baixa tensão (3.3V ou 5 V), uma vez que, sendo o sinal em forma de corrente, não é necessário o uso de grandes variações de tensão. O processamento em modo corrente quase sempre leva a projetos mais simples e menor consumo de potência, aumentando portanto a densidade, reduzindo-se o custo em área de material semicondutor. Porém, para a manutenção da compatibilidade entre sistemas existentes em modo tensão, é necessário o uso de transdutores na entrada de Sistemas de Processamento de Sinal em Modo Corrente.

No caso de ser necessário o uso de tais conversores, estes são uma parte delicada no projeto global, uma vez que podem limitar a linearidade, a resposta em frequência e a imunidade a ruídos. Deste modo, qualquer transconductor que seja utilizado na entrada de um sistema de processamento de sinal em modo corrente deve satisfazer os seguintes atributos:

- ☞ alta linearidade para sinais de relativa amplitude;
- ☞ baixo ruído;
- ☞ alta frequência de operação;
- ☞ baixo consumo;
- ☞ alta transcondutância.

O objetivo principal deste trabalho é enfatizar os aspectos mais importantes na análise e projeto de transcondutores que utilizam o transistor MOS operando na região de saturação. São apresentados dez circuitos, divididos em quatro categorias:

- ☞ Transcondutores com Par Diferencial - 4 circuitos;
- ☞ Transcondutores com Polarização Adaptativa - 2 circuitos;
- ☞ Transcondutores em Classe AB - 2 circuitos;
- ☞ Transcondutores Projetados no DEMIC/FEE-UNICAMP - 2 circuitos.

A não ser nos dois últimos circuitos, cuja análise detalhada pode ser encontrada em trabalhos de tese apresentados na própria faculdade, todos os outros oito circuitos foram minuciosamente equacionados, simulados e analisados, com algumas propostas de melhoramentos e inovações.

É importante ressaltar que foram dadas ênfases a aspectos relativos ao transcondutor em si. Problemas como a geração de tensões de polarização e melhorias nas respostas DC e AC de espelhos de corrente não foram analisados. Cada um destes problemas pode resultar em outros temas de tese, dada a sua complexidade.

O equacionamento DC de cada circuito foi realizado manualmente, tendo sido verificado com o auxílio do programa *Mathematica*. As expressões obtidas nas análises AC de cada circuito foram obtidas pelo programa de simulação simbólica *Sspice*. Todos os resultados teóricos foram verificados através da utilização do programa de simulação *PSpice*, versão 4.05, baseado no *Spice*.

Capítulo I

Transcondutores com Par Diferencial

1.1 Introdução

Dentre a grande variedade de transcondutores existentes, os mais utilizados são aqueles que empregam **Pares Diferenciais**. E não é difícil saber o porquê. Dentre as vantagens, pode-se citar a simplicidade de projeto, o baixo consumo de potência, a alta resposta em frequência, a alta transcondutância, a alta impedância de entrada e o baixo ruído.

Porém, uma das grandes desvantagens de circuitos que utilizam Pares Diferenciais como transcondutores é a sua **não-linearidade** inerente para sinais de entrada de relativa amplitude, o que reduz sensivelmente a faixa de tensões de entrada. Devido a este fator existem muitas propostas de circuitos que se baseiam no Par Diferencial Simples e, através de diferentes técnicas de linearização, conseguem melhorar significativamente a linearidade, aumentando a faixa de excursão do sinal de entrada.

Outra característica indesejável é o fato de o sinal de saída ser diferencial, necessitando de espelhos de corrente adicionais que conduzam a corrente de saída a um ramo único. Estes espelhos exercem também a função de levar a saída a um ponto de tensão nula, uma vez que, sendo os sinais de entrada referenciados ao terra, a própria topologia de circuitos que utilizam pares diferenciais como elementos transcondutores faz com que, inerentemente, a tensão de saída possua um alto "offset". Porém, a inclusão destes elementos (espelhos de corrente) faz com que haja uma alta degradação na resposta em frequência dos circuitos, limitando a largura de faixa de operação.

Este capítulo trata de quatro circuitos que utilizam pares diferenciais. São eles:

- ☛ Par Diferencial Simples [1];
- ☛ Par Diferencial Cruzado com Fontes de Corrente Independentes [2];
- ☛ Par Diferencial Cruzado com Fonte de Corrente Comum;
- ☛ Par Diferencial com Célula em Modo Corrente [3];

O primeiro circuito mostra todas as características inerentes de um par diferencial. A não-linearidade intrínseca é a principal desvantagem, o que reduz sensivelmente a faixa de tensões de entrada do circuito. Após é mostrado que, utilizando-se dois Pares Diferenciais Simples completos com relações de geometria e correntes apropriadas, é possível obter um cancelamento parcial das não-linearidades, o que resulta numa melhora significativa da linearidade e da faixa de tensões de entrada utilizável pelo circuito. O terceiro circuito é uma simplificação do segundo, com apenas uma fonte de corrente utilizada de modo comum pelos dois pares de transistores. É mostrado que não existe nenhuma vantagem em operação de grandes sinais, em relação ao Par Diferencial Simples. Existe, entretanto, uma melhora na resposta em frequência, com a possibilidade de eliminação de um zero da função de transferência. O último circuito apresenta uma recente proposta de linearização através do uso de uma célula em modo corrente, na qual é mostrado que um cancelamento completo dos termos não lineares pode ser obtido, resultando em um circuito com alta linearidade. Porém, a resposta em frequência deste circuito é inferior aos circuitos anteriores, limitando a faixa de frequências de operação.

1.2 Par Diferencial Simples

O transdutor mais simples e mais comumente utilizado é o Par Diferencial Simples. Além de sua simplicidade, este circuito oferece baixo ruído, baixo "offset" em corrente e alta resposta em frequência. Porém, devido à sua não-linearidade, a faixa de tensão de entrada utilizável e eficiência (máxima corrente linear de saída / corrente total) são reduzidas [1].

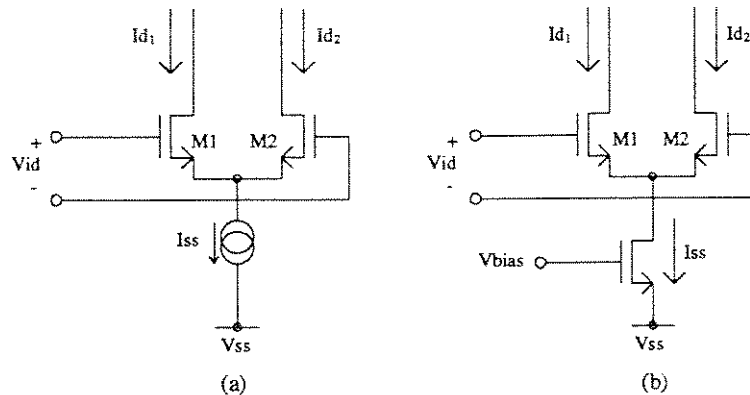


Figura 1.1 - Par Diferencial Simples

(a) - Implementação Ideal

(b) - Implementação Real

A análise topológica dos circuitos da figura acima mostra claramente que o sinal de saída deve ser tomado como a diferença entre as correntes I_{d1} e I_{d2} . Além disso, em aplicações usuais, a tensão nos drenos destes transistores, com uma tensão de modo comum de entrada igual a zero, possui um alto "offset".

Esta situação é muito comum em vários transdutores. O esquema abaixo representa uma forma genérica de se conseguir uma saída em corrente única, num ponto de baixo "offset" de tensão.

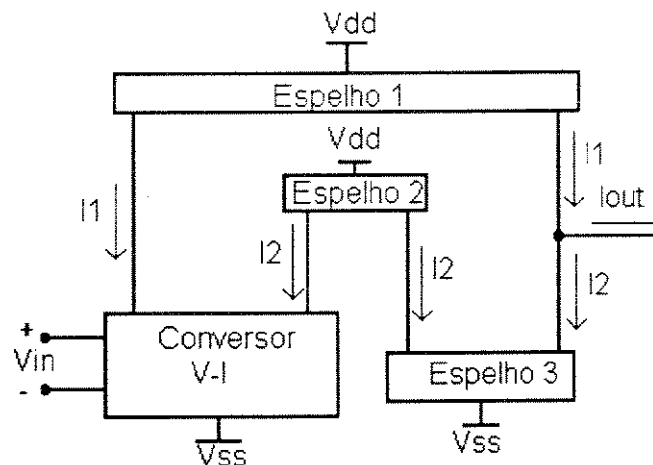


Figura 1.2 - Esquema para saída única e baixo "offset"

Desta forma, utilizando espelhos de corrente simples, o circuito completo que utiliza um Par Diferencial Simples como elemento transdutor é representado na figura 1.3.

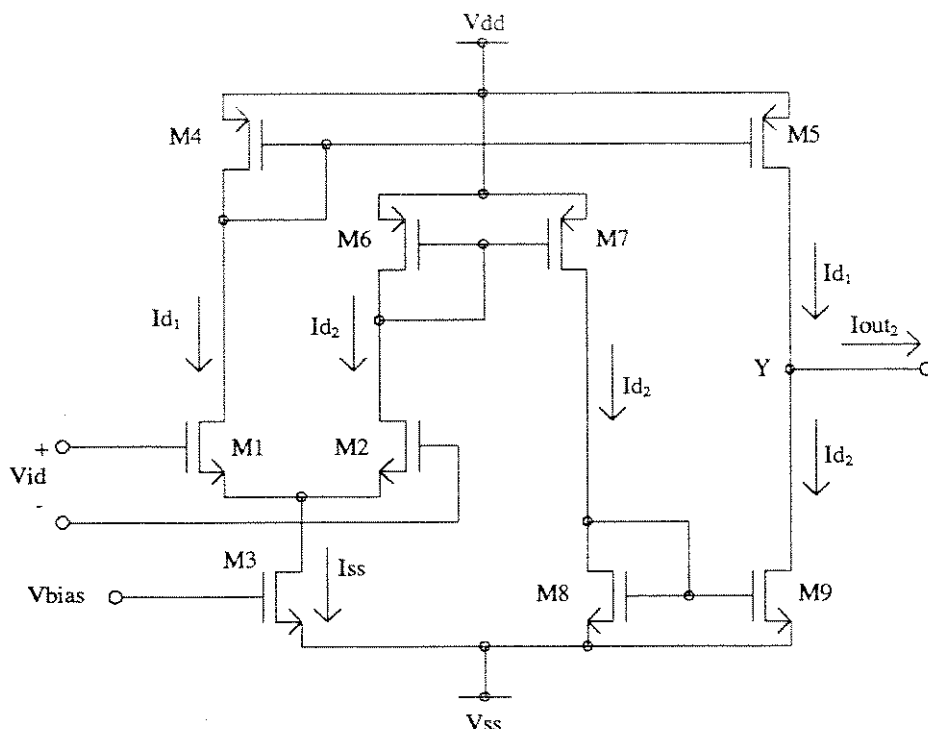


Figura 1.3 - Circuito Completo com Par Diferencial Simples

No circuito acima, os transistores M4-M5, M6-M7 e M8-M9 são, respectivamente, os espelhos 1, 2 e 3 representados na figura 1.2. Note que a transcondutância do circuito pode ser alterada variando-se as relações W/L dos espelhos de corrente.

Todas as simulações realizadas sobre o Par Diferencial Simples foram feitas levando-se em consideração o circuito da figura 1.3. Foram utilizados os seguintes parâmetros:

- ☛ $V_{dd} = -V_{ss} = 5\text{ V}$
- ☛ $I_{ss} = 200\text{ }\mu\text{A}$
- ☛ $(W/L)_{M1,M2} = 20\mu/5\mu$
- ☛ $(W/L)_{M3} = 100\mu/5\mu$
- ☛ $(W/L)_{M4,M5,M6,M7} = 40\mu/5\mu$
- ☛ $(W/L)_{M8,M9} = 12.6\mu/50\mu$
- ☛ $R_{out} = 50\text{ }\Omega$, $R_s = 50\text{ }\Omega$

Nos parâmetros acima, R_{out} é a resistência de carga no nó de saída simples (nó Y da figura 1.3), por onde flui a corrente I_{out2} , e R_s é a impedância da fonte geradora de sinal. Além disso, as relações W/L dos transistores representam suas dimensões, em micras. Foram utilizados valores não inteiros na geometria dos transistores M8 e M9 para se ajustar o "offset" de tensão no nó de saída.

1.2.1 Não-Linearidade

Através de uma análise de grandes sinais da figura 1.1-a, utilizando o modelo simplificado do transistor MOS (Apêndice A), pode-se mostrar que a corrente de saída ($I_{d1} - I_{d2}$) do Par Diferencial Simples é dada pela equação 1.1.

$$I_{out} = I_{d_1} - I_{d_2} = \begin{cases} \sqrt{2I_{ss}K} V_{id} \sqrt{1 - \frac{K}{2I_{ss}} V_{id}^2} \longrightarrow |V_{id}| \leq \sqrt{\frac{I_{ss}}{K}} & (a) \\ I_{ss} \operatorname{sgn}(V_{id}) \longrightarrow |V_{id}| \geq \sqrt{\frac{I_{ss}}{K}} & (b) \end{cases} \quad (1.1)$$

onde $K = \frac{\mu C_{ox}}{2} \frac{W_{eff}}{L_{eff}}$.

Pela observação da equação 1.1 vê-se que a saída é inerentemente não linear. A figura 1.4 apresenta a curva de transferência do Par Diferencial Simples. Foram utilizados os modelos de simulação fornecidos para o processo CMOS 1.2 μm da “foundry” AMS [4] (modelo MOS de nível 2 - casos típicos), para a obtenção de resultados mais realistas, e modelos de nível 1 extraídos a partir dos modelos fornecidos, para a verificação do equacionamento realizado. O apêndice A apresenta a descrição dos dois modelos utilizados.

As diferenças observadas entre o caso “ideal” (nível 1) e o caso “real” (nível 2) se deve, principalmente, pelo fato de o nível 1 de simulação não contemplar a variação da mobilidade com o campo elétrico gerado pela tensão porta-fonte do transistor, e efeitos de modulação de canal.

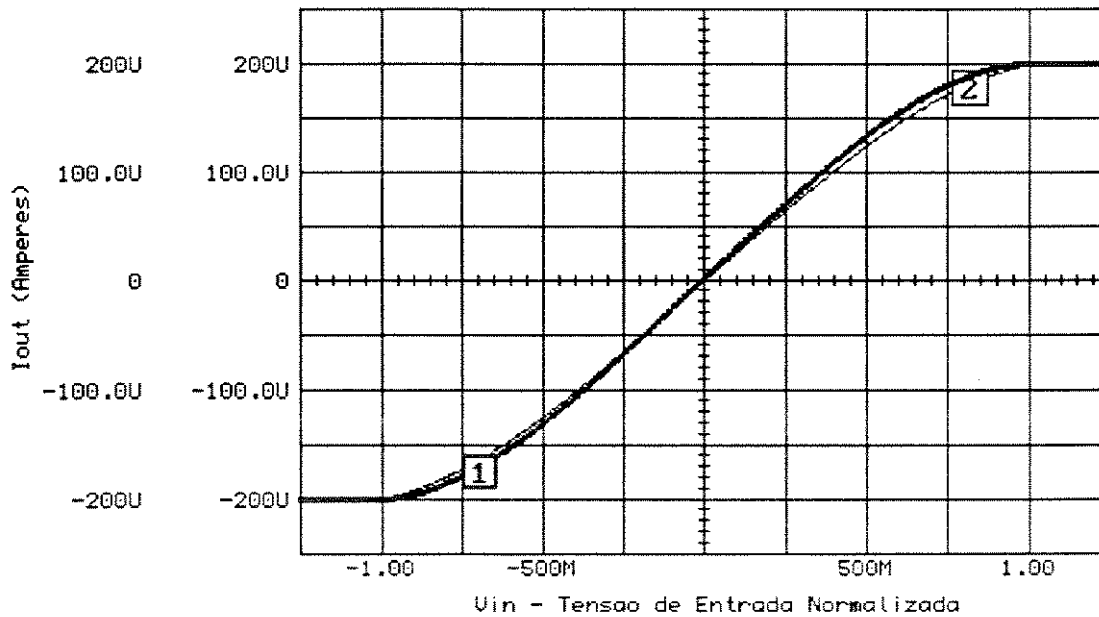


Figura 1.4 - Curva de Transferência do Par Diferencial Simples

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

O eixo “x” da figura acima corresponde a uma tensão de entrada normalizada, dada por:

$$V_{in} = \frac{V_{id}}{\sqrt{\frac{I_{ss}}{K}}} \quad (1.2)$$

No gráfico, I_{out} corresponde à diferença entre as correntes I_{d1} e I_{d2} da figura 1.1. A variação percentual entre a corrente I_{out2} da figura 1.3 e a corrente de saída mostrada na figura 1.4 foi de, no máximo, 3.18%, no ponto de tensão normalizada igual a 1. Isto se deve ao aumento nas correntes dos espelhos em relação às correntes de entrada, devido a efeitos de modulação de canal. Esta diferença pode ser minimizada aumentando-se o L dos transistores do espelho.

Pela análise da equação 1.1 e da figura 1.4, a corrente de saída é linear apenas numa pequena faixa de excursão da tensão de entrada. Esta não-linearidade causa distorção harmônica em sinais de grande amplitude. Além disso, a transcondutância g_m do circuito diminui com o aumento da tensão de entrada, fazendo com que a mesma possua a indesejável característica de ser função da mesma.

A expressão da transcondutância do circuito pode ser obtida derivando-se a equação 1.1-a com respeito a V_{id} , para sinais de entrada menores que $\sqrt{I_{ss}/K}$. Após este valor, a corrente de saída assume valor constante de módulo igual a I_{ss} . Deste modo, a transcondutância do circuito cai a zero.

$$g_m = \frac{\sqrt{2 I_{ss} K} \left(1 - \frac{K V_{id}^2}{I_{ss}} \right)}{\sqrt{1 - \frac{K V_{id}^2}{2 I_{ss}}}} \quad (1.3)$$

De modo geral, pode-se definir a corrente ideal de um transcondutor como o produto da tensão de entrada pela transcondutância, sendo esta última calculada no ponto em que V_{id} é igual a zero. Neste caso, sendo a transcondutância dada pela equação 1.3, tem-se:

$$I_{linear} = \sqrt{2 I_{ss} K} V_{id} \quad (1.4)$$

O método aqui utilizado para reportar a não-linearidade é a variação percentual da corrente de saída em relação à corrente linear, dada por:

$$Var(\%) = \frac{I_{out} - I_{linear}}{I_{linear}} \cdot 100 \quad (1.5)$$

Utilizando 1.1-a e 1.4, tem-se que:

$$Var(\%) = \left(\sqrt{1 - \frac{K}{2 I_{ss}} V_{id}^2} - 1 \right) \cdot 100 \quad (1.6)$$

Para que a variação desejada fique abaixo de 1%, utilizando 1.6, a faixa de variação da tensão de entrada, nos casos de tensão diferencial absoluta e tensão normalizada, segundo a equação 1.2, é restrita a:

$$\begin{aligned} -0.20 \sqrt{\frac{I_{ss}}{K}} &\leq V_{id} \leq 0.20 \sqrt{\frac{I_{ss}}{K}} & (a) \\ -0.20 &\leq V_{in} \leq 0.20 & (b) \end{aligned} \quad (1.7)$$

De acordo com as relações geométricas e modelos de simulação utilizados, a transcondutância máxima teórica ($\sqrt{2I_{ss}K}$) é igual a 237.2 $\mu\text{A/V}$. Este foi o valor utilizado na equação 1.4 para a obtenção da curva 1 da figura 1.5. Devido principalmente ao efeito de redução da mobilidade pelo campo elétrico gerado pela tensão porta-fonte, a transcondutância do circuito simulado, utilizando-se o modelo MOS nível 2 fornecido pela "foundry", foi de 219.8 $\mu\text{A/V}$. Este foi o valor utilizado na equação 1.4 para a obtenção da curva 2 na mesma figura. É esta a razão pela qual a não-linearidade é menor que o caso teórico para maiores tensões, uma vez que as curvas de transferência de ambas as simulações (figura 1.4) se encontram em V_{in} igual a 1.

A figura abaixo representa a variação percentual da corrente de saída ($I_{d1} - I_{d2}$) em relação à corrente linear observada, segundo a equação 1.5.

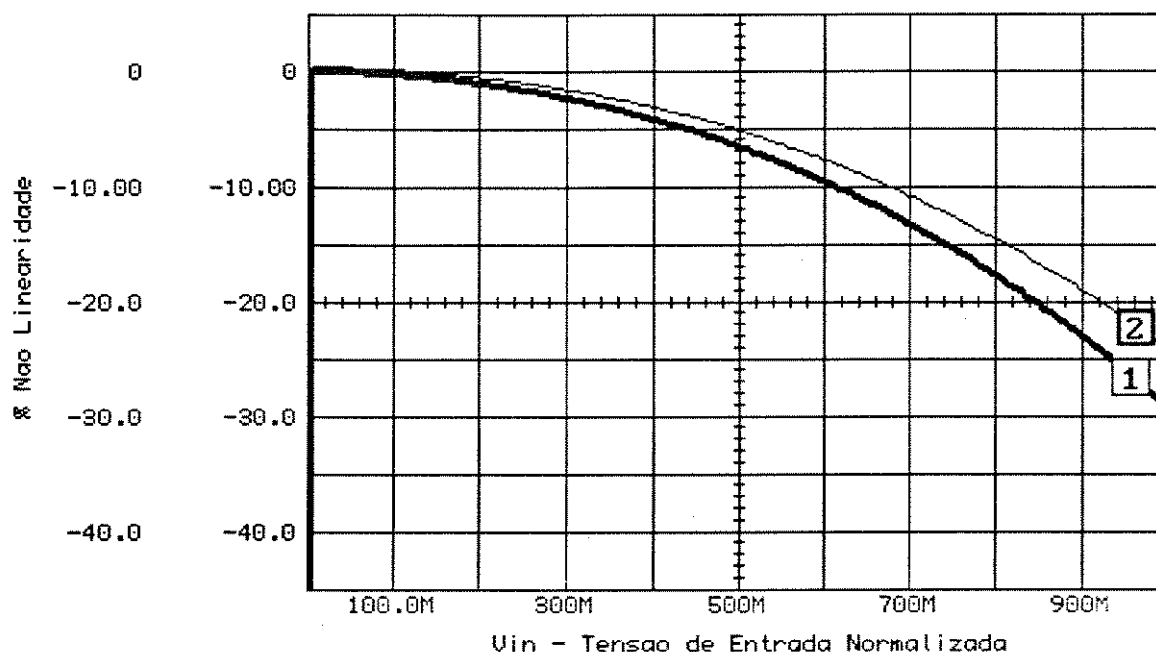


Figura 1.5 - Não-Linearidade do Par Diferencial

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

Pela análise da figura 1.5 também se pode comprovar a equação 1.7, sendo a faixa de excursão linear do circuito apenas 20% da faixa de excursão total, resultando em baixa eficiência (máxima corrente linear / corrente total). No circuito simulado, a faixa linear se restringe a $|V_{id}| < 238$ mV. Pode-se melhorar a faixa dinâmica utilizável aumentando-se a corrente de polarização, o que aumenta a potência consumida, ou reduzindo-se a relação W/L , o que implica um aumento de V_{gs} , acarretando deterioração na mobilidade. Estes fatores limitam a faixa de melhora possível do circuito.

Este circuito foi simulado para duas situações de tensões de entrada, uma em que a mesma é balanceada, e outra em relação ao terra, aplicada em apenas um dos transistores. Em ambos os casos pode ser mostrado que a tensão V_{gs} dos transistores é a mesma, o que leva a resposta a grandes sinais ser idêntica, ou seja, as equações aqui deduzidas e a figura 1.2 retratam a resposta do circuito para ambos os casos. Porém, esta situação acarreta uma variação maior na tensão V_{ds} do transistor M3 (fonte de corrente), o que leva a uma maior variação na corrente I_{ss} em função de efeitos de modulação de canal.

1.2.2 Distorção Harmônica

Distorção Harmônica de ordem n (DH_n) é a relação entre a amplitude da n -ésima harmônica e a amplitude da harmônica fundamental. É um importante parâmetro de análise de um circuito. Embora a linearidade seja freqüentemente utilizada como forma de se avaliar o comportamento de um circuito, esta não fornece nenhuma informação com respeito à intermodulação de sinal existente.

Para se avaliar a Distorção Harmônica, expande-se a função de transferência de grandes sinais em torno do ponto de operação (série de Taylor). Como no caso o ponto de operação central é igual a zero, uma vez que a tensão de entrada é diferencial, a série obtida é também chamada série de Maclaurin. Portanto, expandindo 1.1-a, tem-se:

$$I_{out} = \sqrt{2 I_{ss} K} Vid - \frac{1}{2\sqrt{2}} \frac{K^{3/2}}{\sqrt{I_{ss}}} Vid^3 - \frac{1}{16\sqrt{2}} \frac{K^{5/2}}{I_{ss}\sqrt{I_{ss}}} Vid^5 - \dots \quad (1.8)$$

Nota-se que, devido à topologia diferencial do circuito, os termos de ordem par são eliminados, reduzindo-se a distorção harmônica. De uma maneira geral, a equação 1.8 pode ser expressa da seguinte forma:

$$I_{out} = a_1 Vid + a_3 Vid^3 + a_5 Vid^5 + \dots = \sum_{n=0}^{\infty} a_{2n+1} Vid^{2n+1} \quad (1.9)$$

Para se determinar a porcentagem de distorção harmônica, seja Vid um sinal cossenoidal da seguinte forma:

$$Vid = V_p \cos(\omega t) \quad (1.10)$$

Substituindo (1.10) em (1.9) resulta em:

$$I_{out} = a_1 V_p \cos(\omega t) + \frac{a_3}{4} V_p^3 [3 \cos(\omega t) + \cos(3\omega t)] + \dots \quad (1.11)$$

Para pequenas distorções, os termos de ordem superior a 3 podem ser desprezados, sem grandes perdas. Desta maneira a distorção harmônica total (DHT) pode ser aproximada pela distorção harmônica de ordem 3, ou seja:

$$DHT \approx DH_3 \approx \left(\frac{a_3}{4 a_1 + 3 a_3 V_p^2} \right) V_p^2 \quad (1.12)$$

Substituindo os termos de (1.8) em (1.12) resulta:

$$DHT \approx DH_3 \approx \left(\frac{K}{16 I_{ss} - 3 K Vid^2} \right) Vid^2 \quad (1.13)$$

Utilizando o resultado acima e substituindo a tensão Vid pela tensão normalizada V_{in} (equação 1.2), para se ter uma DHT menor que 1%, tem-se:

$$-0.3941 \leq V_{in} \leq 0.3941 \quad (1.14)$$

A faixa de excursão do sinal de entrada praticamente dobrou em relação ao critério da não-linearidade. Embora menos utilizado que o anterior, este critério fornece informações mais relevantes do que o primeiro, sendo suficiente para uma descrição completa do comportamento de grandes sinais de um circuito.

Para verificar este critério, realizaram-se simulações SPICE, com uma análise de Fourier da corrente de saída ($I_{d1} - I_{d2}$). Para isso, fez-se um sinal de entrada, normalizado, da forma da equação 1.10, com V_p variando de 0 a 1.0 V, em intervalos de 0.1 V. O resultado obtido é mostrado na figura 1.6.

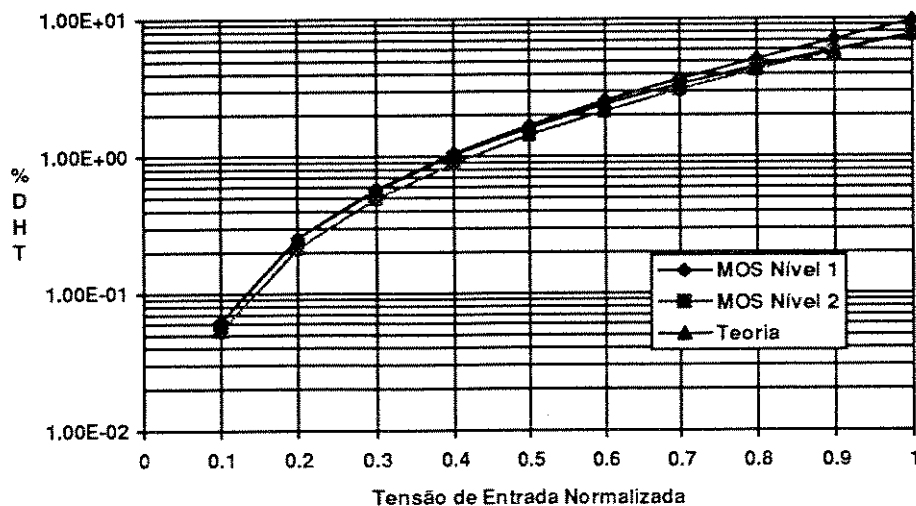


Figura 1.6 - Distorção Harmônica do Par Diferencial Simples

Pela análise da figura acima vê-se que, para uma DHT menor que 1%, a tensão de entrada normalizada deve situar-se abaixo de 0.4, de acordo com a expressão 1.14. A distorção harmônica total verificada utilizando-se o modelo MOS nível 1 foi maior que o modelo nível 2 pelo mesmo motivo apresentado na análise de não-linearidade. As diferenças observadas entre a curva teórica e a curva obtida utilizando-se o modelo de nível 1 do transistor MOS são devidas ao fato de se ter aproximado a Distorção Harmônica Total pela Distorção Harmônica de 3ª ordem. Esta aproximação é válida para sinais de baixa amplitude. A partir de um certo ponto, as contribuições dos termos de ordem superior a 3 passam a ser significativas.

Os resultados relativos à corrente de saída I_{out2} da figura 1.3 e à corrente $I_{out} (I_{d1} - I_{d2})$ para casos em que a entrada é não balanceada pouco diferiram dos resultados apresentados na figura 1.6. As diferenças foram de, no máximo, 0.1%.

Embora os resultados de simulação e teoria predigam baixos níveis de distorção para tensões de entrada de pequena amplitude, deve-se dizer que, na prática, estes níveis são dominados pelo descasamento entre os dispositivos e pelas características intrínsecas dos mesmos [1]. Além da adoção de técnicas de leiaute para minimização do descasamento entre os transistores, o projetista pouco pode interferir neste tipo de problema.

1.2.3 Resposta em Frequência

O par diferencial pode ser simplificado para uma análise de pequenos sinais no caso em que o sinal de entrada é balanceado e diferencial. A tensão na fonte dos transistores da figura 1.1 prati-

camente não varia para sinais de entrada de pequena amplitude, podendo ser considerado um terra AC. Deste modo, tanto no caso de o transistor ter o substrato ligado à fonte ou ao ponto mais negativo do circuito (V_{ss}), a análise é a mesma, não existindo efeito de corpo na condição AC. Considerando que a impedância vista pelos drenos dos transistores M1 e M2 seja idealmente zero, também estes são considerados terras AC. Deste modo, a figura 1.7 representa o circuito equivalente AC do par diferencial e o modelo de pequenos sinais correspondente.

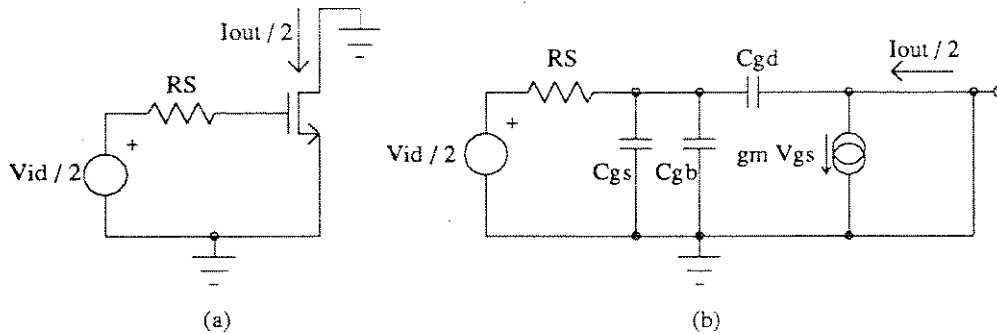


Figura 1.7 (a) - Circuito equivalente AC
(b) - Modelo de Pequenos Sinais

Através da análise da figura 1.7-b, é possível demonstrar que a relação I_{out}/V_{id} é dada por:

$$\frac{I_{out}}{V_{id}}(s) = \frac{gm \left(1 - s \frac{C_{gd}}{gm} \right)}{s RS (C_{gs} + C_{gd} + C_{gb}) + 1} \quad (1.15)$$

Nesta equação, RS é a impedância de saída da fonte de sinal V_{id} . Note que, sendo a soma das capacitâncias da ordem de picofarads a fentofarads, e RS da ordem de dezenas de ohms, o pólo predito por 1.15 é da ordem de dezenas de gigahertz a dezenas de terahertz, existindo, portanto, uma extensa faixa de frequências em que o circuito pode ser utilizado sem perdas na transcondutância. Além disso, existe um zero no semiplano direito, formado pelo caminho direto entre a entrada e a saída através de C_{gd} , correspondente à frequência na qual a corrente que flui através de C_{gd} anula exatamente a corrente do gerador $gm V_{gs}$ no nó de saída [5]. Este zero causa um efeito na fase do mesmo modo que um pólo no semiplano esquerdo, existindo uma degradação na mesma.

Em aplicações práticas, porém, a impedância nos drenos dos transistores M1 e M2 é finita e são necessários espelhos de corrente para transportar a corrente de saída diferencial para um ponto de tensão nula e saída simples.

A figura 1.8 ilustra a transcondutância AC do circuito da figura 1.3, com sinais de entrada balanceados e não balanceados. Nas curvas 2 e 4 da figura 1.8 vê-se claramente o efeito dos espelhos de corrente na resposta em frequência do Par Diferencial Simples. O pólo introduzido é da ordem de 8 MHz, bem inferior à frequência do zero da saída ideal (curvas 1 e 3), em 6.9 GHz. Deste modo, para que se obtenha uma corrente de saída com bom desempenho em frequência, devem-se estudar as configurações de espelhos de corrente adequadas para tal, já que é este o fator limitante para este tipo de circuito.

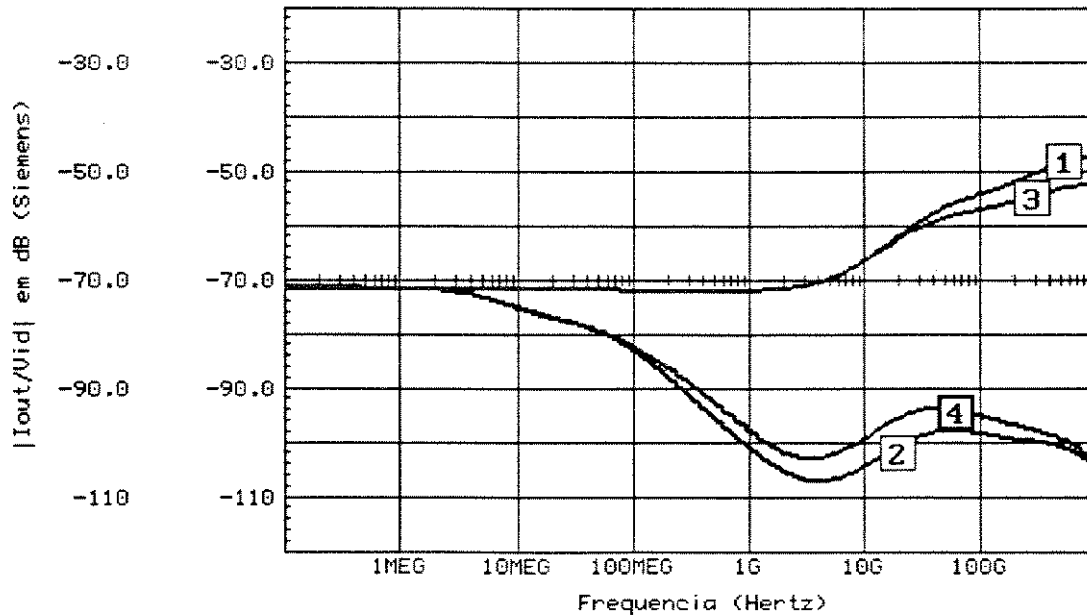


Figura 1.8 - Resposta em Frequência do Par Diferencial Simples
 (1) - Transcondutância na saída do Par Diferencial Simples - Entrada Balanceada
 (2) - Transcondutância na saída dos espelhos de corrente - Entrada Balanceada
 (3) - Transcondutância na saída do Par Diferencial Simples - Entrada Simples
 (4) - Transcondutância na saída dos espelhos de corrente - Entrada Simples

Se R_S for igual a zero, a equação 1.13 prediz que o pólo é efetivamente eliminado. Porém, para valores de R_S comparáveis à resistência de canal, o modelo de pequenos sinais não é mais válido. Neste caso, uma análise das resistências de canal e capacitâncias de porta mostra que existe um infinito número de pólos [6], com um pólo não dominante efetivo dado pela equação 1.16.

$$p_{eff} \approx \left[\sum_{i=2}^{\infty} \frac{1}{p_i} \right]^{-1} = 2.5\omega_T \quad (1.16)$$

onde $\omega_T = g_m/C_{gs}$. Em processos de fabricação normais nos dias atuais, ω_T pode variar de centenas de megahertz a gigahertz. Este desempenho nunca é alcançado na prática, devido à resistência associada à porta do transistor. No entanto, um alto desempenho em frequência é obtido pelo fato de não existir nenhum nó interno que possa gerar pólos parasitas [1] (figura 1.7-a).

No caso em que a tensão de entrada é aplicada em apenas um dos transistores, estando o outro com a porta ligada ao terra, a análise de pequenos sinais é muito mais complexa, uma vez que, neste caso, a fonte dos transistores não mais pode ser considerada um terra virtual. Isto implica que o circuito é não simétrico, não podendo ser aplicado o teorema da bissecção. Qualitativamente, como existe uma variação de tensão maior na fonte dos transistores do Par Diferencial, ocorrerão efeitos de modulação de canal nos transistores que compuserem a fonte de corrente. Isto ocasionará cargas e descargas de capacitâncias associadas a estes transistores, gerando novos pólos e zeros e, por conseguinte, alterando a resposta em frequência. No entanto, estes pólos se situam em frequências muito superiores aos pólos gerados pelos espelhos de corrente (acima de 100 megahertz, segundo as curvas 3 e 4 da figura 1.8), fator limitante da resposta em frequência. Novamente se vê que, **para uma melhor resposta em frequência, deve-se melhorar o desempenho dos espelhos.**

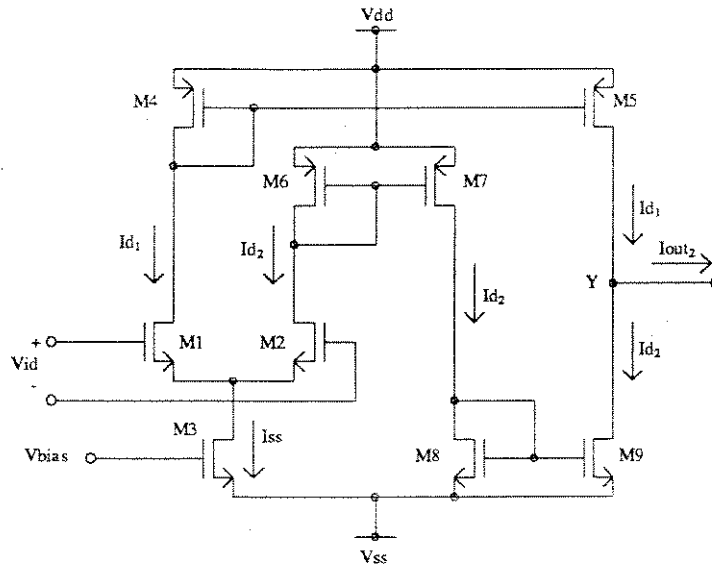
1.2.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação

Outro importante parâmetro de análise de desempenho de transcondutores é a máxima variação de amplitude do sinal de entrada em relação às fontes de alimentação do circuito. Esta pode ser definida pela equação 1.17

$$Excursão_{V_{in}}(\%) = \left(\frac{|V_{id_{max}} - V_{id_{min}}|}{|V_{dd} - V_{ss}|} \right) \cdot 100 \quad (1.17)$$

É importante salientar que $V_{in_{max}}$ é a tensão a partir da qual um dos transistores do Par Diferencial Simples (M1) conduz toda a corrente I_{ss} , e $V_{in_{min}}$ é a correspondente tensão a partir da qual M2 conduz toda a corrente. Portanto, estas **não são as tensões máximas e mínimas necessárias para que os transistores operem na região de saturação**.

O circuito da figura 1.3 ilustra uma situação prática em que está inserido um Par Diferencial Simples. Esta figura é repetida abaixo para facilitar o desenvolvimento deste item.



Supondo que a porta do transistor M2 esteja aterrada, que todo o sinal (V_{id}) seja aplicado apenas na porta do transistor M1 (entrada simples), e que toda a corrente gerada pelo transistor M3 esteja fluindo através de M1 e M4, a corrente através de M2 é zero, fazendo com que V_{gs2} seja igual a V_{T2} . Como a tensão na porta do transistor M2 é zero, a tensão em sua fonte é igual a $(-V_{T2})$. Sendo assim, a tensão máxima de entrada é dada por:

$$V_{id_{max}} = V_{T1} - V_{T2} + \sqrt{\frac{I_{ss}}{K_1}} \quad (1.18)$$

Como I_{ss} é a corrente gerada pelo transistor M3, tem-se que:

$$I_{ss} = K_3 (V_{bias} - V_{ss} - V_{T3})^2 \quad (1.19)$$

Substituindo 1.19 em 1.18, a expressão resultante da tensão máxima de entrada é dada pela equação 1.20.

$$V_{id_{max}} = (V_{bias} - V_{SS} - V_{T3}) \sqrt{\frac{K_3}{K_1}} + V_{T1} - V_{T2} \quad (1.20)$$

Para se achar a tensão mínima de entrada, assume-se que toda a corrente flui através de M2 e M5. Neste caso, a corrente através de M1 é zero, de modo que $V_{gs1} = V_{T1}$. Pode-se, então, mostrar que:

$$V_{id_{min}} = -(V_{bias} - V_{SS} - V_{T3}) \sqrt{\frac{K_3}{K_2}} + V_{T1} - V_{T2} \quad (1.21)$$

Substituindo 1.21 e 1.20 em 1.17, e assumindo que $K_1 = K_2 = K_{1,2}$, resulta a excursão máxima de entrada em relação à fonte, dada pela equação 1.22

$$Excurs\tilde{a}o_{vin}(\%) = \left[\frac{2(V_{bias} - V_{SS} - V_{T3}) \sqrt{K_3/K_{1,2}}}{|V_{DD} - V_{SS}|} \right] \cdot 100 \quad (1.22)$$

Deste modo, para um aumento da excursão do sinal de entrada, deve-se fazer a relação W/L do transistor M3 muito maior que a relação W/L dos transistores M1 e M2. No entanto, alguns problemas devem ser observados. Mantendo-se a tensão V_{bias} constante, o aumento da relação W/L do transistor M3 (o que implica um aumento da corrente I_{ss}) e/ou a redução da relação W/L dos transistores M1 e M2 só podem ser realizados até o ponto em que a tensão em suas fontes (dreno da fonte de corrente - transistor M3) seja suficiente para manter M3 saturado.

Para se ter uma idéia quantitativa, com os valores utilizados para a simulação do circuito da figura 1.3, tem-se uma excursão da entrada em relação às fontes de alimentação de 23.85%. Note que esta é a excursão máxima, sem levar em conta as não-linearidades presentes. Como já visto, para não-linearidades inferiores a 1%, a tensão de entrada deve situar-se abaixo de 20% da tensão diferencial máxima, segundo a equação 1.7. Deste modo, a excursão máxima cai para 4.77% das fontes de alimentação. De acordo com as dimensões utilizadas, fazendo com que as fontes possuam valores mínimos para que os transistores ainda operem em saturação para toda a faixa de excursão de entrada ($V_{DD} = 2.3V$, $V_{SS} = -2.8V$), a excursão de entrada em relação às fontes de alimentação aumenta para 46.76%, aumentando a faixa linear para 9.35%.

1.3 Par Diferencial Cruzado com Fontes de Corrente Independentes

Uma grande melhora na linearidade pode ser obtida cruzando-se as saídas de dois pares diferenciais, obtendo-se na saída a diferença das correntes de cada um deles. Neste caso, utiliza-se uma fonte de corrente independente para cada par diferencial. É mostrado que, através de um escalonamento apropriado das fontes de corrente I_{ss1} e I_{ss2} e das relações W/L dos transistores, pode-se conseguir um cancelamento do termo de terceira ordem da expansão de Maclaurin (equação 1.8). Como este é o termo de maior contribuição para a não-linearidade de circuitos que utilizam pares diferenciais como elementos transcondutores, há uma sensível melhora na linearidade do circuito. A figura 1.9 ilustra o circuito em questão.

Novamente, este circuito apresenta as mesmas limitações em relação à saída, ou seja, a mesma é diferencial e apresenta um alto "offset" de tensão. O esquema da figura 1.2 é apropriado para levar o sinal de saída a um ponto de tomada simples e com baixo "offset".

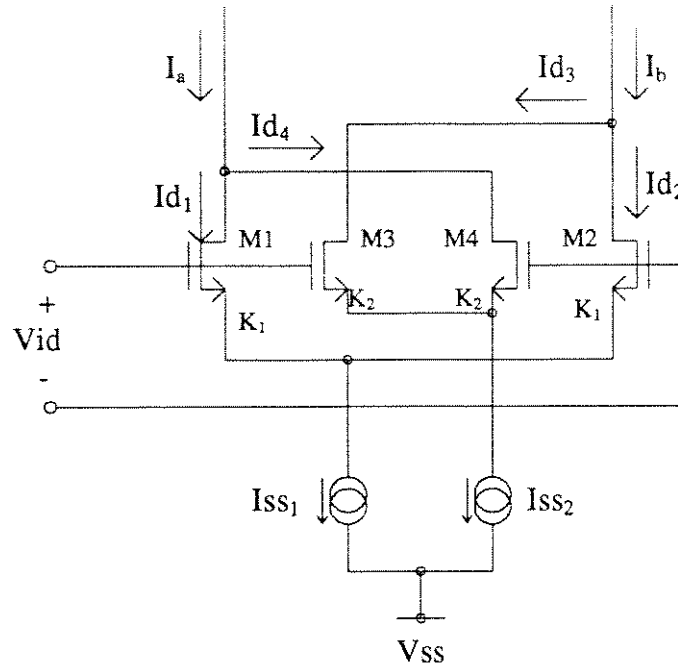


Figura 1.9 - Pares Diferenciais Cruzados com Fontes de Corrente Independentes

1.3.1 Aumento da Linearidade através de Diferença de Correntes

Utilizando a lei das correntes de Kirchhoff, e fazendo $I_{out1} = I_{d1} - I_{d2}$, $I_{out2} = I_{d3} - I_{d4}$, da figura 1.9 pode-se facilmente deduzir que:

$$I_{out} = I_{out1} - I_{out2} \quad (1.23)$$

Deste modo, o circuito da figura 1.9 emprega diferença de correntes para conseguir um aumento na linearidade. De acordo com a equação 1.8, se os coeficientes dos termos de terceira ordem de ambos os pares diferenciais forem idênticos, e se as correntes I_{ss1} e I_{ss2} forem distintas, assim como as relações W/L de ambos os pares diferenciais, existirá um cancelamento do termo não linear de terceira ordem, sem haver o mesmo com o termo linear. Impondo estas condições, a seguinte relação deve ser satisfeita:

$$\left[\frac{(W/L)_1}{(W/L)_2} \right]^{3/2} = \left[\frac{I_{ss1}}{I_{ss2}} \right]^{1/2} \quad (1.24)$$

É importante ressaltar que ambas as correntes e relações de geometria dos transistores devem ser diferentes. Caso contrário, haveria também um cancelamento do termo linear. Obedecidas as condições aqui descritas, a transcondutância é agora dada por:

$$g_m = \sqrt{2I_{ss1}K_1} - \sqrt{2I_{ss2}K_2} \quad (1.25)$$

Utilizando-se o esquema da figura 1.2, o circuito em questão foi simulado para dois níveis de modelamento dos transistores, descritos no apêndice A. Segundo os níveis de corrente I_{ss1} e I_{ss2} adotados (200 μA e 100 μA), segundo a equação 1.24, tem-se que a relação W/L dos transistores M1 e M2 deve ser 26% maior que a relação W/L dos transistores M3 e M4 da figura 1.9. Desta

maneira, foram adotados os seguintes parâmetros para a simulação do circuito utilizando o Par Diferencial Cruzado e espelhos de corrente:

- ☞ $V_{dd} = -V_{ss} = 5\text{ V}$
- ☞ $I_{ss1} = 200\text{ }\mu\text{A}$
- ☞ $I_{ss2} = 100\text{ }\mu\text{A}$
- ☞ $(W/L)_{M1,M2} = 20\mu/5\mu$
- ☞ $(W/L)_{M3,M4} = 20\mu/6.4\mu$
- ☞ $(W/L)_{\text{espelho1, espelho 2}} = 40\mu/5\mu$
- ☞ $(W/L)_{\text{espelho 3}} = 18.4\mu/50\mu$
- ☞ $R_{out} = 50\Omega$, $R_s = 50\Omega$

Novamente, valores não inteiros de dimensões dos transistores dos espelhos de corrente foram necessários para se minimizar o "offset" de tensão na saída. A figura 1.10 apresenta a curva de transferência do Par Diferencial Cruzado com Fontes de Corrente Independentes, na qual a tensão de entrada é normalizada por $\sqrt{I_{ss2}/K_2}$.

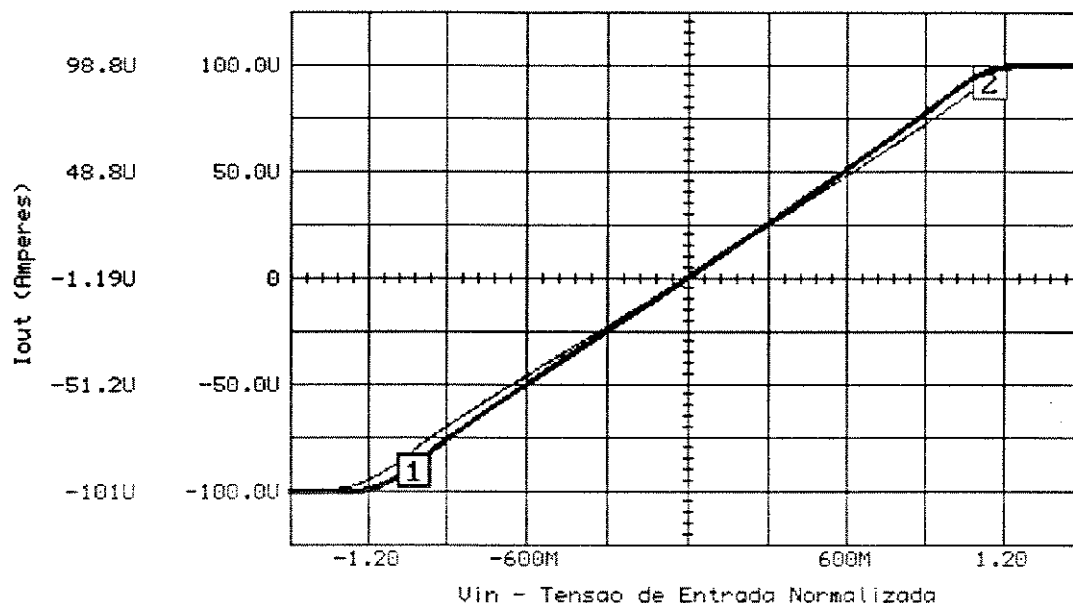


Figura 1.10 - Curva de Transferência do Par Diferencial Cruzado com Fontes de Corrente Independentes

- (1) - Simulação com modelo MOS nível 1
- (2) - Simulação com modelo MOS nível 2

É possível notar que a transcondutância da curva 2 da figura 1.10 (traço fino) é menor que a transcondutância da curva 1 (traço grosso). Isto se deve ao fato de o modelo nível 1 utilizado não contemplar a redução da mobilidade com o campo elétrico, gerado pela tensão porta-fonte dos transistores, como o faz o modelo nível 2.

Uma comparação da curva de transferência deste circuito com a curva de transferência do Par Diferencial Simples (figura 1.4) mostra claramente o aumento na linearidade obtido com a supressão do termo não linear de terceira ordem, subtraindo-se as correntes.

Sendo a transcondutância do circuito dada pela equação 1.25, tem-se a corrente de saída ideal, dada pela equação 1.26.

$$I_{linear} = \left(\sqrt{2I_{ss_1} K_1} - \sqrt{2I_{ss_2} K_2} \right) V_{id} \quad (1.26)$$

Para uma análise mais precisa, a figura 1.11 mostra a variação percentual da corrente de saída obtida em relação a um transcondutor ideal, de acordo com a equação 1.5, onde I_{linear} é dada pela equação 1.26.

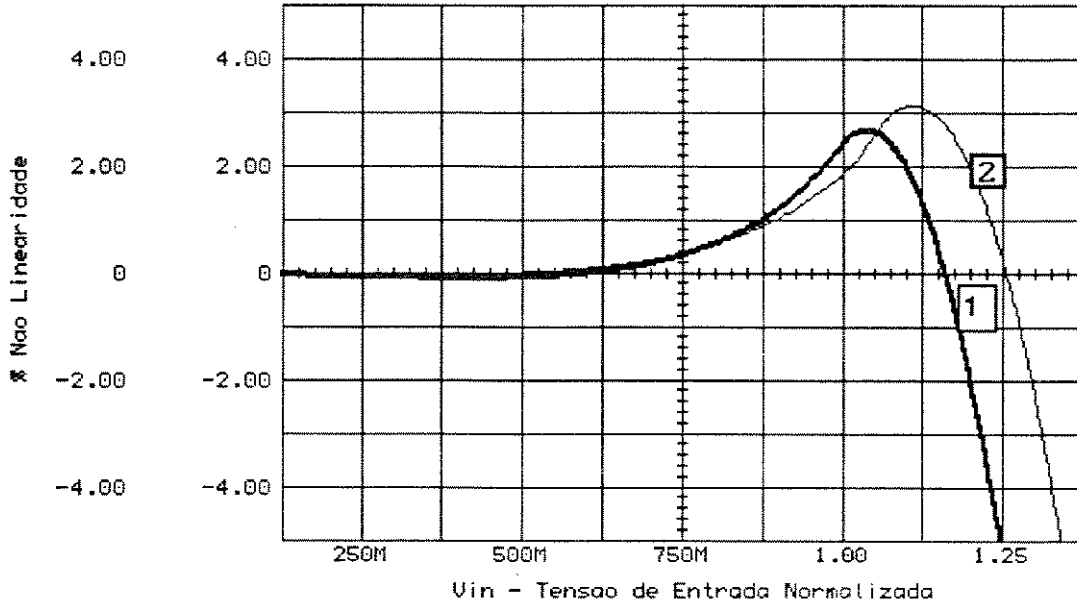


Figura 1.11 - Não-Linearidade do Par Diferencial Cruzado

- (1) - Simulação com modelo MOS nível 1
(2) - Simulação com modelo MOS nível 2

As curvas mostram a variação percentual da corrente de saída em relação a uma corrente linear dada pela equação 1.26. Segundo o modelo adotado e os parâmetros utilizados para simulação, a transcondutância calculada foi de $88.64 \mu A/V$. Foi este o valor utilizado em 1.26 para a obtenção da curva 1, onde adotou-se o modelo nível 1 do transistor MOS. A transcondutância medida na figura 1.10, curva 2, foi de $82.32 \mu A/V$, sendo este o valor utilizado para a obtenção da curva 2.

Nota-se uma significativa melhora de linearidade em relação ao Par Diferencial Simples. De uma variação máxima de 30% em relação a uma situação ideal (figura 1.5), o Par Diferencial Cruzado com Fontes de Corrente Independentes apresenta um desvio máximo em torno de 3%. Pela análise da figura 1.11 nota-se que, para um erro de linearidade menor que 1%, a tensão de entrada deve ser:

$$-0.88 \sqrt{\frac{I_{ss}}{K}} \leq V_{id} \leq 0.88 \sqrt{\frac{I_{ss}}{K}} \quad (a)$$

$$-0.88 \leq V_{in} \leq 0.88 \quad (b)$$

(1.27)

Comparando a expressão 1.27 com a expressão 1.7, vê-se que houve um aumento na faixa de excursão do sinal de entrada da ordem de 440%. A não-linearidade apresentada é devido ao fato de os termos de ordem superior a 3 terem sido desprezados na análise. É interessante notar, pela figura 1.11, que mesmo em tensões normalizadas maiores que 1 ($V_{id} \geq \sqrt{I_{ss_2}/K_2}$), a não-

linearidade ainda é baixa. Isto ocorre porque os transistores M1 e M2 ainda operam em sua região ativa.

Os resultados acima apresentados são praticamente idênticos aos obtidos para o caso de entrada simples (um dos terminais aterrados, com sinal de entrada pelo outro terminal), uma vez que a tensão V_{gs} dos transistores M1-M4, em ambos os casos, é a mesma. O problema maior é a variação da corrente de polarização I_{ss} , devido a efeitos de modulação de canal nos transistores que formam as fontes de corrente.

1.3.2 Distorção Harmônica

Segundo a equação 1.9, e lembrando que este circuito anula o termo de ordem 3, a expressão da corrente pode ser melhor aproximada por:

$$I_{out} = a_1 V_{id} + a_5 V_{id}^5 + \dots = a_1 V_{id} + \sum_{n=2}^{\infty} a_{2n+1} V_{id}^{2n+1} \quad (1.28)$$

Substituindo 1.10 em 1.28 e expandindo os termos de ordem superior, tem-se que:

$$I_{out} = a_1 V_p \cos(\omega t) + \frac{5a_5 V_p^5}{8} \left[\cos(\omega t) + \frac{1}{2} \cos(3\omega t) + \frac{1}{10} \cos(5\omega t) \right] + \dots \quad (1.29)$$

É importante lembrar que, embora haja um cancelamento do termo de ordem 3, isto não acontece com as harmônicas de terceira ordem, como mostra a equação acima. Para se verificar a distorção harmônica total obtida neste circuito, realizaram-se simulações SPICE, da mesma maneira que no item 1.2.2. A figura 1.12 reporta os resultados obtidos.

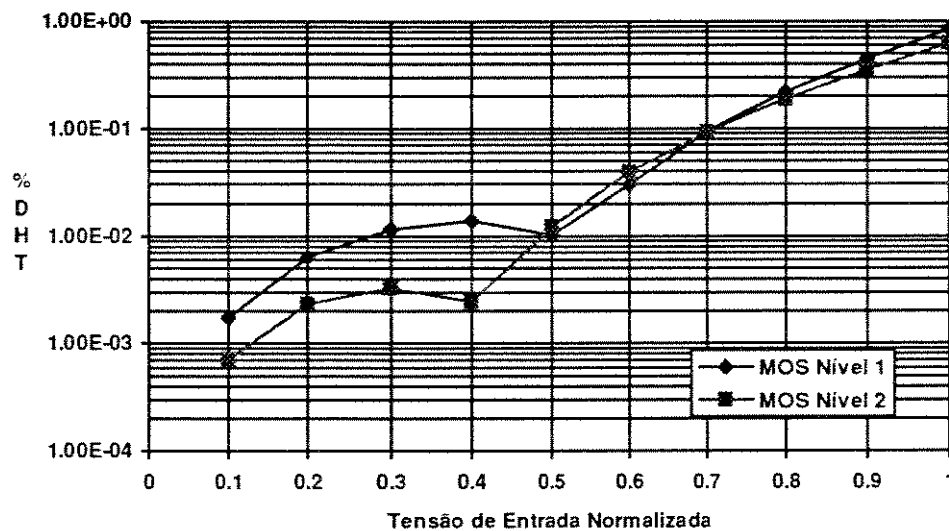


Figura 1.12 - Distorção Harmônica do Par Diferencial Cruzado com Fontes de Corrente Independentes

É possível notar que a distorção harmônica total se manteve abaixo de 1% para toda a faixa de tensão normalizada de entrada, na qual todos os transistores (M1-M4) operam em sua região ativa. Foi verificado também que componentes de terceira e quinta ordem se sobressaem, havendo um predomínio da distorção harmônica de terceira ordem na distorção harmônica total.

Novamente, deve-se lembrar que, embora as simulações predigam níveis de distorção muito baixos, em situações práticas estes níveis são dominados pelo descasamento entre os dispositivos e características intrínsecas dos mesmos, onde o projetista pouco pode influir.

1.3.3 Resposta em Frequência

Como o circuito em questão é formado essencialmente por dois Pares Diferenciais Simples, e assumindo que o sinal de entrada é diferencial e balanceado, e que a impedância nos drenos dos transistores é muito baixa, segundo a equação 1.15 é possível mostrar que a função de transferência é dada por:

$$\frac{I_{out}}{V_{id}}(s) = \frac{gm_1 \left(1 - s \frac{Cgd_1}{gm_1}\right)}{sRS_1(Cgs_1 + Cgd_1 + Cgb_1) + 1} - \frac{gm_2 \left(1 - s \frac{Cgd_2}{gm_2}\right)}{sRS_2(Cgs_2 + Cgd_2 + Cgb_2) + 1} \quad (1.30)$$

Assumindo que o produto $RS_1(Cgs_1 + Cgd_1 + Cgb_1)$ seja exatamente igual ao produto $RS_2(Cgs_2 + Cgd_2 + Cgb_2)$, e este seja igual a $RS C_T$, e seja $gm = gm_1 - gm_2$, tem-se que:

$$\frac{I_{out}}{V_{id}}(s) = \frac{gm \left(1 - s \frac{Cgd_1 - Cgd_2}{gm}\right)}{sRS C_T + 1} \quad (1.31)$$

Deste modo, o zero pode ser efetivamente eliminado se Cgd_1 for igual a Cgd_2 , ou seja, se o W dos transistores forem idênticos [9]. Qualitativamente, isto ocorre porque a corrente através de Cgd_1 é cancelada pela corrente através de Cgd_2 , de igual magnitude e fase contrária. A análise sobre o pólo e frequência de operação é idêntica ao caso do Par Diferencial Simples, não havendo necessidade de maiores comentários.

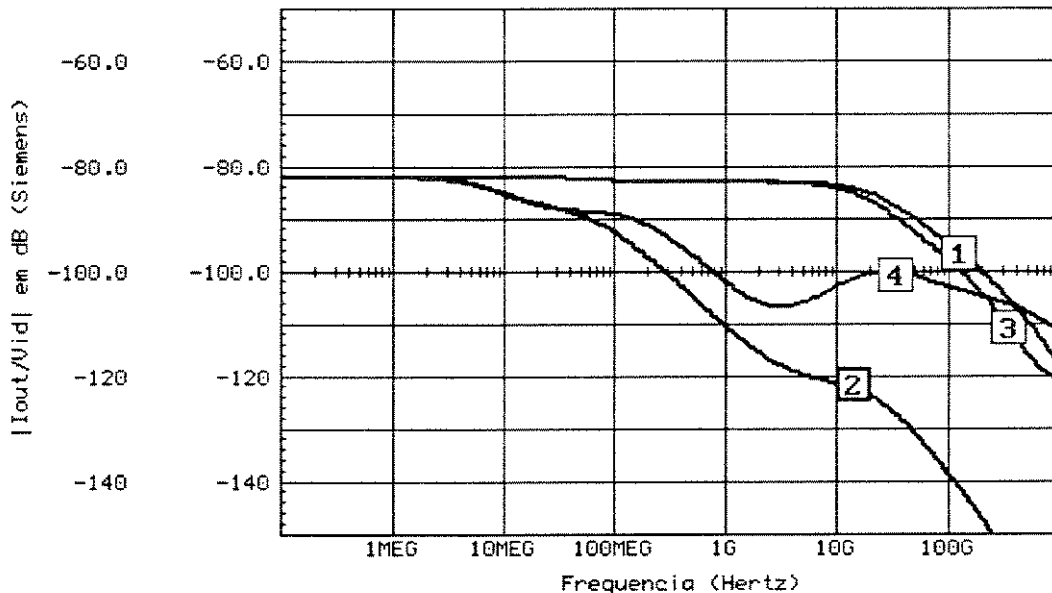


Figura 1.13 - Resposta em Frequência do Par Diferencial Cruzado com Fontes de Corrente Independentes

- (1) - Transcondutância na saída do Par Diferencial Cruzado - Entrada Balanceada
- (2) - Transcondutância na saída dos espelhos de corrente - Entrada Balanceada
- (3) - Transcondutância na saída do Par Diferencial Cruzado - Entrada Simples
- (4) - Transcondutância na saída dos espelhos de corrente - Entrada Simples

Foram realizadas simulações do circuito para casos em que ocorria uma manutenção de L , com W variável, e casos em que ocorria o contrário. No caso de W variável, notou-se a presença do zero. Quando se fixou o W dos transistores, o zero efetivamente desapareceu, comprovando o resultado predito pela equação 1.31, conforme as curvas 1 e 3 da figura 1.13. A influência de um sinal de entrada não balanceado também foi verificada, mostrando a existência de novos pólos e zeros em frequências superiores aos pólos e zeros já existentes.

As considerações já realizadas no item 1.2.3 a respeito da influência dos espelhos de corrente na resposta em frequência também podem ser aplicadas a este caso. Pela análise da figura 1.13, vê-se claramente que os espelhos de corrente são o fator limitante da resposta em frequência. Enquanto o primeiro pólo da curva 2 se situa em aproximadamente 18 GHz, o pólo da curva 1 estabelece-se em 8.5 MHz. Novamente, ***para um bom desempenho em frequência, deve-se melhorar a resposta dos espelhos.***

1.3.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação.

Uma vez que este circuito apresenta a mesma topologia básica do Par Diferencial Simples, toda a análise realizada no item 1.2.5 pode ser repetida neste caso, não havendo necessidade de maiores detalhes sobre o equacionamento e considerações já realizadas. Deste modo, a equação 1.22 é também válida nesta situação.

Como neste caso o elemento transcondutor é formado por dois pares diferenciais simples completos, dois cálculos de variação percentual do sinal de entrada em relação às fontes de alimentação são possíveis. Neste caso, deve-se tomar o menor valor. Para o circuito simulado, segundo os parâmetros já descritos, a excursão máxima foi de 23.85% para o par diferencial composto pelos transistores $M1$ e $M2$ e fonte de corrente I_{ss1} , e de 19.04% para o par $M3$ - $M4$ e fonte I_{ss2} . Sendo assim, a variação percentual máxima do sinal de entrada em relação às fontes de alimentação é de 19.04%. Lembrando-se que para uma não-linearidade abaixo de 1% a tensão de entrada deve situar-se dentro dos limites preditos pela relação 1.27, a excursão máxima cai para 16.75% das fontes de alimentação. Utilizando valores mínimos das fontes de alimentação, com V_{dd} igual a 2.3V e V_{ss} igual a -2.8V, a faixa máxima de excursão aumenta para 37.33% e a faixa linear para 32.85% das fontes de alimentação.

1.4 Par Diferencial Cruzado com Fonte de Corrente Comum

Este circuito visa mostrar uma situação em que apenas uma fonte de corrente é utilizada, como uma possível hipótese de simplificação adotada pelo projetista em relação ao Par Diferencial Cruzado com Fontes de Corrente Independentes. A figura 1.14 ilustra o circuito em questão.

É mostrado que, em comportamento de grandes sinais, este circuito se equivale a um Par Diferencial Simples, com baixa linearidade. No entanto, no que tange ao comportamento em frequência, há uma vantagem em relação ao Par Diferencial Simples, já que é possível o cancelamento do zero presente na equação 1.31, do mesmo modo que o explicado no item 1.3.3.

Novamente, pelo fato de a corrente de saída ser diferencial, o esquema da figura 1.2 é apropriado para se obter uma saída em corrente simples, com baixo "offset" de tensão.

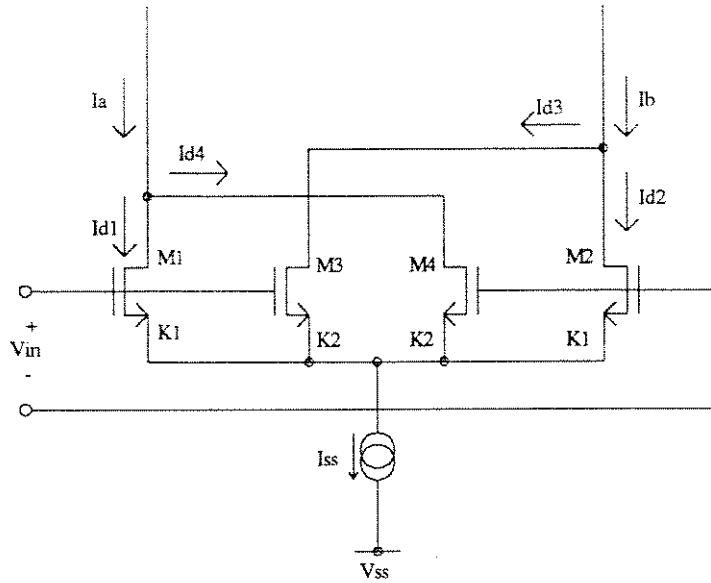


Figura 1.14 - Par Diferencial Cruzado com Fonte de Corrente Comum

1.4.1 Não-Linearidade

O circuito da figura acima é intrinsecamente não linear, como se mostra no equacionamento apresentado neste item. Uma parcela da fonte de corrente I_{ss} é utilizada pelos transistores M1 e M2, de modo que a soma de suas correntes seja constante. A outra parcela é utilizada pelo segundo par diferencial, definido pelos transistores M3 e M4. Deste modo, a fonte de corrente I_{ss} se comporta como a soma de duas fontes de corrente.

Sejam definidas as seguintes variáveis pela análise do circuito em questão:

$$\begin{aligned} I_{ss1} &= I_{d1} + I_{d2} \\ I_{ss2} &= I_{d3} + I_{d4} \\ I_{out1} &= I_{d1} - I_{d2} \\ I_{out2} &= I_{d3} - I_{d4} \end{aligned} \quad (1.32)$$

Pode-se mostrar facilmente que a corrente através dos transistores é proporcional à relação W/L dos mesmos. Deste modo, sendo K definido no apêndice A, tem-se:

$$\frac{K_1}{I_{ss1}} = \frac{K_2}{I_{ss2}} \quad (1.33)$$

Como a saída do circuito da figura 1.14 é equivalente à do circuito da figura 1.9, a equação 1.23 também é válida neste caso. Utilizando o conjunto de equações 1.32, e substituindo 1.1-a em 1.23, tem-se a equação que descreve o comportamento do circuito em questão:

$$I_{out} = \left(\sqrt{2 I_{ss1} K_1} \sqrt{1 - \frac{K_1}{2 I_{ss1}} V_{id}^2} - \sqrt{2 I_{ss2} K_2} \sqrt{1 - \frac{K_2}{2 I_{ss2}} V_{id}^2} \right) V_{id} \quad (1.34)$$

Substituindo 1.33 em 1.34, rearranjando-se os termos e estabelecendo-se os limites de validade, segundo 1.1, tem-se:

$$I_{out} = \begin{cases} (\sqrt{2I_{ss1}K_1} - \sqrt{2I_{ss2}K_2})V_{id} \sqrt{1 - \frac{K_1}{2I_{ss1}}V_{id}^2} \longrightarrow |V_{id}| \leq \sqrt{\frac{I_{ss1}}{K_1}}, \sqrt{\frac{I_{ss2}}{K_2}} & (a) \\ (I_{ss1} - I_{ss2}) \text{sgn}(V_{id}) \longrightarrow |V_{id}| \geq \sqrt{\frac{I_{ss1}}{K_1}}, \sqrt{\frac{I_{ss2}}{K_2}} & (b) \end{cases} \quad (1.35)$$

Desta maneira, comparando-se 1.35 com 1.1, tem-se basicamente a mesma equação de comportamento em grandes sinais, com uma redução da transcondutância. Desta forma, a curva de transferência do circuito em questão possui a mesma forma que a figura 1.4, conforme a figura 1.15. Foram utilizados os seguintes parâmetros para a simulação do circuito, utilizando-se de espelhos de correntes para levar a saída diferencial a um ponto de baixo "offset" e tomada única.

- ☞ $V_{dd} = -V_{ss} = 5 \text{ V}$
- ☞ $I_{ss} = 300 \mu\text{A}$
- ☞ $(W/L)_{M1,M2} = 20\mu/5\mu$
- ☞ $(W/L)_{M3,M4} = 20\mu/15\mu$
- ☞ $(W/L)_{\text{espelho1, espelho 2}} = 40\mu/5\mu$
- ☞ $(W/L)_{\text{espelho 3}} = 18.4\mu/50\mu$
- ☞ $R_{out} = 50\Omega, R_s = 50\Omega$

A corrente I_{out} representada no gráfico corresponde à diferença entre as correntes I_a e I_b da figura 1.14. V_{in} representa a tensão de entrada normalizada, segundo a equação 1.2. Nota-se também que a diferença entre as transcondutâncias observadas nos outros circuitos praticamente desapareceu. Isto se deve ao fato de haver uma certa compensação devido à diferença de correntes.

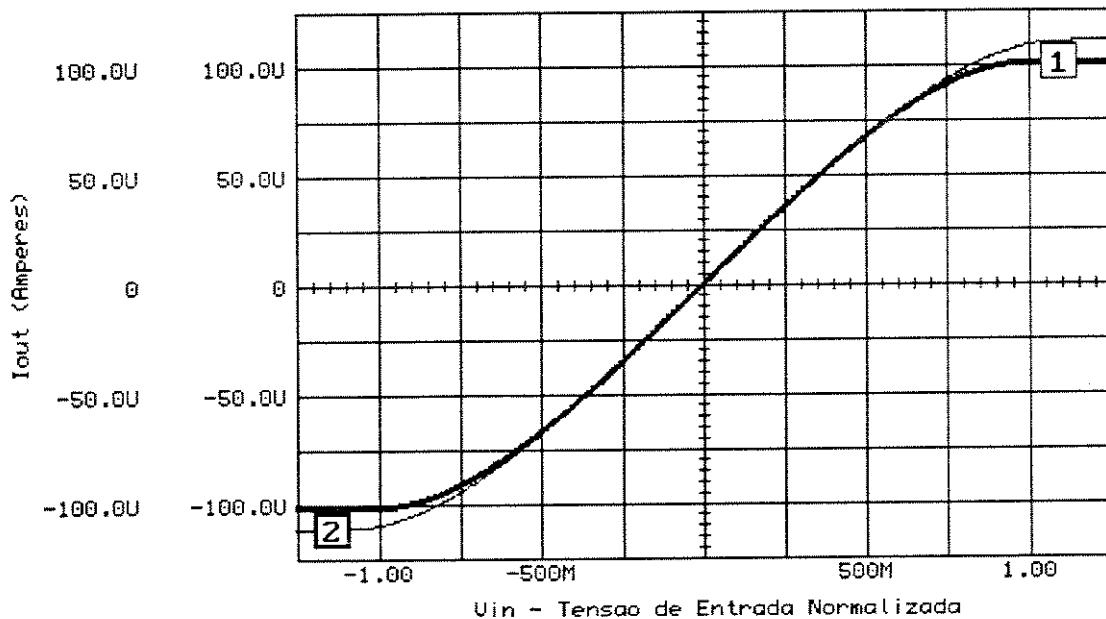


Figura 1.15 - Curva de Transferência do Par Diferencial Cruzado com Fonte de Corrente Comum

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

A variação percentual da corrente de saída em relação a uma corrente ideal é dada pela equação 1.5 onde, neste caso, a corrente ideal é dada por:

$$I_{linear} = (\sqrt{2 I_{ss1} K_1} - \sqrt{2 I_{ss2} K_2}) V_{id} \quad (1.36)$$

Substituindo 1.35-a e 1.36 em 1.5, a variação percentual resultante pode ser descrita por:

$$Var(\%) = \left(\sqrt{1 - \frac{K_n}{2 I_{ss_n}} V_{id}^2} - 1 \right) \cdot 100 \quad (1.37)$$

onde o índice "n" pode ser 1 ou 2, uma vez que, pela relação 1.33, a razão (K/I_{ss}) é a mesma. Deste modo, fazendo V_{id} assumir seu valor máximo descrito pelos limites da equação 1.35, a variação percentual, segundo 1.37, é -29.29%.

A equação acima é idêntica à variação percentual do Par Diferencial Simples, segundo a equação 1.6. Desta maneira, para que a variação percentual fique abaixo de 1%, a faixa de tensão de entrada deve situar-se dentro dos limites preditos por 1.7.

A figura 1.16 mostra a variação percentual da corrente de saída em relação a uma corrente ideal descrita pela equação 1.36. Segundo os valores utilizados em simulação, a transcondutância máxima teórica ($\sqrt{2 I_{ss1} K_1} - \sqrt{2 I_{ss2} K_2}$) é de 119.96 $\mu A/V$.

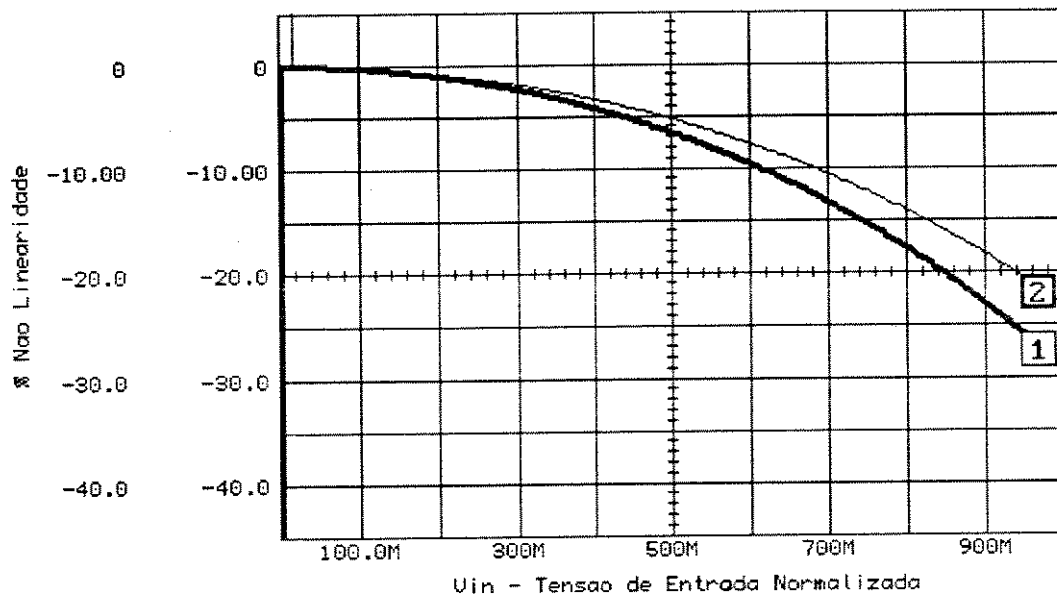


Figura 1.16 - Não-Linearidade do Par Diferencial Cruzado com Fonte de Corrente Comum

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

É possível verificar que a não-linearidade máxima da curva 1 é aproximadamente 30%, conforme o predito pela teoria. A curva 2 apresentou uma melhora na não-linearidade devido ao fato de, para tensões de entrada normalizadas próximas de 1, a corrente de saída ser maior que a do primeiro caso (figura 1.15). Isto se deve a efeitos de variação da tensão V_T do transistor devido às suas dimensões [9], que são levados em consideração apenas no modelo MOS de nível 2.

Sendo assim, se se deseja um aumento na linearidade em relação a um Par Diferencial Simples, este tipo de circuito não é apropriado, uma vez que é obtido o mesmo desempenho em grandes sinais, com um aumento de ruído envolvido, uma vez que se adicionam mais componentes.

1.4.2 Distorção Harmônica

Utilizando os mesmos procedimentos descritos no item 1.2.2, realizaram-se simulações para a verificação da Distorção Harmônica Total do Par Diferencial Cruzado com Fonte de Corrente Comum.

Pelo equacionamento já mostrado, é de se esperar que a DHT seja equivalente à obtida no Par Diferencial Simples, uma vez que a equação que rege o comportamento em grandes sinais de ambos os circuitos é praticamente a mesma. A figura 1.17 mostra os resultados obtidos utilizando-se modelos de simulação nível 1 e 2.

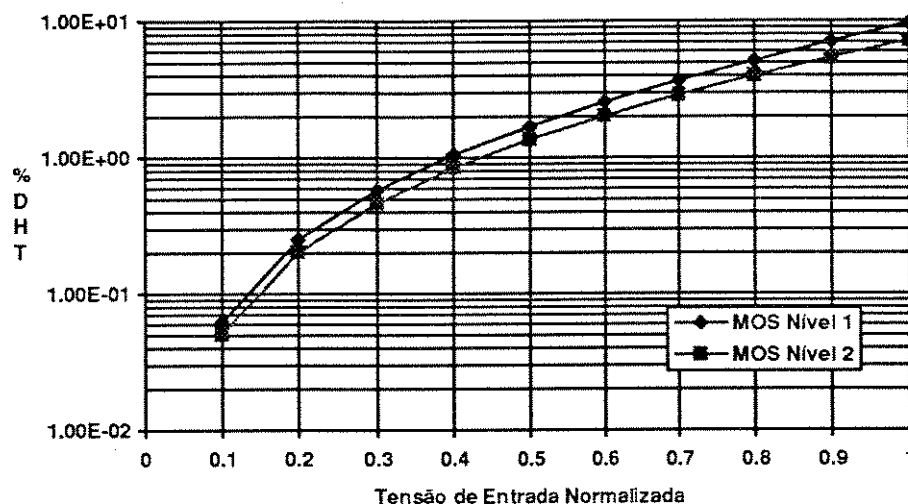


Figura 1.17 - Distorção Harmônica do Par Diferencial Cruzado com Fonte de Corrente Comum

Para a curva 1, os resultados foram essencialmente idênticos aos obtidos no Par Diferencial Simples, confirmando o acima descrito. A curva 2 mostrou uma melhora na distorção harmônica para sinais de elevada amplitude. Isto se deve ao fato de a porcentagem de não-linearidade ser menor que no primeiro caso, como mostrado na figura 1.16.

Da mesma maneira que o Par Diferencial Simples, para uma Distorção Harmônica Total abaixo de 1%, o sinal de entrada deve situar-se abaixo de 40% da tensão máxima de entrada, conforme a equação 1.14

Novamente se deve ressaltar que, em situações reais, o descasamento entre os dispositivos pode levar a níveis de distorções maiores que os resultados aqui previstos, onde o projetista pouco pode influir.

1.4.3 Resposta em Frequência

A análise de pequenos sinais deste circuito é essencialmente a mesma do circuito que utiliza fontes de corrente independentes para cada par diferencial, uma vez que se assume que o sinal de entrada é diferencial e balanceado. Portanto, as fontes dos transistores podem ser considera-

das terras AC, o que leva à mesma situação do circuito Par Diferencial com Fontes de Corrente Independentes. Sendo assim, uma vantagem em relação ao Par Diferencial Simples é a possibilidade de eliminação do zero na função de transferência descrita pela equação 1.31, conforme as condições já comentadas no item 1.3.3. Desta maneira, utilizando-se o mesmo W para ambos os pares diferenciais, a figura 1.18 mostra a resposta em frequência obtida.

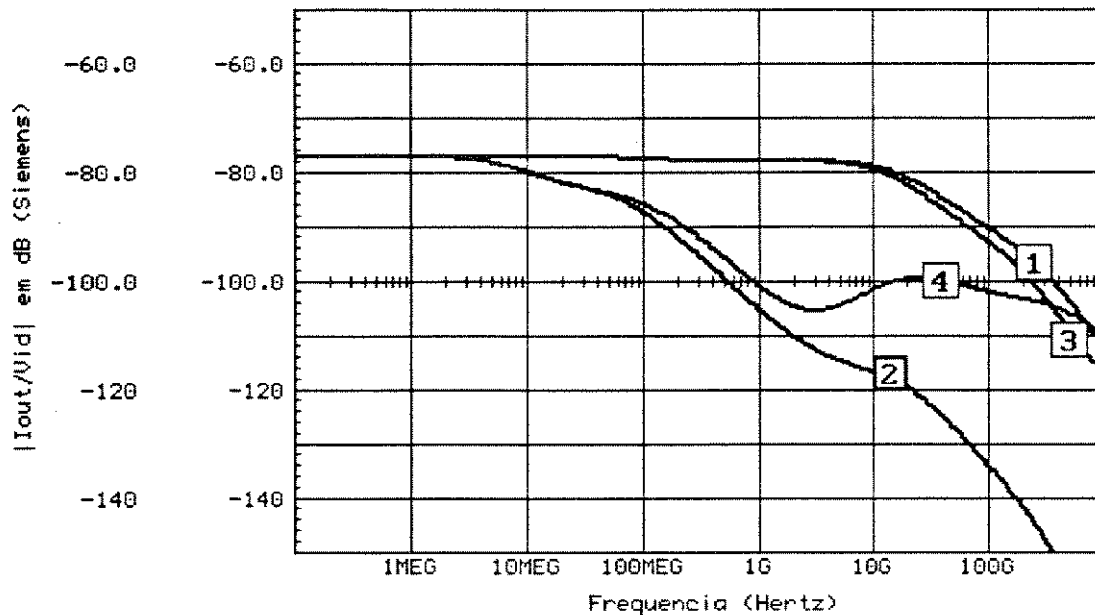


Figura 1.18 - Resposta em Frequência do Par Diferencial Cruzado com Fonte de Corrente Comum

- (1) - Transcondutância na saída do Par Diferencial Cruzado - Entrada Balanceada
- (2) - Transcondutância na saída dos espelhos de corrente - Entrada Balanceada
- (3) - Transcondutância na saída do Par Diferencial Cruzado - Entrada Simples
- (4) - Transcondutância na saída dos espelhos de corrente - Entrada Simples

É possível verificar que, com exceção dos valores absolutos de transcondutância, a resposta em frequência do Par Diferencial Cruzado com Fonte de Corrente Comum é essencialmente a mesma do seu similar, com fontes de corrente independentes (figura 1.13), mostrando que a análise AC de ambos os circuitos é idêntica. Novamente, o desempenho em frequência dos espelhos de corrente é o fator limitante, uma vez que a corrente obtida na saída dos pares diferenciais praticamente não varia para sinais de entrada na faixa de frequências de hertz a gigahertz. Sendo assim, deve-se melhorar o desempenho em frequência dos espelhos para uma operação do circuito em altas frequências.

As considerações a respeito de sinais de entrada não balanceados realizadas no item 1.3.3 podem ser repetidas aqui, explicando as curvas 3 e 4 da figura 1.18.

1.4.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação

A mesma análise realizada no item 1.2.5 pode ser utilizada neste caso, uma vez que a topologia dos circuitos envolvidos é a mesma. Sendo assim, a variação máxima de entrada é dada pela equação 1.22.

Para os valores considerados em simulação, a excursão máxima foi de 23.9% das fontes de alimentação. Para uma não linearidade abaixo de 1%, este valor cai para 4.8%. Utilizando-se os valores mínimos das fontes de tensão para que todos os transistores operem na saturação, encon-

trou-se V_{dd} igual a 2.6V e V_{ss} igual a -2.8V. Com estes valores, a excursão máxima aumenta para 44.3% das fontes de alimentação, e a faixa linear aumenta para 8.84%.

1.5 Par Diferencial com Célula em Modo Corrente

O circuito apresentado neste item apresenta, teoricamente, um cancelamento completo dos termos não lineares. Isto é obtido através da utilização de uma célula em modo corrente, correspondente aos transistores M3-M6 da figura 1.19. A corrente de entrada da célula corresponde à corrente de saída do par diferencial simples, implementado pelos transistores M1 e M2 e pela fonte de corrente. O circuito gera, então, correntes que são subtraídas das correntes de entrada, levando a um cancelamento dos termos não lineares [3].

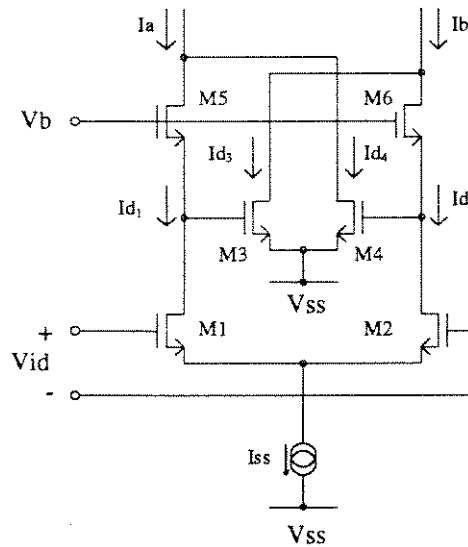


Figura 1.19 - Par Diferencial com Célula em Modo Corrente

Pela topologia do circuito, pode-se também observar que, para uma saída em corrente simples num ponto de baixo "offset" de tensão, espelhos de correntes devem ser utilizados. Neste caso, para uma manutenção da linearidade obtida, espelhos do tipo Cascode ou Wilson, ou ainda outras configurações de espelhos de corrente que apresentem melhores desempenhos, devem ser utilizados [8].

1.5.1 Linearidade através de Diferença de Correntes

Através de uma análise das correntes envolvidas no circuito acima, a corrente de saída pode ser descrita por:

$$I_{out} = I_a - I_b \quad (a)$$

(1.38)

$$I_{out} = (I_{d1} - I_{d2}) - (I_{d3} - I_{d4}) \quad (b)$$

Utilizando-se o modelo simplificado do transistor MOS descrito no apêndice A, considerando-se todos os transistores casados, com a mesma tensão de limiar V_T , operando na região de saturação, pode-se mostrar que as correntes de saída do par diferencial (I_{d1} - I_{d2}) e da célula em modo corrente (I_{d3} - I_{d4}) são dadas pelas equações 1.39 e 1.40, respectivamente.

$$Id_1 - Id_2 = 2K \left(\frac{V_{gs_1} + V_{gs_2}}{2} - V_T \right) Vid \quad (1.39)$$

$$Id_3 - Id_4 = 2K \left(\frac{V_{gs_1} + V_{gs_2}}{2} + V_{ss} - V_b + V_T \right) Vid \quad (1.40)$$

Substituindo as equações acima na equação 1.38-b, tem-se que a corrente de saída é dada por:

$$I_{out} = 2K (V_b - V_{ss} - 2V_T) Vid \quad (1.41)$$

Deste modo, há um cancelamento completo dos termos não lineares. Como o circuito possui um par diferencial simples em sua entrada, a faixa de excursão de sinal é a mesma dos circuitos anteriores:

$$-\sqrt{\frac{I_{ss}}{K}} \leq Vid \leq \sqrt{\frac{I_{ss}}{K}} \quad (1.42)$$

Para se calcular a tensão mínima V_b de modo que todos os transistores operem na saturação, considere-se o pior caso, em que a tensão na porta do transistor M2 da figura 1.19 é zero e a tensão na porta de M1 é igual a $\sqrt{I_{ss}/K}$. Neste momento, a corrente que flui através de M1 e M5 é igual a I_{ss} . Considerando estas condições, pode-se mostrar que a tensão V_b deve ser:

$$V_b \geq 2\sqrt{\frac{I_{ss}}{K}} \quad (1.43)$$

Conforme o equacionamento realizado, para o cancelamento dos termos não lineares, é necessário que todos os transistores sejam casados. Isto significa também que a tensão V_T dos transistores deve ser a mesma, o que impõe que a fonte de cada transistor deva ser conectada ao substrato. A tecnologia empregada [4] faz com que apenas os transistores canal P possam ter esta característica, uma vez que, sendo o substrato tipo P, poços N podem ser realizados para o isolamento destes transistores. Desta forma, o circuito equivalente completo, com os espelhos de corrente necessários para saída simples, é apresentado na figura 1.20.

A corrente de saída é agora dada por:

$$I_{out} = I_b - I_a \quad (a) \quad (1.44)$$

$$I_{out} = (I_{s_3} - I_{s_4}) - (I_{s_1} - I_{s_2}) \quad (b)$$

Equacionando o circuito do mesmo modo que no caso anterior, pode-se mostrar que a corrente de saída é agora dada por:

$$I_{out} = 2K (V_{dd} - V_b - 2|V_{TP}|) Vid \quad (1.45)$$

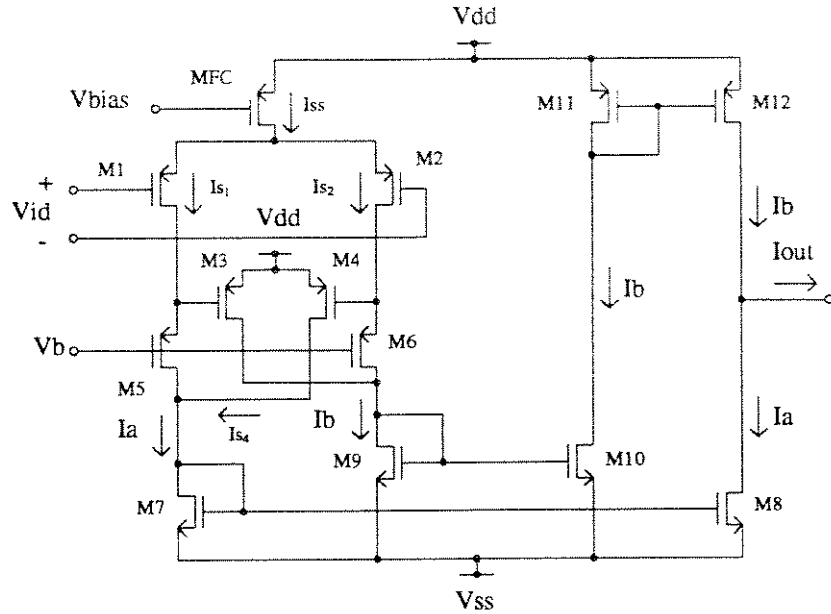


Figura 1.20 - Par Diferencial completo com Célula em Modo Corrente utilizando transistores canal P

A faixa de variação da tensão de entrada é a mesma do caso anterior, descrito pela expressão 1.42. Para o cálculo de V_b , faz-se a tensão na porta do transistor M2 igual a zero, como no caso anterior, e a tensão em M1 igual a $-\sqrt{I_{ss}/K}$. Deste modo, pode-se mostrar que a tensão V_b deve ser:

$$V_b \leq -2\sqrt{\frac{I_{ss}}{K}} \quad (1.46)$$

Para se verificarem os resultados preditos, realizaram-se simulações SPICE do circuito proposto na figura 1.20. Foram utilizados modelos MOS de nível 1 e 2. Foram utilizados os seguintes parâmetros:

- ☞ $V_{dd} = -V_{ss} = 5 \text{ V}$
- ☞ $V_b = -3.5 \text{ V}$
- ☞ $I_{ss} = 100 \mu\text{A}$
- ☞ $(W/L)_{M1-M6} = 20\mu/5\mu$
- ☞ $(W/L)_{MFC} = 200\mu/5\mu$
- ☞ $(W/L)_{M7-M10} = 250\mu/5\mu$
- ☞ $(W/L)_{M11-M12} = 100\mu/5\mu$
- ☞ $R_{out} = 50 \Omega$, $R_s = 50 \Omega$

Nos parâmetros acima, R_{out} é a resistência de carga no nó de saída simples, representado pela corrente I_{out} no gráfico, e R_s é a impedância da fonte geradora de sinal. Além disso, as relações W/L dos transistores representam suas dimensões, em micras.

A curva de transferência DC do circuito é mostrada na figura 1.21, para o modelo "ideal" dos transistores (nível 1) e o modelo fornecido pela "foundry"[4]. No eixo "y" tem-se a diferença entre as correntes I_b e I_a . No eixo "x", tem-se a tensão de entrada normalizada por $\sqrt{I_{ss}/K}$, conforme a equação 1.2.

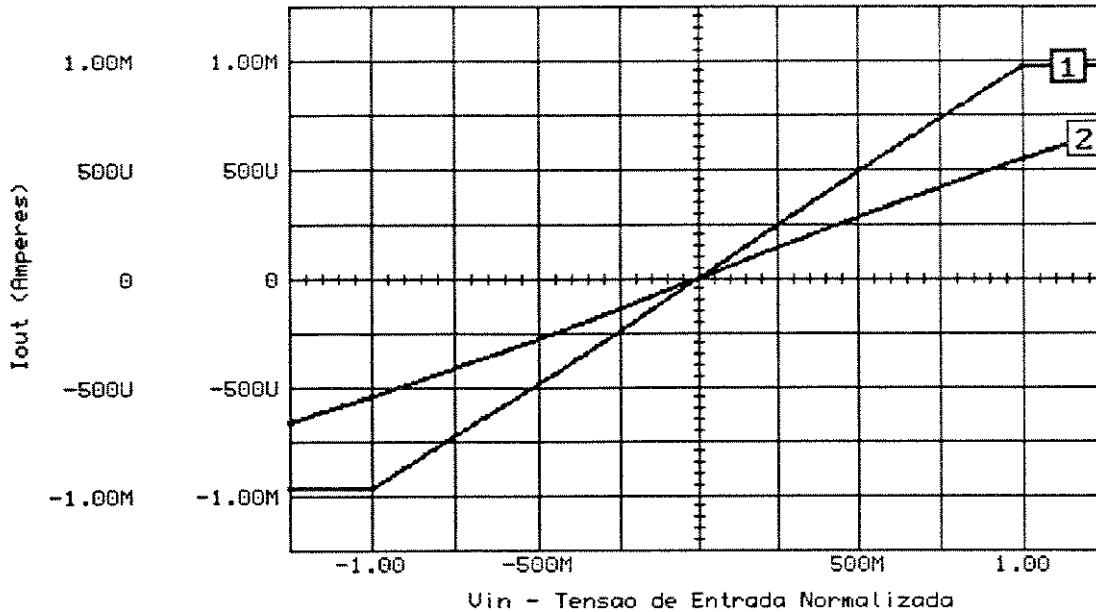


Figura 1.21 - Curva de Transferência do Par Diferencial com Célula em Modo Corrente

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

A grande diferença observada na transcondutância das curvas 1 e 2 ocorre, principalmente, pelo fato de os transistores M3 e M4 possuírem uma tensão porta-fonte muito alta, fazendo com que o campo elétrico gerado pela mesma provoque uma grande redução na mobilidade dos portadores, diminuindo a corrente de saída destes transistores.

A transcondutância teórica do circuito da figura 1.20, segundo a equação 1.45, é dada por:

$$gm = 2K(V_{dd} - V_b - 2|V_{TP}|) \quad (1.47)$$

Com os valores utilizados em simulação, a transcondutância teórica, segundo a equação acima, é de $690.8 \mu A/V$, próxima à transcondutância máxima medida para a curva 1 da figura 1.21, que foi de $682.8 \mu A/V$. Esta discrepância é devida a pequenas variações na tensão V_T dos transistores M3 e M4 devido à alta tensão porta-fonte [9]. Já a transcondutância máxima observada na curva 2 da figura 1.21 foi de $393.9 \mu A/V$, 57% do valor teórico.

A figura 1.22 representa a variação da corrente de saída ($I_b - I_a$ da figura 1.20, segundo a equação 1.44) em relação a uma corrente ideal, com transcondutâncias dadas pelos valores medidos em cada caso. É importante notar que as curvas não estão na mesma escala vertical. A escala da curva 1 vai de -0.4% a zero, enquanto a escala da curva 2 vai de -4% a zero. A não-linearidade apresentada na curva 1 manteve-se abaixo de 0.1% para quase a totalidade da tensão de entrada. A pequena variação deve-se às quedas de tensões associadas às resistências de dreno e fonte dos transistores, o que implica uma diminuição, ainda que muito pequena, da corrente de saída. Já na curva 2, para uma não-linearidade abaixo de 1%, a tensão de entrada normalizada deve situar-se abaixo de 0.6. Um redimensionamento dos transistores e das tensões utilizadas deve ser efetuado, neste caso, para que um desempenho próximo ao obtido na curva 1 possa ser alcançado.

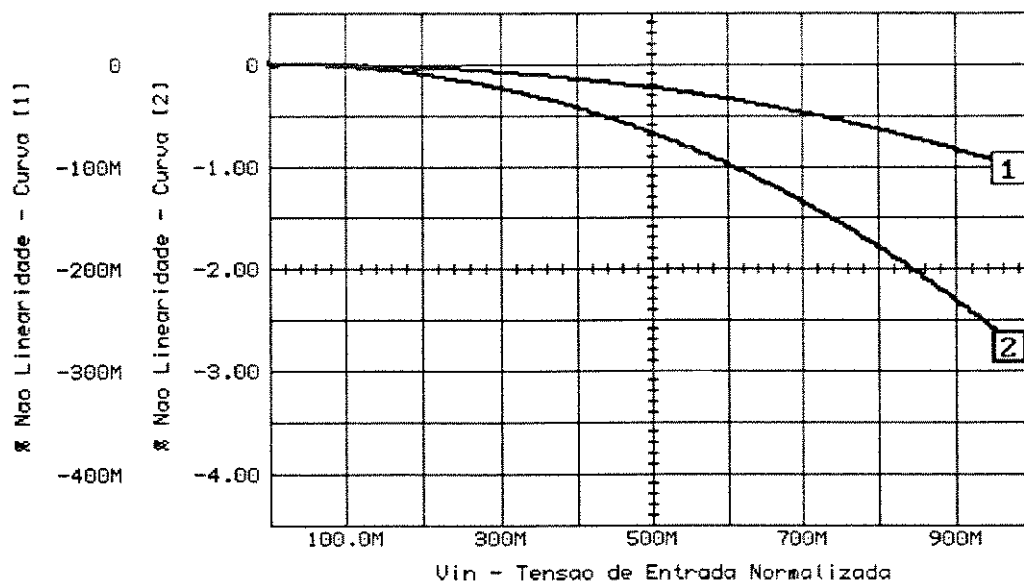


Figura 1.22 - Não-Linearidade do Par Diferencial com Célula em Modo Corrente

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

Os resultados obtidos são válidos para dois casos de tensão de entrada. Um diferencial e balanceado, aplicado aos transistores M1 e M2 da figura 1.20, e outro com excitação simples aplicado apenas na porta do transistor M1, estando M2 com seu terminal de porta conectado ao terra.

1.5.2 Distorção Harmônica

Utilizando os mesmos procedimentos utilizados no item 1.2.2, verificou-se a Distorção Harmônica Total do circuito em questão para toda a faixa de tensão de entrada, segundo a expressão 1.42. Deste modo, o resultado obtido é apresentado na figura abaixo.

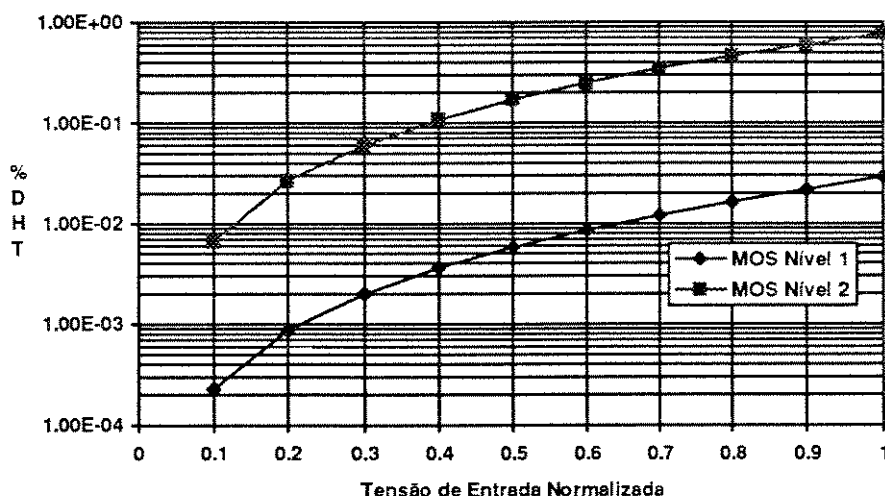


Figura 1.23 - Distorção Harmônica do Par Diferencial com Célula em Modo Corrente

Utilizando o modelo de nível 1 do transistor MOS, a DHT situou-se abaixo de 0.03% para toda a faixa de excursão de entrada, sendo um resultado esperado pela alta linearidade mostrada na

figura 1.22. No caso da simulação utilizando-se o modelo MOS de nível 2, a DHT manteve-se abaixo de 0.8%.

Em ambos os casos, a distorção harmônica de 3^ª ordem foi responsável pela quase totalidade da distorção harmônica total observada (maior que 98% da DHT).

1.5.3 Resposta em Frequência

A análise no domínio da frequência do circuito em questão foi realizada considerando-se apenas os transistores que formam a célula transcondutora da figura 1.20 (M1-M6). Uma vez que um sinal de entrada é diferencial e balanceado, a fonte dos transistores M1 e M2 pode ser considerada um terra AC. Além disso, desprezando as impedâncias apresentadas pelos transistores M7 e M9, pode-se considerar o dreno dos transistores M5 e M6 também um terra AC. Como a tensão de controle de transcondutância V_b também é fixa, este ponto, além das fontes de alimentação, é um terra AC. Levando em conta estes aspectos, e pelo fato de o circuito ser simétrico, o teorema da bissecção pode ser aplicado, resultando no circuito AC mostrado na figura 1.24. Para uma simplificação da análise, foram desprezadas as resistências dreno-fonte dos transistores, sendo consideradas as capacitâncias porta-fonte (C_{gs}), porta-substrato (C_{gb}), porta-dreno (C_{gd}) e substrato-dreno (C_{bd}).

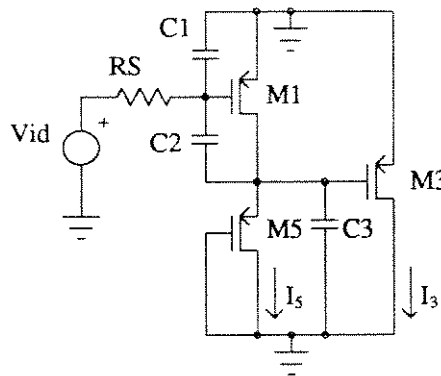


Figura 1.24 - Circuito AC do Par Diferencial com Célula em Modo Corrente

No circuito AC acima, R_S corresponde à impedância de saída da fonte de sinal, e as capacitâncias C_1 , C_2 e C_3 correspondem a:

- ☞ $C_1 = C_{gs1} + C_{gb1}$
- ☞ $C_2 = C_{gd1}$
- ☞ $C_3 = C_{bd1} + C_{gs3} + C_{gb3} + C_{gd3} + C_{gs5} + C_{gb5} + C_{bd5}$

Analisando o circuito da figura acima e o circuito original (figura 1.20), pode-se verificar que a corrente de saída é dada por:

$$I_{out}(s) = I_3(s) - I_5(s) \quad (1.48)$$

Realizando um equacionamento da transcondutância AC do circuito, pode-se mostrar que a mesma é dada pela equação 1.49.

$$\frac{I_{out}}{V_{id}}(s) = gm_1 \left(1 + \frac{gm_3}{gm_5} \right) \frac{1 - \frac{C_2}{gm_1} s}{1 + \left\{ \left(\frac{C_2 + C_3}{gm_5} \right) + RS \left[C_1 + C_2 \left(1 + \frac{gm_1}{gm_5} \right) \right] \right\} s + \frac{RS}{gm_5} (C_2 C_3 + C_1 C_3 + C_1 C_2) s^2} \quad (1.49)$$

Considerando que a resistência da fonte de sinal é, na maioria dos casos práticos, desprezível, a expressão acima reduz-se a:

$$\frac{I_{out}}{V_{id}}(s) = gm_1 \left(1 + \frac{gm_3}{gm_5} \right) \frac{1 - \frac{C_2}{gm_1} s}{1 + \left(\frac{C_2 + C_3}{gm_5} \right) s} \quad (1.50)$$

A expressão 1.50 mostra a existência de um zero no semiplano direito e de um pólo no semiplano esquerdo. O zero no semiplano direito introduz um atraso na fase da mesma maneira que um pólo no semiplano esquerdo. É interessante notar que este zero é o mesmo do Par Diferencial Simples (equação 1.15).

Pela equação 1.50, a frequência de queda de 3 dB e a frequência do zero são dadas por:

$$f_{(-3dB)} = \frac{gm_5}{2\pi (C_2 + C_3)} \quad (1.51)$$

$$f_{(zero)} = \frac{gm_1}{2\pi C_2} \quad (1.52)$$

De acordo com os valores obtidos para C_2 , C_3 , gm_1 e gm_5 , utilizando-se o nível 2 de modelamento do transistor MOS, segundo o apêndice A, a frequência de queda de 3 dB, segundo a equação 1.51 foi de 55.6 MHz. O zero situou-se na faixa de 2.6 GHz, segundo 1.52. De acordo com a expressão 1.49, utilizando uma resistência de fonte RS igual a 25 ohms, além deste pólo, existe um outro em 62 GHz. Comparando estes resultados com uma análise mais precisa, utilizando o simulador simbólico Sspice [10], onde são levadas em conta os parâmetros aqui desprezados, verificou-se a existência de pólos no semiplano esquerdo em 56 MHz e 62 GHz, um zero no semiplano direito em 2.6 GHz e um zero no semiplano esquerdo em 2.7 GHz.

A figura 1.25 mostra o comportamento em frequência da transcondutância, levando-se em consideração sinais de entrada balanceados e não balanceados. Pela análise da curva 1 vê-se que os resultados dos pólos e zeros preditos foram plenamente válidos, considerando-se os resultados alcançados e as aproximações realizadas para a obtenção das expressões 1.49 e 1.50.

Diferentemente dos resultados obtidos nos circuitos anteriores, o fator limitante da resposta em frequência, neste caso, não é causado pelos espelhos de corrente. A própria célula transcondutora possui uma resposta em frequência que limita a faixa de operação. É óbvio que os espelhos de corrente devem possuir uma resposta em frequência da ordem da resposta do transcondutor para que tal seja verdade.

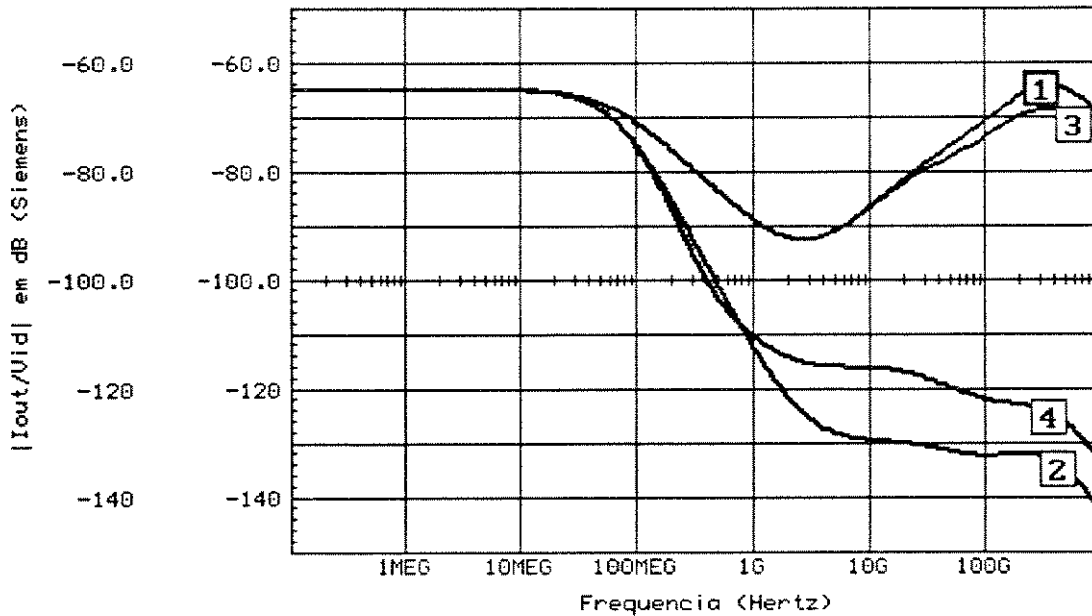


Figura 1.25 - Resposta em Frequência do Par Diferencial com Célula em Modo Corrente

- (1) - Transcondutância na saída do Par Diferencial - Entrada Balanceada
- (2) - Transcondutância na saída dos espelhos de corrente - Entrada Balanceada
- (3) - Transcondutância na saída do Par Diferencial - Entrada Simples
- (4) - Transcondutância na saída dos espelhos de corrente - Entrada Simples

Foi este o caso ocorrido nas simulações realizadas (curvas 2 e 4), em que existiu um outro pólo, devido aos espelhos, praticamente na mesma frequência de queda do transcondutor (56 MHz). Novamente, o não balanceamento do sinal de entrada (curvas 3 e 4) leva ao fato de a fonte dos transistores M1 e M2 não mais poder ser considerada um terra AC, fazendo com que as capacidades do transistor que implementa a fonte de corrente (MFC) sejam levadas em consideração, alterando a resposta em frequência do circuito.

1.5.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação

Através do mesmo procedimento realizado para o equacionamento do item 1.2.5, pode-se mostrar que a excursão máxima de entrada em relação às fontes de alimentação, considerando o circuito da figura 1.20, é agora dada por:

$$Excursão_{vin}(\%) = \left[\frac{2(V_{dd} - V_{bias} - |V_{TP}|) \sqrt{K_{FC}/K_{1,2}}}{|V_{dd} - V_{SS}|} \right] \cdot 100 \quad (1.53)$$

onde K_{FC} e $K_{1,2}$ são parâmetros dos transistores M_{FC} , M_1 e M_2 ($\mu C_{ox}W/2L$) que formam a fonte de corrente e o par diferencial da figura 1.20.

Deste modo, para se ter uma idéia quantitativa, com os valores utilizados em simulação, a excursão do sinal de entrada foi de 28.47% das fontes de alimentação. Utilizando valores mínimos de tensão de alimentação para que todos os transistores se mantenham na região de saturação ($V_{dd} = 2.62V$ e $V_{SS} = -4.66V$), a excursão de entrada aumenta para 39% das fontes. Como a não-linearidade é muito baixa, podem-se considerar estes valores como sendo válidos também para a faixa linear.

1.6 Conclusões

Os circuitos aqui estudados representam algumas maneiras simples e bastante utilizadas para se realizar a conversão de sinais em tensão para sinais em corrente.

Com respeito ao **processamento em grandes sinais**, o Par Diferencial com Célula em Modo Corrente apresenta o melhor desempenho (resolução de 10 bits, para praticamente toda a faixa de tensão de entrada), já que um cancelamento completo dos termos não lineares pode ser obtido. Porém, a configuração proposta apresenta uma transcondutância que é dependente das fontes de alimentação, o que constitui uma desvantagem. No mesmo artigo em que este circuito é apresentado [3], os autores sugerem uma outra topologia, baseada na primeira, em que este problema é resolvido com a inclusão de mais uma tensão de controle. No entanto, foi observado que, pela alta tensão porta-fonte a que os transistores que constituem a célula em modo corrente estão submetidos, utilizando o modelo que mais se aproxima do comportamento real dos transistores (MOS nível 2), ocorre uma alta depreciação na mobilidade dos portadores, ocasionando uma queda acentuada na corrente, o que acarreta um aumento da não-linearidade (resolução cai para 6 bits, para uma faixa de 60% da tensão de entrada). Portanto, novos ajustes devem ser realizados na geometria dos transistores para que o circuito tenha um comportamento próximo ao resultado teórico obtido. Dependendo do nível de não-linearidade que se requeira, o Par Diferencial Cruzado com Fontes de Corrente Independentes também pode ser uma boa opção, já que o mesmo oferece uma resolução de 6 bits para 88% da faixa total de tensão de entrada.

Em relação à **distorção harmônica** verificou-se que, em todos os circuitos, a mesma situou-se em níveis relativamente baixos, pois, pelo caráter diferencial das configurações estudadas, as distorções harmônicas de ordem par efetivamente desapareceram. A distorção harmônica de 3ª ordem foi a responsável por quase a totalidade da DHT observada. Novamente, os circuitos que apresentam melhor desempenho no processamento em grandes sinais são os que oferecem a menor distorção harmônica.

Em geral, os circuitos que utilizam pares diferenciais como elementos transcondutores possuem uma **resposta em frequência** excelente. Os fatores limitantes estão relacionados com elementos extras necessários para, por exemplo, efetuar a conversão de uma saída em corrente diferencial para uma saída simples (espelhos de corrente). No Par Diferencial com Célula em Modo Corrente, a própria célula em modo corrente pode ser encarada como um circuito extra, que realiza a linearização, mas que influi bastante na resposta em frequência, degradando-a. As configurações que apresentam 2 pares diferenciais cruzados oferecem a possibilidade de eliminação de um zero presente na função de transferência, sendo os que apresentam a melhor resposta em frequência. Verificou-se, portanto, que, para uma boa resposta em frequência, deve-se melhorar o desempenho dos circuitos necessários para o "complemento" dos pares diferenciais, em especial os espelhos de corrente.

Com relação à **excursão do sinal de entrada em relação às fontes de alimentação**, os circuitos estudados apresentaram desempenho semelhante, se não for levada em conta a não-linearidade para sinais de grande amplitude. Verificou-se que os espelhos e fontes de corrente devem ocupar uma faixa estreita de tensão (o que significa uma elevada relação W/L), para que a restante seja utilizável nos elementos transcondutores, fazendo com que a tensão de entrada possa excursionar por uma grande faixa, mantendo os transistores na saturação, e aumentando a porcentagem de excursão de entrada em relação às fontes.

Capítulo II

Transcondutores em Polarização Adaptativa

2.1 Introdução

Circuitos em Polarização Adaptativa são aqueles que possuem a corrente de polarização (I_{ss}) dependente do sinal de entrada (V_{id}). Este conceito foi primeiramente introduzido em amplificadores operacionais de baixo consumo para aumentar o "slew rate" [11]. Neste tipo de aplicação, a linearidade não era um aspecto relevante. Logo após, vários autores apresentaram circuitos transcondutores e multiplicadores analógicos utilizando esta técnica para a obtenção de uma melhor linearidade [12, 13].

Este capítulo versa sobre os princípios básicos de funcionamento de circuitos com polarização adaptativa, além de estudar dois circuitos que empregam esta técnica para a obtenção de uma melhor linearidade. Nos princípios básicos, é mostrado que, teoricamente, um perfeito cancelamento das não-linearidades pode ser obtido. O primeiro circuito estudado apresenta uma maneira imediata de se conseguir um circuito com as características requeridas pela teoria. Já o segundo [12] utiliza princípios mais complexos, o que resulta um circuito final com vantagens em relação ao primeiro.

2.2 Princípios Básicos da Polarização Adaptativa

Seja o circuito da figura 2.1, com uma fonte de corrente que possua um termo constante (I_{dc}) e outro que dependa quadraticamente do sinal de entrada (V_{id}), segundo a equação 2.1:

$$I_{ss} = I_{dc} + K' V_{id}^2 \quad (2.1)$$

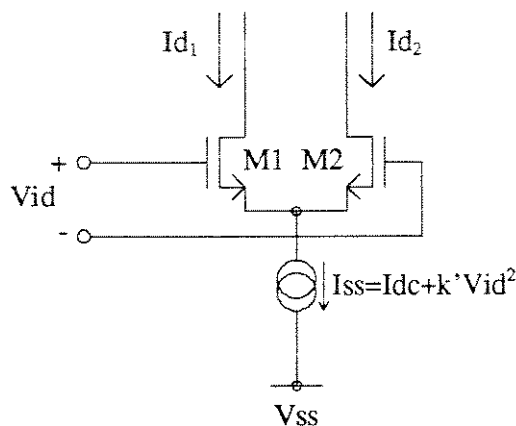


Figura 2.1 - Par Diferencial com Polarização Adaptativa

Desta forma, utilizando as expressões simplificadas de comportamento do transistor MOS descritas no apêndice A, da mesma maneira que no Par Diferencial Simples, a expressão que relaciona a corrente de saída ($I_{out} = I_{d1} - I_{d2}$) com a tensão diferencial de entrada (V_{id}) é dada pela expressão 2.2.

$$I_{out} = Id_1 - Id_2 = \begin{cases} \sqrt{2 Idc K} Vid \sqrt{1 - \frac{K - 2k'}{2 Idc} Vid^2} & \rightarrow |Vid| \leq \sqrt{2 \frac{Idc}{K}} \quad (a) \\ (Idc + k' Vid^2) \text{sgn}(Vid) & \rightarrow |Vid| > \sqrt{2 \frac{Idc}{K}} \quad (b) \end{cases} \quad (2.2)$$

Pelos limites acima pode-se verificar que a faixa de excursão do sinal de entrada (Vid) é dada por:

$$-\sqrt{2 \frac{Idc}{K}} \leq Vid \leq \sqrt{2 \frac{Idc}{K}} \quad (2.3)$$

Comparando o resultado acima, característico de circuitos que se utilizam de polarização adaptativa, com circuitos que empregam pares diferenciais com fonte de corrente constante, estudados no Capítulo I, vê-se que há um aumento de $\sqrt{2}$ na faixa de excursão do sinal de entrada. Fora da faixa de operação, a corrente de saída não é mais uma constante, como ocorria anteriormente, mas aumenta de uma forma quadrática com a tensão de entrada.

É possível verificar, da equação 2.2-a, que, se $k' = K / 2$, existe um cancelamento da parcela não-linear, resultando numa transcondutância linear, segundo os limites dados pela relação 2.3, dada por:

$$gm = \sqrt{2 Idc K} \quad (2.4)$$

Embora o equacionamento realizado prediga um completo cancelamento das não-linearidades dentro de toda a faixa de operação do circuito, efeitos de segunda ordem, tais como o efeito de corpo, a modulação de canal e a variação da mobilidade dos portadores, influem de forma a degradar a linearidade teórica obtida. O efeito de corpo pode ser eliminado, isolando-se os transistores M1 e M2 da figura 2.1 em seus próprios poços. A modulação de canal também pode ser controlada, ajustando-se o comprimento de canal dos transistores de maneira a minimizar este efeito. Já a variação da mobilidade é um aspecto que depende fundamentalmente do processo de fabricação. A referência [1] mostra uma maneira de se ajustar a constante de proporcionalidade da corrente I_{ss} com a tensão de entrada, de modo a minimizar este efeito.

Portanto, a elaboração de circuitos com polarização adaptativa se resume à criação de circuitos que implementem a equação 2.1, com uma dependência quadrática da tensão de entrada, de modo que $k' = K / 2$.

2.3 Par Diferencial em Polarização Adaptativa com circuito quadrador de dois transistores

Seja o circuito da figura 2.2, cujo sinal de entrada Vid possui uma tensão de modo comum Vc , sendo ainda diferencial e balanceado.

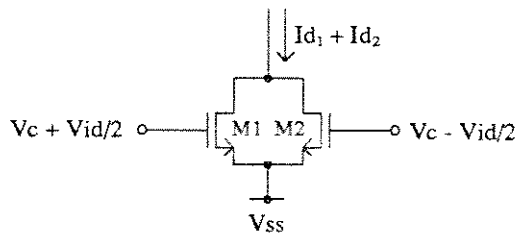


Figura 2.2 - Circuito Quadrador de 2 transistores

Utilizando as expressões simplificadas de comportamento do transistor MOS descritas no apêndice A, pode-se mostrar que a corrente de saída $I_{out} = I_{d1} + I_{d2}$ é dada pela equação 2.5.

$$I_{out} = 2K(V_c - V_{ss} - V_T)^2 + \frac{K}{2}V_{id}^2 \quad (2.5)$$

Pode-se verificar que a equação acima possui a mesma forma da equação 2.1, onde

$$I_{dc} = 2K(V_c - V_{ss} - V_T)^2 \quad (a)$$

$$k' = \frac{K}{2} \quad (b)$$

Portanto, fazendo com que os transistores do Par Diferencial (figura 2.1) e do circuito quadrador (figura 2.2) possuam as mesmas características, ou seja, as mesmas relações de geometria e de comportamento DC, para sinais diferenciais e balanceados, este circuito torna-se apropriado para o uso em polarização adaptativa.

Deste modo, uma das formas de se implementar um circuito par diferencial em polarização adaptativa, utilizando este circuito quadrador, é mostrada na figura abaixo.

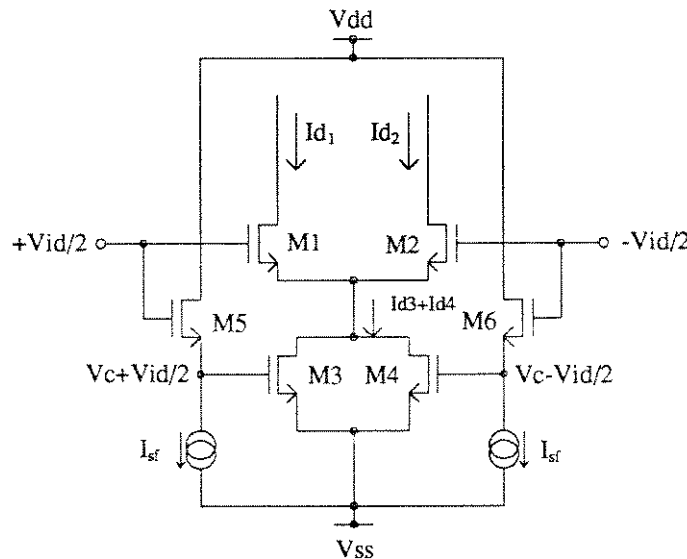


Figura 2.3 - Par Diferencial em Polarização Adaptativa com Circuito Quadrador de 2 Transistores

No circuito acima, M1 e M2 são os transistores do par diferencial, M3 e M4 formam o circuito quadrador de dois transistores e M5 e M6, juntamente com as fontes de corrente I_{sf} , formam circuitos seguidores de fonte para fins de polarização do circuito quadrador (deslocadores de nível). Deste modo, o sinal na porta dos transistores M3 e M4 possuem uma tensão de modo comum igual a V_c , fazendo com que corrente $I_{d3} + I_{d4}$ seja regida pela equação 2.5.

Como o sinal de saída deve ser tomado como a diferença entre as correntes I_{d1} e I_{d2} , espelhos de corrente são necessários para efetuar esta subtração, de modo a se obter uma saída simples em corrente, num ponto de baixo "offset" em tensão. Além disso, para efeitos de verificação do circui-

to, como os transistores do par diferencial (M1 e M2) e os transistores do circuito quadrador (M3 e M4) devem ser idênticos, além da mesma geometria, estes devem ser isolados para a eliminação do efeito de corpo. Como o processo utilizado neste trabalho [4] permite apenas a construção de transistores isolados de canal P, o circuito completo, com todos os dispositivos e espelhos de corrente, é mostrado na figura 2.4.

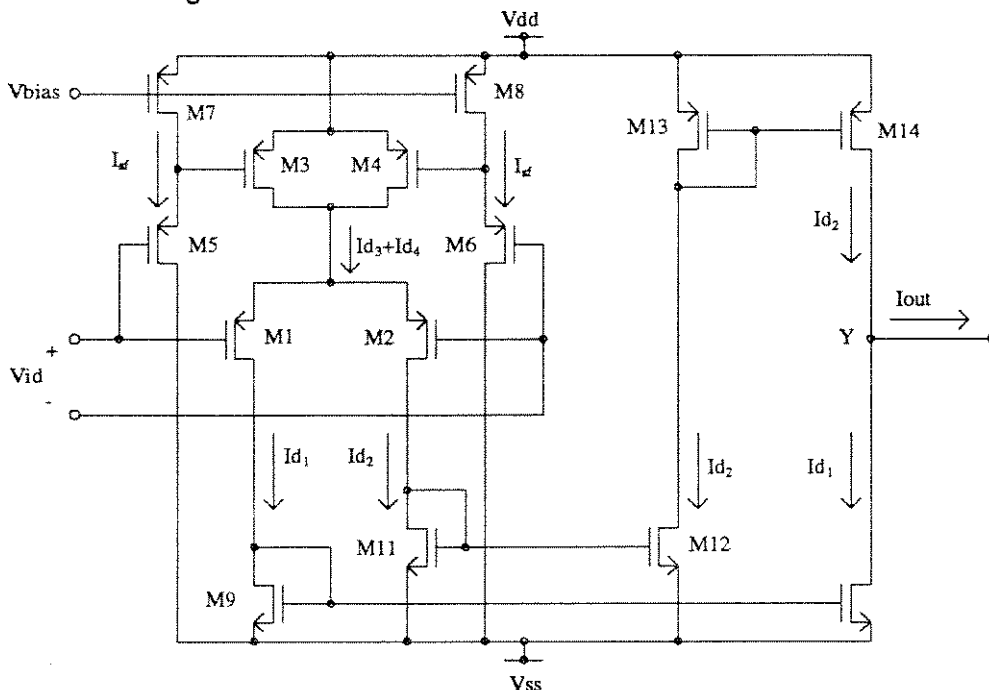


Figura 2.4 - Par Diferencial em Polarização Adaptativa - Circuito Completo

No circuito acima, o par diferencial é formado pelos transistores M1 e M2 e o circuito quadrador de 2 transistores é formado por M3 e M4. Os transistores M5 e M6 implementam os seguidores de fonte para a polarização de M3 e M4. M7 e M8 são as fontes de corrente I_{sf} dos seguidores e os transistores M9 a M14 implementam os espelhos de corrente, necessários para efetuar a diferença das correntes I_{d1} e I_{d2} , levando o sinal de saída a um ponto de baixo "offset" em tensão, num ramo de corrente única.

As simulações realizadas foram baseadas no circuito da figura 2.4, utilizando-se os seguintes parâmetros:

- ☞ $V_{dd} = -V_{ss} = 5\text{ V}$
- ☞ $I_{dc} = 100\mu\text{A}$
- ☞ $(W/L)_{M1,M2,M3,M4} = 20\mu/5\mu$
- ☞ $(W/L)_{M5,M6} = 5\mu/14.8\mu$
- ☞ $(W/L)_{M7,M8} = 100\mu/25\mu$
- ☞ $(W/L)_{M9-M14} = 40\mu/5\mu$
- ☞ $R_{out} = 50\ \Omega$, $R_s = 50\ \Omega$

Nos parâmetros acima, R_{out} é a resistência de carga no nó de saída simples (nó Y da figura 2.4) e R_s é a impedância da fonte geradora de sinal. Foram utilizados valores não inteiros na geometria dos transistores M5 e M6 (seguidores de fonte) para se ajustar tensão na porta dos transistores que formam o circuito quadrador (M3 e M4), estabelecendo-se pelos mesmos uma corrente quiescente (I_{dc}) de $100\mu\text{A}$.

2.3.1 Linearidade

As equações obtidas anteriormente também são válidas no caso do circuito da figura 2.4. Porém algumas alterações devem ser realizadas, uma vez que as mesmas foram deduzidas para transistores de canal N, e o circuito simulado utiliza transistores de canal P. Deste modo, as equações que regem o comportamento em grandes sinais do circuito estudado são dadas a seguir.

$$I_{out} = I_{d_2} - I_{d_1} = \begin{cases} \sqrt{2 I_{dc} K} V_{id} & \rightarrow |V_{id}| \leq \sqrt{2 \frac{I_{dc}}{K}} \quad (a) \\ \left(I_{dc} + \frac{K}{2} V_{id}^2 \right) \text{sgn}(V_{id}) & \rightarrow |V_{id}| > \sqrt{2 \frac{I_{dc}}{K}} \quad (b) \end{cases} \quad (2.7)$$

onde

$$I_{dc} = 2K(V_{dd} - V_c - |V_{TP}|)^2 \quad (2.8)$$

A equação 2.7 é idêntica à equação 2.2, utilizando-se $k' = K / 2$, como é o caso. Vê-se, portanto, que um perfeito cancelamento das não-linearidades é previsto pela teoria, utilizando-se o modelo simplificado de comportamento do transistor MOS. Na equação 2.8, V_c corresponde à tensão de modo comum na porta dos transistores M3 e M4, para fins de polarização dos mesmos e controle da corrente I_{dc} .

A figura 2.5 apresenta a curva de transferência do Par Diferencial em Polarização Adaptativa com Circuito Quadrador de 2 transistores. As curvas 1 e 2 correspondem, respectivamente, às simulações realizadas utilizando-se os modelos Spice de níveis 1 e 2 do transistor MOS. No eixo "x", tem-se a tensão de entrada normalizada, dada pela equação 2.9.

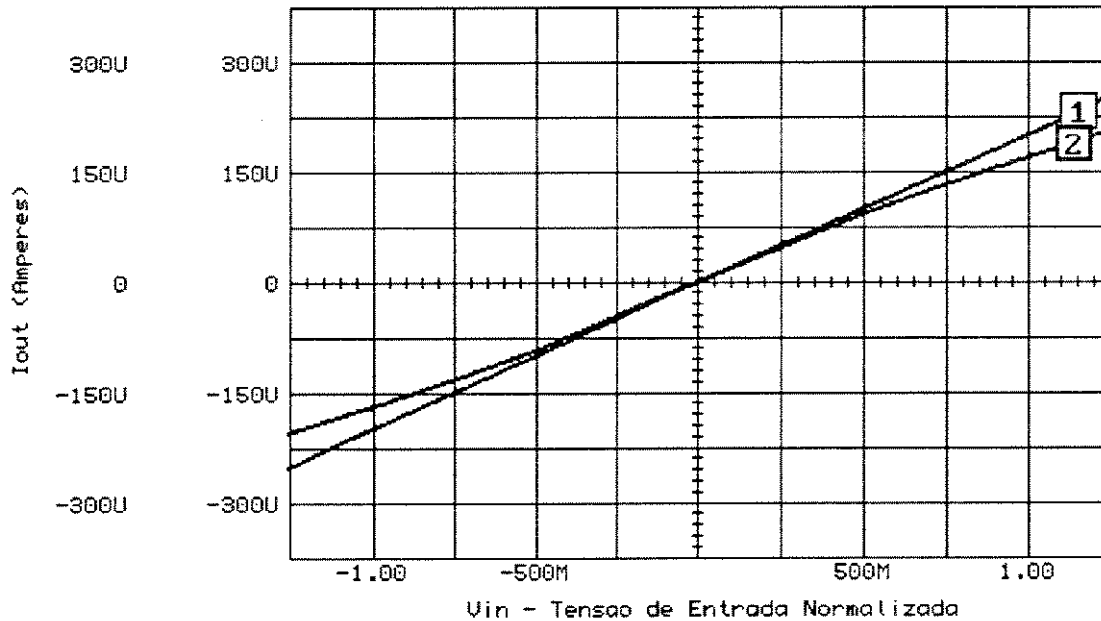


Figura 2.5 - Curva de Transferência do Par Diferencial em Polarização Adaptativa

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

$$V_{in} = \frac{V_{id}}{\sqrt{2 \frac{I_{dc}}{K}}} \quad (2.9)$$

Com os valores utilizados em simulação, de acordo com a equação 2.9, uma tensão de entrada normalizada (V_{in}) igual a 1 corresponde a uma tensão diferencial (V_{id}) de 2.013V. As diferenças observadas entre as curvas 1 e 2 da figura 2.5 são devidas à redução da mobilidade com o campo elétrico gerado pela tensão porta-fonte dos transistores.

Através de uma simples verificação da figura 2.5, pode-se perceber que, após uma tensão de entrada de 0.5, a transcondutância da curva 2 começa a cair. Antes deste valor, a mesma possuía um valor praticamente constante. Isto se deve ao fato de o campo elétrico gerado pela tensão porta-fonte dos transistores M1 a M4 alcançar um valor crítico, a partir do qual começa a ocorrer uma acentuada degradação na mobilidade dos portadores, diminuindo a taxa de variação da corrente com a tensão V_{gs} .

De acordo com a equação 2.4 ($g_m = \sqrt{2 I_{dc} K}$), tem-se a transcondutância teórica do circuito. Com os valores utilizados em simulação, esta é de 99.3 $\mu A/V$. A curva 1 apresentou uma transcondutância máxima de 99.2 $\mu A/V$, muito próxima do valor esperado, enquanto, na curva 2, este valor foi de 91.7 $\mu A/V$, devido à redução de mobilidade. Utilizando-se estes valores, a figura 2.6 mostra a não-linearidade observada em ambos os casos. É importante notar que a escala da curva 2 é 20 vezes maior que a escala da curva 1.

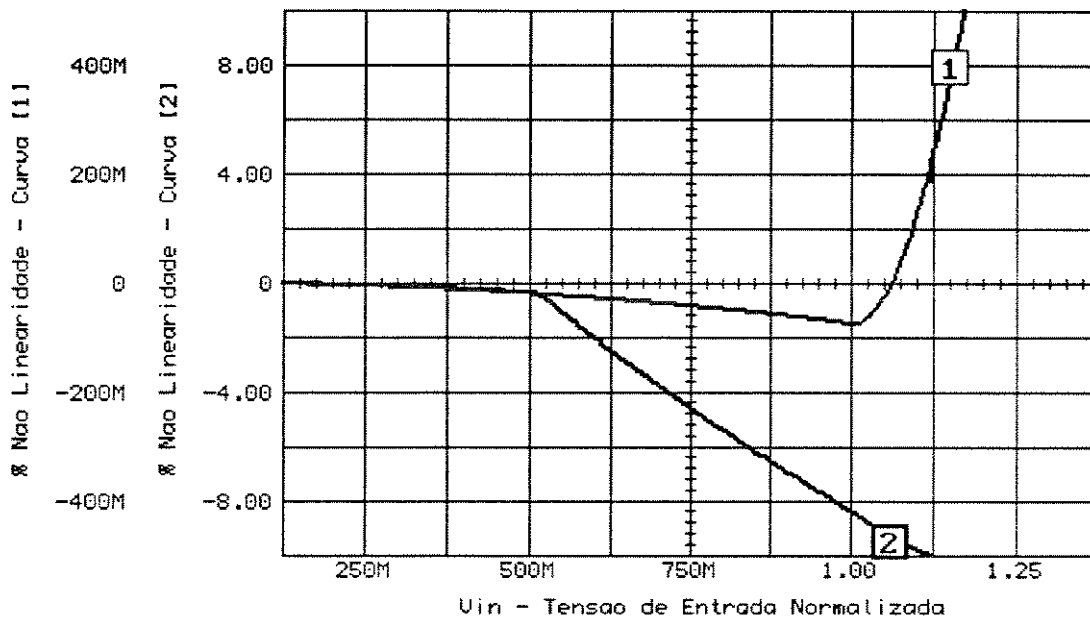


Figura 2.6 - Não-linearidade do Par Diferencial em Polarização Adaptativa

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

No caso "teórico" (curva 1) verificou-se que, dentro dos limites de tensão de entrada ($V_{in} \leq 1$), a não-linearidade máxima foi de 0.075%, o que estabelece uma resolução de 10 bits para toda a faixa de tensão de entrada. O fato de a não-linearidade não ser nula para toda a faixa, como o previsto na teoria, é devido às resistências de fonte e dreno associadas aos transistores, não

levadas em consideração na análise matemática. Já no caso "real" (curva 2), a partir de uma tensão de entrada suficiente para se chegar ao campo elétrico crítico (0.5, no caso), o circuito apresenta um grande aumento na não-linearidade, chegando a 8.4% em V_{in} igual a 1. Abaixo de uma tensão de entrada de 0.5, a não-linearidade máxima é de 0.34% (resolução de 8 bits). Para uma não-linearidade abaixo de 1%, a tensão de entrada normalizada deve situar-se abaixo de 0.54.

2.3.2 Distorção Harmônica

Utilizando os mesmos procedimentos dos circuitos já analisados, ou seja, aplicando na entrada do circuito um sinal senoidal, diferencial e balanceado, de frequência 1 KHz, com amplitude variável, e fazendo-se uma análise de Fourier da corrente de saída ($I_{d2} - I_{d1}$), verificou-se a distorção harmônica total, para toda a faixa de tensão normalizada de entrada.

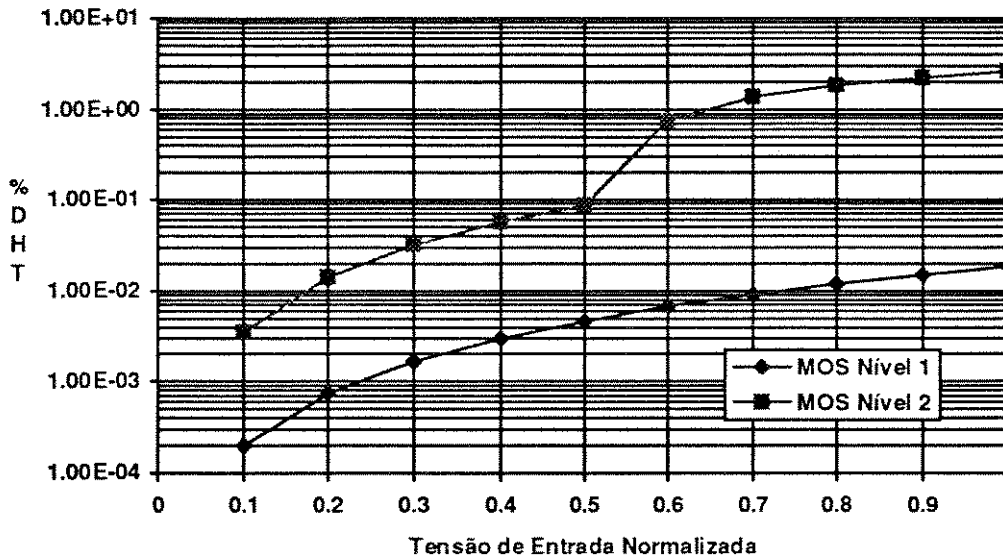


Figura 2.7 - Distorção Harmônica do Par Diferencial em Polarização Adaptativa

Com o modelo de nível 1 do transistor MOS, a figura acima mostra que a DHT situou-se abaixo de 0.02% para toda a faixa de tensão de entrada, sendo um resultado esperado, pela alta linearidade mostrada na figura 2.6. Já se utilizando o modelo de nível 2, a DHT manteve-se abaixo de 0.1% para tensões de entrada abaixo de 0.5 (tensão onde se chega ao campo elétrico crítico, começando a haver grande variação da mobilidade com o campo elétrico). Acima deste valor, existe um acentuado aumento na distorção harmônica, dada à baixa linearidade que ocorre após este ponto, chegando a 2.6% na tensão de entrada máxima. Praticamente toda a distorção harmônica verificada foi devida à distorção harmônica de terceira ordem.

2.3.3 Resposta em Frequência

Como o sinal de entrada deve ser diferencial e balanceado, e o circuito possui simetria, pode-se aplicar o teorema da bissecção para a realização da análise de pequenos sinais do circuito em questão. Além disso, a fonte dos transistores M1 e M2 (e dreno dos transistores M3 e M4) pode ser considerada um terra AC, uma vez que a tensão neste ponto praticamente não varia. A variação de corrente em M3 devido à variação da tensão de entrada é a mesma variação na corrente de M1; isto faz com que, idealmente, a tensão porta-fonte de ambos os transistores deva ser a mesma; como a fonte de M3 não varia, pois está em Vdd, a fonte de M1 também não varia, fazen-

do com que este ponto possa ser considerado efetivamente uma terra AC. Uma vez que a impedância no dreno dos transistores M1 e M2 é muito baixa (espelhos de corrente), por simplificação, também este ponto é considerado um terra AC. Deste modo, o circuito de pequenos sinais resultante é mostrado na figura 2.8.

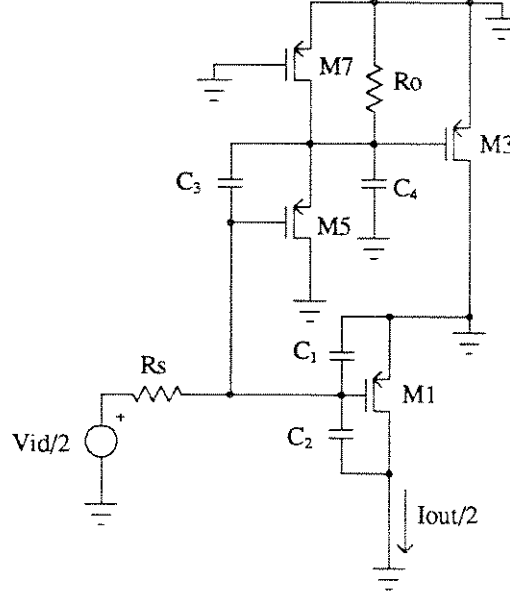


Figura 2.8 - Circuito AC do Par Diferencial em Polarização Adaptativa

No circuito acima, R_s corresponde à impedância de saída da fonte de sinal, e as capacitâncias C_1 a C_4 e a resistência R_o correspondem a:

- ☛ $C_1 = C_{gs1} + C_{gb1} + C_{gd5}$
- ☛ $C_2 = C_{gd1}$
- ☛ $C_3 = C_{gs5} + C_{gb5}$
- ☛ $C_4 = C_{gs3} + C_{gb3} + C_{gd3} + C_{bd5} + C_{gd7} + C_{bd7}$
- ☛ $R_o = (g_{ds5} + g_{ds7})^{-1}$

Pode ser mostrado que a transcondutância AC do circuito é dada por:

$$\frac{I_{out}}{V_{id}}(s) = g_{m1} \frac{1 + \left(\frac{C_3 + C_4}{g_o + g_{m5}} - \frac{C_2}{g_{m1}} \right) s - \left[\frac{C_2(C_3 + C_4)}{g_{m1}(g_o + g_{m5})} \right] s^2}{1 + \left(\frac{C_3 + C_4}{g_o + g_{m5}} + \frac{g_o C_3}{g_s(g_o + g_{m5})} + \frac{C_1 + C_2}{g_s} \right) s + \left[\frac{C_4(C_1 + C_2 + C_3) + C_3(C_1 + C_2)}{g_s(g_o + g_{m5})} \right] s^2} \quad (2.10)$$

onde $g_o = R_o^{-1}$ e $g_s = R_s^{-1}$. Considerando que a resistência da fonte de sinal (R_s) é, na maioria dos casos, desprezível, a expressão acima reduz-se a:

$$\frac{I_{out}}{V_{id}}(s) = g_{m1} \frac{1 + \left(\frac{C_3 + C_4}{g_o + g_{m5}} - \frac{C_2}{g_{m1}} \right) s - \left[\frac{C_2(C_3 + C_4)}{g_{m1}(g_o + g_{m5})} \right] s^2}{1 + \left(\frac{C_3 + C_4}{g_o + g_{m5}} \right) s} \quad (2.11)$$

Vê-se que a função de transferência dada pela equação 2.11 possui 1 zero no semiplano esquerdo do plano complexo, 1 outro zero no semiplano direito e 1 pólo no semiplano esquerdo. As frequências são:

$$\begin{aligned} f_{(zero1)} &= \frac{g_0 + g_{m_5}}{2\pi (C_3 + C_4)} \rightarrow \text{semitplano esquerdo} \\ f_{(zero2)} &= \frac{g_{m_1}}{2\pi C_2} \rightarrow \text{semitplano direito} \\ f_{(polo)} &= \frac{g_0 + g_{m_5}}{2\pi (C_3 + C_4)} \rightarrow \text{semitplano esquerdo} \end{aligned} \quad (2.12)$$

Pelas expressões acima, ocorre um cancelamento de um zero com o pólo, o que faz com que a resposta em frequência deste circuito seja equivalente à de um Par Diferencial Simples, já discutida no item 1.2.3. De acordo com os valores obtidos para g_{m1} e C_2 , com o nível 2 de modelamento do transistor MOS utilizado pelo Spice, a frequência do zero, prevista por 2.12, é de 2.65 GHz.

Assumindo agora que a impedância da fonte de sinal (R_s) assume um valor diferente de zero, mas ainda assim um valor baixo, não ocorrerá um perfeito cancelamento entre o primeiro zero e o pólo, embora ambos estejam muito próximos entre si. Além disso, um novo pólo em altas frequências é gerado. Qualitativamente, com os valores de capacitâncias e condutâncias envolvidos, utilizando uma impedância da fonte de sinal de 25 ohms, a equação 2.10 prevê o primeiro zero em 5.298 MHz e o pólo em 5.299 MHz, além de outro pólo em 41.23 GHz, acima do zero em 2.65 GHz.

A figura abaixo representa a transcondutância AC do circuito em questão. A curva 1 representa o desempenho em frequência do transcondutor propriamente dito, onde a saída é tomada como a diferença entre as correntes I_{d2} e I_{d1} da figura 2.4. A curva 2 inclui a influência dos espelhos de corrente, uma vez que a saída é tomada na saída em corrente simples (nó Y da figura 2.4).

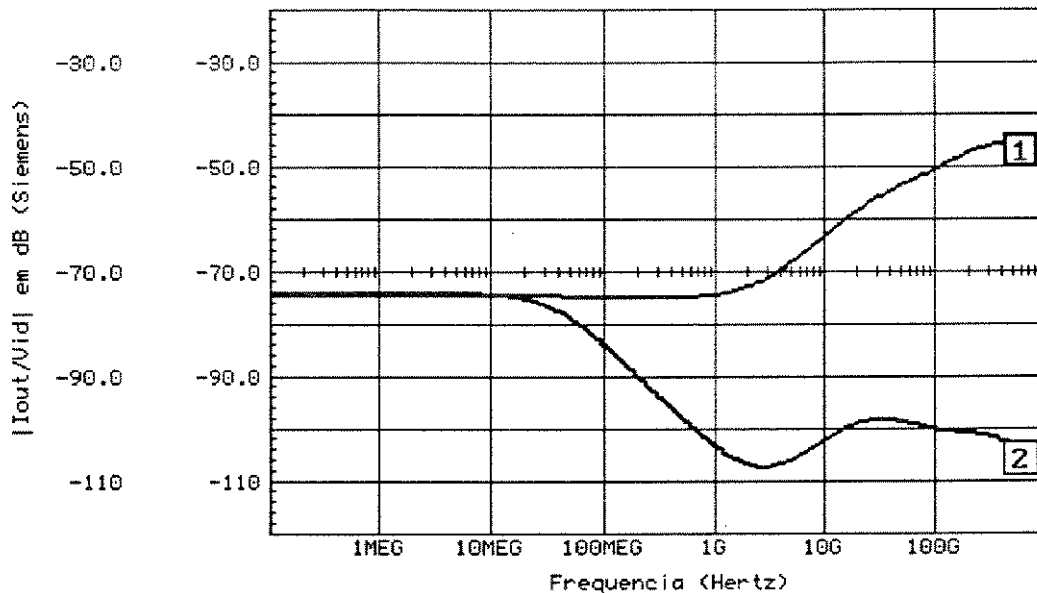


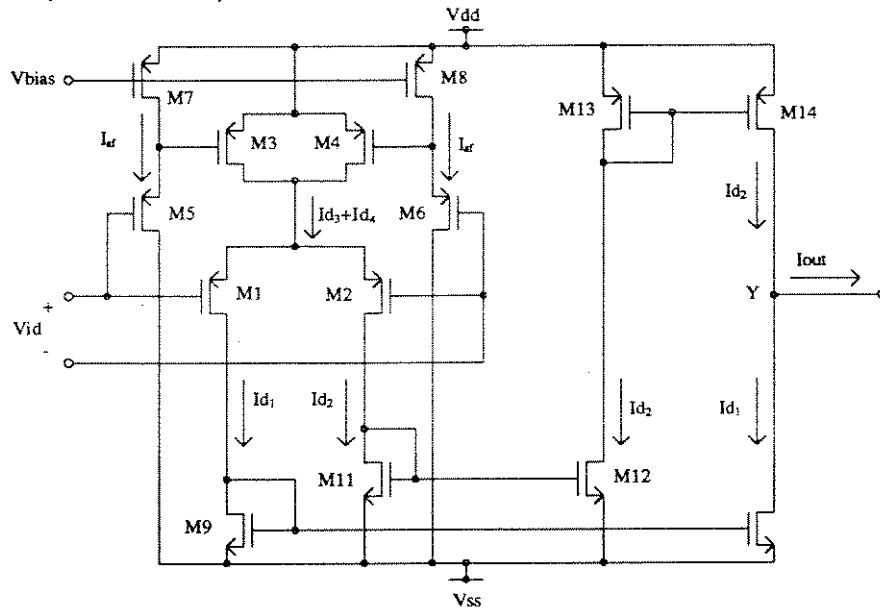
Figura 2.9 - Resposta em Frequência do Par Diferencial em Polarização Adaptativa

- (1) - Transcondutância na saída do Par Diferencial
- (2) - Transcondutância na saída dos espelhos de corrente

Através de uma análise da curva 1, nota-se a presença de um zero em 2.8 GHz, frequência esta bastante próxima do zero previsto, em 2.65 GHz. Além disso, é possível observar o cancelamento entre o primeiro zero e o primeiro pólo, previstos em 5.3 MHz. Novamente, em aplicações práticas que requeiram uma saída simples, a influência dos **espelhos de corrente** é o fator dominante na resposta em frequência (pólo dominante em 40 MHz), **devendo ser este o aspecto a ser melhorado no circuito para um melhor desempenho AC.**

2.3.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação

Para uma melhor compreensão deste item, a figura 2.4 (Par Diferencial em Polarização Adaptativa - Circuito Completo) é abaixo reproduzida.



A transcondutância do circuito em questão é proporcional à corrente I_{dc} (equação 2.8). Como esta é proporcional ao quadrado da diferença entre a fonte V_{dd} e a tensão de modo comum V_c , para que a transcondutância não se altere devido a uma variação da fonte de alimentação V_{dd} , também a tensão V_c deve seguir a variação da fonte, de modo que a diferença entre V_{dd} e V_c se mantenha constante, não variando a corrente I_{dc} . Isto pode ser conseguido através de uma variação automática da tensão na porta dos transistores $M7$ e $M8$ (fontes de corrente) com uma variação na tensão V_{dd} , de modo a alterar a queda de tensão V_{sg} dos transistores $M5$ e $M6$ (seguidores de fonte), variando, portanto, a tensão de modo comum V_c . O circuito que realiza este controle automático não é aqui apresentado, uma vez que este item pode ser teoricamente descrito apenas em função dos transistores que implementam o circuito quadrador e o par diferencial.

A mínima tensão V_{dd} deve ser calculada de modo que os transistores do circuito quadrador ($M3$ e $M4$) operem na região de saturação para toda a faixa de tensão de entrada ($V_{sd} \geq V_{sg} - |V_{tp}|$). A tensão no dreno dos transistores $M3$ e $M4$ (fonte dos transistores $M1$ e $M2$) pode ser calculada como a queda de tensão V_{sg} nos transistores $M1$ e $M2$ para uma dada corrente. Esta tensão é constante para toda a faixa de excursão do sinal de entrada, conforme explicado no item 2.3.3. Após, utilizando-se $V_{in} = 1$, ou seja $|V_{id}| = \sqrt{2I_{dc}K}$, tem-se a situação de maior tensão na porta do transistor $M3$ ($V_c + V_{id}/2$) e menor tensão na porta do transistor $M4$ ($V_c - V_{id}/2$), fazendo com que, nesta situação, toda a corrente flua através de $M4$. Tem-se, neste caso, a máxima tensão fonte-porta do transistor. Fazendo com que $V_{sd} = V_{sg} - |V_{tp}|$, encontra-se a mínima tensão de

porta para que o transistor opere na região de saturação. Como a tensão V_{sg} deste transistor é a mesma do transistor M2 do par diferencial, encontra-se a mínima tensão V_{dd} requerida.

Com os valores de simulação utilizados, a tensão na porta do transistor M2 é de aproximadamente -1 V, fazendo com que sua fonte (dreno dos transistores M3 e M4) tenha uma tensão de 1.75V. Isto faz com que a tensão mínima de porta do transistor M4 seja de 1V. Como M2 e M4 possuem o mesmo V_{sg} , tem-se que a tensão de alimentação V_{dd} mínima é de 3.76V.

Com relação à tensão V_{ss} , esta pode diminuir, em módulo, até o ponto em que a tensão no dreno dos transistores do par diferencial seja suficiente para mantê-los saturados para toda a faixa de tensão de entrada. Deste modo, espelhos de corrente com uma relação W/L relativamente elevada devem ser utilizados, de modo a minimizar a queda de tensão sobre os mesmos, fazendo com que a fonte de alimentação V_{ss} possa ser minimizada. Com os valores de simulação utilizados, encontrou-se uma tensão V_{ss} mínima de -1.84V.

Com estes valores, pode-se calcular a porcentagem de excursão do sinal de entrada em relação às fontes de alimentação, que chegou a 71%. Para uma não-linearidade abaixo de 1%, para o caso "real" - modelo de nível 2 - a figura 2.6 mostra que a tensão de entrada deve situar-se abaixo de 54% do seu valor máximo, reduzindo esta relação para 38.5% das fontes de alimentação.

É importante salientar uma grande diferença entre os valores aqui calculados e os verificados em circuitos anteriores. Neste caso, **a tensão de entrada deve ser balanceada, o que faz com que apenas metade da tensão de entrada seja efetivamente aplicada em cada transistor.** Isto faz com que as tensões de alimentação possam ser reduzidas a valores ainda menores do que no caso em que toda a tensão de entrada é aplicada à porta de um único transistor, estando o outro com sua porta aterrada. Isto reflete o aumento da porcentagem de excursão do sinal de entrada em relação às fontes de alimentação observado neste caso.

2.4 Par Diferencial em Polarização Adaptativa com Célula Quadradora Cruzada

Uma outra maneira de se gerar uma corrente de polarização que seja uma função quadrática da tensão de entrada é apresentada pelo circuito da figura 2.10, onde se utilizam pares diferenciais desbalanceados, com um dos transistores "n" vezes maior que o seu par. Assumindo que todos os transistores estejam operando na região de saturação, utilizando as equações simplificadas de comportamento do transistor MOS, pode ser mostrado que a soma das correntes I_{d1} e I_{d2} é dada por:

$$I_{d1} + I_{d2} = 2 I_{dc}' + 2 K \frac{n(n-1)}{(n+1)^2} V_{id}^2 \quad \rightarrow \quad |V_{id}| \leq \sqrt{\left(\frac{n+1}{n}\right) \frac{I_{dc}'}{K}} \quad (2.13)$$

Segundo a equação 2.2, deve-se ter o coeficiente do termo quadrático igual a $K/2$ para um perfeito cancelamento das não-linearidades. Impondo esta condição, segundo a equação acima, deve-se fazer $n = 2.1547$. Utilizando este valor, a expressão 2.13 tem a mesma forma da equação 2.1, onde:

$$I_{dc} = 2 I_{dc}' \quad (a)$$

$$k' = \frac{K}{2} \quad (b) \quad (2.14)$$

Utilizando a lei das correntes de Kirchhoff no dreno do transistor M5, pode-se verificar que:

$$Id_5 = a Idc' - (Id_1 + Id_2) \quad (2.16)$$

Fazendo a mesma análise no nó da fonte do mesmo transistor, vê-se que:

$$Id_5 + Id_6 + Id_7 = a Idc' \quad (2.17)$$

Substituindo 2.16 em 2.17, vê-se que a corrente que flui através do par diferencial é efetivamente dada por:

$$Id_6 + Id_7 = Id_1 + Id_2 = 2 Idc' + 2 K \frac{n(n-1)}{(n+1)^2} Vid^2 \quad (2.18)$$

Pode ser mostrado que, para que o transistor M5 se mantenha em condução para toda a faixa de tensão de entrada dada pela expressão 2.15, deve-se ter:

$$a \geq \frac{4n}{n+1} \quad (2.19)$$

A figura 2.12 mostra o circuito completo, com todos os transistores necessários para a implementação das fontes de corrente (M8 - M11) e dos espelhos de corrente (M12 - M17) necessários para levar a corrente de saída a um ponto de tomada simples, com baixo "offset" de tensão.

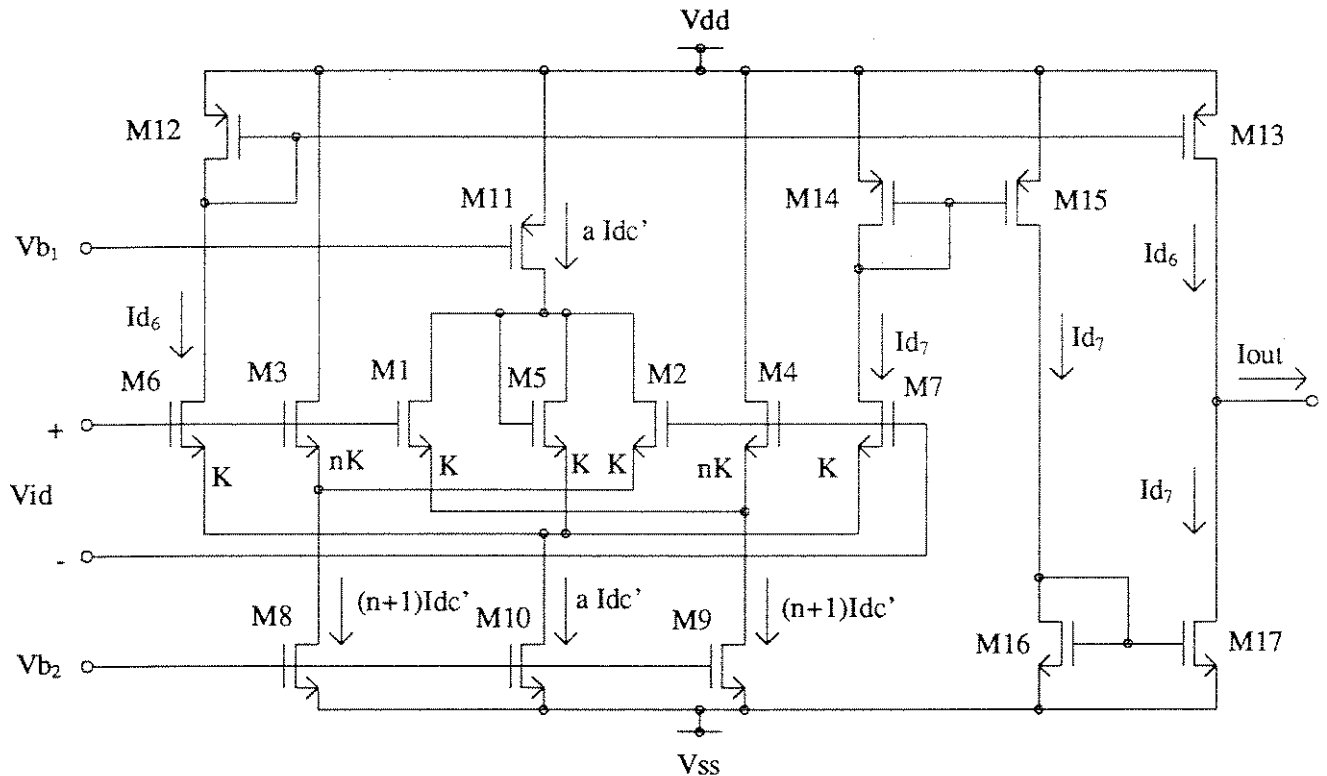


Figura 2.12 - Par Diferencial em Polarização Adaptativa com Célula Quadradora Cruzada - Circuito Completo

As simulações realizadas foram baseadas no circuito da figura 2.12, utilizando-se os seguintes parâmetros:

- ☞ $V_{dd} = -V_{ss} = 5\text{ V}$
- ☞ $I_{dc}' = 50\text{ }\mu\text{A}$
- ☞ $a = 4$
- ☞ $(W/L)_{M1,M2,M5,M6,M7} = 20\mu/5\mu$
- ☞ $(W/L)_{M3,M4} = 42.2\mu/5\mu$ (nível 1) e $41.6\mu/5\mu$ (nível 2)
- ☞ $(W/L)_{M8,M9} = 100\mu/20\mu$
- ☞ $(W/L)_{M10} = 128\mu/20\mu$
- ☞ $(W/L)_{M11} = 200\mu/15\mu$
- ☞ $(W/L)_{M14-M17} = 40\mu/5\mu$
- ☞ $R_{out} = 50\text{ }\Omega$, $R_s = 50\text{ }\Omega$

Segundo [1] e [12], um valor de "a" igual a 4 deve ser utilizado para que a tensão porta-fonte dos transistores M1 - M7 seja idêntica na condição quiescente. Isto também faz com que a tensão V_T destes transistores seja a mesma, no caso em que os mesmos não possuem suas fontes ligadas ao substrato, como é a situação.

O valor do W dos transistores M3 e M4, no caso de se utilizar o modelo de nível 1 do transistor MOS para as simulações, foi de $42.2\mu\text{m}$. Este valor resulta em um "n" de 2.156. Este valor de W foi o que melhor aproxima "n" do valor teórico (2.1547), uma vez que as dimensões dos transistores podem variar apenas em múltiplos da grade do processo ($0.2\text{ }\mu\text{m}$) [4]. Utilizando o modelo de nível 2 do transistor MOS, verificou-se que a melhor linearidade é conseguida com um W de $41.6\text{ }\mu\text{m}$, resultando em "n" igual a 2.125.

Nos parâmetros acima, R_{out} é a resistência de carga no dreno dos transistores M13 e M17 (espelhos de corrente de saída) e R_s é a resistência da fonte geradora de sinal.

2.4.1 Linearidade

Utilizando $n = 2.1547$, a corrente de saída, tomada como a diferença entre as correntes I_{d6} e I_{d7} , é dada, segundo as equações 2.2 e 2.14, por:

$$I_{out} = I_{d6} - I_{d7} = 2\sqrt{I_{dc}'K} V_{id} \rightarrow |V_{id}| \leq 1.21\sqrt{\frac{I_{dc}'}{K}} \quad (2.20)$$

Através da equação acima, vê-se que um perfeito cancelamento das não-linearidades é previsto, como é o caso de um circuito em polarização adaptativa.

A figura 2.13 mostra a curva de transferência do circuito em questão (figura 2.12), onde a corrente de saída é tomada como a diferença entre as correntes I_{d6} e I_{d7} . Nos gráficos que se seguem, o eixo "x" representa a tensão de entrada normalizada, dada por:

$$V_{in} = \frac{V_{id}}{1.21\sqrt{\frac{I_{dc}'}{K}}} \quad (2.21)$$

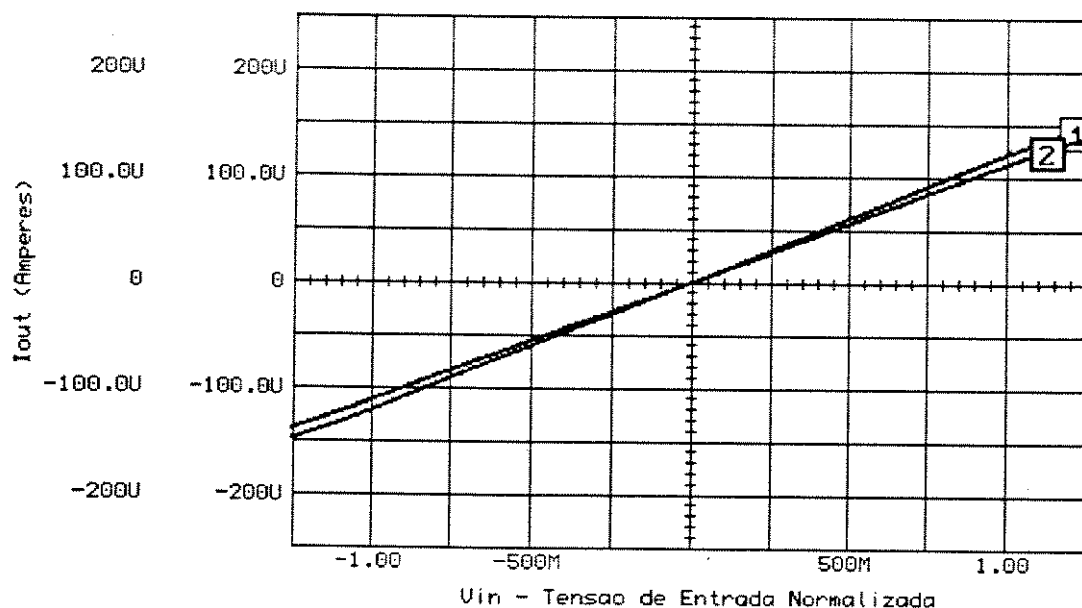


Figura 2.13 - Curva de Transferência do Par Diferencial com Célula Quadradora Cruzada

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

Segundo a equação 2.20, a transcondutância teórica do circuito é dada por $gm = 2\sqrt{Idc'K}$. Com os valores utilizados em simulação, a transcondutância teórica é de $167.7 \mu A/V$. Nas curvas 1 e 2 da figura 2.13, verificou-se uma transcondutância de $167.9 \mu A/V$ e $154.5 \mu A/V$, respectivamente. A diferença observada no último caso se deve a efeitos de redução de mobilidade e modulação de canal, não levadas em conta na análise teórica e no modelo de nível 1. Utilizando estes valores de transcondutância, a figura abaixo mostra a não-linearidade obtida em cada caso.

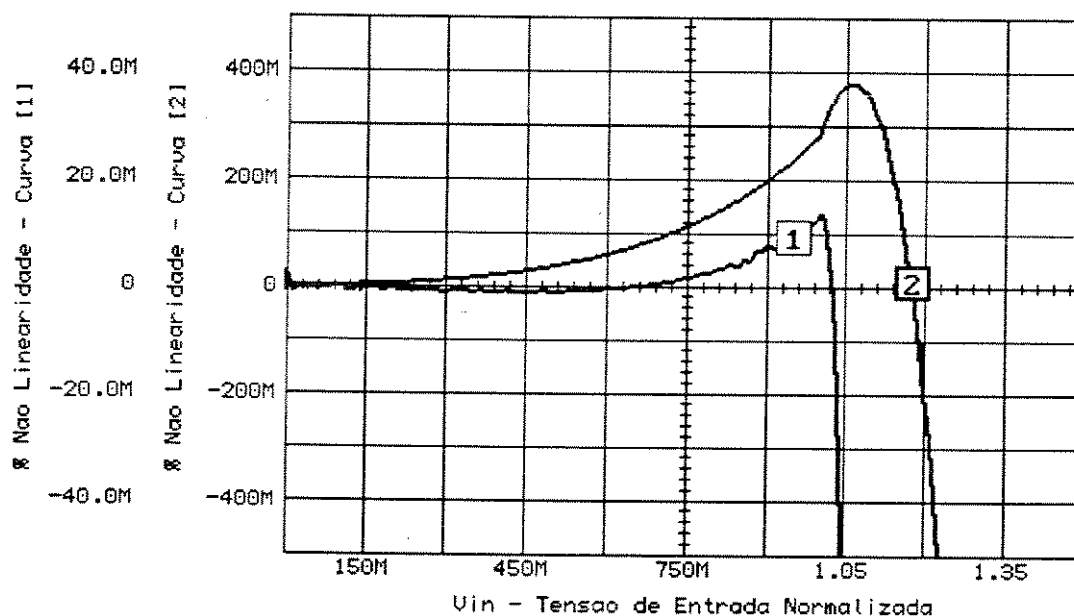


Figura 2.14 - Não-linearidade do Par Diferencial com Célula Quadradora Cruzada

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

Pela curva 1 da figura 2.14, vê-se que ocorre um cancelamento praticamente perfeito das não-linearidades, situando-se em valores abaixo de 0.02 % em toda a faixa de tensão de entrada. Já no modelo "real" (curva 2), a não-linearidade situou-se abaixo de 0.3% para toda a faixa de tensão de entrada, e abaixo de 0.1 % para 70% da faixa de entrada. Este resultados demonstram a alta linearidade do circuito.

Diferentemente do Par Diferencial em Polarização Adaptativa com Circuito Quadrador de 2 Transistores, este circuito não requer a tensão de entrada balanceada. Esta pode ser referenciada ao terra, aplicando-se todo o sinal em um dos terminais de entrada, e aterrando-se o outro terminal. Simulações verificaram que, utilizando-se o modelo de nível 1 do transistor MOS, praticamente nenhuma diferença é observada no comportamento DC do circuito, estando a não-linearidade ainda abaixo de 0.02 % para toda a faixa de entrada. Já no caso de se utilizar o modelo nível 2, a não-linearidade aumentou para 0.8 %, no ponto de tensão de entrada máxima, e situou-se abaixo de 0.1 % para apenas 20% da faixa total de entrada. Isto se deve a um não cancelamento de efeitos devido à redução de mobilidade, como ocorria no caso em que a entrada era balanceada.

2.4.2 Distorção Harmônica

Aplicando-se na entrada do circuito um sinal senoidal, diferencial e balanceado, de frequência 1 KHz, com amplitude variável, e realizando uma análise de Fourier da corrente de saída ($I_{d6} - I_{d7}$), verificou-se a distorção harmônica total do circuito em questão, para toda a faixa de tensão normalizada de entrada.

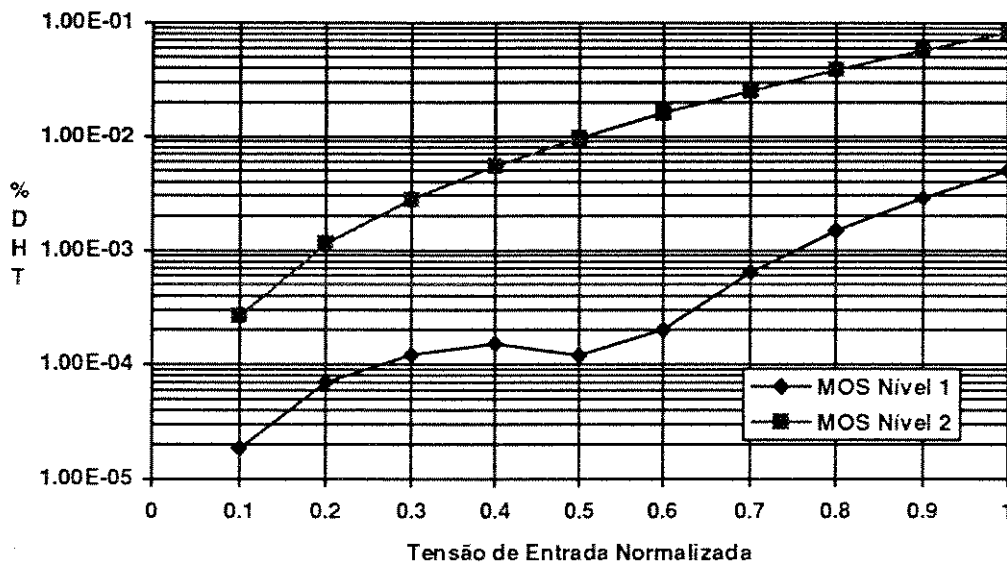


Figura 2.15 - Distorção Harmônica do Par Diferencial com Célula Quadradora Cruzada

Como era esperado, pelo alto nível de linearidade observado, a porcentagem de distorção harmônica total situou-se em valores muito baixos, em ambos os casos simulados (nível 1 e nível 2 de modelamento do transistor MOS). Para o nível 1, a porcentagem de DHT máxima situou-se abaixo de 0.005 %, e para o nível 2, abaixo de 0.09 %. Componentes harmônicas de terceira e quinta ordem foram as principais responsáveis pela DHT observada, não existindo influência de harmônicas pares devido ao caráter diferencial do circuito.

2.4.3 Resposta em Freqüência

Através de uma análise qualitativa do circuito da figura 2.12, pode-se verificar que o desempenho em freqüência do circuito em questão deve ser muito similar ao de um par diferencial simples, com um zero no semiplano direito, em altas freqüências, causado pelo caminho direto existente entre o nó de entrada e a saída, através da capacitância porta-dreno dos transistores do par diferencial (M6 e M7). Como a tensão na fonte dos transistores do par diferencial não varia (item 2.3.3), este é um terra AC. Uma vez que o sinal de entrada considerado é diferencial e balanceado, a tensão no dreno dos transistores M1 e M2 também não varia para pequenas excursões do sinal de entrada, sendo também considerado um terra AC. Já a tensão na fonte dos transistores M1 e M3 varia com a tensão de entrada, devido ao descasamento na relação W/L de tais transistores com seus pares M4 e M2. Com rigor, este ponto não deve ser considerado um terra AC, mas como esta variação é menor que a metade da variação da tensão de entrada, para uma simplificação da análise, este ponto também será considerado um terra AC.

Com estas considerações, pode-se aplicar o teorema da bissecção no circuito da figura 2.12, considerando-se apenas os transistores M1, M3 e M6. A influência dos transistores M1 e M3 é apenas a contribuição de suas capacitâncias porta-dreno, porta-fonte e porta-substrato no nó de entrada, uma vez que a saída em corrente é tomada apenas através do transistor M6. Deste modo, o circuito equivalente AC, simplificado, é mostrado na figura abaixo.

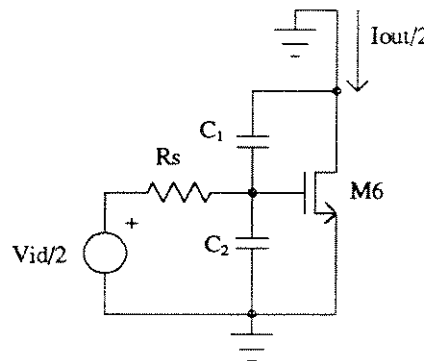


Figura 2.16 - Circuito AC simplificado do Par Diferencial com Célula Quadradora Cruzada

No circuito acima, R_s corresponde à resistência de saída da fonte geradora de sinal, e as capacitâncias C_1 e C_2 correspondem a:

$$C_1 = C_{gd6}$$

$$C_2 = C_{gs6} + C_{gb6} + C_{gs3} + C_{gb3} + C_{gd3} + C_{gs1} + C_{gb1} + C_{gd1}$$

Deste modo, a transcondutância AC do circuito é dada por:

$$\frac{I_{out}}{V_{id}}(s) = g_{m6} \frac{1 - \frac{C_1}{g_{m6}} s}{1 + R_s (C_1 + C_2) s} \quad (2.22)$$

Da expressão acima, vê-se a existência de um zero no semiplano direito, e de um pólo no semiplano esquerdo, causado pela associação RC na porta do transistor M6. As freqüências onde estão localizados este pólo e zero são dadas por:

$$f_{(zero)} = \frac{gm_6}{2\pi C_1} \rightarrow \text{semiplano direito}$$

$$f_{(polo)} = \frac{1}{2\pi R_s(C_1 + C_2)} \rightarrow \text{semiplano esquerdo}$$
(2.23)

De acordo com os parâmetros dos transistores, utilizando uma impedância de fonte de 25 Ω , as expressões acima prevêem um zero em 4.43 GHz e um pólo em 14.5 GHz, bem acima do zero. Comparando estes valores com os encontrados em simulação (4.7 GHz para o zero e aproximadamente 20 GHz para o pólo), pode-se dizer que as aproximações realizadas foram válidas, representando com boa precisão os resultados esperados.

A figura abaixo mostra a resposta em frequência do circuito total (figura 2.12), onde as curvas 1 e 2 foram obtidas com um sinal de entrada balanceado, e as curvas 3 e 4 com um sinal não balanceado, estando um dos terminais de entrada conectado ao terra.

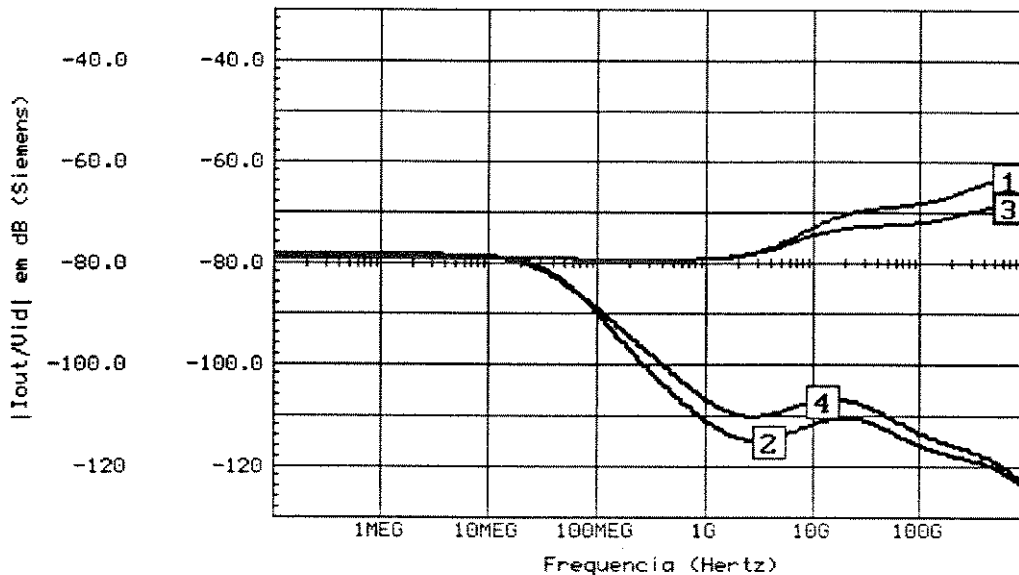


Figura 2.17 - Resposta em Frequência do Par Diferencial com Célula Quadradora Cruzada

- (1) - Transcondutância na saída do Par Diferencial - entrada balanceada
- (2) - Transcondutância da saída dos espelhos de corrente - entrada balanceada
- (3) - Transcondutância na saída do Par Diferencial - entrada não balanceada
- (4) - Transcondutância da saída dos espelhos de corrente - entrada não balanceada

Através de uma análise da figura acima, vê-se que, novamente, os espelhos de corrente são o fator limitante do desempenho em frequência em circuitos práticos. No caso em questão, ocorre um pólo dominante em 33 MHz, bem abaixo do zero em 4.7 GHz. A influência de um sinal de entrada não balanceado também é sentida nas curvas 3 e 4. Neste caso, o circuito não mais é simétrico, o que torna a análise bastante complexa. Porém, os zeros e pólos mais influentes na resposta em frequência permanecem praticamente os mesmos, como se pode observar.

Verificou-se que, como previsto, este circuito apresenta um desempenho em frequência muito similar ao de um par diferencial simples, com a diferença de que o pólo previsto situa-se agora em frequências mais baixas (mas ainda maior que a frequência do zero), uma vez que as capacitâncias de 3 transistores estão sendo consideradas.

2.4.4 Excursão do Sinal de Entrada em relação às Fontes de Alimentação

Este circuito não apresenta uma boa excursão do sinal de entrada em relação às fontes de alimentação, uma vez que a célula quadradora cruzada (figura 2.10) é o fator limitante da tensão de entrada, com os limites impostos pela relação 2.15. Utilizando as expressões 2.15 e 1.17, pode-se mostrar que a porcentagem de excursão de entrada em relação às fontes de alimentação é dada por:

$$Excursao_{vin}(\%) = \left(\frac{2.42 \sqrt{Idc'/K}}{|Vdd - Vss|} \right) \cdot 100 \quad (2.24)$$

De acordo com os valores utilizados em simulação, com fontes de alimentação de $\pm 5V$, a excursão de entrada é apenas 14.43% das fontes de alimentação. Utilizando os valores mínimos de Vdd e Vss para que todos os transistores ainda operem em sua região de saturação para toda a excursão do sinal de entrada ($Vdd = 1.4 V$ e $Vss = -2.83 V$), este valor aumenta para 34.1%. Foi considerado, neste caso, um sinal de entrada simples, sendo este aplicado em apenas um dos transistores do par diferencial (M6), estando o outro com sua porta ligada ao terra.

2.5 Conclusões

Os dois circuitos estudados apresentaram boa linearidade, baixa distorção harmônica, alta resposta em frequência, e razoável excursão do sinal de entrada em relação às fontes de alimentação.

Com respeito ao **processamento em grandes sinais**, ambos os circuitos prevêem um cancelamento completo das não-linearidades, teoricamente. Porém, o que apresentou melhor desempenho foi o Par Diferencial em Polarização Adaptativa com Célula Quadradora Cruzada, uma vez que existe uma certa compensação do efeito de redução da mobilidade com o campo elétrico. Este circuito apresenta uma resolução de 10 bits para 70% de sua faixa de tensão de entrada, enquanto o primeiro circuito (Par Diferencial em Polarização Adaptativa com Circuito Quadrador de 2 Transistores) apresenta uma resolução de 8 bits para 50% de sua faixa de entrada, devido ao efeito de redução da mobilidade com o campo elétrico.

A mesma análise realizada para o caso anterior também é válida no caso da **distorção harmônica total**, uma vez que o circuito que apresenta a melhor linearidade também possui a menor distorção harmônica. O primeiro circuito apresentou uma DHT abaixo de 0.1% para 50% da tensão de entrada normalizada, enquanto, no segundo circuito, esta situou-se abaixo de 0.1% para toda a faixa de tensão de entrada.

Com relação à **resposta em frequência**, ambos os circuitos apresentaram desempenho semelhante, com um zero em altas frequências (na faixa de gigahertz). Em ambos os circuitos, como em todos circuitos analisados até agora, o fator limitante em aplicações práticas é devido aos espelhos de corrente, necessários para realizar a subtração entre as correntes de saída do elemento transcondutor, o que introduz um pólo em baixas frequências. Devem-se, portanto, escolher configurações adequadas de espelhos de corrente que possuam melhor resposta em frequência.

No que diz respeito à **excursão do sinal de entrada em relação às fontes de alimentação**, o primeiro circuito apresentou um melhor resultado, devido à sua topologia e ao fato de que a tensão de entrada é balanceada, reduzindo-se a tensão efetiva aplicada aos transistores, fazendo com que as tensões de alimentação pudessem ser ainda mais reduzidas.

Capítulo III

Transcondutores em Classe AB

3.1 Introdução

Transcondutores cuja corrente de saída é maior que a corrente do ponto quiescente de operação operam, normalmente, em classe AB. Esta característica, também observada nos circuitos do capítulo anterior devido à presença de fontes de corrente dinâmicas, é agora devida às correntes fornecidas diretamente pelas fontes de alimentação. Desta maneira, transcondutores em classe AB exploram tipicamente a relação quadrática de corrente-tensão do transistor MOS para se conseguir a linearização [14].

Este capítulo trata, inicialmente, dos princípios básicos da operação em classe AB. Após, é analisada a operação de pares de transistores CMOS em substituição a transistores simples. Em seguida, dois circuitos são analisados, demonstrando a técnica de operação em classe AB, empregando-se pares CMOS. O primeiro deles, intitulado Quadrador Duplo Cruzado [15], utiliza fontes de tensão flutuantes para se conseguir a linearização. O segundo, Par Duplo CMOS [16], mostra uma maneira de se conseguir um transcondutor bastante simples, necessitando-se apenas de um ponto de tensão de entrada.

3.2 Princípios Básicos de Circuitos em Classe AB

A figura abaixo representa um circuito de 2 transistores para se demonstrarem os princípios da operação em classe AB.

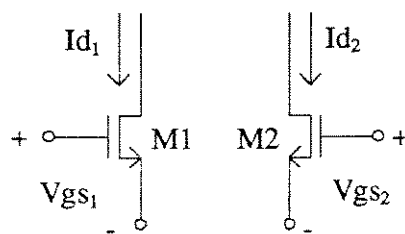


Figura 3.1 - Circuito de 2 transistores

Assumindo que os transistores da figura 2.1 são casados e que ambos estão operando na região de saturação, assumido o modelo simplificado do transistor MOS, conforme descrito no apêndice A, a corrente diferencial de saída pode ser dada por:

$$I_{out} = Id_1 - Id_2 = K(V_{gs1} + V_{gs2} - 2V_T)(V_{gs1} - V_{gs2}) \quad (3.1)$$

A equação acima mostra que, utilizando-se sinais de entrada diferenciais e balanceados, pode-se conseguir uma corrente de saída linear, dada por:

$$I_{out} = Id_1 - Id_2 = 2K(V_{cm} - V_T)V_{id} \rightarrow |V_{id}| \leq 2(V_{cm} - V_T) \quad (3.2)$$

onde

$$V_{cm} = \frac{V_{gs1} + V_{gs2}}{2} \quad (a) \quad (3.3)$$

$$V_{id} = V_{gs1} - V_{gs2} \quad (b)$$

Deste modo, a transcondutância do circuito, dada por $gm = 2K(V_{cm} - V_T)$, pode ser alterada, variando-se o valor de modo comum da tensão de entrada.

A figura abaixo representa o mecanismo de cancelamento das não-linearidades, ilustrando graficamente a operação em classe AB.

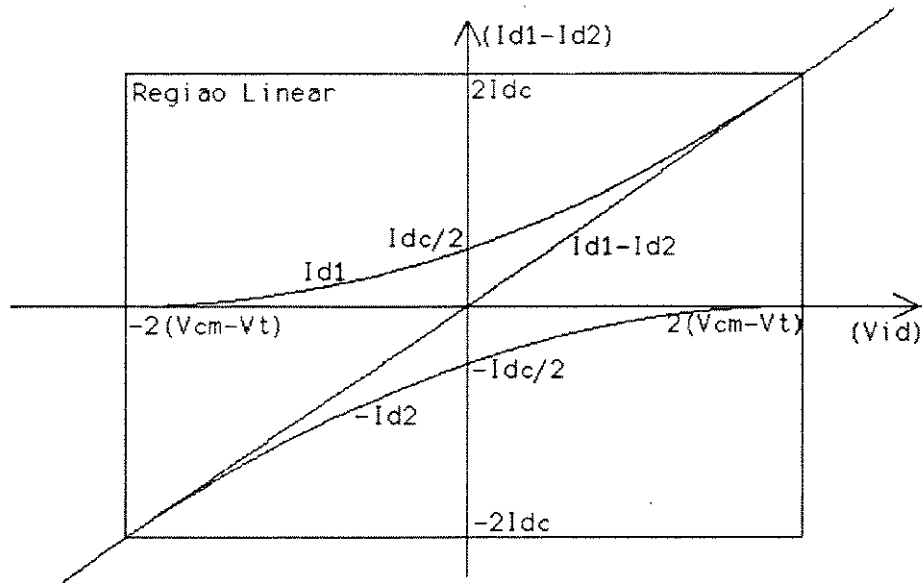


Figura 3.2 - Ilustração da operação em classe AB, com cancelamento das não-linearidades

Uma outra característica interessante da operação em classe AB pode ser observada ao se somarem as correntes Id_1 e Id_2 , resultando uma relação quadrática entre a corrente de saída e a tensão de entrada, dada por:

$$I_{out} = Id_1 + Id_2 = Idc + k'V_{id}^2 \rightarrow |V_{id}| \leq \sqrt{\frac{2Idc}{K}} \quad (3.4)$$

onde

$$Idc = 2K(V_{cm} - V_T)^2 \quad (a) \quad (3.5)$$

$$k' = \frac{K}{2} \quad (b)$$

O gráfico ilustrativo desta situação encontra-se na figura 3.3. Pode-se perceber, comparando-se as equações 2.5 e 2.6 com as equações acima, que ambas possuem a mesma forma. Na verdade, em circuitos em que é forçada uma corrente da forma de 3.4 e 3.5, como é o caso dos circuitos do capítulo II, assegura-se que a soma das tensões porta-fonte dos transistores envolvidos é constante, resultando em operação em classe AB, eliminando as não-linearidades. Desta maneira, os transcondutores em polarização adaptativa podem ser completamente descritos em termos da operação em classe AB.

Deste modo, podem-se definir os princípios fundamentais da operação em classe AB. Sob a condição de que a **soma das tensões porta-fonte** de dois transistores casados, operando na saturação, seja **constante**, estes apresentam uma **relação linear entre a diferença de suas correntes e a diferença das tensões porta-fonte (V_{id})** e uma **relação quadrática entre a soma de suas correntes e a mesma diferença de tensões V_{id}** .

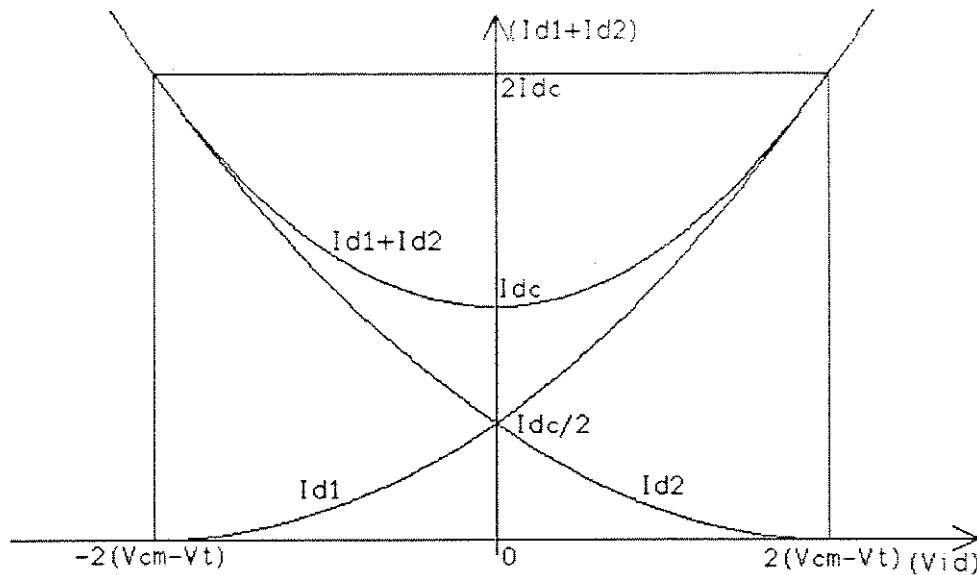


Figura 3.3 - Ilustração da operação em classe AB, com relação quadrática entre corrente e tensão

3.3 O Par CMOS

Os dois transdutores estudados neste capítulo fazem uso do Par CMOS, razão pela qual este bloco merece uma análise mais detalhada. O circuito é constituído de 2 transistores MOS, sendo um canal N e outro canal P. A figura abaixo mostra um transistor MOS e o Par CMOS.

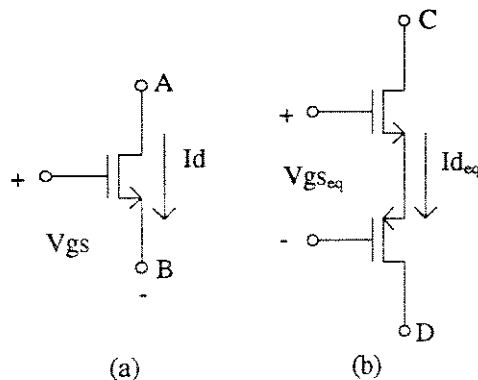


Figura 3.4 - (a) - Transistor MOS canal N
(b) - Par CMOS equivalente

Para os transistores do Par CMOS, utilizando a expressão simplificada de comportamento do transistor MOS na região de saturação, descrita no apêndice A, pode-se mostrar que:

$$V_{gs_N} = V_{TN} + \sqrt{\frac{I_{d_{eq}}}{K_N}} \quad (a)$$

$$V_{gs_P} = |V_{TP}| + \sqrt{\frac{I_{d_{eq}}}{K_P}} \quad (b)$$

(3.6)

Da figura 3.4-(b), vê-se que a tensão $V_{gs_{eq}}$ é a soma das tensões V_{gs_N} e V_{gs_P} . Utilizando as equações 3.6-(a) e 3.6-(b), pode-se mostrar que a tensão porta-fonte equivalente para o Par CMOS é dada por:

$$V_{gs_{eq}} = V_{Teq} + \sqrt{\frac{I_{d_{eq}}}{K_{eq}}} \quad (3.7)$$

onde

$$V_{Teq} = V_{TN} + |V_{TP}| \quad (a)$$

(3.8)

$$K_{eq} = \frac{K_N K_P}{(\sqrt{K_N} + \sqrt{K_P})^2} \quad (b)$$

Desta maneira, utilizando a equação 3.7, a corrente que flui através dos terminais C e D da figura 3.4 é dada por:

$$I_{d_{eq}} = K_{eq} (V_{gs_{eq}} - V_{Teq})^2 \quad (3.9)$$

Através da equação acima, pode-se concluir que o Par CMOS possui um comportamento idêntico ao transistor MOS simples, na saturação, com uma tensão de limiar equivalente dada pela equação 3.8-(a) e uma transcondutância dada por 3.8-(b). A diferença reside no fato de que ambos os terminais de controle, no Par CMOS, são de alta impedância. Já o transistor MOS simples possui corrente fluindo por um dos terminais de controle.

3.4 Quadrador Duplo Cruzado

O circuito analisado neste item, operando em classe AB, é mostrado, simplificado, na figura abaixo. Este é composto de 2 transistores, M1 e M2, e 2 fontes de tensão flutuantes, de baixa impedância, dependentes da tensão de limiar dos transistores.

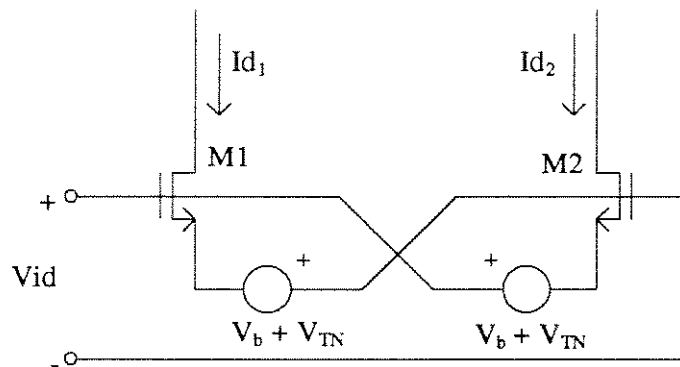


Figura 3.5 - Circuito Simplificado do Quadrador Duplo Cruzado

Um dos problemas encontrados no circuito da figura 3.5 é a necessidade de duas fontes de tensão flutuantes. Estas devem manter praticamente o mesmo valor de tensão, independentemente

da corrente que passe pelas mesmas (baixa impedância), além de não consumir, ou consumir muito pouca corrente das fontes de sinal, para manter uma alta impedância de entrada.

A referência [12] mostra uma maneira de se conseguirem fontes flutuantes com estas características. Estas são realizadas através de transistores "n" vezes maiores que os transistores M1 e M2, como mostrado no capítulo II, figura 2.10 - Célula Quadradora Cruzada. Se, ao invés de se tomar a soma das correntes I_{d1} e I_{d2} , for tomada a diferença das mesmas, o circuito resultante implementa o circuito em questão. Porém, como as correntes que fluem por M3 e M4 são função da tensão de entrada, para se obter uma fonte de tensão de baixa impedância deve-se fazer com que "n" seja o maior possível, além de polarizados estes transistores com correntes muito superiores às correntes provocadas pela variação na tensão de entrada. Isto acarreta transistores muito grandes e baixa eficiência do circuito.

Uma outra maneira de implementação deste tipo de circuito é descrita em [15]. Conforme já mostrado no item 3.3 - O Par CMOS, um transistor MOS pode ser substituído por um par de transistores CMOS em série. Deste modo, o circuito resultante é mostrado na figura abaixo. Pode-se notar que as correntes I_1 e I_2 podem ser tomadas tanto na parte superior quanto na parte inferior do circuito.

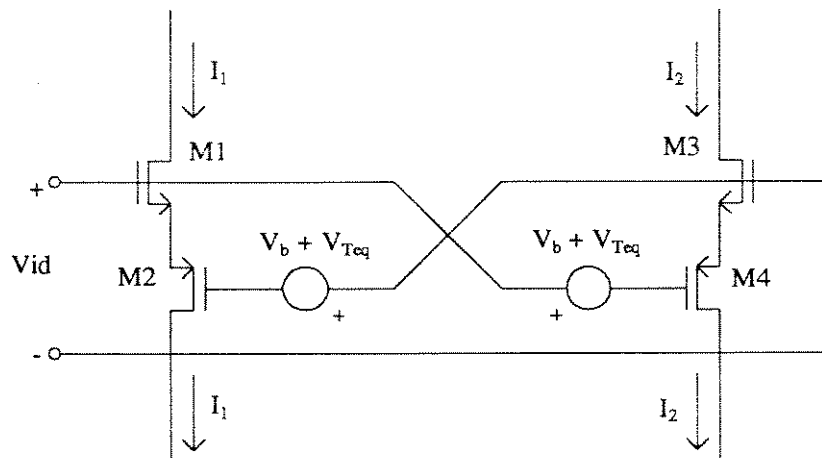


Figura 3.6 - Circuito Quadrador Duplo Cruzado simplificado com Par CMOS

É importante notar que, agora, as correntes I_1 e I_2 não mais fluem através das fontes de tensão flutuantes, facilitando o seu projeto. Esta fonte de tensão pode ser implementada através de uma conexão tipo diodo no Par CMOS, polarizados por uma fonte de corrente, como mostrado na figura abaixo.

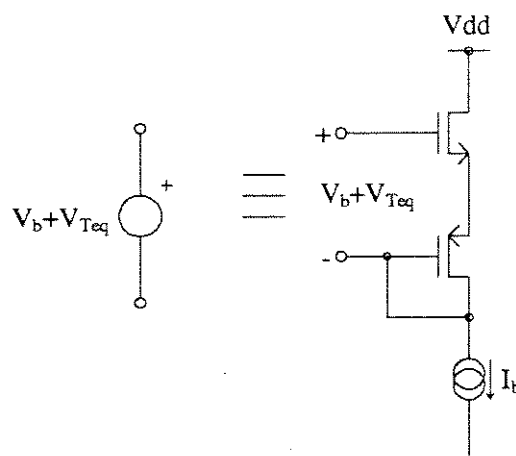


Figura 3.7 - Fonte de Tensão Flutuante com Par CMOS

Introduzindo a fonte de tensão flutuante da figura 3.7, o circuito resultante é mostrado na figura abaixo.

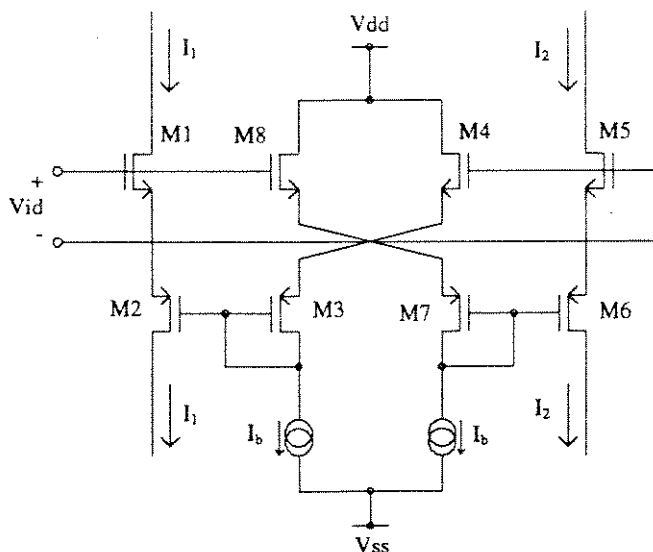


Figura 3.8 - Circuito Quadrador Duplo Cruzado com Pares CMOS

Da figura 3.8, percebe-se a existência de até 3 transistores num mesmo ramo de corrente. Utilizando fontes de alimentação de $\pm 5V$, e tensão de modo comum nula do sinal de entrada, a excursão do mesmo provocaria limites inferiores a $4V$ para manter os 3 transistores saturados. Isto requereria transistores de grande relação W/L e pequena corrente de polarização, diminuindo a transcondutância do circuito e reduzindo significativamente a resposta em frequência. A solução encontrada foi a inclusão de circuitos deslocadores de nível DC na entrada do bloco transcondutor, de modo que a tensão de entrada continuasse a possuir tensão de modo comum nula, mas as tensões nas portas dos transistores M1, M8 e M4, M5 pudessem assumir valores positivos, de forma a não limitar a operação dos transistores. Deste modo, o circuito completo, com os deslocadores de nível e espelhos de corrente para efetuar a diferença de correntes é mostrado abaixo.

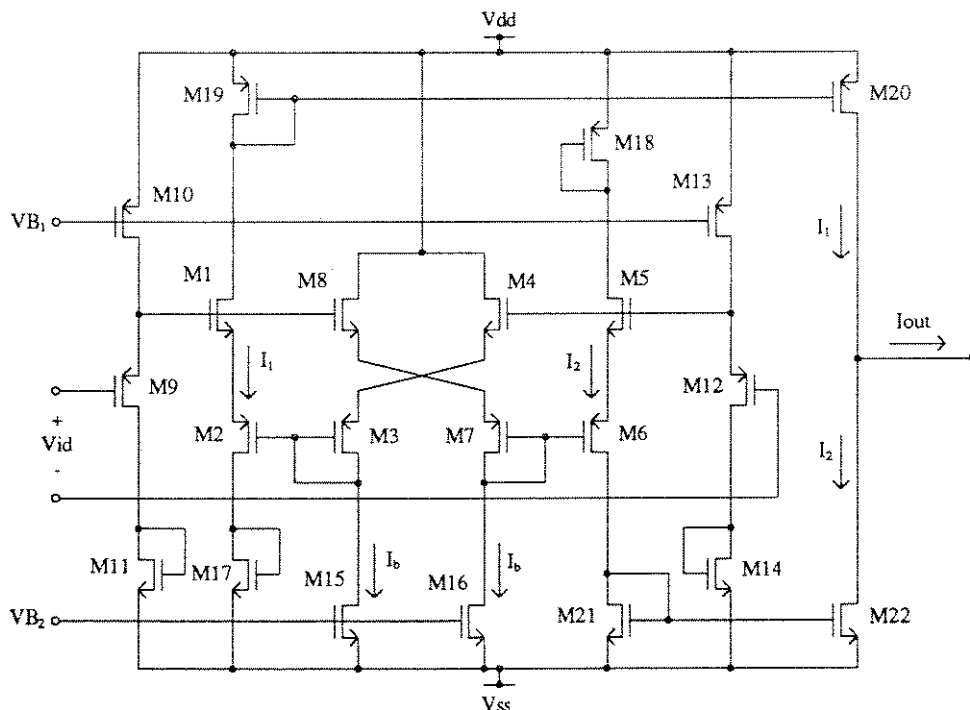


Figura 3.9 - Circuito Completo do Quadrador Duplo Cruzado

No circuito da figura 3.9, os transistores M10 e M13 implementam as fontes de corrente dos deslocadores de nível. Os transistores M9 e M12, polarizados com corrente constante, implementam os deslocadores de nível DC, e os transistores M11 e M14 possuem apenas a função de diminuir a tensão V_{ds} de M9 e M12, de modo a diminuir efeitos de modulação de canal. Através de um ajuste da tensão V_{B1} , pode-se alterar a tensão de modo comum na porta dos transistores M1, M8 e M4, M5. Os transistores M15 e M16, controlados pela tensão de polarização V_{B2} , implementam as fontes de corrente das fontes de tensão flutuantes. É através de V_{B2} , portanto, que se pode alterar a transcondutância do circuito. Os transistores M19, M20, M21 e M22 implementam os espelhos de corrente necessários à realização da diferença das correntes I_1 e I_2 num ramo único. É importante notar que o fato de as correntes I_1 e I_2 serem disponíveis tanto na parte superior quanto na parte inferior do circuito facilita esta operação, não sendo necessário um espelho de corrente adicional, como normalmente ocorre. Os transistores M17 e M18, geometricamente idênticos aos transistores M21 e M19, respectivamente, possuem a função de estabelecer uma simetria no circuito, devido a efeitos de modulação de canal pelas tensões dreno-fonte dos transistores.

Todas as simulações realizadas foram efetuadas levando-se em conta o circuito da figura 3.9, com os seguintes parâmetros

- ☞ $V_{dd} = -V_{ss} = 5\text{ V}$
- ☞ $I_b = 100\text{ }\mu\text{A}$
- ☞ $I_{\text{desl.nível}} = 20\text{ }\mu\text{A}$
- ☞ $(W/L)_{M1,M4,M5,M8} = 20\mu/5\mu$
- ☞ $(W/L)_{M2,M3,M6,M7} = 55.4\mu/5\mu$
- ☞ $(W/L)_{M9,M12} = 6\mu/10\mu$
- ☞ $(W/L)_{M10,M13} = 150\mu/10\mu$
- ☞ $(W/L)_{M11,M14} = 5\mu/10\mu$
- ☞ $(W/L)_{M15,M16} = 200\mu/5\mu$
- ☞ $(W/L)_{M17,M18,M19,M20,M21,M22} = 40\mu/5\mu$
- ☞ $R_{out} = 50\text{ }\Omega$, $R_s = 50\text{ }\Omega$

Nos parâmetros acima, R_{out} é a resistência de carga no nó de saída simples, indicado por I_{out} na figura 3.9., e R_s é a resistência interna da fonte geradora de sinal.

3.4.1 Linearidade

Através da aplicação da lei das tensões de Kirchhoff nas malhas que envolvem os transistores M1 e M2 da figura 3.5, pode-se mostrar que a soma e a diferença das tensões porta-fonte destes transistores pode ser expressa por:

$$\begin{aligned} V_{gs1} + V_{gs2} &= 2(V_b + V_{TN}) \\ V_{gs1} - V_{gs2} &= 2V_{id} \end{aligned} \quad (3.10)$$

Utilizando as expressões acima na equação 3.1, tem-se a corrente de saída, dada por:

$$I_{out} = 4K V_b V_{id} \quad (3.11)$$

Desta forma, a corrente de saída é perfeitamente linear em relação à tensão de entrada, com uma transcondutância ajustável pela tensão V_b , dada por:

$$gm = 4K V_b \quad (3.12)$$

É importante salientar que nenhuma hipótese foi feita sobre a natureza do sinal de entrada V_{id} , podendo este ser balanceado ou não. Além disso, a fonte de tensão flutuante é referenciada ao sinal de entrada, e não às fontes de alimentação.

Substituindo-se os transistores MOS por Pares CMOS (figura 3.6), o comportamento do circuito é exatamente o mesmo descrito pelas equações 3.10 a 3.12, com uma substituição dos parâmetros dos transistores K e V_T por K_{eq} e V_{Teq} (equações 3.8-a e 3.8-b). Deste modo, tem-se que a corrente de saída e a transcondutância são dadas, respectivamente, por:

$$I_{out} = 4 K_{eq} V_b V_{id} \quad (3.13)$$

$$gm = 4 K_{eq} V_b \quad (3.14)$$

Através da análise da figura 3.7, utilizando a equação 3.7, a tensão constante V_b pode ser expressa por:

$$V_b = \sqrt{\frac{I_b}{K_{eq}}} \quad (3.15)$$

Substituindo a equação 3.15 nas equações 3.13 e 3.14, as expressões finais da corrente de saída e transcondutância são dadas por:

$$I_{out} = 4 \sqrt{I_b K_{eq}} V_{id} \quad (3.16)$$

$$gm = 4 \sqrt{I_b K_{eq}} \quad (3.17)$$

Estas expressões são válidas, desde que todos os dispositivos envolvidos se mantenham na região de saturação, condição que é satisfeita se:

$$-\sqrt{\frac{I_b}{K_{eq}}} \leq V_{id} \leq \sqrt{\frac{I_b}{K_{eq}}} \quad (3.18)$$

A figura 3.10 mostra a curva de transferência do Quadrador Duplo Cruzado. As curvas 1 e 2 correspondem, respectivamente, às simulações realizadas utilizando-se os modelos Spice de níveis 1 e 2 do transistor MOS. No eixo "x", tem-se a tensão de entrada normalizada, dada por:

$$V_{in} = \frac{V_{id}}{\sqrt{\frac{I_b}{K_{eq}}}} \quad (3.19)$$

De acordo com as geometrias dos transistores utilizados, o parâmetro K_{eq} possui um valor teórico de $34.96 \mu A/V^2$. Com isso, a expressão da transcondutância, dada por 3.17, assume o valor teórico de $236.5 \mu A/V$. Os valores encontrados em simulação foram de $232.36 \mu A/V$ e $218.18 \mu A/V$, para as curvas 1 e 2, respectivamente. Esta diferença acentuada, no caso da simulação com modelo de nível 2 do transistor MOS, se deve, principalmente, à redução de K_{eq} , devido a efeitos de redução de mobilidade dos portadores dos transistores com o aumento da tensão porta-fonte dos mesmos.

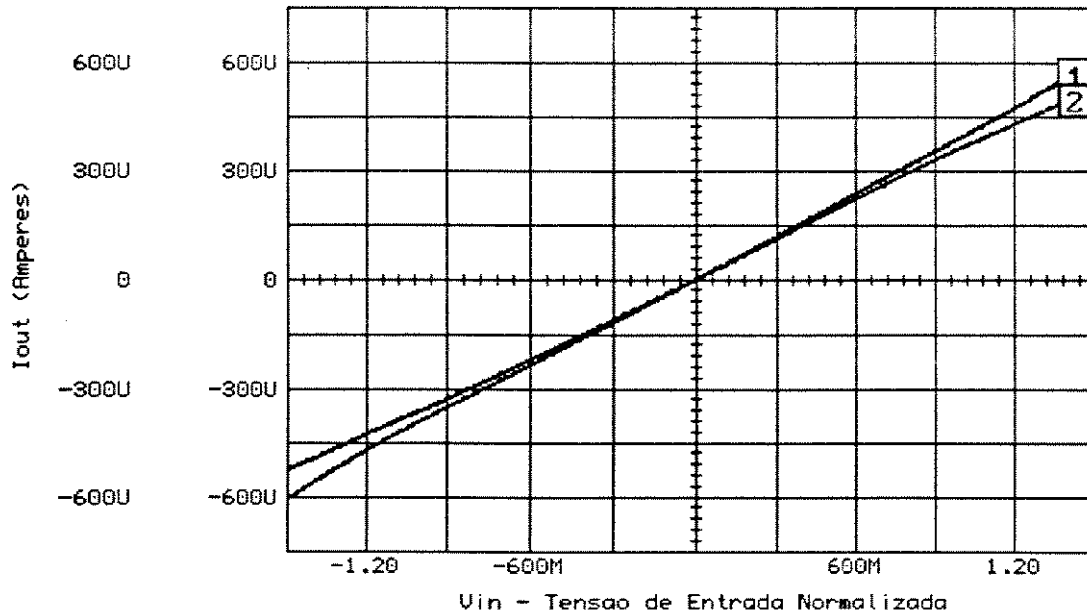


Figura 3.10 - Curva de Transferência do Quadrador Duplo Cruzado

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

A figura abaixo mostra a não-linearidade, em ambas as situações simuladas, com sinais de entrada diferenciais e balanceados. Pode-se notar que, para uma não-linearidade abaixo de 0.1%, os sinais de entrada devem estar numa amplitude abaixo de 47% da tensão normalizada V_{in} , na curva 1, e abaixo de 28% na curva 2. Segundo a equação 3.19, com os valores de I_b e K_{eq} utilizados, estes valores representam tensões diferenciais de entrada de 795 mV e 474 mV, respectivamente. Já para não-linearidades abaixo de 1%, os sinais de entrada devem situar-se abaixo de 87% da tensão normalizada de entrada, para a curva 2, o que representa uma tensão diferencial de 1,47 V.

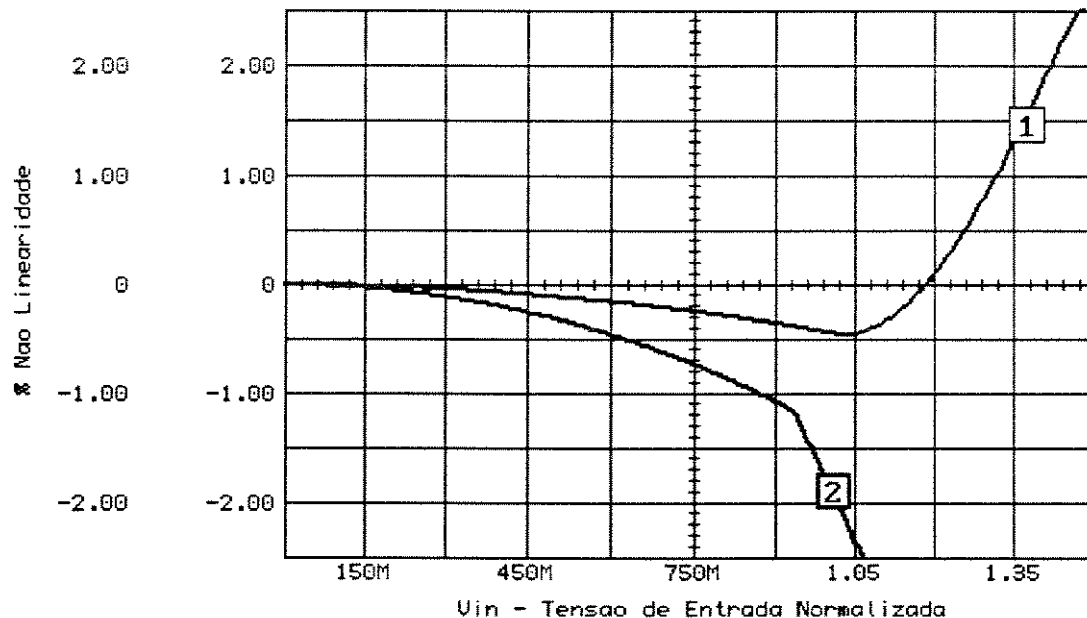


Figura 3.11 - Não-linearidade do Quadrador Duplo Cruzado

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

A descontinuidade observada na curva 2 da figura 3.11 se deve ao fato de o modelo de nível 2 do transistor MOS considerar a variação da mobilidade dos portadores apenas a partir de uma tensão porta-fonte que atinja um campo elétrico crítico.

Uma outra fonte de não-linearidade, não considerada na análise teórica, é a variação das tensões de limiares dos transistores, em função da tensão fonte-substrato, ou efeito de corpo. No caso de sinais de entrada diferenciais e balanceados, este efeito pode ser minimizado, fazendo com que os transistores de canal N e canal P de cada Par CMOS possuam a mesma transcondutância ($K_N = K_P$). Deste modo, a tensão na fonte de ambos os transistores praticamente não varia, podendo ser considerado um terra virtual. Nas figuras 3.8 e 3.9, isto significa fazer com que os transistores de canal P (M2, M3, M6 e M7) sejam idênticos, e possuam uma relação de geometria (W/L) aproximadamente 3 vezes maior que os transistores de canal N (M1, M4, M5 e M8). Os valores de geometria utilizados nas simulações contemplaram este fato. O valor de K_N resultante foi de $140.7 \mu A/V^2$, e o de K_P , $139 \mu A/V^2$.

De acordo com o processo utilizado [4], as fontes dos transistores de canal P podem ser conectadas ao próprio poço (substrato do transistor P), ou a qualquer outro potencial. Já os transistores de canal N, estes já possuem o substrato conectado ao potencial mais negativo do circuito, Vss. Deste modo, um melhor desempenho do circuito é obtido conectando-se os poços ao potencial mais positivo, Vdd, e não às fontes dos transistores. Segundo a equação 3.8-a, vê-se que a tensão V_{Teq} é a soma dos módulos de ambas as tensões de limiares dos transistores N e P. Com isso, existindo uma variação, ainda que pequena nos nós de fontes dos Pares CMOS, ocorre uma variação mínima em V_{Teq} , uma vez que as variações dos módulos de V_{TN} e V_{TP} se dão em sentidos opostos.

Verificando as considerações acima realizadas, para sinais de entrada diferenciais e balanceados, a variação de tensão nos nós de fonte dos Pares CMOS foi de 27 mV para $|V_{in}| < 1$, no caso de simulação com modelos de nível 1 do transistor MOS, e 13 mV para modelos de nível 2. Estas variações se devem ao fato de que o parâmetro K_P não é exatamente igual a K_N , conforme já descrito. É esta a razão pela qual existem não-linearidades consideráveis, inclusive nas simulações utilizando modelos de nível 1 do transistor MOS.

Quando se utilizam tensões não balanceadas, conectando-se um dos terminais ao terra e aplicando-se a tensão de entrada no outro terminal (entrada simples), a variação de tensão nos nós de fonte dos Pares CMOS chega a 1,5 V e 1,45 V, para os modelos de nível 1 e 2, respectivamente. Com isso, ocorre um considerável aumento das não-linearidades, devido ao efeito de corpo. Para se ter uma idéia, na simulação de nível 1, para que as não-linearidades se mantivessem abaixo de 0.1 %, o sinal de entrada sofreu uma diminuição de 47% da tensão normalizada, utilizando-se sinais balanceados. No caso de sinais não balanceados, o sinal de entrada diminuiu para 12% da tensão normalizada. Já na simulação de nível 2, este valor diminuiu de 28% da tensão normalizada para 6% da mesma, comprovando as não-linearidades introduzidas pelo efeito de corpo.

3.4.2 Distorção Harmônica

Utilizando sinais senoidais, diferenciais e balanceados, com amplitude normalizada de 0.1 a 1 V, analisou-se a distorção harmônica total obtida fazendo-se a diferença das correntes I_1 e I_2 da figura 3.9.

A figura 3.12 mostra os resultados obtidos, segundo os procedimentos descritos no item 1.2.2. Percebe-se que, em ambos os casos, a DHT situou-se abaixo de 0.3% para toda a faixa de tensão de entrada. Para uma DHT abaixo de 0.1%, deve-se ter $V_{in} < 0.6$, segundo a simulação com modelo de nível 2.

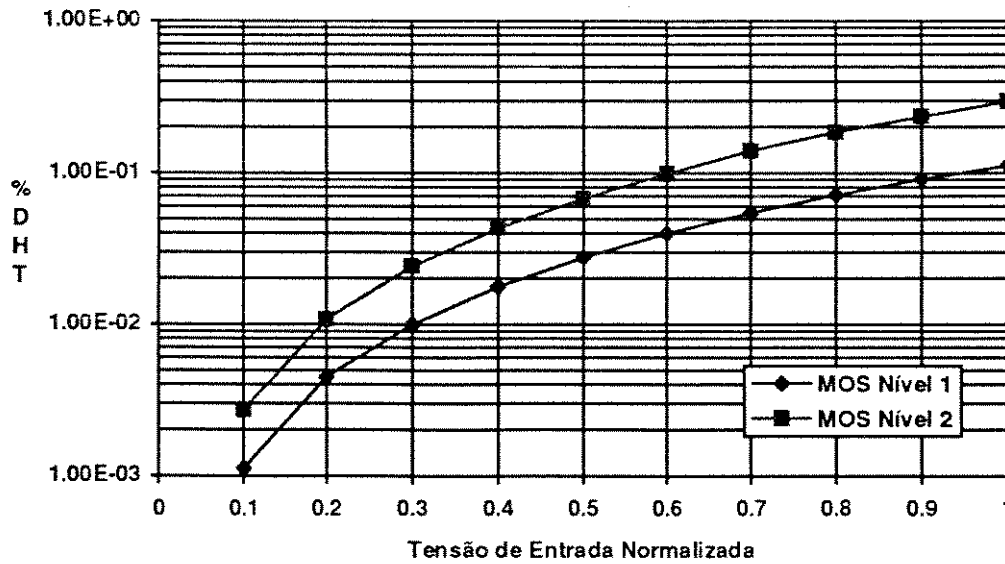


Figura 3.12 - Distorção Harmônica do Quadrador Duplo Cruzado

3.4.3 Resposta em Frequência

A resposta em frequência deste circuito pode ser dividida em duas partes. A primeira consiste na análise da célula transcondutora, mostrada na figura 3.8. Na segunda parte, esta análise é realizada incluindo-se os circuitos deslocadores de nível DC. Considerando que os sinais de entrada são diferenciais e balanceados, conforme já explicado na análise das não-linearidades, as tensões nas fontes dos Pares CMOS (M1-M2 e M5-M6) praticamente não variam, podendo estes nós ser considerados terras virtuais. Deste modo, o circuito equivalente AC da célula transcondutora é mostrado na figura abaixo, em que a fonte de corrente I_0 é implementada pelo transistor M16.

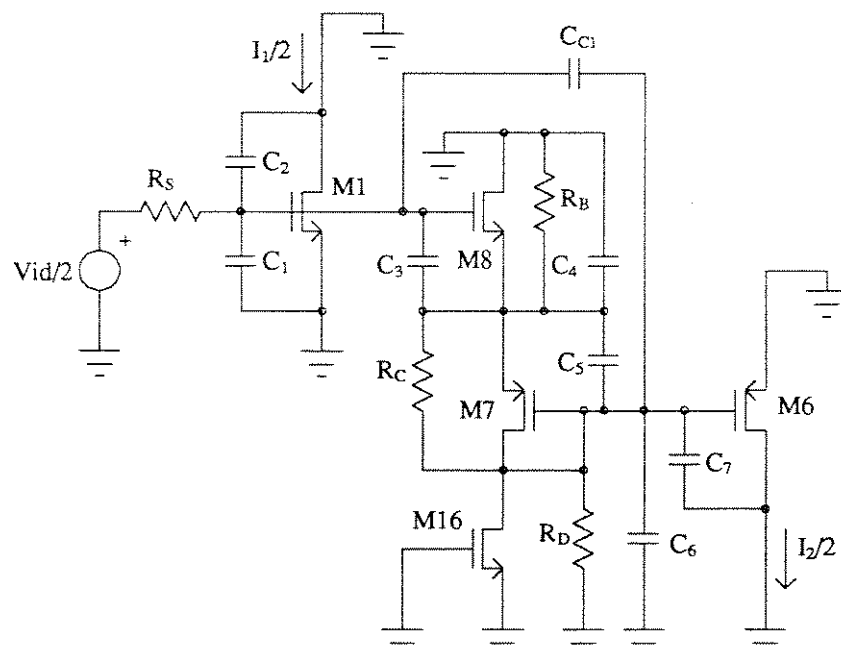


Figura 3.13 - Circuito Equivalente AC da Célula Transcondutora do Quadrador Duplo Cruzado

A figura 3.13 apresenta apenas a metade do circuito original, sendo este suficiente para a análise. Isto se deve ao fato de que tensões diferenciais e balanceadas estão sendo aplicadas, o que torna o circuito simétrico.

As capacitâncias e resistências apresentadas na figura, com exceção de C_{C1} , representam a associação em paralelo das várias capacitâncias e condutâncias inerentes de cada transistor. Deste modo, tem-se:

$$\begin{aligned} \Rightarrow C_1 &= C_{gs1} + C_{gb1} + C_{gb8} + C_{gd8} \\ \Rightarrow C_2 &= C_{gd1} \\ \Rightarrow C_3 &= C_{gs8} \\ \Rightarrow C_4 &= C_{bs8} + C_{bs7} \\ \Rightarrow C_5 &= C_{gs7} \\ \Rightarrow C_6 &= C_{gs6} + C_{gb6} + C_{gb7} + C_{bd7} + C_{bd16} + C_{gd16} \\ \Rightarrow C_7 &= C_{gd6} \\ \Rightarrow R_B &= g_{ds8}^{-1} \\ \Rightarrow R_C &= g_{ds7}^{-1} \\ \Rightarrow R_D &= g_{ds16}^{-1} \end{aligned}$$

A expressão da transcondutância do circuito em função da frequência é bastante complexa para ser explicitada neste texto. Para se ter uma idéia, esta é uma função de ordem 3 no numerador, e de ordem 3 no denominador. Considerando que a impedância da fonte de sinal (R_s) tende a zero, a expressão resultante torna-se a seguinte, já substituindo todos os valores numéricos das variáveis acima:

$$\frac{I_{out}}{V_{id}}(s) = \frac{I_1 - I_2}{V_{id}}(s) = 445.04 \cdot 10^{-6} \left(\frac{1 + 4.573133 \cdot 10^{-9} s + 3.10297 \cdot 10^{-18} s^2 - 9.12217 \cdot 10^{-29} s^3}{1 + 7.66837 \cdot 10^{-9} s + 5.98457 \cdot 10^{-18} s^2} \right) \quad (3.20)$$

A expressão acima possui zeros e pólos nas seguintes frequências:

$$\begin{aligned} z_1 &= 42.626 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_2 &= 183.82 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_3 &= 5.6403 \text{ GHz} \rightarrow \text{semitplano direito} \\ p_1 &= 23.452 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ p_2 &= 180.49 \text{ MHz} \rightarrow \text{semitplano esquerdo} \end{aligned} \quad (3.21)$$

Como se pode observar, existe um pólo em baixas frequências (23 MHz), cujo efeito é compensado por um zero em 42 MHz. A introdução de um capacitor de compensação C_{C1} faz com seja possível a eliminação dos efeitos deste pólo e deste zero, fazendo com que ambos estejam na mesma frequência. Deste modo, a função de transferência, expressa na equação 3.20, é modificada da seguinte forma:

$$\frac{I_{out}}{V_{id}}(s) = 445.04 \cdot 10^{-6} \left[\frac{1 + (4.573133 \cdot 10^{-9} + 8705.51 C_{C1}) s + (3.10297 \cdot 10^{-18} + 7.35085 \cdot 10^{-6} C_{C1}) s^2 + (-9.12217 \cdot 10^{-29} - 3.64451 \cdot 10^{-6} C_{C1}) s^3}{1 + (7.66837 \cdot 10^{-9} + 8514.94 C_{C1}) s + (5.98457 \cdot 10^{-18} + 7.58986 \cdot 10^{-6} C_{C1}) s^2} \right] \quad (3.22)$$

Se o termo cúbico do numerador da equação 3.21 for suprimido, os zeros de baixa frequência podem ser calculados, sem haver, com isso, alterações significativas em seus valores. Desta maneira, tanto os zeros quanto os pólos podem ser facilmente calculados em função de C_{C1} . Igualando-se o zero e o pólo de mais baixa frequência ($z_1(C_{C1}) = p_1(C_{C1})$), é possível encontrar, numericamente, o valor de C_{C1} . Realizando este procedimento, o valor do capacitor de compensação encontrado foi de 15.9959 pF. Substituindo este valor na equação 3.22, os novos valores dos zeros e pólos são dados por:

$$\begin{aligned} z_1 &= 1.1131 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_2 &= 195.01 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_3 &= 3.4238 \text{ GHz} \rightarrow \text{semitplano direito} \\ p_1 &= 1.1131 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ p_2 &= 178.63 \text{ MHz} \rightarrow \text{semitplano esquerdo} \end{aligned} \quad (3.23)$$

Como se pode observar, a aproximação realizada foi válida, uma vez que o termo cúbico do numerador da equação 3.21 possui um peso muito baixo nos zeros de baixa frequência. Com a inclusão deste capacitor, espera-se uma melhora significativa na resposta em frequência da célula transdutora, uma vez que os zeros e pólos preditos acima mostram um cancelamento de um par zero/pólo em 1.1131 MHz. A figura abaixo mostra a resposta em frequência da célula, considerando os casos não compensado e compensado com o capacitor C_{C1} de 15.9959 pF.

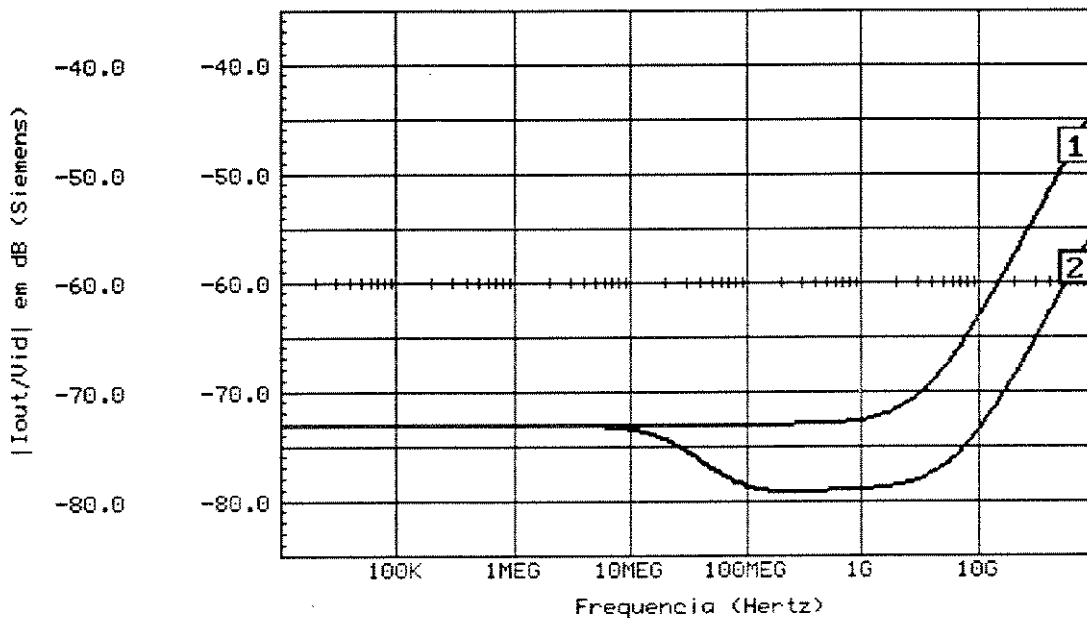


Figura 3.14 - Resposta em Frequência da Célula Transdutora do Quadrador Duplo Cruzado

(1) - Transcondutância com circuito compensado

(2) - Transcondutância com circuito não compensado

A figura acima comprova os resultados preditos. Houve um cancelamento dos zeros e pólos de baixa frequência, no caso do circuito compensado, com um zero medido em 3.36 GHz, frequência esta bem próxima ao zero predito em 3.42 GHz. No caso não compensado, percebe-se a influência do pólo em 23 MHz, compensado pelo zero em 42 MHz. A simulação não considerou os espelhos de corrente, nem os deslocadores de nível, a fim de verificar a análise realizada, que também não levou em conta a influência destes fatores.

A segunda parte da análise leva em conta a influência dos deslocadores de nível DC do sinal de entrada. Basicamente, o problema se resume em levar o sinal de entrada à porta dos transistores M1, M8 e M5, M4 da figura 3.9, sem distorções, nem influências inseridas pelos deslocadores de nível DC.

Através de uma análise da figura 3.9, pode-se ver que a tensão no dreno dos transistores M9 e M12 praticamente não varia com o sinal de entrada, pois estando estes ramos com correntes praticamente constantes, dadas pelas fontes de corrente implementadas pelos transistores M10 e M13, as tensões nos drenos/portas dos transistores M11 e M14 também não variam. Com isso, estes pontos podem ser considerados terras AC. A figura abaixo ilustra o circuito equivalente AC, levando-se em conta os deslocadores de nível.

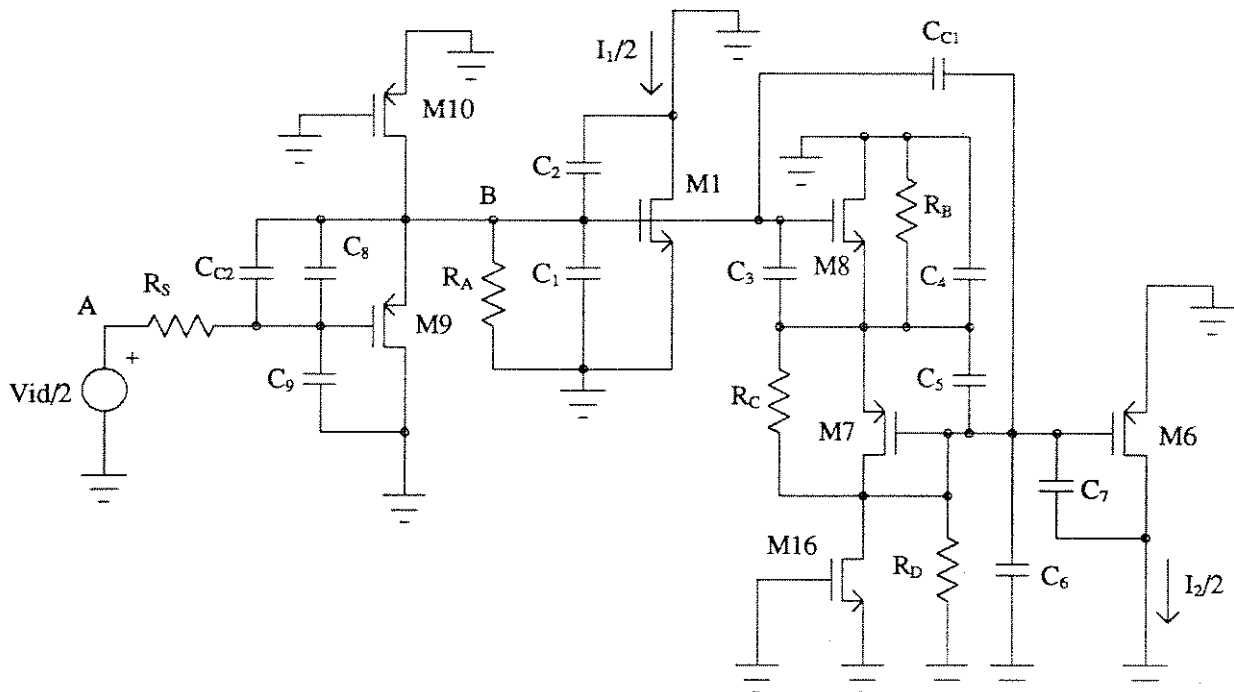


Figura 3.15 - Circuito Equivalente AC completo do Quadrador Duplo Cruzado

Os elementos capacitivos e resistivos acima, com exceção de C_{C2} , representam a associação em paralelo das capacitâncias e condutâncias relacionadas a cada transistor, como no caso anterior. Os elementos que compõem $C_2 - C_7$ e $R_B - R_D$ são os mesmos já mencionados. As outras capacitâncias e resistências são dadas por:

- ☞ $C_1 = C_{gs1} + C_{gb1} + C_{gb8} + C_{gd8} + C_{bd9} + C_{bd10} + C_{gd10}$
- ☞ $C_8 = C_{gs9} + C_{gb9}$
- ☞ $C_9 = C_{gd9}$
- ☞ $R_A = (g_{ds9} + g_{ds10})^{-1}$

Além disso, a resistência R_S representa a impedância interna da fonte geradora de sinal.

Conforme já mencionado, o objetivo desta segunda parte da análise AC é levar à porta dos transistores M1 e M8 (nó B) o mesmo sinal aplicado na entrada (nó A). A função de transferência $V_B(s)/V_A(s)$ é por demais complexa para ser expressa neste texto, como se pode perceber pela complexidade do circuito equivalente AC, mostrado na figura 3.15. Esta é uma função de 3ª ordem no numerador, e 4ª ordem no denominador.

De acordo com os valores de capacitâncias e condutâncias associadas aos transistores, além da capacitância de compensação C_{C1} , de aproximadamente 16 pF, o valor numérico da função de transferência entre as tensões nos nós B e A, utilizando uma impedância de fonte de sinal (R_s) de 25 Ω , é dada por:

$$\frac{V_B}{V_A}(s) = 986.26 \cdot 10^{-3} \left(\frac{1 + 1.46831 \cdot 10^{-7} s + 5.53041 \cdot 10^{-16} s^2 + 3.7689 \cdot 10^{-25} s^3}{1 + 2.05829 \cdot 10^{-7} s + 9.04559 \cdot 10^{-15} s^2 + 7.98755 \cdot 10^{-24} s^3 + 1.01945 \cdot 10^{-35} s^4} \right) \quad (3.24)$$

Pode ser verificado facilmente que o ganho DC do circuito deslocador de nível, representado pelos transistores M9 e M10 da figura 3.15, é dado por:

$$\frac{V_B}{V_A} = \frac{gm_9}{gm_9 + gds_9 + gds_{10}} \quad (3.25)$$

Deste modo, percebe-se que existe uma pequena atenuação do sinal. Segundo os valores obtidos destes parâmetros, a atenuação esperada é de 0.986, ou $-120.18 \cdot 10^{-3}$ dB.

Os zeros e pólos da função de transferência descrita na equação 3.24, todos no semiplano esquerdo do plano complexo, são dados por:

$$\begin{array}{ll} z_1 = 1.1131 \text{ MHz} & p_1 = 1.1135 \text{ MHz} \\ z_2 = 53.795 \text{ MHz} & p_2 = 2.5674 \text{ MHz} \\ z_3 = 178.63 \text{ MHz} & p_3 = 176.81 \text{ MHz} \\ & p_4 = 124.52 \text{ GHz} \end{array} \quad (3.26)$$

Através destes valores, pode-se perceber que a existência de um pólo em 2.56 MHz é um fator limitante e indesejável na resposta em frequência do transcondutor. Este pólo faz com que o sinal de entrada da célula transcondutora em si (porta dos transistores M1 e M8 da figura 3.15) sofra uma atenuação dependente da frequência, inviabilizando o uso do transcondutor em frequências superiores a esta mencionada.

Este problema pode ser resolvido através da introdução de um outro capacitor de compensação, C_{C2} , mostrado na figura 3.15, que liga os pontos de entrada de sinal do circuito (portas dos transistores deslocadores de nível DC) aos pontos de entrada de sinal da célula transcondutora (transistores M1, M8 e M5, M4 da figura 3.9). Considerando que a impedância da fonte de sinal é muito baixa, isto é, tende a zero, o denominador da função de transferência passa a ser de terceira ordem. Deste modo, a função de transferência, em função de C_{C2} , passa a ser:

$$\frac{V_B}{V_A}(s) = 986.26 \cdot 10^{-3} \left[\frac{1 + (1.46831 \cdot 10^{-7} + 56818.2 C_{C2})s + (5.53041 \cdot 10^{-16} + 8.17457 \cdot 10^{-3} C_{C2})s^2}{1 + (2.05829 \cdot 10^{-7} + 56037.5 C_{C2})s + (9.0455 \cdot 10^{-15} + 8.06225 \cdot 10^{-3} C_{C2})s^2} \right] \quad (3.27)$$

Adotando-se o mesmo procedimento para se achar o valor de C_{C1} , ou seja, eliminando-se os termos de ordem 3 do numerador e denominador, podem-se facilmente achar, de maneira aproximada, os pólos e zeros de baixa frequência, em função de C_{C2} , da função de transferência original.

Realizando esta análise, pode ser mostrado que apenas um dos zeros e um dos pólos possuem uma grande dependência em relação ao valor de C_{C2} . E são justamente estes os que, segundo os valores mostrados em 3.26, devem ser compensados (z_2 e p_2). Porém, para que ambos possuam o mesmo valor, ou seja, uma compensação de pólo e zero perfeita, o valor de C_{C2} deve tender ao infinito, fazendo com que o valor deste pólo e zero tenda a zero. A figura abaixo mostra a frequência de ocorrência do zero e do pólo, além da diferença entre os mesmos, para C_{C2} variando de 1 pF a 1 mF.

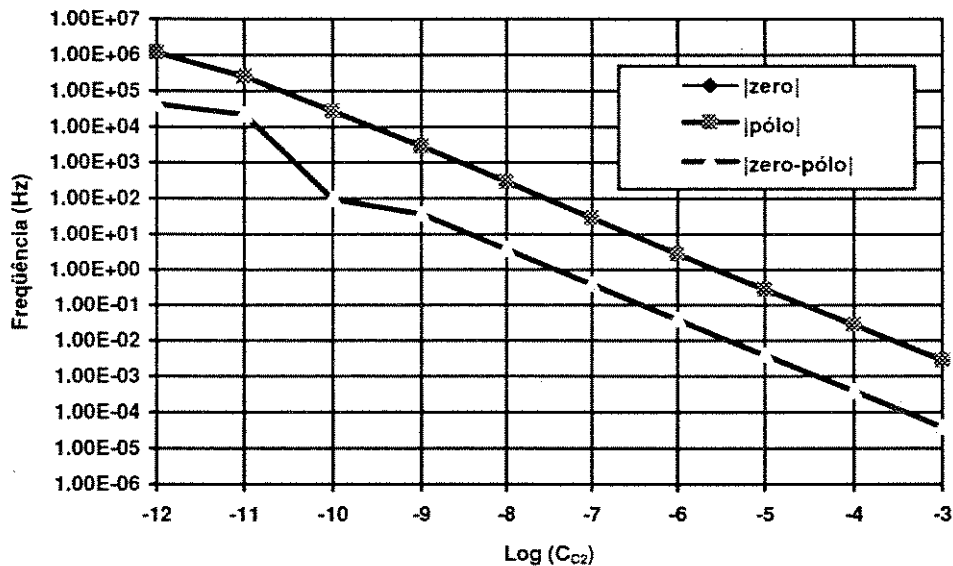


Figura 3.16 - Diagrama de zeros e pólos em função de C_{C2}

Deste modo, utilizando o gráfico acima, o projetista pode escolher um valor de C_{C2} adequado a suas aplicações. Como exemplo, se o transcondutor operar em frequências acima da faixa de megahertz, um capacitor de compensação na faixa de picofarads é suficiente, e pode ser integrado juntamente com o circuito. Se a operação for na faixa de quilohertz, capacitores na ordem de nanofarads a microfarads devem ser utilizados, e componentes externos e discretos devem ser empregados.

Escolhendo um valor de 1 μ F para o capacitor C_{C2} , os zeros e pólos encontrados segundo a simplificação realizada (suprimindo-se os termos cúbicos da equação 3.27), todos no semiplano esquerdo do plano complexo, são dados por:

$$\begin{aligned} z_1 &= 2.80113 \text{ Hz} & p_1 &= 2.84015 \text{ Hz} \\ z_2 &= 1.10622 \text{ MHz} & p_2 &= 1.10622 \text{ MHz} \end{aligned} \quad (3.28)$$

A diferença entre as frequências de ocorrências de z_1 e p_1 é de apenas 39 mHz. Deste modo, com o valor escolhido para C_{C2} , a influência dos circuitos deslocadores de nível praticamente desaparece, permanecendo, contudo, a atenuação DC já mencionada. Para validar as aproximações realizadas, substituindo-se o valor de C_{C2} (1 μ F) na função de transferência original, sem

realizar nenhuma aproximação nem simplificação, e considerando-se a impedância da fonte de sinal (R_s) igual a $25\ \Omega$, têm-se os seguintes pólos e zeros:

$$\begin{array}{ll} z_1 = 2.80113\ \text{Hz} & p_1 = 2.84013\ \text{Hz} \\ z_2 = 1.11312\ \text{MHz} & p_2 = 1.11312\ \text{MHz} \\ z_3 = 178.633\ \text{MHz} & p_3 = 178.691\ \text{MHz} \\ & p_4 = 5.96593\ \text{GHz} \end{array} \quad (3.29)$$

Pelos valores acima, vê-se que as aproximações e simplificações realizadas para facilitar a análise foram plenamente válidas. Comparando-se o conjunto de zeros e pólos descritos em 3.26 com os descritos acima, percebe-se que foram justamente os pólos e zeros discrepantes (z_2 e p_2 em 3.26) que sofreram grandes alterações em função de C_{C2} , conforme já mencionado. A figura abaixo mostra a resposta em frequência da tensão no nó B da figura 3.15 em função da tensão de entrada (nó A), nas situações com o capacitor de compensação (pólos e zeros descritos em 3.29) e sem o capacitor (pólos e zeros descritos em 3.26).

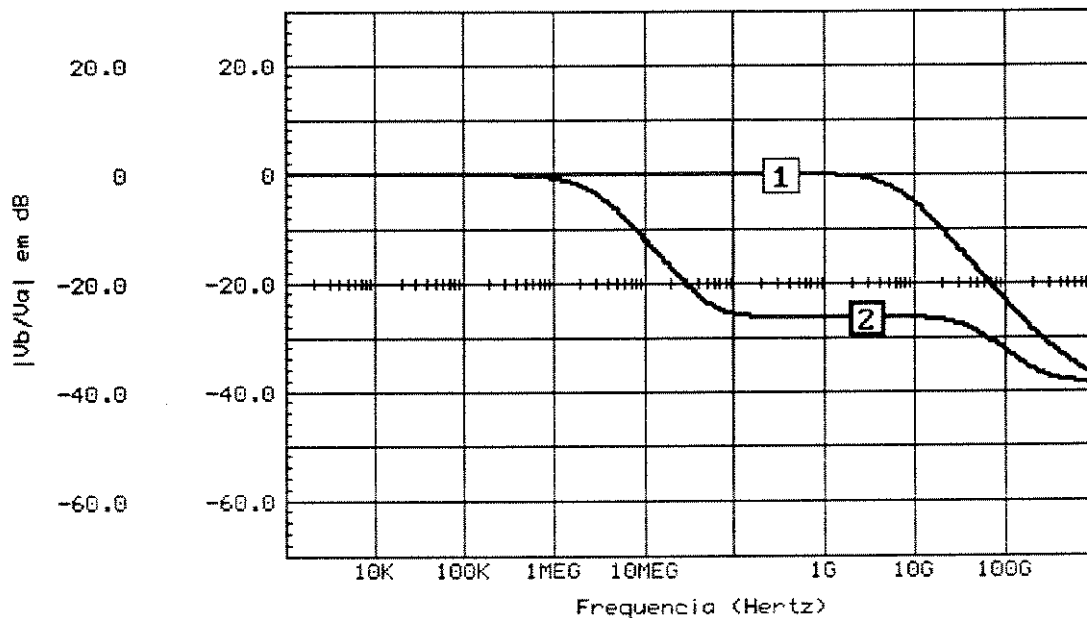


Figura 3.17 - Resposta em frequência do Circuito Deslocador de Nível DC

- (1) - Circuito compensado
(2) - Circuito não compensado

A figura acima mostra claramente o efeito da introdução do capacitor de compensação C_{C2} . Os zeros e pólos preditos em 3.26 e 3.29 podem ser claramente confirmados através de uma simples verificação da figura 3.17, validando a análise realizada.

Uma vez que as variações da tensão de entrada podem ser efetivamente levadas às portas dos transistores que compõem a célula transcondutora, tem-se uma resposta em frequência otimizada do circuito. A figura 3.18 mostra a transcondutância do circuito em função da frequência do sinal de entrada, considerando agora os espelhos de corrente. As curvas 1 e 3 mostram transcondutância, tomando-se a diferença entre as correntes I_1 e I_2 da figura 3.9. Na curva 1, tem-se o circuito compensado, e na curva 3 o circuito não compensado. As curvas 2 e 4 mostram a transcondutância no nó de saída simples (lout) da figura 3.9. A curva 2 mostra o circuito compensado, e a curva 4, o circuito não compensado.

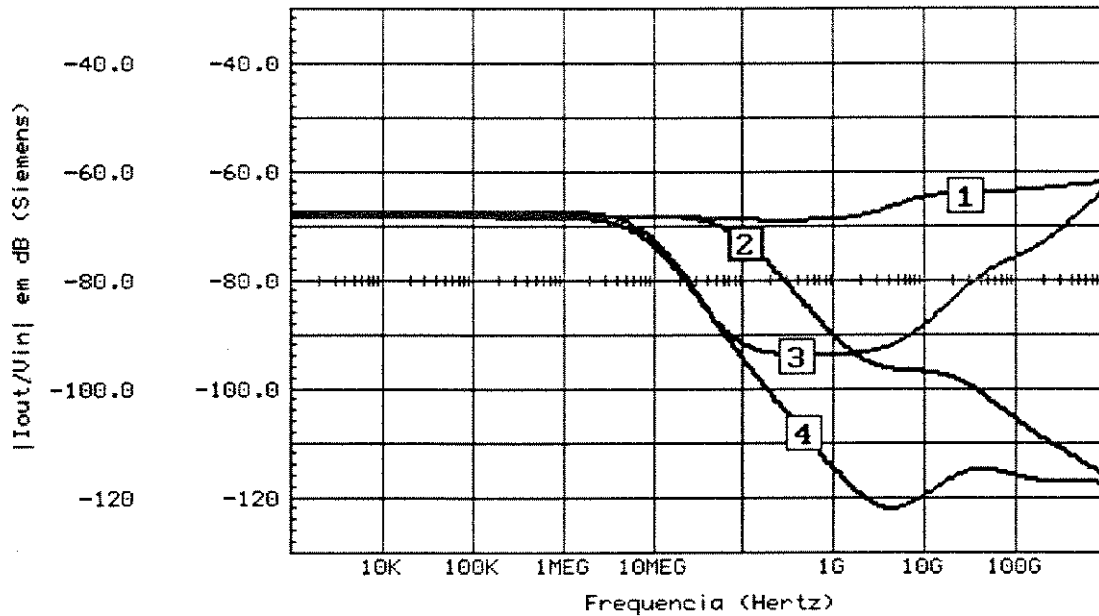


Figura 3.18 - Resposta em Frequência do Quadrador Duplo Cruzado

- (1) - Transcondutância na saída do Quadrador com compensação
- (2) - Transcondutância da saída dos espelhos de corrente, com compensação
- (3) - Transcondutância na saída do Quadrador sem compensação
- (4) - Transcondutância da saída dos espelhos de corrente, sem compensação

As curvas 2 e 4 mostram nitidamente a influência dos espelhos de corrente na resposta em frequência do circuito. No caso de se ter um circuito compensado, o fator limitante em frequência passa a ser o espelho de corrente (queda de 3 dB em 74 MHz). Porém, no caso de o circuito não ser compensado, o fator limitante passa a ser a atenuação de sinal na entrada da célula transcondutora, causada pelos deslocadores de nível DC, com um pólo em 6 MHz. Isto mostra que, no mínimo, o estudo de compensação realizado aumentou a resposta em frequência do circuito em mais de uma década. Novamente, para uma melhor resposta em frequência, deve-se melhorar o desempenho dos espelhos de corrente.

3.4.4 Excursão do Sinal de Entrada em Relação às Fontes de Alimentação

De acordo com a relação 3.18 e a equação 1.17, a excursão do sinal de entrada em relação às fontes de alimentação, neste circuito, é dada por:

$$Excursão_{vin}(\%) = \left(\frac{2\sqrt{I_b / K_{eq}}}{|V_{dd} - V_{ss}|} \right) \cdot 100 \quad (3.30)$$

De acordo com os valores utilizados, considerando que o sinal de entrada é diferencial e balanceado, a excursão chega a 33.8% das fontes de alimentação. Considerando as mínimas tensões de fonte na qual o circuito ainda opera com seus transistores na saturação ($V_{dd}=4.6V$ e $V_{ss}=-2.93V$), esta relação aumenta para 45%. No caso de se utilizar entrada simples, ou seja, aplicando-se o sinal apenas na porta do transistor M9 da figura 3.9, aterrando-se a outra entrada, esta excursão diminui, uma vez que o próprio deslocador de nível DC possui uma faixa de operação limitada. No caso em estudo, esta limitação ocorreu quando a tensão de entrada atingiu 80% de seu valor máximo, dado por 3.18. Além disso, as tensões mínimas das fontes também sofrem aumento, diminuindo-se a excursão do sinal em relação às fontes de alimentação.

3.5 Par Duplo CMOS

Uma maneira mais simples de se obter um transdutor com alta linearidade, utilizando pares CMOS operando em classe AB, é mostrada neste item. A figura abaixo apresenta o circuito em questão.

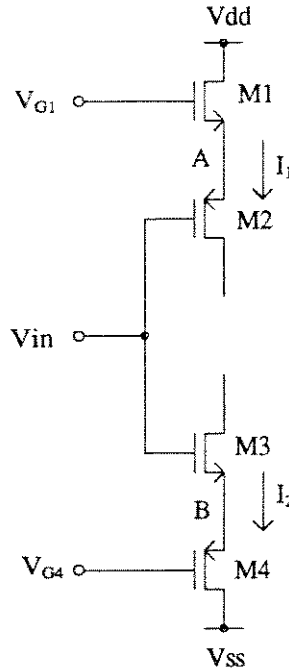


Figura 3.19 - Par Duplo CMOS

Este circuito, inicialmente apresentado em [16], é constituído de 2 pares CMOS (M1-M2 e M3-M4). Sendo a corrente de saída igual à diferença entre as correntes I_1 e I_2 , utilizando a equação 3.9, pode-se mostrar que:

$$I_{out} = I_1 - I_2 = -2K_{eq}(V_{G1} - V_{G4} - \Sigma V_T)Vin + K_{eq}(V_{G1} - V_{G4} - \Sigma V_T)\Delta V_T \quad (3.31)$$

onde

$$\begin{aligned} \Sigma V_T &= V_{TN1} + V_{TN3} + |V_{TP2}| + |V_{TP4}| \\ \Delta V_T &= V_{TN3} - V_{TN1} + |V_{TP4}| - |V_{TP2}| + V_{G1} + V_{G4} \end{aligned} \quad (3.32)$$

O equacionamento supõe que os transistores estejam operando na região de saturação, o que faz com que a tensão de entrada deva satisfazer os seguintes critérios:

$$\begin{aligned} V_{D2} - |V_{TP2}| &\leq Vin \leq V_{D3} + V_{TN3} \\ V_{G4} + V_{TN3} + |V_{TP4}| &\leq Vin \leq V_{G1} - V_{TN1} - |V_{TP2}| \end{aligned} \quad (3.33)$$

onde V_{D2} e V_{D3} correspondem às tensões nos drenos dos transistores M2 e M3, respectivamente.

As tensões de limiares dos transistores canal N e canal P, definidas no apêndice A, são aqui reproduzidas, sendo dadas pelo conjunto de equações 3.34. As tensões V_{BS} e V_{SB} são respectivamente as tensões substrato-fonte e fonte-substrato dos transistores N e P.

$$\begin{aligned}
 V_{TN} &= V_{TN0} + \gamma_N \left(\sqrt{2\phi_P - V_{BS}} - \sqrt{2\phi_P} \right) \\
 V_{TP} &= V_{TP0} - \gamma_P \left(\sqrt{2|\phi_N| - V_{SB}} - \sqrt{2|\phi_N|} \right)
 \end{aligned}
 \quad (3.34)$$

Através da equação 3.31, pode-se observar que o termo dependente da tensão de entrada V_{in} é menor que zero, uma vez que a diferença entre V_{G1} e V_{G4} é normalmente maior que ΣV_T . Isto faz com que o circuito apresente uma transcondutância negativa. A figura 3.20 mostra duas maneiras de se realizar a subtração das correntes I_1 e I_2 . O circuito (a) apresenta uma forma de se realizar um transcondutor com transcondutância negativa, onde $I_{out_a} = I_1 - I_2$. Já o circuito (b) implementa, através de espelhos de corrente, uma transcondutância positiva, onde $I_{out_b} = I_2 - I_1$.

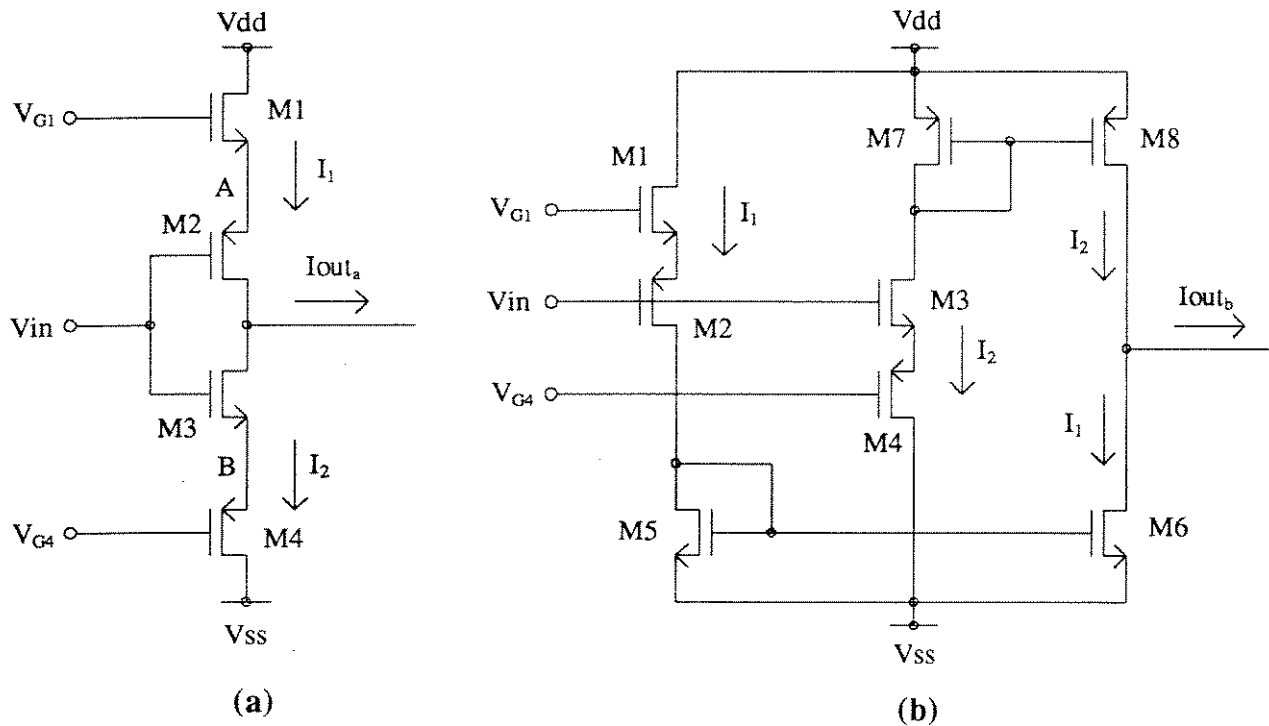


Figura 3.20 - Alternativas de Implementação do Par Duplo CMOS

Para a análise do circuito em questão, as simulações foram realizadas levando-se em conta o circuito mostrado em 3.20-(a), com os seguintes parâmetros:

- ☛ $V_{dd} = -V_{ss} = 5 \text{ V}$
- ☛ $(W/L)_{M1,M2} = 20\mu/5\mu$
- ☛ $(W/L)_{M3,M4} = 40\mu/5\mu$
- ☛ $(W/L)_{M5,M6} = 6\mu/10\mu$
- ☛ $(W/L)_{M7,M8} = 150\mu/10\mu$
- ☛ $R_{out} = 50 \Omega$, $R_s = 50 \Omega$

Nos parâmetros acima, R_{out} é a resistência de carga no nó de saída e R_s é a resistência interna da fonte geradora de sinal. Os potenciais V_{G1} , V_{G4} e as tensões de substrato dos transistores são parâmetros variáveis, dependentes do processo utilizado para a fabricação do dispositivo, sendo analisados posteriormente.

3.5.1 Linearidade

Antes de se fazer uma análise da linearidade do circuito em estudo, deve-se, primeiramente, verificar o tipo de tecnologia a ser empregada em sua fabricação. Existem hoje tecnologias em que cada transistor possui seu próprio terminal de substrato, estando completamente isolado de outros transistores e do circuito em geral. Processos do tipo SOS ("Silicon-on-Sapphire") e SOI ("Silicon-on-Insulator"), como SIMOX ("Separation by IMplanted OXigen") são alguns exemplos. De outro lado, existem os processos CMOS convencionais, com apenas um tipo de poço (normalmente tipo N), em que apenas os transistores canal P podem ser construídos sobre seu próprio substrato. Os transistores canal N possuem um substrato comum.

A necessidade de se fazer esta distinção se deve ao fato de o equacionamento do circuito depender profundamente das tensões de limiares (V_T) dos transistores. As equações 3.31 e 3.32 mostram este fato. Se a fabricação do circuito se der em um dos processos onde cada transistor possui seu próprio substrato, a tensão V_T de cada transistor pode ser praticamente imune a variações de tensão em seu terminal de fonte. Basta, para isso, conectar o terminal do substrato ao terminal de fonte, fazendo com que V_{BS} ou V_{SB} seja igual a zero, o que, segundo as equações 3.34, implica $V_{TN} = V_{TN0}$ e $V_{TP} = V_{TP0}$. Isto torna o circuito, numa análise de primeira ordem, linear.

Se o processo utilizado não dispuser de poços independentes para cada transistor, a tensão de limiar é altamente dependente da tensão de fonte dos mesmos (nós A e B das figuras 3.19 e 3.20). Será mostrado que a tensão destes nós é dependente de V_{in} . Desta forma, o V_T dos transistores passa a ser uma função não-linear de V_{in} , fazendo com que o circuito seja não-linear. Para sua linearização, é necessária uma polarização adequada das tensões de porta e substrato dos transistores M2 e M4.

3.5.1.1 Transistores em Poços Independentes

Utilizando a configuração (a) da figura 3.20 e assumindo que todos os transistores estão em poços independentes, com o substrato conectado à fonte, segundo as equações 3.34, tem-se:

$$\begin{aligned} V_{TN1} &= V_{TN3} = V_{TN0} \\ V_{TP2} &= V_{TP4} = V_{TP0} \end{aligned} \quad (3.35)$$

Fazendo $V_{G4} = -V_{G1}$, de acordo com as relações acima, o termo ΔV_T é igual a zero, eliminando o termo de "offset" presente na equação 3.31. Deste modo, a corrente de saída é agora dada por:

$$I_{out} = I_1 - I_2 = -4K_{eq}(V_{G1} - V_{TN0} - |V_{TP0}|)V_{in} \quad (3.36)$$

Pode-se perceber que a relação acima exprime uma relação perfeitamente linear da tensão de entrada com a corrente de saída, com uma transcondutância dada por:

$$gm = -4K_{eq}(V_{G1} - V_{TN0} - |V_{TP0}|) \quad (3.37)$$

Utilizando uma resistência de saída de 50Ω , a tensão no nó de saída é praticamente zero. Deste modo, para esta configuração, pode-se definir uma tensão normalizada de entrada, dada por:

$$V_{in}' = \frac{V_{in}}{\min(V_{TN0}, |V_{TP0}|)} \quad (3.38)$$

Da mesma maneira que em todos os circuitos já analisados e simulados, foram utilizadas os parâmetros de simulação descritos em [4]. Embora este processo não tenha a possibilidade de se realizarem transistores com poços separados, esta característica foi implementada na simulação, conectando-se o terminal de substrato dos transistores às suas próprias fontes.

A figura 3.21 mostra as curvas de transferência do circuito em análise, onde [1] e [2] representam os resultados obtidos com a utilização dos modelos de simulação Spice níveis 1 e 2, respectivamente. No eixo "x" tem-se a tensão normalizada de entrada, de acordo com 3.38. No caso 1, $\min(V_{TN0}, |V_{TP0}|) = V_{TN0} = 0.736$, e no caso 2, $\min(V_{TN0}, |V_{TP0}|) = V_{TN0} = 0.765$. Para uma maior transcondutância, foram utilizados $V_{G1} = -V_{G4} = 5V$.

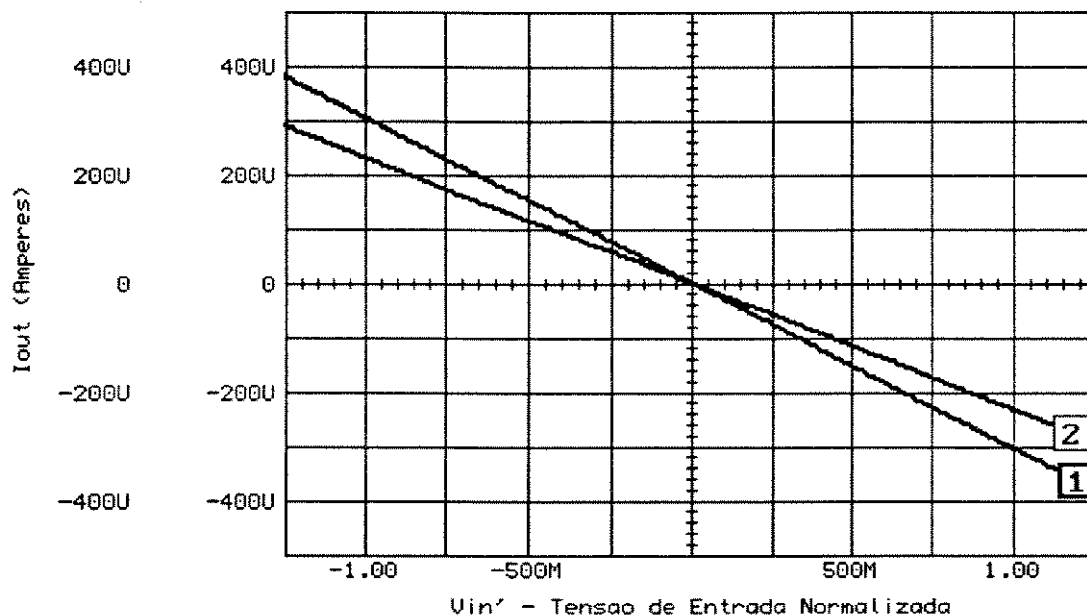


Figura 3.21 - Curva de Transferência do Par Duplo CMOS com Transistores Independentes

- (1) - Simulação com Modelo MOS nível 1
- (2) - Simulação com Modelo MOS nível 2

A transcondutância medida na simulação com modelo MOS nível 1 foi de $-413.81 \mu A/V$, bem próxima ao valor teórico esperado, dado pela equação 3.37, de $-415.95 \mu A/V$. Já no caso 2, a transcondutância medida foi de $-300.41 \mu A/V$, bem distante do valor teórico esperado, de $-405.65 \mu A/V$. Esta diferença se deve principalmente pela redução do valor de K_{eq} , devido à diminuição da mobilidade dos portadores em função do campo elétrico gerado pela tensão porta-fonte dos transistores, fator este não contemplado no equacionamento.

A figura 3.22 mostra a não-linearidade em ambos os casos simulados. Pela curva 1, vê-se que há um cancelamento praticamente perfeito das não-linearidades, com um erro praticamente igual a zero em relação à transcondutância medida, para toda a faixa de tensão normalizada de entrada. Deste modo, pode-se dizer que o equacionamento realizado, onde se previu um circuito absolutamente linear, está confirmado. Já no caso "real", utilizando-se um modelamento Spice de nível 2 dos transistores MOS, a simulação mostrou um erro de até 1.2% em relação à transcondutância observada, para toda a faixa de tensão de entrada. Para tensões normalizadas abaixo de 0.7, este erro situa-se abaixo de 0.3%. A descontinuidade observada em $|V_{in'}| = 0.7$ é devida ao fato de o modelo de nível 2 não assumir uma redução da mobilidade de forma contínua, mas apenas a partir de um dado campo elétrico, denominado campo elétrico crítico.

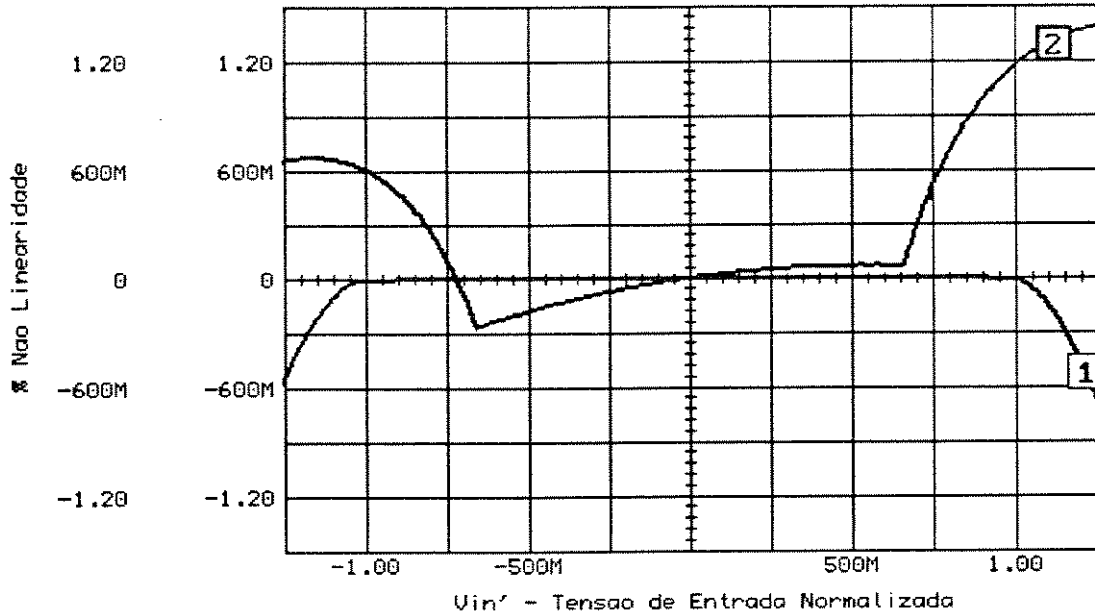


Figura 3.22 - Não-linearidade do Par Duplo CMOS com Transistores Independentes
 (1) - Simulação com Modelo MOS nível 1
 (2) - Simulação com Modelo MOS nível 2

3.5.1.2 Transistores canal N com substrato comum

Este tipo de processo de fabricação é o mais comum em tecnologias CMOS digital. É constituído de poços tipo N, onde são realizados os transistores canal P, e um substrato P, onde são construídos os transistores canal N. Deste modo, o substrato de todos os transistores canal N é o próprio substrato do circuito, devendo este ser conectado ao potencial mais negativo do mesmo (V_{ss}). É este o tipo de processo descrito na referência [4].

Seja o circuito mostrado em 3.20-(a). Conectando-se o terminal de substrato do transistor M2 à sua própria fonte (nó A), e deixando o terminal de substrato de M4 como um terminal independente, sabendo-se que o substrato dos transistores M1 e M3 são intrinsecamente conectados a V_{ss} , pode-se mostrar que as tensões nos nós A e B são dadas por:

$$V_A = \frac{\sqrt{K_N}(V_{G1} - V_{TN1}) - \sqrt{K_P}(V_{TP2})}{\sqrt{K_N} + \sqrt{K_P}} + \frac{\sqrt{K_P}}{\sqrt{K_N} + \sqrt{K_P}} V_{in} \quad (a)$$

$$V_B = \frac{\sqrt{K_P}(V_{G4} - V_{TP4}) - \sqrt{K_N}(V_{TN3})}{\sqrt{K_N} + \sqrt{K_P}} + \frac{\sqrt{K_N}}{\sqrt{K_N} + \sqrt{K_P}} V_{in} \quad (b)$$
(3.39)

De acordo com as expressões definidas em 3.34, podem-se definir as tensões de limiares dos transistores M1, M2, M3 e M4 da seguinte maneira:

$$\begin{aligned} V_{TN1} &= V_{TN10} + \Delta V_{TN1} \\ V_{TP2} &= V_{TP20} \\ V_{TN3} &= V_{TN30} + \Delta V_{TN3} \\ V_{TP4} &= V_{TP40} + \Delta V_{TP4} \end{aligned} \quad (3.40)$$

Da mesma forma, as tensões V_A e V_B , descritas em 3.39, também podem ser expressas por:

$$\begin{aligned} V_A &= V_{A0} + \Delta V_A \\ V_B &= V_{B0} + \Delta V_B \end{aligned} \quad (3.41)$$

V_{A0} , V_{B0} , V_{TN10} , V_{TP20} , V_{TN30} e V_{TP40} são as tensões nos nós A e B e as tensões de limiares na condição de polarização, ou seja, em $V_{in} = 0$.

Substituindo 3.41 em 3.34, e fazendo uma aproximação de primeira ordem para a raiz quadrada, onde $\sqrt{x_0 \pm x} \approx \sqrt{x_0}(1 \pm 0.5x/x_0)$, os termos presentes em 3.40 podem ser expressos por:

$$\begin{aligned} V_{TN10} &= V_{TN0} + \gamma_N (\sqrt{2\phi_P - V_{SS} + V_{A0}} - \sqrt{2\phi_P}) \\ V_{TP20} &= V_{TP0} \\ V_{TN30} &= V_{TN0} + \gamma_N (\sqrt{2\phi_P - V_{SS} + V_{B0}} - \sqrt{2\phi_P}) \\ V_{TP40} &= V_{TP0} - \gamma_P (\sqrt{2|\phi_N| - V_{B0} + V_{B4}} - \sqrt{2|\phi_N|}) \end{aligned} \quad (3.42)$$

e

$$\begin{aligned} \Delta V_{TN1} &= C_1 \Delta V_A \\ \Delta V_{TN3} &= C_3 \Delta V_B \\ \Delta V_{TP4} &= C_4 \Delta V_B \end{aligned} \quad (3.43)$$

onde

$$C_1 = \frac{\gamma_N}{2\sqrt{2\phi_P - V_{SS} + V_{A0}}} \quad C_3 = \frac{\gamma_N}{2\sqrt{2\phi_P - V_{SS} + V_{B0}}} \quad C_4 = \frac{\gamma_P}{2\sqrt{2|\phi_N| - V_{B0} + V_{B4}}} \quad (3.44)$$

Substituindo 3.40 em 3.39 e expandindo os termos ΔV_T , tal qual 3.43, pode ser mostrado que as tensões nos pontos A e B são dadas por:

$$\begin{aligned} V_A &= V_{A0} + a V_{in} \\ V_B &= V_{B0} + b V_{in} \end{aligned} \quad (3.45)$$

onde

$$V_{A0} = \frac{\sqrt{K_N}(V_{G1} - V_{TN10}) - \sqrt{K_P}(V_{TP20})}{\sqrt{K_N} + \sqrt{K_P}}, \quad V_{B0} = \frac{\sqrt{K_P}(V_{G4} - V_{TP40}) - \sqrt{K_N}(V_{TN30})}{\sqrt{K_N} + \sqrt{K_P}} \quad (3.46)$$

e

$$a = \frac{\sqrt{K_P}}{\sqrt{K_N}(1 + C_1) + \sqrt{K_P}}, \quad b = \frac{\sqrt{K_N}}{\sqrt{K_N}(1 + C_3) + \sqrt{K_P}(1 + C_4)} \quad (3.47)$$

Fazendo-se uma comparação entre 3.41 e 3.45, observa-se claramente que as variações de tensão nos nós A e B são dadas por:

$$\begin{aligned}\Delta V_A &= a V_{in} \\ \Delta V_B &= b V_{in}\end{aligned}\quad (3.48)$$

Utilizando as equações 3.40, 3.43 e 3.48 em 3.32, pode-se mostrar que:

$$\Sigma V_T = \Sigma V_{T0} + d V_{in} \quad (3.49)$$

onde

$$\begin{aligned}\Sigma V_{T0} &= V_{TN10} + V_{TN30} - V_{TP20} - V_{TP40} \\ d &= a C_1 + b(C_3 - C_4)\end{aligned}\quad (3.50)$$

e

$$\Delta V_T = \Delta V_{T0} + e V_{in} \quad (3.51)$$

onde

$$\begin{aligned}\Delta V_{T0} &= V_{TN30} - V_{TN10} + V_{TP20} - V_{TP40} + V_{G1} + V_{G4} \\ e &= -a C_1 + b(C_3 - C_4)\end{aligned}\quad (3.52)$$

Deste modo, a corrente de saída, dada por 3.31, é da seguinte forma:

$$I_{out} = w + y V_{in} + z V_{in}^2 \quad (3.53)$$

onde "w" representa o termo de "offset", "y" o termo linear e "z" o termo não-linear. Estes são dados por:

$$\begin{aligned}w &= K_{eq} \Delta V_{T0} (V_{G1} - V_{G4} - \Sigma V_{T0}) \\ y &= -K_{eq} [d \Delta V_{T0} + (2 - e)(V_{G1} - V_{G4} - \Sigma V_{T0})] \\ z &= K_{eq} d(2 - e)\end{aligned}\quad (3.54)$$

Portanto, para se eliminar o termo de "offset" e tornar o circuito linear, as seguintes condições devem ser satisfeitas:

$$\begin{aligned}\Delta V_{T0} &= 0 \\ d &= 0\end{aligned}\quad (3.55)$$

Para se alcançarem as condições acima, os meios disponíveis são as tensões de porta dos transistores M1 e M4 (V_{G1} e V_{G4}), a tensão de substrato do transistor M4 (V_{B4}) e as relações de geometria dos transistores.

Substituindo V_{TN10} e V_{TP20} presentes em 3.46 pelas expressões dadas em 3.42, pode-se determinar a tensão V_{A0} . De 3.46, tem-se que esta tensão é a solução da seguinte equação:

$$V_{A0} - \frac{\sqrt{K_N} [V_{G1} - V_{TN0} - \gamma_N (\sqrt{2\phi_P - V_{SS} + V_{A0}} - \sqrt{2\phi_P})] - \sqrt{K_P} (V_{TP0})}{\sqrt{K_N} + \sqrt{K_P}} = 0 \quad (3.56)$$

Pode-se perceber que V_{A0} é função somente da geometria dos transistores e da tensão V_{G1} , uma vez que os outros parâmetros são intrínsecos ao processo utilizado, não tendo o projetista possibilidade de alterá-los. Fixando-se V_{G1} , pode-se determinar com exatidão o valor de V_{A0} , resolvendo-se numericamente a equação acima. Na verdade, pode-se determinar algebricamente este valor. Se os termos de 3.56 forem rearranjados, chega-se a uma equação do segundo grau em V_{A0} , cujas soluções são facilmente determinadas. Porém, a complexidade dos termos desta equação faz com que uma solução numérica seja mais apropriada.

Da mesma maneira, substituindo V_{TN30} e V_{TP40} em 3.46 pelas expressões correspondentes em 3.42, chega-se à seguinte equação, em V_{B0} , V_{G4} e V_{B4} :

$$V_{B0} - \frac{\sqrt{K_P} [V_{G4} - V_{TP0} + \gamma_P (\sqrt{2|\phi_N| - V_{B0} + V_{B4}} - \sqrt{2|\phi_N|})] - \sqrt{K_N} [V_{TN0} + \gamma_N (\sqrt{2\phi_P - V_{SS} + V_{B0}} - \sqrt{2\phi_P})]}{\sqrt{K_N} + \sqrt{K_P}} = 0 \quad (3.57)$$

Para satisfazer os requisitos de linearidade, segundo 3.55, o termo "d" deve ser igual a zero. Substituindo o termo "b", definido em 3.47, no termo "d", em 3.50, e igualando este último a zero, pode-se facilmente resolver a equação em função da variável C_4 . Substituindo C_4 pela expressão definida em 3.44, pode-se achar V_{B4} . Após estes passos, tem-se:

$$V_{B4} = \left\{ \frac{\gamma_P (a C_1 \sqrt{K_P} - \sqrt{K_N})}{2[-a C_1 (\sqrt{K_P} + \sqrt{K_N}) - C_3 \sqrt{K_N} (a C_1 + 1)]} \right\}^2 + V_{B0} - 2|\phi_N| \quad (3.58)$$

Para eliminar o termo de "offset", segundo 3.55, o termo ΔV_{T0} deve ser zero. Substituindo as expressões das tensões de limiares definidas em 3.42 na expressão 3.52, e igualando o resultado a zero, pode-se resolver a equação resultante em função de V_{G4} . Tem-se, então:

$$V_{G4} = -V_{G1} + \gamma_N (\sqrt{2\phi_P - V_{SS} + V_{A0}} - \sqrt{2\phi_P - V_{SS} + V_{B0}}) - \gamma_P (\sqrt{2|\phi_N| - V_{B0} + V_{B4}} - \sqrt{2|\phi_N|}) \quad (3.59)$$

Fazendo-se uma análise mais profunda nos termos de V_{B4} , vê-se que o termo C_3 é função de V_{B0} , segundo 3.44. Os termos "a" e C_1 são função de V_{A0} , que é precisamente determinado por 3.56, sendo, portanto, constantes. Deste modo, pode-se dizer que $V_{B4} = f(V_{B0})$. Da mesma maneira, pode-se dizer que V_{G4} também é função apenas de V_{B0} , uma vez que V_{A0} , V_{G1} e V_{SS} são constantes, e V_{B4} é função de V_{B0} . Desta maneira, pode-se resolver numericamente a equação 3.57 em função de V_{B0} , onde V_{B4} e V_{G4} , funções de V_{B0} , são dadas por 3.58 e 3.59. Encontrando-se o valor de V_{B0} , podem-se, então, determinar precisamente os valores de V_{B4} e V_{G4} , solucionando-se os problemas de "offset" e não-linearidade do circuito.

A abordagem aqui desenvolvida difere da apresentada pelos autores do circuito, em [16]. No texto original, para eliminar o termo de "offset", os autores estabelecem que $V_{G1} = -V_{G4}$, e determinam V_{B4} , função de V_{A0} e V_{B0} , para satisfazer a condição que ΔV_{T0} seja igual a zero. Após, para eliminar

o termo não-linear, os autores apresentam uma equação, correspondente a "d=0", cuja solução é a relação de geometria entre os transistores canal N e canal P, de modo a linearizar o circuito. Este enfoque não foi aqui desenvolvido, pelo fato de que tanto a linearização como o cancelamento do "offset" podem ser conseguidos através de tensões adequadas. Portanto, a análise aqui realizada é válida para qualquer relação de geometria dos transistores.

Através de uma análise de polarização do circuito realizada pelo Spice (".OP"), os parâmetros utilizados no equacionamento podem ser obtidos. São estes:

$$\gamma_N = 0.724644 \text{ V}^{1/2}$$

$$\gamma_P = 0.532769 \text{ V}^{1/2}$$

$$2 \phi_P = 0.757661 \text{ V}$$

$$2 |\phi_N| = 0.725839 \text{ V}$$

$$V_{TNO} = 0.736 \text{ V}$$

$$V_{TPO} = -0.751 \text{ V}$$

Em função dos parâmetros do modelo Spice fornecido por [4], e de acordo com as dimensões dos transistores utilizados, já mencionadas, tem-se também:

$$K_P = 101.026 \mu\text{A/V}^2$$

$$K_N = 140.681 \mu\text{A/V}^2$$

Deste modo, fixando-se V_{G1} em 5 V, e sabendo-se que $V_{SS} = -5 \text{ V}$, a resolução de 3.56 fornece um valor esperado de V_{A0} de 1.90799 V. Após, considerando V_{B4} e V_{G4} dados respectivamente por 3.58 e 3.59, resolvendo-se numericamente 3.57, tem-se o valor de V_{B0} igual a -2.41129 V. Substituindo este valor em 3.58 e 3.59, tem-se V_{B4} em -2.4789 V e V_{G4} em -4.2976 V. Fazendo-se uma simulação de nível 1, para que o "offset" fosse eliminado, a tensão V_{G4} encontrada foi de -4.2982 V. Mantendo-se a tensão V_{B4} de acordo com o valor anteriormente mencionado, a tensão V_{B0} resultante foi de -2.41139 V. A tensão V_{A0} encontrada foi de 1.90793. Como se pode observar, os valores obtidos em simulação foram praticamente os mesmos previstos, comprovando a validade das equações obtidas. As discrepâncias encontradas devem-se, principalmente, pelo fato de o equacionamento não contemplar as resistências de dreno e fonte de cada transistor, o que tornaria o equacionamento praticamente inviável.

A partir deste ponto, pode-se analisar o desempenho do circuito. As curvas 1 e 2 das figuras 3.23 e 3.24 mostram a curva de transferência e o erro de linearidade obtidos a partir da simulação do circuito, utilizando-se os modelos do transistor MOS níveis 1 e 2, respectivamente.

Para a simulação com o modelo de nível 1, as tensões acima mencionadas foram utilizadas, sendo que a transcondutância medida foi de 265.7 $\mu\text{A/V}$, bastante próxima da transcondutância teórica (termo "y" definido em 3.54), de 267.27 $\mu\text{A/V}$. A curva 1 da figura 3.24 mostra o erro de linearidade observado. Nota-se que o mesmo situa-se abaixo de 0.2% para toda a faixa de tensão normalizada de entrada, e abaixo de 0.1% para mais de 80% da faixa de excursão do sinal de entrada.

Já no segundo caso, as tensões V_{G4} e V_{B4} utilizadas foram -4.4757 V e -2.17 V, respectivamente. Deste modo, as tensões V_{A0} e V_{B0} obtidas foram 1.9947 V e -2.4043 V. A transcondutância medida foi de -236.215 $\mu\text{A/V}$. Estes valores de tensão foram "ajustados" em simulação, partindo-se dos valores conseguidos no primeiro caso, de modo a se conseguir o nível de não-linearidade mostrado na figura 3.24.

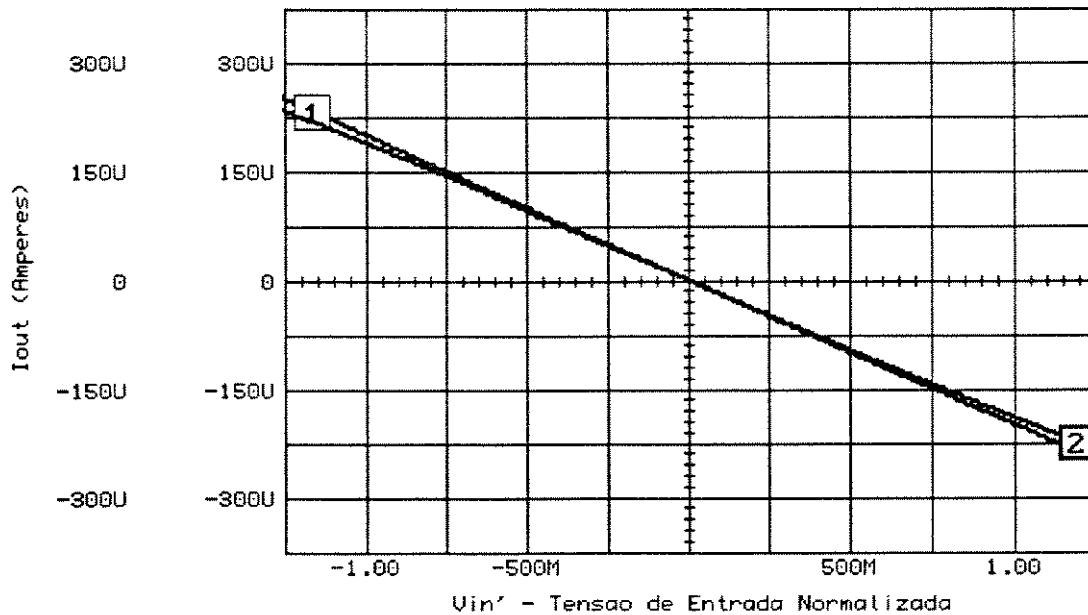


Figura 3.23 - Curva de Transferência do Par Duplo CMOS com Transistores N com substrato comum

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

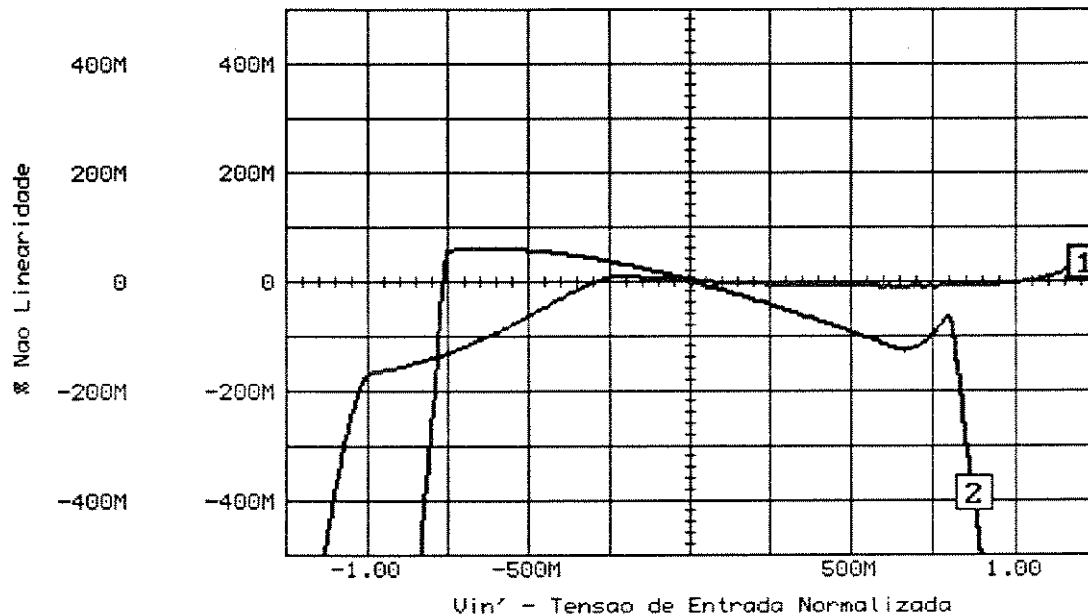


Figura 3.24 - Não-Linearidade do Par Duplo CMOS com Transistores N com substrato comum

- (1) - Simulação com Modelo MOS nível 1
(2) - Simulação com Modelo MOS nível 2

No eixo "x" das figuras acima, tem-se a tensão normalizada de entrada, segundo a equação 3.38. Para a simulação de nível 1, o valor de $\min(V_{TN30}, |V_{TP20}|) = 0.751$ V, e, utilizando-se o nível 2 de modelamento do transistor MOS, este valor é de 0.810 V.

Novamente, as discontinuidades observadas em $|V_{in'}| = 0.75$ na curva 2 da figura 3.24 são devidas ao fato de o modelo de nível 2 não assumir uma redução da mobilidade de forma contínua, mas apenas a partir de um dado campo elétrico, denominado campo elétrico crítico.

Comparando-se as curvas das figuras 3.22 e 3.24, pode-se perceber que, no caso "real", correspondente à simulação utilizando-se o modelo de nível 2 do transistor MOS, existe uma sensível melhora no caso em que os transistores não estão isolados. No caso de transistores isolados, o erro observado foi de 0.3% para 70% da faixa de tensão de entrada. No último caso, este erro diminuiu para 0.1 % para 75% da faixa de tensão.

3.5.2 Distorção Harmônica

Utilizando sinais senoidais, com amplitude normalizada de 0.1 a 1 V, fez-se uma análise da distorção harmônica total da corrente de saída I_{out} .

A figura 3.25 mostra os resultados obtidos, segundo os procedimentos descritos no item 1.2.2. As legendas *Isol - 1*, *Isol - 2*, *N.Isol - 1* e *N.Isol - 2* correspondem, respectivamente, às curvas medidas nas simulações com transistores isolados, modelos MOS níveis 1 e 2, e com transistores de canal N com substrato comum, não isolados, modelos níveis 1 e 2.

Conforme já descrito na análise de linearidade, o circuito com transistores não isolados, nível de simulação 2, apresentou melhor resultado que o mesmo circuito com transistores isolados. Isto pode ser percebido na figura abaixo, já que a curva *N.Isol - 2* situa-se abaixo da curva *Isol - 2*, para praticamente toda a faixa de tensão normalizada de entrada, o que significa melhor linearidade e, conseqüentemente, menor distorção harmônica total.

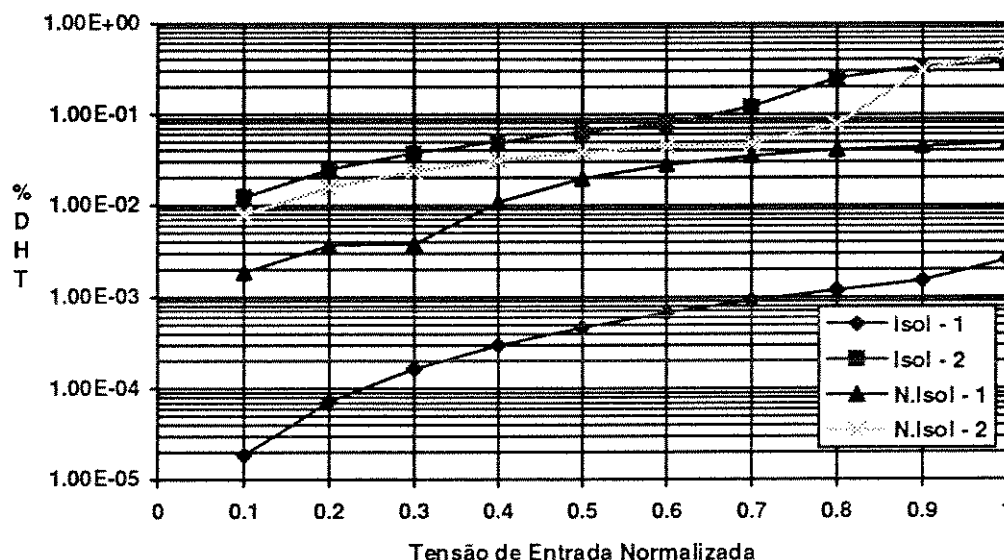


Figura 3.25 - Distorção Harmônica do Par Duplo CMOS

3.5.3 Resposta em Frequência

Como a corrente de saída é a diferença entre as correntes I_1 e I_2 da figura 3.19, a análise AC do circuito pode ser simplificada estudando-se separadamente a resposta em frequência dos transistores M1-M2 e dos transistores M3-M4. Deste modo, considerando-se que a tensão no nó de saída praticamente não varia, este pode ser considerado um terra AC. Porém, as duas possibilidades de realização do circuito (transistores isolados e transistores N com substrato comum) levam a configurações AC com diferenças no par M3-M4, como poderá ser observado.

3.5.3.1 Par CMOS M1-M2

Considerando apenas os transistores M1 e M2 do circuito em análise, pode-se obter a resposta em frequência da corrente I_1 em função da tensão de entrada. Para o circuito com transistores isolados, o terminal de substrato de cada transistor é ligado ao próprio terminal de fonte. Já no circuito com transistores canal N com substrato comum, o transistor M1 possui o substrato inerentemente conectado ao potencial mais negativo do circuito (V_{ss}), e o transistor M2 tem seu terminal de substrato conectado à fonte do mesmo. Em ambos os casos, o circuito equivalente AC, mostrado na figura abaixo, é o mesmo.

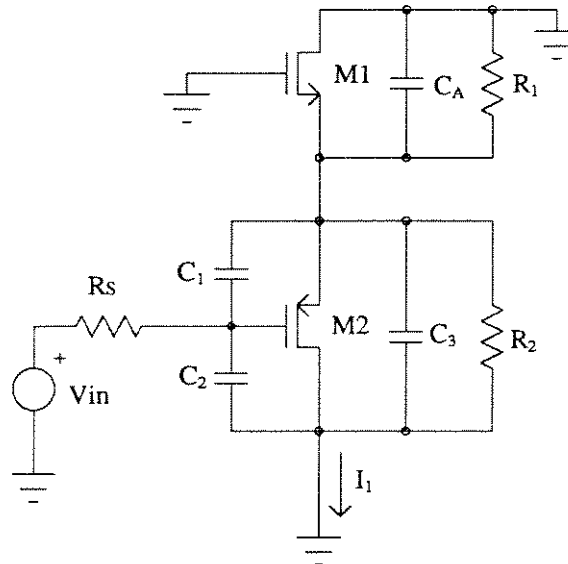


Figura 3.26 - Circuito Equivalente AC do Par M1-M2

Nos circuito acima, R_s corresponde à impedância de saída da fonte de sinal AC. No caso de o circuito ser realizado com transistores independentes, os outros parâmetros são dados por:

- ☞ $C_1 = C_{GS2} + C_{GB2}$
- ☞ $C_2 = C_{GD2}$
- ☞ $C_3 = C_{BD2}$
- ☞ $C_A = C_{GS1} + C_{GB1} + C_{BD1}$
- ☞ $R_1 = (g_{ds1})^{-1}$
- ☞ $R_2 = (g_{ds2})^{-1}$

Se os transistores utilizados forem fabricados num processo CMOS convencional, poço N, os parâmetros têm algumas alterações devido ao fato de o substrato do transistor M1 ser conectado a V_{ss} , e não à própria fonte. Estes devem ser:

- ☞ $C_1 = C_{GS2} + C_{GB2}$
- ☞ $C_2 = C_{GD2}$
- ☞ $C_3 = C_{BD2}$
- ☞ $C_A = C_{GS1} + C_{BS1}$
- ☞ $R_1 = (g_{ds1})^{-1}$
- ☞ $R_2 = (g_{ds2})^{-1}$

A função de transferência do par CMOS M1-M2, considerando a impedância de fonte R_s , é complexa demais para ser expressa neste texto. Uma simplificação pode ser obtida, fazendo-se $R_s=0$.

Esta simplificação é bastante razoável, uma vez que a impedância de saída de fontes de sinal são, na prática, na ordem de dezenas de ohms. Considerando o caso de transistores isolados, a função de transferência simplificada é dada por:

$$\frac{I_1}{V_{in}}(s) = \frac{-gm_2(gm_1 + g_1) + [C_2(gm_1 + gm_2 + g_1 + g_2) - C_A gm_2 + C_1 g_2]s + [C_3(C_1 + C_2) + C_2(C_1 + C_A)]s^2}{gm_1 + gm_2 + g_1 + g_2 + (C_1 + C_3 + C_A)s} \quad (3.60)$$

Na equação acima, $g_1 = R_1^{-1}$ e $g_2 = R_2^{-1}$. Considerando transistores não isolados, embora o circuito seja o praticamente o mesmo, eles apresentam uma pequena diferença, não mostrada na figura 3.26; o substrato do transistor M1 é conectado à própria fonte no caso de transistores isolados, e à tensão V_{ss} , no caso de transistores não isolados. Deste modo, o efeito de corpo deve ser considerado, sendo representado, na função de transferência abaixo, pelo parâmetro gmb_1 .

$$\frac{I_1}{V_{in}}(s) = \frac{-gm_2(gm_1 + gmb_1 + g_1) + [C_2(gm_1 + gmb_1 + gm_2 + g_1 + g_2) - C_A gm_2 + C_1 g_2]s + [C_3(C_1 + C_2) + C_2(C_1 + C_A)]s^2}{gm_1 + gmb_1 + gm_2 + g_1 + g_2 + (C_1 + C_3 + C_A)s} \quad (3.61)$$

3.5.3.2 Par CMOS M2-M3

Da mesma maneira que no item anterior, a análise AC do par CMOS M2-M3 conduz à resposta em frequência da corrente I_2 em função da tensão de entrada. No caso de se terem transistores isolados, novamente os terminais de substrato são conectados às fontes. Já no caso de os transistores não possuírem esta característica, o substrato do transistor M3 (canal N) é conectado a V_{ss} e o substrato do transistor M4 é conectado ao potencial de polarização V_{B4} , constante, podendo este ponto ser considerado um terra AC. Diferentemente do caso anterior, os circuitos AC das duas situações não são os mesmos, devido ao fato de a capacitância porta-substrato do transistor M3 ser conectada à própria fonte, no primeiro caso, e a V_{ss} , no segundo. Deste modo, os circuitos equivalentes AC para as duas situações são mostrados na figura abaixo.

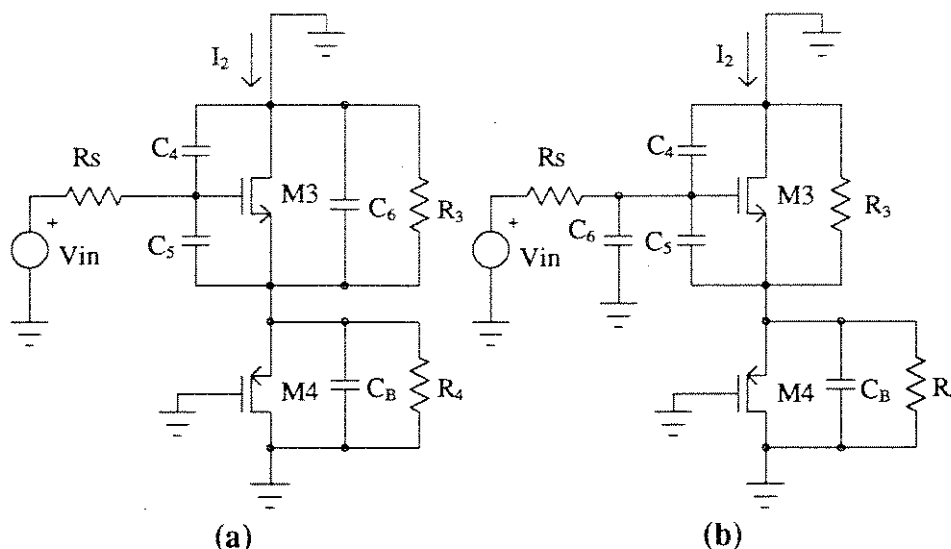


Figura 3.27 - Circuitos Equivalentes AC do Par CMOS M3-M4

(a) - Circuito equivalente com transistores isolados

(b) - Circuito equivalente com transistores não isolados

No caso de o circuito ser realizado com transistores isolados, em que os terminais de substrato dos transistores são ligados às fontes dos mesmos, a figura 3.27-(a) mostra o circuito AC equivalente, onde R_s é a impedância da fonte de sinal, e os outros parâmetros são dados por:

$$\begin{aligned} C_4 &= C_{GD3} \\ C_5 &= C_{GS3} + C_{GB3} \\ C_6 &= C_{BD3} \\ C_B &= C_{GS4} + C_{GB4} + C_{BD4} \\ R_3 &= (g_{ds3})^{-1} \\ R_4 &= (g_{ds4})^{-1} \end{aligned}$$

Já no segundo caso, em que o circuito equivalente AC é dado pela figura 3.27-(b), os parâmetros são:

$$\begin{aligned} C_4 &= C_{GD3} \\ C_5 &= C_{GS3} \\ C_6 &= C_{GB3} \\ C_B &= C_{BS3} + C_{GS4} + C_{BS4} \\ R_3 &= (g_{ds3})^{-1} \\ R_4 &= (g_{ds4})^{-1} \end{aligned}$$

A função de transferência do par M3-M4, considerando todas as variáveis apresentadas, é ainda mais complexa que no caso do par M1-M2. Deste modo, efetuando-se a mesma simplificação adotada, ou seja, a impedância da fonte de sinal (R_s) é pequena o bastante para ser desprezada, a função de transferência simplificada da figura 3.27-(a), para o caso em que os transistores são isolados (substrato conectado à fonte), pode ser expressa por:

$$\frac{I_2}{V_{in}}(s) = \frac{g_{m3}(g_{m4} + g_4) - [C_4(g_{m3} + g_{m4} + g_3 + g_4) - C_B g_{m3} + C_5 g_3]s - [C_6(C_4 + C_5) + C_4(C_5 + C_B)]s^2}{g_{m3} + g_{m4} + g_3 + g_4 + (C_5 + C_6 + C_B)s} \quad (3.62)$$

Na equação acima, $g_3 = R_3^{-1}$ e $g_4 = R_4^{-1}$. No caso em que os transistores não são isolados, cujo circuito equivalente AC é mostrado na figura 3.27-(b), existe efeito de corpo nos transistores M3 e M4, expressos pelos parâmetros g_{mb3} e g_{mb4} . Sendo assim, a expressão, simplificada, da função de transferência é dada por:

$$\frac{I_2}{V_{in}}(s) = \frac{g_{m3}(g_{m4} + g_{mb4} + g_4) - [C_4(g_{m3} + g_{mb3} + g_{m4} + g_{mb4} + g_3 + g_4) - C_B g_{m3} + C_5(g_3 + g_{mb3})]s - [C_4(C_5 + C_B)]s^2}{g_{m3} + g_{mb3} + g_{m4} + g_{mb4} + g_3 + g_4 + (C_5 + C_B)s} \quad (3.63)$$

3.5.3.3 Circuito Completo

Uma vez analisadas as partes, a resposta em frequência do circuito completo pode ser facilmente deduzida. Uma vez que $I_{out} = I_1 - I_2$, tem-se também que:

$$\frac{I_{out}}{V_{in}}(s) = \frac{I_1}{V_{in}}(s) - \frac{I_2}{V_{in}}(s) \quad (3.64)$$

Os termos $I_1/V_{in}(s)$ e $I_2/V_{in}(s)$ podem ser dados, de maneira aproximada, por 3.60 ou 3.61, e 3.62 ou 3.63, dependendo do fato de o circuito possuir ou não transistores isolados.

De qualquer maneira, $I_1/V_{in}(s)$ e $I_2/V_{in}(s)$ são da seguinte forma:

$$\begin{aligned}\frac{I_1}{V_{in}}(s) &= \frac{a + b s + c s^2}{d + e s} \\ \frac{I_2}{V_{in}}(s) &= \frac{f + g s + h s^2}{i + j s}\end{aligned}\quad (3.65)$$

Para o caso de transistores isolados, as constantes ($a...j$), segundo as equações 3.60 e 3.62, são dadas por:

$$\begin{aligned}a &= -gm_2(gm_1 + g_1) \\ b &= C_2(gm_1 + gm_2 + g_1 + g_2) - C_A gm_2 + C_1 g_2 \\ c &= C_3(C_1 + C_2) + C_2(C_1 + C_A) \\ d &= gm_1 + gm_2 + g_1 + g_2 \\ e &= C_1 + C_3 + C_A \\ f &= gm_3(gm_4 + g_4) \\ g &= C_4(gm_3 + gm_4 + g_3 + g_4) - C_B gm_3 + C_5 g_3 \\ h &= C_6(C_4 + C_5) + C_4(C_5 + C_B) \\ i &= gm_3 + gm_4 + g_3 + g_4 \\ j &= C_5 + C_6 + C_B\end{aligned}\quad (3.66)$$

No caso de transistores isolados, de acordo com 3.61 e 3.63, as mesmas constantes são dadas por:

$$\begin{aligned}a &= -gm_2(gm_1 + gmb_1 + g_1) \\ b &= C_2(gm_1 + gmb_1 + gm_2 + g_1 + g_2) - C_A gm_2 + C_1 g_2 \\ c &= C_3(C_1 + C_2) + C_2(C_1 + C_A) \\ d &= gm_1 + gmb_1 + gm_2 + g_1 + g_2 \\ e &= C_1 + C_3 + C_A \\ f &= gm_3(gm_4 + gmb_4 + g_4) \\ g &= C_4(gm_3 + gmb_3 + gm_4 + gmb_4 + g_3 + g_4) - C_B gm_3 + C_5(g_3 + gmb_3) \\ h &= -C_4(C_5 + C_B) \\ i &= gm_3 + gmb_3 + gm_4 + gmb_4 + g_3 + g_4 \\ j &= C_5 + C_B\end{aligned}\quad (3.67)$$

Substituindo 3.65 em 3.64 e rearranjando-se os termos, tem-se a função de transferência do circuito, representada genericamente pela equação 3.68.

$$\frac{I_{out}}{V_{in}}(s) = \frac{k + l s + m s^2 + n s^3}{o + p s + q s^2} \quad (3.68)$$

onde

$$\begin{aligned} k &= -d f + a i \\ l &= -e f - d g + b i + a j \\ m &= -e g - d h + c i + b j \\ n &= -e h + c j \\ o &= d i \\ p &= e i + d j \\ q &= e j \end{aligned} \quad (3.69)$$

Os pólos da equação 3.68 podem ser facilmente calculados, e são dados, em hertz, por:

$$\begin{aligned} p_1 &= -\frac{d}{2\pi e} \\ p_2 &= -\frac{i}{2\pi j} \end{aligned} \quad (3.70)$$

Aplicando os resultados obtidos às duas situações simuladas, em que um dos circuitos possui transistores isolados, e o outro é tal qual apresentado no item 3.5.1.2 - *Transistores Canal N com substrato comum* - é possível verificar e comprovar a validade das expressões obtidas.

Através dos valores de capacitâncias e condutâncias dos transistores, obtidos através de uma análise do ponto de operação, chegou-se às constantes definidas em 3.69. Sendo assim, para o caso de um circuito com transistores isolados, a função de transferência resultante, de acordo com 3.68, já rearranjada, é dada pela expressão 3.71.

$$\frac{I_{out}}{V_{in}}(s) = -301.327 \cdot 10^{-6} \frac{1 + 1.19648 \cdot 10^{-9} s + 2.55238 \cdot 10^{-19} s^2 - 6.24069 \cdot 10^{-29} s^3}{1 + 1.2171 \cdot 10^{-9} s + 3.70336 \cdot 10^{-19} s^2} \quad (3.71)$$

A função de transferência acima possui os seguintes pólos e zeros:

$$\begin{aligned} z_1 &= 218.421 \text{ MHz} \rightarrow \text{semiplano esquerdo} \\ z_2 &= 261.525 \text{ MHz} \rightarrow \text{semiplano esquerdo} \\ z_3 &= 1.13088 \text{ GHz} \rightarrow \text{semiplano direito} \\ p_1 &= 261.529 \text{ MHz} \rightarrow \text{semiplano esquerdo} \\ p_2 &= 261.531 \text{ MHz} \rightarrow \text{semiplano esquerdo} \end{aligned} \quad (3.72)$$

Pode-se perceber, através da localização dos pólos e zeros acima, que o circuito deve possuir uma banda em frequência bastante elevada, pois somente com sinais de entrada acima da faixa de 100 MHz o circuito, em si, passa a apresentar pólos e zeros intrínsecos que podem prejudicar o funcionamento do mesmo.

Para a situação em que os transistores não são isolados, a função de transferência, de acordo com as expressões 3.67, 3.68 e 3.69 é dada por:

$$\frac{I_{out}}{V_{in}}(s) = -236.877 \cdot 10^{-6} \frac{1 + 1.44031 \cdot 10^{-9} s + 3.77694 \cdot 10^{-19} s^2 - 1.05864 \cdot 10^{-28} s^3}{1 + 1.49056 \cdot 10^{-9} s + 5.55384 \cdot 10^{-19} s^2} \quad (3.73)$$

Desta forma, os pólos e zeros são dados por:

$$\begin{aligned} z_1 &= 188.210 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_2 &= 209.547 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ z_3 &= 965.578 \text{ MHz} \rightarrow \text{semitplano direito} \\ p_1 &= 211.378 \text{ MHz} \rightarrow \text{semitplano esquerdo} \\ p_2 &= 215.768 \text{ MHz} \rightarrow \text{semitplano esquerdo} \end{aligned} \quad (3.74)$$

Assim como no caso anterior, também aqui o circuito deve apresentar-se de forma bastante satisfatória, no que se refere à resposta em frequência, com uma faixa em torno de 100 MHz praticamente sem influência dos pólos e zeros inerentes ao circuito. Em ambos os casos, pode-se perceber um certo cancelamento dos pólos pelos zeros de mais baixa frequência, fazendo com que o zero de mais alta frequência praticamente domine a resposta do circuito.

Um outro ponto importante de ser salientado é o "ganho" das funções de transferências obtidas. Percebe-se, das equações 3.71 e 3.73, que as transcondutâncias DC são praticamente idênticas às reportadas nos itens 3.5.1.1 e 3.5.1.2, $-300.41 \mu\text{A/V}$ e $-236.215 \mu\text{A/V}$, respectivamente.

Para verificar os resultados obtidos, foram realizadas simulações das duas configurações estudadas, com a topologia do circuito de acordo com a figura 3.20-(a), considerando uma impedância da fonte de sinal (R_s) e uma carga de saída (R_{out}) de 50Ω . O resultado obtido apresenta-se a seguir.

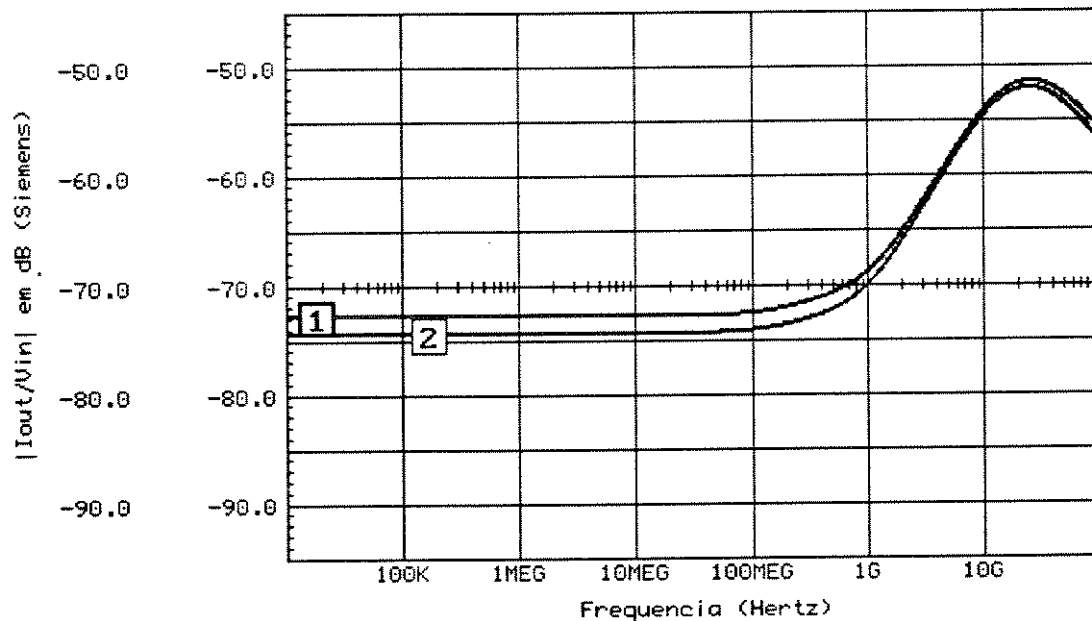


Figura 3.28 - Resposta em Frequência do Par Duplo CMOS

- (1) - Circuito com transistores isolados
- (2) - Circuito com transistores não isolados

A resposta do circuito com transistores isolados apresentou uma ascensão de 3 dB em torno de 740 MHz, enquanto no caso em que o circuito possuía transistores não isolados, este fato ocorreu numa frequência um pouco mais baixa, em 700 MHz. Como previsto, até uma faixa de 100 MHz a resposta em frequência é praticamente constante, em ambos os casos.

Considerando as aproximações realizadas para a análise, pode-se dizer que os resultados obtidos foram bastante satisfatórios, comprovando e verificando o desenvolvimento realizado. Além disso é possível, através de uma análise ainda mais profunda nas expressões algébricas dos pólos e zeros encontradas, realizar uma compensação, com a inclusão de capacitores integrados de baixo valor, para aumentar ainda mais a banda do circuito. Se, contudo, espelhos de corrente forem utilizados para aumentar a excursão do sinal de entrada e/ou realizar uma transcondutância positiva no circuito, a resposta em frequência será, certamente, dominada pelo desempenho dos espelhos.

3.5.4 Excursão do Sinal de Entrada em Relação às Fontes de Alimentação

Considerando a configuração até agora analisada, ou seja, a configuração (a) da figura 3.20, e assumindo que a carga não provoca grandes alterações de tensão pela corrente de saída, segundo a expressão 3.33, a tensão de entrada deve obedecer à seguinte relação:

$$-|V_{TP2}| \leq V_{in} \leq V_{TN3} \quad (3.75)$$

Sendo a porcentagem de excursão do sinal dada pela expressão 1.17, tem-se, no caso, que a excursão do sinal de entrada em relação às fontes pode ser dada por:

$$Excursão_{V_{in}}(\%) = \left(\frac{V_{TN3} + |V_{TP2}|}{|V_{dd} - V_{ss}|} \right) \cdot 100 \quad (3.76)$$

Segundo os níveis de corrente e tensões de polarização utilizados, no caso em que os transistores estão isolados, de acordo com os valores de V_{TN3} e V_{TP2} obtidos em simulação, utilizando o nível 2 de modelamento do transistor MOS, a excursão do sinal de entrada chega a aproximadamente 16% das fontes. No caso de transistores não isolados, este valor aumenta para 22%. Este aumento se deve ao fato da presença do efeito de corpo, o que eleva a tensão de limiar dos transistores.

Melhores valores de excursão podem ser obtidos, à custa de uma diminuição na transcondutância do circuito.

Uma outra alternativa que melhora significativamente a excursão do sinal de entrada é a utilização da configuração (b) da figura 3.20. Se espelhos de corrente com alta relação de geometria forem empregados, as tensões de dreno dos transistores M2 e M3 podem chegar praticamente a V_{ss} e V_{dd} , respectivamente. Neste caso, a segunda restrição de V_{in} , descrita em 3.33, passa a ser predominante, o que significa uma sensível melhora na excursão do circuito.

3.6 Conclusões

Este capítulo, embora tenha tratado de apenas 2 tipos de circuito que ilustram a operação de transcondutores em classe AB, apresentou um enfoque bastante profundo nas análises realizadas, principalmente análises de linearidade e respostas em frequências. Além disso, uma introdução às características gerais do processamento de sinais em classe AB e uma análise de pares CMOS atuando como um único elemento transistor também foram realizadas.

Com relação ao processamento em grandes sinais, o primeiro circuito analisado, Quadrador Duplo Cruzado, apresentou um erro de linearidade menor que 0.1 % para apenas 28% da tensão normalizada de entrada. Se o erro aceito estiver na faixa de 1%, a faixa de tensão aumenta para 87% do valor normalizado de entrada. Resultados mais animadores foram conseguidos com o Par Duplo CMOS. Na situação de transistores isolados, para 50% da faixa de tensão normalizada de entrada, o circuito apresentou uma resolução de 10 bits, ou um erro abaixo de 0.1%, e um erro de 1% para 95% da mesma. No caso de transistores não isolados, o resultado obtido foi ainda melhor, com uma precisão de 10 bits para 65% da faixa de tensão normalizada. Deve-se, contudo, desconfiar deste último resultado, uma vez que o modelo fornecido por [4] para simulação e projeto de circuitos não é adequado em situações em que se verificam as não-continuidades do mesmo, como é a situação observada.

A análise de distorção harmônica também revelou as conclusões acima expostas. No Quadrador Duplo Cruzado, esta se manteve abaixo de 0.1% para sinais de amplitude inferiores a 60% da faixa de tensão normalizada de entrada, e abaixo de 1% para toda a faixa. O Par Duplo CMOS apresentou uma DHT abaixo de 0.1% para amplitudes do sinal de entrada abaixo de 65% da faixa normalizada, para o caso de transistores isolados, e amplitudes do sinal de entrada dentro de 80% da mesma, para transistores não isolados. Em ambas as situações, para uma DHT menor que 1%, a amplitude do sinal pôde ir até a tensão máxima normalizada.

No que se refere à resposta em frequência dos circuitos, a análise realizada foi bastante criteriosa. O Quadrador Duplo Cruzado apresentava, em sua célula básica, uma limitação em frequência, já detectada pelos autores em [15]. Uma das contribuições deste trabalho foi o fato de se ter elaborado um procedimento para a determinação do valor de um capacitor de compensação, a ser inserido no circuito, de modo a eliminar a limitação do circuito. Para se ter uma idéia, a resposta em frequência original apresentava distorções no gráfico de Bode a partir de 6 MHz. Com a inclusão do capacitor determinado pelo método apresentado, esta frequência aumentou para valores na faixa de gigahertz. Neste circuito, porém, pela necessidade de espelhos de corrente para realizar a subtração das correntes de saída, a faixa diminuiu para 74 MHz, sendo esta a limitação para o circuito compensado. De qualquer maneira, o aumento da faixa em mais de uma década de frequências foi um resultado bastante interessante. Como em praticamente todos os circuitos que utilizam espelhos de corrente na saída, para um melhor desempenho, deve-se melhorar a resposta em frequência dos mesmos. No caso do Par Duplo CMOS, tanto o circuito com transistores isolados como o que se utiliza de transistores não isolados apresentaram uma boa resposta em frequência, com alterações na mesma a partir de 100 MHz. Deve-se salientar que a influência da carga tende a diminuir esta faixa. Em ambos os circuitos, as expressões teóricas encontradas foram comprovadas plenamente pelos resultados obtidos em simulação.

No que diz respeito à excursão do sinal de entrada em relação às fontes de alimentação, o Quadrador Duplo Cruzado apresentou um melhor desempenho (45%) do que o Par Duplo CMOS na configuração estudada (22%). Mas isto se deve principalmente pelo fato de o primeiro circuito utilizar tensões diferenciais e balanceadas, o que não ocorre no segundo, sendo este fato uma vantagem do Par Duplo CMOS em relação ao Quadrador Duplo Cruzado.

Capítulo IV

Transdutores Projetados no DEMIC/FEE-UNICAMP

4.1 Introdução

Este capítulo apresenta dois circuitos transdutores desenvolvidos como temas de tese no Departamento de Microeletrônica da Faculdade de Engenharia Elétrica da UNICAMP. Diferentemente dos capítulos anteriores, o equacionamento, simulação e análise destes circuitos não são aqui realizados, uma vez que uma averiguação mais detalhada pode ser facilmente realizada através da consulta das referidas teses. O objetivo deste capítulo é, portanto, a apresentação dos circuitos e dos resultados obtidos por seus idealizadores.

O primeiro circuito, desenvolvido pela Eng^a Marília dos Santos, sob orientação do Prof. Dr. Carlos Alberto dos Reis Filho, faz parte da tese *"Projeto de um Circuito Somador de Tensões de Baixo Erro, em Tecnologia CMOS"* [17]. Neste trabalho é apresentado um novo conversor V-I, com alta linearidade e excursão do sinal de entrada, com possibilidade de operação em alta frequência.

O segundo circuito, desenvolvido pelo Eng. Nobuo Oki, sob orientação do Prof. Dr. Wilmar Bueno de Moraes e do Prof. Dr. Alberto Martins Jorge, apresentado na tese "*Uma Nova Célula de Conversão de Tensão em Corrente Linear Baseada na Característica Quadrática do Transistor MOS e Aplicações*" [18], apresenta um novo conceito de transcondutor, baseado numa estrutura de pares diferenciais cruzados, com uma fonte de tensão flutuante entre as fontes destes pares.

4.2 Circuito 1

O circuito transcondutor apresentado em [17] é reproduzido na figura abaixo.

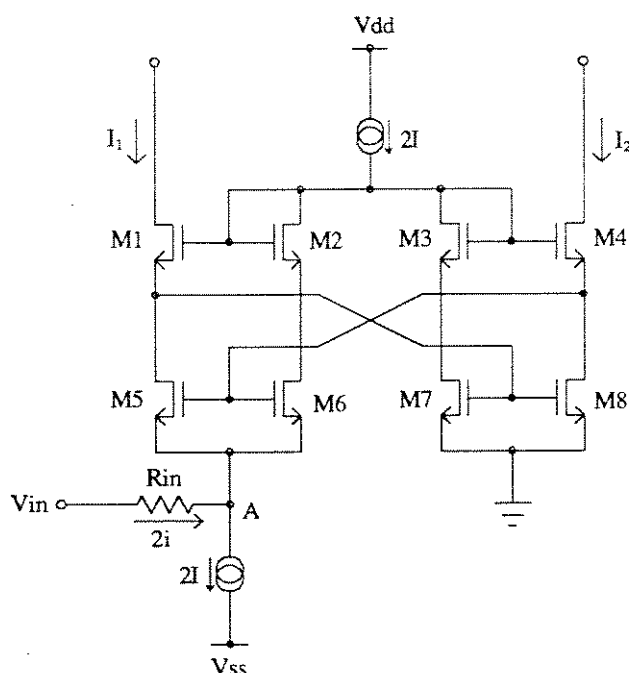


Figura 4.1 - Circuito 1, desenvolvido no DEMIC/FEE

Este circuito foi utilizado pelos autores como um bloco integrante de um circuito maior, um somador de tensões. Através da utilização de dois ou mais conversores, conduzindo a corrente de saída de cada um deles a um ponto único, pode-se realizar a soma das tensões de entrada. O circuito é composto de 8 transistores MOS canal N, realizados sob um substrato comum, tipo P. Os transistores M5-M6 e M7-M8 formam espelhos de corrente, uma vez que ambos possuem a mesma tensão porta-fonte. A estrutura também possui duas fontes de corrente de valor $2I$.

4.2.1 Linearidade

Supondo que a corrente que flui pelo resistor de entrada possua um valor $2i$, o equacionamento das correntes no nó A mostra que:

$$Id_5 + Id_6 + 2i = 2I \quad (4.1)$$

Como M5 e M6 formam um espelho de corrente, as correntes em ambos são iguais a I_1 , já que os transistores M1 e M5 formam um ramo único. Deste modo, substituindo Id_5 e Id_6 por I_1 e simplificando, tem-se:

$$I_1 = I - i \quad (4.2)$$

Deste modo, a corrente que flui por M2 também é igual a I_1 , devido ao espelho M5-M6. Sendo assim, em função da fonte de corrente superior, a corrente que flui pelos transistores M3 e M7 é igual a $2I - I_1 = I + i$. Como M7 e M8 formam um espelho de corrente, as correntes de ambos são iguais, dadas por:

$$I_2 = I + i \quad (4.3)$$

Sendo a corrente de saída dada pela diferença das correntes I_1 e I_2 , tem-se:

$$I_{out} = I_1 - I_2 = 2i = R_{in}^{-1} (V_{in} - V_A) \quad (4.4)$$

Considerando que todos os transistores possuem as mesmas relações de geometria e correntes de polarização, desprezando-se o efeito de corpo, pode ser mostrado que a tensão no nó A é efetivamente zero, comportando-se como um "terra virtual". Deste modo, a corrente de saída é agora dada por:

$$I_{out} = 2i = R_{in}^{-1} V_{in} \quad (4.5)$$

Vê-se que a expressão acima exibe uma dependência linear entre I_{out} e V_{in} , com uma transcondutância dada por:

$$g_m = \frac{1}{R_{in}} \quad (4.6)$$

Deste modo, a transcondutância do circuito pode ser ajustada variando-se o valor do resistor R_{in} . No equacionamento apresentado foram desprezados os efeitos de modulação de canal e efeitos de polarização do substrato (efeito de corpo), presentes nos transistores fabricados nesta tecnologia. A inclusão destes efeitos provoca variações de tensão no "terra virtual", fazendo com que haja um erro de linearidade. O equacionamento do erro, realizado em [17], mostra que através de ajustes na geometria dos transistores a variação da tensão no nó A pode ser minimizada, melhorando significativamente a linearidade do circuito.

4.2.2 Resultados Obtidos

Considerando as medidas realizadas, através de várias montagens, utilizando transistores do "array" CD4007, transistores fabricados no PMU CMOS 07, e uma montagem integrada no PMU CMOS 08, segundo [17], os resultados obtidos foram bastante satisfatórios.

Através de simulações viu-se que, sem o ajuste de geometria para compensar o efeito de corpo, a tensão no nó A variou entre -25 mV e 25 mV, para uma tensão de entrada de -2 V a 2 V. Com a compensação, para várias situações de geometrias, a variação de tensão no terra virtual diminuiu para valores entre 200 μ V e 2 mV, comprovando a possibilidade de se minimizar este tipo de efeito.

Utilizando-se transistores do "array" CD4007, isolados, o erro de linearidade observado situou-se entre 0.35% e 0.8%, para 4 amostras. Este erro foi devido, principalmente, ao descasamento entre os transistores, uma vez que o efeito de corpo não esteve presente, pela montagem realizada. No caso de se utilizarem transistores fabricados no PMU CMOS 07, o erro máximo de linearidade situou-se entre 0.1% e 0.9%, para 3 amostras consideradas. Este erro é agora devido ao fato de o substrato de todos os transistores canal N estarem intrinsecamente conectados ao potencial mais negativo do circuito, havendo efeito de corpo, além de possíveis descasamentos entre os transistores. Já no caso no teste realizado no PMU CMOS 08, onde o circuito foi todo integrado, o erro observado ficou abaixo de 0.09%. É importante notar que, ainda neste circuito, nenhuma compensação do efeito de corpo foi realizada. A variação de tensão no nó A foi de aproximadamente 20 mV, para uma tensão de entrada de -1 V a 1 V, condizente com o previsto pela teoria. Um outro protótipo do circuito foi também encaminhado ao PMU CMOS 09, este com compensação do efeito de corpo, através do ajuste das relações W/L dos transistores. Porém, os resultados das medidas deste circuito ainda não estavam disponíveis na época da apresentação do trabalho. Esperam-se, contudo, desempenhos ainda melhores em relação aos obtidos.

Os autores ainda apresentam uma alternativa de implementação do circuito, utilizando transistores MOS canal P, com os substratos conectados às próprias fontes, praticamente eliminando o efeito de corpo. Resultados de simulações mostraram uma variação de tensão no terra virtual abaixo de 2 mV, bem inferior aos 25 mV esperados no caso de se utilizarem transistores tipo N.

No caso da resposta em frequência, simulações mostraram um desempenho razoável, em que a queda de 3 dB situou-se na faixa de 1 MHz. Medidas realizadas através de respostas a excitações do tipo pulso comprovaram o resultado esperado.

4.3 Circuito 2

Outro circuito desenvolvido no Departamento de Microeletrônica da FEE/UNICAMP é mostrado na figura 4.2. Este é composto de 4 transistores MOS, arranjados numa estrutura de 2 pares diferenciais cruzados (M1-M3 e M2-M4). Entre as fontes de ambos os pares de transistores, uma fonte de tensão flutuante V_F é introduzida, de modo a linearizar a corrente de saída do circuito. Esta corrente é tomada como a diferença entre as correntes I_A e I_B , sendo necessários, pois, espelhos de corrente para levar a corrente de saída a um ramo único. Tensões diferenciais e balanceadas nas portas dos transistores também são necessárias para uma melhor linearidade. O nó Y da figura 4.2 pode ser conectado à fonte negativa do circuito (V_{SS}) ou a uma fonte de corrente, dependendo da escolha do projetista. Além disso, todos os transistores devem operar na região de saturação para que o circuito tenha o comportamento desejado.

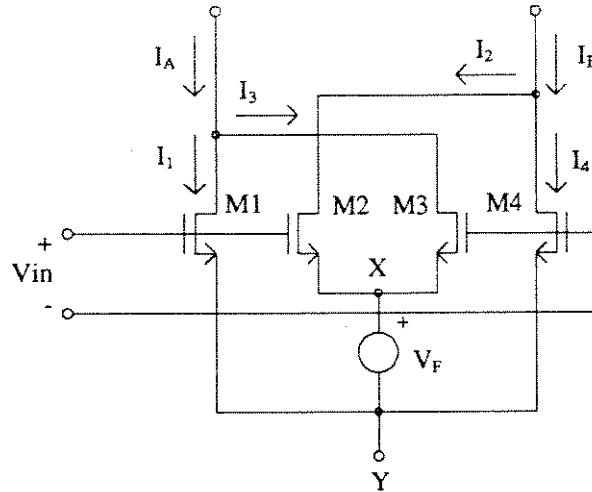


Figura 4.1 - Circuito 2, desenvolvido no DEMIC/FEE

4.3.1 Linearidade

Fazendo com que a tensão de entrada V_{in} seja diferencial, balanceada e com uma componente de modo comum igual a zero, considerando o modelo simplificado do transistor MOS (apêndice A), e assumindo que todos os transistores da figura 4.1 estejam operando na região de saturação, as correntes em cada transistor podem ser expressas por:

$$\begin{aligned} I_1 &= K_N \left(\frac{V_{in}}{2} - V_Y - V_{TN} \right)^2 \\ I_2 &= K_N \left(\frac{V_{in}}{2} - V_X - V_{TN} \right)^2 \\ I_3 &= K_N \left(-\frac{V_{in}}{2} - V_X - V_{TN} \right)^2 \\ I_4 &= K_N \left(-\frac{V_{in}}{2} - V_Y - V_{TN} \right)^2 \end{aligned} \quad (4.7)$$

Segundo a figura 4.1, a corrente de saída é dada por:

$$I_{out} = (I_1 + I_3) - (I_2 + I_4) \quad (4.8)$$

Substituindo as relações dadas em 4.7 na expressão acima, simplificando-se o resultado, e sabendo-se que $V_F = V_X - V_Y$, tem-se a expressão final que relaciona a corrente de saída com a tensão de entrada, dada por:

$$I_{out} = 2 K_N V_F V_{in} \quad (4.9)$$

Deste modo, o circuito apresenta uma relação linear entre I_{out} e V_{in} , com uma transcondutância idealmente constante ($g_m = 2 K_N V_F$). É apresentado em [18] uma alternativa de implementação, onde a transcondutância pode ser variada através de uma tensão externa de controle.

4.3.2 Resultados Obtidos

Os resultados experimentais foram obtidos com a utilização de transistores MOS canal N do "array" CD4007. A fonte V_F foi implementada utilizando-se um diodo de junção PN, com o terminal P conectado ao nó X e o terminal N ao nó Y. Além disso, entre o nó Y e a fonte negativa V_{ss} , uma fonte de corrente foi inserida, para diminuir as variações de tensão no diodo em função das variações de corrente no mesmo. A tensão de entrada, porém, foi aplicada em apenas um dos terminais, estando o outro conectado ao terra.

A distorção harmônica total foi realizada utilizando-se uma entrada senoidal de frequência 1 KHz, com amplitudes variando de 0.4 V a 3 V. Verificou-se que os melhores resultados foram obtidos com um aumento da corrente quiescente da fonte de corrente. Isto se deve ao fato de haver uma diminuição nas variações de tensão no diodo. Para o máximo valor da fonte de corrente (5 mA), a DHT situou-se abaixo de 1 % para sinais de entrada de amplitudes até 2.5 V.

Quanto ao erro de linearidade, este situou-se abaixo de 2% para toda a faixa de tensão de entrada em que os transistores ainda operavam em saturação (-2 V a 2 V). Este alto erro é devido principalmente ao fato de o sinal de entrada utilizado ser não balanceado.

A análise AC do circuito, obtida por simulação, mostrou que o mesmo pode operar em frequências de até 10 MHz. Porém, a frequência de corte medida chegou a apenas 700 KHz, devido às altas capacitâncias associadas aos transistores do "array" utilizado, e à montagem realizada.

4.4 Conclusões

Este capítulo apresentou dois circuitos transcondutores desenvolvidos no Depto. de Microeletrônica da FEE/UNICAMP. A análise detalhada realizada nos circuitos descritos nos capítulos anteriores não foi aqui realizada, uma vez que as mesmas podem ser encontradas, da forma como cada um dos autores julgou adequada, nas referências [17] e [18].

Os resultados mais significativos, tanto em nível de simulação como através de medidas realizadas, obtidos em cada um dos trabalhos, foram reportados, mostrando a validade do equacionamento realizado e dos resultados esperados.

No Circuito 1, algumas características importantes devem ser ressaltadas. Este apresentou uma alta linearidade (resolução de 10 bits), sendo praticamente independente das características intrínsecas dos transistores, como mobilidade dos portadores, transcondutância e outros parâmetros. Porém, o circuito exige que a fonte de sinal forneça uma corrente equivalente à corrente de saída, possuindo o circuito, portanto, uma entrada de baixa impedância quando comparada à associada com circuitos que possuem suas entradas em portas de transistores MOS.

O Circuito 2 apresenta não-linearidades maiores que o circuito anterior, pelo fato de o mesmo necessitar de entradas diferenciais, balanceadas, e depender de características intrínsecas do transistor, como mobilidade e transcondutâncias. Porém, a impedância DC de entrada é praticamente infinita, devido ao fato de o circuito possuir os terminais de entrada associados a portas de transistores MOS.

Conclusões Gerais

Considerações Iniciais

De uma maneira geral, um estudo detalhado de cada um dos circuitos apresentados foi realizado. Este estudo, dificilmente encontrado quando da publicação de cada um deles, revela claramente suas qualidades e defeitos, estes normalmente "escondidos" pelos projetistas.

Em todo o trabalho procurou-se evidenciar todos os passos necessários para se chegar a um determinado resultado, fosse este uma equação ou uma simulação. Desta maneira, a preocupação na didática dos problemas abordados foi uma constante, o que pode ser verificado no início de cada um dos capítulos, onde os conceitos teóricos gerais envolvidos nos circuitos são inicialmente analisados. Espera-se, contudo, que o leitor possua alguma vivência em circuitos analógicos MOS para um melhor entendimento do trabalho.

Um outro fator que contribui para uma compreensão mais acentuada do trabalho é o fato de que cada um dos capítulos presentes pode ser encarado como uma estrutura isolada. Todos possuem uma abordagem teórica inicial, os circuitos que ilustram a abordagem realizada e uma conclusão, em que comparações e considerações são realizadas acerca de cada circuito. Este tipo de estrutura facilita a compreensão e encerra o assunto abordado, não sendo necessária a leitura nem o conhecimento prévio de assuntos abordados em capítulos anteriores.

As equações que regem o comportamento do transistor MOS em sua forma completa são extremamente complexas para uma abordagem inicial de um circuito. Optou-se, então, por uma análise que utilizasse um equacionamento simplificado do transistor, sem levar em conta a variação da mobilidade dos portadores com o campo elétrico gerado pela tensão porta-fonte, sem considerar os efeitos de modulação de canal, nem o efeito de corpo, na maioria dos casos. Observou-se que esta análise foi plenamente validada e verificada, quando comparada às simulações utilizando o modelo de nível 1 do transistor MOS. As publicações em que estes circuitos foram apresentados utilizam o mesmo nível de análise realizado neste trabalho, pois é o nível em que as equações ainda são humanamente manipuláveis.

Conforme explicado no item *Introdução*, optou-se pelo equacionamento, simulação e análise de praticamente dez circuitos, por se entender que o trabalho intelectual de um projetista é plenamente consumido nesta etapa. Não menos importante, a fabricação e teste servem para comprovar ou abolir de vez os resultados esperados. Nesta última situação é certo que erros nas etapas de projeto ou elaboração do leiaute das máscaras do circuito foram os responsáveis pelo fracasso.

Contribuições do Trabalho

Uma das grandes contribuições desta tese foi mostrada no modo de utilização dos programas *Spice*, *Sspice* e *Mathematica*. Em nenhum dos artigos em que os circuitos analisados nesta tese são apresentados é feita uma análise tão profunda e crítica. Este aspecto pode ser mais claramente evidenciado nas respostas em frequências de cada circuito, em que os zeros e pólos são analiticamente preditos e confirmados pelas simulações usuais, utilizado-se o simulador *Spice*. As análises realizadas abrem espaço para que o desempenho destes e de outros circuitos possa ser melhorado, através da inclusão de elementos capacitivos, externa ou internamente, ou através de um dimensionamento adequado dos transistores.

Além do acima mencionado, em que as funções de transferências AC de cada um dos circuitos foram evidenciadas, outras contribuições inovadoras foram realizadas, a dizer:

- ☞ idealização e análise do Par Diferencial Cruzado com Fonte de Corrente Comum;
- ☞ idealização e análise do Par Diferencial em Polarização Adaptativa com circuito quadrador de dois transistores;
- ☞ elaboração de um método para a compensação do circuito Quadrador Duplo Cruzado;
- ☞ elaboração de um método para a linearização do circuito Par Duplo CMOS, utilizando-se apenas tensões de polarização.

Sumário dos Resultados Obtidos

A tabela abaixo resume os resultados obtidos para facilitar a comparação dos transcondutores estudados. Os parâmetros utilizados em cada circuito são descritos na introdução de cada um, nos respectivos capítulos. Deve-se ressaltar que é a necessidade de certo desempenho ou o conjunto gerais de características que determina o tipo de transcondutor que se deve adotar.

Circuito	Erro de Linearidade	Distorção Harmônica	Resposta em Frequência	Excursão de Sinal	Transcon-dutância
Par Diferencial Simples	< 0.1% $ V_{id} < 82.5 \text{ mV}$ < 1% $ V_{id} < 258 \text{ mV}$	< 1% $ V_{id} < 477 \text{ mV}$	$f_{-3dB} = 6.9\text{GHz}$	$ V_{id} < 1.192 \text{ V}$	220 μS
Par Diferencial Cruzado com Fontes de Corrente Independentes	< 0.1% $ V_{id} < 571 \text{ mV}$ < 1% $ V_{id} < 849 \text{ mV}$	< 0.1% $ V_{id} < 666 \text{ mV}$ < 1% $ V_{id} < 952 \text{ mV}$	$f_{-3dB} = 18.7\text{GHz}$	$ V_{id} < 952 \text{ mV}$	83 μS
Par Diferencial Cruzado com Fontes de Corrente Comum	< 0.1% $ V_{id} < 85 \text{ mV}$ < 1% $ V_{id} < 265 \text{ mV}$	< 1% $ V_{id} < 517 \text{ mV}$	$f_{-3dB} = 14.5\text{GHz}$	$ V_{id} < 1.185 \text{ V}$	120 μS
Par Diferencial com Célula em Modo Corrente	< 0.1% $ V_{id} < 277 \text{ mV}$ < 1% $ V_{id} < 861 \text{ mV}$	< 0.1% $ V_{id} < 569 \text{ mV}$ < 1% $ V_{id} < 1.123 \text{ V}$	$f_{-3dB} = 56.9\text{MHz}$	$ V_{id} < 1.423 \text{ V}$	394 μS
Par Diferencial em Polarização Adaptativa com Circuito Quadrador de 2 Transistores	< 0.1% $ V_{id} < 533 \text{ mV}$ < 1% $ V_{id} < 1.077 \text{ V}$	< 0.1% $ V_{id} < 1 \text{ V}$ < 1% $ V_{id} < 1.4 \text{ V}$	$f_{-3dB} = 2.85\text{GHz}$	$ V_{id} < 2.013 \text{ V}$	92 μS
Par Diferencial em Polarização Adaptativa com Célula Quadradora Cruzada	< 0.1% $ V_{id} < 523 \text{ mV}$ < 1% $ V_{id} < 721 \text{ mV}$	< 0.1% $ V_{id} < 722 \text{ mV}$	$f_{-3dB} = 5.34\text{GHz}$	$ V_{id} < 721 \text{ mV}$	155 μS
Quadrador Duplo Cruzado	< 0.1% $ V_{id} < 480 \text{ mV}$ < 1% $ V_{id} < 1.466 \text{ V}$	< 0.1% $ V_{id} < 429 \text{ mV}$ < 1% $ V_{id} < 1.715 \text{ V}$	$f_{-3dB} = 7.10\text{GHz}$	$ V_{id} < 1.715 \text{ V}$	218 μS
Par Duplo CMOS com transistores isolados	< 0.1% -241 mV < V_{in} < 505 mV < 1% $ V_{in} < 765 \text{ mV}$	< 0.1% $ V_{in} < 612 \text{ mV}$ < 1% $ V_{in} < 765 \text{ mV}$	$f_{-3dB} = 741\text{MHz}$	$ V_{in} < 765 \text{ mV}$	-300 μS
Par Duplo CMOS com transistores não isolados	< 0.1% -632 mV < V_{in} < 429 mV < 1% -744 mV < V_{in} < 810 mV	< 0.1% $ V_{in} < 567 \text{ mV}$ < 1% $ V_{in} < 810 \text{ mV}$	$f_{-3dB} = 700\text{MHz}$	$ V_{in} < 810 \text{ mV}$	-236 μS
DEMIC-01	< 0.1% $ V_{in} < 2 \text{ V}$	< 0.1% $ V_{in} < 2 \text{ V}$	$f_{-3dB} = 1 \text{ MHz}$	$ V_{in} < 2 \text{ V}$	-----
DEMIC-02	< 2% $ V_{in} < 2 \text{ V}$	< 1% $ V_{in} < 2.5 \text{ V}$	$f_{-3dB} = 10 \text{ MHz}$	$ V_{in} < 2 \text{ V}$	-----

Proposições para Trabalhos Futuros

Como proposta de continuação do trabalho realizado, sugere-se a realização dos seguintes itens:

- ☞ Estudo do comportamento em temperatura e da imunidade ao ruído dos transdutores analisados;
- ☞ Fabricação dos circuitos estudados para uma verificação dos resultados obtidos;
- ☞ Estudo e idealização de configurações de espelhos de corrente com alta linearidade e larga faixa de frequências de operação;
- ☞ Estudo e idealização de fontes de tensão para polarização de pontos internos aos circuitos, com alta rejeição de fonte e baixa variação com temperatura;
- ☞ Idealização de novos circuitos com erros de linearidade abaixo de 0.1%, ou uma resolução maior que 10 bits, robustos, que possuam pouca dependência com o processo de fabricação, e que satisfaçam as necessidades atuais, tais como operação com apenas uma fonte de alimentação, altas frequências de operação e alta excursão do sinal de entrada.

Referências Bibliográficas

- [1] S.T.Dupuie, M.Ismail, "High Frequency CMOS Transconductors" chapter 5 in, "Analogue IC Design: the current-mode approach", C.Toumazou, F.J.Lidgey, D.G.Haigh (ed), Peter Peregrinus Ltd, London, 1990.
- [2] H. Khorramabadi, P.R. Gray, "High frequency CMOS continuous-time filters", IEEE Journal of Solid State Circuits, vol. SC-19, pp.939-948, Dec. 1984.
- [3] S. Szczepanski, J. Jakusz, A. Czarniak, "Differential Pair Transconductor Linearisation via Electronically Controlled Current-Mode Cells", Electronics Letters, June 1992, Vol. 28 No. 12.
- [4] Austria Mikro Systeme International, "1.2 μ m CMOS Process Parameters", Revision C, July 1993.
- [5] P.E. Gray, C.L. Searle, "Electronic Principles / Physics, Models and Circuits", John Wiley & Sons Inc, New York, 1969.
- [6] J.R.Burns, "High Frequency characteristics of the insulated gate field effect transistor" RCA Rev., vol.28, pp.385, sept.1967.
- [7] G.Nicollini, D.Pancini, S.Pernici, "Simulation-oriented noise model for MOS devices", IEEE Journal of Solid State Circuits, vol. SC-22, pp.1209-1212, December 1987.
- [8] Allen P.E., Holberg D.R., "CMOS Analog Circuit Design", Holt, Rinehart and Winston Inc., New York, 1987.
- [9] E.Profumo, "The MOS Transistor" chapter 4 in "Semiconductor Device Modeling with SPI-CE", P.Antognetti, G.Massabrio (ed.) pp.143-207, McGraw Hill, 1988.
- [10] "Sspice - Circuit Analyzer and Approximator", version 1.0, Michigan State University, February 1991.
- [11] M.G.Degrauwe, J.Rijmenants, E.A.Vittoz, H.J.De Man, "Adaptative biasing CMOS amplifiers", IEEE Journal of Solid State Circuits, vol. SC-17, pp.522-528, June 1982.
- [12] A.Nedungadi, T.R.Viswanathan, "Design of Linear CMOS Transconductance Elements", IEEE Transactions on Circuits and Systems, Vol. CAS-31, pp. 891-894, October 1984.
- [13] J.N.Babanezhad, G.C.Temes, "A 20-V Four-Quadrant CMOS Analog Multiplier", IEEE Journal of Solid State Circuits, vol. SC-20, pp.1158-1168, December 1985.
- [14] K.Bult, H.Wallinga, "A Class of Analog CMOS Circuits Based on the Square-Law Characteristic of an MOS Transistor in Saturation", IEEE Journal of Solid State Circuits, vol. SC-22, pp.357-364, June 1987.

- [15] E.Seevinck, R.F.Wassenaar, "A Versatile CMOS Linear Transconductor / Square-Law Function Circuit", IEEE Journal of Solid State Circuits, vol. SC-22, no. 3, pp. 366-377, June 1987.
- [16] C.S.Park, R.Schaumann, "A High-Frequency CMOS Linear Transconductance Element", IEEE Transactions on Circuits and Systems, vol. CAS-33, no. 11, pp. 1132-1138, November, 1986.
- [17] M.Santos, "Projeto de um Circuito Somador de Tensões de Baixo Erro, em Tecnologia CMOS", Tese de Mestrado apresentada pelo Depto. de Microeletrônica da FEE/UNICAMP - Setembro de 1994.
- [18] N. Oki, "Uma Nova Célula de Conversão de Tensão em Corrente Linear Baseada na Característica Quadrática do Transistor MOS e Aplicações" - Tese de Doutorado apresentada pelo Depto. de Microeletrônica da FEE/UNICAMP - Dezembro de 1989.

Apêndice A

O Transistor MOS em Regime de Saturação

A.1 Introdução

Muito embora modelos matemáticos extremamente complexos do transistor MOS estejam disponíveis, estes são inviáveis para uma análise de primeira ordem, realizada manualmente, onde se deseja ter uma idéia básica do funcionamento de qualquer circuito. Os programas de simulação implementam, hoje em dia, uma grande variedade de modelos propostos pela literatura, sendo que estes são utilizados para prever o comportamento do transistor da forma mais realista possível. Este apêndice tem o objetivo de mostrar o modelo de saturação de primeira ordem do transistor MOS, utilizado para o equacionamento de todos os circuitos apresentados.

A.2 Transistor MOS Canal N

A figura abaixo mostra a representação elétrica de um transistor MOS canal N, onde os *D*, *G*, *S* e *B* representam, respectivamente, os terminais de dreno, porta, fonte e substrato.

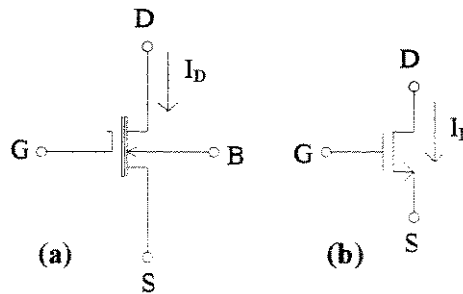


Figura A.1 - Transistor MOS canal N

(a) - Representação completa
(b) - Representação Simplificada

A equação simplificada que rege o comportamento da corrente de dreno I_D é dada por:

$$I_D = K_N (V_{GS} - V_{TN})^2 \quad (\text{A.1})$$

em que V_{GS} é a diferença de potencial entre os terminais de porta e fonte e os outros parâmetros são dados por:

$$K_N = \frac{\mu_N C_{OX}}{2} \frac{W_{eff}}{L_{eff}} \quad (\text{A.2})$$

$$V_{TN} = V_{TN0} + \gamma_N (\sqrt{2\phi_P - V_{BS}} - \sqrt{2\phi_P})$$

em que V_{BS} é a tensão entre o substrato e a fonte. Os parâmetros não definidos acima são:

- ☞ μ_N = mobilidade efetiva dos elétrons;
- ☞ C_{OX} = capacitância de porta por unidade de área;
- ☞ W_{eff} = largura efetiva do canal;
- ☞ L_{eff} = comprimento efetivo do canal;
- ☞ V_{TN0} = tensão de limiar em polarização nula;
- ☞ γ_N = parâmetro de efeito de corpo;
- ☞ $2\phi_P$ = potencial de inversão de superfície do substrato tipo P.

Os parâmetros largura e comprimento efetivos do canal, são dados por:

$$W_{eff} = W - 2W_D \quad L_{eff} = L - 2L_D \quad (A.3)$$

onde

- ☞ W = largura projetada do canal;
- ☞ W_D = difusão lateral;
- ☞ L = comprimento projetado do canal;
- ☞ L_D = difusão lateral.

A.3 Transistor MOS Canal P

No caso de o transistor possuir um canal do tipo P, a figura abaixo mostra sua representação esquemática completa e simplificada

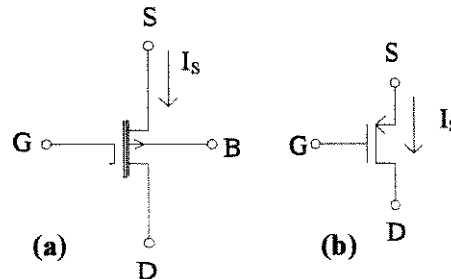


Figura A.2 - Transistor MOS canal P
(a) - Representação completa
(b) - Representação Simplificada

Da mesma forma que o transistor MOS canal N, a equação simplificada que rege o comportamento da corrente de fonte I_s é dada por:

$$I_s = K_P (V_{SG} - |V_{TP}|)^2 \quad (A.1)$$

em que V_{SG} é a diferença de potencial entre os terminais de fonte e porta e os outros parâmetros são dados por:

$$K_P = \frac{\mu_P C_{OX}}{2} \frac{W_{eff}}{L_{eff}} \quad (A.2)$$

$$V_{TP} = V_{TP0} - \gamma_P \left(\sqrt{2|\phi_N| - V_{SB}} - \sqrt{2|\phi_N|} \right)$$

em que V_{SB} é a tensão entre a fonte e o substrato. Os parâmetros não definidos acima são:

- ☞ μ_F = mobilidade efetiva das lacunas;
- ☞ V_{TP0} = tensão de limiar em polarização nula;
- ☞ γ_P = parâmetro de efeito de corpo;
- ☞ $2|\phi_N|$ = potencial de inversão de superfície do substrato tipo N.

As equações acima representam um modelamento de primeira ordem do transistor MOS, sem levar em conta efeitos como a modulação de canal pela tensão dreno-fonte, variação da mobilidade dos portadores pelo campo elétrico gerado pela tensão porta-fonte, variação da tensão de limiar dos transistores em função da geometria empregada e velocidade limite dos portadores, entre outros. Um equacionamento mais detalhado para os níveis 2 e 3 de modelamento do transistor MOS do Spice pode ser encontrado na referência [9].

A.4 Parâmetros de Simulação

As simulações realizadas utilizaram modelos de nível 1 e 2. O primeiro, para confirmar o equacionamento realizado, e o segundo para se ter uma idéia mais realista do comportamento dos circuitos. Segundo [4], os parâmetros típicos dos modelos de nível 2 são dados pela seguinte descrição Spice:

```
*-----
***** AMS SIMULATION PARAMETERS *****
*-----

.MODEL MODN NMOS LEVEL=2
+ CGSO=0.290E-09 CGDO=0.290E-09 CGBO=0.170E-09 CJ=0.360E-03 MJ=0.430E+00
+ CJSW=0.250E-09 MJSW=0.190E+00 JS=0.010E-03 PB=0.960E+00 RSH=25.50E+00
+ TOX=23.80E-09 XJ=0.175E-06 LD=-0.050E-06 WD=0.398E-06 VTO=0.736E+00
+ NSUB=33.30E+15 NFS=0.452E+12 NEFF=5.250E+00 UC=515.0E+00 UCRIT=28.70E+04
+ UEXP=0.251E+00 UTRA=0.000E+00 VMAX=77.30E+03 DELTA=0.000E+00 KF=0.101E-25
+ AF=1.330E+00

.MODEL MODP PMOS LEVEL=2
+ CGSO=0.290E-09 CGDO=0.290E-09 CGBO=0.170E-09 CJ=0.340E-03 MJ=0.530E+00
+ CJSW=0.220E-09 MJSW=0.200E+00 JS=0.020E-03 PB=0.970E+00 RSH=46.00E+00
+ TOX=23.80E-09 XJ=0.056E-06 LD=0.043E-06 WD=0.448E-06 VTO=-0.751E+00
+ NSUB=18.00E+15 NFS=1.300E+12 NEFF=3.090E+00 UO=175.0E+00 UCRIT=21.60E+04
+ UEXP=0.268E+00 UTRA=0.000E+00 VMAX=54.00E+03 DELTA=0.798E+00 KF=0.390E-27
+ AF=1.290E+00
```

Os modelos de nível 1 utilizados foram derivados da descrição acima, excetuando-se os parâmetros NEFF, UCRIT e UEXP, não presentes nas equações utilizadas por este nível de equacionamento do transistor MOS.

Apêndice B

Equacionamento DC e AC do Par Diferencial Simples

B.1 Introdução

Este apêndice tem a finalidade de apresentar ao leitor todo o desenvolvimento matemático realizado para a análise de grandes sinais, ou análise DC e a análise de pequenos sinais, ou análise AC do **Par Diferencial Simples**. Com isso tem-se o objetivo de facilitar o entendimento de um circuito relativamente simples, mas de grande uso em circuitos transdutores.

B.2 Equacionamento DC

A figura B.1 mostra o diagrama do Par Diferencial Simples, com suas correntes e tensões características.

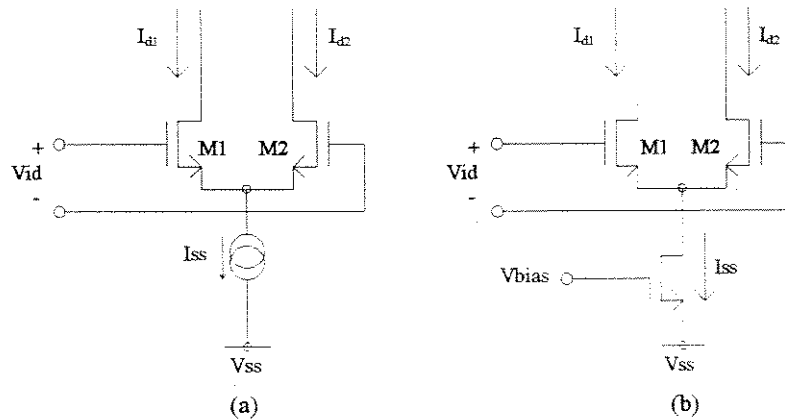


Figura B.1 - Par Diferencial Simples

(a) - Implementação Ideal

(b) - Implementação Real

A fonte de corrente \$I_{ss}\$ pode ser implementada de diversas maneiras, sendo a mais simples acima mostrada, com apenas um transistor polarizado com uma tensão de porta \$V_{bias}\$.

Sejam as tensões de porta dos transistores M1 e M2 dadas respectivamente por:

$$\begin{aligned} V_{G1} &= V_Q + \frac{V_{id}}{2} \\ V_{G2} &= V_Q - \frac{V_{id}}{2} \end{aligned} \tag{B.1}$$

onde \$V_Q\$ é a tensão quiescente e \$V_{id}\$ é a tensão de entrada, diferencial e balanceada.

Utilizando as equações simplificadas de modelamento do transistor MOS operando em regime de saturação, conforme mostrado no apêndice A, as correntes nos transistores podem ser expressas por:

$$\begin{aligned} I_{d1} &= K \left(V_Q + \frac{V_{id}}{2} - V_S - V_T \right)^2 \\ I_{d2} &= K \left(V_Q - \frac{V_{id}}{2} - V_S - V_T \right)^2 \end{aligned} \quad (B.2)$$

onde V_S é a tensão na fonte de ambos os transistores e V_T é a tensão de limiar dos mesmos. Pode-se notar que as equações em B.2 são do tipo

$$\begin{aligned} I_{d1} &= K(A+B)^2 \\ I_{d2} &= K(A-B)^2 \end{aligned} \quad (B.3)$$

onde

$$\begin{aligned} A &= V_Q - V_S - V_T \\ B &= \frac{V_{id}}{2} \end{aligned} \quad (B.4)$$

Da figura A.1 pode-se observar claramente que a soma das correntes I_{d1} e I_{d2} é igual a I_{SS} , e que sua diferença é igual à corrente de saída, I_{out} .

$$\begin{aligned} I_{out} &= I_{d1} - I_{d2} \\ I_{SS} &= I_{d1} + I_{d2} \end{aligned} \quad (B.5)$$

Deste modo, substituindo B.3 em B.5, tem-se o seguinte desenvolvimento:

$$\begin{aligned} I_{SS} &= K \left[(A+B)^2 + (A-B)^2 \right] \\ &= K (A^2 + 2AB + B^2 + A^2 - 2AB + B^2) \\ &= 2K (A^2 + B^2) \end{aligned} \quad (B.6)$$

e

$$\begin{aligned} I_{out} &= K \left[(A+B)^2 - (A-B)^2 \right] \\ &= K (A^2 + 2AB + B^2 - A^2 + 2AB - B^2) \\ &= 4K AB \end{aligned} \quad (B.7)$$

Substituindo B.4 na expressão final de B.6, tem-se que o termo independente de V_{id} é dado por:

$$V_Q - V_S - V_T = \sqrt{\frac{I_{SS}}{2K} - \frac{V_{id}^2}{4}} \quad (B.8)$$

Substituindo a expressão acima em B.7, e fazendo $B = V_{id}/2$, tem-se a corrente de saída.

$$\begin{aligned}
 I_{out} &= 4K \frac{V_{id}}{2} \sqrt{\frac{I_{ss}}{2K} - \frac{V_{id}^2}{4}} \\
 &= 2K V_{id} \sqrt{\frac{I_{ss}}{2K} \left(1 - \frac{K}{2I_{ss}} V_{id}^2\right)} \\
 &= \frac{2K}{\sqrt{2K}} \sqrt{I_{ss}} V_{id} \sqrt{1 - \frac{K}{2I_{ss}} V_{id}^2} \\
 I_{out} &= \sqrt{2I_{ss}K} V_{id} \sqrt{1 - \frac{K}{2I_{ss}} V_{id}^2} \quad (B.9)
 \end{aligned}$$

A expressão acima mostra claramente a não linearidade da corrente de saída do Par Diferencial Simples em relação ao sinal de entrada V_{id} .

Para verificar os limites de validade da equação acima basta observar que a corrente máxima que pode passar por um dos transistores do par é igual à corrente da fonte, I_{ss} . Deste modo, tem-se que:

$$|I_{out}|_{max} = I_{ss} \quad (B.10)$$

Fazendo $I_{out} = I_{ss}$, e substituindo I_{out} pela expressão B.9, tem-se:

$$\sqrt{2I_{ss}K} V_{id} \sqrt{1 - \frac{K}{2I_{ss}} V_{id}^2} = I_{ss}$$

Elevando ambos os membros ao quadrado e expandindo os termos, o resultado é:

$$2I_{ss}K V_{id}^2 - K^2 V_{id}^4 - I_{ss}^2 = 0 \quad (B.11)$$

Fazendo $y = K V_{id}^2$, a equação passa a ser de segunda ordem em y , sendo facilmente resolvida.

$$y^2 - 2I_{ss}y + I_{ss}^2 = 0$$

$$y = I_{ss}$$

$$K V_{id}^2 = I_{ss}$$

$$V_{id} = \sqrt{\frac{I_{ss}}{K}} \quad (B.12)$$

No limite inferior, deve-se fazer $I_{out} = -I_{ss}$. Seguindo o mesmo procedimento, a resposta encontrada é $V_{id} = -\sqrt{I_{ss}/K}$. Deste modo, o limite de validade de B.9 é

$$-\sqrt{\frac{I_{ss}}{K}} \leq V_{id} \leq \sqrt{\frac{I_{ss}}{K}} \quad (B.13)$$

Fora destes limites, a corrente de saída assume módulo constante, igual a I_{ss} .

B.3 Equacionamento AC

Considerando que o sinal de entrada é aplicado de maneira diferencial e balanceada, de acordo com B.1, a tensão no nó de fonte dos transistores M1 e M2 praticamente não varia para sinais de pequena amplitude. Isolando a tensão de fonte V_s da expressão B.8 e derivando em relação a V_{id} , tem-se:

$$\frac{\partial V_s}{\partial V_{id}} = \frac{V_{id}}{4 \sqrt{\frac{I_{ss}}{2K} - \frac{V_{id}^2}{4}}} \quad (\text{B.14})$$

Deste modo, quando $V_{id} = 0$, a derivada de V_s também vale zero, fazendo com que, para uma análise de pequenos sinais, este ponto possa ser considerado um terra AC. Sendo assim, como o circuito apresenta simetria, o teorema da bissecção pode ser utilizado para facilitar o estudo. O circuito resultante é mostrado na figura B.2-a, abaixo representada.

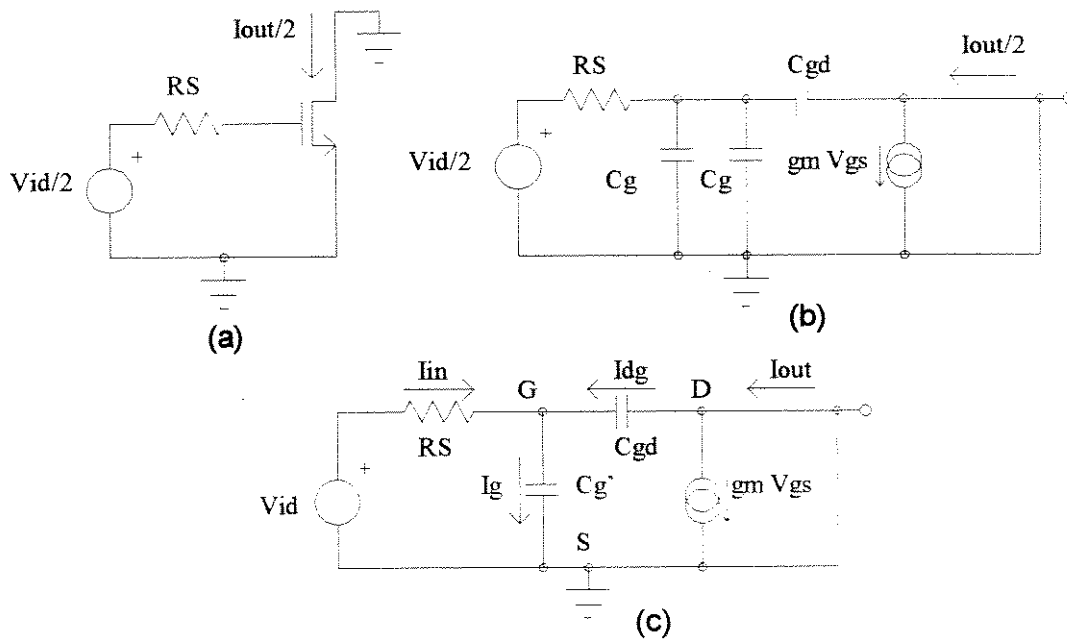


Figura B.2 (a) - Circuito Equivalente AC
 (b) - Modelo de Pequenos Sinais
 (c) - Modelo de Pequenos Sinais Simplificado

Nos diagramas acima, R_S corresponde à resistência da fonte de sinal e C_{gs} , C_{gb} e C_{gd} correspondem respectivamente às capacitâncias porta-fonte, porta-substrato e porta-dreno do transistor MOS. O circuito equivalente AC representado no item b da figura acima pode ser simplificado ainda mais. Como apenas metade do sinal é efetivamente aplicado à porta de M1, apenas metade da corrente de saída é obtida. Como esta relação é a mesma, não há problema de se considerar a corrente de saída como I_{out} e, a tensão aplicada, V_{id} . Existem também dois capacitores em paralelo em B.2-b que podem ser modelados por apenas um, $C_{g'}$, dado por:

$$C_{g'} = C_{gs} + C_{gb} \quad (\text{B.15})$$

Deste modo, o circuito equivalente a ser utilizado para a análise é o mostrado na figura B.2-c. Desta maneira, realizando-se um equacionamento das correntes, tem-se:

$$\begin{aligned} I_{out} &= I_{dg} + g_m V_{gs} & (a) \\ I_{gs} &= I_{dg} + I_{in} & (b) \end{aligned} \quad (B.16)$$

onde I_{in} , I_{gs} e I_{dg} podem ser expressas por:

$$\begin{aligned} I_{in} &= \frac{V_{id} - V_G}{RS} & (a) \\ I_{gs} &= \frac{V_G}{\frac{1}{s C_{g'}}} = s C_{g'} V_G & (b) \\ I_{dg} &= \frac{-V_G}{\frac{1}{s C_{gd}}} = -s C_{gd} V_G & (c) \end{aligned} \quad (B.17)$$

Substituindo I_{dg} dada por B.17-c em B.16-a, e simplificando, tem-se que:

$$I_{out} = V_G (g_m - s C_{gd}) \quad (B.18)$$

Substituindo I_{in} , I_{gs} e I_{dg} dados por B.17 em B.16-b tem-se uma expressão que depende apenas de V_{id} e V_G . Isolando-se V_G , tem-se a seguinte expressão:

$$V_G = \frac{V_{id}}{s RS (C_{g'} + C_{gd}) + 1} \quad (B.19)$$

Substituindo B.19 e B.15 em B.18, a expressão resultante da transcondutância AC do par diferencial Simples pode ser expressa por:

$$\frac{I_{out}}{V_{id}}(s) = \frac{g_m \left(1 - s \frac{C_{gd}}{g_m} \right)}{s RS (C_{gs} + C_{gd} + C_{gb}) + 1} \quad (B.20)$$

B.4 Conclusões

Este apêndice mostrou detalhadamente os equacionamentos DC e AC do Par Diferencial Simples funcionando como elemento transcondutor. Com isso, o texto inicial do trabalho, que trata sobre pares diferenciais, torna-se mais didático, fazendo com que o leitor se familiarize com estes tipos de expressões, presentes em todo o trabalho.

Apêndice C

Exemplos de Arquivos de Simulação

C.1 Par Diferencial Simples

```

CIRCUITO 1
* PAR DIFERENCIAL SIMPLES
* MODELO NIVEL 2 - ENTRADA BALANCEADA

.OPTIONS ACCT NOPAGE NUMDGT=6 LIMPTS=0
.LIB AMS2.LIB

.OP
.DC VIN -1.5 1.5 0.005
.AC DEC 30 100KHZ 1000GHZ
*.TRAN .1M 2M 0 2U
*.FOUR 1KHZ I(RREAL) I(ROUT)
*.STEP PARAM amplitude 0.1 1 0.1
.PARAM amplitude=0.1

.PRINT DC I(RREAL) I(RLIN) I(ROUT)
.PRINT AC IDB(RREAL) IP(RREAL) IDB(ROUT) IP(ROUT)
*
* FONTES DE TENSAO
*
VDD 100 0 DC 5V
VSS 101 0 DC -5V
VBIAS 102 0 DC -3.6788V
*
* TENSAO NORMALIZADA
*
VIN 1 0 DC 0V AC 1 SIN(0 {amplitude} 1K)
RIN 1 0 1MEG
*
* TENSAO NAO NORMALIZADA
*
EIN 2 0 1 0 1.19233
RIN2 2 0 1MEG
*
* TENSAO NAO NORMALIZADA BALANCEADA
    
```

```

*
EIN+ 3 0 2 0 0.5
EIN- 4 0 2 0 -0.5
RS1 3 13 25
RS2 4 14 25
*
* SITUACAO IDEAL MEDIDA
*
ELIN 110 0 2 0 219.8U
RLIN 110 0 1
*
* SITUACAO REAL
*
VID1 16 6 DC 0V
VID2 17 7 DC 0V
F1 100 51 VID1 1
F2 51 101 VID2 1
RREAL 51 0 1
*
* PAR DIFERENCIAL COM SAIDA SIMPLES
*
M1 6 13 5 101 MODN W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M2 7 14 5 101 MODN W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
MISS1 5 102 101 101 MODN W=100U L=5U
+ AD=500P AS=500P PD=210U PS=210U NRD=0.05 NRS=0.05

ME1A 16 16 100 100 MODP W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125
ME1B 11 16 100 100 MODP W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125
ME2A 17 17 100 100 MODP W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125
ME2B 8 17 100 100 MODP W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125
ME3A 8 8 101 101 MODN W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125
ME3B 11 8 101 101 MODN W=40U L=5U
+ AD=200P AS=200P PD=90U PS=90U NRD=0.125 NRS=0.125

ROUT 11 0 50

.END

```

C.2 Par Diferencial com Célula em Modo Corrente

```

CIRCUITO 4
* PAR DIFERENCIAL LINEARIZADO COM CELULA EM MODO CORRENTE
* MODELO NIVEL 2 - ENTRADA BALANCEADA

.OPTIONS ACCT NOPAGE NUMDGT=6 LIMPTS=0
.LIB AMS2.LIB

.OP
*.DC VIN -1.5 1.5 0.005
*.AC DEC 30 100KHZ 1000GHZ
*.TRAN .1M 2M 0 2U
*.FOUR 1KHZ I(RREAL)
*.STEP PARAM amplitude 0.1 1 0.1
.PARAM amplitude=0.1

.PRINT DC I(RREAL) I(RLIN) I(ROUT)
.PRINT AC IDB(RREAL) IP(RREAL) IDB(ROUT) IP(ROUT)
*
* FONTES DE TENSAO
*
VDD 100 0 DC 5V
VSS 101 0 DC -5V
VBIAS 102 0 DC 3.7752V
VB 103 0 DC -3.5
*
* TENSAO NORMALIZADA
*
VIN 1 0 DC 0V AC 1 SIN(0 {amplitude} 1K)
RIN 1 0 1MEG
*
* TENSAO NAO NORMALIZADA
*
EIN 2 0 1 0 1.42342
RIN2 2 0 1MEG
*
* TENSAO NAO NORMALIZADA BALANCEADA
*
EIN+ 3 0 2 0 0.5
EIN- 4 0 2 0 -0.5
RS1 3 13 25
RS2 4 14 25
*

```

```

* SITUACAO IDEAL
*
ELIN 110 0 2 0 393.902U
RLIN 110 0 1
*
* SITUACAO REAL
*
VID1 9 17 DC 0V
VID2 8 16 DC 0V
F1 100 51 VID2 1
F2 51 101 VID1 1
RREAL 51 0 1
*
* PAR DIFERENCIAL COM SAIDA SIMPLES
*
M1 6 13 5 5 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M2 7 14 5 5 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M3 8 6 100 100 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M4 9 7 100 100 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M5 9 103 6 6 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
M6 8 103 7 7 MODP W=20U L=5U
+ AD=100P AS=100P PD=50U PS=50U NRD=0.25 NRS=0.25
MISS1 5 102 100 100 MODP W=200U L=5U
+ AD=1000P AS=1000P PD=410U PS=410U NRD=0.025 NRS=0.025

ME1A 16 16 101 101 MODN W=250U L=5U
+ AD=1250P AS=1250P PD=510U PS=510U NRD=20E-3 NRS=20E-3
ME1B 18 16 101 101 MODN W=250U L=5U
+ AD=1250P AS=1250P PD=510U PS=510U NRD=20E-3 NRS=20E-3
ME2A 17 17 101 101 MODN W=250U L=5U
+ AD=1250P AS=1250P PD=510U PS=510U NRD=20E-3 NRS=20E-3
ME2B 11 17 101 101 MODN W=250U L=5U
+ AD=1250P AS=1250P PD=510U PS=510U NRD=20E-3 NRS=20E-3
ME3A 18 18 100 100 MODP W=100U L=5U
+ AD=500P AS=500P PD=210U PS=210U NRS=50E-3 NRD=50E-3
ME3B 11 18 100 100 MODP W=100U L=5U
+ AD=500P AS=500P PD=210U PS=210U NRS=50E-3 NRD=50E-3
ROUT 11 0 50

.END

```