

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

**CONTRIBUIÇÃO AO ESTUDO
DO FENÔMENO DE INJEÇÃO DE CARGA
EM CHAVES ANALÓGICAS MOS**

660/94

Este exemplar corresponde à redação final da tese
defendida por Edson Jansen Azevedo
e aprovada pela Comissão
Julgadora em 24/09/94.


Orientador

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA

Dissertação de Mestrado

**CONTRIBUIÇÃO AO ESTUDO
DO FENÔMENO DE INJEÇÃO DE CARGA
EM CHAVES ANALÓGICAS MOS**

Autor: Edson Santos Acco

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

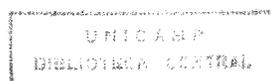
Aprovado por:

Prof. Dr. Carlos Alberto dos Reis Filho

Prof. Dr. Bernard Waldman

Prof. Dr. Nobuo Oki

Campinas, 24 de maio de 1994.



Agradecimentos

Gostaria de agradecer ao Ricardo Maltione e à Marília dos Santos pela amizade e pelo apoio no projeto e montagem dos circuitos.

Ao professor Rubens Stuginski Jr., por todo o suporte de editoração.

A todos os amigos do LED e DEMIC, que contribuíram para realização deste trabalho.

Aos meus amigos do *flat*, pela paciência e pelo convívio.

Ao professor Carlos Reis pela orientação, dedicação e exemplo.

À Universidade de Passo Fundo que deu todo o suporte necessário para conclusão desse trabalho.

Ao apoio financeiro fornecido pela CAPES.

Lista de Figuras

2.1	Estrutura MOS sem potencial aplicado entre porta e substrato.	4
2.2	Diagrama de bandas de energia na condição de banda plana.	5
2.3	Formação de cargas no sistema MOS quando uma tensão é aplicada.	6
2.4	Região de depleção para $V_{GB} > V_{FB}$	7
2.5	Camada de inversão em uma estrutura tipo P.	8
2.6	Diagrama de energia do sistema MOS. (Si tipo-P).	9
2.7	Vista detalhada do transistor MOS utilizado para a obtenção da corrente I_D	12
2.8	Circuito para análise do fenômeno de injeção de carga.	14
2.9	Capacitâncias associadas ao transistor MOS.	15
2.10	(a)chave conduzindo. (b)chave aberta.	16
2.11	Fração de carga injetada pelo canal.	17
2.12	Modelo simplificado para análise de injeção de carga.	17
3.1	Configuração utilizando um amplificador operacional para medição.	21
3.2	Configuração utilizando um seguidor de emissor para medição.	22
3.3	Configuração das chaves analógica integradas no PMU/CMOS5.	23
3.4	Chaves analógicas projetadas no PMU/CMOS7.	26
3.5	Circuito utilizado para as medições.	28
3.6	Simulação obtida para $C_L/C_S = 12,5$	29
3.7	Simulação obtida para $C_L/C_S = 1$	30
3.8	Simulação obtida para $C_L/C_S = 0$	30
3.9	Forma de onda típica da tensão erro v_L	33
3.10	Resultados obtidos para $C_L/C_S = 12,5$	34
3.11	Resultados obtidos para $C_L/C_S = 0,954$	35
3.12	Resultados obtidos para $C_L/C_S = 0$	35
3.13	Circuito para redução da injeção de carga.	36
3.14	Relação entre v_L e V_S	37
3.15	Tensão de porta V_G de controle da chave analógica.	38
3.16	Curvas mostrando a influência do efeito de corpo.	39
3.17	Relação entre a tensão no capacitor e na fonte.	40

Lista de Tabelas

A.1	Simulação para $C_L/C_S = 1$	53
A.2	Simulação para $C_L/C_S = 12,5$	54
A.3	Simulação para $C_L/C_S = 0$	54
A.4	Resultados experimentais para $C_L/C_S = 12,5$	55
A.5	Resultados experimentais para $C_L/C_S = 0,954$	55
A.6	Resultados experimentais para $C_L/C_S = 0$	56
A.7	$v_L \times V_S$, $C_L = 330$ pF, $R_S = 1$ k Ω e $V_B = 0$	56
A.8	Tensão $v_L \times V_S$, $C_L = 330$ pF, $R_S = 1$ k Ω e $V_B = V_S$	57
A.9	Tensão $\delta_v \times V_S$ ($V_B = 0$)	57
A.10	Tensão $\delta_v \times V_S$ ($V_B = V_S$)	58

Lista de Fotografias

3.1	Circuito implementado no PMU/CMOS5.	25
3.2	Chaves analógicas implementadas no PMU/CMOS7.	27
3.3	Bancada utilizada para os experimentos.	32

Nomenclatura

Símbolos Romanos

B	Terminal do substrato do transistor.
C_G	Capacitância total de porta, incluindo as capacitâncias de "overlap".
C_L	Capacitância de carga ou armazenamento.
$C_{OS(D)}$	Capacitância de "overlap" de fonte (dreno).
C_S	Capacitância de fonte.
C_g	Capacitância da porta.
C_{ov}	Capacitância de "overlap".
C_{ox}	Capacitância do óxido por unidade de área. $C_{ox} = \epsilon_{ox}/t_{ox} = 3,5 \times 10^{-13}/t_{ox}$ cm
D	Terminal de dreno do transistor.
\mathcal{E}	Campo Elétrico aplicado ao transistor MOS.
G	Terminal de porta do transistor.
g'	Condutância normalizada do canal.
k	Constante de Boltzmann. $k = 1,38 \times 10^{-13}$ J/K
L	Comprimento do canal do transistor.
N_+	Alta dopagem do substrato.
N_A	Concentração de ions aceitadores de elétrons.
N_D	Concentração ions doadores de elétrons.
n	Concentração de portadores de carga negativa.
n_i	Concentração intrínseca dos portadores de carga.
p	Concentração de portadores de carga positiva.
Q_0	Densidade de carga fixa na interface do óxido.
Q_B	Densidade de carga de depleção.
Q_G	Densidade de carga da porta.
Q_S	Densidade de carga no semiconductor sob o óxido.
Q_n	Densidade de carga de inversão.
q	Carga eletrônica.
R_S	Resistência de fonte.
S	Representa o terminal fonte do transistor.
U	Taxa de variação dV/dt da tensão da porta.
V_B	Tensão do terminal de "bulk" do transistor.
V_{DS}	Tensão entre o terminal de dreno e fonte do transistor.
V_D	Tensão aplicada ao terminal de dreno do transistor.
V_{FB}	Tensão de banda plana.
V_{GB}	Tensão entre os terminais de porta e "bulk".
V_G	Tensão de porta.

Símbolos Romanos

V_{HT}	Tensão definida como sendo $V_H - V_S - V_{TE}$.
V_H	Tensão alta da porta.
V_L	Tensão baixa da porta.
V_S	Tensão aplicada ao terminal de fonte do transistor.
V_{T0}	Tensão de "threshold" para $V_{SB} = 0$.
V_{TE}	Tensão de "threshold" efetiva, considerando o efeito de corpo.
v_L	Tensão erro do terminal de dreno da chave analógica.
v_S	Tensão erro do terminal de fonte da chave analógica.
W	Largura do canal do transistor.

Símbolos Gregos

γ	Coefficiente de efeito de corpo.
μ	Mobilidade do canal.
ϕ_B	Potencial no "bulk" (volume) do semiconductor.
ϕ_F	Potencial de Fermi.
ϕ_{MS}	Função Trabalho entre metal e semiconductor.
ϕ_S	Potencial na superfície.
ψ_S	Potencial de superfície.
ψ_{ox}	Queda de potencial através do óxido.
ρ	Resistividade do material.
σ	Condutividade do material.
ϵ_S	Permissividade do silício. $\epsilon_S = 1,04 \times 10^{-12}$ F/cm

Resumo

Este trabalho apresenta um estudo teórico-experimental sobre o fenômeno de injeção de carga, que ocorre em circuitos a capacitores chaveados durante a transição de abertura das chaves analógicas MOS. Inicialmente é feita uma análise teórica sobre esse fenômeno, abordando as estratégias reportadas até então, para minimizar o efeito de injeção de carga. Um estudo sobre a formação de cargas no canal do transistor MOS é apresentado. Comprovam-se, experimentalmente, as curvas teóricas que a literatura apresenta. É apresentada, também, uma proposta para equiparticionar a injeção de carga que entretanto, não pode ser caracterizada devido ao não funcionamento do CI implementado no PMUCMOS5. Finalmente, apresenta-se um circuito experimental bastante consistente que corrige o erro causado pela injeção de carga introduzida pela chave MOS.

1

Considerações Iniciais

1.1 Introdução

Há um interesse crescente na materialização de sistemas integrados onde são processados sinais analógicos e digitais através de circuitos implementados em uma mesma pastilha. Neste cenário, o processamento de sinais analógicos de forma amostrada torna-se uma alternativa apropriada, tendo em vista a possibilidade de compartilhar sinais digitais para o controle do processamento analógico, além de um aspecto muito importante: programabilidade.

O desenvolvimento de técnicas de processamento de sinais analógicos por amostragem é, portanto, necessário.

A técnica de processamento de sinais analógicos que se baseia no chaveamento de capacitores foi desenvolvida, visando principalmente a implementação de circuitos que requerem valores estáveis de constantes de tempo em sua função de transferência. A transferência de cargas através do chaveamento de capacitores, no processamento amostrado de sinais, produz um efeito equivalente ao de um resistor em processamento de modo contínuo. Dessa forma, a associação de chaves analógicas e capacitores, que são dispositivos muito apropriados para implementação integrada, principalmente em tecnologia MOS, permite a realização de filtros de alto desempenho em forma monolítica, dispensando componentes externos.

Considerando que o aspecto mais importante no processamento de sinais, utilizando filtros, reside na determinação de sua resposta em frequência, ou seja, na localização de polos e zeros, a técnica de capacitores chaveados é plenamente satisfatória. Entretanto, quando o controle da amplitude do sinal processado é o aspecto mais importante, como é o caso de circuitos

de condicionamento de sinais, o chaveamento de capacitores é bem menos eficiente e um dos principais problemas está no *efeito de injeção de carga* associado à transição da abertura de chaves analógicas MOS.

1.2 Objetivos do Trabalho

O presente trabalho tem por objetivo o estudo do fenômeno de injeção de carga em chaves analógicas implementadas com um único transistor MOS canal-N, buscando estabelecer mecanismos de correção ou compensação do erro provocado pela injeção de carga na tensão resultante sobre capacitores chaveados.

A injeção de carga constitui uma das mais significantes fontes de erro em circuitos que utilizam transistores como chaves analógicas. Ela é fonte de erro em comparadores, conversores A/D e D/A, filtros, integradores a capacitor chaveado e circuitos “sample-and-hold”, entre outros.

Há um certo conhecimento estabelecido e reportado na literatura quanto ao modelamento da chave analógica [3], [4], [5], [6], [7], [8] e [12], entretanto, poucas são as propostas de técnicas que utilizam este conhecimento para corrigir o erro causado pela injeção. Uma chave analógica ideal deve apresentar uma resistência nula quando estiver fechada, uma resistência infinita quando aberta e não apresentar tensão ou corrente residual em qualquer estado.

Tendo em vista a implementação de circuitos integrados em grande escala, onde se processam sinais analógicos e digitais, a tecnologia, hoje, mais apropriada é a BiCMOS, onde convivem transistores bipolares, adequados à realização de circuitos analógicos e transistores MOS, por sua vez, adequados à realização de sistemas digitais. Neste caso, nos referimos ao processamento de sinais analógicos de modo contínuo.

Alternativamente, em se tratando de processamento de sinais analógicos por amostragem, onde chaves analógicas e capacitores desempenham um papel crítico, a tecnologia mais apropriada é a CMOS.

2

Análise do Fenômeno de Injeção de Carga

2.1 Introdução

Neste capítulo, inicialmente apresentamos a formação de cargas no canal do transistor MOS e, como consequência obtemos a equação do transistor. Partindo disso, fazemos uma análise do fenômeno de injeção de carga em chaves analógicas NMOS, com base nos trabalhos reportados na literatura.

2.2 Equação do Transistor MOS

Para visualizarmos a formação de carga no canal do transistor, procedemos a uma análise qualitativa [21] e, em seguida, obtemos a equação do transistor.

Consideremos a figura (2.1):

Uma vez que os materiais em contato são diferentes, surgem potenciais de contato. Como a soma desses potenciais depende apenas do primeiro e do último material[21], obtemos:

$$\phi_M - \phi_S = \phi_{MS} \quad (2.1)$$

Nessa equação, ϕ_{MS} é a diferença entre a função de trabalho do metal e semicondutor. A função de trabalho de um material é definida como sendo a energia necessária para levar um elétron do nível de Fermi até o nível de vácuo [21].

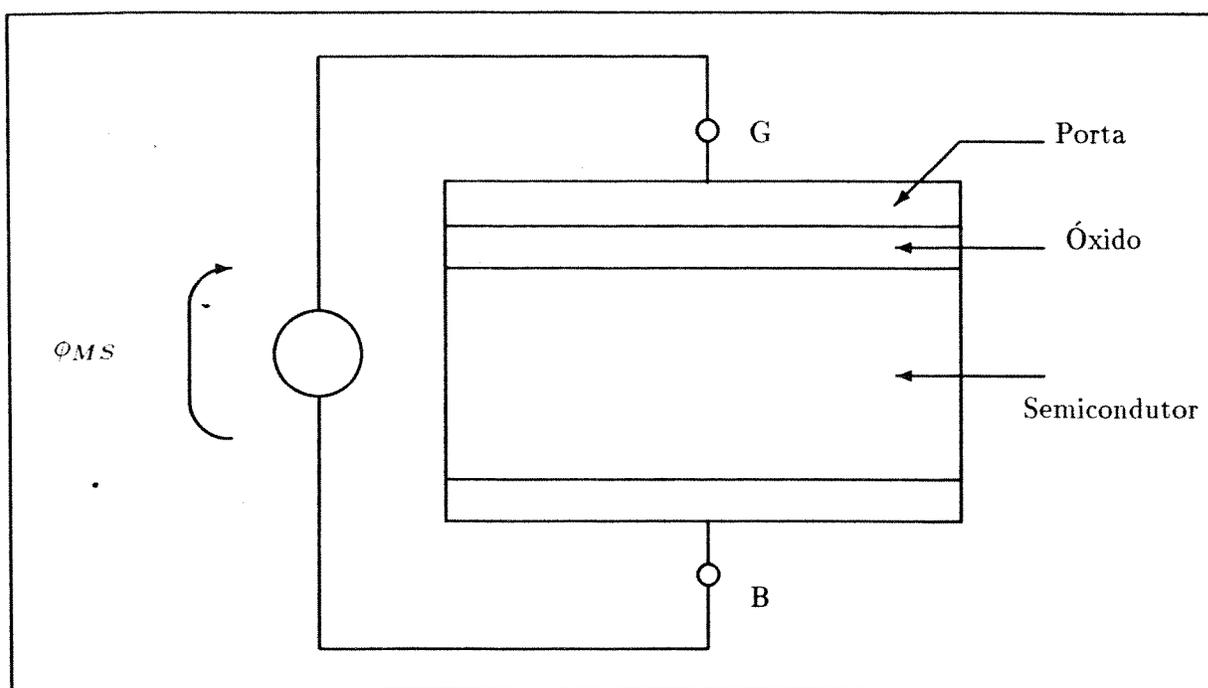


Figura 2.1: Estrutura MOS sem potencial aplicado entre porta e substrato.

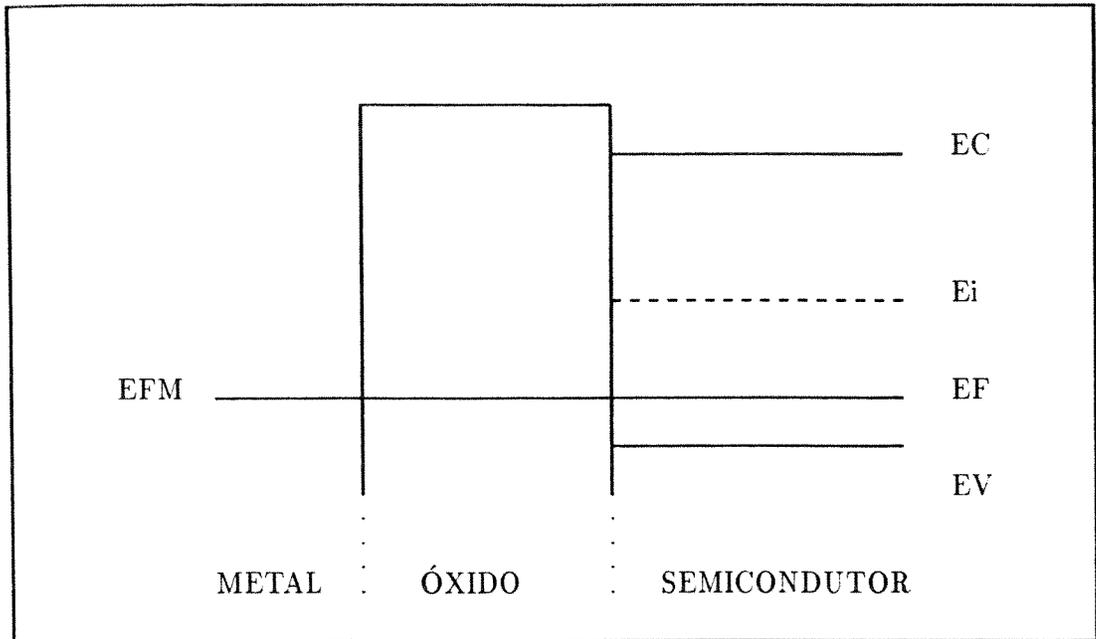


Figura 2.2: Diagrama de bandas de energia na condição de banda plana.

O potencial de contato não é a única causa do aparecimento de uma concentração de cargas no substrato. A presença de cargas tanto dentro do óxido como na interface $Si - SiO_2$ contribui para que isto ocorra. Representaremos essas cargas por Q_0 .

Para neutralizarmos o efeito das cargas induzidas no semicondutor devemos ter entre os terminais de porta e substrato uma tensão $V_{GB} = V_{FB}$ que chamaremos de tensão de banda plana. Com esta tensão, as bandas de energia não apresentam nenhuma curvatura, como pode ser visto na figura (2.2) [11].

Quando uma tensão V_{GB} diferente de V_{FB} é aplicada ao sistema, ocorre o aparecimento de cargas em uma região próxima à superfície do semicondutor. Fora dessa região o semicondutor é praticamente neutro.

Definindo o potencial ψ_S como sendo a queda de potencial através dessa região [21]:

$$\psi_S = \phi_S - \phi_B \quad (2.2)$$

onde, ϕ_S é o potencial na superfície do semicondutor, ϕ_B é o potencial no semicondutor, fora da região onde se formaram as cargas. A figura (2.3) [21] ilustra o que foi descrito.

Para o sistema da figura (2.3) temos:

$$V_{GB} = \phi_{MS} + \psi_{ox} + \psi_S \quad (2.3)$$

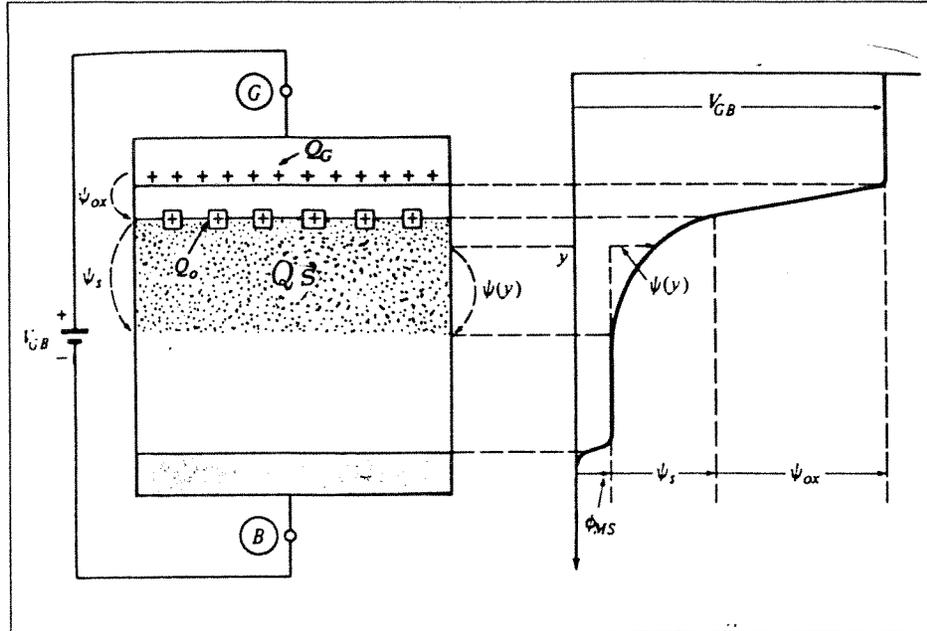


Figura 2.3: Formação de cargas no sistema MOS quando uma tensão é aplicada.

Como ϕ_{MS} é constante, qualquer variação em V_{GB} deve ser balanceada entre ψ_{ox} e ψ_s , ou seja:

$$\delta V_{GB} = \delta \psi_{ox} + \delta \psi_s \tag{2.4}$$

Considerando as cargas do sistema, temos:

$Q_G \equiv$ Carga na porta;

$Q_0 \equiv$ Carga fixa na interface do óxido;

$Q_S \equiv$ Carga no semiconductor sob o óxido.

Pela neutralidade de cargas, temos:

$$Q_G + Q_0 + Q_S = 0 \tag{2.5}$$

$$\Delta Q_G + \Delta Q_S = 0 \tag{2.6}$$

Assim, qualquer variação em Q_G é balanceada por Q_S .

Vamos avaliar o efeito de uma tensão V_{GB} na região contendo Q_S [22] [21]:

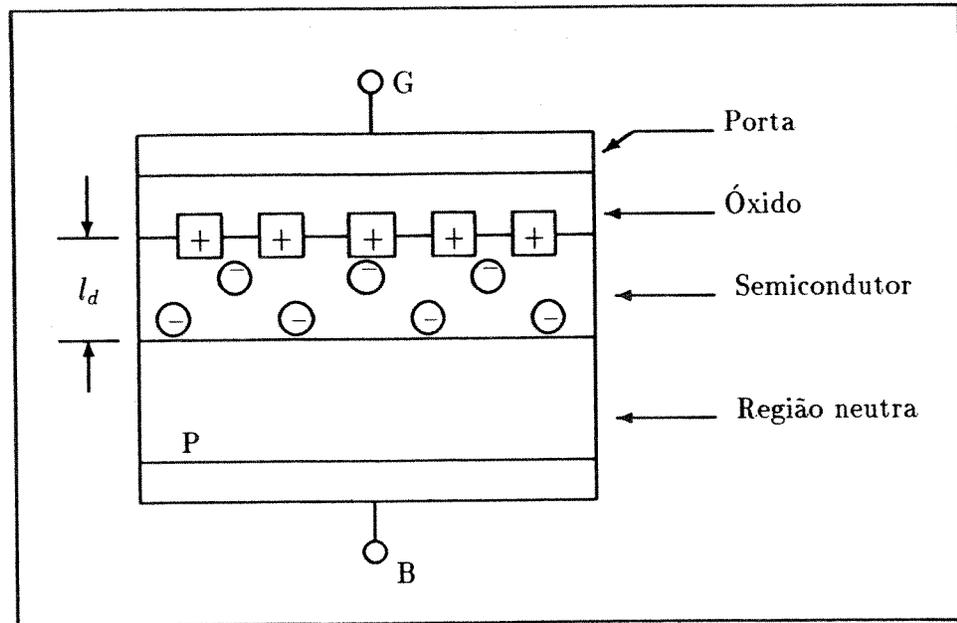


Figura 2.4: Região de depleção para $V_{GB} > V_{FB}$.

1. **Região de Banda Plana:** Como visto anteriormente, existe um valor de tensão V_{GB} que faz com que nenhuma carga seja induzida no semicondutor, ou seja, ψ_S e Q_S são nulos. Esta tensão, exatamente por não causar nenhuma curvatura nas bandas de energia, recebe o nome de tensão de banda plana.
2. **Região de Acumulação:** Se aplicarmos uma tensão V_{GB} menor que V_{FB} , no caso de um semicondutor tipo p, lacunas serão atraídas para a superfície sob a porta, enriquecendo sua população nesta região. Esta região é conhecida como região de acumulação.
3. **Região de Depleção:** Quando V_{GB} estiver acima de V_{FB} , para um semicondutor tipo p, a carga na porta se tornará mais positiva repelindo lacunas junto à superfície, formando uma região de depleção dentro do semicondutor.

A carga Q_S , na presente situação fixa, se deve a átomos aceitadores ionizados que contribuirão com uma carga $-q$. A figura (2.4) mostra a região de depleção formada.

Se, entretanto, aumentarmos a tensão V_{GB} , a largura l_d aumentará até um valor máximo l_{dm} . A partir de um certo valor de V_{GB} a largura da camada de depleção não se alarga mais e elétrons são atraídos para a superfície, iniciando a formação de uma camada de inversão. Este limiar para inversão forte ocorre para um potencial de superfície $\psi_S = 2\phi_F$ [11].

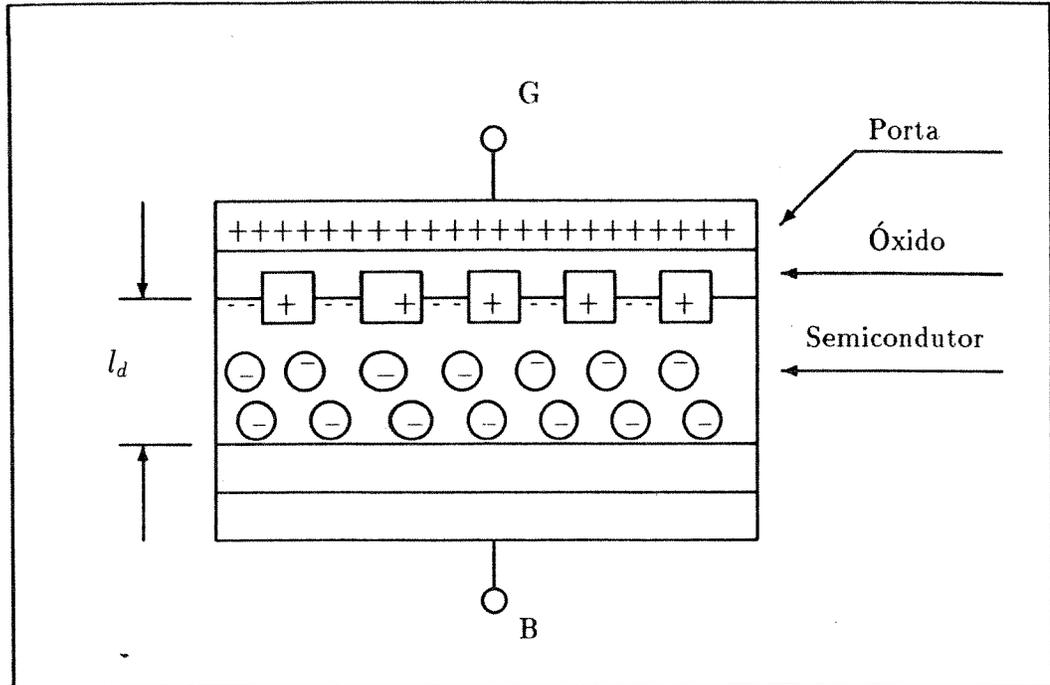


Figura 2.5: Camada de inversão em uma estrutura tipo P.

Assim, a região de depleção ocorre para $0 \leq \psi_s \leq 2\phi_F$.

Para obtermos a largura máxima da região de depleção devemos integrar a equação de *Poisson* duas vezes levando a:

$$l_{dm} = \sqrt{(4\epsilon_S \phi_F / q N_A)} \quad (2.7)$$

onde N_A é a concentração de aceitadores ionizados.

4. **Região de Forte Inversão:** Aumentando-se V_{GB} mais ainda, maior será a população de elétrons junto à superfície, cada um contribuindo com uma carga $-q$ para a carga Q_s . A partir de um determinado ponto a densidade de elétrons se torna maior que a de lacunas no volume. Devido ao fato de termos uma camada N em um material P, essa região recebe o nome de região de inversão. Na figura (2.5) podemos ver a região de inversão na estrutura.

O diagrama de energia para a situação de inversão está mostrado na figura (2.6).

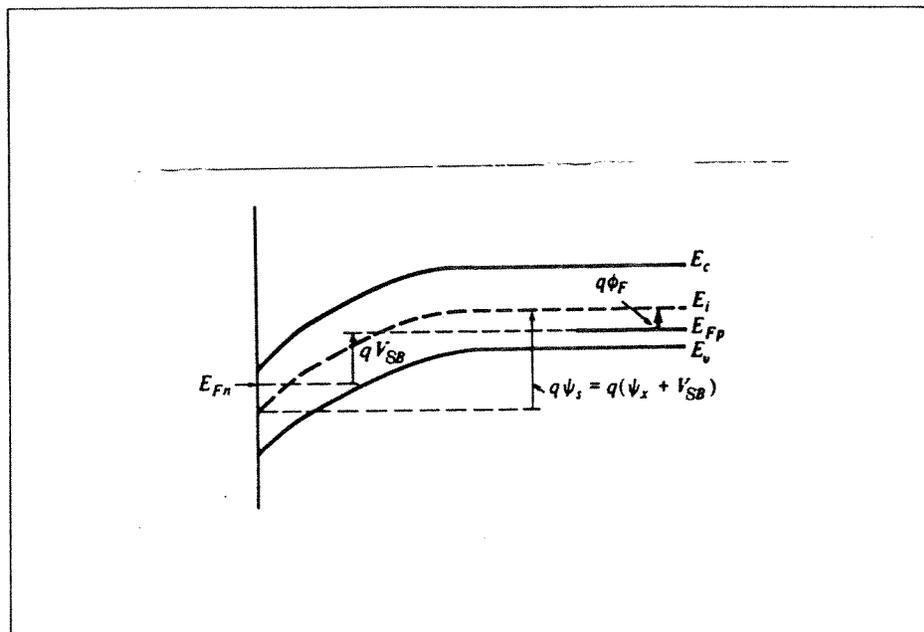


Figura 2.6: Diagrama de energia do sistema MOS. (Si tipo-P).

2.2.1 Obtenção da Carga Q_S do Transistor

Antes de obtermos a equação do transistor MOS, primeiro vamos calcular a carga Q_S do semiconductor.

Para nossos cálculos partimos das seguintes hipóteses [11] [22]:

- Geometria unidimensional;
- Concentração uniforme de impurezas;
- Semiconductor não degenerado;
- Equilíbrio térmico;
- Ionização completa dos átomos de impurezas;
- Região profunda eletricamente neutra;
- Aproximação gradual de canal (campo transversal \gg campo longitudinal).

Para a concentração dos portadores no semiconductor temos:

$$p = n_i \exp(-\beta(\psi - \phi_F)) \quad (2.8)$$

$$n = n_i \exp(\beta(\psi - \phi_F)) \quad (2.9)$$

Na região neutra:

$$p = p_v = n_i \exp(\beta\phi_F) \quad (2.10)$$

$$n = n_v = n_i \exp(-\beta\phi_F) \quad (2.11)$$

$\beta = q/kT$, onde k é a constante de Boltzmann e T a temperatura.

$$p_v - n_v + N_D - N_A = 0 \quad (2.12)$$

Da equação de *Poisson* temos:

$$\frac{d^2\psi}{dx^2} = -\frac{\rho}{\epsilon} \quad (2.13)$$

onde ρ é dado por $q(p - n + N_D - N_A)$.

Substituindo as equações (2.8), (2.9), (2.10), (2.11) e (2.12) na equação (2.13), temos:

$$\frac{d^2\psi}{dx^2} = -\frac{qn_i}{\epsilon} \exp(-\beta(\psi - \phi_F)) - \exp\beta(\psi - \phi_F) + \exp(-\beta\phi_F) - \exp(\beta\phi_F) \quad (2.14)$$

Para integrarmos a equação (2.14) partiremos das relações utilizadas por Waldman [22]:

$$\frac{d^2\psi}{dx^2} = -\frac{d\mathcal{E}}{dx} = \frac{\mathcal{E}d\mathcal{E}}{d\psi} = \frac{d\mathcal{E}^2}{2d\psi} \quad (2.15)$$

Substituindo a equação (2.14) na equação (2.15) e integrando o campo elétrico de 0 a \mathcal{E} , e o potencial de 0 a ψ , obtemos:

$$\mathcal{E} = \pm\sqrt{(2qn_i/\epsilon\beta)\{\exp(\beta\phi_F)\cdot(\exp(-\beta\psi) + \beta\psi + 1) + \exp(-\beta\phi_F)\cdot(\exp(\beta\psi) - \beta\psi - 1)\}} \quad (2.16)$$

Pela Lei de Gauss:

$$Q_S = -\mathcal{E}\epsilon_S \quad (2.17)$$

Partindo da equação (2.3) temos:

$$V_{GB} = -\frac{Q_S}{C_{ox}} - \frac{Q_0}{C_{ox}} + \psi_S + \phi_{MS} \quad (2.18)$$

Na condição de banda plana temos:

$$V_{GB} = V_{FB} = -\frac{Q_0}{C_{ox}} + \psi_S \quad (2.19)$$

Dessa forma obtemos Q_S como sendo:

$$Q_S = -C_{ox}(V_{GB} - V_{FB} - \psi_S) \quad (2.20)$$

Em nossa análise, perdendo em precisão, mas ganhando em simplicidade, consideraremos a carga de depleção Q_B do semiconductor, constante.

$$Q_B = \sqrt{2\epsilon_S q N_A |2\phi_F|} \quad (2.21)$$

A carga de inversão Q_n é composta pela diferença entre Q_S e Q_B . Assim:

$$Q_n = -C_{ox}(V_{GB} - V_{FB} - \psi_S) - \sqrt{2\epsilon_S q N_A |2\phi_F|} \quad (2.22)$$

A equação (2.22) será utilizada para calcular a carga do canal do transistor nos procedimentos experimentais.

Para a obtenção da equação do transistor, partiremos da figura (2.7), apresentada por Sze [24], onde tomaremos um elemento dy para nossa análise.

Seja σ a condutividade do material, dada por $nq\mu$, onde n é a concentração de elétrons no canal. Tomando um elemento de resistência dR :

$$dR = \frac{dy}{Wx\sigma} = \frac{dy}{qnWx\mu} \quad (2.23)$$

Como $qn x = Q_n$, onde Q_n é a densidade de cargas/cm² no ponto y . Para a queda de tensão no elemento infinitesimal dy temos:

$$dV = dRI_D \quad (2.24)$$

$$dV = \frac{dy}{W|Q_n|\mu} \quad (2.25)$$

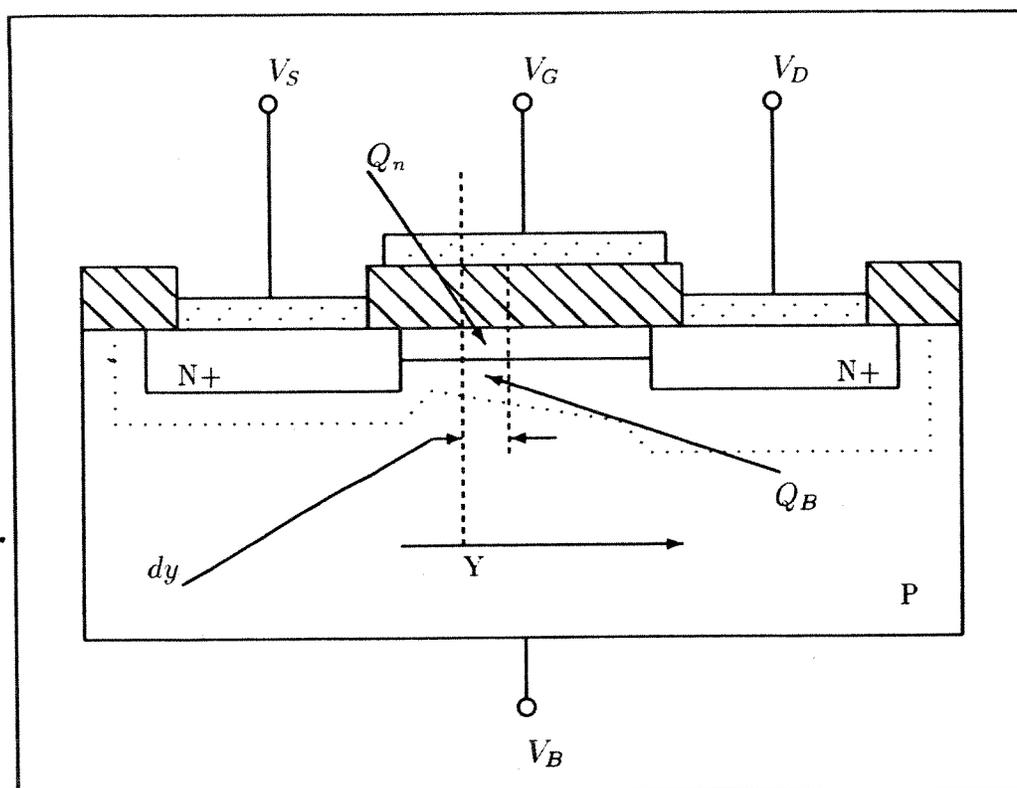


Figura 2.7: Vista detalhada do transistor MOS utilizado para a obtenção da corrente I_D .

Substituindo a equação (2.22) na equação (2.25) e esta na equação (2.24) e integrando a tensão de V_S a V_D , e y de 0 a L , obtemos:

$$I_D = \frac{\mu C_{ox} W}{L} \left\{ [(V_{GB} - V_{FB})V_{DS} - \frac{V_{DS}^2}{2}] - \sqrt{2\epsilon_{sq} N_A |2\phi_F| V_{DS}} \right\} \quad (2.26)$$

Adotando V_T como sendo a tensão de *threshold*:

$$V_T = V_{FB} + 2\phi_F + \frac{\sqrt{2\epsilon_{sq} N_A |2\phi_F|}}{C_{ox}} \quad (2.27)$$

Considerando $V_B = V_S$ a equação (2.27) se transforma em:

$$I_D = \frac{\mu C_{ox} W}{L} \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.28)$$

Quando o transistor é utilizado como chave ele opera na região linear, onde $V_{DS} < (V_{GS} - V_T)$ e a equação (2.28) se torna:

$$I_D = \frac{\mu C_{ox} W}{L} (V_{GS} - V_T)V_{DS} \quad (2.29)$$

Na região onde $(V_{GS} - V_T) \leq V_{DS}$, conhecida como região de saturação, temos para I_D :

$$I_D = \frac{\mu C_{ox} W}{2L} (V_{GS} - V_T)^2 \quad (2.30)$$

2.3 Análise da Injeção de Carga

Quando um transistor MOS opera como chave fechada, há uma certa quantidade de cargas no canal, como visto anteriormente. Durante o transitório de abertura estas cargas fluem através dos circuitos conectados nos terminais de dreno e fonte do transistor.

Para análise do fenômeno de injeção de carga, vamos desprezar a corrente de substrato [12]. Iniciaremos nossa análise partindo do circuito da figura (2.8).

Na figura (2.8), C_L é o capacitor de armazenagem de dados, V_S é uma fonte de sinal, C_S um capacitor que representa a capacitância do nó de entrada e R_S a resistência da fonte. C_G é a capacitância total da porta incluindo a capacitância do canal e as capacitâncias de *overlap* porta-dreno e porta-fonte. As tensões erro nos terminais da chave são representadas por v_S e v_L . Na figura (2.9) ilustramos as capacitâncias associadas à chave, onde, C_{OD} e C_{OS} representam as capacitâncias de *overlap* porta-dreno e porta-fonte, respectivamente.

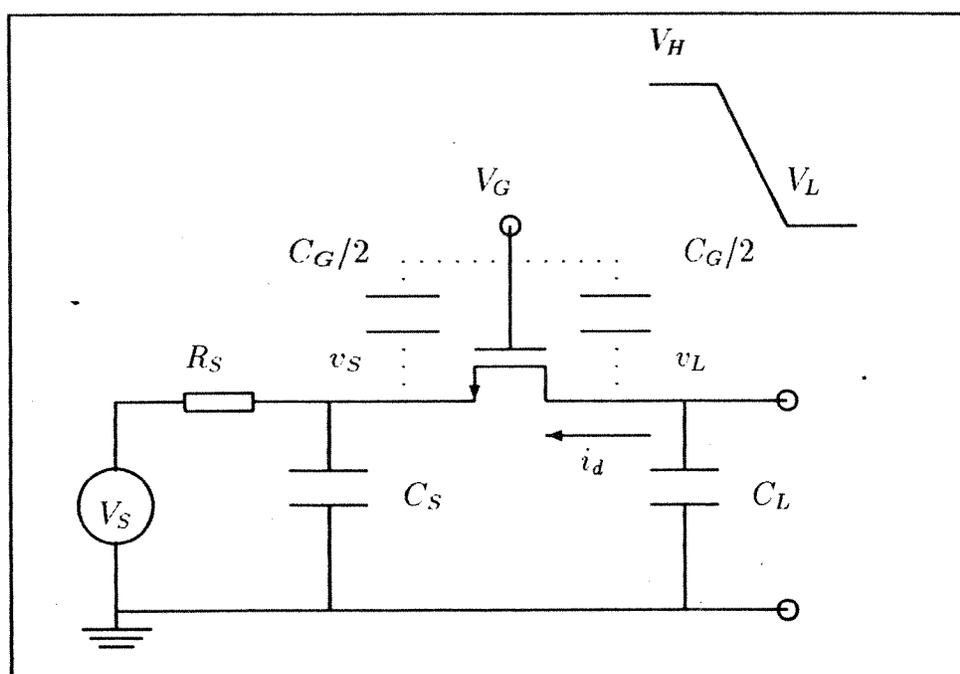
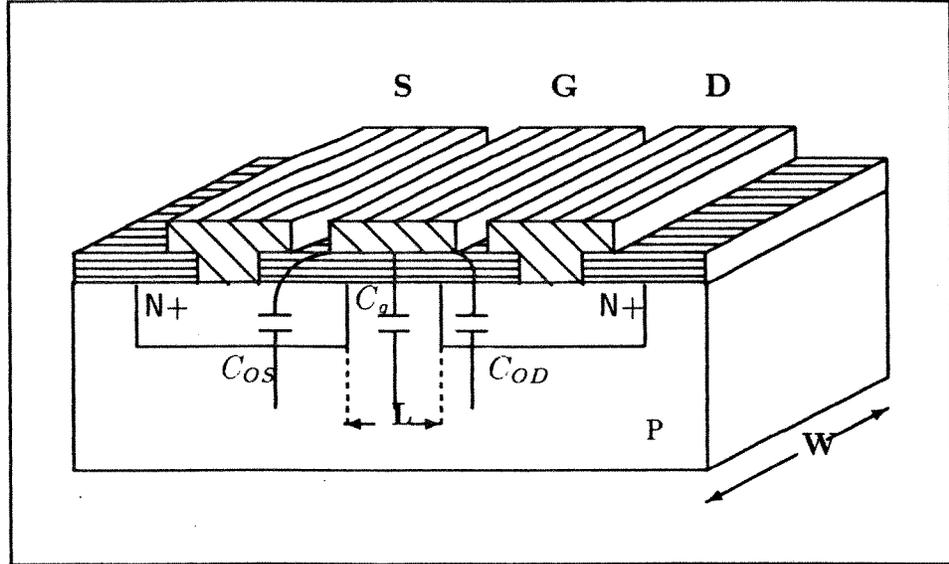


Figura 2.8: Circuito para análise do fenômeno de injeção de carga.



- Figura 2.9: Capacitâncias associadas ao transistor MOS.

$$C_G = C_{OD} + C_{OS} + C_g \tag{2.31}$$

$$C_G \doteq C_{ox}WL + 2C_{ov} \tag{2.32}$$

onde, C_{ox} é a capacitância por unidade de área do óxido e C_{ov} a capacitância de *overlap* do transistor.

A figura (2.10) ilustra a chave em seus dois estados de operação.

Considerando que a tensão de porta decresça linearmente com o tempo, temos:

$$V_G(t) = V_H - Ut \tag{2.33}$$

Como nestas condições o transistor opera na região linear, a corrente i_d do transistor é dada por:

$$i_d = \beta(V_{HT} - Ut)(v_L - v_S) \tag{2.34}$$

onde,

$$\beta = \frac{\mu C_{ox}W}{L}$$

$$V_{HT} = V_H - V_S - V_{TE}$$

$$V_{TE} = V_{T0} + \gamma \left(\sqrt{(V_B - V_S) + 2\phi_F} - \sqrt{2\phi_F} \right)$$

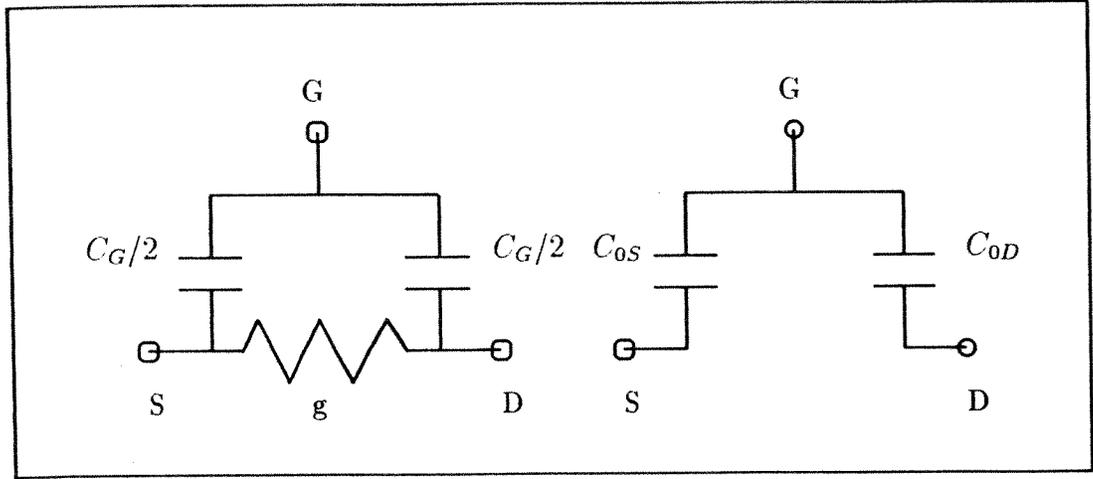


Figura 2.10: (a) chave conduzindo. (b) chave aberta.

é a tensão de *threshold* efetiva.

Usando a Lei de Kirchoff para corrente (LKC) nos nós v_S e v_L , da figura (2.8) obtemos:

$$\frac{C_L dv_L}{dt} = -i_d + \frac{C_G}{2} \frac{d(V_G - v_L)}{dt} \tag{2.35}$$

$$\frac{v_S}{R_S} + C_S \frac{dv_S}{dt} = i_d + \frac{C_G}{2} \frac{d(V_G - v_S)}{dt} \tag{2.36}$$

Considerando que $|\frac{dv_G}{dt}| \gg |\frac{dv_S}{dt}|$ e $|\frac{dv_L}{dt}|$, as equações (2.35) e (2.36) se tornam:

$$\frac{C_L dv_L}{dt} = -\beta(V_{HT} - Ut)(v_L - v_S) - \frac{C_G}{2} U \tag{2.37}$$

$$\frac{v_S}{R_S} + C_S \frac{dv_S}{dt} = \beta(V_{HT} - Ut)(v_L - v_S) - \frac{C_G}{2} U \tag{2.38}$$

Resolvendo numericamente o sistema acima [5], podemos ver na figura (2.11) uma família de curvas parametrizadas pela razão C_S/C_L , representando a fração de carga do canal injetada no capacitor de armazenamento, quando a resistência de fonte R_S é infinitamente grande.

O circuito da figura (2.12) representa um modelo simplificado apresentado por Wegmann [26] para análise de injeção de carga, onde a diminuição da tensão de porta V_G com

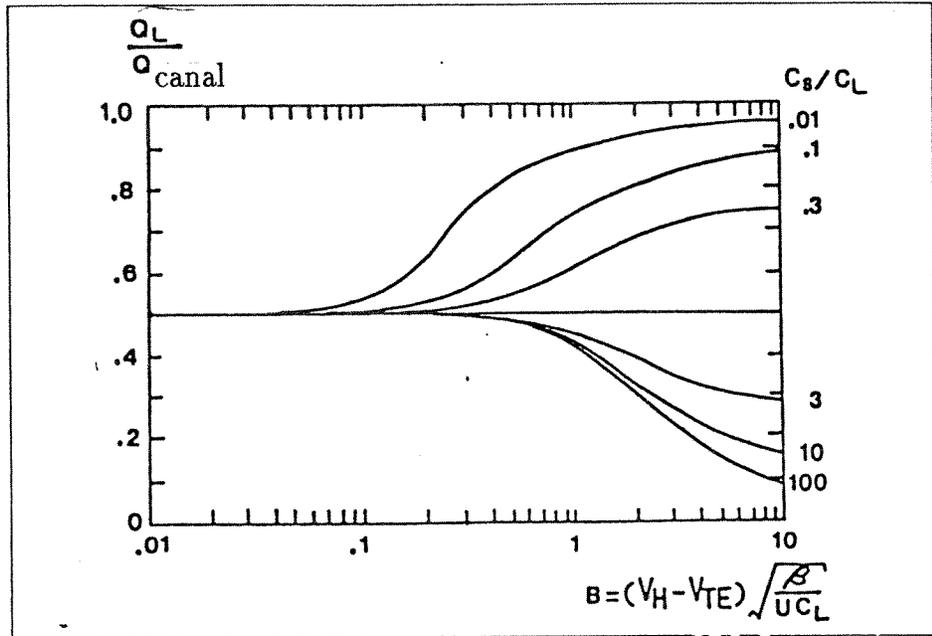


Figura 2.11: Fração de carga injetada pelo canal.

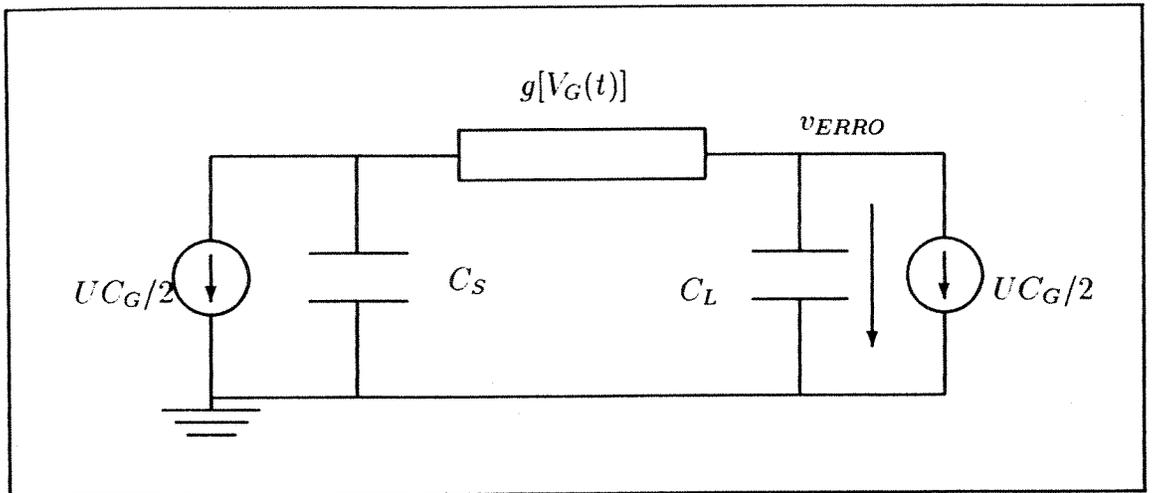


Figura 2.12: Modelo simplificado para análise de injeção de carga.

uma inclinação U é equivalente a uma fonte de corrente constante de valor total UC_G fluindo simetricamente pelas duas extremidades da chave.

A resolução desse circuito leva à seguinte equação diferencial normalizada [28], que também pode ser obtida através da substituição de v_S nas equações (2.37) e (2.38):

$$\frac{dV}{dt} = (T - B)\left[\left(1 + \frac{C_L}{C_S}V + 2T\frac{C_L}{C_S}\right) - 1\right] \quad (2.39)$$

Os fatores normalizados são:

$$B = (V_H - V_{TE})\sqrt{\frac{\beta}{UC_L}} \quad (2.40)$$

$$V = \frac{v_L}{\frac{C_G}{2}\sqrt{\frac{U}{\beta C_L}}} \quad (2.41)$$

$$T = \frac{t}{\sqrt{\frac{C_L}{U\beta}}} \quad (2.42)$$

A solução numérica para diferentes razões C_L/C_S da equação (2.39) durante o tempo de abertura da chave ($0 < T < B$) tem, normalmente, a mesma forma, ou seja, a família de curvas mostradas na figura (2.11).

2.3.1 Estratégias para Redução da Injeção

Na busca de uma solução para o problema de injeção de carga, várias estratégias têm sido utilizadas.

Se o parâmetro B tiver um valor muito maior que a unidade e C_S for muito maior que C_L , praticamente toda a carga do canal retorna para a capacitância C_S durante a abertura da chave, reduzindo a fração de injeção para o capacitor C_L . Entretanto, tornar B muito grande significa uma inclinação U pequena, o que limita a velocidade de operação de circuitos práticos.

Para $C_S = C_L$, temos uma distribuição simétrica de carga entre dreno e fonte, e somente um descasamento das capacitâncias [26] contribui para uma diferença nessa distribuição. Na prática, esse casamento entre os capacitores nem sempre é possível.

Se escolhermos valores pequenos de B teremos uma distribuição simétrica de carga, independentemente da razão entre C_S e C_L .

Nos casos onde existe simetria na distribuição de carga, a utilização de chaves “dummy” [23] [13] é proposta [8] [5]. Mesmo assim, para se utilizar esta estratégia deve ser feito um “lay-out” bastante otimizado [26]. Essa compensação fica limitada pelo grau de casamento entre a chave principal e as chaves “dummy”.

A dependência da tensão erro v_L com o capacitor de armazenamento é dada por:

$$v_L = \frac{\Delta Q}{C_L} \quad (2.43)$$

Entretanto, o valor de C_L em um circuito integrado é limitado, pois capacitores ocupam uma área considerável.

As chaves CMOS têm, potencialmente, um maior desempenho que as chaves NMOS, uma vez que as cargas no transistor PMOS podem ser canceladas pelas cargas do transistor NMOS do par complementar [14]. Van Peteghem, entretanto, [10] mostra que, devido à não simetria dos pulsos de *clock* das portas, o ponto onde ocorre o cancelamento dificilmente é encontrado, o que faz com que as chaves CMOS apresentem maior *off-set* que as chaves NMOS.

3

Metodologia Experimental

3.1 Considerações Iniciais

Antes de iniciarmos as nossas medições, por lidarmos com dispositivos CMOS, os seguintes cuidados foram tomados para evitar danos aos circuitos integrados [17]:

- Obedecemos aos limites de tensão impostos pela tecnologia de fabricação;
- Os terminais dos dispositivos não usados, foram conectados a VDD ou VSS;
- As fontes de sinais foram conectadas às entradas CMOS somente após a energização do *chip* e sempre desconectadas antes dos dispositivos serem desenergizados;
- O trabalho foi realizado em uma bancada aterrada e, ao manusearmos o *chip* tomamos o cuidado de utilizar uma pulseira aterrada, para evitar descargas estáticas que danificariam o circuito integrado.

3.2 Precauções com as Medições

Para a medição do efeito de injeção de carga, tomamos alguns cuidados no que diz respeito ao equipamento utilizado [6]. Para eliminarmos interferências e ruído, o circuito foi colocado em uma caixa totalmente blindada. A capacitância das pontas de prova do equipamento de medida (20 pF) altera a capacitância do nó de interesse, o que não nos permite uma leitura

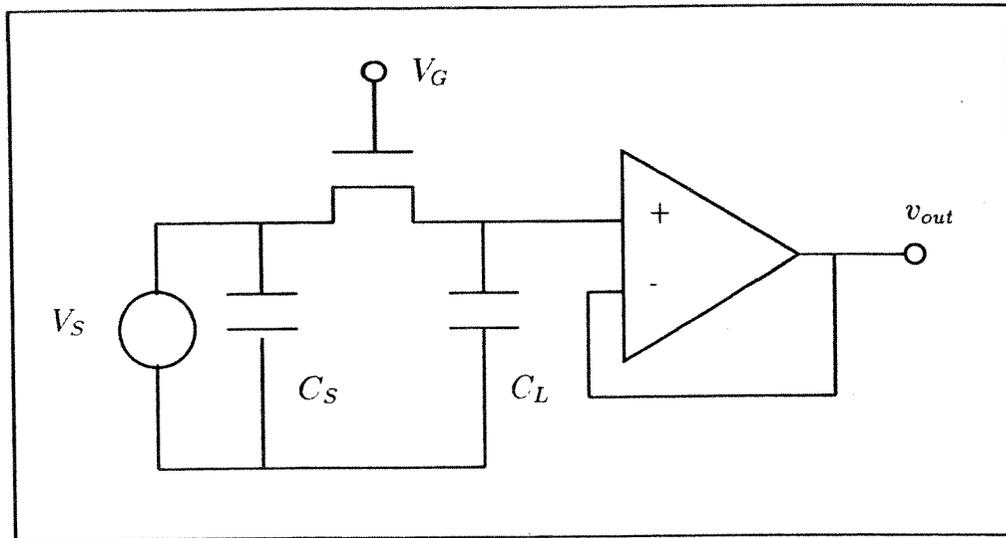


Figura 3.1: Configuração utilizando um amplificador operacional para medição.

precisa. O desejável seria utilizarmos um amplificador operacional integrado como *buffer*, como ilustrado na figura (3.1), pois esta configuração nos permite alta capacidade de *drive* e boa excursão de saída. A utilização de um amplificador operacional discreto foi descartada, uma vez que as capacitâncias associadas às suas entradas iriam influenciar as medições. O circuito seguidor de fonte que utilizamos está ilustrado na figura (3.2). Essa configuração foi utilizada por Wilson [4]. Apesar dessa configuração ter uma região linear limitada [25] e baixa capacidade de *drive*, nós a adotamos por possuímos essa configuração em forma monolítica, o que minimiza alguns efeitos parasitas. Este seguidor de fonte apresentou, no nível de polarização utilizado um ganho de 0.913.

A utilização de multímetros HP 3458, de 7 1/2 dígitos, garantiram maior precisão nas medidas.

Os amplificadores operacionais OP07 [27], nos circuitos de instrumentação, foi outro cuidado tomado para redução de ruído e baixo erro de *off-set*

3.3 As Chaves Projetadas

A chave analógica inicialmente utilizada em nossos experimentos foi implementada no Projeto Multi-Usuário CMOS nº 5, PMU/CMOS5, na configuração ilustrada na figura (3.3).

Trata-se de um circuito experimental não dedicado à caracterização do fenômeno de injeção de carga.

Para nossa investigação essa configuração se mostrou inadequada, pois a chave que

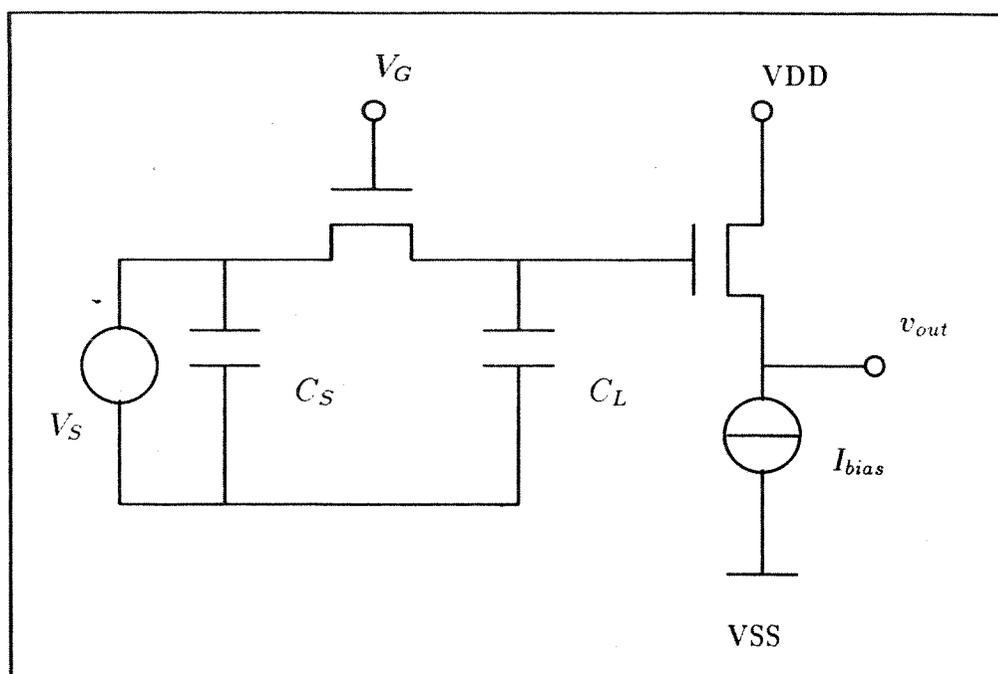


Figura 3.2: Configuração utilizando um seguidor de emissor para medição.

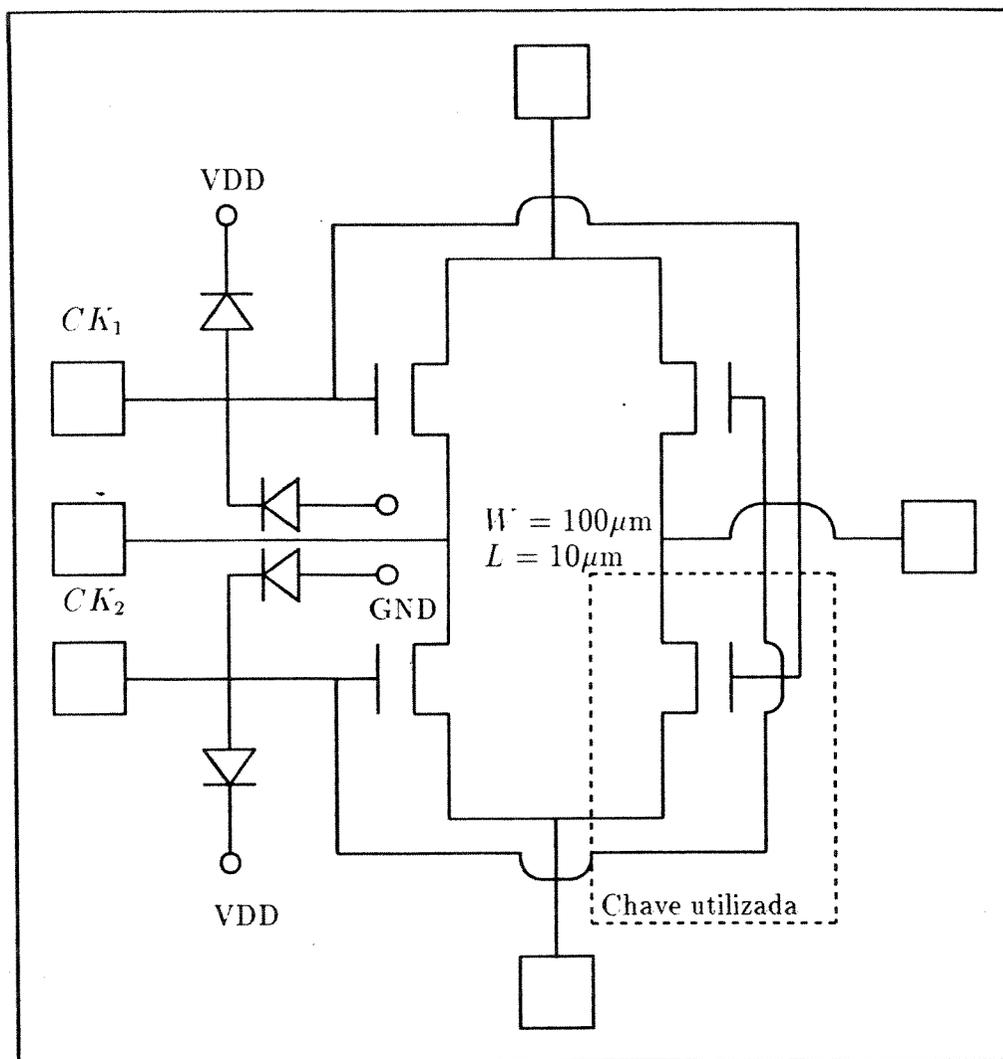


Figura 3.3: Configuração das chaves analógica integradas no PMU/CMOS5.

seria utilizada não está isolada e apresentou um efeito parasita que impediu qualquer experimento.

Devido aos problemas já citados essa opção foi descartada.

Na fotografia (3.1) podemos ver a foto do circuito implementado no PMU/CMOS5.

As chaves que utilizamos, de fato, para o estudo em questão foram implementadas no PMU/CMOS7. Para reduzirmos ruído e capacitâncias parasitas, utilizamos chaves com grandes dimensões ($W = 200\mu m$, $L = 10\mu m$), e capacitores que variaram desde $32,3pF$ até $20,6nF$. Esses valores foram medidos, utilizando uma ponte de “boonton”.

Neste PMU, especificamente, utilizamos para o nosso projeto o SPICE [18, 19] para as simulações e para o *lay-out* físico das máscaras utilizamos o programa CONSTRUCT [20] da Valid, disponível no LCAEe/FEE/UNICAMP, e o programa KIC, disponível no CTI.

Na figura (3.4) vemos o CI projetado e na foto (3.2) a foto do CI implementado.

A tecnologia utilizada foi a N-Well da *European Silicon Structures- ES2*. O CI ocupa uma área de $(1952,5\mu m \times 824,5 \mu m)$.

A corrente de polarização, I_{bias} , do nosso seguidor de fonte, utilizando o C.I. do PMU/CMOS7, foi de $70,5\mu A$ e, para garantirmos os estados de condução e corte da chave, mantivemos a tensão de porta entre 0V e 5V. O circuito utilizado para medição está mostrado na figura (3.5).

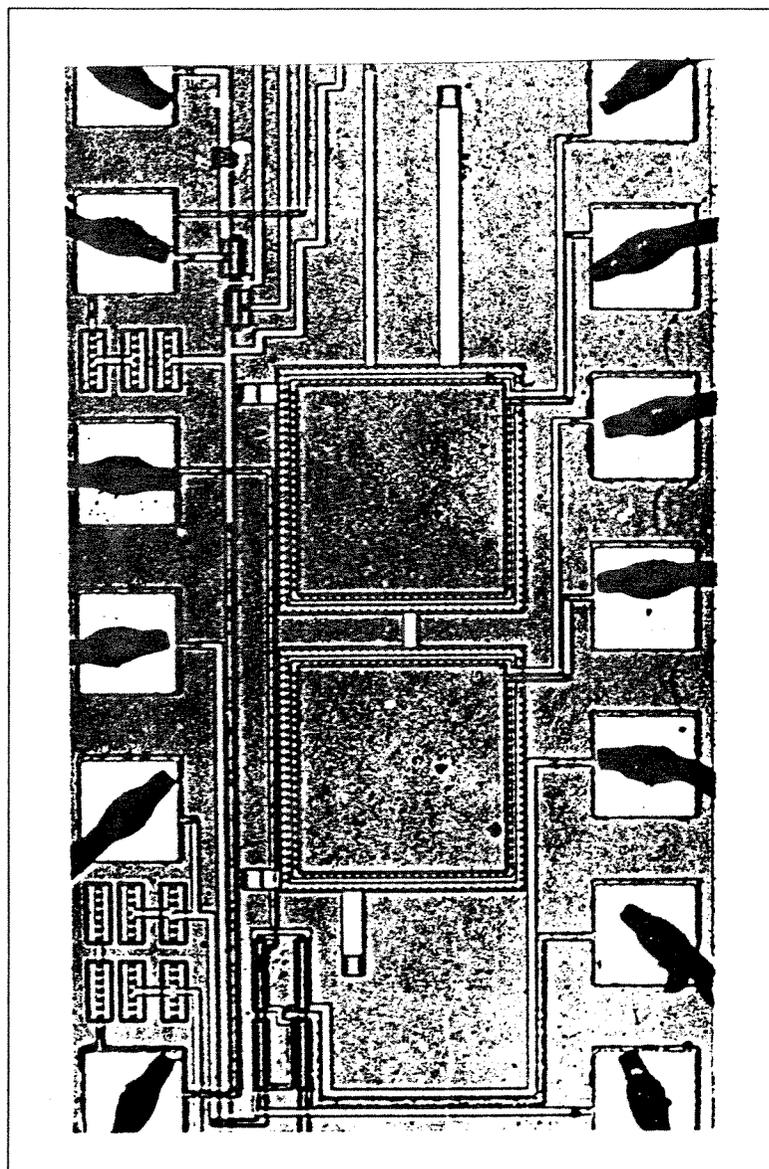
3.4 A Simulação Pspice

Projetos de circuitos eletrônicos necessitam de métodos precisos para avaliação de desempenho. Devido à enorme complexidade dos circuitos integrados modernos, a análise com o auxílio do computador é essencial e pode fornecer informações nem sempre possíveis de se obter em medidas de laboratório.

A análise auxiliada por computador permite avaliar o efeito de variações em elementos; avaliar o efeito de ruído e distorção de sinal e otimizar o projeto de circuitos eletrônicos em termos de parâmetros de circuitos.

O Pspice é um programa de circuito de proposta geral, que simula circuitos eletrônicos. Devemos ter em mente que os simuladores devem ser usados sempre como ferramentas para auxiliar o projetista, e não para solucionar os problemas de circuitos em lugar do projetista.

Nas simulações tomamos o cuidado de usar um modelo que garantisse a conservação de carga do transistor. Mantendo o parâmetro XQC [16], que representa a fração de carga do dreno do transistor, menor que 0,5 garantimos que o simulador não entrou no modelo de Meyer [9] e, dessa forma, a conservação de carga foi mantida. A mudança de um modelo para outro procura garantir a convergência durante a simulação.



Fotografia 3.1: Circuito implementado no PMU/CMOS5.

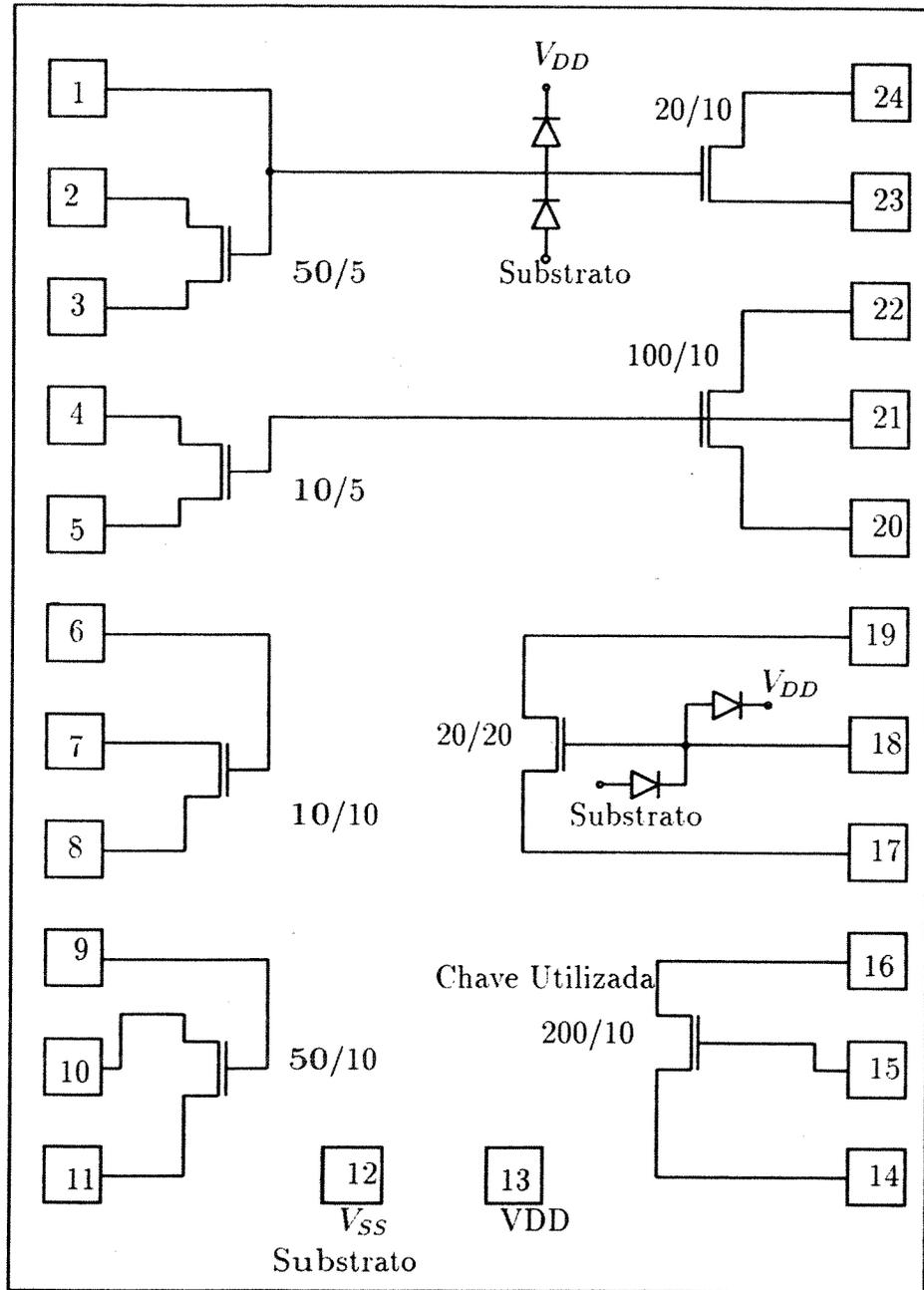
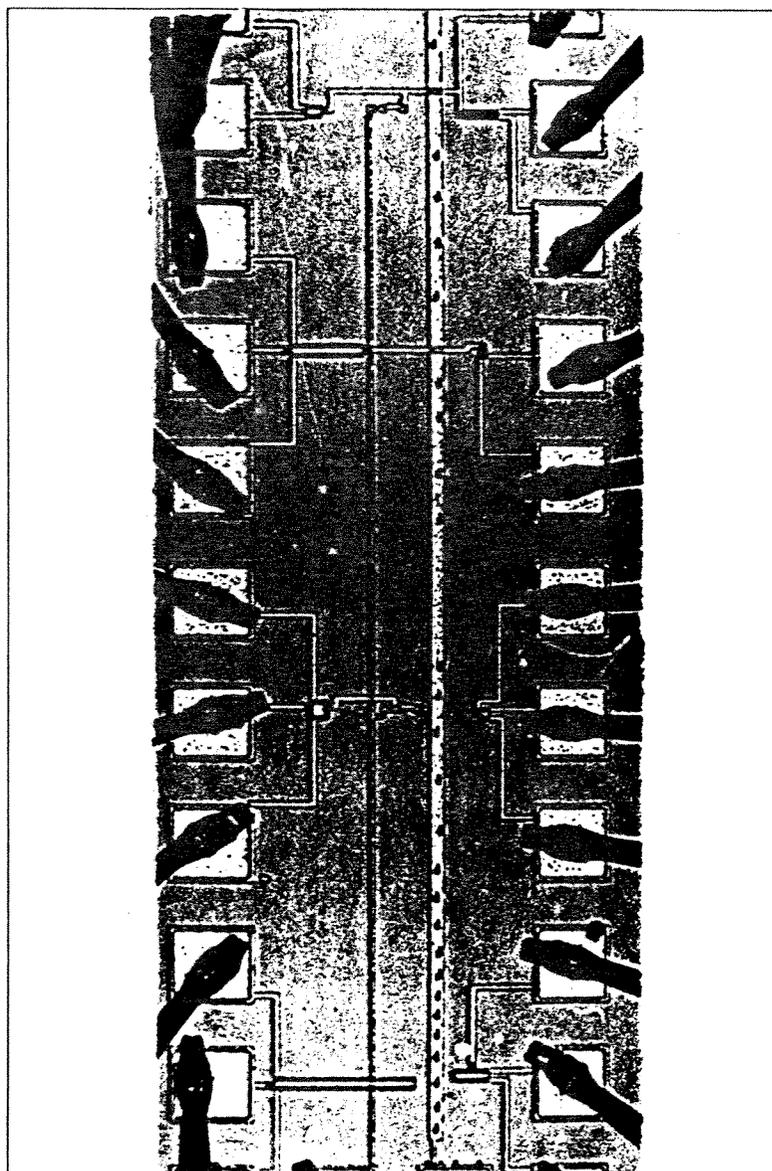


Figura 3.4: Chaves analógicas projetadas no PMU/CMOS7.



Fotografia 3.2: Chaves analógicas implementadas no PMU/CMOS7.

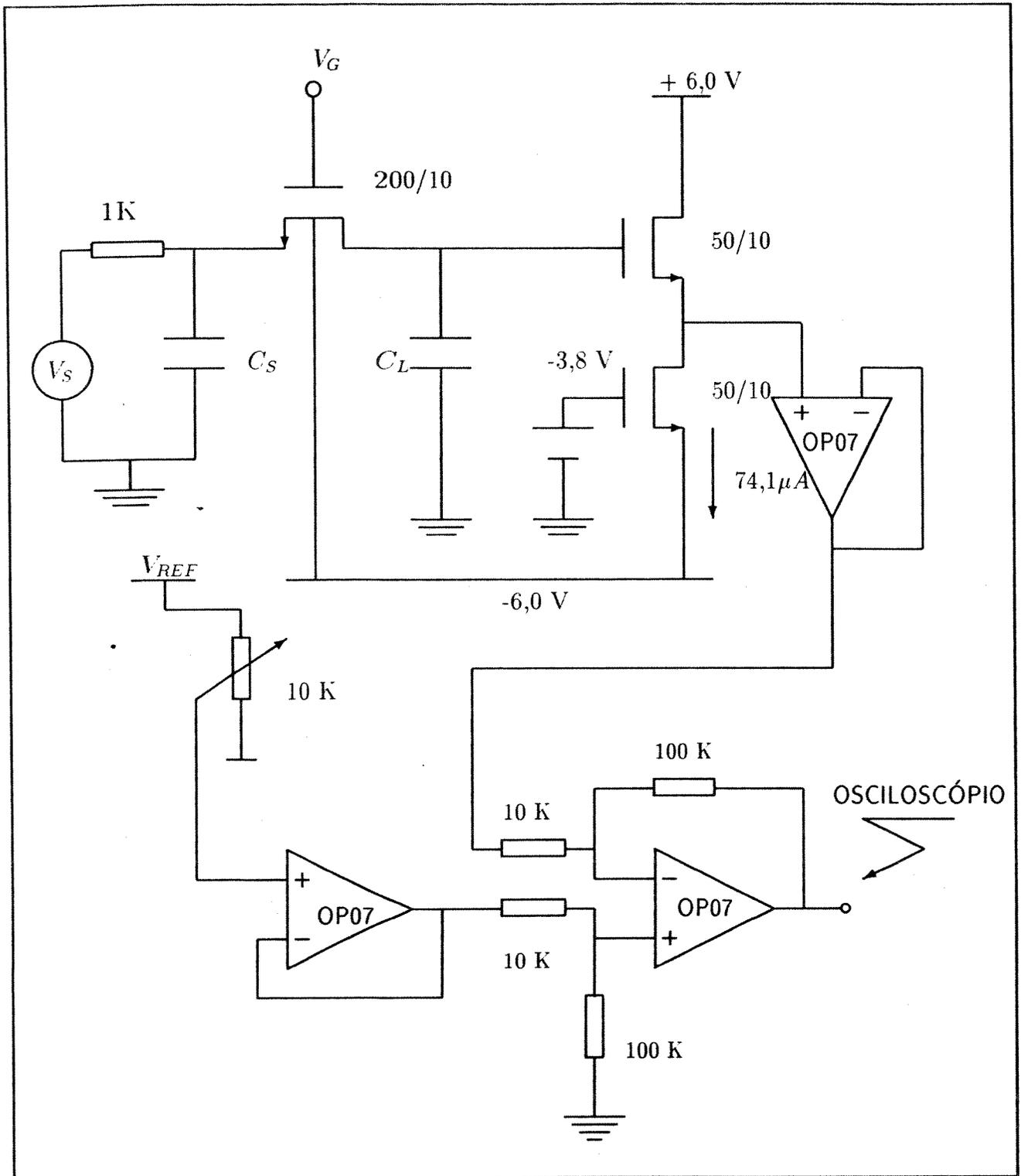


Figura 3.5: Circuito utilizado para as medições.

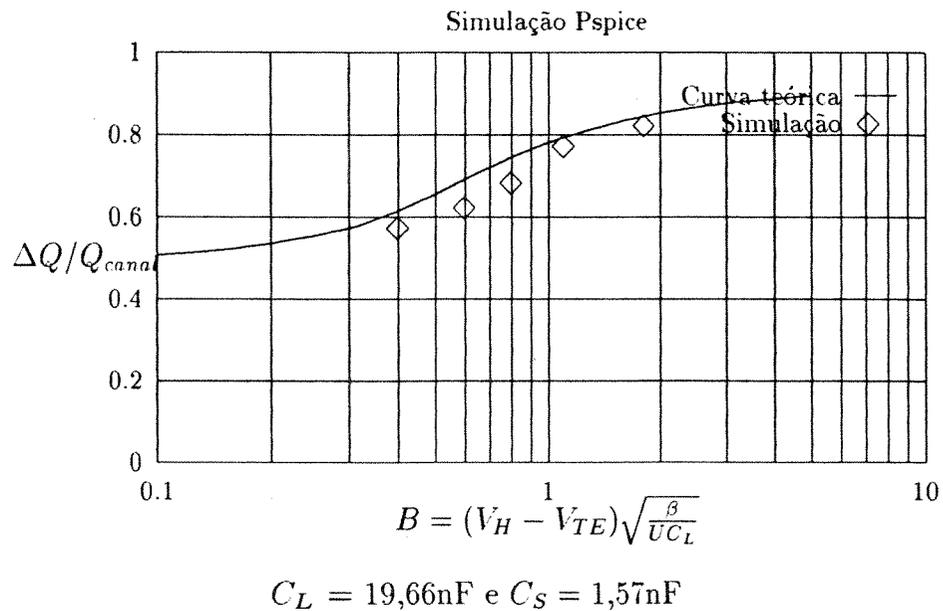


Figura 3.6: Simulação obtida para $C_L/C_S = 12,5$

3.5 Resultados Obtidos

3.5.1 Simulações

Utilizando o circuito da figura (2.8) no sentido de obtermos as curvas de injeção de carga apresentadas no capítulo 2, fizemos, inicialmente, simulações para três diferentes razões entre os capacitores C_L e C_S . As simulações obtidas e as respectivas curvas teóricas estão mostradas nas figuras (3.6), (3.7) e (3.8).

Pelos resultados obtidos vemos uma boa concordância entre as simulações e as curvas teóricas. Essas simulações foram obtidas utilizando o programa PSpice versão 5,0. Tentamos utilizar o Spice versão 3D2 instalado nas estações SUN, mas com a utilização deste programa, em particular, não houve conservação de carga.

3.6 Experimentos

No início dos nossos experimentos, montamos o circuito da figura (3.5) em uma placa de circuito impresso padrão.

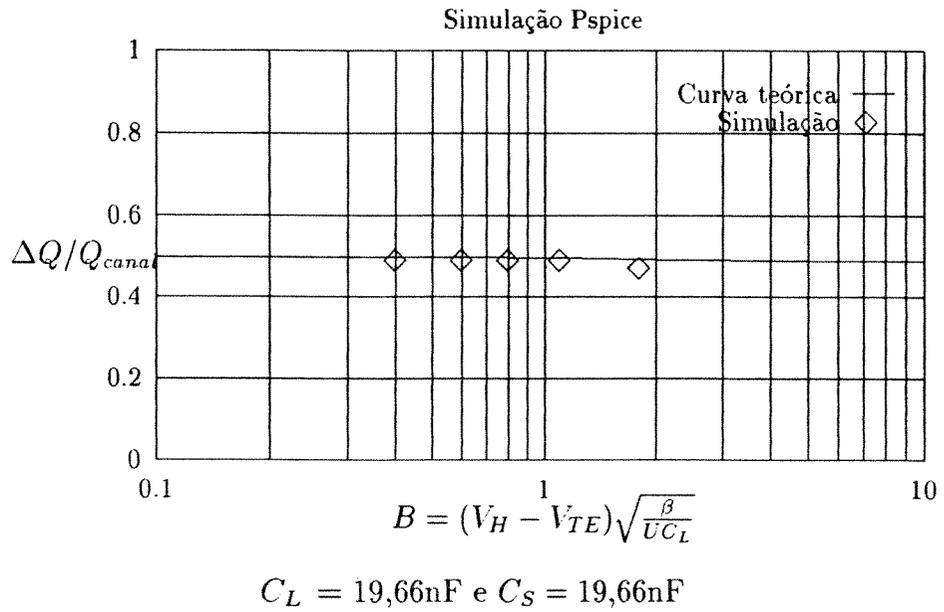


Figura 3.7: Simulação obtida para $C_L/C_S = 1$

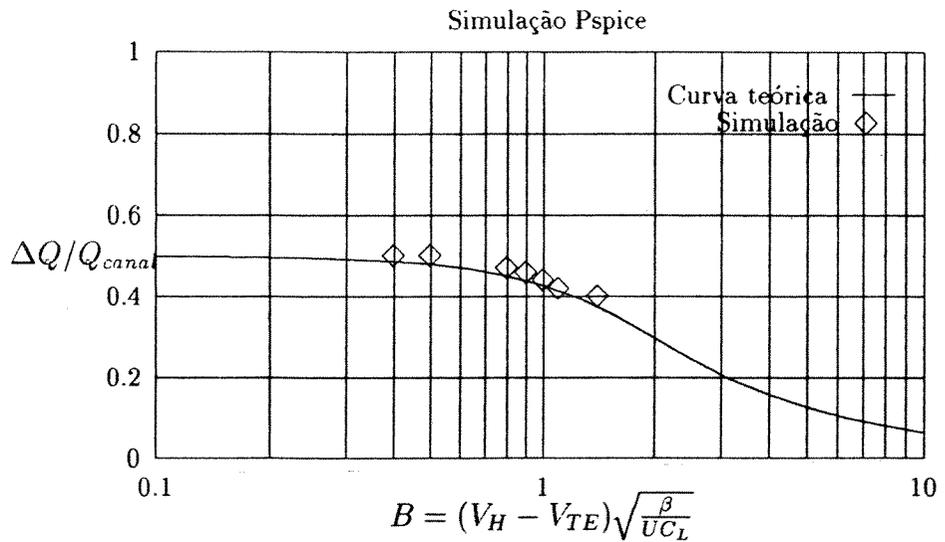


Figura 3.8: Simulação obtida para $C_L/C_S = 0$

Apesar da montagem ser feita de maneira cuidadosa, não obtivemos os resultados esperados, devido às indutâncias e capacitâncias que surgiram em função da própria montagem.

Para contornarmos esse problema, confeccionamos uma placa impressa e colocamos a montagem em uma caixa totalmente blindada. A bancada utilizada para o levantamento experimental é mostrada na foto (3.3).

Apenas como ilustração, vemos na figura (3.9), a forma de onda da tensão de porta V_G e a forma de onda típica da tensão erro v_L que surge no capacitor de armazenamento C_L , após a chave analógica ser aberta. Nessa figura as condições foram: $C_L = 20,6nF$, $C_S = 19,66nF$ e a taxa $U = 0,236 \cdot 10^6$ V/s.

3.6.1 Tensão Erro v_L em Função da Taxa U

Mantendo $C_L/C_S = 12,5$ e variando a taxa U de descida da tensão de porta, desde $0,236 \cdot 10^6$ V/s até $6,9 \cdot 10^6$ V/s, obtivemos os resultados mostrados na figura (3.10). O valor de C_L foi mantido em $19,66nF$ e C_S em $1,57nF$.

Para $C_L = 19,66nF$ e $C_S = 20,6nF$, o que fornece uma razão de 0,954, variamos U e obtivemos os resultados da figura (3.11).

Finalmente, para uma razão $C_L/C_S = 0$, mantivemos $C_S = 196,6nF$ e variamos C_L de $32,3pF$ até $310pF$. Os resultados podem ser vistos na figura (3.12).

Através dos resultados encontrados, podemos verificar boa concordância entre os experimentos e as curvas teóricas levantadas a partir do modelo de Vittoz [12], convalidando os procedimentos experimentais. A incerteza das medidas ficou em $0,5mV$.

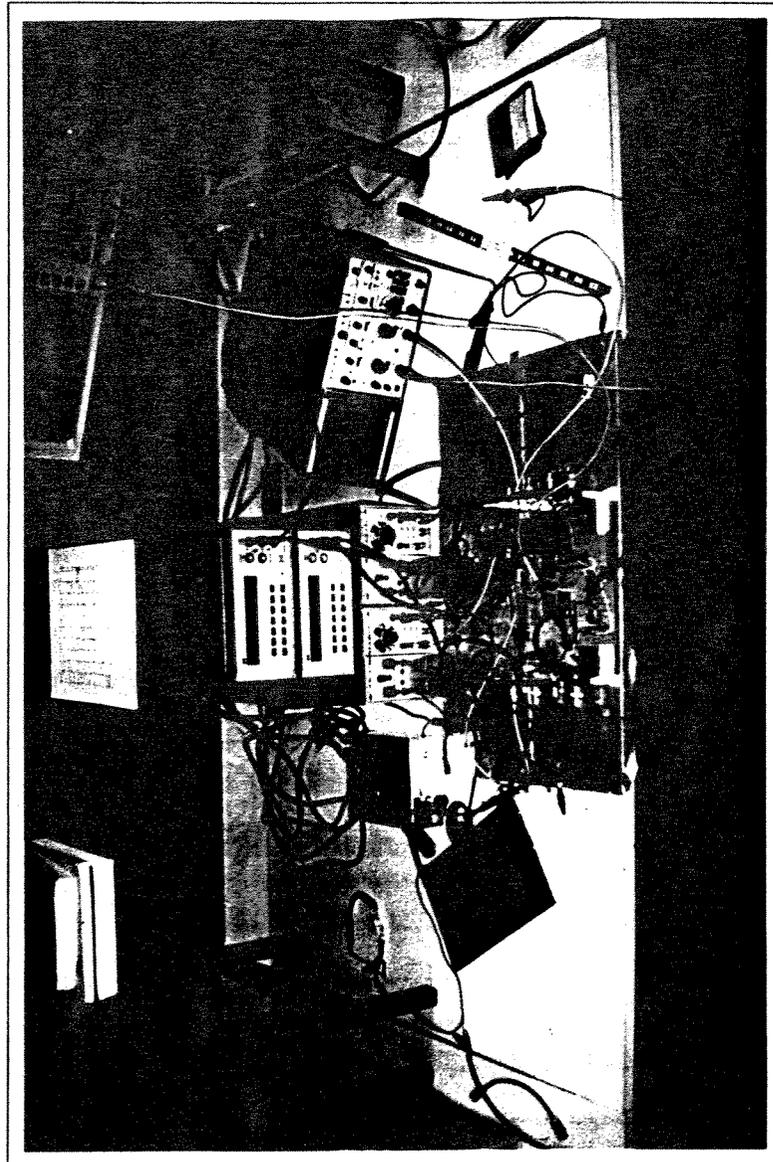
As tabelas contendo os dados levantados experimentalmente podem ser encontradas no apêndice.

3.7 Circuito para Redução da Tensão Erro

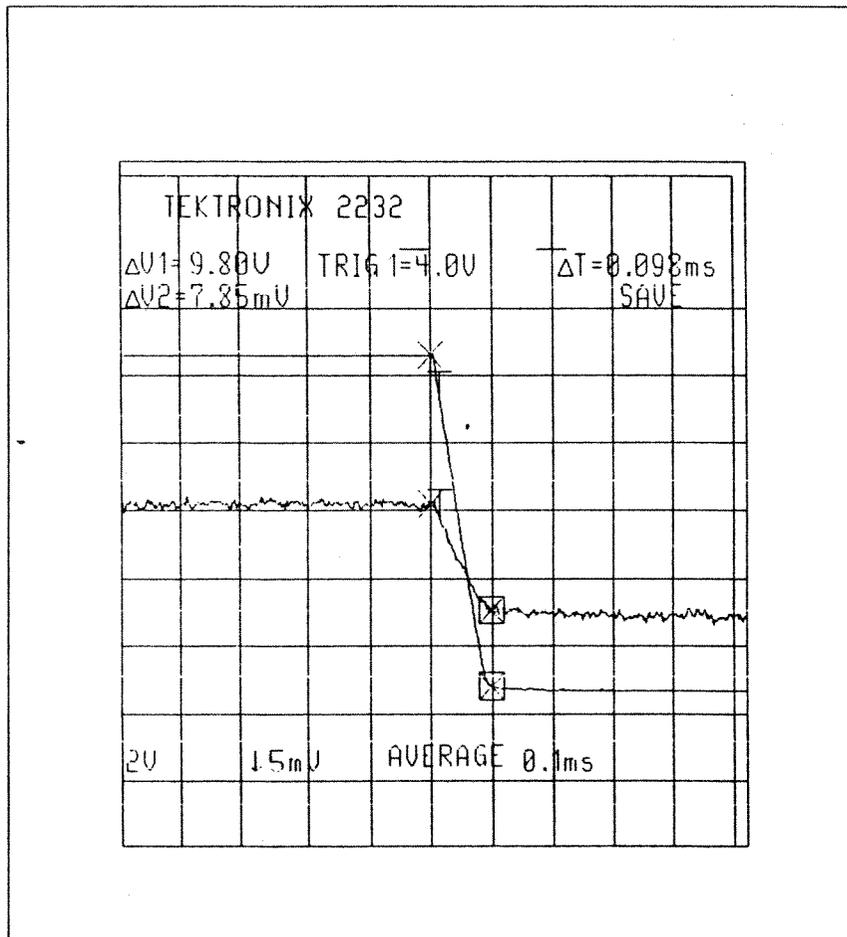
Partindo das estratégias para redução do erro devido à injeção de carga, apresentadas no capítulo 2, mostramos na figura (3.13) uma configuração para diminuir o erro de tensão introduzido no capacitor C_L . O funcionamento deste circuito pode ser explicado da seguinte forma:

O transistor M1 polariza M2 com um baixíssimo nível de corrente. A tensão que surge entre os nós (1) e (2) é aproximadamente igual à tensão de "threshold" V_{TE} . Desse modo, o terminal fonte do transistor M3 segue o potencial da fonte V_S com um deslocamento de nível constante e igual a V_{TE} . A tensão de controle V_G atua sobre M3 fechando ou abrindo o transistor "chave" M4.

Nas condições apresentadas, a chave M4, quando estiver conduzindo, operará sempre na condição de $V_{GS} = V_{TE}$. Com isso, o parâmetro B , apresentado no capítulo 2, tem um valor baixo, o que significa um equiparticionamento de cargas do canal entre dreno e fonte.



Fotografia 3.3: Bancada utilizada para os experimentos.



$$V_H = 5V \text{ e } v_L = 7,85mV$$

Figura 3.9: Forma de onda típica da tensão erro v_L .

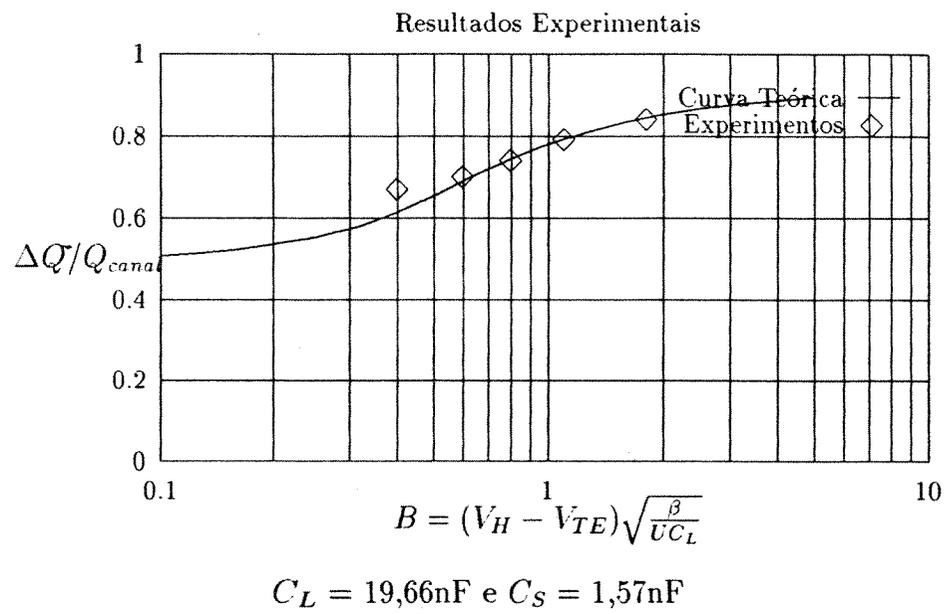


Figura 3.10: Resultados obtidos para $C_L/C_S = 12,5$

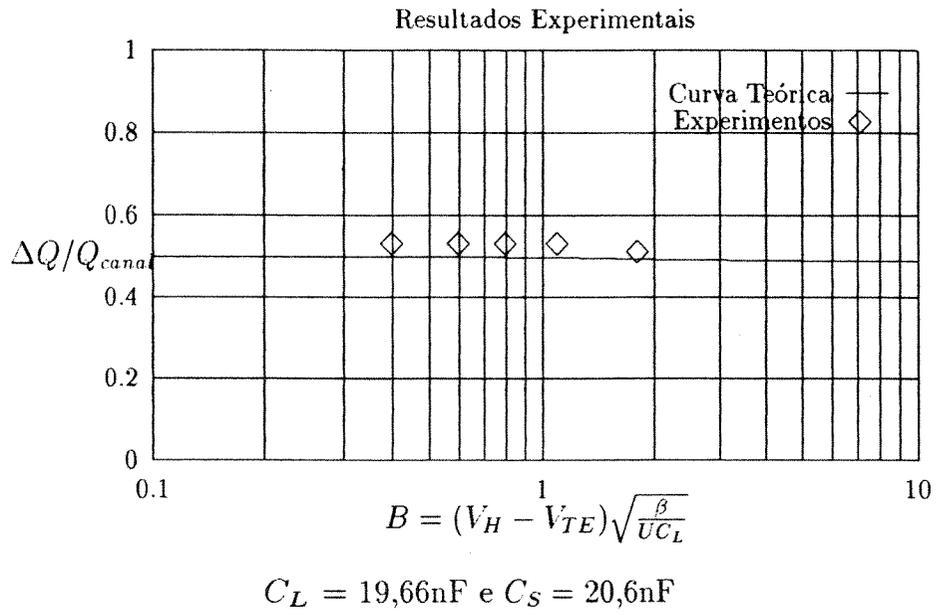


Figura 3.11: Resultados obtidos para $C_L/C_S = 0,954$

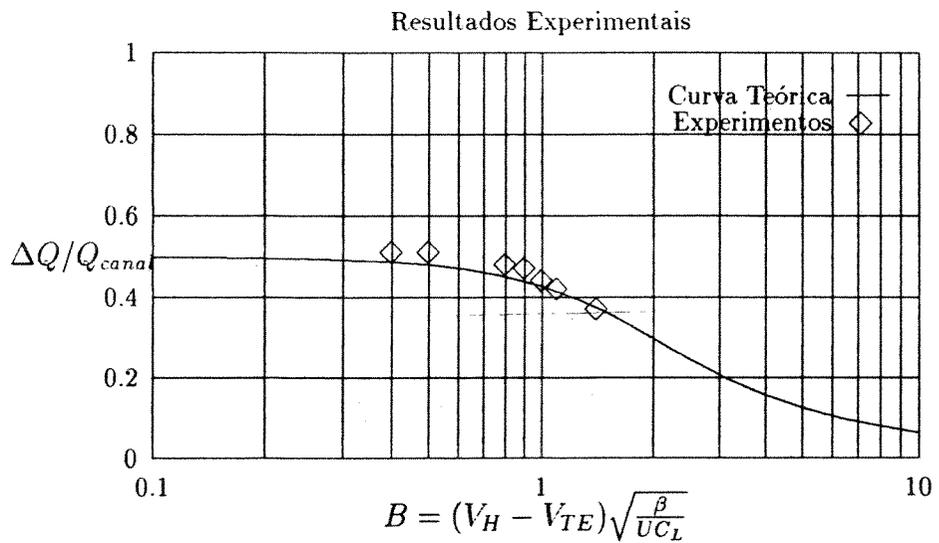


Figura 3.12: Resultados obtidos para $C_L/C_S = 0$

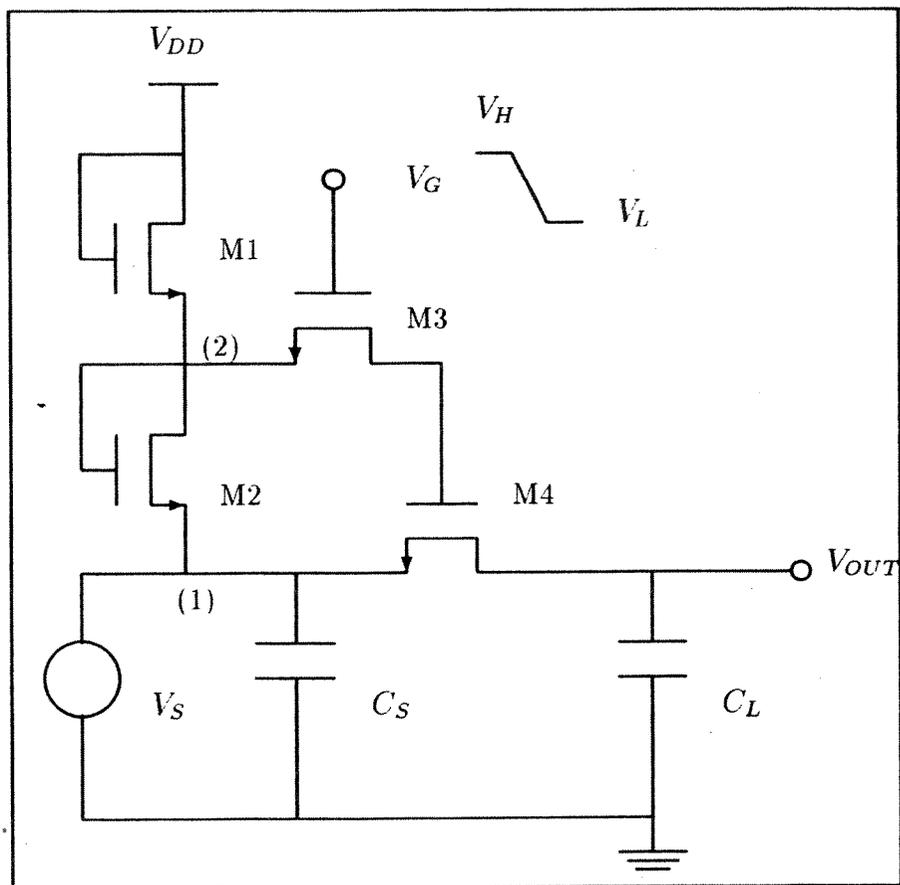


Figura 3.13: Circuito para redução da injeção de carga.

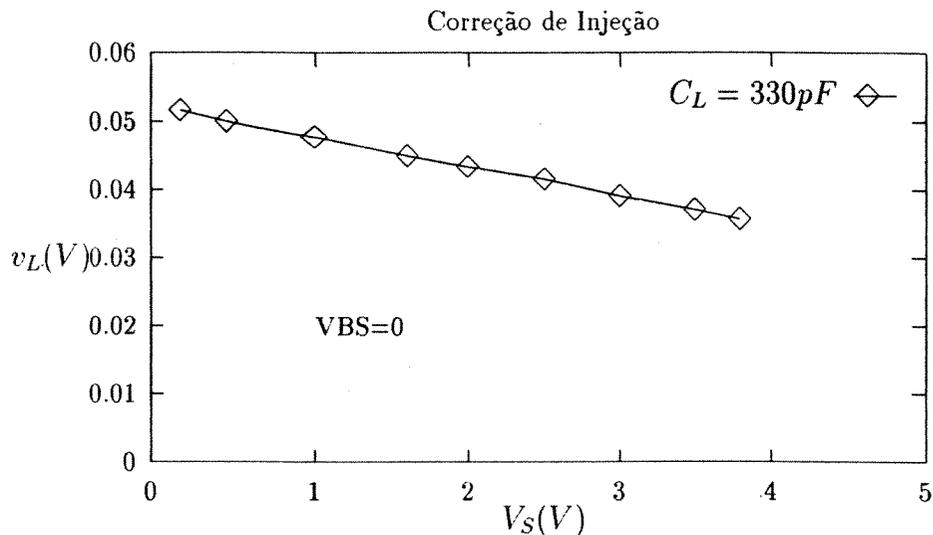


Figura 3.14: Relação entre v_L e V_S .

Uma outra característica deste circuito é que fazer V_{GS} baixo significa ter uma menor quantidade de cargas no canal da chave.

Apesar de termos implementado esse circuito nós não o caracterizamos, pois os circuitos implementados via PMUCMOS5 não funcionaram.

3.8 Compensação da Tensão Erro

A tensão erro v_L sobre o capacitor de armazenamento, causada pela injeção de carga, tem uma dependência linear com a tensão de entrada V_S [4]. As medidas realizadas com as chaves implementadas via PMUCMOS7 comprovam esta relação entre v_L e V_S conforme mostra o gráfico da figura (3.14).

Estes resultados se referem à chaves analógicas (canal-N) com dimensões ($W = 200\mu m$, $L = 10\mu m$), controladas por um sinal de porta com as seguintes características: Período de $0,0167ms$, tempo de subida e tempo de descida iguais à $18,2\mu s$, e uma excursão de 0 até 5V. Como mostrado na figura (3.15);

Na obtenção dos dados referentes à figura (3.14), o efeito de corpo sobre a chave foi excluído, pois mantivemos o terminal de fonte conectado ao terminal de corpo (substrato) do transistor.

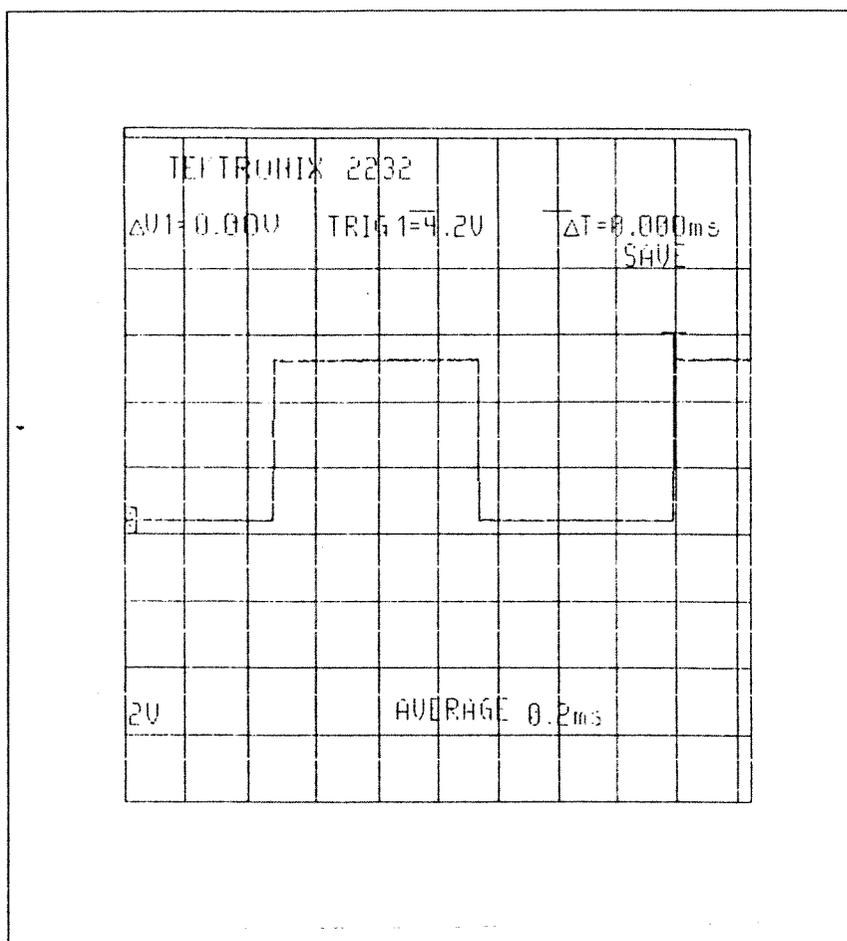


Figura 3.15: Tensão de porta V_G de controle da chave analógica.

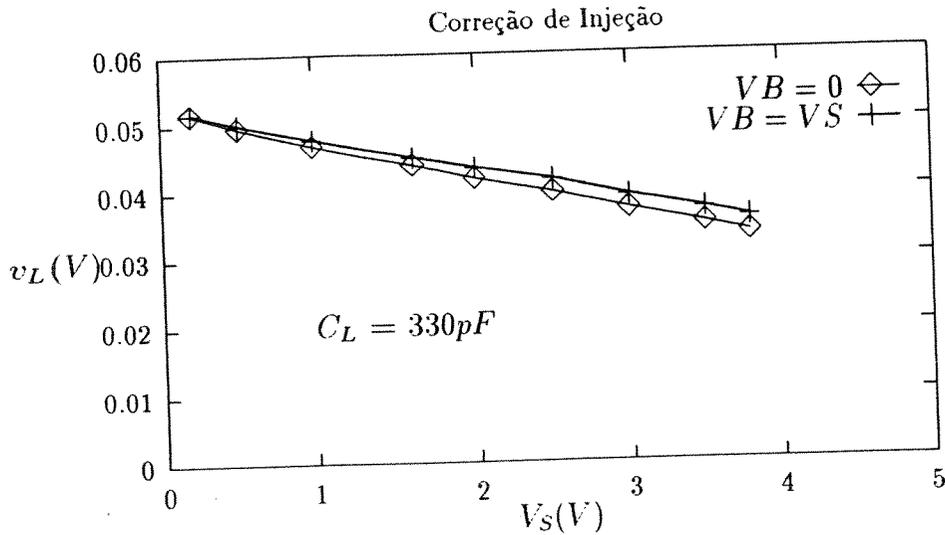


Figura 3.16: Curvas mostrando a influência do efeito de corpo.

Outra série de medidas, desta vez mantendo o terminal de corpo fixo em 0V, evidencia uma pequena alteração na inclinação da reta que relaciona v_L com V_S . Estes resultados são mostrados na figura (3.16), para um valor de capacitor de armazenamento igual a 330pF.

Com base nestes resultados podemos deduzir uma forma simples para compensar ou corrigir, o erro provocado pela injeção de carga. O procedimento é o seguinte:

Conforme ilustra o gráfico da figura (3.17), que relaciona a tensão no capacitor de armazenamento, V_{CAP} , com a tensão V_S da fonte, em uma chave ideal, onde não ocorre injeção de carga, a tensão V_{CAP} deve sempre ser igual a V_S após a abertura da chave. Entretanto, como ocorre injeção de carga, a reta pontilhada, que resulta da subtração dos valores de V_{CAP} da tensão erro v_L , mostrada na figura (3.14), é a função que de fato descreve o comportamento de $V_{CAP} \times V_S$.

Observe, portanto, que dada uma tensão de fonte $V_S = V_i$, o desejável é que resulte em V_{CAP} a mesma amplitude V_i . Porém, este valor de V_{CAP} corresponde a $V_S = V_i + \delta_v$, logo, se no momento de abertura da chave a tensão V_S for acrescida de δ_v , a tensão em V_{CAP} será a tensão desejada.

Assim, consideremos as funções:

$$V_{CAP}(V_S) = V_S \quad (3.1)$$

$$V'_{CAP}(V_S) = V_{CAP0} + \alpha V_S \quad (3.2)$$

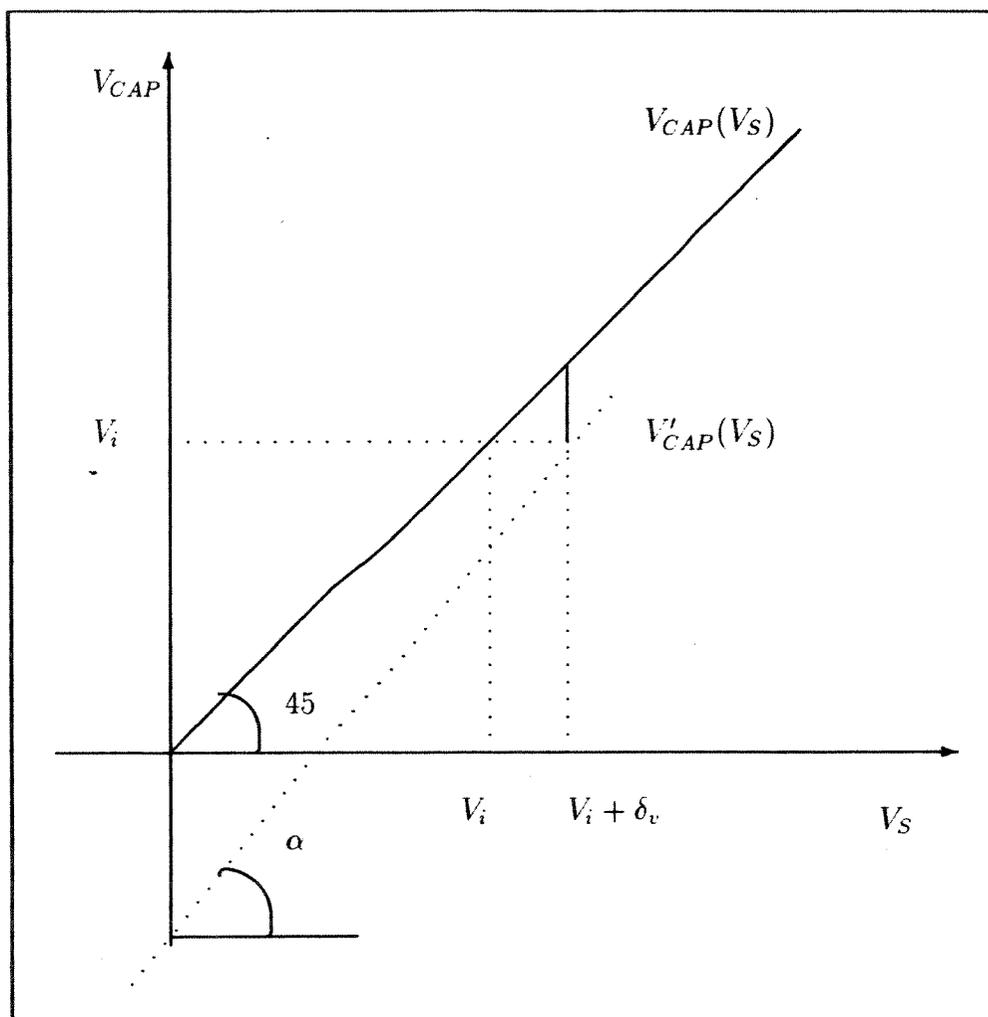


Figura 3.17: Relação entre a tensão no capacitor e na fonte.

Para determinarmos valores de $V_S = V_i$, devemos substituir V_i por $V_i + \delta_v$, de tal modo que:

$$V_{CAP}(V_i + \delta_v) - V'_{CAP}(V_i + \delta_v) = \delta_v \quad (3.3)$$

$$V_i + \delta_v - V_{CAP0} - \alpha(V_i + \delta_v) = \delta_v \quad (3.4)$$

Ou seja:

$$V_i(1 - \alpha) - V_{CAP0} = \alpha\delta_v \quad (3.5)$$

Assim,

$$\delta_v = \frac{1 - \alpha}{\alpha} V_i - \frac{V_{CAP0}}{\alpha} \quad (3.6)$$

Logo, a tensão que corrige a injeção de carga será:

$$V_K = V_i + \delta_v = \frac{1}{\alpha}(V_i - V_{CAP0}) \quad (3.7)$$

Valores experimentais para δ_v foram obtidos e são mostrados na figura (3.18):

Fazendo uma regressão linear a partir dos valores obtidos experimentalmente, temos:

$$\alpha = 1,0049168$$

$$V_{CAP0} = -0,05193$$

Já vimos que a injeção de carga será corrigida se, no momento da abertura da chave, a tensão a ser amostrada V_S , for substituída pela tensão V_K da equação (3.7).

Uma maneira simples de implementarmos tal mecanismo de correção é mostrada no circuito da figura (3.19).

A chave analógica auxiliar M2, fechará, conectando R_X a R_S , um instante anterior à transição de descida do sinal V_G , que controla a chave principal M1. Os dois sinais de controle são mostrados na figura (3.20).

Com M2 fechada a tensão V_K , que substitui V_S vale:

$$V_K = \frac{R_S}{R_X + r_{ON} + R_S} V_{REF} + \frac{R_X + r_{ON}}{R_X + r_{ON} + R_S} V_S \quad (3.8)$$

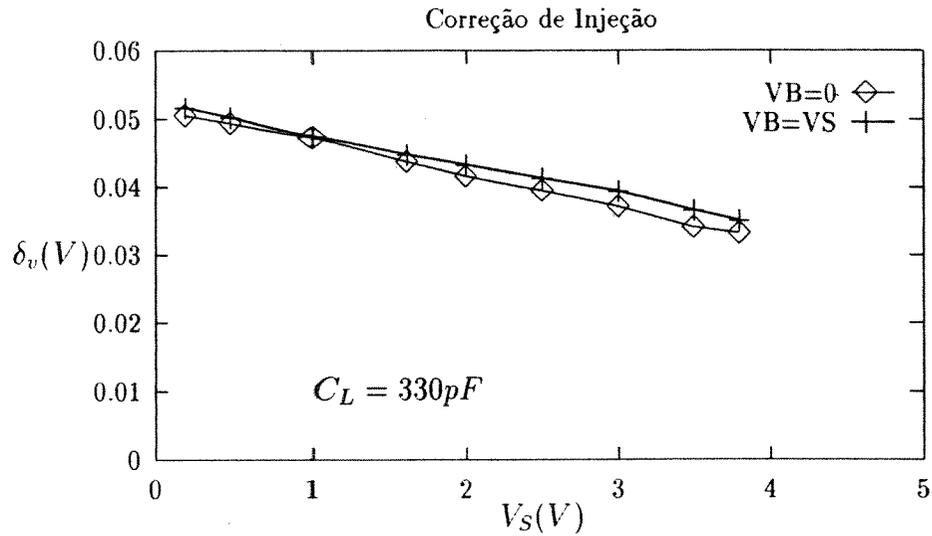


Figura 3.18: Curva experimental de $\delta_v \times V_S$.

Considerando que $R_X \gg r_{ON}$, onde r_{ON} é a resistência da chave, quando fechada, temos:

$$V_{CAP} = \frac{R_S}{R_X + R_S} V_{REF} + \frac{R_X}{R_X + R_S} V_S \quad (3.9)$$

Ajustando esta função à tensão de correção, temos:

$$\frac{R_X}{R_X + R_S} = \frac{1}{\alpha} \quad (3.10)$$

$$\frac{R_S}{R_X + R_S} V_{REF} = -\frac{V_{CAP0}}{\alpha} \quad (3.11)$$

No caso do experimento realizado, onde $R_S = 1k\Omega$, foram calculados:

$$R_X = 203,384k\Omega$$

$$V_{REF} = 10,561V$$

Com estes valores novas medidas foram feitas e atribuindo a V_S uma rampa excursionando de 0 à 3V podemos constatar o efeito de correção comparando os gráficos das figura (3.21) e da figura (3.22) sem a correção de injeção de carga e com a correção, respectivamente.

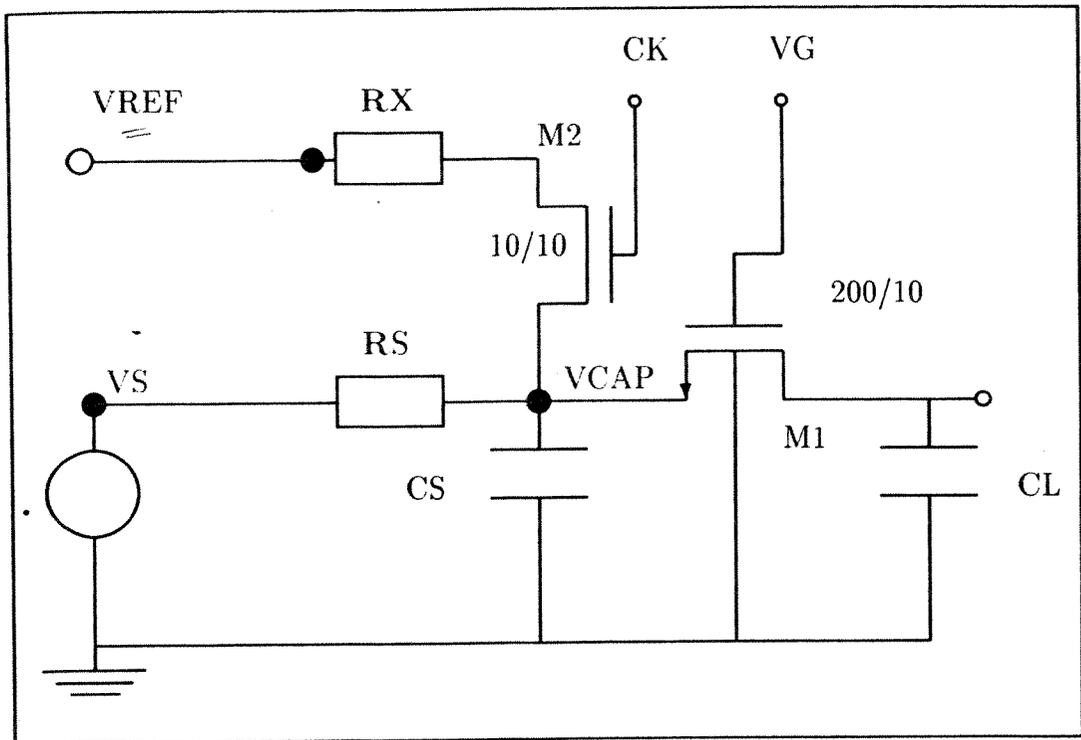


Figura 3.19: Circuito para corrigir a injeção de carga.

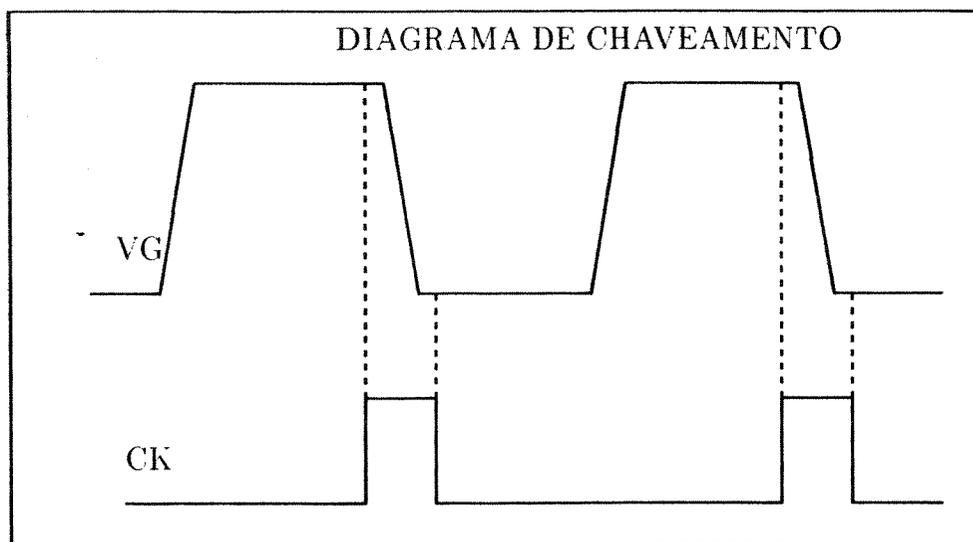


Figura 3.20: Tensões de controle das chaves analógicas M1 e M2.

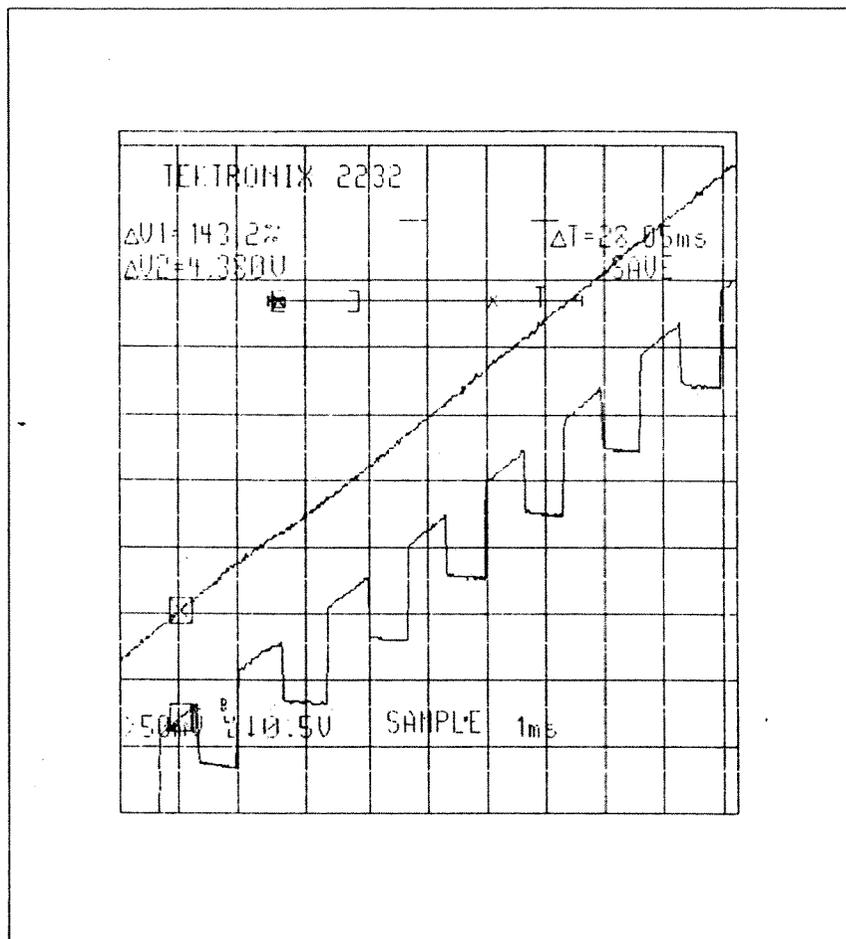


Figura 3.21: Resposta sem a correção de injeção de carga

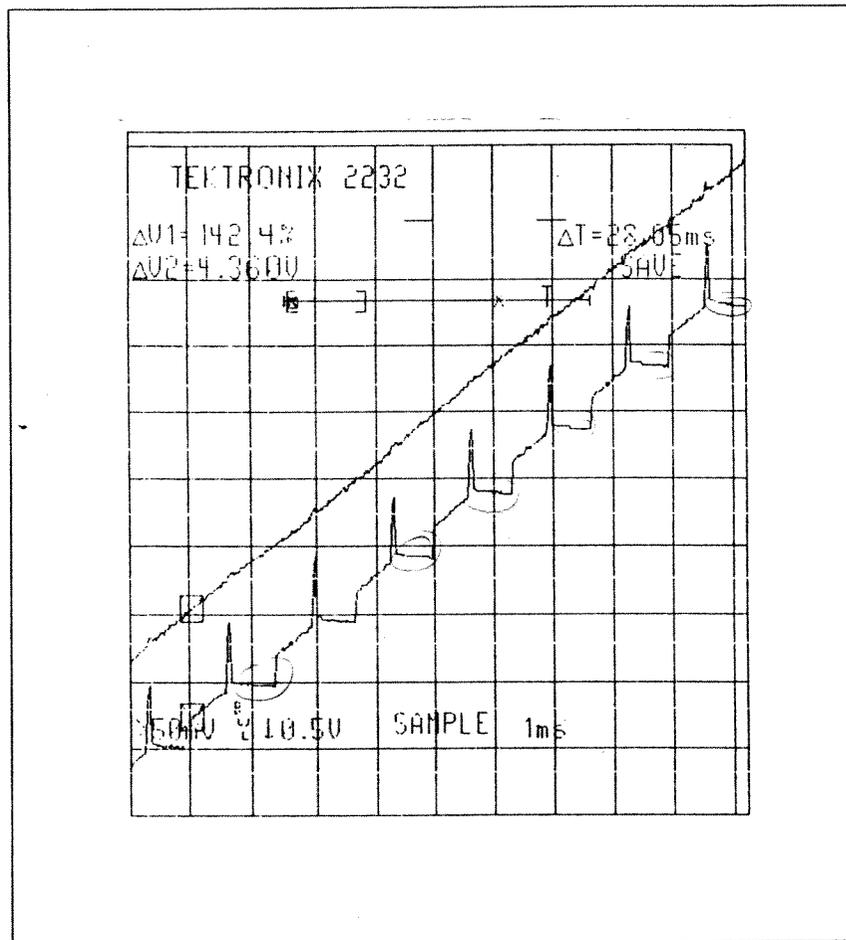


Figura 3.22: Resposta com a correção de injeção de carga

Bibliografia

- [1] R. Gregorian e G. C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, John Wiley & Sons, 1986.
- [2] D. L. Fried, IEEE. JSSC, Vol. SC-7, 302-304 (1972).
- [3] B. J. Sheu e C. Hu, *Switched-Induced error Voltage on a Switched Capacitor*, IEEE. JSSC, Vol. SC-19 N^o 04, agosto (1984).
- [4] W. B. Wilson, H. Z. Massoud, E. J. Swanson, R. T. George Jr. e R. B. Fair, *Measurement and Modeling of Charge Feedthrough in n-Channel MOS Analog Switches*, IEEE. JSSC, SC-20 N^o 06, dezembro (1985).
- [5] B. J. Sheu, J. Shieh e M. Patil, *Modeling Charge Injection in MOS Analog Switches*, IEEE. Transactions on Circuits and Systems. CAS-34 N^o 02, fevereiro (1987).
- [6] J. Shieh, M. Patil e B. Sheu, *Measurement and Analysis of Charge Injection in Analog MOS Switches*, IEEE. JSSC, Vol. SC-22 N^o 02, abril (1987).
- [7] G. Wegmann, E. A. Vittoz e F. Rahali, *Charge Injection in Analog MOS Switches*, IEEE. JSSC, Vol. SC-22 N^o 06, dezembro (1987).
- [8] E. A. Vittoz, *Design of MOS -VLSI Circuits for Telecommunications*, Capítulo 5.
- [9] Meyer, *Meyer Charge Model*, Advanced Apex Reference Manual abril (1992).
- [10] P. Van Peteghem e W. S. Kath, *Single versus Complementary Switch: A discussion of Clock Feedthrough in S. C. Circuits*, ESSCIRC'86. Delft - Holanda.
- [11] E. H. Nicollian e J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, John Wiley & Sons, 1982.
- [12] E. A. Vittoz, *Microwatt Switched Capacitor Circuit Design*, Electrocomponent Science and Technology, Vol.09 263-273 (1982).

4.2 Sugestões

No sentido de dar continuidade ao estudo do fenômeno de injeção de carga, como sugestões temos:

- A implementação de um circuito totalmente integrado, inclusive o circuito para aquisição das medidas;
- Uma investigação profunda no sentido de se obter um modelo físico aprimorado para o estudo da injeção de carga.

4

Análises e Conclusões

4.1 Conclusões

Neste trabalho fizemos uma investigação sobre o fenômeno de injeção de cargas em chaves analógicas MOS, que ocorre durante a transição de abertura das mesmas.

No capítulo 1, situamos o problema da injeção de cargas, mencionando o conhecimento já divulgado na literatura.

No capítulo 2, fizemos um estudo sobre a formação de cargas no canal do transistor MOS, obtendo a equação do transistor, e uma análise sobre o fenômeno de injeção, com base na literatura existente.

Todo o trabalho experimental está exposto no capítulo 3, onde levantamos, através de simulações e experimentos as curvas para análise do fenômeno de injeção de carga, que só foi possível após tomarmos todas as precauções para evitar efeitos parasitários e ruído.

Verificamos, experimentalmente, a linearidade existente entre a tensão erro que surge no capacitor de armazenamento e a tensão de entrada a ser amostrada. A partir disso, foi possível propor uma técnica que se mostrou bastante eficaz para corrigirmos a tensão erro v_L .

As medidas efetuadas com essa técnica apresentaram um erro de aproximadamente $\pm 0,5\text{mV}$, o que comprova essa eficácia.

Propomos, também, um outro circuito que permite a “previsão” de injeção de carga no capacitor de armazenamento C_L . Entretanto, essa configuração, que apesar de ter sido implementada, não foi caracterizada em consequência do não funcionamento dos circuitos implementados através do PMUCMOS05.

- [13] C. Eichenberger e W. Guggenbühl, *Dummy Transistor Compensation of Analog MOS Switches*, IEEE, JSSC. Vol 24 N^o 04, agosto (1989).
- [14] C. Eichenberger e W. Guggenbühl, *Charge Injection of Analogue CMOS Switches*, IEE Proceedings-G, Vol. 138 N^o 02, abril (1991).
- [15] D. MacQuigg, *Residual Charge on a Switched Capacitor*, IEEE, JSSC. Vol. SC-18 N^o 06, dezembro (1983).
- [16] P. Antongnetti e G. Massobrio, *Semiconductor Device Modeling with Spice*, McGraw-Hill Book Company, 1988.
- [17] *Handling and Design Guidelines*, Motorola.
- [18] *Pspice Electrical Circuit Simulator*, MicroSim Corp., Tustin CA, 1984.
- [19] *Spice3 Ver. 3D2, User's Manual*, Depto. of Electrical Engineering and Computer Sciences. University of California, Berkeley CA, 1990.
- [20] *User's Guide of Construct, Valid*.
- [21] Y. P. Tsvividis, *Operation and Modeling of The MOS Transistor*, McGraw-Hill International Editions, 1988.
- [22] B. Waldman, *Curso de pós-graduação sobre o Sistema MOS (Notas de Aula)*.
- [23] P. E. Allen e D. R. Holberg, *CMOS Analog Circuit Design*, HRW Series in Electrical and Computer Engineering.
- [24] S. M. Sze, *Physics of Semiconductor Devices*, Second Edition, John Wiley & Sons.
- [25] P. R. Gray e R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Second Edition, John Wiley & Sons, 1984.
- [26] G. Wegman, *Design and Analysis Techniques for Dynamic Current Mirrors*, PhD thesis, Ecole Polytechnique Federal de Lausanne. Lausanne, 1990.
- [27] R. F. Coughlin e R. S. Villanucci, *Introductory Operational Amplifiers and Linear ICs - Theory and Experimentation*, Prentice Hall International Editions, 1990.
- [28] E. A. Vittoz, *The Design of High Performance Analog Circuits on Digital CMOS Chips*, IEEE JSSC, Vol. SC-20, no.3, pp.657-665. junho de 1985.

A

Parâmetros Spice e Tabelas

A.1 Simulação Pspice

O circuito básico para as simulações realizadas é o que se segue:

```
CIRCUITO PARA ANALISE DE INJECAO DE CARGA.  
*  
*PARAMETRO XQC < 0.5  
*  
.TRAN 0.1NS 800NS  
*  
* FONTES  
*  
VS 1 0 DC 0V  
VG 2 0 PULSE(5V -5V 300NS 30NS 30NS 300NS 660NS)  
*  
* CAPACITORES  
*  
CAP1 1 0 19.66nF  
CAP2 3 0 19.66nF  
*  
* TRANSISTOR CHAVE  
* D G S B TIPO DIMENS.  
*  
M1 3 2 1 0 N W=200U L=10U
```

```

*
*MODELO DO TRANSISTOR
*
.MODEL N NMOS (LEVEL=2 TOX=2.5E-8 VTO=0.7 LD=0.125U NSUB=2E+16
+   GAMMA=0.65 UO=510 UEXP=0.22 UCRIT=24.3K VMAX=54K
+   DELTA=0.40 RSH=55 NEFF=4.0 LAMBDA=0.0 NFS=0.0
+   NSS=0.0 XJ=0.4U CJ=130U MJ=0.53 CJSW=620P
+   MJSW=0.53 PB=0.68 CGDO=320P CGSO=320P JS=2U XQC=0.499)
.PRINT TRAN V(3)
.PROBE
.END

```

Os parâmetros Spice utilizados em nossas simulações foram os seguintes:

```

*****MOSFET MODEL PARAMETERS*****
*****

```

	N
TYPE	NMOS
LEVEL	2.000
VTO	.700
KP	7.04D-05
GAMMA	.650
PHI	.731
LAMBDA	.00D+00
PB	.680
CGSO	3.20D-10
CGDO	3.20D-10
RSH	55.000
CJ	1.30D-04
MJ	.530
CJSW	6.20D-10
MJSW	.530
JS	2.00D-06
TOX	2.50D-08
NSUB	2.00D+16
NSS	.00D+00
NFS	.00D+00
TPG	1.000
XJ	4.00D-07
LD	1.25D-07
UO	510.000
UCRIT	2.43D+04
UEXP	.220
VMAX	5.40D+04
NEFF	4.000
XQC	.499
DELTA	.400

A.2 Tabelas

Para o levantamento das curvas $\Delta Q/Q_{canal} \times B$, o procedimento adotado foi o que se segue:

- Medimos, com o osciloscópio, para um dado capacitor de armazenamento, a tensão erro v_L ;
- Utilizando a equação (2.43), obtivemos o valor de ΔQ ;
- Com o valor da carga do canal, obtida com a equação (2.22), calculamos a fração $\Delta Q/Q_{canal}$;
- Os valores de B foram obtidos em função dos parâmetros geométricos do transistor chave, capacitores de armazenamento e tensões de porta.

A.2.1 Tabelas das Simulações

Os dados das simulações realizadas estão mostradas nas tabelas (A.1) a (A.3).

Tabela A.1: Simulação para $C_L/C_S = 1$

$\Delta Q/Q_{total}$	B	U (10^6 V/s)
0,47	1,8	0,236
0,49	1,1	0,777
0,49	0,8	1,75
0,49	0,6	3,52
0,49	0,4	6,9

Tabela A.2: Simulação para $C_L/C_S = 12,5$

$\Delta Q/Q_{total}$	B	U (10^6 V/s)
0,82	1,8	0,236
0,77	1,1	0,777
0,68	0,8	1,75
0,62	0,6	3,52
0,57	0,4	6,9

Tabela A.3: Simulação para $C_L/C_S = 0$

$\Delta Q/Q_{total}$	B
0,4	1,4
0,42	1,1
0,44	1,0
0,46	0,9
0,47	0,8
0,50	0,5
0,50	0,4

A.2.2 Tabelas dos Experimentos

Os valores obtidos para a tensão erro introduzida pelo canal do transistor MOS no capacitor de carga, em função dos parâmetros estudados, estão apresentados nas tabelas (A.4) a (A.6).

Tabela A.4: Resultados experimentais para $C_L/C_S = 12,5$

$\Delta Q/Q_{total}$	B	$U (10^6 \text{ V/s})$
0,84	1,8	0,236
0,79	1,1	0,777
0,74	0,8	1,75
0,70	0,6	3,52
0,67	0,4	6,9

Tabela A.5: Resultados experimentais para $C_L/C_S = 0,954$

$\Delta Q/Q_{total}$	B	$U (10^6 \text{ V/s})$
0,51	1,8	0,236
0,53	1,1	0,777
0,53	0,8	1,75
0,53	0,6	3,52
0,53	0,4	6,9

Tabela A.6: Resultados experimentais para $C_L/C_S = 0$

$\Delta Q/Q_{total}$	B
0,37	1,4
0,42	1,1
0,44	1,0
0,47	0,9
0,50	0,8
0,51	0,5
0,51	0,4

A.2.3 Resultados da Compensação

Os resultados apresentados nas tabelas (A.7) a (A.10), foram obtidos com os resistores R_S para as curvas experimentais de compensação.

Tabela A.7: $v_L \times V_S$, $C_L = 330$ pF, $R_S = 1$ k Ω e $V_B = 0$

V_S (V)	v_L (V)
$201,9 \times 10^{-3}$	$51,5 \times 10^{-3}$
$503,0 \times 10^{-3}$	$49,5 \times 10^{-3}$
$1002,8 \times 10^{-3}$	$46,7 \times 10^{-3}$
$1600,1 \times 10^{-3}$	$43,8 \times 10^{-3}$
$2002,5 \times 10^{-3}$	$41,7 \times 10^{-3}$
$2503,1 \times 10^{-3}$	$39,6 \times 10^{-3}$
$3004,4 \times 10^{-3}$	$37,1 \times 10^{-3}$
$3501,2 \times 10^{-3}$	$34,9 \times 10^{-3}$
$3801,0 \times 10^{-3}$	$33,5 \times 10^{-3}$

A partir de medidas feitas com o voltímetro, obtivemos os resultados para os incrementos δ_v , que estão mostrados nas tabelas (A.9) e (A.10).

Tabela A.8: Tensão $v_L \times V_S$, $C_L = 330$ pF, $R_S = 1$ k Ω e $V_B = V_S$

V_S (V)	v_L (V)
$201,9 \times 10^{-3}$	$51,6 \times 10^{-3}$
$503,0 \times 10^{-3}$	$50,0 \times 10^{-3}$
$1002,8 \times 10^{-3}$	$47,7 \times 10^{-3}$
$1600,1 \times 10^{-3}$	$44,9 \times 10^{-3}$
$2002,5 \times 10^{-3}$	$43,3 \times 10^{-3}$
$2503,1 \times 10^{-3}$	$41,5 \times 10^{-3}$
$3004,4 \times 10^{-3}$	$39,0 \times 10^{-3}$
$3501,2 \times 10^{-3}$	$37,0 \times 10^{-3}$
$3801,0 \times 10^{-3}$	$35,7 \times 10^{-3}$

Tabela A.9: Tensão $\delta_v \times V_S$ ($V_B = 0$)

V_S (V)	δ_v (V)
$201,9 \times 10^{-3}$	$50,5 \times 10^{-3}$
$503,0 \times 10^{-3}$	$49,3 \times 10^{-3}$
$1002,8 \times 10^{-3}$	$47,2 \times 10^{-3}$
$1600,1 \times 10^{-3}$	$43,7 \times 10^{-3}$
$2002,5 \times 10^{-3}$	$41,5 \times 10^{-3}$
$2503,1 \times 10^{-3}$	$39,4 \times 10^{-3}$
$3004,4 \times 10^{-3}$	$37,0 \times 10^{-3}$
$3501,2 \times 10^{-3}$	$34,0 \times 10^{-3}$
$3801,0 \times 10^{-3}$	$33,1 \times 10^{-3}$

Tabela A.10: Tensão $\delta_v \times V_S$ ($VB = VS$)

V_S (V)	δ_v (V)
$201,9 \times 10^{-3}$	$51,6 \times 10^{-3}$
$503,0 \times 10^{-3}$	$50,2 \times 10^{-3}$
$1002,8 \times 10^{-3}$	$47,4 \times 10^{-3}$
$1600,1 \times 10^{-3}$	$44,7 \times 10^{-3}$
$2002,5 \times 10^{-3}$	$43,2 \times 10^{-3}$
$2503,1 \times 10^{-3}$	$41,2 \times 10^{-3}$
$3004,4 \times 10^{-3}$	$39,3 \times 10^{-3}$
$3501,2 \times 10^{-3}$	$36,4 \times 10^{-3}$
$3801,0 \times 10^{-3}$	$34,9 \times 10^{-3}$

A.3 Cálculos para as Curvas de Compensação

A seguir, apresentamos os procedimentos de cálculos realizados para obtenção das curvas de compensação, apresentadas no capítulo 3.

A.3.1 Cálculos para R_X e V_{REF}

Para nossos cálculos, partimos da figura (3.18). Assim:

1. Para $V_B = 0$, fizemos uma regressão linear a partir dos pontos experimentais e encontramos a seguinte equação:

$$\delta_v = 0,05167592 - 0,0048927V_S$$

Com $R_S = 1\text{k}\Omega$, utilizamos as equações (3.10) e (3.11). Assim:

$$R_X = 203,384\text{k}\Omega$$

$$V_{REF} = 10,561\text{V}$$

2. Para $V_{BS} = 0$, utilizamos o mesmo procedimento e encontramos:

$$\delta_v = 0,05196808 - 0,0043422V_S$$

Com $R_S = 1\text{ k}\Omega$, e utilizando, também, as equações (3.10) e (3.11) encontramos:

$$R_X = 229,415\text{ k}\Omega$$

$$V_{REF} = 11,97\text{V}$$

