

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DEPARTAMENTO DE MICRONDAS E ÓPTICA

Este exemplar corresponde a redação final da tese
defendida por.....
..... e aprovada pela Comissão
Julgada em: 04 / 08 / 2000
.....
Orientador

CIRCUITO MULTIPLEXADOR DE 4 BITS, LÓGICA DCFL,
TECNOLOGIA DE GaAs, APLICADO EM COMUNICAÇÃO
DE DADOS, NUMA REDE SONET/SDH

IVO CARVALHO SILVA JÚNIOR

Orientador: Prof. Dr. Luiz Carlos Kretly

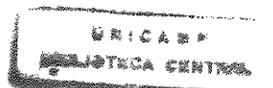
Tese apresentada a FEEC da Universidade Estadual de
Campinas como parte dos requisitos necessários para
obtenção do título de Doutor em Engenharia Elétrica

Banca Examinadora

Luiz Carlos Kretly – FEEC/UNICAMP
Evandro Mazina Martins – DEL/UFMS
Luis Eugênio Monteiro de Barros Júnior – IFGW/UNICAMP
Aldário Chrestani Bordonalli – FEEC/UNICAMP
Edson Moschim – FEEC/UNICAMP

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

- 4 de Agosto de 2000 -



2000/08/04

UNIVERSIDADE BC
N.º CHAMADA: I/UNICAMP
Si 38c
Ex.
OMBO BC/ 43510
ROC. 16-392102
C D
RECIBO R\$11,00
DATA 31/01/02
I.º CPD



CM-00153333-7

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

Si38c

Silva Júnior, Ivo Carvalho

Circuito multiplexador de 4 bits, lógica DCFL, tecnologia de GaAs, aplicado em comunicação de dados, numa rede SONET/SDH / Ivo Carvalho Silva Júnior.-- Campinas, SP: [s.n.], 2000.

Orientador: Luiz Carlos Kretly.

Tese (doutorado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Arsenieto de gálio. 2. Sistemas de transmissão de dados. 3. Comunicações digitais. 4. Telecomunicações. 5. Multiplexação. I. Kretly, Luiz Carlos.
- II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

RESUMO

A ênfase desta tese é em transmissão de dados e sistemas de telecomunicação e prioriza circuitos de baixa potência, ainda que de alta velocidade. As opções tecnológicas existentes para aplicações digitais na faixa de 100 MHz até 1 GHz são as famílias ECL em silício, DCFL em arseneto de gálio (GaAs), bem como ASICs CMOS realizados em processos avançados de Si, e somente as duas últimas podem proporcionar baixos consumos de potência. Em GaAs, DCFL é a principal opção de família digital de baixa potência.

Multiplexadores, são blocos importantes em circuitos de telecomunicações. Nos Mux feitos em tecnologias rápidas tais como ECL ou DCFL, poucas formas de multiplexação costumam estar disponíveis. Neste trabalho, descreve-se o projeto *full-custom* de um CI Mux, realizado na família DCFL de GaAs.

Este circuito Mux está na topologia "tree-type architecture". Foi escolhida essa arquitetura pois ela assegura uma operação estável e usa um divisor dinâmico que opera numa faixa de frequência maior. A principal vantagem da arquitetura em árvore é seu potencial para operação em alta velocidade, especialmente onde FFD de retemporização não é usado (usado em arquitetura que usam registradores de deslocamento). Nesta arquitetura não se usa linhas de atraso, que são difíceis de estimar e projetar com exatidão, e ainda consomem muita área. A aplicação mais comum para este circuito é em equipamentos de comunicações de dados (ECD). Todos os circuitos foram simulados em HSPICE operando em taxas de até 1GHz, com uma capacitância de carga de 5pF na saída, e com uma fonte alimentação de 2V.

O protótipo do CI Mux será implementado na tecnologia de MESFETs **HGaAs-III**, com comprimento de porta de 0,6 μm , pela *foundry* Norte-Americana Vitesse, por intermédio do Projeto Multi-Usuário brasileiro (PMU/FAPESP) em cooperação com o CMP francês. A área total do chip é de 26,69 mm^2 (6,96mm x 3,83mm), incluindo o *gig* de testes.

Quando os protótipos estiverem prontos, os resultados de testes em bancada serão comparados com simulações, literatura e finalmente publicados.

Esta tese de doutorado pretende ser um guia para futuros projetistas de CIs, apresentando um roteiro bastante didático das etapas de um trabalho de projeto. O CI escolhido para esse fim foi um Mux muito complexo, em VLSI (mais de 800 transistores), por causa de um controle de temporização muito rigoroso dos sinais internos desse CI.

UNICAMP
BIBLIOTECA CENTRAL
SECÇÃO CIRCULANTE

ABSTRACT

The emphasis of this thesis is on the data transmission operation and communication systems, and has placed a priority on low-power and high-speed circuits. The existing viable technologies for digital applications in the range from 100 MHz up to 1 GHz are Si ECL and GaAs DCFL families, as well as high-speed CMOS ASICs implemented in advanced Si processes. Only the last two options offer low power consumption. In GaAs technology, DCFL is the main choice for a low-power digital family.

Multiplexers, are important component blocks in telecommunication circuits. In Mux made in fast technologies such as ECL or DCFL, just a few different division ratios are usually available. In this work, a MUX IC was designed in the GaAs DCFL family. This work describes the full-custom design procedures for this IC, starting from its logic design, until the completion of the final layout version.

The Mux circuit topology is the tree-type architecture which has been chosen because it assures reliable operation and uses a dynamic divider with a wide operating range. The main advantage of the tree type architecture is the potential for high speed, especially when the output retiming DFF is excluded (used in shiftregister architecture), while the need for delay lines is inconvenient, i.e. it is difficult to estimate and design accurate lines (using gates as well as transmission lines). Furthermore, in case transmission lines are used for delays, considerable area is required, and if gate delays are used, power will be also dissipated. The usual applications of this circuit are in equipment of data transmission used in network computers, like ECD, Equipment of Communication Data. All the circuit operating configurations were simulated in the HSPICE software, and the results show MUX operation with rates up to 1 GHz, with 5pF total load capacitances in its outputs with a 2V power supply voltage.

The Mux IC prototype will be manufactured in the HGaAs-III MESFET technology, featuring 0.6 μm gate lengths, by the North-American foundry Vitesse Semiconductor, specialized in GaAs ASICs manufacturing, via Brazilian multi-user-projects (PMU/FAPESP) cooperation with the French CMP. The total chip area is 26,69mm² (6,96mm x 3,83mm). This chip area includes a test circuit.

When the IC prototypes arrive, it will be tested and the results will be compared to the simulations, literature and finally published.

This PhD thesis aims to be a guideline for future GaAs IC designers, presenting a very didactic outline of the steps of a design effort. To maintain this purpose, the chosen IC was a LSI (more than 800 transistors) with a large complexity level, because the precise control timing of the internal signal for stable operation of this IC.

AGRADECIMENTOS

A todos os meus irmãos, principalmente a Betty, Nuna, Lena, Bela e Lina pelo constante apoio e dedicação;

A meu orientador, Prof. Dr. Luiz Carlos Kretly;

À CAPES, pela bolsa de Doutorado;

À FAPESP, pelo apoio financeiro para fabricação do CI;

Aos meus colegas do DEMIC , DMO e CCS pelo constante apoio durante a elaboração desta tese: Ademilde Félix, Emílio C. Bertolucci, Daniel Cardoso, Daniel Lara, Luís Carlos, Nelmo e Paulo H. Machado.

CONTEÚDO

| | |
|---|-----|
| LISTA DE SIGLAS, GLOSSÁRIO E ABREVIACÕES | vii |
| LISTA DE SÍMBOLOS | xi |
| REDE SONET | 1 |
| Introdução 1 | |
| Aspectos Gerais sobre a Rede SONET | 2 |
| | |
| CAPÍTULO 1 : ESCOLHA DO CIRCUITO MUX | 5 |
| 1.1. Introdução | 5 |
| 1.2. Multiplexação TDM | 6 |
| 1.3. Mecanismo pelo Qual o Meio é Posto à Disposição para Transmissão | 7 |
| 1.4. Multiplexação FDM | 9 |
| 1.5. Comparação entre o FDM e o TDM | 10 |
| 1.6. TDM de Dados | 12 |
| 1.7. Entrelaçamento de Bits e Bytes | 12 |
| 1.8. Envelope | 13 |
| 1.9. TDM para Sinais de Dados Síncronos | 16 |
| 1.10. Multiplexador de Alta Velocidade de Multiplexação | 19 |
| 1.11. Topologia Árvore | 20 |
| 1.12. Diagrama do Tempo do MUX 2:1 | 21 |
| | |
| CAPÍTULO 2 : ESCOLHA DA TECNOLOGIA PARA A FABRICAÇÃO DO MUX | 23 |
| 2.1. Introdução | 23 |
| 2.2. A Tecnologia de Silício Versus a Tecnologia de Arseneto de Gálio | 23 |
| 2.3. A Tecnologia de GaAs | 27 |
| 2.3.1. Introdução | 28 |
| 2.3.2. Comparação entre as Tecnologias de GaAs e do Silício | 28 |
| 2.3.2.1. Comparação do Material | 28 |
| 2.3.2.2. Desempenho e Comparação entre Velocidade-Potência-Complexidade | 33 |
| 2.3.2.3. Famílias Lógicas em MESFETs de GaAs | 34 |
| 2.3.2.3.1. Lógica DCFL-Direct Coupled FET Logic | 36 |
| 2.3.2.3.2. Projeto do Inversor Lógico DCFL | 47 |
| | |
| CAPÍTULO 3 : MULTIPLEXADOR DE ALTA VELOCIDADE | 63 |
| 3.1. Introdução | 63 |
| 3.2. Circuitos Básicos que Compõem o Multiplexador | 63 |
| 3.2.1. Circuito MS | 64 |
| 3.2.2. Circuito PS | 65 |

| | |
|---|------------|
| 3.2.3. Circuito SMS | 66 |
| 3.2.4. Circuito SPS | 67 |
| 3.2.5. Circuito Seletor | 68 |
| 3.2.6. Circuito Divisor Dinâmico | 69 |
| 3.2.7. Circuito Divisor Estático por 2 | 72 |
| 3.2.8. Projeto de Drivers SDCFL e Buffers de Entrada | 73 |
| 3.2.8.1. Projeto de Portas Lógicas SDCFL | 73 |
| 3.2.8.2. Projeto dos Buffers de Entrada | 86 |
| CAPÍTULO 4 : PROJETO DO MULTIPLEXADOR | 88 |
| 4.1. Introdução | 88 |
| 4.2. Projeto do Circuito MS | 88 |
| 4.3. Projeto do Circuito PS | 90 |
| 4.4. Projeto do Circuito SMS | 90 |
| 4.5. Projeto do Circuito SPS | 91 |
| 4.6. Projeto do Circuito SEL | 92 |
| 4.7. Projeto do Circuito Divisor Estático por 2 | 93 |
| 4.8. Projeto do Circuito Divisor Dinâmico por 2 | 94 |
| 4.9. Simulações em Hspice | 97 |
| 4.9.1. Circuito FFD | 97 |
| 4.9.2. Circuito PS | 98 |
| 4.9.3. Circuito SMS | 98 |
| 4.9.4. Circuito SPS | 99 |
| 4.9.5. Circuito Divisor Estático por 2 | 100 |
| 4.9.6. Circuito Divisor Dinâmico por 2 | 100 |
| 4.9.7. Circuito Multiplexador | 103 |
| 4.10. Projeto do Multiplexador | 106 |
| 4.11. Layout do Multiplexador | 106 |
| 4.11.1 Metodologia “Ring Notation” | 107 |
| 4.11.1.1. Porta INVERSORA e NOR usando a técnica “Ring Notation” | 108 |
| 4.12. Layouts | 110 |
| 4.12.1. Layout do Subcircuito FFD/MS | 110 |
| 4.12.2. Layout do Subcircuito PS | 110 |
| 4.12.3. Layout do Subcircuito SMS | 112 |
| 4.12.4. Layout do Subcircuito SPS | 112 |
| 4.12.5. Layout do Subcircuito Divisor Estático por 2 | 113 |
| 4.12.6. Layout do Subcircuito Divisor Dinâmico por 2 | 114 |
| 4.12.7. Layout do Subcircuito Seletor de 2 bits | 114 |
| 4.12.8. Layout do Circuito MUX 4:1 | 114 |
| CAPÍTULO 5 : TESTE DO CI | 116 |
| 5.1. Introdução | 116 |
| 5.2. Teste do MUX 4:1 | 116 |
| 5.3. Conclusões e Sugestões para Futuros Trabalhos | 118 |

| | |
|--|-----|
| Apêndice 1 | |
| NETLIST DO MS USADO NA SIMULAÇÃO EM HSPICE | 123 |
| Apêndice 2 | |
| NETLIST DO DIVISOR ESTÁTICO USADO NA SIMULAÇÃO EM HSPICE | 126 |
| Apêndice 3 | |
| NETLIST DO DIVISOR DINÂMICO USADO NA SIMULAÇÃO EM HSPICE | 130 |
| Apêndice 4 | |
| LAYOUT DO MUX4:1 USADO NA SIMULAÇÃO EM HSPICE | 132 |
| Apêndice 5 | |
| LAYOUT DO CIMUX4:1 USADO NA SIMULAÇÃO EM HSPICE | 135 |
| Referências Bibliográficas | 136 |

LISTA DE SIGLAS, GLOSSÁRIO E ABREVIACÕES

ASIC: *Application-Specific Integrated Circuit* (Circuito Integrado de Aplicação Específica).

BDCFL: *Buffered DCFL* (DCFL “Bufferizada”).

BFL: *Buffered FET Logic* (Lógica FET com Buffer).

BiCMOS: *Bipolar-CMOS*.

BISDN: Broadband Integrated Services Digital Network

Caltech: *California Institute of Technology* (Instituto de Tecnologia da Califórnia).

CCS: Centro de Componentes Semicondutores.

CDFL: *Capacitor-Diode FET Logic* (Lógica FET de Capacitor e Diodo).

CI: Circuito Integrado.

CIF: *Caltech Interchange Format* (Formato para Intercâmbio do Caltech).

CML: *Current-Mode Logic* (Lógica em Modo de Corrente).

CMOS: *Complementary MOS* (MOS Complementar).

CMP: *Circuits Multi-Projets* (Circuitos Multi-Projetos).

DBS: *Direct Broadcast Satellite* (Satélite de Radiodifusão Direta).

DCFL: Direct Coupled Fet Logic

DCTL: *Direct-Coupled Transistor Logic* (Lógica de Transistores de Acoplamento Direto).

DEMUX: Demultiplexador

DFET: *Depletion FET* (FET de Depleção).

D.P: *Delay x Power product* (produto atraso x potência).

ECL: *Emitter-Coupled Logic* (Lógica com Acoplamento de Emissor).

EDA: *Electronic Design Automation* (Automação de Projeto Eletrônico).

EFET: *Enhancement FET* (FET de Enriquecimento).

FDM: Frequency Divison Multiplexing

FET: *Field-Effect Transistor* (Transistor de Efeito de Campo).

FF: Flip-Flop.

FL: *FET Logic* (Lógica de FET).

GaAs: Arseneto de Gálio

GPS: *Global Positioning System* (Sistema de Posicionamento Global).

GSI: *Graphical Simulation Interface* (Interface de Simulação Gráfica).

HBT: *Heterojunction Bipolar Transistor* (Transistor Bipolar de Heterojunção).

HDTV: *High-Definition TeleVision* (Televisão de Alta Definição).

HEMT: *High Electron Mobility Transistor* (Transistor de Alta Mobilidade Eletrônica).

IGFET: *Insulated-Gate FET* (FET de Porta Isolada).

I/O: *Input/Output* (Entrada/Saída).

JFET: *Junction FET* (Transistor de Efeito de Campo de Junção).

LBFL: *Low-power BFL* (BFL de Baixa Potência).

LDCC: *LeaDed Ceramic chip Carrier* (Porta-chip Cerâmico com Pinos).

LED: *Light-Emitting Diode* (Diodo Emissor de Luz).

LSCFL: *Low-power SCFL* (SCFL de Baixa Potência).

LSI: *Large-Scale Integration* (Integração em Alta Escala).

MCM: *Multi-Chip Module* (Módulo Multi-Chips).

MES: *MEtal-Semiconductor* (Metal-Semicondutor).

MESFET: *MEtal-Semiconductor FET* (Transistor de Efeito de Campo de Junção Metal-Semicondutor).

MMIC: *Monolithic Microwave Integrated Circuit* (Circuito Integrado Monolítico de Microondas).

MOS: *Metal-Oxide-Semiconductor* (Metal-Óxido-Semicondutor).

MS: *Master-Slave* (Mestre-Escravo).

MUX: Multiplexador

MSI: *Medium-Scale Integration* (Integração em Média Escala).

NMOS: *N-channel MOS* (MOS de Canal N).

PCS: *Personal Communications Services* (Serviços de Comunicação Pessoal).

PLD: *Programmable Logic Device* (Dispositivo Lógico Programável).

PLL: *Phase-Locked Loop* (Malha de Fase Travada).

PML: *Philips Microwave Limeil*.

PMU: Projeto Multi-Usuário.

PS: Phase –Shifting

SBD: *Schottky-Barrier Diode* (Diodo de Barreira Schottky).

SCFL: *Source-Coupled FET Logic* (Lógica FET com Acoplamento pela Fonte).

SDFL: *Schottky Diode-FET Logic* (Lógica FET com Diodo Schottky).

SDH: *Synchronous Digital Hierarchy* (Hierarquia Digital Síncrona).

SI: *Semi-Insulating* (Semi-Isolante).

STS-1: Synchronous Transport Signal básico (51,84 Mbps)

SMS: MS com seletor de bits

SPS: PS com seletor de bits

STS-N: Múltiplos de STS-1

SOI: *Silicon On Insulator* (Silício Sobre Isolante).

SDH : Synchronous Digital Hierarchy

SONET: *Synchronous Optical NETwork* (Rede Óptica Síncrona).

SPEC: *Systems and Processes Engineering Corporation* (Corporação de Sistemas e Processos de Engenharia).

SPICE: *Simulation Program with Integrated Circuit Emphasis* (Programa de Simulação com Ênfase em Circuitos Integrados).

SSI: *Small-Scale Integration* (Integração em Pequena Escala).

TDM: Time Division Multiplexing

TTL: *Transistor-Transistor Logic* (Lógica Transistor-Transistor).

UHF: *Ultra High Frequency* (Frequência Ultra Alta).

VHSIC: *Very High Speed Integrated Circuit* (Circuito Integrado de Velocidade Muito Alta).

VLSI: *Very Large-Scale Integration* (Integração em Escala Muito Alta).

LISTA DE SÍMBOLOS

A = área da seção transversal de um diodo; área de porta de um MESFET; área da seção transversal de uma linha de interconexão.

β = razão entre as razões $W_g/L_{g,proj}$ dos EFETs e DFETs, na lógica DCFL.

β_0 = parâmetro de transcondutância de um MESFET.

c = velocidade da luz no vácuo ($3 \cdot 10^8$ m/s).

C_D = capacitância de depleção de uma junção MES ou pn.

C_{FO} = capacitância devida ao *fan-out* na saída de uma porta.

C_{GS} , C_{GD} = capacitâncias de depleção (não-lineares) das junções de porta-fonte e porta-dreno de um FET.

C_{GSP} , C_{GDP} , C_{DSP} = capacitâncias parasitas entre os terminais de porta e fonte, porta e dreno e dreno e fonte, respectivamente.

C_{in} = capacitância de entrada de uma porta lógica.

C_{j0} = capacitância de depleção de uma junção não-polarizada.

C_L = capacitância de carga na saída de uma porta ou circuito lógicos.

C_{wire} = capacitância parasita total de uma linha de interconexão.

E = campo elétrico no canal de um FET.

E_c = valor do campo elétrico crítico para a máxima velocidade dos elétrons.

ϵ_r = constante dielétrica.

f = prefixo fento (10^{-15}); frequência de operação de um circuito.

FI: *fan-in*.

FO: *fan-out*.

f_t = frequência de ganho de corrente unitário de um FET.

g_{ds} = condutância entre dreno e fonte de um FET.

g_m = transcondutância de um FET.

$g_{m,e}$ = transcondutância extrínseca de um FET.

$g_{m,i}$ = transcondutância intrínseca de um FET.

I = corrente genérica.

I_D = corrente direta de um diodo; corrente de dreno de um FET.

$I_{D,D}$ = corrente de dreno de um DFET.

$I_{D,E}$ = corrente de dreno de um EFET.

$I_{D,sat}$ = corrente de saturação de um FET.

I_{GS} = corrente da junção de porta-fonte de um MESFET.

I_{maxP2} = corrente máxima em um pad que seja ligado ao circuito por “metal 2”.

I_{maxP3} = corrente máxima em um pad que seja ligado ao circuito por “metal 3”.

I_{maxP4} = corrente máxima em um pad que seja ligado ao circuito por “metal 4”.

I_S = corrente de saturação do diodo.

I_{SUB} = corrente de sub-limiar do MESFET.

J_D = designação de um DFET em circuitos, e para simulação no HSPICE.

J_E = designação de um EFET em circuitos, e para simulação no HSPICE.

J_s = densidade de corrente na seção transversal de um diodo.

k = constante de Boltzmann ($1,381 \times 10^{-23}$ J/K); fator de escalonamento linear de um circuito.

L = comprimento de uma interconexão do circuito; o comprimento de um resistor (da área ativa); a indutância de uma interconexão do circuito.

λ = parâmetro de modulação do comprimento do canal.

L_D = comprimento de porta de um DFET (valor de projeto).

L_E = comprimento de porta de um EFET (valor de projeto).

L_g = valor real do comprimento de porta de um FET; o comprimento de um diodo.

$L_{g,proj}$ = valor de projeto do comprimento de porta de um FET; valor de projeto do comprimento de um diodo.

n = idealidade ou coeficiente de emissão de um diodo; ou o número de entradas que chaveiam simultaneamente em uma porta NOR.

MUX: Multiplexador

NM = margem de ruído.

NM_H = margem de ruído alta ($NM_H = V_{OH} - V_{IH}$), conforme a figura 3.1.

NM_L = margem de ruído baixa ($NM_L = V_{IL} - V_{OL}$), conforme a figura 3.1.

$P_{D, dyn}$ = dissipação de potência dinâmica.

$P_{D, st}$ = dissipação de potência estática.

pw = largura do ciclo positivo de um sinal (*pulse width*).

q = carga do elétron ($1,6 \cdot 10^{-19}$ C).

R = resistência de um resistor do *chip*.

R_D = resistência parasita série de dreno de um FET.

r_{ds} = resistência de pequenos sinais entre dreno e fonte de um FET.

R_L = resistência de carga na saída de um circuito, para simulação.

R_{out} = resistência de saída de uma porta lógica ou *driver*.

R_s = resistência de folha de uma camada de interconexão.

R_S = resistência parasita série de fonte de um FET; resistência série de um SBD.

R_{wire} = resistência série de uma trilha de interconexão.

t = espessura de uma linha de interconexão.

T = temperatura absoluta.

τ = período de um sinal.

Δt = o intervalo de tempo de carga ou descarga de um capacitor.

t_{HL} = tempo de transição de um sinal do nível alto para o baixo.

t_{LH} = tempo de transição de um sinal do nível baixo para o alto.

t_{PD} = atraso de propagação de um sinal em um circuito lógico, definido como a média entre t_{PHL} e t_{PLH} .

$t_{PD,LT}$ = atraso de propagação de um sinal em uma linha de transmissão.

t_{PHL} = atraso de propagação de um sinal, para a saída variando do nível alto para o baixo.

t_{PLH} = atraso de propagação de um sinal, para a saída variando do nível baixo para o alto.

v = velocidade de deriva de portadores de carga.

v_{sat} = valor saturado da velocidade de deriva de portadores de carga.

V_{BG} = tensão de *backgate*.

V_{bi} = tensão da barreira de potencial de uma junção.

V_D = tensão no terminal de dreno de um FET.

$V_{D,e}$ = tensão aplicada sobre um diodo real.

$V_{D,i}$ = tensão aplicada sobre um diodo ideal.

V_{DS} = tensão entre dreno e fonte de um FET.

$V_{DS,sat}$ = tensão entre dreno e fonte para o início da saturação de um FET.

V_F = tensão direta aplicada sobre uma junção MES.

V_G = tensão no terminal de porta de um FET.

v_{gs} = tensão de pequeno sinal entre os terminais de porta e fonte de um FET.

V_{GS} = tensão DC entre os terminais de porta e fonte de um FET.

$V_{GS,e}$ = tensão DC extrínseca entre os terminais de porta e fonte de um FET.

$V_{GS,i}$ = tensão DC intrínseca entre os terminais de porta e fonte de um FET.

V_{IH} = mínima tensão na entrada de um circuito lógico, que este ainda interpretará como um nível lógico alto "1".

V_{IL} = máxima tensão na entrada de um circuito lógico, que este ainda interpretará como um nível lógico baixo “0”.

V_{in} = tensão de entrada em um circuito qualquer.

V_{MS} = margem de ruído segundo o “método do máximo quadrado”.

$V_{MS,H}$ = margem de ruído alta segundo o “método do máximo quadrado”.

$V_{MS,L}$ = margem de ruído baixa segundo o “método do máximo quadrado”.

V_{OH} = tensão típica de nível lógico alto na saída de um circuito lógico.

V_{OL} = tensão típica de nível lógico baixo na saída de um circuito lógico.

V_{out} = tensão de saída de um circuito qualquer.

v_p = velocidade de propagação de um sinal em uma linha de transmissão.

V_{pp} = excursão pico-a-pico de uma tensão.

V_R = tensão reversa aplicada sobre uma junção MES.

V_T = tensão térmica, dada por kT/q .

V_t = tensão de limiar de um FET.

$V_{t,D}$ = tensão de limiar de um FET de depleção.

$V_{t,E}$ = tensão de limiar de um FET de enriquecimento.

W = largura de uma interconexão do circuito; largura de um resistor (da área ativa).

W_D = largura de porta de um DFET.

W_E = largura de porta de um EFET.

W_g = largura de porta de um FET; largura de um diodo.

x_n = altura da região de depleção, abaixo da barreira Schottky de um MESFET ou SBD.

REDE SONET

INTRODUÇÃO

O termo **SONET** são os iniciais em inglês de "Synchronous Optical Network" ou Rede Ótica Síncrona [1,3]. Este é o padrão Americano em sistemas de comunicações ópticas, criada em 1988. O similar Europeu é o SDH [1], "Synchronous Digital Hierarchy" ou Hierarquia Digital Síncrona.

SONET é um sistema de fibra ótica de alta velocidade que proporciona a transmissão de uma informação digital através de uma informação ótica. Em SONET pulsos de luz viaja através de cabos de fibras óticas. Esses pulsos de luz são informações digitais convertidos em informações óticas através de uma conversão eletro-ótica[47]. SONET pode ser comparado com um trem muito grande, carregando vários carros, para destinos diferentes, isto é, vários fretes de uma só vez, com a vantagem de reduzir o custo efetivo do transporte/frete. No caso da SONET esses fretes são sinais de voz, dados ou imagem, tais como fax ou vídeo.

O padrão SONET definiu:

- Taxas de transmissão e os formatos, isto é, como é a disposição dos dados e informações ao serem transmitidos, visando uma alta capacidade de transmissão.
- Camada física
- Características arquitetural dos elementos que compõem a rede
- Critério operacional da rede

O objetivo do projeto SONET é criar um meio pelo qual se possa comunicar entre as diversas redes locais existentes, de uma maneira rápida, segura, eficiente e barata. Por isso, para satisfazer essas exigências, concentrou-se os esforços no desenvolvimento de taxas de transmissão e formatos, procedimento de multiplexação e sincronização da rede e finalmente, no aspecto tempo da transmissão da rede.

A tecnologia SONET pode ser empregada para as novas formas de comunicação tais como HDTV("High Definition Television" ou TV de alta definição), em redes de transmissão de dados de alta velocidade como requer por exemplo, redes privadas, para comunicar em tempo real, de qualquer lugar com as bases, em tornar vídeo conferências disponível a nível mundial, em fim, ter todos esses novos serviços quando é preciso e onde for preciso. SONET pode ser usado como portadora de serviço para a rede ATM ("Asynchronous Transfer Mode") e de certeza, será a rede de distribuição mundial de informação. Um sistema ATM conectará ao sistema SONET através de roteadores espalhados em diversos pontos convenientemente escolhidos, por exemplo, escritórios de companhias.

ASPECTOS GERAIS SOBRE A REDE SONET

As mais diversas redes locais que hoje existem não usam um método padrão para se comunicarem. Por causa dessa diversidade, é muito cara a transmissão entre elas. As principais diferenças entre elas são:

- a) DSH (Digital Signal Hierarchies)
- b) Técnicas de codificação
- c) Estratégias de multiplexação

Como exemplo de sinais digitais diferentes, que podem ser usadas por essas redes, temos o DS1(Digital Stream Level 1) e o CEPT-1(Conference European of Post and Telecommunications Administrations). O sinal DS1 é formado por 24 sinais de voz, 1 “framing bit”(framing bit – é o bit que não leva informação mas é usado para separar os caracteres de um fluxo de bits) por quadro (frame). Tem uma taxa de transmissão de 1,544 Mbps e usa o esquema de codificação AMI(Alternated Mark Inverion), 56 Kbps por canal. Se DS1 usasse o esquema bipolar de violação de código, todos os bits seriam usados na transmissão dos dados e, a taxa de transmissão por canal seria de 64 Kbps. O sinal CEPT-1 é formado por 30 canais de voz e mais 2 canais usados, uma para o “framing” e o outro, para a sinalização. A taxa de transmissão é de 2,048 Mbps e a técnica de codificação é HDB3(High Density Bipolar Code Level 3). A multiplexação desses sinais podem ser também, diferentes. Podem ser por intercalação de bytes ou de bits (“ byte interleaving ou bit interleaving ”).

Transportar um sinal entre redes locais diferentes é uma tarefa muito complicada. Para isso precisamos de circuitos Mux/Demux, Codificador/Decodificador muito difíceis de implementar. Por isso, para resolver este problema foi criada a rede SONET, que padronizou as taxas de transmissão e formatos.

O SONET é formado por um bloco básico chamado STS (“Synchronous Transport Signal”), que é uma interface ótica e tem uma taxa de 51,84 Mbps. STS é formado por STS “payload” (carga útil) que carrega parte da informação do sinal e o STS “overhead”(supervisão) que carrega as sinalizações e o protocolo de informação. O STS payload e o STS overhead comunicam com os nós inteligentes da rede, permitindo assim uma boa administração, vigilância, previsão e controle da rede de um ponto central. Cada bloco STS-1, Fig.1, é um quadro de 810 byte (6480 bits) . SONET transmite 8000 quadros por segundo.

SONET é aplicado em sistema de comunicação que envolve sinais de várias taxas de transmissão e diferentes formatos. Um sinal é convertido em STS, trafega através de várias redes SONET no formato STS, e é levado até um ponto, próximo ao usuário. Daí, através de um PTE (“Path Terminating Equipment”) é convertido ao formato do usuário. A Fig. 2 mostra um exemplo típico de uma rede SONET conexão ponto a ponto.

O PTE é um elemento da Rede SONET que faz o Mux/Demux do sinal STS payload. Nele pode-se dar origem a um STS payload, acessá-lo, modificá-lo, terminá-lo ou ainda fazer uma combinação dessas ações. O PTE pode por exemplo, transformar um sinal DS1(1,544 Mbps), em um sinal STS-1(51,84 Mbps).

O LTE ("Line Terminating Equipment") é outro elemento da Rede SONET . Nele pode-se dar origem e/ou terminar um sinal de linha assim como originar, acessar, modificar ou terminar uma linha de supervisão.

O STE ("Section Terminating Equipment") - Fica entre dois elementos adjacentes da Rede SONET (Fig.1). Pode ser um elemento final da rede ou um regenerador. STE que pode dar origem, acessar, modificar ou terminar a seção overhead, Fig.3, ou pode fazer qualquer combinações dessas ações.

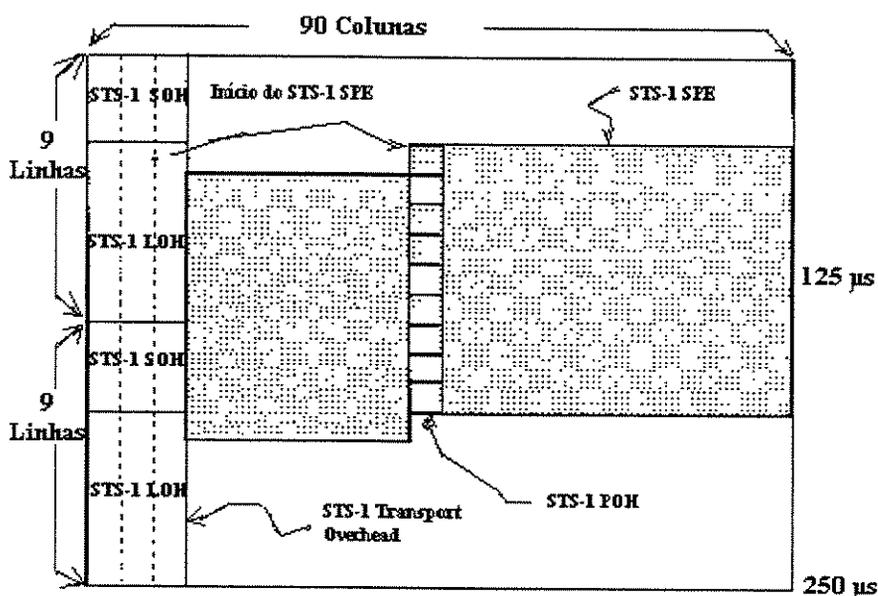


Figura 1 - Estrutura de um bloco básico STS-1

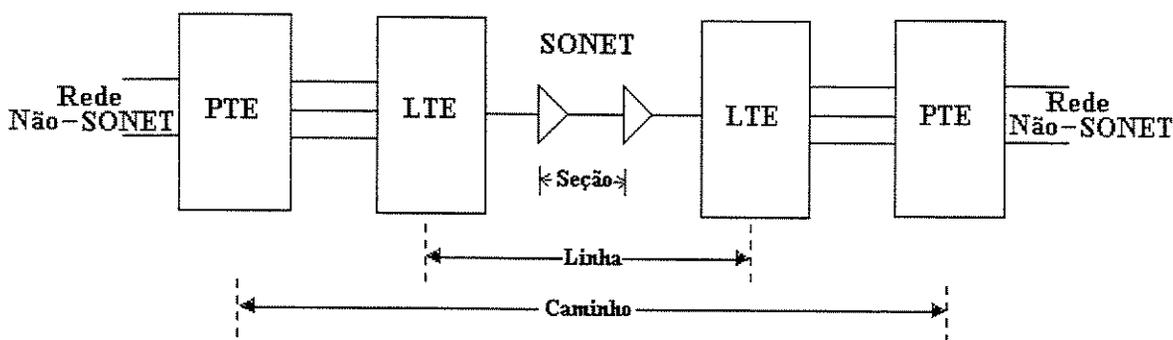


Figura 2 - Rede SONET conexão ponto a ponto

Existem vários tipos de sinais STS, Tabela 1. O padrão SONET definiu sinais desde STS-1 até STS-192. Os sinais não SONET podem ser convertidos em STS-1, que tem uma taxa de transmissão de 51,84 Mbps e portadora óptica OC-1 ("Optical Carrier Level 1"), em STS-3 cuja taxa de transmissão é 3 vezes a de STS-1 e portadora óptica OC-3... até STS-192 cuja taxa de transmissão é de 10 Gbps. Segundo a literatura, dentro do padrão SONET, a faixa mais desenvolvida até agora vai de 51,84 Mbps (STS-1) até 2,488 Gbps (STS-48).

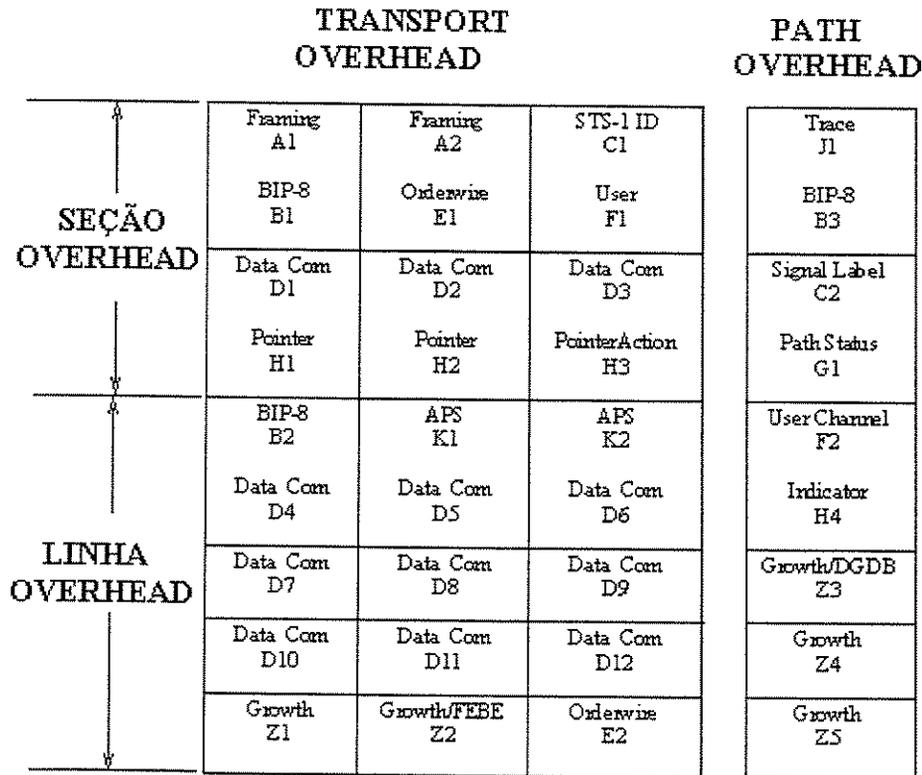


Figura 3 - Estrutura de uma seção "overhead"

Na tabela 1 apresenta-se as taxas de transmissão padrão SONET. O STS-3 é equivalente, por exemplo, ao STM-1 europeu. Os OC-N são as portadoras ópticas correspondente a cada STS. Os sinais **DS** são fluxos de sinais digitais (de bits), "Digital Stream". Um sinal não SONET pode ser transformado num sinal digital no formato DS0s, DS1s e DS3s. Os números 1, 3, ...192, coluna 5 tabela 1, são os níveis que correspondem a cada um dos formatos.

| STS-N ou OC-N | Taxas de Bits (Mbps) | Numero do DS0s | Numero do DS1s | Numero do DS3s |
|------------------|-------------------------|-------------------|-------------------|-------------------|
| 1 | 51.84 | 672 | 28 | 1 |
| 3 | 155.52 | 2.016 | 84 | 3 |
| 6 | 311.04 | 4.032 | 168 | 6 |
| 9 | 466.56 | 6.048 | 252 | 9 |
| 12 | 622.08 | 8.064 | 336 | 12 |
| 18 | 933.12 | 12.096 | 504 | 18 |
| 24 | 1244.16 | 16.128 | 672 | 24 |
| 36 | 1866.24 | 24.192 | 1008 | 36 |
| 48 | 2488.32 | 32.256 | 1344 | 48 |
| 96 | 4976.00 | 64.512 | 2688 | 96 |
| 192 | 9952.00 | 129.024 | 5376 | 192 |

Tabela 1 - Taxas de transmissão padrão SONET[3]

ESCOLHA DO CIRCUITO MUX

1.1. INTRODUÇÃO

A fim de explorar ao máximo a capacidade dos meios de transmissão, principalmente o sistema "B-ISDN", sinais de voz, dados e imagem, foram idealizados sistemas multiplexados, Fig. 4, que permitem transmitir no mesmo meio e na mesma direção todos esses sinais simultaneamente.

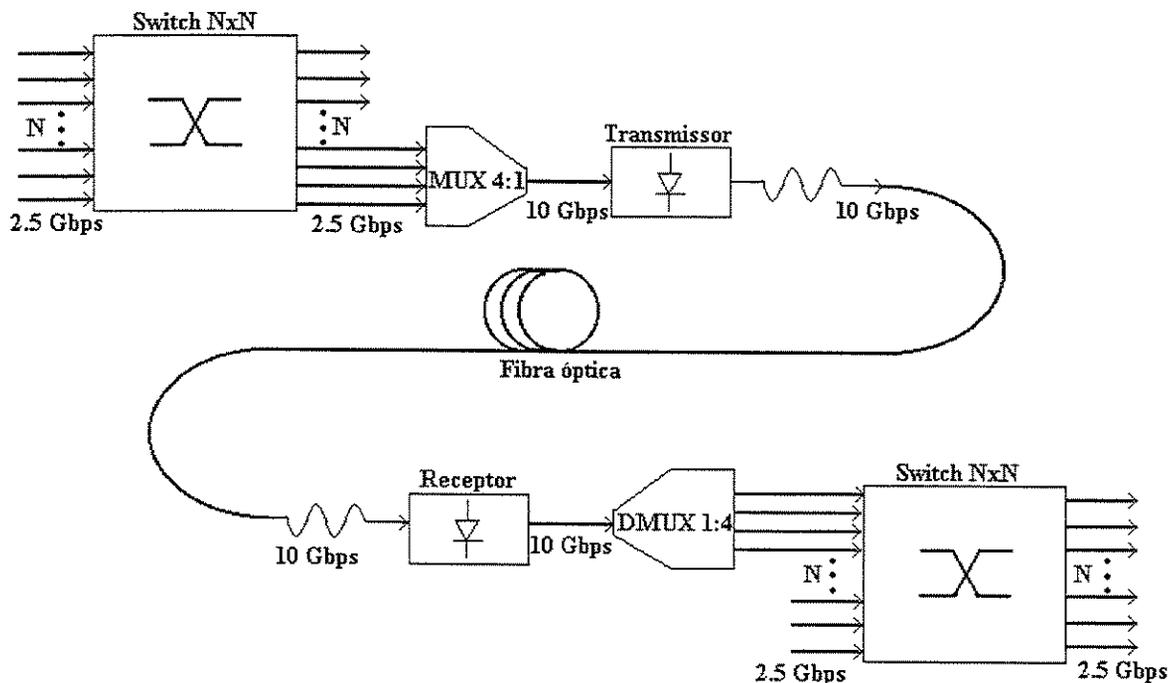


Figura 4 - Diagrama de blocos de um enlace óptico usando um MUX 4:1[4]

Os sinais acima citados podem ser multiplexados no domínio da frequência, FDM, ou no domínio do tempo, TDM[51]. O objetivo é explorar ao máximo a capacidade da fibra óptica que como se sabe, suporta sinais ISDN de faixa larga tais como telefone, comunicação de dados, televisão, etc., e assim baratear o custo de transmissão.

O circuito da Fig. 4 é um exemplo de sistema de comunicação de alta velocidade que pode ser usado para transmitir voz, dados e imagem. Nele pode-se ver o uso de um MUX 4:1 que permite aumentar a taxa de transmissão, para que possamos aproveitar ao máximo a capacidade da fibra óptica, Gbps.

COMPARAÇÃO ENTRE O FDM E O TDM

1.2. MULTIPLEXAÇÃO TDM

Dado um certo sinal $f(t)$, no processo de amostragem, não balanceada, geralmente se produzem amostras de duração τ bastante reduzida, repetindo-se periodicamente a intervalos T , sendo $T \gg \tau$, como mostra a Fig. 5a [5].

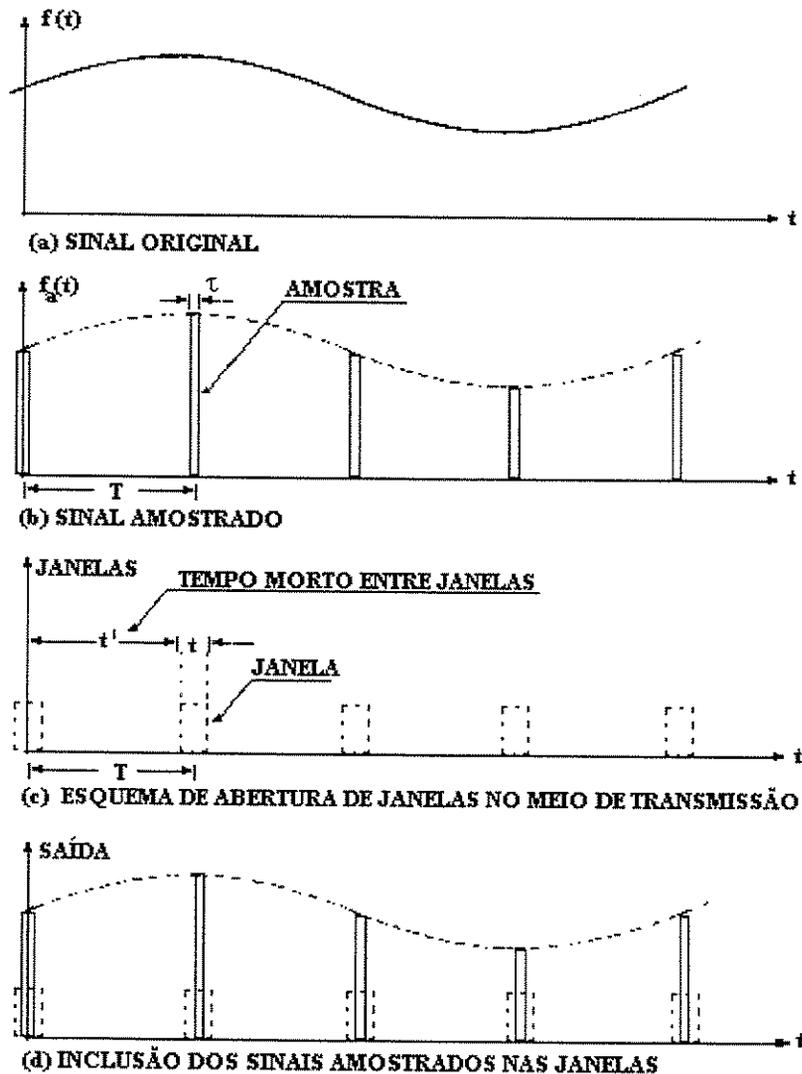


Figura 5 - Transmissão de sinais amostrados em janelas

Por exemplo, para sinal de voz, limitado em frequências de 0 a 4 KHz, a amostragem pode ser feita com a frequência de Nyquist $f_0 = 8 \text{ KHz}$ ($f_0 \geq 2 f_m$), ou seja, com um período $T = 125 \mu\text{s}$. Um valor típico para o fator de utilização é de $1/60$, ou seja, $125/60$ neste caso, o que dá $\tau \approx 2,1 \mu\text{s}$.

Suponhamos agora que se vai transmitir este sinal amostrado em um certo meio de transmissão. Podemos deixar esse meio integralmente à disposição do sinal, por todo o

tempo. Porém, como o sinal amostrado só existe em fração reduzida de tempo τ , podemos idealizar um outro esquema de transmissão em que o meio só é posto à disposição do sinal em intervalos de tempo periódicos, que incluem as frações de tempo em que o sinal existe, como mostra a Fig. 5b.

O intervalo de tempo em que o meio fica disponível é chamado de janela. Por exemplo, em relação ao esquema anteriormente referido para o sinal de voz, pode-se abrir uma janela com a duração τ onde:

$$\tau = T/60 = 125/60 = 3,9 \mu\text{s}$$

A janela tem de possuir uma duração maior que o intervalo de amostragem a fim de que o pulso de amostragem caiba perfeitamente dentro dele. A distância entre janelas sucessivas deve ser relacionada com a distância entre as amostras sucessivas, a fim de que as amostras caiam sempre dentro das janelas.

1.3. MECANISMO PELO QUAL O MEIO É POSTO À DISPOSIÇÃO PARA TRANSMISSÃO

Esse mecanismo consiste em abrir periodicamente janelas ao longo do tempo. As janelas são intervalos de tempo que ocupam apenas um fração reduzida do seu período, como na Fig.5c. Em conseqüência, resta um tempo morto consideravelmente grande entre janelas sucessivas. Por exemplo, considerando o período de $125\mu\text{s}$ e a janela com duração de $3,9 \mu\text{s}$, o tempo morto será $121,1\mu\text{s}$. Interessa, por motivo econômicos, que a ocupação do meio de transmissão seja a mais eficiente possível. Isto conduz, naturalmente, à idéia de aproveitar o tempo morto entre as janelas para um sinal, abrindo-se outras janelas destinadas à transmissão de sinais amostrados de outras fontes. É esse esquema que se chama multiplexação por divisão de tempo ou TDM. Esse esquema está mostrado na Fig.6.

Observa-se que o resultado final é que os sinais amostrados se entrelaçam, dando origem a um sinal composto, que é o sinal multiplexado no tempo, Fig. 6.

Note-se que a característica essencial do TDM é a abertura de janelas que permitem a transmissão de sinais de diferentes fontes de informação, mediante a alocação conveniente de canais a estas janelas.

No caso do exemplo já referido para o sinal de voz, sendo $\tau = T/32$ a duração da janela, podemos ao longo do período abrir 32 janelas justas e apostas correspondentes cada uma a um canal diferente. Este é o esquema típico do TDM de 30 canais empregado em telefonia (na realidade, 30 canais de informação mais 2 canais para sinais especiais de sincronismo e sinalização).

Ao longo de um período se observa um conjunto de janelas destinadas a sinais diferentes e seguindo a uma certa ordem prefixada. Este conjunto se repete de período para período e é a característica descritiva mais importante da estrutura do sistema TDM. Dá-se a este conjunto o nome de quadro.

Em cada quadro temos uma amostra correspondente a um canal. A próxima amostra virá no quadro seguinte. Assim, a duração do quadro tem de ser igual ao período entre amostras. Como este período é igual ao inverso a frequência de Nyquist, a duração do quadro também o será.

Assim para a aplicação já referida em telefonia o quadro terá a duração

$$T = 1/f_0 = 1/2f_m = 1/(2 \times 8.10^3) = 125 \mu s$$

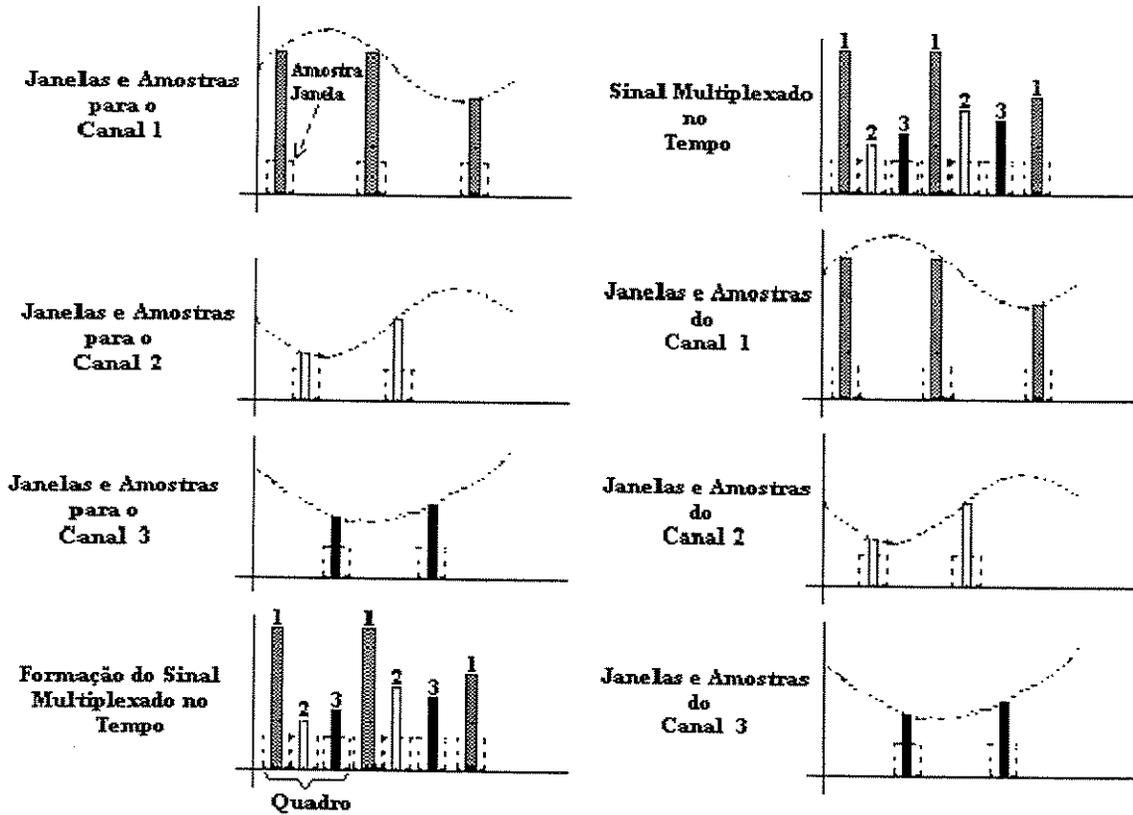
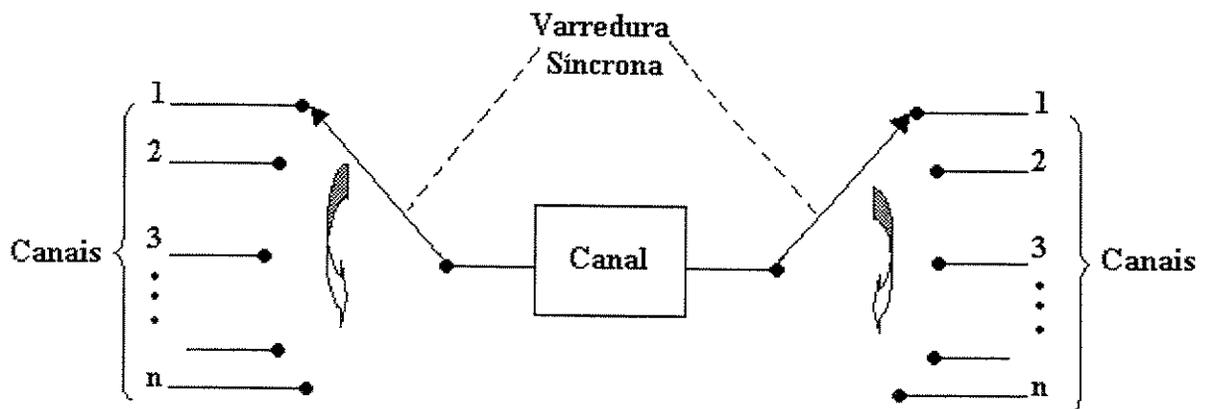
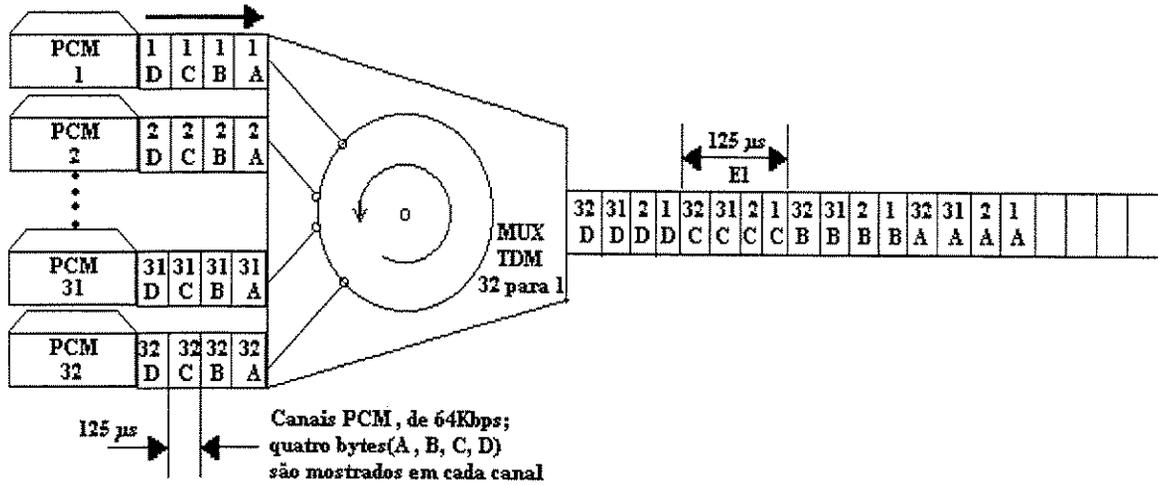


Figura 6 - Esquema de um TDM para 3 canais

Uma maneira típica de produção de um sistema TDM está na Fig. 7 [5].



(a) Varredura Síncrona para Produção do TDM e Recuperação da Informação



(b) O Uso do TDM para Combinar (Multiplexar) 32 Canais PCM

Figura 7 - Produção do TDM e recuperação da informação

1.4. MULTIPLEXAÇÃO FDM

Um outro jeito de aproveitar ao máximo o meio de transmissão, transmitindo simultaneamente vários canais, é usar a multiplexação por divisão de frequência, FDM. Frequentemente o meio de transmissão admite uma largura de faixa mais ampla que a necessária para um tipo de aplicação, por exemplo, para a transmissão de sinais telefônicos ou telegráficos.

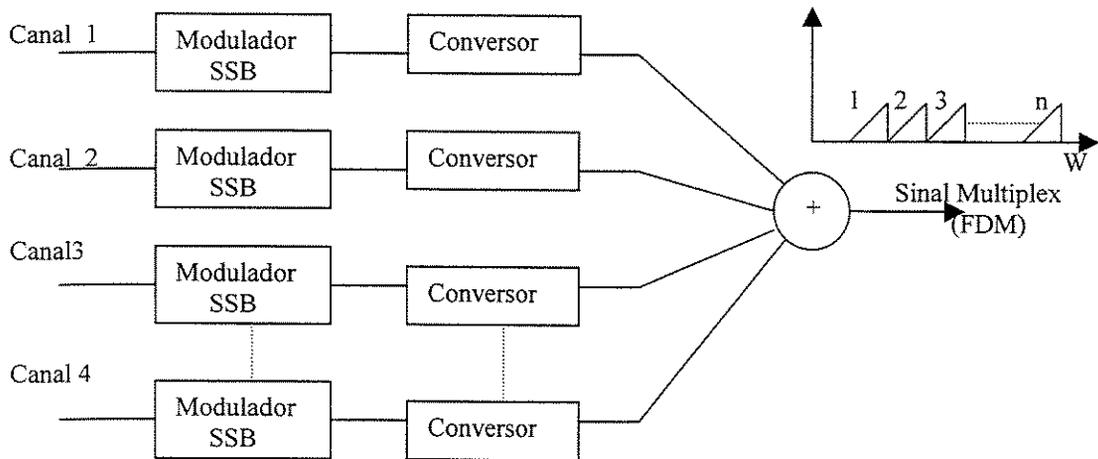


Figura 8 - Produção do FDM

Para efetuar um FDM devemos, por exemplo, usar o sistema SSB pois, produz um sinal que ocupa muito pouco espectro. Esse sinal pode ser alocado, por um processo de conversão, em qualquer parte do espectro que desejamos. A combinação deste método

permite o aproveitamento total do espectro, fazendo-se a divisão do mesmo em regiões adjacentes e ocupando cada uma com um sinal diferente, como mostra a Fig. 8.

Este é o princípio dos sistemas FDM. Por exemplo, num canal de voz pode-se transmitir 24 canais telegráficos; nos sistemas rádio em visibilidade direta, na região de microondas, pode-se transmitir 900 ou 960 ou 1800 canais telefônicos.

Em princípio, podemos considerar que o sistema FDM consiste em dividir o espectro de frequências em "janelas" de frequência, a cada uma se alocando um sinal diferente.

No FDM a faixa de passagem do meio é dividida em intervalos chamados de janelas em frequência, às quais se alocam os canais de transmissão. Note-se que, em cada canal os sinais podem assumir frequências na faixa da janela correspondente. A fim de evitar interferências entre canais adjacentes, as janelas aparecem separadas por banda de guarda. O conjunto completo das janelas em frequência correspondentes aos diversos canais e respectivas bandas de guarda é chamado de banda básica e caracteriza a estrutura do sinal composto FDM.

No TDM, o tempo de transmissão é dividido em intervalos de tempo curtos, referidos como janelas em tempo, às quais se alocam os canais de transmissão. Nas janelas são colocadas amostras dos sinais entrantes e, por isso, cada canal vai corresponder a um conjunto de janelas repetidas periodicamente com a frequência de amostragem. Note-se que, para cada canal, o sinal amostrado pode ocupar toda a faixa de frequências do meio mas as amostras do sinal original só podem estar presentes nos tempos das janelas correspondentes ao canal.

1.5. COMPARAÇÃO ENTRE O FDM E O TDM

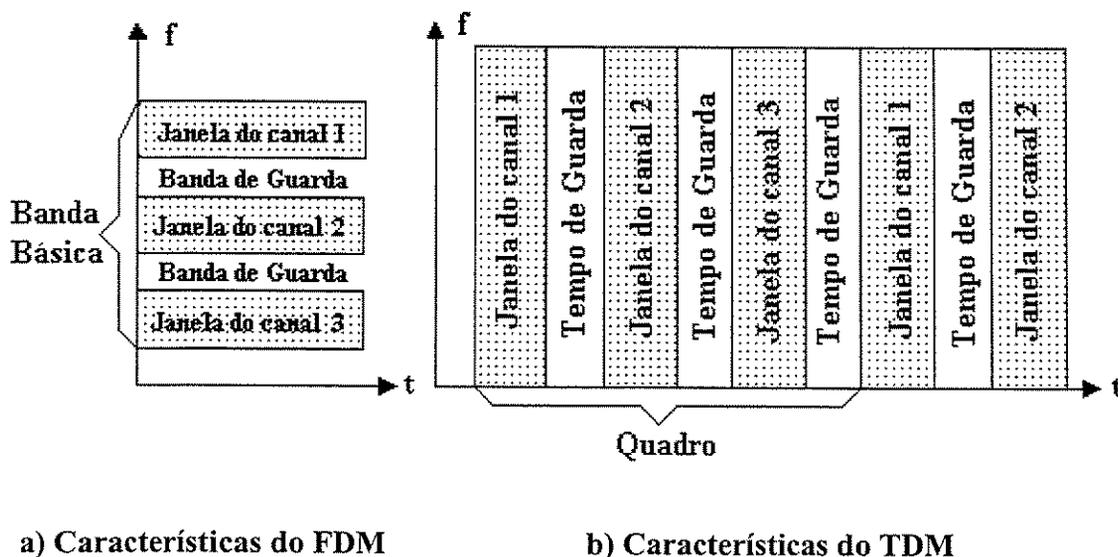


Figura 9 - Comparação entre o FDM e TDM

Assim, enquanto no FDM um canal ocupa uma parcela da faixa do sistema e existe durante todo o tempo, no TDM um canal existe durante uma parcela do tempo de transmissão e ocupa toda a faixa do sistema.

No TDM, a fim de evitar interferências entre canais adjacentes, as janelas no tempo aparecem separadas por tempo de guarda. O conjunto completo de janelas em tempo correspondentes aos diversos canais e respectivos tempos de guarda, em cada ciclo de amostragem, é chamado de quadro e caracteriza a estrutura do sinal composto TDM.

Podemos, então, notar que assim como no domínio da frequência e o domínio do tempo apresentam dualidade, também as características do FDM e do TDM apresentam uma certa dualidade como é mostrado resumidamente na tabela 2.

| CARACTERÍSTICAS | FDM | TDM |
|--|---|---|
| Compartilhamento | Domínio da frequência | Domínio do tempo |
| Janelas | Janela em frequência | Janela em tempo |
| Intervalo Entre Janelas | Banda de guarda | Tempo de guarda |
| Sinal do canal Multiplexado | O sinal pode estar presente todo o tempo, mas só pode assumir Frequências dentro da janela correspondente | O sinal amostrado pode assumir toda a faixa de frequências, mas só esta presente nos tempos das janelas correspondentes |
| Estrutura do Sinal composto Multiplexado | Banda básica | Quadro |

Tabela 2 - Aspectos da dualidade entre FDM e TDM

Além disso, é conveniente ainda comparar a representação dos sinais FDM e TDM, em ambos os domínios da frequência e do tempo, como mostra a Fig. 10.

No domínio do tempo, o sinal FDM apresenta-se variando contínua e irregularmente, enquanto o sinal TDM aparece organizado em janelas em tempo e em quadros.

No domínio da frequência, em contrapartida, o sinal FDM aparece organizado em janelas em frequência e em banda básica, enquanto o sinal TDM apresenta-se com raias ocupando toda a faixa disponível de frequência do sistema e com aspecto irregular.

Quanto a aplicação prática, o desenvolvimento das redes telefônicas e dos equipamentos FDM telegráficos desviaram o interesse das aplicações do TDM por um certo tempo. Mais tarde, com o surgimento das técnicas de transmissão de dados e com o desenvolvimento da tecnologia digital, com base em semicondutores e circuitos integrados voltou-se a usar o TDM. Com o desenvolvimento do PCM então, o TDM passou a ser largamente usada.

Aqui no Brasil o primeiro serviço de comunicação de dados a ser prestado pela EMBRATEL (1980), a REDE TRANSDATA, se destina à transmissão de dados em circuitos ponto-a-ponto e multiponto, de serviço privado, em âmbito interurbano.

Nos centros da REDE TRANSDATA os sinais de dados são multiplexados em TDM e transmitidos em alta velocidade, em agregados de 64 Kbps, usando-se como meios

de transmissão ou um grupo básico do FDM (em sistemas de microondas por visibilidade ou por satélite) ou por cabo de pares compatível, para o TDM de 1ª ordem.

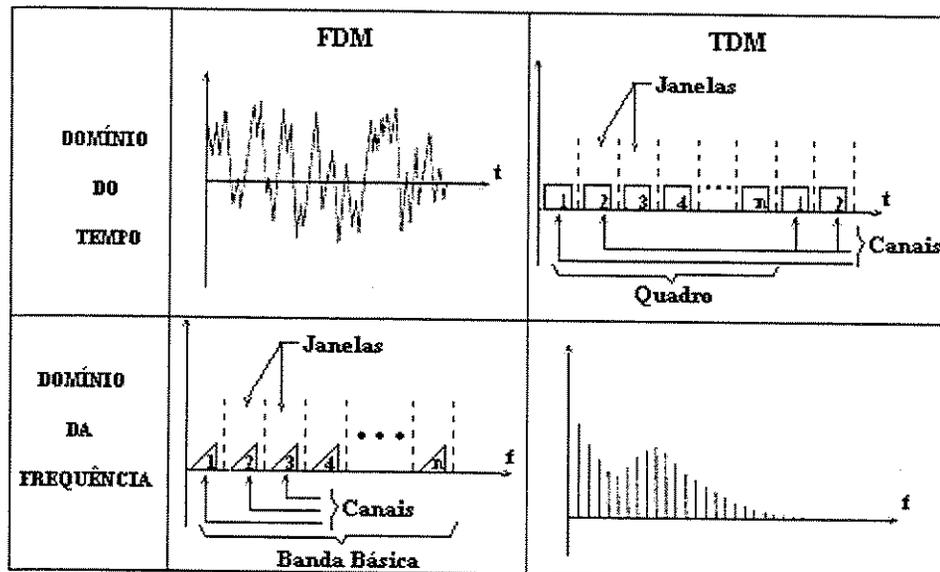


Figura 10 - Representações dos sinais FDM e TDM

1.6. TDM DE DADOS

Existem dois tipos de TDM de dados. São eles o TDM para sinais de dados assíncronos, isto é, aquele que é usado para os sinais de dados de velocidade abaixo de 200 bps e, o TDM para sinais síncronos, isto é, usado para sinais de dados de velocidade acima de 200 bps.

A REDE SONET usa o TDM síncrono pois opera no mínimo, a uma taxa de 51,84 Mbps, STS-1, que é o SONET básico. Esse tipo de multiplexação é conseguido graças ao uso de entrelaçamento de bits e entrelaçamento de bytes, que é explicado em seguida, juntamente com o conceito de ENVELOPE.

1.7. ENTRELÇAMENTO DE BITS E ENTRELÇAMENTO DE BYTES

Como se sabe a multiplexação se baseia no entrelaçamento de amostras de vários canais, num mesmo quadro. Dependendo de como estas amostras sejam consideradas, podemos ter vários tipos de entrelaçamento.

Por exemplo, para a multiplexação TDM de sinais digitais, a Fig.11 mostrou a técnica de gravação em paralelo e leitura em série onde, em cada operação, só se introduzia um bit de cada canal e, assim, no quadro se interlaçavam as informações dos canais entrantes bit a bit. Este método é, por isso, também referido como **método de entrelaçamento de bits**.

Esta montagem pode ser usado para caso de sinais de dados na entrada, mas não é a única a ser empregada. Existe outro método, chamado de **método de entrelaçamento de byte**.

Como se sabe, o byte (bloco de 8 bits), é a estrutura muito usada na organização do sinal de dados, porque a grande maioria de terminal de dados trabalha codificando letras (maiúsculas e minúsculas), algarismos, símbolos e funções especiais, em códigos de 8 bits, denominados de bytes.

Freqüentemente se considera fundamental preservar a composição dos bytes em todo o processo de transmissão. Por exemplo, se o sinal TDM é encaminhado a um centro de processamento e se as informações dos diversos canais são processadas de forma diferente, é geralmente mais conveniente armazená-las em partes separadas da memória principal, e fica mais fácil gerenciar esta armazenagem por bytes do que por bits.

Neste caso, em lugar do método de entrelaçamento de bits prefere-se lançar mão do método de entrelaçamento de bytes, exemplificado na Fig.12.

Neste esquema, as entradas dos canais de dados são sincronizadas de modo que os bits iniciais dos bytes de cada canal apareçam ao mesmo tempo.

Para cada canal, o sinal entrante é inicialmente aplicado a um conjunto de 8 células de registro de deslocamento, que conseguem armazenar um byte completo. Os registros destas células evoluem sob o comando do relógio, sincronizado com o fluxo do sinal entrante. Quando todas estas células tiveram armazenado um byte completo, um conjunto de portas de transferência paralela, comandado pelo relógio 2, transfere todos os bytes para as células de registro de deslocamento ($A_1...N_8$) mostradas no lado inferior da figura. O relógio 2 é 8 vezes menos rápido que o relógio 1 para o armazenamento de um byte completo.

Após a transferência paralela, as células inferiores do registro de deslocamento são lidas seqüencialmente sob o comando do relógio 3. O relógio 3 é N vezes mais rápido que o relógio 1, onde N é o número de canais. Isto porque no mesmo tempo que o relógio 1 gasta para comandar a gravação dos 8 bits de cada canal, o relógio 3 tem de comandar a leitura dos 8N bits transferidos no ciclo anterior. Deste modo, o sinal digital síncrono posto na saída será formado sucessivamente por um byte do canal A, depois um byte do canal B e assim sucessivamente até um byte do canal N, produzindo o desejado entrelaçamento de bytes. Evidentemente, este esquema é mais complexo, em termos do número de componentes exigidos, do que o de entrelaçamento de bits, mas conserva a mesma composição dos bytes. Note-se a importância da relação correta das cadências dos relógios 1, 2 e 3 para a obtenção da lógica desejada da multiplexação. Uma vez que estes relógios guardam uma relação múltipla entre si, eles podem ser obtidos a partir do mesmo oscilador local.

1.8. ENVELOPE

Como se sabe os terminais de dados são projetados para funcionamento direto com a unidade central de processamento. Por isso, nos sistemas de comunicação de dados a distancia, é necessário inserir equipamentos de interface com o canal de telecomunicação, como mostra a Fig. 13.

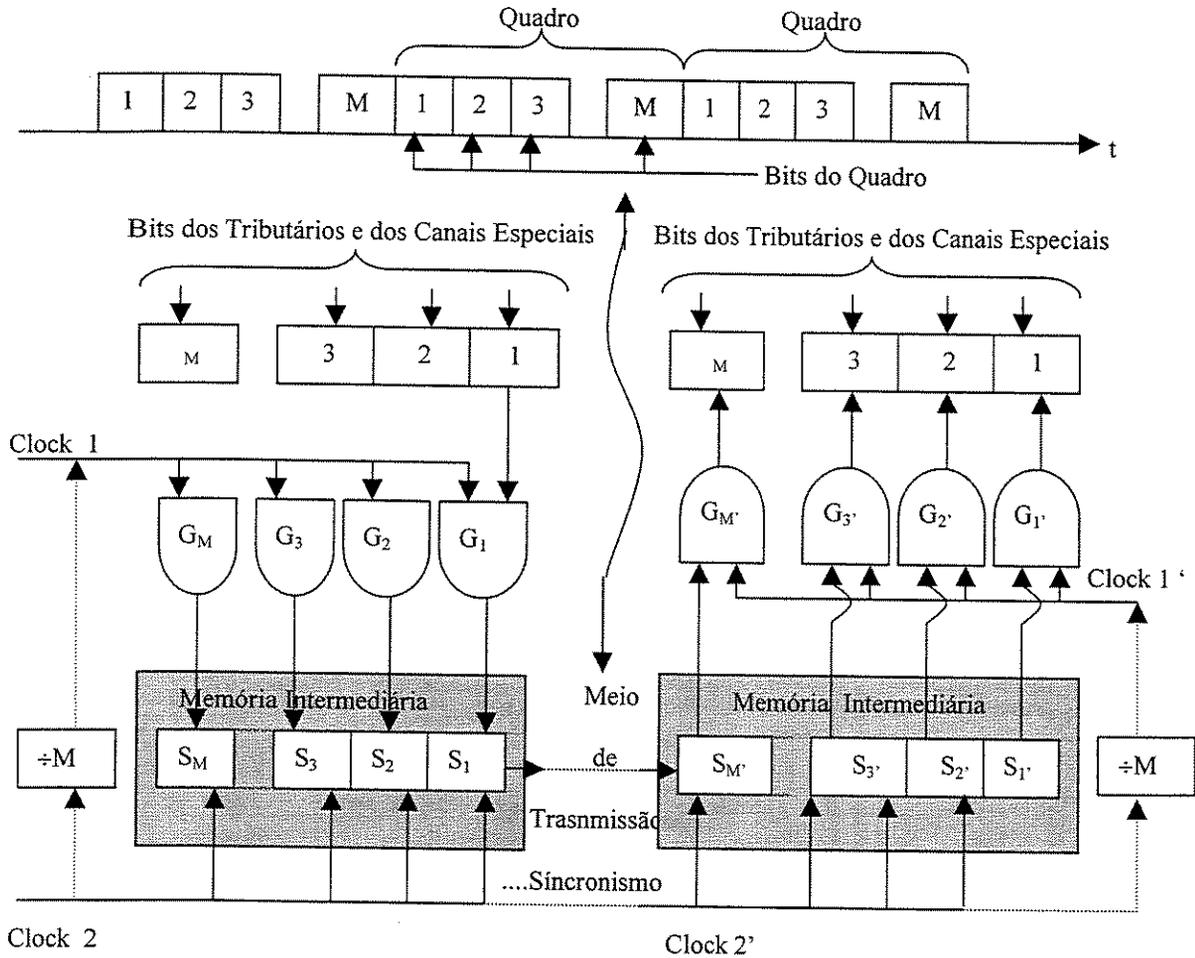


Figura 11 - Multiplexação por entrelaçamento de bits [5]

Nesta figura, os blocos ETD (Equipamentos Terminais de Dados), representam tanto os terminais de dados propriamente ditos quanto a unidade central de processamento. O que caracteriza fundamentalmente estes blocos é que eles representam os equipamentos destinados a gerar e manipular dados, isto é, a fonte (o ente que produz a informação) e o destinatário (o ente a quem a informação é dirigida).

Os blocos ECD (Equipamentos de Comunicação de Dados) se destinam a comunicar os dados, de modo que os fluxos de dados no ponto 1 seja reproduzido no ponto 2 e vice-versa, quando for o caso. Os equipamentos de comunicação de dados podem modificar os dados conforme o esquema mais conveniente para a transmissão, mas não podem alterar o fluxo de dados nos seus extremos. Assim, estes equipamentos podem incluir facilidades de modem, de multiplexação, de codificação, de correção de erros, etc. Eles correspondem, de modo geral, ao conjunto de blocos codificador e emissor e dos blocos receptor e decodificador. O emissor é o ente que, acionado pela fonte, entrega um sinal de energia adequada ao meio. Para tanto, dispõe de um componente interno, o modulador, que transforma os elementos entregues pela fonte em sinais convenientes para serem transmitidos pelo meio. O meio é o ente que propaga a energia entregue pelo emissor

até o receptor, permitindo que o sinal seja transmitido, geralmente cobrindo distâncias razoavelmente grandes.

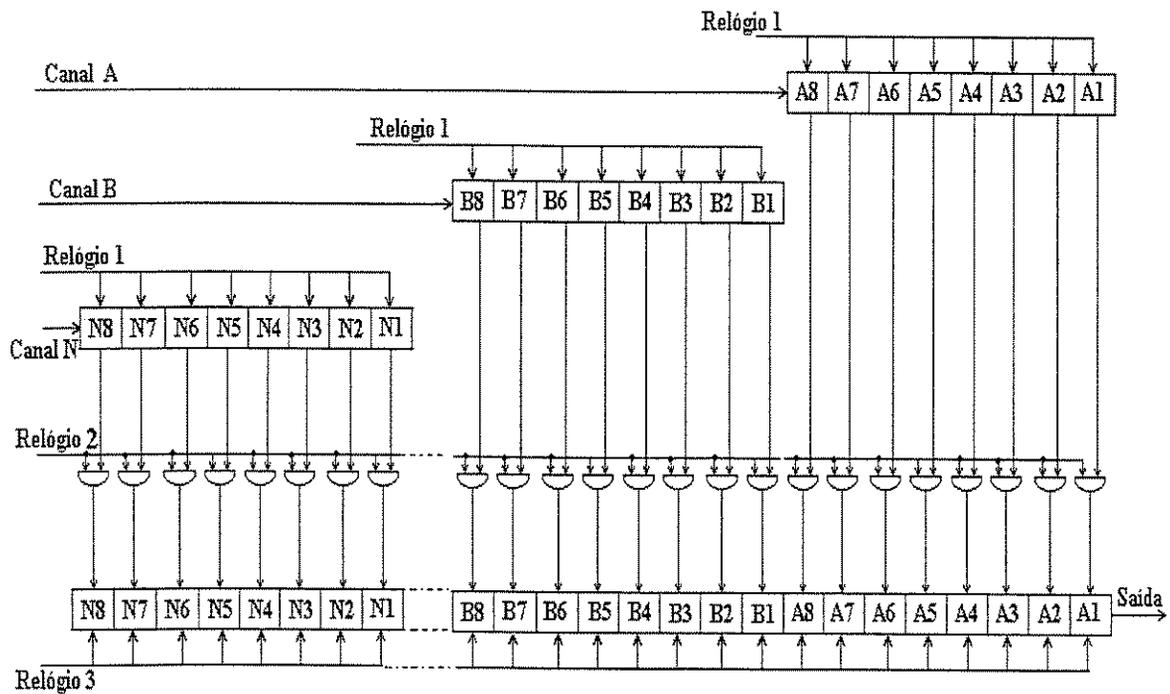


Figura 12 - Método de entrelaçamento de bytes[5]

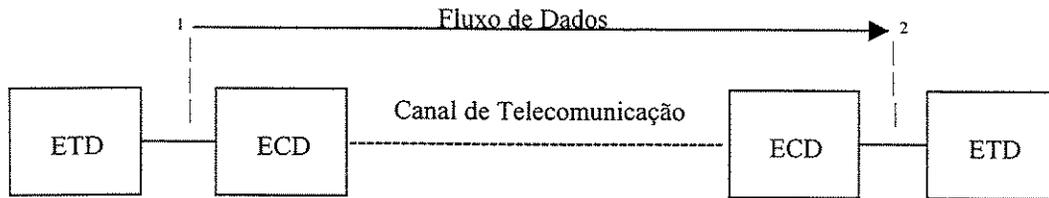


Figura 13 - Sistema de comunicação de dados

O receptor é o ente que retira a energia do meio e recupera os símbolos, de forma tão precisa quanto possível, de modo a reproduzir a mensagem a ser entregue ao destino. Para tanto, dispõe de um componente interno que, acoplado ao meio, permite a extração eficiente da energia presente no sinal que foi transmitido e dispõe ainda de um outro componente interno, o demodulador, que recupera, a parte de energia recebida, os símbolos portadores da informação.

Os sinais de dados produzidos pelos ETD's são usualmente organizados em termos de bytes, mas frequentemente se torna necessário adicionar bits extras ao sinal que se transmite entre os ECD's para o desempenho de funções específicas ao enlace de comunicações. Por exemplo, os TDM's funcionam como ECD's e nos seus quadros, além

dos bits portadores de informação temos os bits extras de sinais especiais (como sincronismo etc.).

No caso geral, os bits extras podem ser inseridos de tempos em tempos ou adicionados sistematicamente a cada byte que se transmite. Dá-se o nome de **envelope** à nova unidade estrutural formada, no último caso, pela adição sistemática de bits extras ao byte.

Na Fig. 14 as alíneas **a** e **b** são exemplos de envelopes usados entre ETD's e ECD's enquanto que as alíneas **c**, **d** e **e** são exemplos de padrões de envelopes no TDM de sinais síncronos. Para os sinais produzidos pelos ECD's, para fins de funções específicas no enlace de comunicações, são codificados em bytes. É interessante que estas condições sejam independentes entre si, de modo que o mesmo código de byte pode ser usado, em ambos os casos.

Os bits de condição, "status bits", adicionados permitem distinguir perfeitamente quando o byte foi gerado pelo ETD para fins de comunicação (bit de condição = 1) ou pelo ECD, para fins das funções específicas no enlace de comunicação (bit de condição = 0). Além disso, o bit 1, sempre empregado na 2ª posição, permite uma constante supervisão do sincronismo entre os ECD's.

No exemplo da Fig. 14, alíneas **a** e **b**, aproveitou-se diretamente o byte produzido pelo ETD, apenas adicionando-se 2 bits, porém sem destruir a sua unidade. Este não é, entretanto, o único método de formação de envelopes. Nas alíneas **c**, **d** e **e**, apresentamos os TDM's de sinais síncronos, segundo as normas do CCITT.

Na estrutura dos envelopes aparecem sempre como bit extras, um bit de sincronismo e um bit de condição. Nas Fig.14c, Fig.14d e Fig.14d o bit de condição tem um sentido mais amplo que os da Fig. 14a e Fig.14b e serve para identificar duas condições quaisquer no funcionamento do sistema. Serve por exemplo, para identificação de terminal livre ou ocupado ou então para identificação de informação de dados ou de controle.

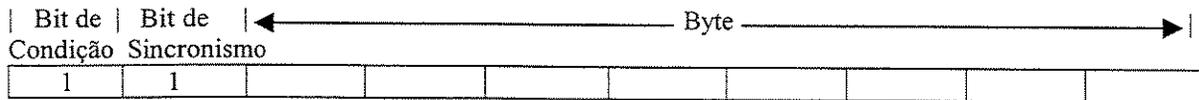
Os envelopes apresentados na Fig. 14 são de 8 bits e de 10 bits. O emprego de um ou outro tipo de envelope é de decisão do projetista de sistema. É mais comum o uso de envelopes de 8 bits. Na realidade, o método de entrelaçamento de bytes mais usado é o método de entrelaçamento de envelopes.

1.9. TDM PARA SINAIS DE DADOS SÍNCRONOS

O TDM de dados é projetado de modo a ser empregado compativelmente com as hierarquias do FDM e do TDM já normalizadas. Deste modo, é conveniente abordar, antes de mais nada, as aplicações possíveis do TDM de dados, Fig. 15. Nela estão definidas as principais especificações a serem adotadas para os equipamentos. TDM de dados síncronos pode ter como sinais de dados síncronos provenientes de terminais síncronos de velocidades médias ou agregados provenientes de TDM's de dados assíncronos, de baixa velocidade.

O TDM para sinais de dados síncronos, segundo o CCITT, aceita entradas com taxas de sinalização binária de 0,6 kbps, 2,4 kbps, 4,8 kbps e 9,6 kbps podendo estas entradas serem homogêneas, isto é, com o mesmo valor da taxa de sinalização binária, ou combinadas, isto é, com valores diferentes de taxa de sinalização binária na entrada.

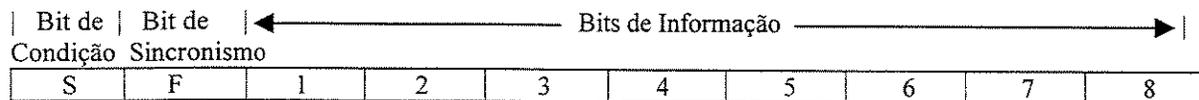
A saída deste TDM será um agregado de 64 kbps, que pode ser inserido através de um modem analógico, em lugar de um FDM telefônico, ou usado para transmissão direta em cabo coaxial, através de um modem digital ou ainda diretamente, como tributário de um TDM digital de 1ª ordem.



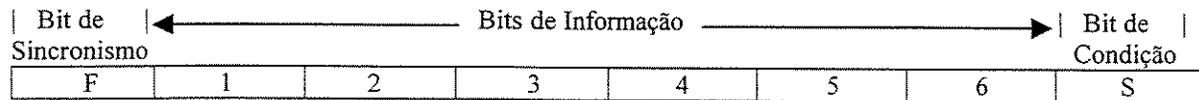
a) Envelope para Envio de Dados de (para) o Terminal



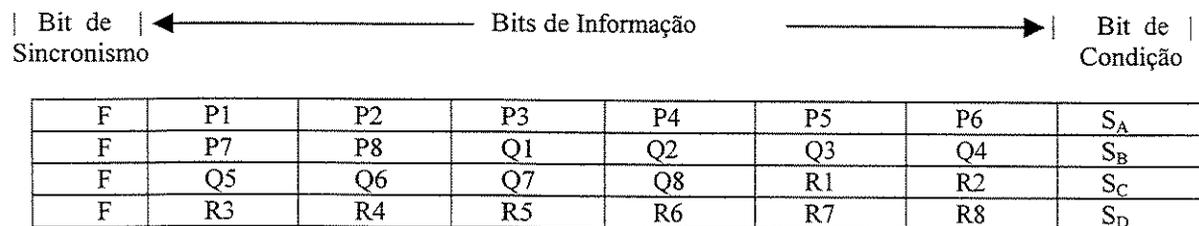
b) Envelope para Envio de Sinalização de (para) o Terminal



c) Envelope de 10 bits



d) Envelope de 8 bits



1ª Linha = Envelope A, 2ª Linha = Envelope B, 3ª Linha = Envelope C, 4ª Linha = Envelope D
 P, Q, R = Caracteres de 8 bits (bytes), F = Framing bit, S = Status bit

e) Grupo de Envelopes de 8 bits

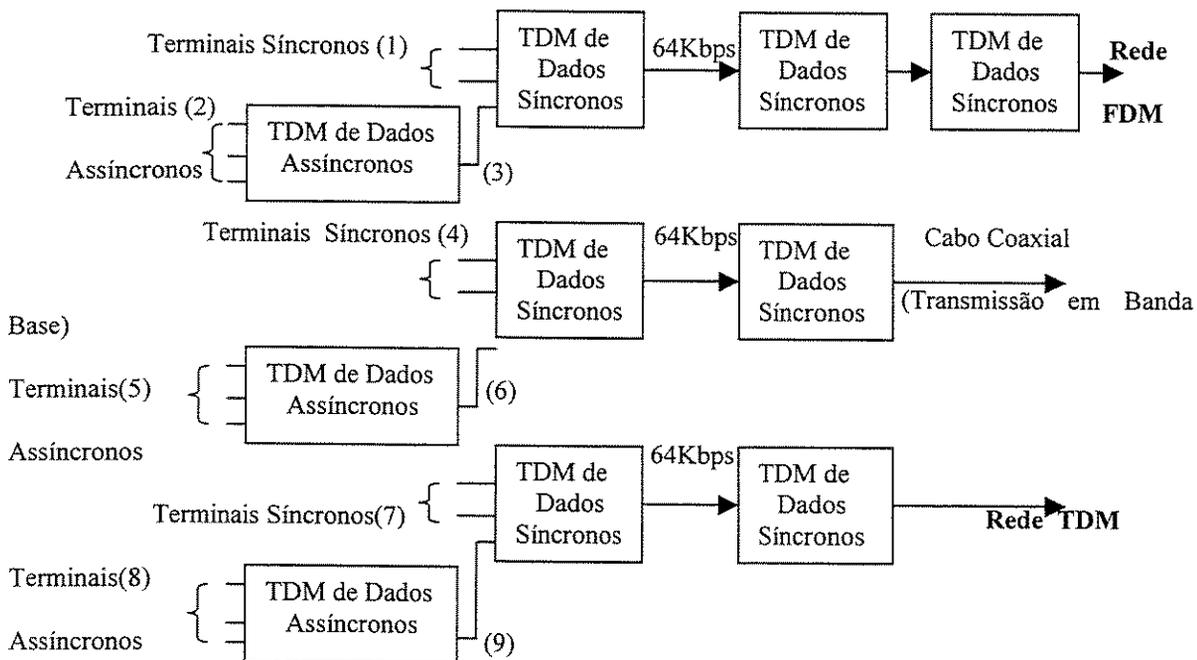
Figura 14 - Exemplo de envelopes

O método de entrelaçamento de bits é primordialmente empregado no caso do TDM de dados assíncronos, por exemplo o TDM telegráfico, mas no caso do TDM de dados

síncronos é de menor importância, tanto que ainda não existe um padrão para a estrutura do sinal e cada fabricante adota uma solução particular, cabendo à administração que adquire tais equipamentos, a análise dos seus parâmetros e de compatibilidade na composição de sistemas.

O método de entrelaçamento de envelopes [5], usado em TDM de dados síncronos, segundo o CCITT deve trabalhar com um dos três últimos padrões de envelopes já mostrados na Fig. 14.

Para a produção do TDM emprega-se a gravação em paralelo e a leitura em série, podendo ser usado o método de entrelaçamento de bits ou o método de entrelaçamento de envelopes.



OBS: (1) Sinais de Velocidade Média → 0.6Kbps, 2.4Kbps, 4.8Kbps e 9.6Kbps; (2) Sinais de Baixa Velocidade;

(3) → 2.4 Kbps, 4.8Kbps e 9.6Kbps; (4) Sinais de Velocidade Média → 0.6Kbps, 2.4Kbps, 4.8Kbps e 9.6Kbps;

(5) Sinais de Baixa Velocidade ; (6) → 2.4 Kbps, 4.8Kbps e 9.6Kbps

(7) Sinais de Velocidade Média → 0.6Kbps, 2.4Kbps, 4.8Kbps e 9.6Kbps

(8) Sinais de Baixa Velocidade ; (9) → 2.4 Kbps, 4.8Kbps e 9.6Kbps

Figura 15 - Multiplexação no tempo de sinais de dados

Neste trabalho de tese o padrão usado é o SONET. O TDM para sinais de dados síncronos, para SONET, usa STS-1 que é o SONET básico. O STS-1 é formado de 9 linhas de 90 colunas, isto é, um quadro de 810 byte (6480 bits) pois cada envelope SONET é formado de 8 bits(1 byte) . A estrutura do quadro do sinal TDM SONET é formada de 90 envelopes sendo que se transmite 8000 destes quadros por segundo. A taxa de transmissão do STS -1 é então :

Taxa do STS -1 = 9 linhas x 90 envelopes x 8000 quadro/segundo x 8 bits/byte = 51, 84 Mbps

Como se pode ver o objeto desta tese é o circuito multiplexador de GaAs ,usado na rede síncrono SONET. Segue-se a descrição do multiplexador escolhido.

1.10. MULTIPLEXADOR DE ALTA VELOCIDADE DE MULTIPLEXAÇÃO

Como se sabe a REDE SONET usa o TDM[26,51] síncrono pois opera, no mínimo, a uma taxa de 51,84 Mbps, STS-1. O circuito descrito a seguir usa a multiplexação por entrelaçamento de bits. No projeto deste circuito o principal objetivo é que ele opere em alta velocidade mas, devemos ter em mente também os seguintes objetivos [6]:

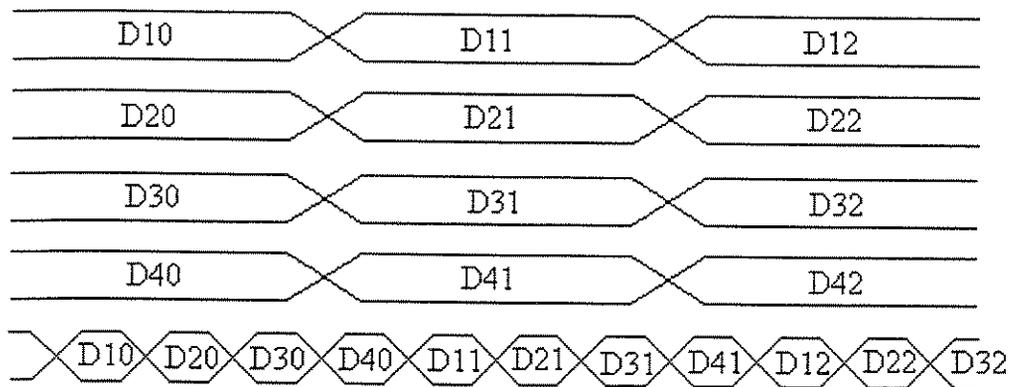
- a) Todos os dados na entrada do Mux devem estar na mesma taxa de transmissão, bps.
- b) A multiplexação é por TDM
- c) A taxa bps na saída é N vezes a taxa bps de entrada sendo que N = nº de entradas a serem multiplexados. Se N=4 a taxa de saída será 4 vezes maior que a entrada.
- d) Para aplicação em sistemas de comunicações óticas devemos ter como objetivo:
 - 1) Uma margem de fase muito larga
 - 2) Sinal de saída estável(pouca instabilidade na saída)
 - 3) Dissipação de potência baixa
 - 4) Quase todo o circuito integrado só num CI. Evitar o uso de componentes externos.
 - 5) Baixo custo, isto é, minimizar ao máximo o tamanho do CI para baratear seu custo de produção.

Sinais de dados com uma larga margem de fase é muito importante quando o MUX receba dados de circuito com menor velocidade de transmissão. Sinal com pequena margem de fase requer muito cuidado com a temporização na entrada, e para isso é preciso, por exemplo, fazer o casamento de fase usando linhas de atraso variáveis que é inconveniente. Outro parâmetro muito importante, caso o Mux é usado para modular diretamente o diodo laser, é o "Low output jitter" ou sinal estável na saída . A instabilidade do sinal, reduz neste caso, a qualidade do sinal ótico transmitido. No que concerne a

dissipação de potência muito grande, só a ventilação normal é insuficiente e, torna-se necessário o uso de uma ventilação própria.

Seria muito bom conseguir todos os objetivos citados acima mas, infelizmente, existe prós e contra, isto é, existe um compromisso entre esses objetivos. Por exemplo, para que tenhamos uma boa estabilidade na saída devemos ter um circuito mais complexo, por exemplo topologia SCFL(mais transistores), mas temos a desvantagem de ter um circuito maior, portanto mais caro e dissipa mais potência.

A Fig. 16 mostra o diagrama de tempo ideal que desejamos para o MUX 4:1. Os sinais do canal 1 ao canal 4 estão todos com a mesma taxa de bits. Temos na saída as primeiras amostras dos dados destes canais, depois a segunda e assim sucessivamente, todos em série, altamente canalizados, e a uma taxa 4 vezes a taxa de entrada.



D_{xy} : x é o número do canal e y o número do dado

Figura 16 - Processo de multiplexação por TDM síncrono de dados para o MUX 4:1[6]

1.11. TOPOLOGIA ÁRVORE

Diferentemente dos multiplexadores baseados em registradores de deslocamentos, aqui temos um Mux em arquitetura árvore. Esta arquitetura usa multiplexadores 2:1 na forma de uma árvore binária. O 1º estágio lê os dados, dois a dois(uma em cada entrada) e coloca na saída em série a uma taxa 2 vezes a da entrada. O 2º estágio também lê as duas linhas de dados na entrada e põe na saída a uma taxa 4 vezes maior a da entrada do Mux. Na saída do Mux, caso o sinal seja instável, é usado um circuito FFD cuja função é assegurar uma saída estável, isto é, sinal de saída com o mínimo de instabilidade.

Este MUX, por causa desta arquitetura, os dados estão altamente canalizados, isto é, os FFD(Flip- Flop-D) pertencentes ao SMS("Selector Master Slave" ou FFD Mestre Escravo com Seletor de 2 bits) e o SPS("Selector Phase Shifting" ou Deslocador de Fase com Seletor de 2 bits) melhoram a margem de fase em todos os pontos onde passam os

dados. Esses elementos fazem assim a retemporização do sinal dos dados. O PS do SPS, por exemplo, faz um deslocamento de 180° se for comparado com o MS do SMS.

Na entrada do sinal CLK e na saída do MUX usa-se o LGCL ("Ladder Grounded Coplanar Line") isto é, um conector de 50 Ohms, que serve para evitar perdas dessas energias de alta frequência. O LGCL faz o casamento de impedâncias com o circuito externo ao CI evitando assim reflexão e distorção dos pulsos destes sinais.

O circuito Mux 4:1 tem na sua entrada, os dois 1º estágio, formado pelo circuito Mux 2:1. Estes por sua vez alimentam de dados, o 2º estágio também formado pelo Mux 2:1. Cada circuito Mux 2:1 é formado pelo circuito MS, PS e o SELETOR. O circuito SELETOR está representado na Fig.17 como circuito de entrada dos circuitos SMS e SPS. A Fig. 18, mostrado a seguir, mostra o circuito Mux 2:1 assim como o diagrama de tempo desejado para o bom funcionamento dele.

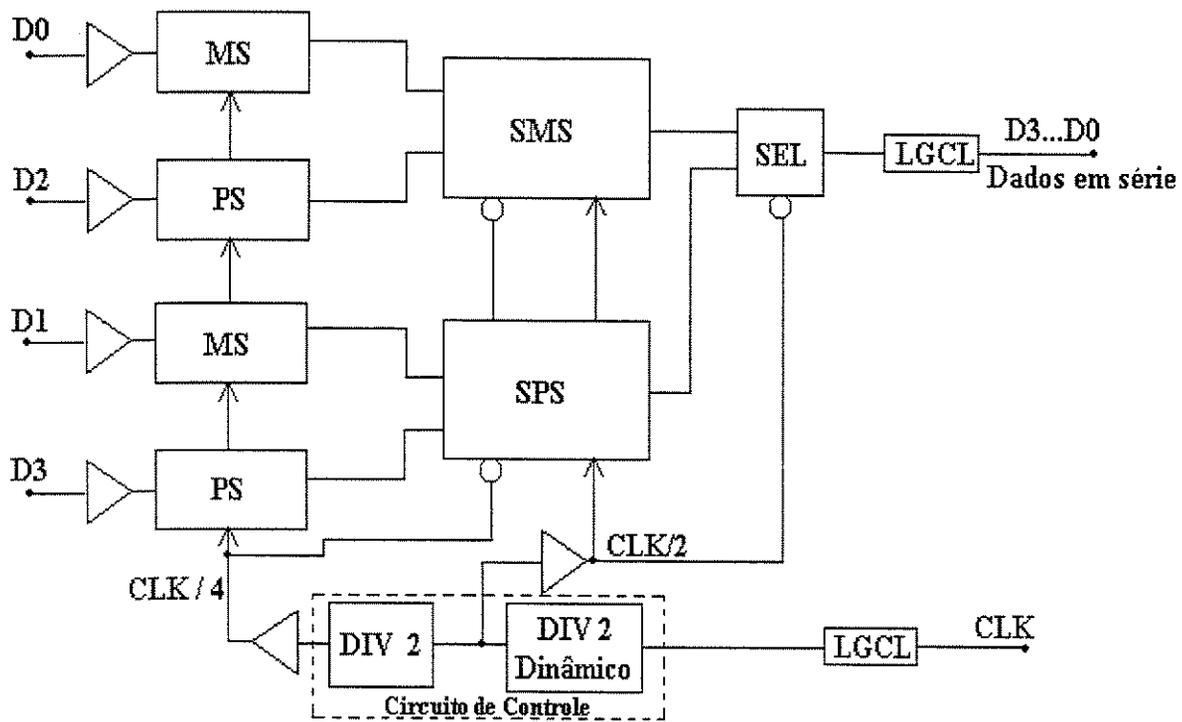


Figura 17 - Diagrama de blocos de um MUX 4:1[7,8]

1.12. DIAGRAMA DO TEMPO DO MUX 2:1

O atraso de propagação(t_{pd}), devido aos flip-flops, e a defasagem de 180° entre os sinais dos dados nos pontos A e B, Fig. 18, fazem com que esses sinais só passam no seletor quando estiveram estáveis. A melhor condição para que isso ocorra, devemos ter o $t_{pd} = T_{clk}/4$ e a margem de fase $\pm 90^\circ$. Devido a essas ótimas condições, a saída de cada Mux 2:1 será também muito estável (ou pouco instabilidade). Existem circuitos Mux que tem nas suas entradas só o circuito MS-DFF, ao invés da Fig.18 onde temos circuito MS-DFF e PS-DFF. Para tais circuitos, a margem de fase entre os sinais nos pontos A e B é 0° ,

e neste caso é necessário, na saída, o circuito MS-DFF cuja a função é reduzir a instabilidade do sinal nesse ponto.

O principal desafio do circuito MUX, na arquitetura árvore, é a temporização(defasagem ideal) entre os vários Mux 2:1. O circuito lógico de controle(circuito divisor) Fig.18, é formado pelo divisor por 2 dinâmico e pelo "flip-flop-toggle", FFT, também divisor por 2. Caso tenhamos ainda problemas de temporização, para melhorá-lo, devemos usar circuitos que provocam atraso no trajeto do sinal. Os circuitos mais usados para essa finalidade, são portas lógicas embora, neste caso, os atrasos fiquem sensíveis ao processo e a variação de temperatura. É o método mais usado no processo digital. Atraso por meio de linhas de transmissão também se usa, mas, é muito raro pois ocupa uma área muito grande. A maioria dos circuitos, acima citados, são formados por células básicas de FFD, operando na borda de subida do sinal de "clock".

A principal vantagem da arquitetura do MUX em árvore, é a sua alta velocidade de operação. Esta estrutura, altamente canalizada, assegura uma boa temporização em todos os pontos do circuito, permitindo um rápido fluxo de dados e muito pouco instabilidade em cada uma das saídas dos Mux 2:1 que fazem parte do MUX 4:1. Devemos lembrar que uma ótima temporização é obtida, quando as bordas de descida do sinal do "clock" ocorrem no meio do pulso do dado de entrada. Não é necessário o uso do Set/Reset pois temos na entrada sinais com uma boa margem de fase.

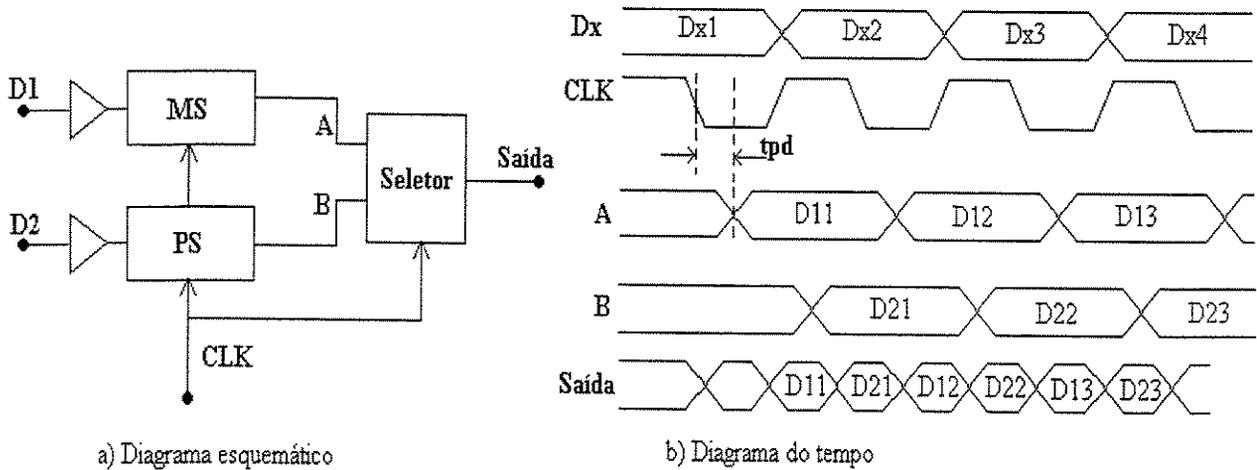


Figura 18 - Circuito Mux 2:1[6]

Os sinais do dados, mostrados na Fig.18, a exceção do "clock", são formadas por duplas formas de ondas. Essa "única" forma de onda, na realidade é equivalente a duas formas de ondas. Uma delas representa a saída de alto para baixo e a outra de baixo para alto. Para poupar espaço e tempo, essa idéia é usualmente expressa em uma única forma de onda.

ESCOLHA DA TECNOLOGIA PARA A FABRICAÇÃO DO MUX

2.1. INTRODUÇÃO

Neste seção é feita um estudo entre as diversas tecnologias de CI's digitais de alta velocidade. Este estudo visa dar condições, para que possamos tomar uma decisão, muito importante, que é a escolha de uma tecnologia para um sistema digital de alto desempenho, como é o caso da SONET. As indústrias de microeletrônica tem feito inúmeros esforços, debates, para tirar o maior proveito das tecnologias que há muito tempo já existem. Até agora, todo o aumento de desempenho nos computadores e nos sistemas de telecomunicações, tem sido a custa do melhoramento da tecnologia de silício. Recentemente, surgiu arseneto de gálio (GaAs) como alternativa a tecnologia de silício. Com o advento dessa nova tecnologia, que se desenvolve a cada dia, podemos fazer as seguintes perguntas:

- a) É possível projetar, em GaAs, circuitos de alta velocidade de processamento ?
- b) É possível usar esses circuitos em sistemas de telecomunicações, como requer a rede SONET ?
- c) Qual é a vantagem sobre o silício ?

O objetivo dessa tese é responder estas perguntas, projetar, simular, construir e testar um circuito Mux 4:1 em GaAs para aplicação na rede SONET.

2.2. A TECNOLOGIA DE SILÍCIO VERSUS A TECNOLOGIA DE ARSENETO DE GÁLIO

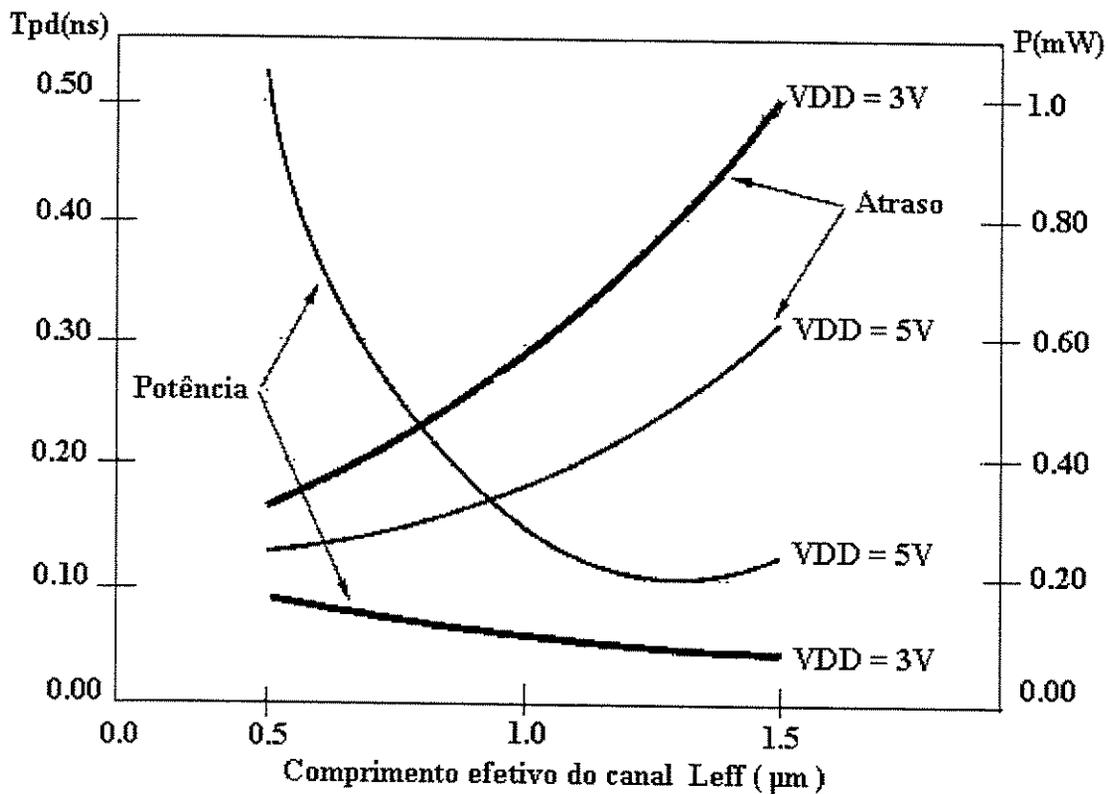
O silício é até hoje o semiconductor mais usado para a fabricação de CI's devido ao seu alto nível de integração. No entanto, com a necessidade de circuitos mais rápido, devido ao aumento da demanda de transmissão de dados, multimídia, passou-se a usar circuitos de GaAs. São necessários circuitos de GaAs porque, para aplicação em circuitos de alta velocidade de processamento, com ciclos na ordem de sub-nanosegundos e telecomunicação de dados em multigigabits por segundo, cumprem muito bem tais funções. Para tais circuitos, em VLSI, para ser usado em sistemas de alta velocidade, sabemos que a tecnologia usada deve ter um atraso de propagação muito baixa(T_d), uma baixa dissipação de potência por porta lógica (P_d), o produto potência - atraso ($P_d * T_d$) extremamente baixa, alta densidade das portas lógicas e ter uma produção em grande escala. Para que possamos ter circuitos CI's de silício, de alta velocidade de processamento, alta densidade e baixa dissipação de potência, devemos projetar circuitos de dimensões menores. Como se pode ver na Fig. 19, nós podemos facilmente notar que na tecnologia CMOS de 0,5 μm o atraso

de propagação de uma porta inversora é aproximadamente 130ps e dissipa 1,1 mW. Devemos lembrar que a energia mínima que um porta, "gate" pode dissipar durante um ciclo de relógio é $2 * P_d * T_d$. A dissipação num CI com N_g portas, uma frequência de relógio F_{clk} médio por porta será :

$$P_{CI} = 2 * N_g * F_{clk} * (P_d * T_d)$$

O produto entre velocidade e potência de uma porta é portanto 0,1 pJ , o que permite a construção do CI de alta velocidade só em "Medium Scaled Integrated circuits, MSI. Encontra-se na literatura vários circuitos investigados [9]. Para circuitos com porta menor que $1\mu m$,é teoricamente possível , um atraso de 100ps e o produto potência-atraso de 0,02pJ. Acontece que na prática, não é possível pois, existe uma fronteira, que a partir do qual, não podemos diminuir o tamanho do dispositivo visto que, os efeitos da segunda ordem começam a se manifestar [10]. Em vez de diminuir o tamanho do dispositivo, podíamos diminuir a magnitude da tensão de alimentação mas, neste caso, teríamos problema em distinguir os níveis baixo e alto.

A outra tecnologia de silício que pode ser usado em sistema de alta velocidade e baixo consumo de potência é o BiCMOS. Ela combina a capacidade de alta velocidade do transistor bipolar (BJTs) com a característica de baixa potência do CMOS.



$T_{pd}(ns)$ = Atraso de propagação por inversor
 $P(mW)$ = Potência dissipada por inversor

Figura 19 - Atraso e dissipação de potência de inversores para VDD de 3V e 5V [11]

A Fig. 20 mostra uma relação típica entre potência e velocidade entre as várias tecnologias comumente conhecidas [6].

O outro problema encontrado em CMOS, em geometrias submicron, é o "latch-up". Então, devido estas limitações em circuitos de alta velocidade, VLSI de silício, temos interesse em encontrar outras tecnologias que permite a combinação alta velocidade/ baixo consumo de potência.

Devido a limitação tecnológica do silício e aos recentes avanços em materiais semicondutores e processos de fabricação, deu-se início, a partir de 1984, a nível comercial, o desenvolvimento de CI's de GaAs. Essa nova alternativa tecnológica combina perfeitamente alta velocidade/baixo consumo de potência, o que não era possível obter através dos processos de tecnologia em silício existente.

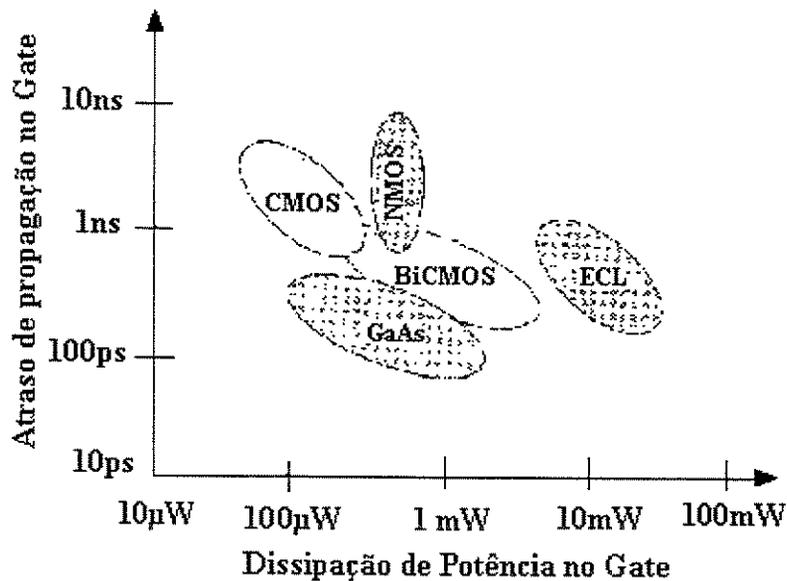


Figura 20 - Comparação típica entre algumas tecnologias

Há diversos motivos pelos quais pesquisa-se o GaAs como alternativa ao silício. O primeiro deles é a baixa massa efetiva de elétrons (aproximadamente 7% da do silício), o que proporciona uma alta mobilidade dos elétrons nos dispositivos, que se traduz numa maior velocidade limite dos dispositivos, da ordem de gigahertz. O segundo, a energia de "gap" do GaAs é tal que na transição dos elétrons de banda de condução para a de valência, ocorre pela liberação de fótons (luz), ou seja, é um semiconductor de transição direta o que permite seu uso como laser em comunicações com fibras óticas, enquanto que no silício, tal transição libera fônons, ou seja, é de transição indireta, o que provoca o aumento da vibração da rede cristalina e, portanto, provocam aquecimento. Por isso, CI's em GaAs tem menores problemas com dissipação de potência. A característica semi-isolante do substrato é outro motivo muito importante da escolha do GaAs ao invés do Si, InAs, Ge, etc. Ela

permite melhor isolamento entre dispositivos contidos num mesmo CI, permite a construção de indutores e capacitores de maior coeficiente de qualidade e diminui as capacitâncias parasitas. Circuitos de GaAs tem uma grande resistência a radiação e, por isso, é muito importante em aplicações militares, industriais, espaciais e nucleares. Circuitos de GaAs podem ser usado em sistemas muito rápidos e complexos, por exemplo, SONET e computadores da 5ª geração.

A principal desvantagem do GaAs em relação ao silício é o custo. O processo de obtenção do cristal é mais difícil e a construção do MESFET requer muitas metalizações em ouro. Pelo fato de ser uma tecnologia relativamente recente, o GaAs ainda não compete em termos de custo com a tecnologia do Si que é muito antigo e, por isso, já vem sendo pesquisada e melhorada há muito tempo.

A tecnologia de GaAs vem crescendo a cada dia. Em 1991 a tecnologia de CI digitais de GaAs era equivalente a do Si em meados de 1974[12]. No entanto, tem melhorado pelo menos, 3 vezes mais que a do Si de 1974 até o começo do 1980. A Fig. 21 ilustra a comparação entre o GaAs e o Si [13], [14] e mostra que a tecnologia de GaAs evoluiu a uma taxa muitas vezes superior a do Si. Em 1986, com o aparecimento de novo método de manufaturação de CI digital, permitiu o desenvolvimento de uma nova família lógica, o "Direct Coupled FET Logic"(DCFL). Com o DCFL tornou-se possível circuitos muito complexos, VLSI. Antes do DCFL, as topologias das famílias lógicas usadas , possibilitam uma grande variação da tensão de alimentação e tem uma boa margem de ruído , entretanto, a dissipação de potência é muito alta e limita a aplicação em VLSI. O SCFL ou a topologia "Source Coupled FET Logic" desenvolvido por Matshushita, Katsu et. al. em 1983 [15], foi desenvolvido para resolver os dois grandes problemas do DCFL , sua baixa imunidade ao ruído devido à variação inevitável de V_{TH} no processo de fabricação e o grande aumento do produto atraso - potência em "fan-out" muito grande ou em condições de carregamento capacitivo elevado [16]. O SCFL só é recomendado para circuitos muito complexos e com alto fan-out ou altas capacitâncias na saída. Tem a desvantagem, devido a alta complexidade, o aumento da potência dissipada se comparada com o DCFL. Em 1993 [17] entretanto um novo tipo de circuito DCFL chamado de "Memory Cell type Flip - Flop(MCFF) foi desenvolvido. Tal circuito, que é uma combinação do inversor DCFL e o gate transmissor , tem um desempenho melhor que o SCFL e ainda preserva a vantagem do DCFL, isto é, baixo consumo de potência e alta densidade de empacotamento. Em 1994 foi apresentado [18] um circuito Mux/Demux de 16-bit, em DCFL, operando em 2.5 Gbps graças ao uso "Select Merged Shift Register"(SMSR), que permite reduzir o atraso de propagação e aumentar a frequência de operação, o que veio a suprir a desvantagem do DCFL em relação ao SCFL. Em 1996, um CI que opera em 1.9 Ghz, para aplicação em comunicação digital móvel foi apresentado [19]. Parte desse CI, mais precisamente um oscilador é um circuito multivibrador em DCFL.

Podemos ver portanto que a escolha entre uma lógica e outra, ou até mesmo de determinada configuração de uma lógica depende de diversos fatores como : qual é a aplicação que vamos dar ao circuito, a complexidade do circuito, a compatibilidade com outras tecnologias, nível de integração desejado e o compromisso atraso/potência.

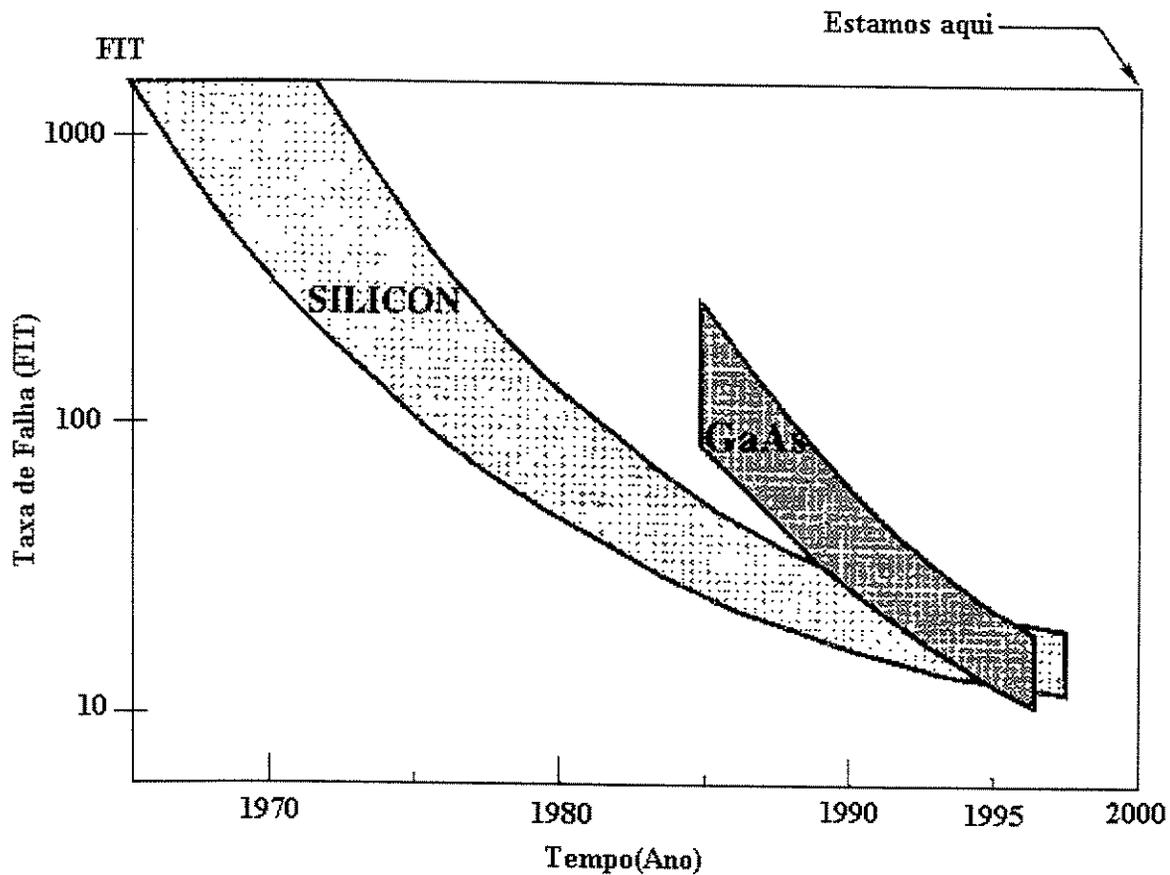


Figura 21 - Comparação do desenvolvimento da tecnologia de GaAs(MESFET) com o do Silício

2.3. A TECNOLOGIA DE GaAS

2.3.1. Introdução

Serão abordadas aqui as propriedades do GaAs que permitem caracterizar melhor os dispositivos de GaAs assim como seu desempenho. Serão feitas também comparações com o Si e será dada maior ênfase a família lógica DCFL.

Basicamente podemos dividir os dispositivos de GaAs em dois grupos, a primeira e a segunda geração. Na primeira geração temos juntos os dispositivos MESFET de depleção (DFET) e o MESFET de enriquecimento (EFET). A segunda geração temos juntos o "High Electron Mobility Transistor" (HEMT) [20] e o "Heterojunction Bipolar Transistor" (HBT) [21, 22]. Os dispositivos da segunda geração são de maior velocidade e operam em frequências mais altas que os da primeira geração. Por exemplo, os DFET operam em geral entre 20 e 70 GHz, enquanto que os dispositivos HEMTs podem variar entre 70 e 100 GHz. Isso é devido ao melhor exploração do GaAs. O objeto do estudo aqui

é o dispositivo da primeira geração que é o comumente usado para projetos em circuitos VLSI.

2.3.2. Comparação entre as Tecnologias de GaAs e do Silício

2.3.2.1. Comparação do material

Sabemos que dispositivos de GaAs são mais rápidos que os de silício. Qual é o motivo disso? Para respondermos a esta pergunta devemos olhar as propriedades elétricas do GaAs e do Si.

O semicondutor GaAs é composto por elementos do grupo III e V da tabela periódica. O intervalo de energia é de transição direta entre as bandas de valência e de condução, como é mostrado na Fig. 22, e por isso permite a recombinação radioativa eficiente de elétrons e lacunas, possibilitando que junções pn diretamente polarizadas possam ser empregadas na construção de emissores de luz; obtém-se com isso a integração de funções elétricas e ópticas. Outras características bastante importante do diagrama de banda do GaAs são:

- Por ser de transição direta é altamente resistente à radiação, o que é importante em comunicação via satélite.
- Circuitos de GaAs podem operar na faixa entre -200 e 200°C, devido a grande largura de banda deste material, cerca 1,43eV comparado com 1,2eV do Si.

As características elétricas do GaAs e do Si é outro assunto que devemos comparar, para que possamos saber qual é a melhor tecnologia a usar. Na tabela 3 compara-se as principais características elétricas do Silício e do GaAs visando a implementação de dispositivos eletrônicos e circuitos integrados, considerando temperatura ambiente.

Antes de começarmos a falar sobre a tabela 3, é bom salientar as seguintes notas que se relacionam com a Fig. 22:

- Para o semicondutor de GaAs, tipo n, e o equivalente em Silício, a massa efetiva m^* da carga elétrica em GaAs é muito menor que no Si. Por isso, para um determinado campo elétrico, os elétrons em GaAs são acelerados a uma velocidade bem maior que no Si.
- A estrutura da Banda de Valência do GaAs e do Si são similares. Então, por isso, não existe nenhuma vantagem do GaAs sobre o Si em relação a mobilidade de lacuna.

As principais vantagens do GaAs sobre o Si, em aplicações em CI's digitais de alta velocidade, são:

* **Mobilidade elétrica** do GaAs tipo n é cerca de 6 a 7 (ver a tabela 3) vezes mais alta que do Si. Portanto, tempos de trânsito da ordem de 5 a 10 ps, correspondendo a produtos **ganho de corrente - faixa de passagem** entre 15 e 25 GHz podem ser obtidos

para transistores com L_g entre 0,5 e 1,0 μm . Estes valores para o produto ganho - BW correspondem a uma melhoria de até 5 vezes sobre os dispositivos construídos a partir do

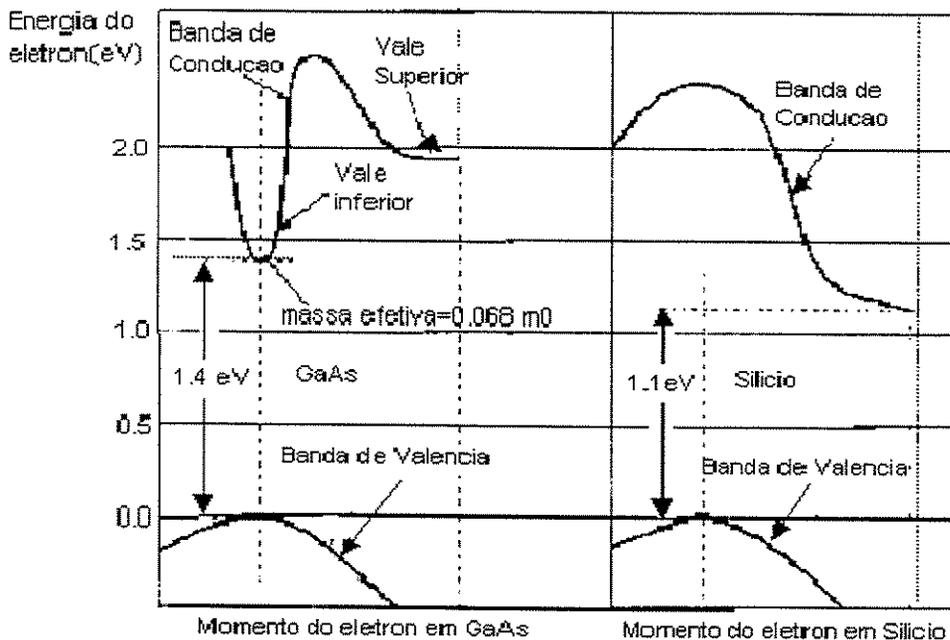


Figura 22 - Diagrama de banda do GaAs e do Silício

| Propriedade Elétrica(Temp=300 K) | Símbolo | Unidade | GaAs | Silício |
|--|-------------------------|------------------------------------|---------------------|----------------------|
| Mobilidade elétrica ($N = 10^{17} \text{ cm}^{-3}$) | μ_n | cm^2/Vs | 5000 | 800 |
| Mobilidade das lacunas ($N = 10^{17} \text{ cm}^{-3}$) | μ_p | cm^2/Vs | 250 | 350 |
| Concentração intrínseca de portadores | n_i | cm^{-3} | $9,0 \cdot 10^6$ | $1,45 \cdot 10^{10}$ |
| Velocidade máxima de deriva do elétron | V_d | cm/s | $2 \cdot 10^7$ | $1 \cdot 10^7$ |
| Campo elétrico crítico | E_c | V/cm | $3 \cdot 10^5$ | $1 \cdot 10^4$ |
| Campo elétrico de ruptura | | V/cm | $4 \cdot 10^5$ | $3 \cdot 10^5$ |
| Intervalo da banda de energia proibida | | eV | 1,43 | 1,12 |
| Tipo de Intervalo de energia | - | - | direto | indireto |
| Densidade de estados na banda de condução | | cm^{-3} | $5 \cdot 10^{17}$ | $3 \cdot 10^{19}$ |
| Resistividade máxima | ρ | $\Omega \cdot \text{cm}$ | $\sim 10^9$ | $\sim 10^5$ |
| Tempo de vida de portadores minoritários | | Seg. | $\sim 10^{-8}$ | $\sim 10^{-5}$ |
| Altura da barreira Schottky | Φ_B | V | 0,6 - 0,8 | 0,4 - 0,6 |
| Condutividade térmica | | $\text{W/cm} \cdot ^\circ\text{C}$ | 0,46 | 1,45 |
| Coefficiente de dilatação | $\Delta L/(L \Delta T)$ | $^\circ\text{C}^{-1}$ | $5,9 \cdot 10^{-6}$ | $2,5 \cdot 10^{-6}$ |
| Permitividade Relativa | ϵ_r | - | 12,9 | 11,7 |

Tabela 3 - Características elétricas do GaAs e do Si

Si. A Fig. 23 compara as curvas **velocidade - campo elétrico** para elétrons em GaAs e Si. Para GaAs, em um campo elétrico relativamente baixa, a mobilidade μ_n , em material não dopado, vai de 8000 a 9000 $\text{cm}^2/\text{V} \cdot \text{s}$, o que é aproximadamente 7 vezes maior que no Si. Neste caso, o coeficiente de difusão do elétron é correspondentemente aumentado, levando a um tempo de transito menor, e portanto uma capacitância de difusão menor e uma alta frequência de corte [23]. Por isso, a facilidade em construir dispositivos, chaves, em HBT.

Uma outra vantagem do GaAs sobre o Si é que para um campo elétrico aproximadamente de $3 \cdot 10^3$ V/cm, a velocidade de saturação do elétron de GaAs é $2 \cdot 10^7$ cm/s, o que é somente duas vezes a velocidade de saturação do Si. Por isso FETs de GaAs chegam mais rápido, para baixa tensão, que os do Si.

* **Propriedade semi - isolante do substrato de GaAs** (resistividade na faixa de 10^7 a 10^9 Ω .cm à temperatura ambiente) é outra vantagem que permite a simplificação tecnológica e otimização do desempenho: não apenas minimiza as capacitâncias parasitárias para o plano de terra como proporciona também a fácil isolamento elétrica de dispositivos em um mesmo substrato. Uma distância de 1 a 2 μ m entre os dispositivos é suficiente;

* **Faixa de operação de temperatura** do GaAs é de -200 °C a $+200$ °C. Portanto bem mais ampla que no Si. Isso é devido ao intervalo de energia mais amplo do GaAs. Além disso, o GaAs é mais resistente à radiação devido a ausência do óxido de porta;

* **Barreira Schottky** de ótima qualidade pode ser feita em GaAs a partir de uma ampla variedades de metais tais como Al, W, Pt e Ti; obtém-se junções schottky de ótima qualidade associada a fatores de idealidade, n , menores 1,1 e baixíssimas correntes reversa, $J_s < 1$ μ A/cm². Fatores de idealidade excelentes permitem a realização de MESFETs com características bem controladas;

* **Intervalo de energia com transição direta** entre as bandas de valência e de condução permite a recombinação radioativa eficiente de elétrons e lacunas, possibilitando que junções pn diretamente polarizadas possam ser empregadas na construção de emissores de luz; obtém-se com isso a integração eficiente de funções elétricas e ópticas.

O GaAs é sempre melhor que o Si ?

A resposta a pergunta é não. A tecnologia de GaAs tem as suas limitações. Não é possível, por exemplo, circuitos de GaAs complementares, porque a mobilidade de lacunas é muito baixa em relação aos elétrons. Em silício temos circuitos CMOS. Por isso muitas estruturas de circuitos lógicos empregadas em Si não podem ser adaptadas à GaAs. O outro problema encontrado na tecnologia de GaAs está associado à obtenção de elevados níveis de integração de dispositivos (VLSI e ULSI), uma vez que as características térmicas e também mecânicas de GaAs são inferiores a do Si. A condutividade térmica do GaAs é três vezes menor que a do Si, apresentando problemas de dissipação de potência quando o nível de integração cresce excessivamente. Por sua vez, o coeficiente de dilatação de GaAs é cerca de duas vezes maior que o do Si, que associado à pior condutividade térmica resulta em delicados problemas de montagem. Além disso, os procedimentos de fabricação em GaAs devem levar em conta a grande fragilidade do substrato, devido às pequenas espessuras, tipicamente entre 100 e 300 μ m. Estes fatores são alguns dos que influenciam na obtenção de um menor rendimento de processo de fabricação na tecnologia GaAs.

Por sua vez, o Si apresentam limitações quando se trata de aplicações de alta velocidade. Atualmente, estas aplicações estão divididas em dois grupos:

- computadores ultra-rápidos, com ciclos de máquina em sub - nanosegundos;
- sistemas de telecomunicações e de instrumentação em taxas multigigabit/s.

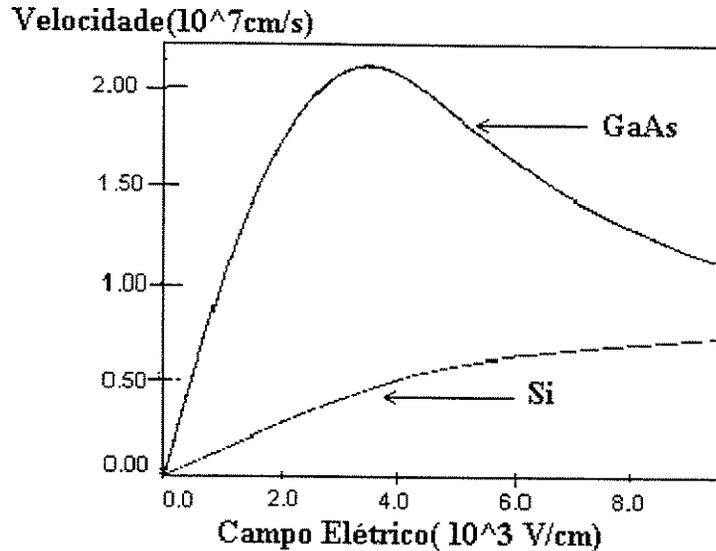


Figura 23 - Comparação entre curvas **velocidade - campo elétrico** nos materiais Si e GaAs

A primeira classe de aplicações de alta velocidade requer circuitos com níveis de integração muito alto, VLSI, e a segunda, níveis de integração alto, LSI. Uma tecnologia para circuitos digitais de alta velocidade com escala de integração elevada e muito elevada deve satisfazer os requisitos de integração, alto rendimento de processo e baixíssima energia dinâmica de chaveamento. Esta energia é definida como sendo a mínima energia necessária para se obter o chaveamento entre níveis lógicos considerando um ciclo de relógio, sendo dado pelo produto **potência dissipada - atraso**, $2 \cdot P_{diss} \cdot \tau_{pd}$. A energia dinâmica ideal para se obter circuitos VLSI de alta velocidade deve ser menor 0,1pJ. A Fig.24 mostra os limites entre a energia dinâmica de chaveamento e o número de portas lógicas por chip para um caso realístico de potência dissipada pelo chip de 2 W.

Circuitos de GaAs de alta velocidade comparadas com circuitos de Si, também de alta velocidade, tem um performance melhor em termo de energia dinâmica. A Fig. 25 apresenta a energia dinâmica de chaveamento calculada[24, 25] para portas lógicas normalmente - ON de família lógica SDFL em GaAs, em função de atraso de propagação, comparando-as com portas normalmente - OFF em Si. Em ambos os casos são considerados MESFETs de $W=10\mu\text{m}$, $L=1\mu\text{m}$ e capacitância de carga nas saídas das portas igual a 30 fF. Obtém-se, evidentemente, uma drástica redução de energia mínima necessária ao chaveamento, bem como do produto potência - velocidade, quando se emprega MESFETs de GaAs. Assim, velocidades de chaveamento da ordem de 4 a 6 vezes maiores são obtidas com transistor de MESFETs de GaAs, para a mesma excursão lógica. O melhor desempenho das portas implementadas com MESFETs de GaAs seria ainda mais acentuado se ambas as portas lógicas empregassem transistores do tipo enriquecimento. Sabe-se que portas lógicas normalmente - OFF necessitam menor energia de chaveamento.

Assim, conclui-se que portas lógicas de altas velocidades em GaAs tem um desempenho melhor que em Si. CIs usando FETs de GaAs têm demonstrado ser mais

rápidos que os CIs em Si nas tecnologias MOS e bipolares de homojunção, ou, exibem menor consumo de potência para a mesma taxa de operação.

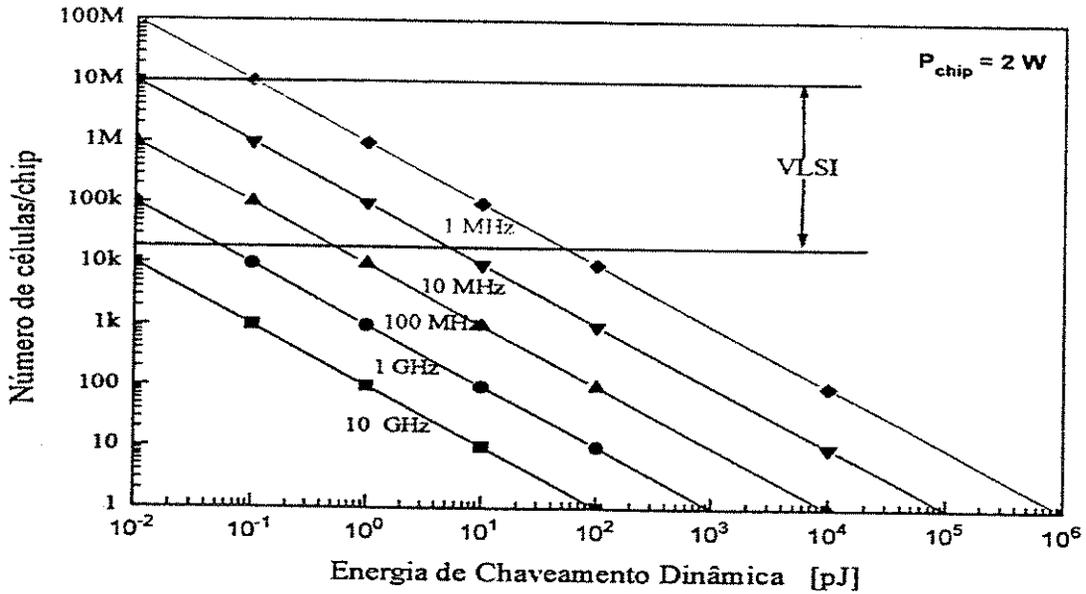


Figura 24 - Limite para obtenção de circuitos VLSI em função da energia dinâmica de chaveamento, considerando-se um caso prático de $P_{diss} = 2 \text{ W}$ [11]

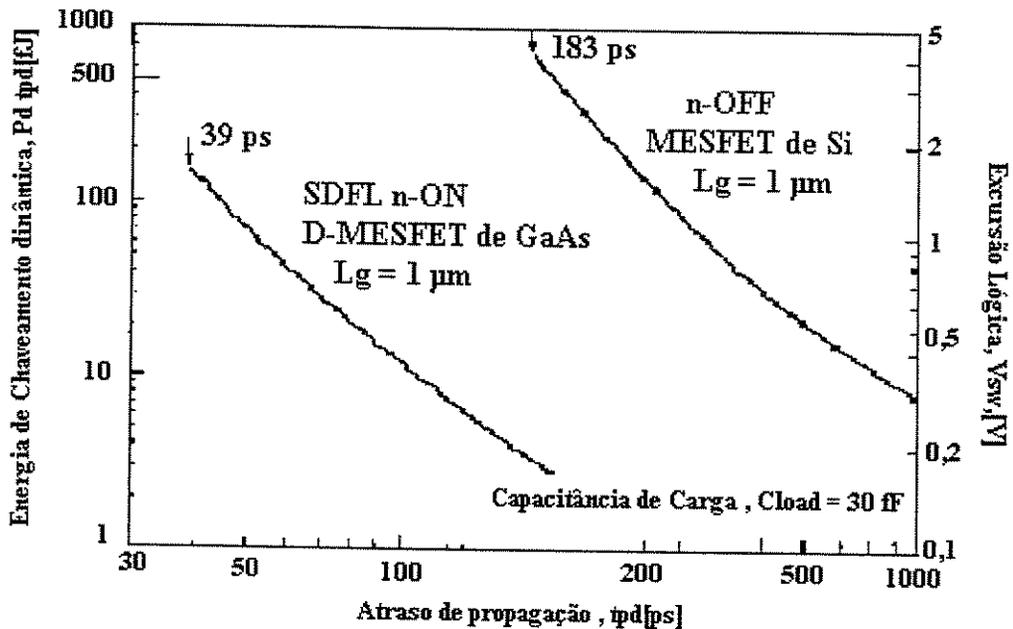


Figura 25 - Desempenho de chaveamento das portas lógicas implementadas a partir de MESFETs de Si e GaAs, para a mesma capacitância de carga

2.3.2.2. Desempenho e comparação entre velocidade - potência - complexidade

A tecnologia de GaAs agora é comparada com o Si não só em termos das propriedades do material, mas também, em função da velocidade, potência e complexidade. Sabemos que a principal limitação do Si, em aplicações em alta velocidade é o consumo de potência. Nesta seção tentaremos provar, porque o GaAs é ainda a melhor escolha quando necessitamos simultaneamente de circuitos que operem em alta velocidade e consomem pouca potência, isto é, circuitos de baixa excursão lógica [26].

A energia dinâmica, E_{sw} é dada pela seguinte fórmula :

$$E_{sw} > 1/2 * C * (\delta V)^2 \quad (2.1)$$

Na equação (2.1) C é a capacitância total da carga na porta de saída e δV a variação lógica. E_{sw} é definido como a energia mínima que uma porta dissipa durante o chaveamento, durante um ciclo do relógio. Devemos lembrar que a variação lógica é limitada, na prática, pela margem de ruído, em circuitos VLSI. Por isso há limitação na redução da variação de tensão entre os níveis lógicos.

Para circuitos estáticos tal como o DCFL, a potência dissipada é a soma das potências estática e dinâmica dissipadas como mostra a equação (2.2):

$$P = V_{DD} * I_{DD} + C * (\delta V)^2 * F * \alpha \quad (2.2)$$

Na equação (2.2) I_{DD} é a corrente de alimentação média, F é a frequência de operação e α é um fator. Da equação (2), a potência dinâmica P_{din} pode ser expressa por :

$$P_{din} = C * (\delta V)^2 * F * \alpha \quad (2.3)$$

A partir da equação (2.1) temos : $P_{din} = 2 * E_{sw} * F * \alpha$ e, a partir desta equação temos :

$$E_{sw} = \beta * (P_{din} * t) \quad (2.4)$$

Olhando para a equação (2.4) podemos dizer que a energia dinâmica de chaveamento é o produto potência-atraso, que é o mais importante figura do mérito para portas lógicas em aplicações em circuitos VLSI de alta velocidade.

Olhando para a equação (2.3) vê-se que a potência dinâmica é diretamente proporcional a frequência de operação e da variação da tensão ao quadrado. A variação da tensão, usualmente usadas em portas CMOS é entre 3.5V e 5V, enquanto que para o GaAs varia entre 0,6V e 0,7V. Conclui-se então, que para GaAs, a potência consumida é virtualmente independente da frequência. Circuitos de GaAs são mais eficiente quando a frequência ficar maior que 150 MHz. A Fig. 26 mostra o gráfico potência versus frequência para as tecnologias de GaAs e CMOS (Si) [11].

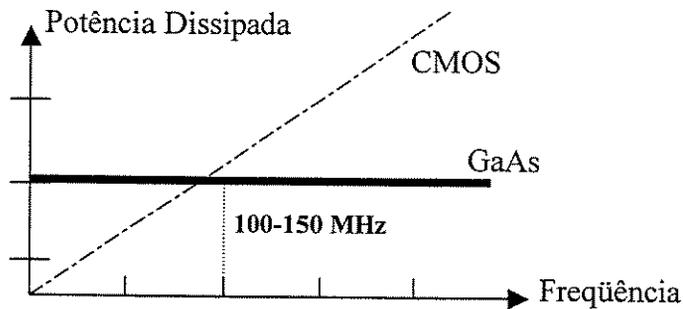


Figura 26 - Comparação potência versus frequência para as tecnologias de GaAs e Si

Em relação a complexidade dos circuitos muitas perguntas relacionadas com problemas de qualidade do material GaAs e o processo usado para fabricação de CIs em VLSI ainda não foi respondida. Isso é verdade em particular para o DCFL, com o seu pequeno variação lógica e pequena margem de ruído. Sabe-se que é por isso que o DCFL é muito dependente da uniformidade em V_t (tensão de limiar) do transistor do enriquecimento para manter a margem do ruído. A Vitesse tem construído circuitos DCFL de alto rendimento, baixa dissipação de potência, alta velocidade e de alto nível de integração. Hoje em dia devido ao alto controle do processo tem-se fabricado circuitos DCFL em VLSI.

2.3.2.3. Famílias lógicas em MESFETs de GaAs

Antes de começarmos a falar de família lógica de GaAs será muito bom lembrar brevemente a família lógica de Si NMOS ("N-channel Metal Oxide Semiconductor") , largamente usado em circuitos de Si em VLSI, para que possamos compará-los .

Um circuito lógico inversor NMOS é mostrado na Fig. 27. Como se vê ele é formado por um transistor de enriquecimento que funciona como chave, ("Pulldown") e um transistor de depleção que funciona como carga. O transistor de enriquecimento tem na sua saída, saída do inversor, uma tensão menor que o seu V_t quando a entrada é alta. O transistor de depleção leva a saída do inversor para V_{dd} quando a entrada é baixa.

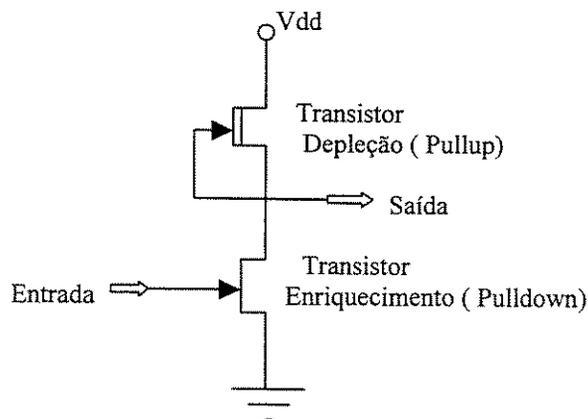


Figura 27 - Inversor NMOS

Existem vários tipos de famílias lógicas de GaAs [16]. Todas elas podem ser classificadas, basicamente em duas abordagens construtivas: portas lógicas normalmente-ON, isto é, construídas só com transistores de depleção, DFETs, ($V_{th} < 0$) e portas lógicas normalmente-OFF, isto é, construídas usando-se DFET e EFET ($V_{th} > 0$). As portas lógicas normalmente-ON foram a primeira geração de CIs digitais de GaAs. Isso foi devido à maturidade de processo dos DFETs. Mais tarde, com o maior domínio da técnica no processo de fabricação de EFETs, ou seja, no aumento do rendimento do processo e a uniformidade da tensão de limiar, V_{th} , introduziu-se a lógica normalmente-OFF, que detém características essenciais para implementação de CIs de GaAs em LSI e VLSI, isto é, área reduzida e de baixa energia dinâmica de chaveamento.

Um grande número de famílias lógicas normalmente-ON tem sido proposto usando-se DFETs. As mais usadas tem sido: BFL, "Buffered FET Logic", SDFL, "Schottky Diode FET Logic", e o CCFL, "Capacitor Coupled FET Logic". Em geral, famílias lógicas que empregam apenas transistores normalmente-ON necessitam de duas fontes de alimentação. A fonte negativa alimenta o estágio de saída, que por sua vez fornece nível de tensão negativo, necessário para se obter o corte do DFET de entrada da próxima da próxima porta. Tensão de limiar para as famílias normalmente-ON estão na faixa de -3,0 V a -5,0 V.

No que concerne as portas lógicas normalmente-OFF de GaAs, elas tornaram-se viáveis somente em meados da década de 80, devido ao aperfeiçoamento dos processos tecnológicos, particularmente, pela redução do desvio máximo da tensão de limiar ao longo da lâmina e de sua reprodutibilidade de lâmina para lâmina. Complementarmente, algumas famílias normalmente-OFF foram propostas visando minimizar a dependência de seu desempenho (funcionamento e margem de ruído) em relação às variações de V_{th} . Esse tipo de porta utiliza EFETs como dispositivo de chaveamento e DFETs como carga ativa, fonte de corrente, etc. Necessitam geralmente de apenas uma única fonte de alimentação para obter o mesmo desempenho dinâmico que a maior parte das famílias normalmente-ON. Fazem parte desta família o QFL, "Quasi FET Logic", DCFL, "Direct Coupled FET Logic", e o SCFL, "Source Coupled FET Logic". As famílias lógicas acima citadas, exceto o DCFL que será estudado detalhadamente, encontram-se com maior detalhes em [16].

2.3.2.3.1. Lógica DCFL - Direct Coupled FET Logic

Antes de começarmos a falar do DCFL foi feito um estudo sobre o transistor MESFET, "Metal Semiconductor Field-Effect Transistor", para que possamos entender melhor o DCFL e dele tirar o maior proveito, isto é, fazer circuitos com o máximo rendimento possível. O MESFET é um transistor de efeito de campo de junção, JFET, em que o contato da porta é uma junção metal-semicondutor retificadora, ou díodo Schottky. No JFET a junção da porta é uma junção pn. Das estruturas mais comuns de transistores bipolar, FET de porta isolada e FET de junção, o MESFET é a que traz maiores vantagens ao emprego do GaAs, pois não requer a presença de semicondutores tipo p [27]. A junção Metal-Semicondutor retificadora tem basicamente as mesmas características de uma junção pn, o que torna o MESFET muito parecido com o JFET. A estrutura do MESFET é mostrado, em baixo, na Fig. 28:

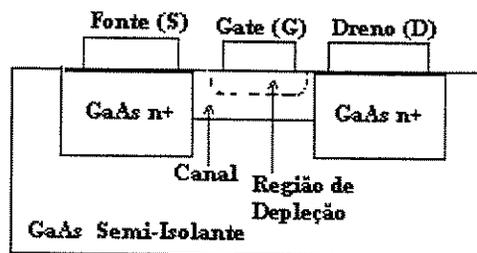


Figura 28 - Estrutura do MESFET

Os contatos da fonte e dreno são contatos ôhmicos, enquanto que, como já dissemos, o contato da porta é retificador. A região tipo n da fonte e dreno é uma região mais dopada, representada na Fig.28 por n^+ , cuja função é reduzir a resistência parasita em série entre o contato e o canal, bem como reduzir a resistência ôhmica do contato sobre a fonte e dreno.

Como opera o MESFET ?

A tensão aplicada entre a porta e a fonte modula a camada de depleção indicada na Fig. 28, controlando a quantidade de portadores livres (elétrons) presentes no canal. A tensão V_{GS} abaixo da qual a região de depleção ocupa todo o canal e não há elétrons livres, não havendo portanto condução, é denominada V_{TH} (tensão de limiar ou threshold). Abaixo dessa tensão o FET está cortado. Se V_{GS} for maior que V_{TH} haverá um canal por onde os elétrons injetados na fonte poderão passar, sob tensão V_{DS} .

Para V_{DS} pequeno, somente a tensão V_{GS} mudará o canal. Teremos então um resistor que tem duas dimensões fixas e a terceira controlada por V_{GS} . O FET nessas condições estará na região linear, ou ôhmica.

Dado um $V_{GS} > V_{TH}$ e fixo, para V_{DS} acima de determinado valor V_{DSsat} nota-se que a corrente que circula no canal satura, ou seja, grandes aumentos em V_{DS} resultarão em pequenos aumentos na corrente. A saturação da corrente de dreno para valores maiores de V_{DS} pode ser explicada pela constrição do canal próximo ao dreno ou pelo efeito de saturação da velocidade dos portadores. Na verdade este último é o efeito dominante para

FETs de porta curta, enquanto que o primeiro se aplica melhor a dispositivos de porta longa.

Segundo a "Aproximação de Canal Gradual" [6] a tensão V_{DS} vai sofrendo quedas ao longo do canal, diminuindo a tensão que efetivamente é aplicada entre a porta e fonte. Junto à fonte (que se supõe aterrada) a tensão devido à barreira é zero. Logo a tensão aplicada entre a porta e o canal é simplesmente V_{GS} . Junto ao dreno, a tensão devido à bateria de dreno é V_{DS} . Logo a tensão efetivamente aplicada é $V_{GS} - V_{DS}$, ou seja, mais negativa. A região de depleção sofrerá então gradual aumento ao longo do canal em direção ao dreno, conforme é mostrado na Fig. 29. Se essa tensão for menor que V_t , haverá junto ao dreno uma constrição do canal, situação a partir do qual o FET entra na saturação.

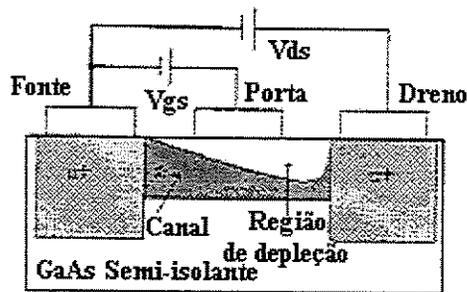


Figura 29 - Formato do canal antes da constrição

Este modelo de constrição do canal aplica-se muito bem para o JFET de silício. Porém foram observadas sensíveis diferenças entre as curvas I_{DS} versus V_{DS} previstas por esse modelo e as curvas experimentais para MESFETs de porta curta. Notou-se que a saturação da corrente no MESFET ocorria antes do previsto. Isso pode ser explicado pela diferença de comportamento entre o Si e GaAs sob a influência de um campo elétrico. Para dispositivos de porta curta, a saturação da corrente é causada pela saturação na velocidade dos elétrons, que ocorre antes da constrição do canal [16].

Na Fig. 30 temos a forma das curvas I_{DS} versus V_{DS} do MESFET. Nesta figura podemos distinguir três regiões: **corte**, em que $V_{GS} < V_{TH}$; **região linear ou ôhmica**, em que $V_{GS} > V_{TH}$ e $V_{DS} < V_{DSsat}$ e **região de saturação**, em que $V_{GS} > V_{DSsat}$.

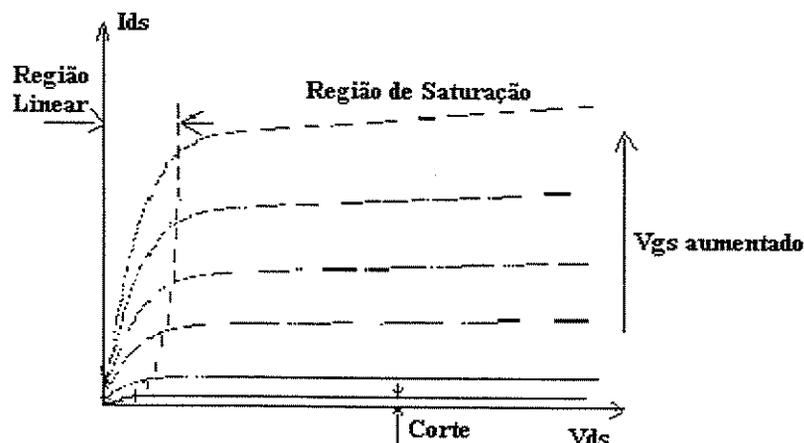


Figura 30 - Curvas características do MESFET

Como são o DFET e EFET ?

Já sabemos que V_{GS} regula a altura do canal por onde circulam os portadores de carga e também sabemos que um $V_{GS} < V_{TH}$ esvaziaria totalmente o canal de portadores móveis, ao passo que um $V_{GS} > V_{TH}$ tornaria impossível a passagem de corrente. A situação do canal antes da aplicação de V_{GS} define dois tipos de FETs: se o canal já foi formado no processo de fabricação do dispositivo, como são nas Figs. 28 e 29, mesmo com $V_{GS} = 0$, teremos um **DFET**; se por outro lado se fizer com que a região de depleção tome todo o canal com $V_{GS} = 0$, teremos um **EFET**.

Note portanto que a tensão de limiar do DFET é negativa. Neste caso como já temos o canal, uma tensão reversa é necessária para ampliar a região de depleção, isto é, diminuir o canal ou mesmo estrangulá-lo. No caso do EFET, a tensão de limiar é positiva, pois é necessária uma tensão direta para reduzir a região de depleção, e portanto formar o canal. Para ambos há um V_{GS} máximo. Como já foi dito, a junção da porta do MESFET é um diodo Schottky, que conduz para tensão direta maior que 0,7 V (em torno disso). Este limite deve ser respeitado para um bom funcionamento do FET. Os símbolos dos FETs estão mostrados, a seguir, na Fig. 31.

Os símbolos dos FETs estão mostrados, a seguir, na Fig. 31.

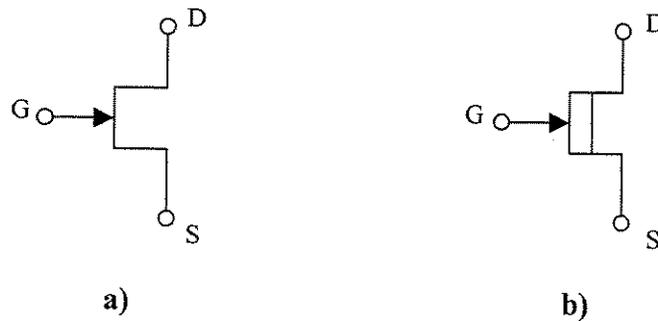


Figura 31 - Símbolos: a) EFET e b) DFET

Como é o modelo usado para o MESFET ?

O modelo usado, no nosso caso, o **HSPICE**, é baseado no trabalho de Statz, que por sua vez se baseia no modelo da tangente hiperbólica de Curtice, que descreve a corrente de dreno nas regiões linear e de saturação, pela seguinte equação[28]:

$$I_{DS} = W \beta (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \tanh(\alpha V_{DS}) \tag{2.5}$$

Neste trabalho, para fins de cálculos analíticos, utilizaremos uma expressão mais simples, que descreve a corrente de dreno na região de saturação e despreza a condutância de saída:

$$I_{DS} = W \beta (V_{GS} - V_{TH})^2 \tag{2.6}$$

Os modelos utilizam parâmetros fornecidos, no nosso caso, pela VITESSE [29] para o seu processo de fabricação.

Os modelos para as capacitâncias também são baseados no trabalho do Statz.

As curvas características I_{DS} versus V_{DS} do DFET e EFET para os parâmetros do processo da VITESSE [29] são mostradas a seguir, na Fig. 32:

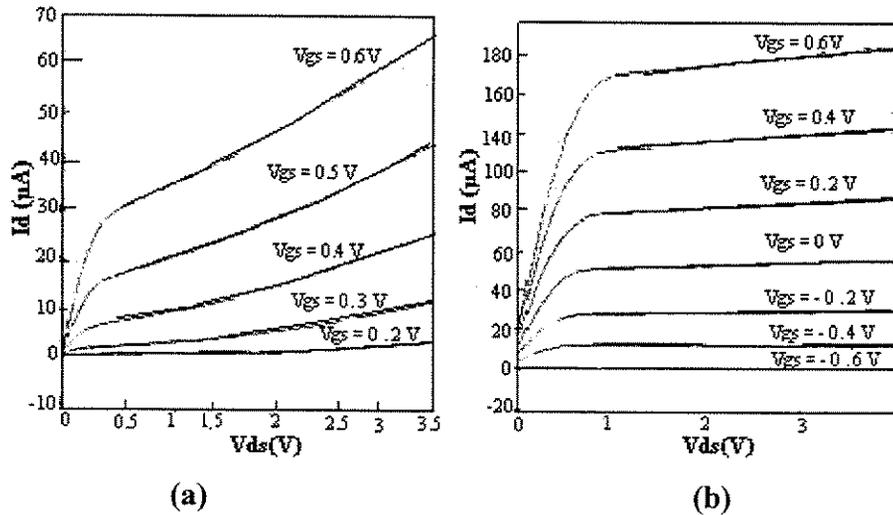


Figura 32 - Curvas características : a) EFET para $W = 2\mu\text{m}$ e $L = 1\mu\text{m}$ b) DFET para $W = 2\mu\text{m}$ e $L = 2\mu\text{m}$

Como é o inversor lógico que compõem os CIs digitais em DCFL ?

Para que possamos entender melhor uma família lógica, é muito importante fazer um estudo do inversor lógico dessa família, pois são elementos básicos que compõem qualquer circuito digital dessa família.. É mostrada na Fig. 33, a estrutura de um inversor lógico genérico:

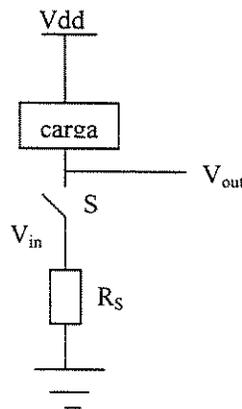


Figura 33 - Estrutura genérica de um inversor

O funcionamento do inversor é muito simples: quando a tensão de entrada é alta, a chave S fecha, e temos a passagem da corrente. Essa corrente causa uma queda de tensão V_L sobre a carga. A chave e a carga são projetadas de forma que $V_{dd} - V_L$ seja uma tensão baixa. Quando a tensão de entrada for baixa a chave não fecha, e portanto não passa corrente pela carga, e a tensão de saída é simplesmente V_{dd} .

O inversor lógico DCFL, a família lógica mais simples que usa o MESFET, é mostrado na Fig. 34 bem como a curva de carga. Nesta lógica, como se pode ver na figura, o DFET(L) é a carga e o EFET(S) a chave, o elemento ativo.

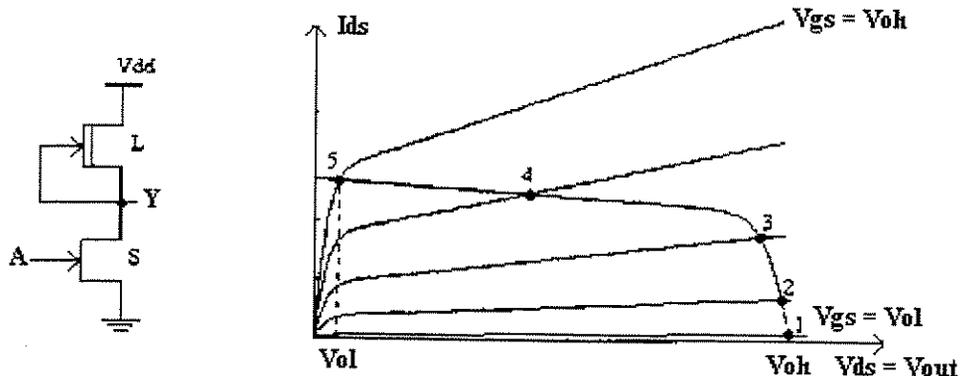


Figura 34 - Inversor DCFL e a curva de carga

Pela figura acima pode-se ver que a tensão de entrada $V_{IN} = V_{GS}$ do EFET e a tensão de saída $V_{OUT} = V_{DS}$ do EFET. Logo, se a entrada varia de V_{OL} até V_{OH} , as saídas são obtidas pelos pontos de interseção entre as curvas de S e L. Na prática, um estágio do inversor estará acionando outro, de forma que a tensão de saída será limitada pela condução direta na porta do próximo estágio. Como já sabemos, a junção da porta em um MESFET é um diodo Schottky, que limita a tensão direta em aproximadamente 700mV. Logo V_{OH} ficará por volta de 700mV. Podemos então construir a curva de transferência do inversor, que relaciona a tensão na saída com a tensão na entrada. Ela é obtida através dos pontos 1, 2, 3, 4 e 5 da Fig. 34.

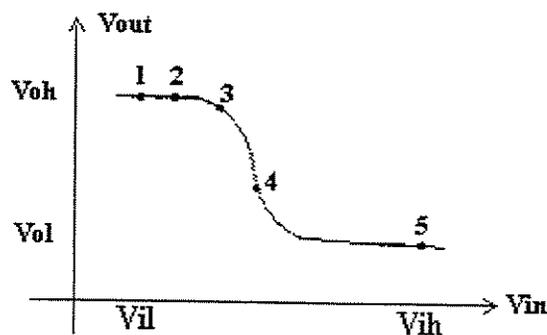


Figura 35 - Curva característica de um inversor

Análise DC do inversor

Para determinarmos os níveis lógicos estáveis do inversor fazemos um estágio inversor acionar outro. As curvas de transferência de cada estágio são então sobrepostas no mesmo gráfico, conforme indica a Fig. 36 :

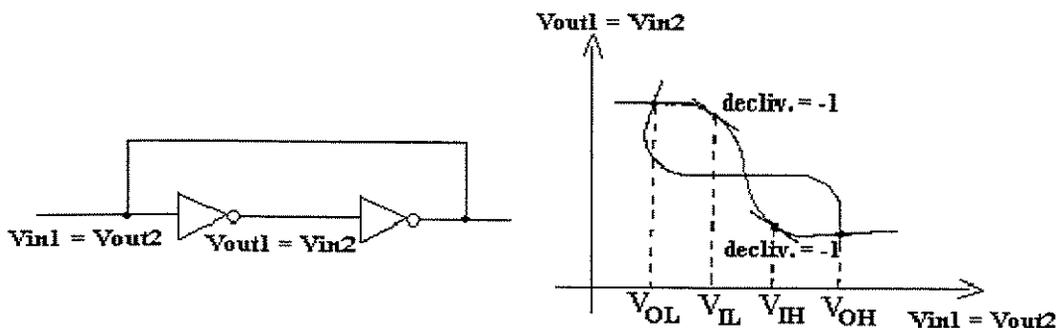


Figura 36 - Determinação dos níveis lógicos e margens de ruído

Os valores de V_{IL} e V_{IH} , indicados na Fig. 36, em que a declividade da curva de transferência é -1 determinam respectivamente o máximo valor do nível lógico baixo e o mínimo valor do nível lógico alto [30]. Dessa forma, podemos definir a margem de ruído do inversor da seguinte forma:

- Margem de ruído baixa(NML) = $V_{IL} - V_{OL}$

- Margem de ruído alta(NMH) = $V_{OH} - V_{IH}$

A margem de ruído é uma característica dos circuitos digitais, pois determina a capacidade deste circuito de operar em ambiente real, em que várias fontes de ruído estão presentes. A identificação e caracterização das fontes de ruído associadas ao circuito é muito importante. As principais fontes de ruído são: cross-talk entre portas independentes, correntes transientes presentes nas linhas de alimentação e as uniformidades do processo tecnológico. Esses fatores podem causar variação no desempenho da porta, ou mesmo operação imprópria. Como regra geral, a somatória para o pior caso das amplitudes de todos os ruídos deve ser menor que a margem de ruído da porta lógica, afim de que o ruído não provoque comutação de estado lógico da porta. Por isso é essencial determinar a influência dos parâmetros do inversor nas margens do ruído. Isso pode ser feito através da análise das mudanças na curva de transferência do inversor.

Vamos analisar a variação de dois parâmetros do transistor de chaveamento: W_E e V_{TE} . Note que, se W_E aumentar, a corrente de dreno do FET será maior para o mesmo V_{GS} . O mesmo acontece se V_{TE} diminuir. Logo uma diminuição do V_{TE} (devido as variações inerentes ao processo de fabricação) ou o aumento do W_E (parâmetro do projeto) levarão a elevação da corrente do EFET. Observando as Figs. 34 e 35, vemos que, se a

corrente do EFET aumenta para os mesmos valores de V_{GS} , os pontos 1, 2, 3, 4 e 5 sofrerão um deslocamento para a esquerda, pois a curva de carga permanece onde está e as curvas do EFET se deslocarão para cima. Isso se refletirá numa diminuição da margem de ruído baixa, conforme pode ser visto na Fig. 37:

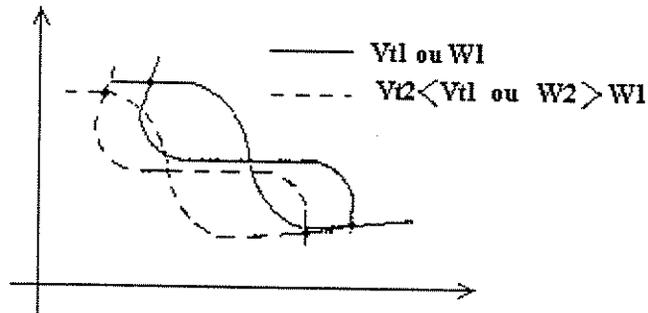


Figura 37 - Influência do V_{TE} e W_{TE} nas margens de ruído

Esta sensibilidade da margem do ruído à variação do V_{TH} é um grande problema para a lógica DCFL, uma vez que as variações do V_{TH} devido ao processo de fabricação são inevitáveis [29]. O uso do DCFL em VLSI fica então dependente de um severo controle da tensão V_{TH} durante a fabricação dos dispositivos.

Análise dinâmica

O interesse em circuitos de GaAs decorre principalmente de sua alta velocidade de chaveamento. No estudo do MESFET é portanto essencial caracterizar o tempo de atraso das portas, em particular dos inversores.

A principal causa do atraso de propagação do sinal por uma porta lógica são as diversas capacitâncias que devem ser carregadas ou descarregadas nas transições dos níveis. Essas capacitâncias são as capacitâncias de entrada de um estágio subsequente, capacitâncias de trilhas e também uma parcela das capacitâncias internas da própria porta. Para que possamos ter então baixas capacitâncias, no percurso do sinal, um dos jeitos é ter baixos **Fan-in** e **Fan-out**. Por Fan-in entende-se pela quantidade de entradas de uma porta lógica e por Fan-out pela quantidade de portas acopladas a saída desta porta lógica. Tanto o fan-in como o fan-out então influenciam no tempo de atraso. Um fan-in maior significa uma capacitância interna maior, portanto um atraso maior. Um fan-out maior significa também um aumento das capacitâncias e, conseqüentemente, um atraso também maior. Por isso é definido, em seguida, **tempos de atraso**, para o inversor, que é dada com o auxílio da Fig. 38. Olhando para Fig. 38 podemos ver os tempos de atraso t_d , que corresponde à diferença entre os instantes de tempo entre a entrada e a saída, contados na metade da excursão do sinal. O t_f que corresponde ao tempo que a saída leva para mudar de nível alto para baixo. É medido nos pontos correspondentes a 90% e 10% da excursão do sinal e finalmente o t_r que corresponde ao tempo que a saída leva para mudar de nível baixo para alto. É medido nos pontos correspondentes a 10% e 90% da excursão do sinal.

Para medirmos o tempo de atraso do inversor, utilizamos um oscilador em anel de 17 estágios, conforme mostra a Fig. 39:

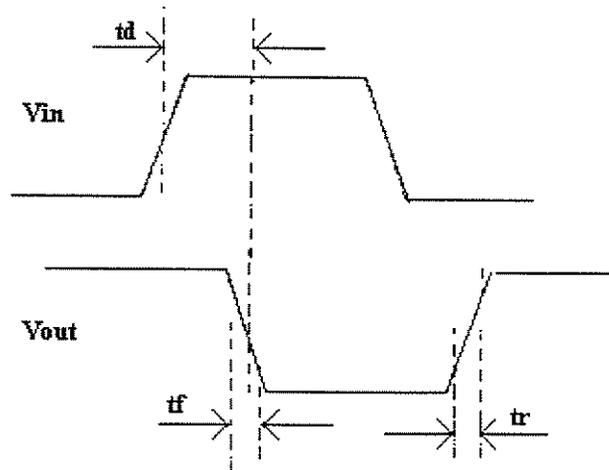


Figura 38 - Tempos de atraso de um sinal

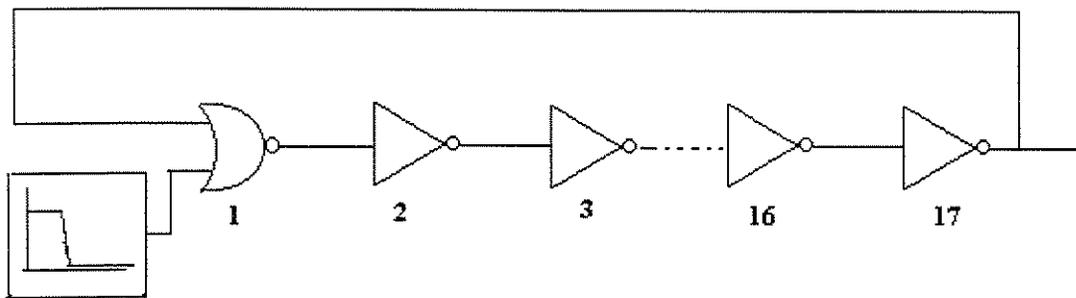


Figura 39 - Circuito medidor de atraso - Oscilador de 17 estágios

A medida de atraso é feita da seguinte maneira; Suponha que a saída do último estágio passe de alto para baixo no instante t_0 e que cada estágio tenha um tempo de atraso t_D . Como esse sinal baixo vai se propagar por um número ímpares de inversores, após $17t_D$ segundos ele estará de volta na saída do último estágio, mas agora no nível alto. Após mais $17t_D$ segundos o sinal estará novamente baixo. Vê-se então que este sinal oscila, com um período de oscilação de $34t_D$ segundos. Medimos o período de oscilação T e daí tiramos o tempo de atraso pela relação:

$$t = T/34 \tag{2.7}$$

A avaliação de t_R e t_F é feita tomando-se um inversor qualquer do oscilador e mede-se o tempo gasto nas transições.

Note-se que o primeiro estágio do oscilador em anel é uma porta NOR em que uma das entradas é alimentada por um pulso de uma determinada amplitude e largura. Este

estágio é necessário para evitar outros modos de oscilação além do principal, no qual estamos interessados.

Potência

Em relação a potência dissipada por um inversor também é de suma importância pois, permite-nos avaliar a potência consumida pelo CI digital, cuja a célula básica é o inversor. Geralmente os esforços feitos para diminuir o atraso têm o efeito de aumentar a potência consumida. Deve-se a isso ao fato de que o tempo de atraso geralmente é reduzido através do aumento de corrente que o circuito fornece na saída, e esse aumento causa diretamente um aumento na potência fornecida pela fonte de alimentação. Costuma-se então, por causa disso, definir um parâmetro que defini melhor o comportamento transitório do circuito, que é o produto **Potência-atraso** [6].

Lógica DCFL

Como foi dito anteriormente agora vamos falar da lógica DCFL propriamente dito. A estrutura básica do DCFL é muito simples. Como é mostrada na Fig. 40a), consiste, como também foi dito anteriormente, de um DFET funcionando como carga ativa (T_L) e um EFET funcionando como chave (T_S), conectados da mesma forma que uma porta NMOS. A simplicidade desta lógica, DCFL, decorre do uso de transistores de depleção e enriquecimento. O uso do DFET como carga tem pelo menos duas vantagens: 1) um transistor ocupa menos espaço que um resistor e a corrente disponível é maior, aumentando a rapidez com que a capacitância de entrada do próximo estágio é carregada. Por sua vez o uso do EFET como chave permite que o nível lógico baixo seja positivo, uma vez que a tensão do limiar de um EFET é positiva. Assim, somente uma fonte de alimentação é necessária para um bom funcionamento da porta lógica. Em outras famílias lógicas, como BFL, FL, SCFL, etc, há necessidade de duas fontes, uma positiva e a outra negativa.

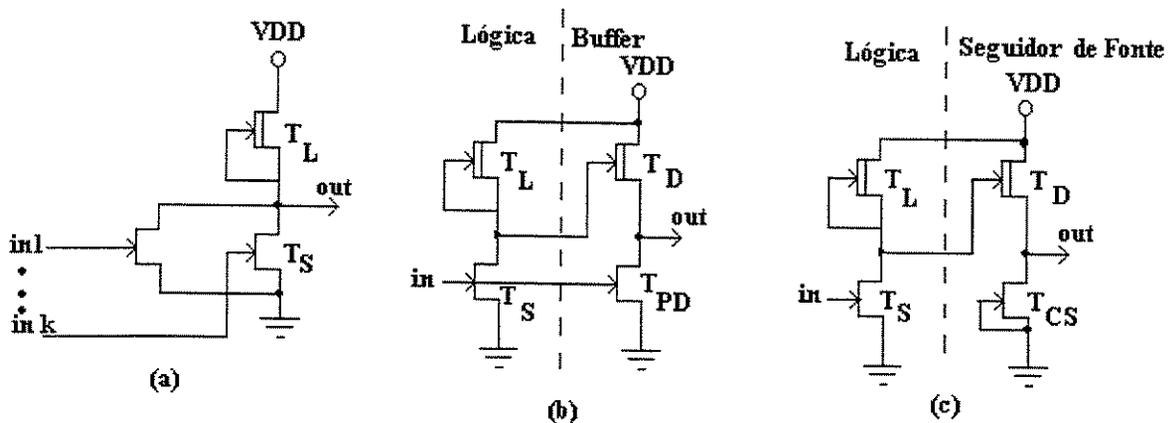


Figura 40 - Topologias básicas DCFL : a) Porta NOR de K entradas, b) Inversor com super Buffer e c) Inversor BDCFL, "Buffered - DCFL"

A topologia DCFL dispensa estágios deslocadores de níveis, resultando em um número mínimo de dispositivos por função lógica, o que acarreta em dissipação mínima de potência, proporcionando construção de circuitos em VLSI e melhor compromisso velocidade-potência. Para tanto, a tensão de alimentação única deve estar na faixa de 1V a 2 V. O circuito em DCFL opera por acomodação da corrente. A maior parte da potência dissipada é estática, eliminando-se o ruído da fonte causado pelo transiente de alta corrente. Portanto, o consumo de potência é quase que independente da frequência de operação e estado lógico. A largura do canal do transistor de carga DFET deve ser ajustado para se obter suficiente excursão lógica, V_{SW} , e margem de ruído, NM. Este parâmetro também influencia o desempenho potência-velocidade da porta, P_{diss} , τ_{pd} e t_r . Para o cálculo da potência dissipada em uma porta DCFL, Fig. 40 a), devem ser levados em conta a parcela estática e a dinâmica. A potência dissipada é dada por [24, 31] :

$$P_{diss} = P_{est} + P_{din} = V_{DD} \cdot I_{DD} + C_L \cdot V_{SW}^2 \cdot f \quad (2.8)$$

C_L : capacitância de carga na saída da porta;

f : frequência de operação, assumindo-se ciclo de trabalho de 50%;

V_{SW} : excursão lógica do sinal sobre C_L ;

V_{DD} e I_{DD} : tensão e corrente de alimentação DC.

Existe a possibilidade de construção de células que compatibilizem suas entradas e saídas com os níveis lógicos das famílias SCFL, BFL, ECL, TTL, etc. Para se garantir compatibilidade com o ECL, e usar uma única fonte, segundo a VITESSE[29], o V_{DD} está ligado no terra e o "Source" do EFET do inversor lógico do DCFL está ligado no $V_{TT} = -2V$. Tipicamente, células DCFL consomem 20% a 25% da potência dissipada por uma célula ECL de mesma função lógica e mesmo desempenho em termos de atraso total. Exemplo típico do produto potência x atraso de propagação DCFL é $100\mu W/célula$ e τ_{pd} de 100ps a 150ps.

As principais desvantagens do DCFL são:

- a) Pequena excursão lógica de saída (menor que 0,8V) e igual à altura da barreira de potencial schottky do transistor EFET. Isto implica em uma reduzida margem de ruído. Tipicamente tem-se NM de 100 a 150mV para $P_{diss} = 0,5 \text{ mW/célula}$ e $V_{DD} = 1,2V$.
- b) Reduzida capacidade de Fan-out, o que limita o desempenho de circuitos muito complexos ou com linhas de interconexão longas. O atraso total cresce muito rapidamente em função da carga: DCFL sem carga apresenta atraso total muito pequeno, tipicamente 42 ps, mas, por exemplo, para fan-out = 3 e $L_g = 2\mu m$, o atraso cresce para $\tau_{pd} = 200 \text{ ps}$. Isso é devido à baixa capacidade de corrente de saída da porta lógica.
- c) Intrinsecamente, apenas as funções lógicas inversora e NOR podem ser implementadas em DCFL. Portanto, as demais funções, como por exemplo, AND, Seletor 2:1 bits, Flip-Flop D, etc., são geradas a partir de inversores e NORs, como podem ser visto na Fig. 41.

Para resolver o problema de Fan-out e reduzida margem de ruído da topologia DCFL pode-se usar a configuração super buffer/inversor, mostrada na figura 40 b). Esta configuração representa um bom compromisso entre lógicas normalmente-OFF bufferizadas e não bufferizadas. Os transistores T_D e T_{PD} do estágio buffer são dimensionados para atender carga capacitiva. No entanto, existem problemas com a configuração super buffer. Os transistores T_D e T_{PD} estarão fortemente conduzindo por um curto período de tempo toda a vez que o nível lógico na saída sofrer a transição de alto para baixo. Este "spike" de corrente causa momentaneamente uma queda de tensão na linha de alimentação. Assim, a ação conjunta do chaveamento de muitas células em um circuito VLSI produz quedas de tensão na linha de alimentação toda a vez que se use super buffers. Além disso, o emprego de super buffers acarreta acréscimo na capacitância de entrada e reduzida capacidade de Fan-in devido ao aumento da complexidade da porta.

Outra abordagem para aumentar a margem de ruído e capacidade de Fan-out em DCFL é usar buffers de saída, dando origem às células BDCFL como é mostrado na Fig. 40c). Neste caso, um estágio seguidor de fonte, com transistores dimensionados para atender uma determinada carga capacitiva, é acrescentado à saída de um célula DCFL, aumentando a margem de ruído para 150 a 200mV, quando $V_{DD} \geq 2,0$ V. Portas BDCFL com operação quase independente da variação de temperatura são mais viáveis de serem obtidas do que portas DCFL, considerando uma faixa de temperatura de 0 a 125°C. O estágio buffer torna a porta BDCFL menos sensível ao aumento de fan-out, podendo ser projetado para compensar o efeito de variação de temperatura até 125°C mais facilmente que portas DCFL. Os transistores do buffer operam na região de saturação com tensão V_{gs} mais elevada que em DCFL, resultando em um maior fluxo de corrente no estágio de saída.

A estrutura BDCFL apresenta as desvantagens de maior complexidade, consumo de potência e atraso intrínseco adicionais, quando comparada com a versão não bufferizada. No entanto, uma porta BDCFL pode ser 50 a 100% mais rápida que uma DCFL, admitindo-se um consumo de potência da ordem de 6 vezes maior, tipicamente 3,4 mW contra 0,5 mW de uma porta DCFL. Estas desvantagens podem ser amenizadas mesclando células DCFL e BDCFL em um mesmo circuito. Uma possível abordagem de projeto seria utilizar células DCFL para a realização de funções lógicas com baixo requisito de fan-out, "bufferizando" apenas aqueles nós com elevado carregamento, devido a fan-out e aos elementos parasitários de interconexão. Desta forma, pode-se otimizar o compromisso **velocidade - consumo de potência** em circuitos de complexidade VLSI em GaAs.

Atualmente, as famílias DCFL, preferencialmente usada em VLSI, e a SCFL, preferencialmente usada em LSI ou média escala de integração, estão sendo amplamente empregadas na implementação de circuitos digitais de GaAs pelas "foundries" de prototipagem de CIs. A razão disso é a conjunção de dois fatores complementares: a) características favoráveis destas duas famílias para a construção de CIs em GaAs, principalmente pela altíssima escala de integração obtida pela família DCFL, ou pelo ótimo desempenho de velocidade atingido pela SCFL; b) maturidade obtida com o processo de fabricação. Por exemplo, com o processo H-GaAs III da VITESSE[29], que emprega transistores com comprimentos de porta $L_g = 0,6 \mu\text{m}$, a "foundry" garante dispersão máxima para a tensão de limiar dos dispositivos ao longo da lâmina, $\delta V_{th} = 60$ mV, tanto para EFET, com $V_{th} = 0,220\text{V}$, quanto para DFET com $V_{th} = -0,825\text{V}$.

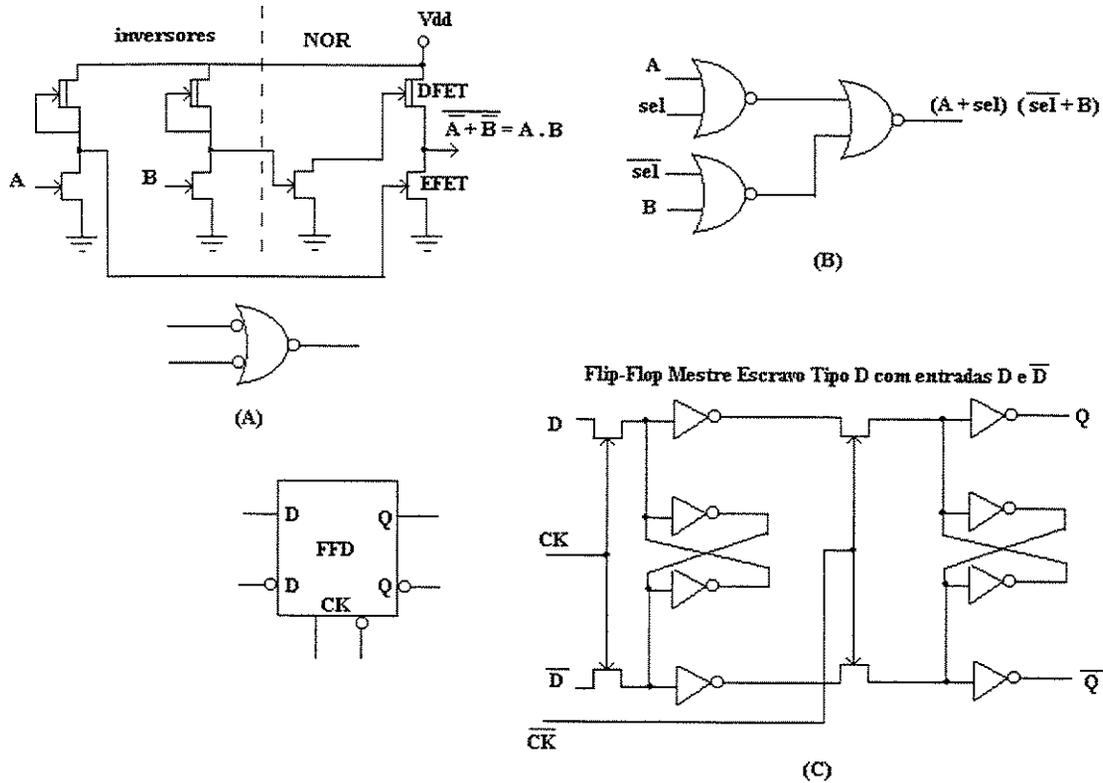


Figura 41 - Funções lógicas implementáveis em DCFL: a) AND, b) Seletor 2:1 bits e c) Flip-Flop tipo D

2.3.2.3.2. Projeto do Inversor Lógico DCFL

No projeto do inversor lógico, mostrado na Fig. 34, o objetivo principal é obter o melhor funcionamento estático e dinâmico do inversor. Para isso, devemos ajustar as dimensões W_d e L_d do transistor de depleção (transistor “Pull-Up”) e o W_e e L_e do transistor de enriquecimento (transistor “Pull-Down”). O processo de dimensionamento dos transistores é um método iterativo e depende, geralmente, da escolha da topologia, da alimentação, variação de temperatura e as características do dispositivo. Neste caso do DCFL as dimensões dos transistores é primeiramente determinado pela carga capacitiva e as considerações dos níveis lógicos. No projeto, inicialmente vamos nos preocupar com os níveis lógicos e margens de ruído (análise DC) e depois, analisaremos o funcionamento dinâmico.

Análise DC

O transistor de enriquecimento (T_E) no processo H-GaAs III da Vitesse, a tensão do limiar é dado por: $V_{TE} = 220$ mV para $L_E = 1\mu m$. Devido as variações no processo de fabricação, o V_{TE} pode ser 150 mV para T_E mais rápidos e 350 mV para T_E mais lentos [29]. No caso acima citado, por segurança, o nível lógico baixo deve ficar bem abaixo de

150 mV, para garantir o correto funcionamento DC do inversor, e o nível alto ficará em torno de 0,7 V.

Suponhamos 2 inversores, um acionando o outro (uma porta DCFL pode ligar-se diretamente a outra, por isso o nome “acoplamento direto”), com a entrada em alta. A saída do primeiro inversor (entrada do segundo) estará então em baixa. O transistor de depleção (T_D) estará na saturação e o T_E estará na região linear. As correntes, segundo o modelo simplificado do JFET, estão mostrados a seguir:

$$\text{Transistor de enriquecimento}(T_E): I_{DS}(T_E) = W \beta (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \tanh(\alpha V_{DS})$$

$$\text{Transistor de depleção}(T_D): I_{DS}(T_D) = W \beta (V_{GS} - V_T)^2$$

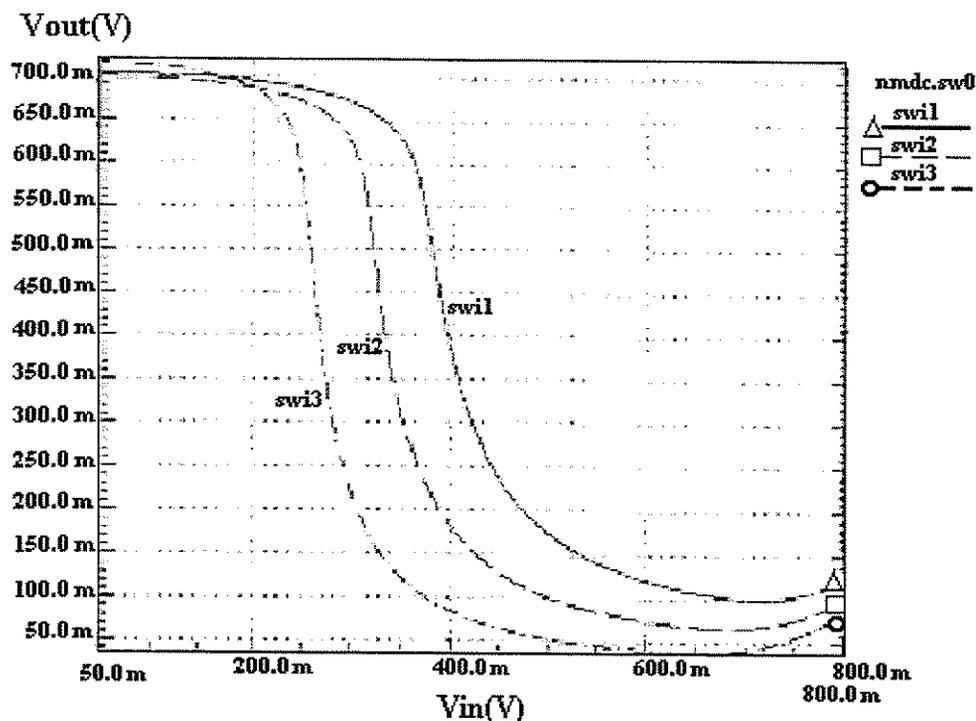
No caso da entrada em alta e saída baixa, teremos: $V_{GS}(T_E) = V_{OH}$, $V_{DS}(T_E) = V_{OL}$, $V_{GS}(T_D) = 0$, $V_{DS}(T_D) = V_{DD} - V_{OL}$. Os parâmetros fornecidos pela Vitesse para o seu processo típico são: $V_T(T_E) = 0,23$ V, $V_T(T_D) = -0,775$ V, $\beta(T_E) = 250 \mu\text{A}/(\text{m}\cdot\text{V}^2)$, $\beta(T_D) = 190 \mu\text{A}/(\text{m}\cdot\text{V}^2)$, $\lambda(T_E) = 0,2 \text{ V}^{-1}$ e $\lambda(T_D) = 0,05 \text{ V}^{-1}$. Nas duas fórmulas acima citadas, na condução, temos $I_{DS}(T_D) = I_{DS}(T_E)$. Igualando então as duas equações, tomando $L_E = L_D = 1 \mu\text{m}$, substituindo os valores das incógnitas dadas acima nas equações, tomando os valores cabíveis para V_{DD} , V_{OH} e V_{OL} , explicitando o β teremos um valor entre 7 e 10.

$$\beta = \frac{(W_E / L_E)}{(W_D / L_D)} = \frac{W_E L_D}{W_D L_E}$$

A razão acima, denominada de β do inversor, para um circuito DCFL funcionar muito bem, isto é, ter um ótimo dimensionamento dos transistores T_D (W_D e L_D) e T_E (W_E e L_E), segundo a Vitesse β deve variar de 7 a 10 [29].

A equação do β , mostrada acima, é na verdade o ponto de partida para o projeto das células que compõem o circuito. Posteriormente, com os valores de W e L projetados, serão feitas simulações em Hspice onde teremos W e L mais precisos. Em relação a margem de ruído é utilizado o **método de declividade -1**, também chamado **método de quadrado máximo**, já mostrados anteriormente. Esse método representa o pior caso para calcular a margem de ruído. Em geral a melhor localização da curva característica, Fig. 36, é aquela onde dentro dos "loops" temos a mesma distância, a maior possível, isto é, $NML = NMH$. Isso é possível se as dimensões dos transistores forem iguais. A melhor localização da curva característica, Fig. 36, é quase sempre, aquela em que a tensão V_{TH} (tensão de limiar) é exatamente igual a $(V_{OH} - V_{OL})/2$, isto é, valor médio [11]. Infelizmente, sobre o que foi dito anteriormente só é válido para inversores. Na realidade temos circuitos formados de vários inversores de dimensões diferentes e, a otimização para esse caso de diferentes combinações de gates é que devemos usar. A Fig. 42 mostra a curva característica duma porta NOR de 3 entradas. A curva swi1 representa o chaveamento só da entrada 1, a curva swi2 para as duas entradas chaveadas e swi3 para as 3 entradas chaveadas simultaneamente. Deve-se salientar o deslocamento na horizontal das curvas para direita ou esquerda de acordo com o número de entradas chaveadas. É esse caso de vários gates, de dimensões diferentes, conectados a outro que é usado na otimização. Neste caso, ver Fig. 43, a curva de transferência característica de 2 portas são assimétricos,

de "loops" diferentes. A tensão de limiar, V_{TH} , neste caso, não é o valor médio entre o V_{OH} e o V_{OL} . No caso anterior a tensão do limiar fica exatamente no ponto onde $V_{in} = V_{out}$. Neste caso, de modo geral, isso não acontece mas, a melhor localização da curva de



transferência continua sendo aquela em que $NML = NMH$.

Figura 42 - Curva característica de uma porta NOR de 3 entradas

A fim de melhorar o funcionamento da porta NOR de 3 entradas, devemos minimizar o espalhamento das 3 curvas características, isto é, quando só uma entrada estiver chaveada, quando as duas entradas estiverem simultaneamente chaveadas e finalmente as três entradas. Para isso, devemos então projetar o inversor tendo em mente a maior margem de ruído, isto é, fazendo com que as curvas características do inversor de 3 entradas fiquem simetricamente ao redor da curva característica do inversor. Feito isso aumentamos a margem de ruído desta porta de 3 entradas, conseqüentemente, melhoramos o seu rendimento.

Este princípio de otimização de portas lógicas é mostrado na Fig. 44. Nela temos as curvas **swi1** e **swi3** relativas a funcionamento de uma e de duas portas simultaneamente e a curva do inversor (projetada para a maior margem de ruído possível), **III1**. A equação do β , mostrada anteriormente, bem como simulações em HSPICE, tem como objetivo, alcançar a meta que acabamos de citar. A Fig. 45 mostra as simulações variando $\beta = W_E$ neste caso, e considerando fixas L_E , L_D e W_D . Observou-se que as margens de ruído e os níveis lógicos não dependem das dimensões separadamente mas sim de β . Verificou-se que valores de $\beta < 7$ são indesejáveis pois resultam em V_{OL} muito alto. Notamos que a medida que β aumenta o NML diminui.

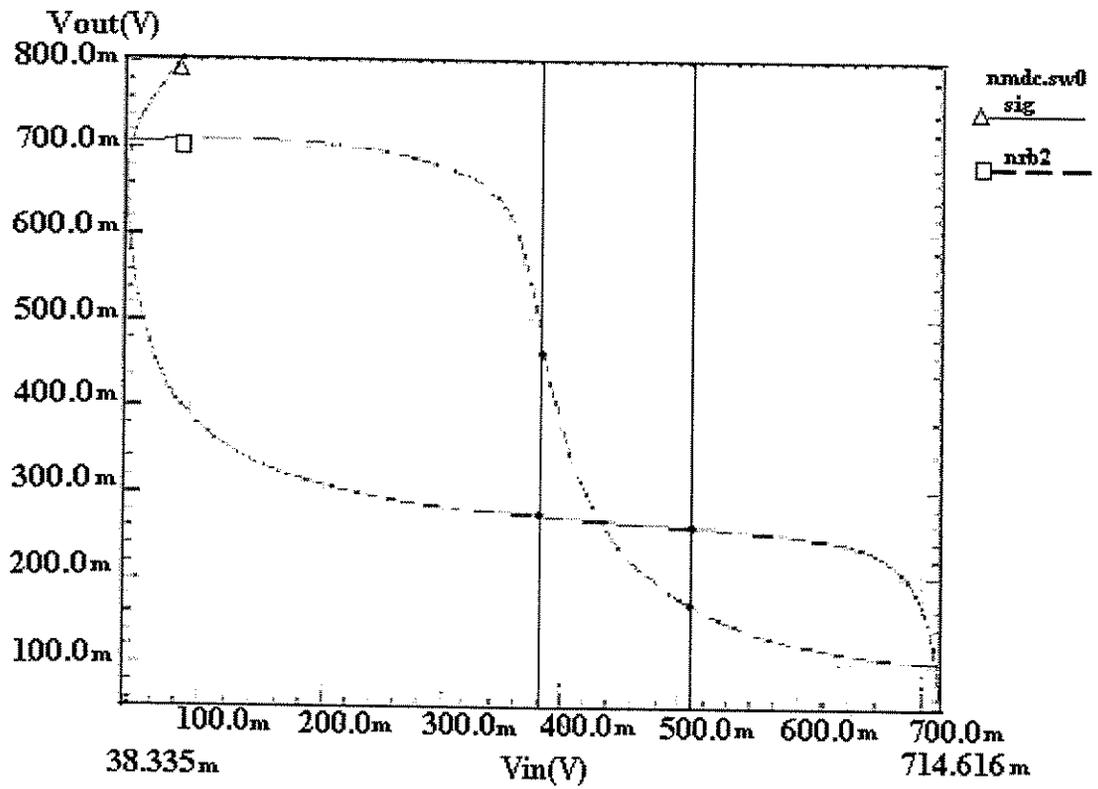


Figura 43 - Curva característica com “loops” diferentes

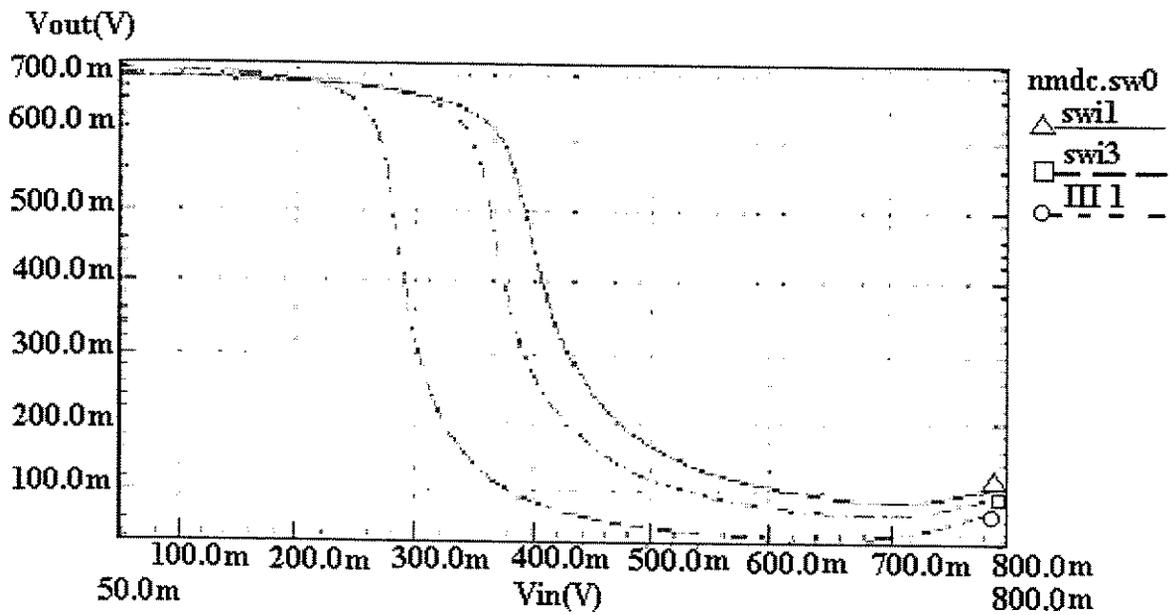


Figura 44 - Princípio de otimização de portas lógicas

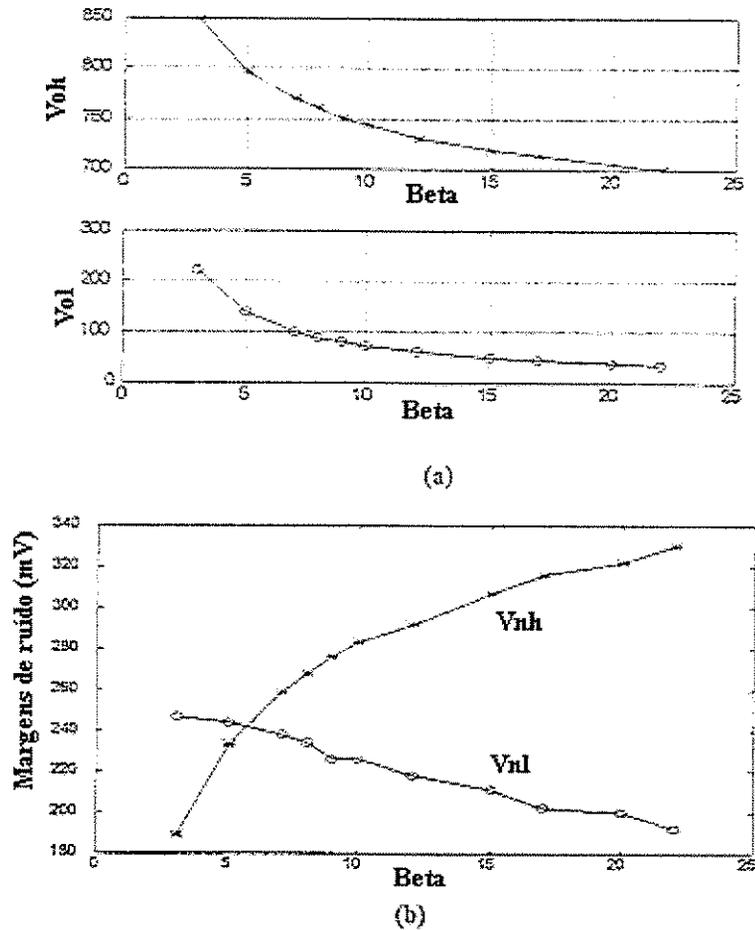


Figura 45 - a) Níveis lógicos * β , b) $NM * \beta$, para $W_D = L_D = 2\mu m$ e $L_E = 1\mu m$

Concluimos então que de ponto de vista DC valores de β entre 7 e 15 são ideais. Verificou-se boa concordância entre valores V_{OH} e V_{OL} projetados e simulados [32]. Em seguida, Fig. 46, repetiu-se o mesmo procedimento só que variando V_G , tensão do gate, e fixando a tensão de porta DFET. Isso pode ser útil do ponto de vista dinâmico, pois para determinamos valores de V_G a tensão entre a porta e o dreno do DFET será maior que zero, fornecendo portanto mais corrente para carregar as capacitâncias na entrada do estágio subsequente. Verificou-se nesse caso que as margens de ruído são drasticamente reduzidas para os menores valores de V_G , e que o NML é muito elevado para os maiores valores. Valores de V_G de 0,2V e 0,4V apresentaram bons níveis lógicos e uma margem de ruído razoável. Concluiu-se que de ponto de vista DC $V_{GS} = 0$ é a melhor opção.

Nas simulações anteriores, utilizou-se $V_{DD} = 2V$. Como nesta lógica a tensão de saída é limitada a 0,8V no máximo, por isso, achamos que podemos diminuir o V_{DD} . Então, ver Fig. 47, tomou-se V_{DD} entre 0,8V e 2V, no intuito de diminuir a potência dissipada. Observou-se que não houve uma variação apreciável das características DC do inversor para valores entre 1V e 2V, Fig. 47b. Verificou-se que para $V_{DD} = 0,8V$ a tensão V_{OH} cai e o inversor fica muito lento, conseqüentemente, margens de ruídos menores, principalmente o NML, Fig. 47c e Fig. 47d [32].

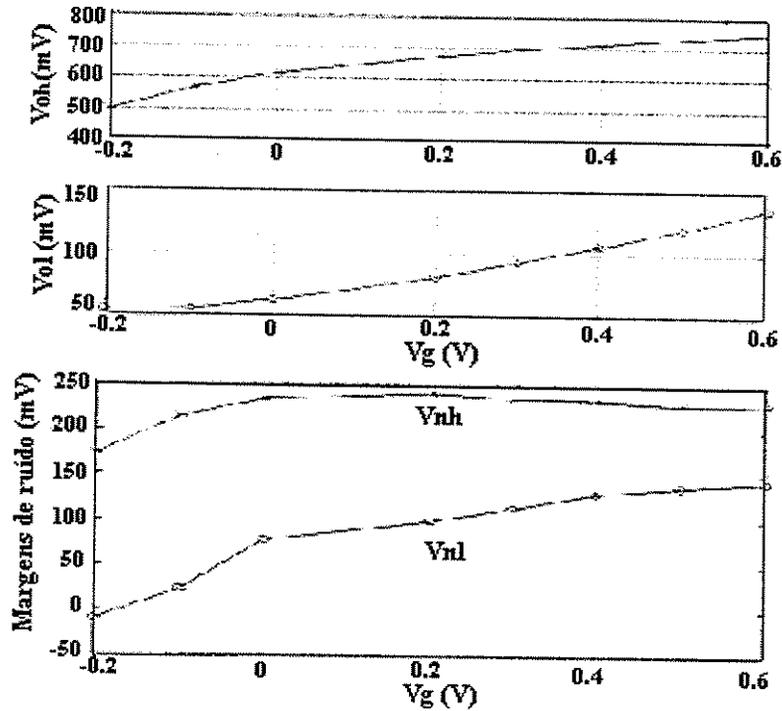


Figura 46 - Níveis lógicos * V_G e $NM * V_G$, para $W_E=10\mu m$, $\beta=10$, $W_D=L_D=2\mu m$ e $L_E=1\mu m$

Análise dinâmica

Primeiramente foi feito um estudo observando a variação do tempo de atraso da porta em função de β , variando W_E e mantendo fixa $W_D=L_D=2\mu m$ e $L_E=1\mu m$, para fanout=1 e $V_{DD}=2V$. Para medir o tempo de atraso usou-se um “Ring Oscillator” de 17 estágios. Na avaliação do atraso, além do estágio seguinte foi colocada uma capacitância de carga na saída de cada inversor, de 0, 50 e 100fF. Essa capacitância de 100fF foi superestimada, e corresponde a pior caso de operação. Os resultados das simulações estão na Fig. 48. Nela observou-se que a potência dissipada por porta praticamente não depende de Cload. Verificou-se que o aumento de Cload implica também no aumento da potência AC, porém esse aumento é compensado pela diminuição da frequência de oscilação.

Em relação ao tempo de atraso, notemos que para Cload=0 ou Cload desprezível ele aumenta com o aumento de β , Fig. 48a. Esse aumento é devido ao aumento das dimensões do transistor devido ao aumento de β . Para casos em que Cload já não é desprezível, Fig. 48b e 48c, o tempo de atraso diminui inicialmente com o aumento de β e depois volta a aumentar. Isso se deve ao fato de que, aumentando o β , aumentam-se as dimensões dos transistores, e conseqüentemente o tempo de carga. Por outro lado, um β alto possibilita uma descarga muito rápida da capacitância de carga, o que diminui o tempo de descida. Desta forma o efeito de descarga rápida vai se sobrepôr ao do aumento da capacitância de entrada até um determinado valor de β , quando o tempo de atraso volta a subir. Nesse ponto as dimensões do FET já estão suficientemente altas para não permitir

compensação com a rapidez da descarga. Olhando para Fig. 48b, onde $C_{load} = 50\text{fF}$, o tempo de atraso, assim como o produto potência-atraso, atingem um mínimo para $\beta=12$. Para $C_{load} = 100\text{fF}$ o mínimo é atingido por volta de 22. Devemos notar que, para $C_{load} = 100\text{fF}$, para $\beta=5$ e $\beta=25$, o aumento da potência é aproximadamente 10% enquanto que a diminuição no tempo de atraso é de 20%, resultando assim numa melhora do Pd (produto potência-atraso) de aproximadamente 10%.

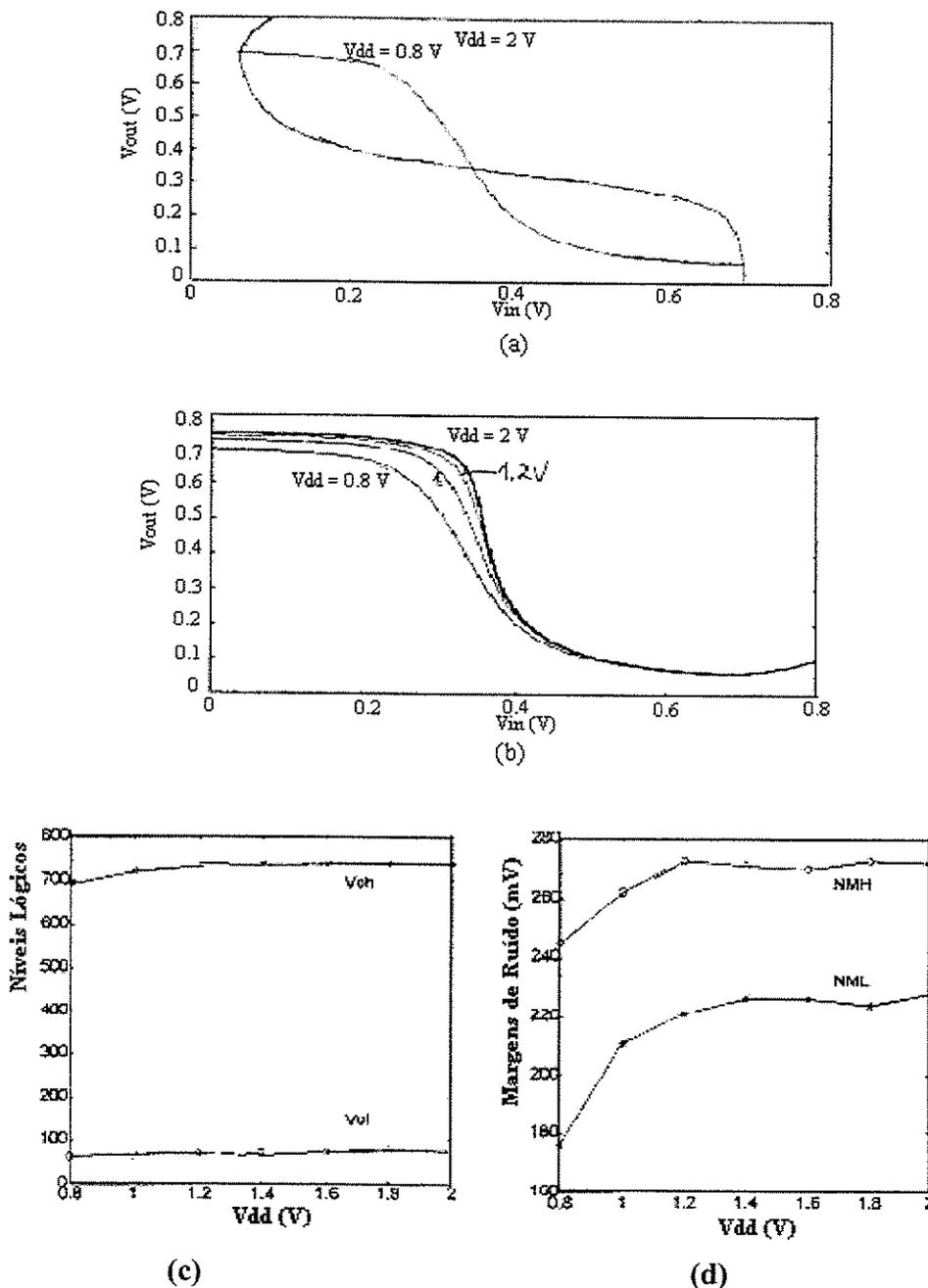
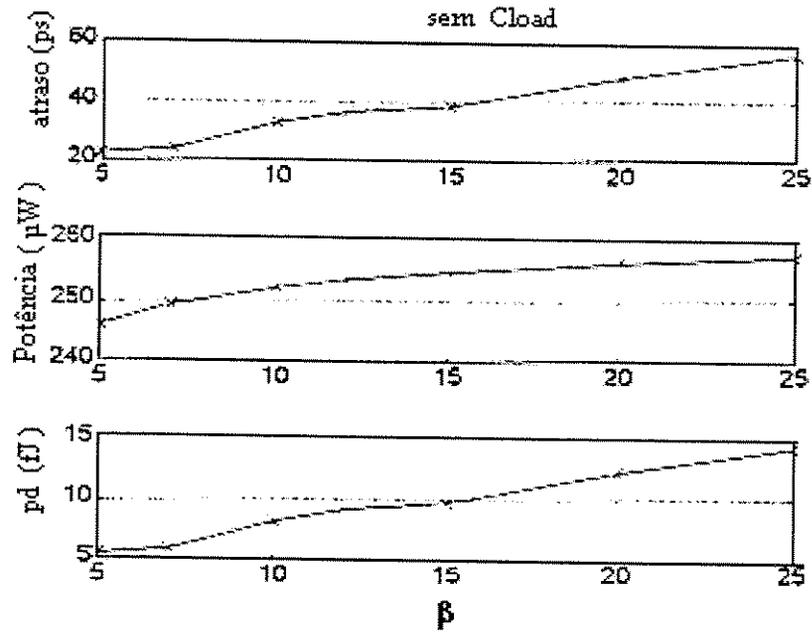
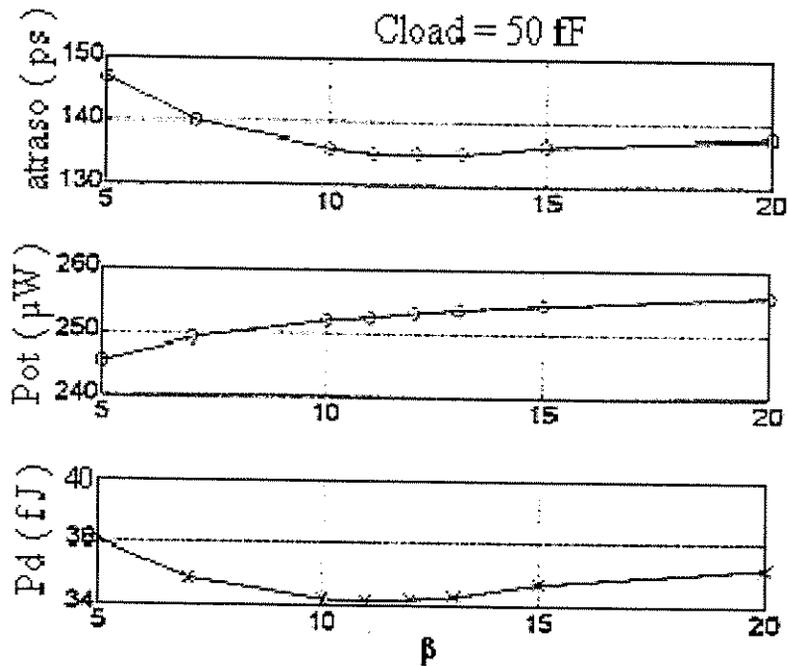


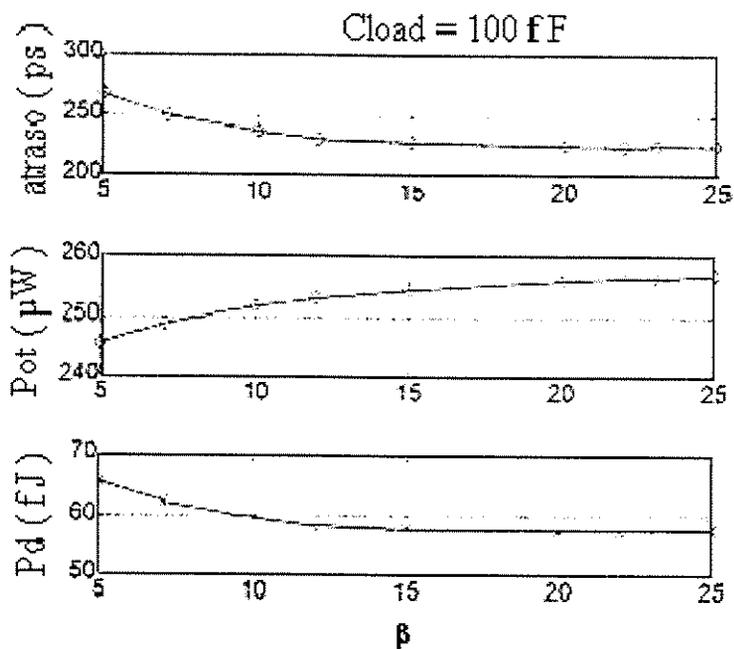
Figura 47 - Variação de V_{DD} para $W_E = 10\mu\text{m}$, para $W_D = L_D = 2\mu\text{m}$ e $L_E = 1\mu\text{m}$



(a) Pd, Potência e atraso em função de β para Cloud=0



(b) Pd, Potência e atraso em função de β para Cloud = 50fF



(c) Pd, Potência e atraso em função de β para Cloud= 100fF

Figura 48 - Tempos de atraso, potência e produto potência x atraso

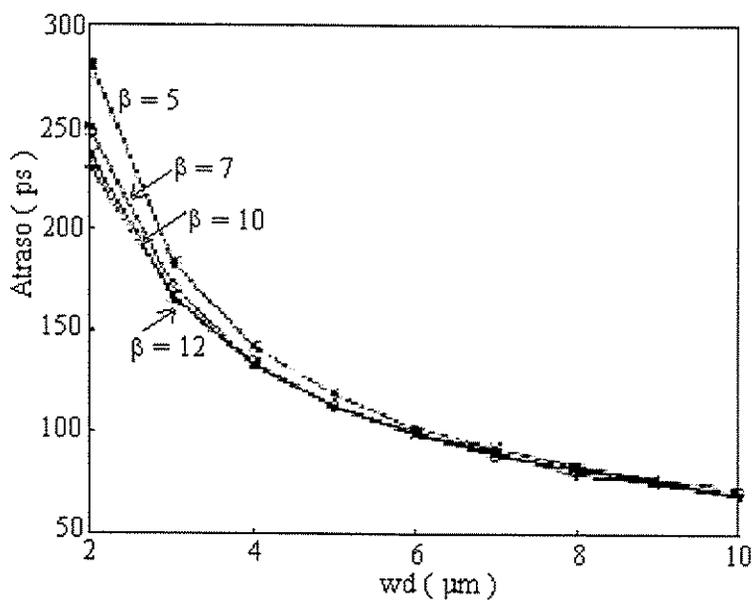
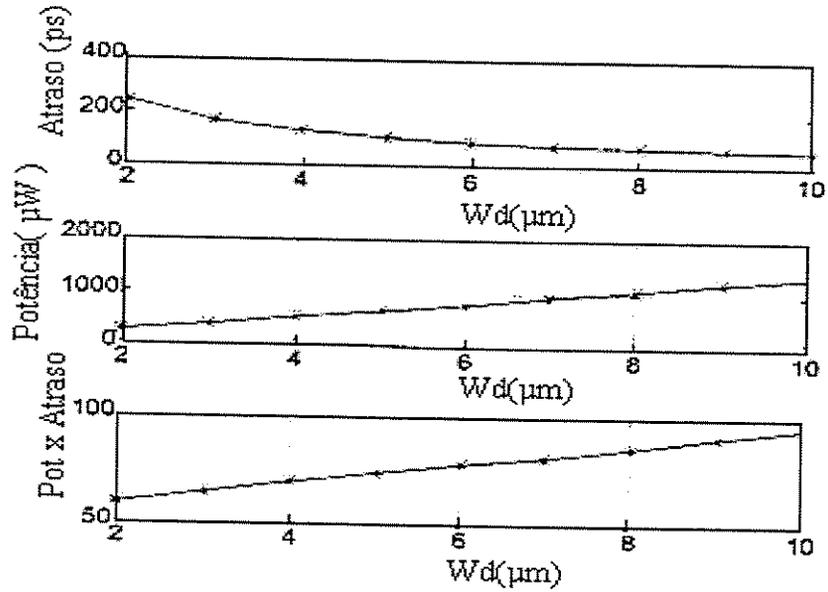
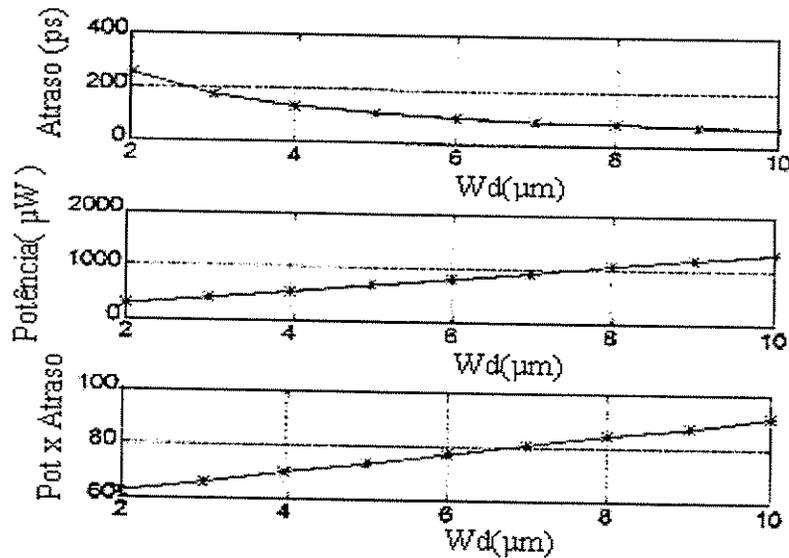


Figura 49 - Atraso versus W_D em função de vários β , para $L_E=1\mu\text{m}$ e $L_D=2\mu\text{m}$



(a) $\beta=7$



(b) $\beta=10$

Figura 50 - Tempos de atraso, potência e produto x atraso versus W_D para $\beta=7$ e 10

Para uma análise dinâmica mais detalhada, também é preciso variar o valor do W_D . Por ser este parâmetro muito importante em relação ao tempo de atraso, pois ele controla a corrente que vai carregar as capacitâncias de saída (de carga) na transição baixo para alto, é mostrada na Fig. 49 algumas curvas que mostram a variação do tempo de atraso com o valor de W_D para $\beta=5, 7, 10$ e 12.

Como se pode ver pelas curvas, o atraso depende mais fortemente do W_D que o W_E . Nota-se também que um tempo de atraso menor que 100ps por porta só é possível para um

$W_D > 6$. Tempo de atrasos menores que 100ps não são possíveis mesmo para valores maiores de β . Conclui-se então que, se necessitarmos de um tempo de atraso menor e tivermos que aumentar o valor do W_D , poderemos escolher o menor β e ainda vamos ter um bom comportamento DC. Na Fig. 50 temos curvas atraso versus W_D , com mais detalhes, para $\beta=7$ e $\beta=10$. Devemos notar que o aumento de beta não significa um aumento considerável na potência consumida pelo inversor (ver Fig. 48), o contrário ocorre com um aumento de W_D , o que implica em aumento de corrente, portanto, maior potência. Nota-se que a potência é diretamente proporcional ao W_D .

Quanto ao tempo de atraso verificou-se que a sua melhora não chega a compensar o aumento da potência, isso pode ser visto pelo aumento do produto atraso-potência. Conclui-se que devemos usar $W_D > 2$ somente quando o tempo de atraso é um fator muito importante no circuito.

Na Fig. 51, ainda sobre a análise dinâmica, temos um estudo de **tempos de propagação x V_{DD}** . Neste caso os valores obtidos para $\beta=10$ e $W_D=2\mu\text{m}$ confirmaram que o melhor valor para o V_{DD} é mesmo 2V pois, para esse valor temos um menor tempo de subida. A diminuição dos tempos de propagação deve-se ao aumento da queda no DFET para um V_{DD} maior, pois nesse caso temos mais corrente.

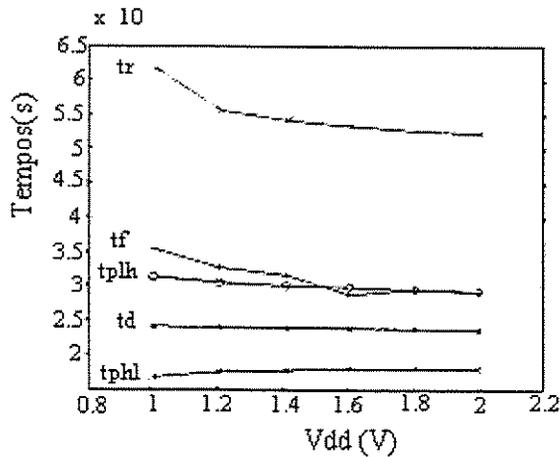


Figura 51 - Atrasos de propagação x V_{DD}

O atraso de propagação também está ligado ao fan-out. No projeto de uma porta lógica devemos sempre nos preocupar com os piores casos de carga, de fan-out. Quanto mais portas estiverem na saída de um elemento lógico maior é a capacitância de carregamento e descarregamento durante as transições de nível. Para simular a influência do fan-out no tempo de atraso, considerou-se novamente um “Ring Oscillator” conforme mostra a Fig. 52, para fan-out = 4.

As simulações foram feitas variando o fan-out de 1 a 6 para $\beta=10$, $W_D=2\mu\text{m}$ e três condições de carga. Os resultados estão mostrados na Fig. 53.

Ainda sobre a análise dinâmica dos transistores, temos a variação dos parâmetros. Segundo a Vitesse, devemos fazer 3 tipos de simulações. São elas referentes aos modelos

para as variações dos parâmetros do MESFET pertencentes as bibliotecas “typical”, “fast” e “slow”. Todas as simulações feitas anteriormente utilizaram os valores nominais de parâmetros de EFET e DFET, correspondentes à biblioteca typical. Na Fig. 54 temos resultados de simulações utilizando parâmetros com variação de $+\sigma$ (biblioteca fast) e de $-1,5\sigma$ (biblioteca slow). Devemos notar que a variação dos resultados do caso típico para o lento é considerável, o que mostra que se deve deixar uma margem de segurança na escolha das dimensões dos FETs.

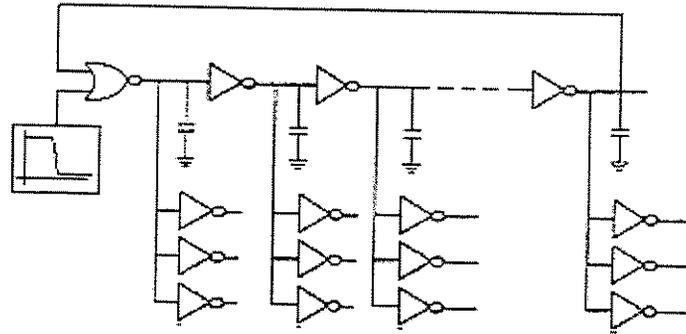


Figura 52 - Circuito usado para verificar a influência do fan-out na propagação

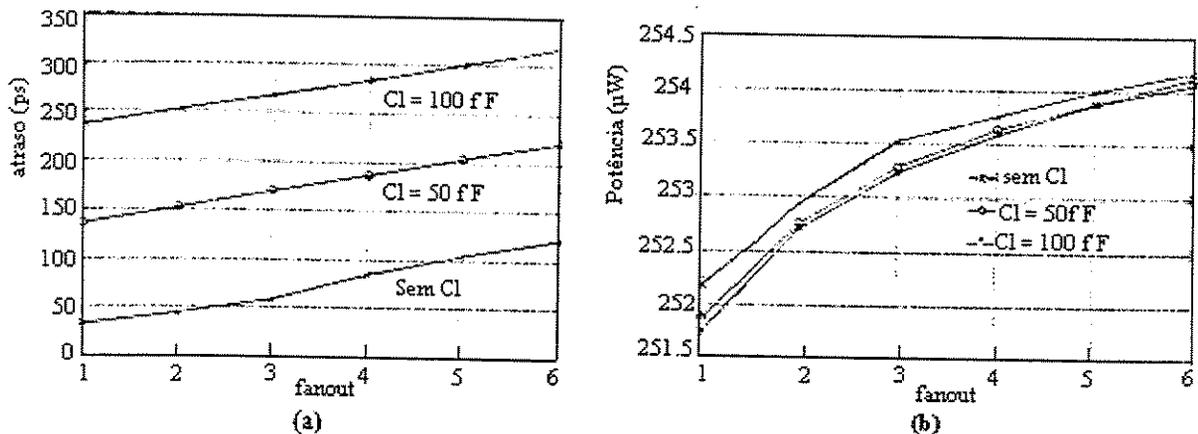


Figura 53 - Influência do fan-out: (a) No tempo de atraso e (b) Na potência

Quais são os inversores lógicos DCFL ?

Temos dois tipos de inversores lógicos nesta lógica. São eles a porta NOR e a NAND. O mais usual é a porta NOR e, por isso é mostrado na Fig. 55.

Na porta NOR mostrada na Fig.55 temos duas entradas, A e B, e a saída em Y. As dimensões do EFET são iguais e, como estão em paralelo por eles circulam a mesma quantidade de corrente. A corrente que passa pelo DFET, a corrente do inversor, é igual a

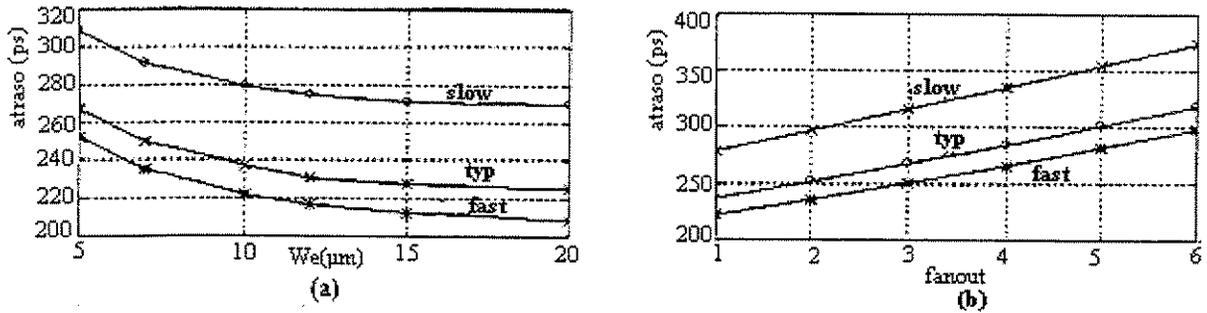


Figura 54 - Variação dos parâmetros : (a) Para fan-out = 1 e $C_L = 100\text{fF}$
 (b) Para $W_E = 10\mu\text{m}$ e $C_L = 100\text{fF}$

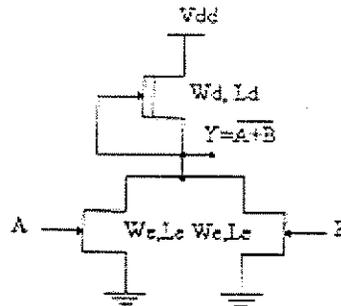


Figura 55 - Porta NOR DCFL

somatória das correntes das entradas. Por ser a corrente do DFET igual a do inversor, isso nos mostra que do ponto de vista estático aumentar o fan-in de uma porta NOR equivale a aumentar proporcionalmente a largura do EFET do inversor. Portanto, o aumento do fan-in causará o mesmo efeito causado no inversor pelo aumento de W_E , ou seja, a redução dos níveis lógicos e da margem de ruído baixa, conforme pode ser visto abaixo, na Fig. 56, para $W_E = 10\mu\text{m}$, $L_E = 1\mu\text{m}$ e $W_D = L_D = 2\mu\text{m}$.

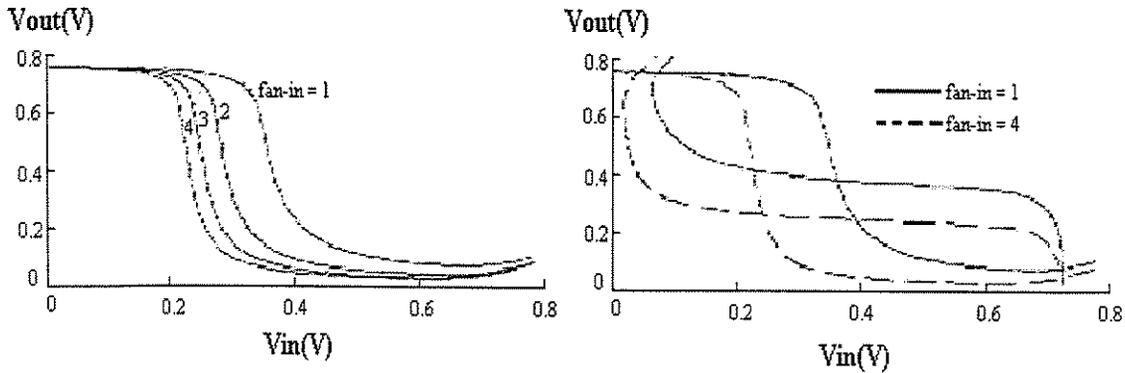


Figura 56 - Efeito do fan-in nas características estáticas da porta NOR

Em relação ao tempo de atraso, concluiu-se que o aumento dos transistores de entrada elevará a capacitância de entrada do inversor, o que deverá aumentar o tempo de atraso, exceto para o caso de uma carga capacitiva elevada, como é mostrado na Fig. 57.

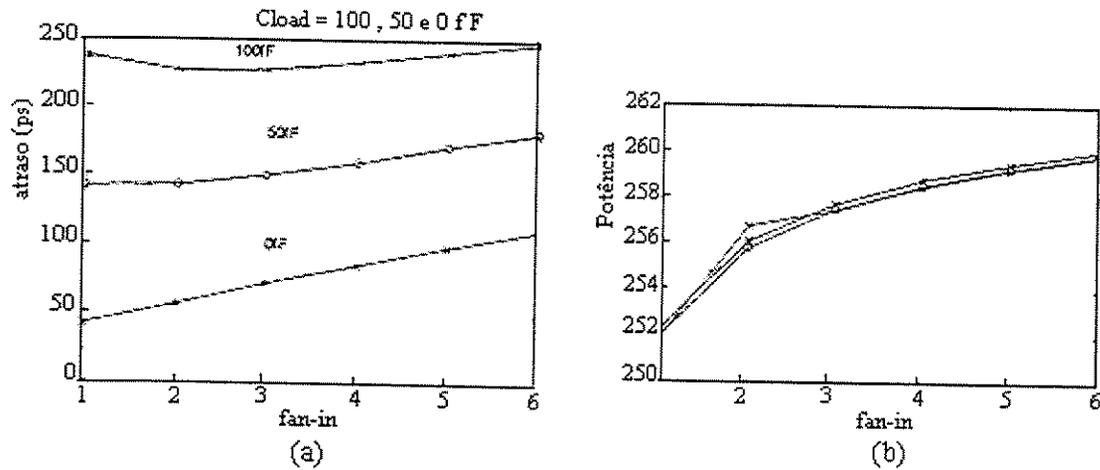


Figura 57 - Efeito do fan-in : (a) No tempo de atraso e (b) Na potência

Devemos notar que para carga capacitiva de 100fF, as portas NOR de duas, três e quatro entradas são mais rápidas que o inversor! Isso se deve ao fato de que, para essa condição de carga muito elevada, em aumentando o número de transistores de chaveamento estamos aumentando a capacidade de corrente de descarga, e esse benefício compensa o aumento das capacitâncias internas causado pelo aumento do fan-in.

Atraso versus skew

Em determinadas aplicações digitais há a necessidade de um controle muito rigoroso sobre o tempo de atraso[33]. Numa porta NOR a saída passará de alto para baixo quando um das entradas subir. Porém, se as duas entradas subirem, mais corrente poderá ser descarregada pelos EFETs, o que pode diminuir o tempo de atraso. Portanto é de se esperar que este dependa da diferença entre os instantes de subida das entradas. Raciocínio análogo se aplica à transição de subida. A diferença entre os instantes de transição das entradas dá-se o nome de skew. O skew numa porta NOR é medido da seguinte forma, Fig. 58:

A dependência do tempo de atraso para com o skew numa porta NOR de duas entradas é ilustrada na Fig. 59.

O comportamento das curvas acima pode ser assim interpretado:

- **Na subida:** suponha que as duas entradas desçam juntas. A fonte de corrente vai demorar um intervalo de tempo Δt para carregar as capacitâncias ligadas ao nó de saída. Agora suponha que a entrada **A** tenha descido pelo menos 50ps antes de **B**. Enquanto a entrada **B** não descer a corrente fornecida pela fonte de corrente vai circular pelo FET **B**.

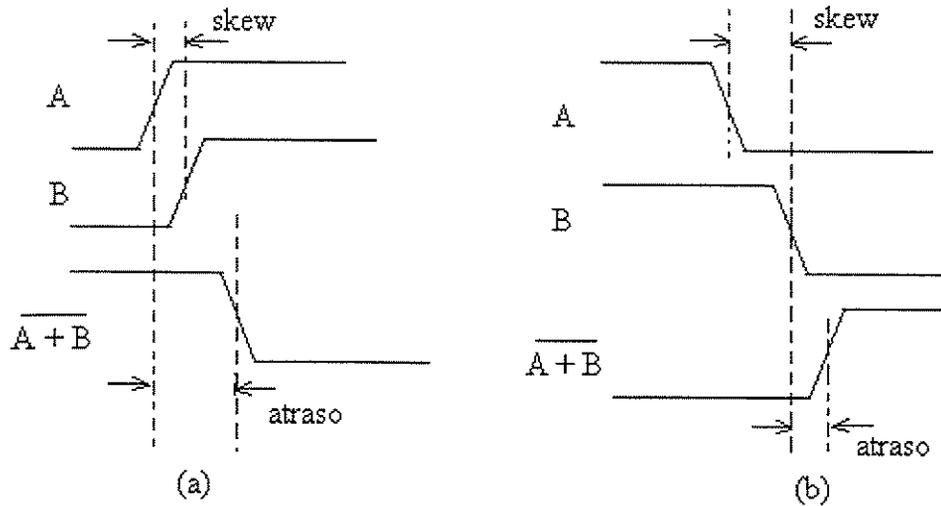


Figura 58 - Definição do skew para uma porta NOR na: (a) Descida e (b) Subida

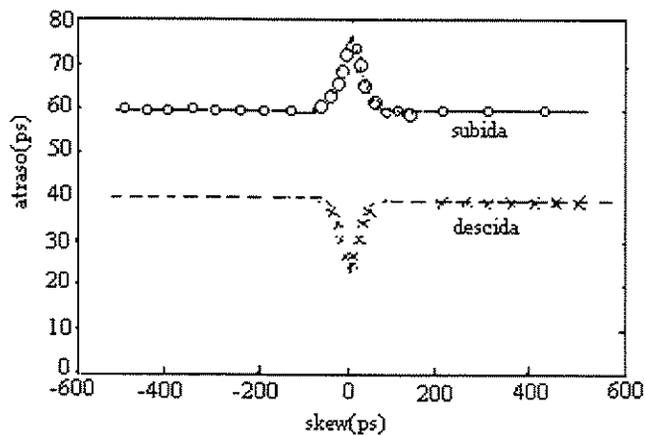


Figura 59 - Tempo de atraso versus skew

Mas o efeito de termos mudado de dois FETs em paralelo para só um, é de aumentar a resistência do canal efetivo visto pelo DFET. Se mantivermos a corrente e aumentarmos a resistência equivalente podemos esperar que a queda sobre essa resistência, que é justamente a tensão de saída, aumente. Esse aumento é responsável por um carregamento prévio da capacitância de saída. Assim, quando a entrada A descer e os dois FETs estiverem cortados, a corrente do DFET carregará mais rápido a capacitância de saída, e o atraso será menor. Pode-se entender o que foi dito através da Fig. 60.

Na descida: suponha inicialmente que ambas as entradas estão baixas. A saída estará alta e a capacitância equivalente ligada ao nó de saída estará carregada. Suponha

também que uma das entradas passe para o nível alto. Neste caso o respectivo FET será ativado e a saída passará para o nível baixo, através da descarga do capacitor ligado à saída.

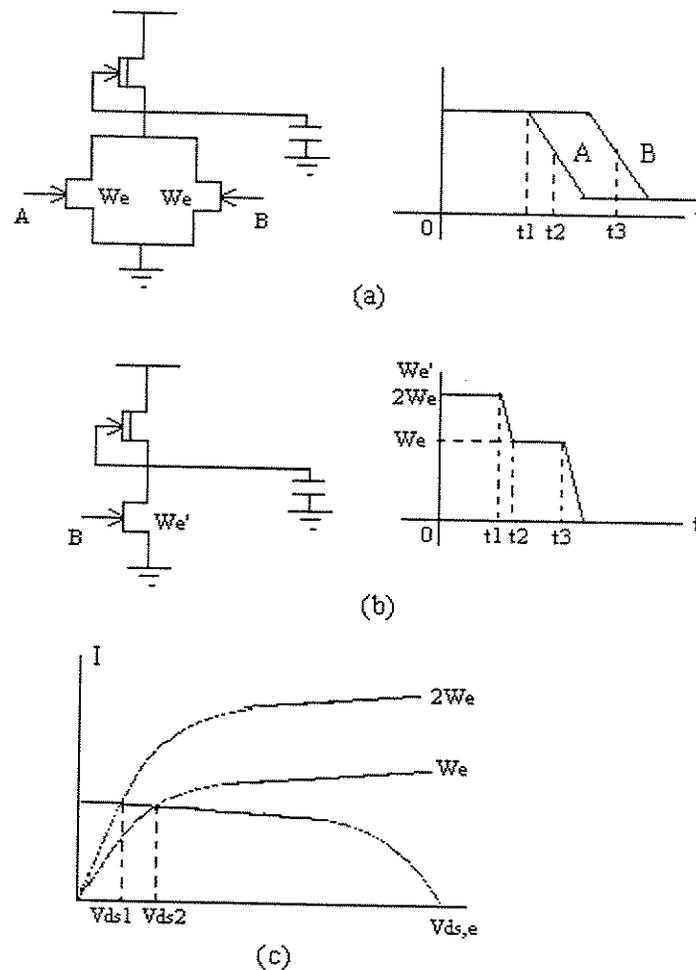


Figura 60 - Transição de subida para: (a) **Entrada A descendo antes da entrada B**, (b) **Inversor equivalente onde a largura do EFET varia** e (c) **Curvas de carga para o caso (b)**

OBS: Note que no caso (b) a queda no EFET aumentou, carregando previamente a capacitância de saída

Devemos lembrar que a corrente que pode ser descarregada é limitada pelo W do FET ativado. Dessa forma, se as duas entradas sobem simultaneamente, os dois FETs são ativados no mesmo instante e a corrente que pode ser descarregada será o dobro. Por isso o tempo de descarga diminui. Note pela Fig. 59 que para um skew maior que aproximadamente 50ps o atraso não muda, o que nos mostra que se a entrada **B** subir 50ps após a entrada **A** a capacitância já terá sido descarregada pelo **FET A**. Concluímos então que o tempo de descarga só por um FET é aproximadamente 50ps, o que condiz com o tempo de atraso dado para um skew maior que 50ps, que é 40ps, conforme é mostrado acima, na Fig. 59.

MULTIPLEXADOR DE ALTA VELOCIDADE

3.1. INTRODUÇÃO

Neste capítulo apresenta-se o projeto de um multiplexador com taxa de operação prevista na ordem de gigabits por segundo, Gb/s. Todo o circuito será projetado na lógica DCFL [34] com MESFETs usando a tecnologia H-GaAsIII da Vitesse. Temos como objetivo projetar e construir um Mux de alta velocidade e de baixo consumo de potência.

Existem duas topologias que realizam a função de multiplexação no tempo de sinais de alta velocidade. A **primeira**, uma topologia clássica oriunda dos sistemas de baixa taxa, denominada de registrador de deslocamento e, a **segunda**, a topologia em árvore, que apresenta vantagens em relação à topologia registrador de deslocamento pois, ocupa uma área menor, portanto, menor consumo de potência, e tem maior imunidade aos desvios de processo de fabricação e aos elementos parasitas de layout devido a maximização da margem de fase interna. Tem a vantagem também, da máxima margem de fase de entrada. Por isso tudo foi adotado a topologia tipo árvore para multiplexação do sinal de dados de entrada cujo o objetivo é minimizar o número de elementos que operam em taxa de relógio. A lógica usada é o DCFL visto que é de baixa complexidade, portanto, ocupa uma área de chip menor e conseqüentemente é de baixo consumo de potência.

Foi escolhido o Mux devido a grande demanda de componente eletrônicos rápidos para ser usado em comunicação de dados via fibra óptica. Como se sabe a função do Mux é multiplexar os dados disponíveis em baixa frequência nas suas entradas, para dados em série multiplexados em alta frequência. A lógica usada cumpre muito bem a função de multiplexação em até 2,5 Gbps para um Mux de até 16 bits de entrada e é compatível com o ECL [7, 8, 18, 35, 36, 37, 50].

3.2. CIRCUITOS BÁSICOS QUE COMPÕEM O MULTIPLEXADOR

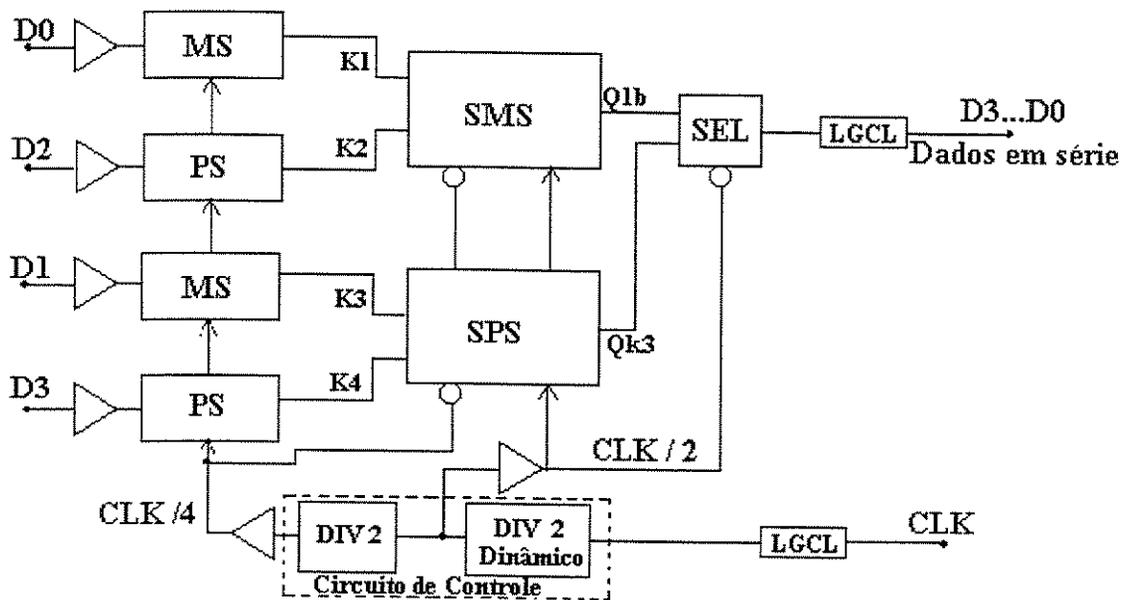


Figura 61 - Diagrama de blocos de um MUX 4:1

Os circuitos que compõem o MUX, mostrado na Fig. 61, são o MS que é um flip flop master slave tipo D, o PS que é um circuito deslocador de fase, formado por 3 FFD em série, o circuito SEL que é seletor de bits, o SPS que é um circuito PS com um seletor de 2 bits, o SMS que é um circuito MS com um seletor de 2 bits, o circuito contador que é formado pelo divisor dinâmico de frequência e um divisor estático, circuitos buffers e o LGCL, "Ladder Ground Coplainer Line" ou conector de 50Ω que serve para evitar perdas de energia de alta frequência do sinal do clock [18].

3.2.1. Circuito MS

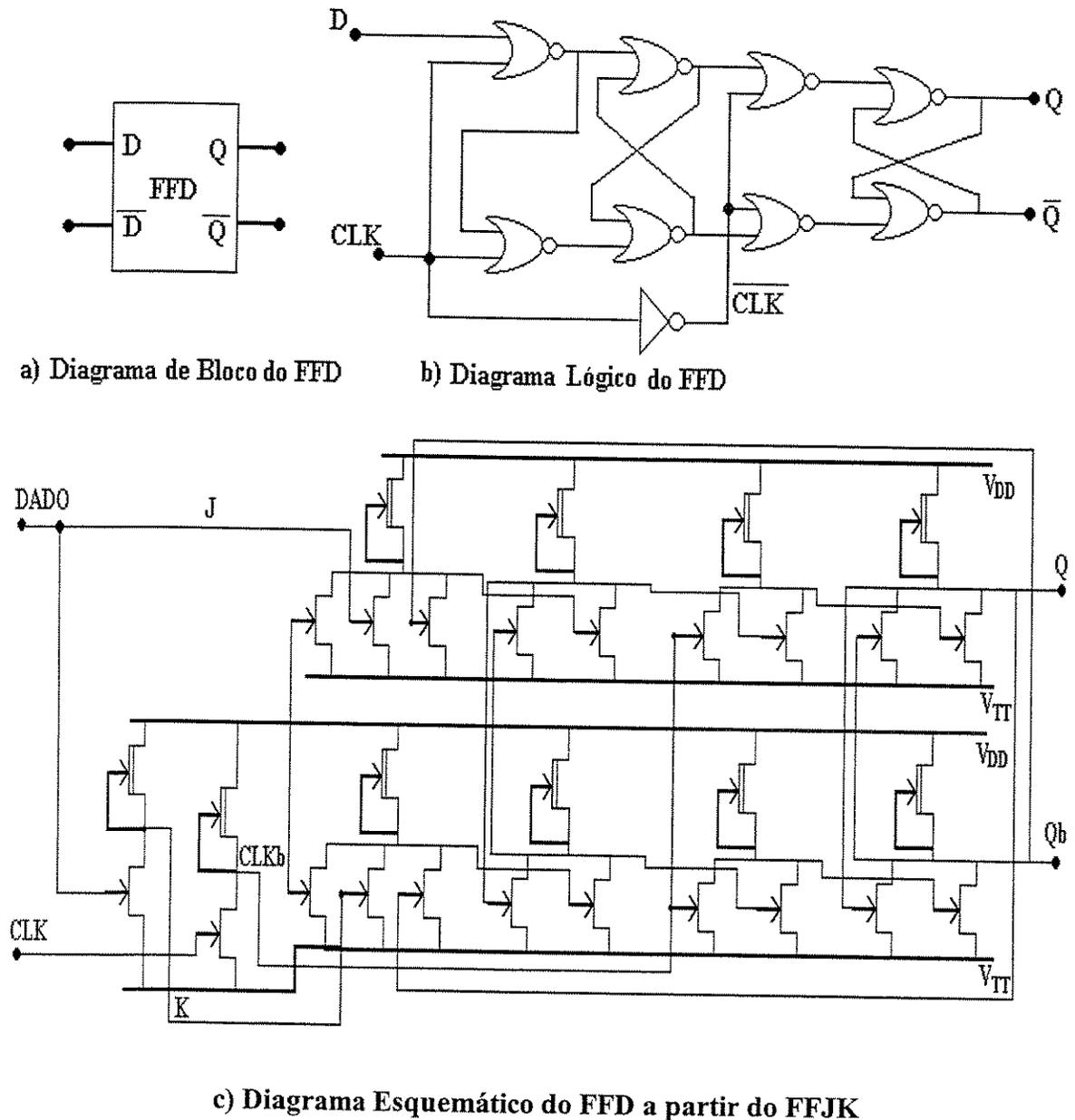


Figura 62 - Circuito MS

O circuito MS, Fig.62, é um flip-flop D Mestre-Escravo. Neste caso é do tipo sensível a borda de subida do relógio. Quando o relógio vai ao nível alto, os dados de entrada são carregados no flip-flop e aparecem na saída. Em seguida, quando o relógio vai ao nível baixo, a saída retem os dados. Por exemplo, suponha que os dados de entrada sejam:

$$D_3 D_2 D_1 D_0 = 0111$$

Quando o relógio vai ao nível alto, essa palavra é carregada no circuito FFD resultando em saída:

$$Q_3 Q_2 Q_1 Q_0 = 0111$$

Após o relógio ir a nível baixo, os dados de saída são retidos ou armazenados. Deve-se lembrar que enquanto o relógio estiver baixo, os valores de D poderão mudar sem afetar os valores de Q. O bit de dado é carregado no FF e Q assume os valores de D só na borda positiva do relógio. Na borda posterior, borda negativa, D não importa e Q permanece em seu último estado.

A entrada D é uma entrada síncrona, porque tem efeito somente quando ocorre a borda de subida. No circuito MUX mostrado anteriormente as entradas $D_3D_2D_1D_0$ são lidas todas simultaneamente pois são ativados pelo mesmo clock.

3.2.2. Circuito PS

Como já foi dito no capítulo 1 a função do PS, que é formado por 3 FFD em série, conforme mostra a Fig. 63, é permitir um atraso de propagação (tpd), devido aos flip-flops, e a defasagem de 180° entre os sinais dos dados nos pontos A e B conforme é mostrado detalhadamente na Fig.18. O diagrama de bloco, lógico e esquemático de cada um dos FFD que compõem o PS esta mostrado na Fig. 63. Mais detalhes do funcionamento deste circuito encontra-se no Capítulo 1.

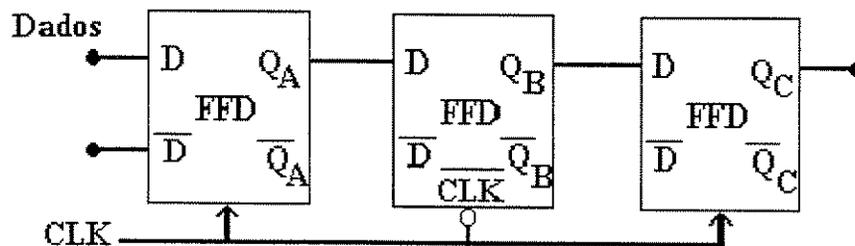
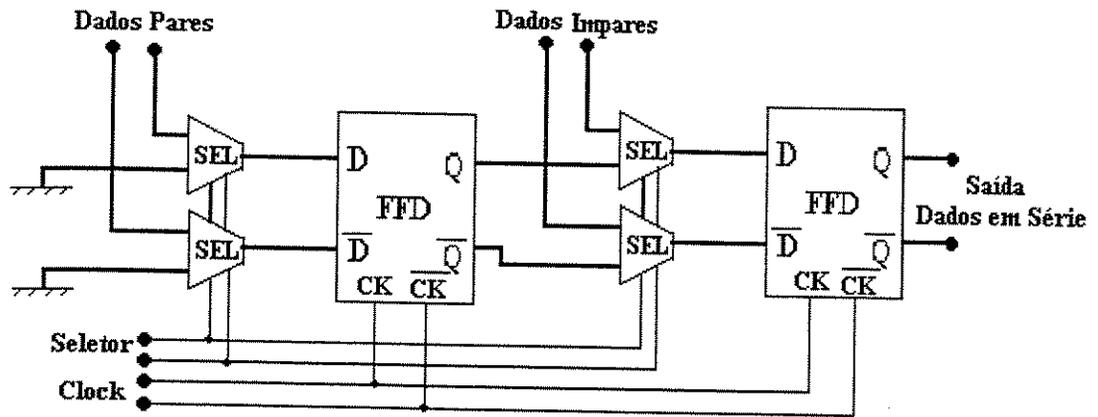
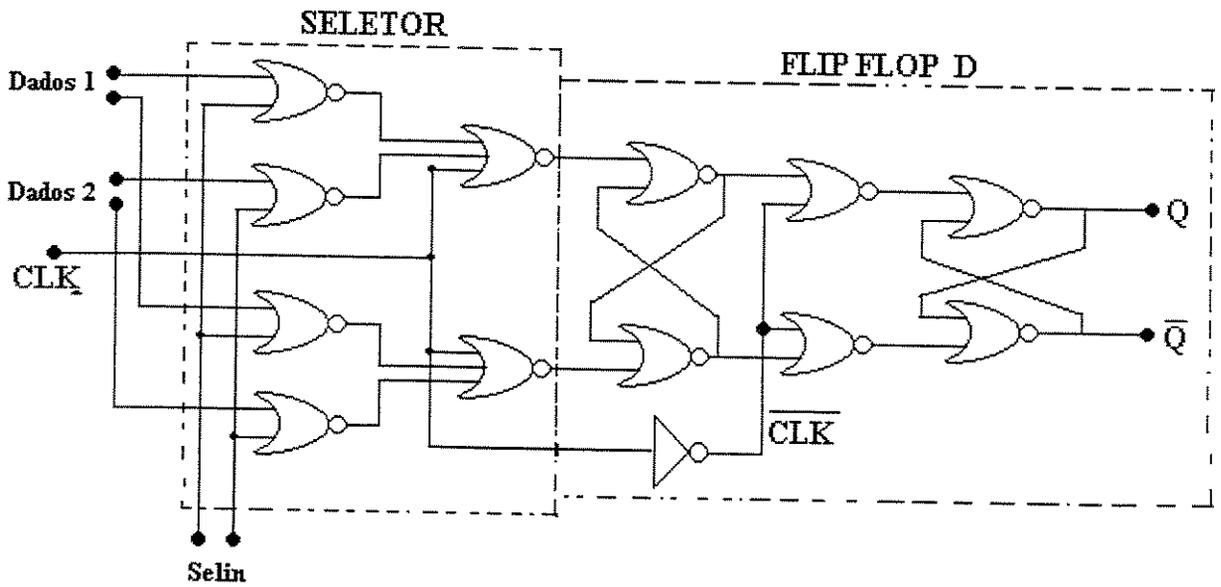


Figura 63 — Diagrama de Bloco do Circuito PS

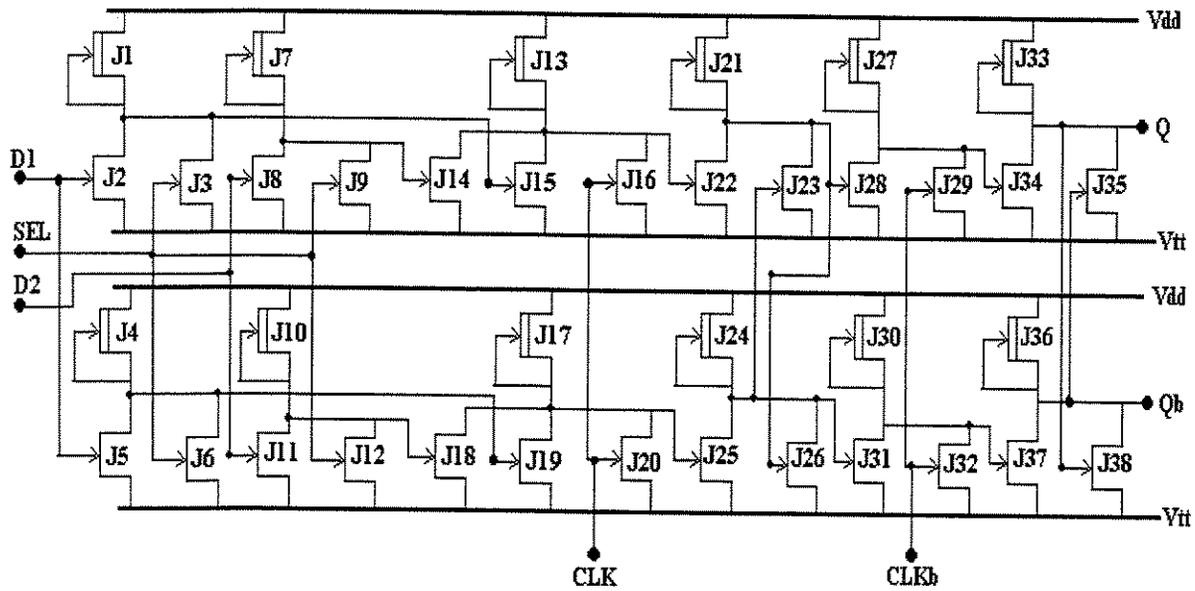
3.2.3. Circuito SMS



a) Diagrama do Bloco do SMS



b) Diagrama Lógico do SMS

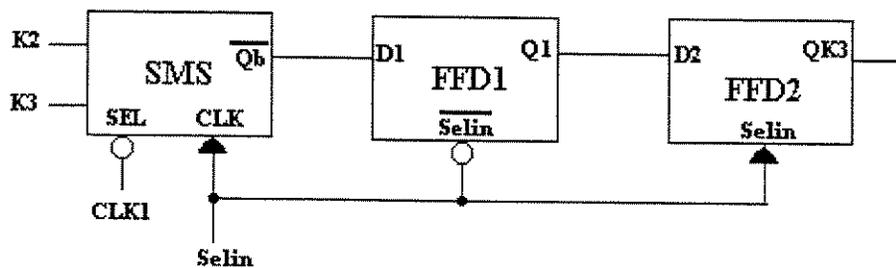


c) Diagrama Esquemático do SMS

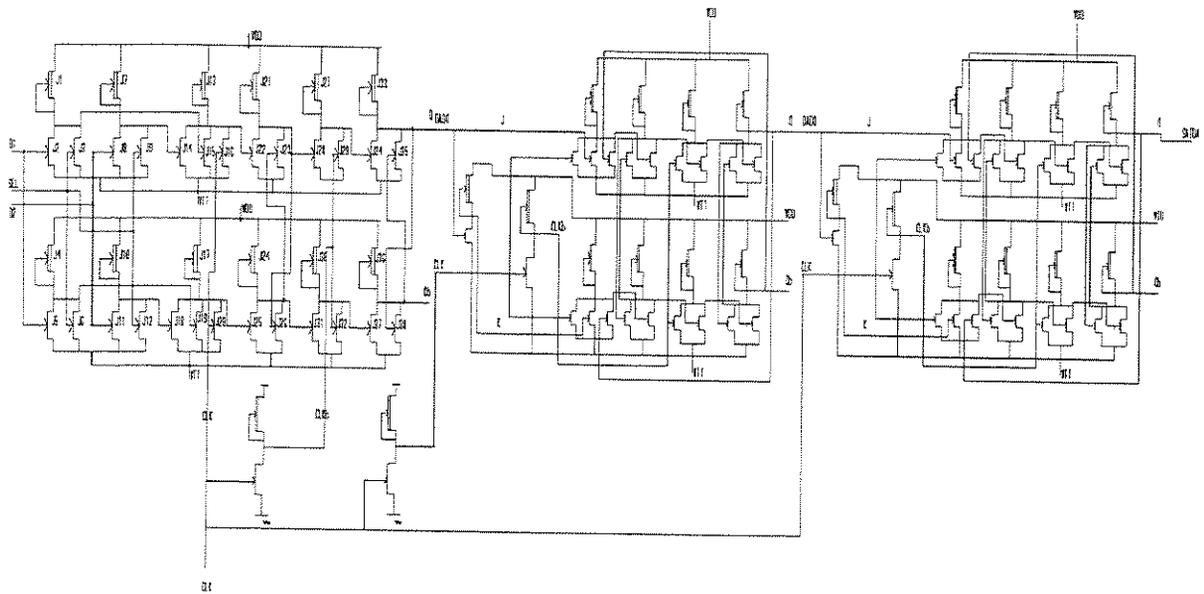
Figura 64 - Circuito SMS

O circuito SMS é formado por um circuito Seletor e o circuito MS(FFD). O Seletor (entrada do SMS) é formado por 4 circuitos inversores de 2 entradas cada um, cujas as saídas, por sua vez, são entradas de 2 inversores de 3 entradas cada um, e que fazem parte do FFD subsequente. Como foi dito anteriormente, a saída do Seletor é também a entrada do FFD. A razão disso é tornar mais compacto o SMS e, com isso, diminuir o percurso do sinal, conseqüentemente, menor o atraso de propagação o que aumenta a frequência de operação do circuito.

3.2.4. Circuito SPS



a) Diagrama de Bloco do Circuito SPS

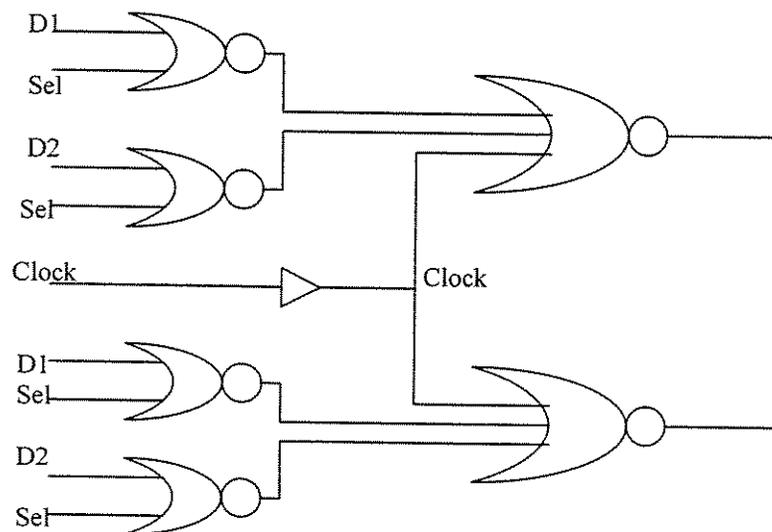


b) Digrama Esquemático do Circuito SPS

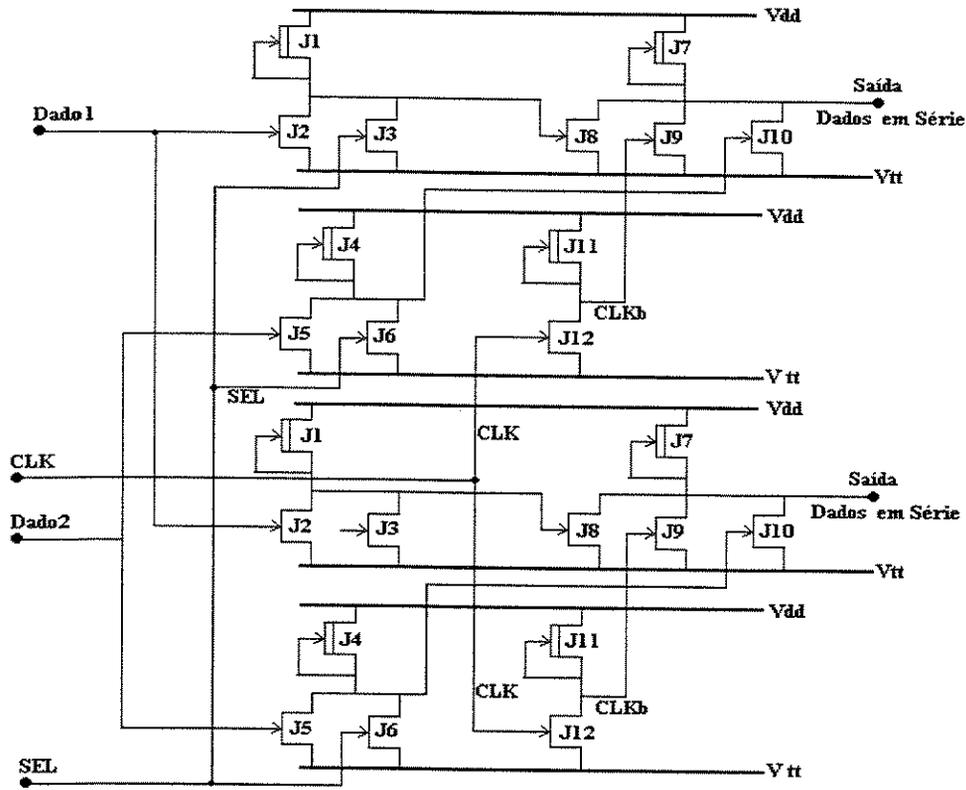
Figura 65 - Circuito SPS

O circuito SPS, como se pode ver na Fig. 65, é formado pelos circuitos SMS, seguido de 2 circuitos MS, todos em série.

3.2.5. Circuito Seletor



a) Diagrama Lógico do Circuito Seletor de 2 bits

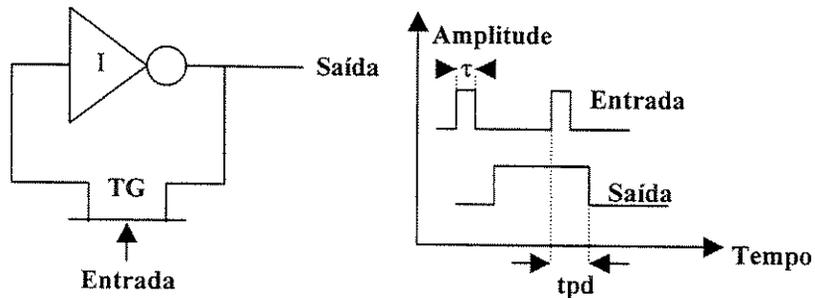


b) Diagrama Esquemático do Seletor de 2 bit

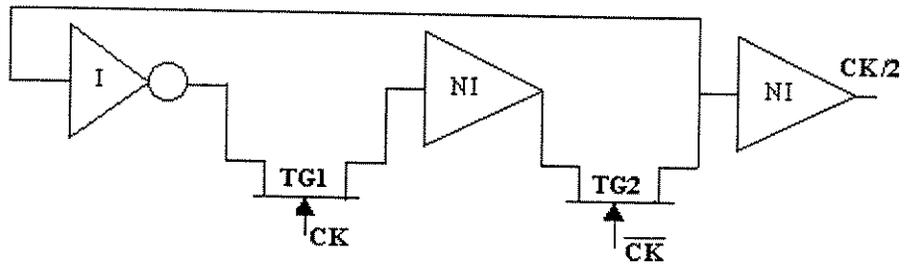
Figura 66 - Circuito Seletor

O circuito da Fig. 66 é um seletor de bit. São usados tanto nos circuitos SMS com no SPS e também na saída do multiplexador. Como já foi dito anteriormente, ele é composto por 3 inversores tipo NOR e neste caso esta na tecnologia DCFL. Para que o atraso devido as estas portas que o compõem não contribuem com o aumento da propagação do sinal, o SEL é usado quase sempre, fazendo parte integrante da entrada de outros circuitos como o SMS e o SPS.

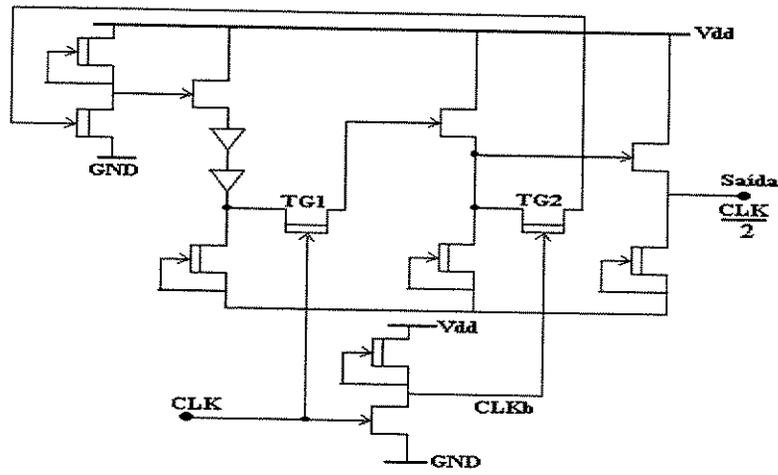
3.2.6. Divisor Dinâmico



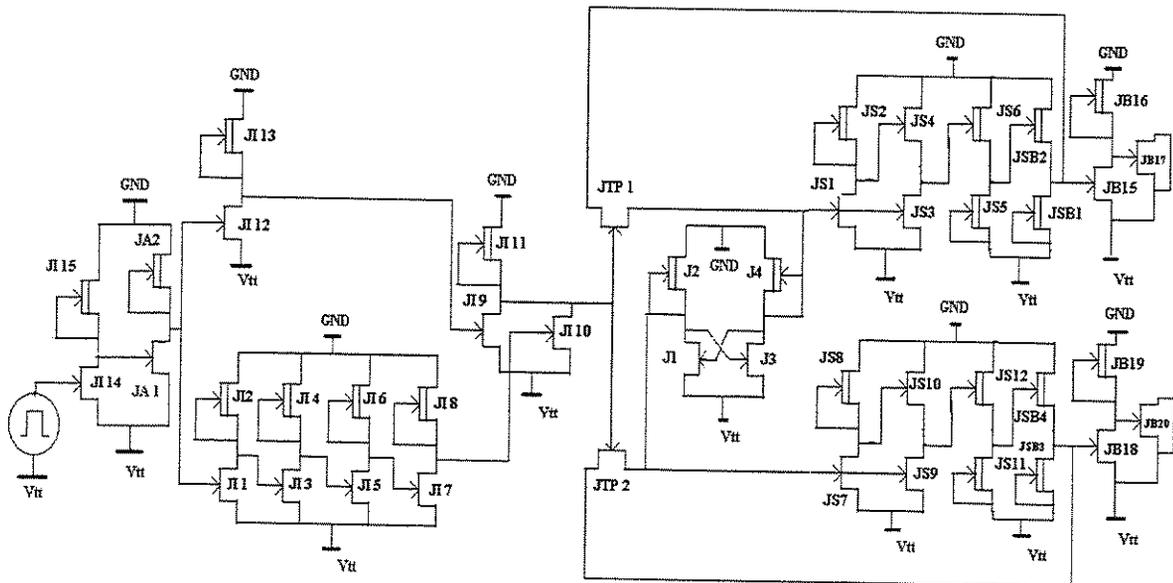
a) Circuito Divisor Dinâmico por 2 Limitado por $1/tpd$ [38]



b) Circuito Divisor Dinâmico sem a Severa Condição de a



c) Diagrama Esquemático do Divisor Dinâmico por 2 de b [39]



d) Diagrama Esquemático do Novo Divisor Dinâmico por 2 [57]

Figura 67 - Divisor dinâmico por 2

Concluído a análise dos circuitos que compõem o MUX discute-se agora o **circuito de controle** (divisores) necessário a geração dos sinais $CK/2$, o divisor dinâmico, e $CK/4$, o divisor estático. O divisor dinâmico é usado para dividir o clock de maior frequência. Com isso, o circuito MUX onde ele será usado não poderá operar para taxas de frequências menor que a menor frequência de operação do divisor dinâmico. O circuito formado só pelo inversor e o MESFET, que é usado como transistor de passagem (TG) na malha de realimentação, conforme mostra a Fig. 67a, serve como divisor dinâmico de frequência binário, só num curto período de tempo menor que tpd , que é o caso onde o TG opera como circuito aberto. A fim de livrar-se desta severa condição para que o sinal seja dividido, passou-se a usar a configuração, onde se usa dois transistores de passagem conforme se vê na Fig. 67b. Neste caso o sinal do clock vai para um transistor de passagem TG1 e o clock invertido para o TG2. A máxima frequência neste caso é encontrada quando TG1 ficar aberto, após o sinal do clock invertido passar por ele. Portanto f_{max} é dado por:

$$f_{max} = \frac{1}{2} tpd \quad e \quad tpd = 1/T \quad (3.1)$$

onde T = período do sinal de clock.

A maior frequência de operação que o divisor pode chegar esta intimamente ligado ao tempo que o TG1 leva para ficar um circuito aberto (TG1 OFF) quando o TG2 passar para um circuito fechado (TG2 ON). A mínima frequência de operação neste caso é dada pelo tempo de descarga do estágio não inversor NI.

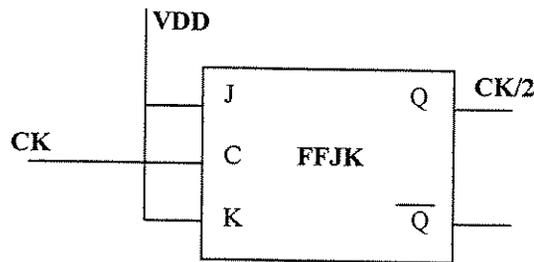
A frequência do divisor dinâmico é cerca de duas vezes maior que o melhor divisor estático feito a partir de flip-flop toggle. Em ambos os casos $f_{max} = 1/2tpd$ mas, o tpd do inversor para o caso do divisor dinâmico é duas vezes menor que o do divisor estático [38, 44].

O circuito divisor dinâmico usado na simulação é mostrado na Fig. 67d [57]. Não foi possível através da simulação, funcionar o circuito da Fig. 67c na faixa de frequência do nosso interesse, isto é, GHz, e por isso, a troca. Este novo circuito, é um divisor dinâmico binário. Consiste de 2 transistores de passagem, TP1 e TP2, inversores Cross Coupled e Buffers. Os inversores Cross Coupled funcionam como um latch. Os Buffers são usados para acionar a próxima porta e proporcionar um adequado atraso no percurso do sinal. Os TP são transistores de enriquecimento. Fizemos simulações usando DFET mas não funcionou. Tanto os Buffers como os inversores Cross Coupled estão na tecnologia DCFL. O circuito funciona se o tempo de chaveamento dos TPs, devido ao nível alto do sinal do clock, não for maior que o atraso devido ao Buffer e ao percurso do sinal [58]. Quando o sinal aplicado as entradas dos TPs estiver no nível lógico baixo eles estão fechados. Neste caso o nível lógico na entrada dos Buffers é mantida pelo latch e o sinal de saída dos Buffers, que é oposto a do latch, é transferido para os TPs através da malha de realimentação. No próximo meio ciclo do sinal de entrada dos TPs o nível lógico torna-se alto e eles ficam abertos. Neste caso o sinal de saída dos Buffers é transferido para o latch e as entradas dos Buffers obrigando-os a mudar seus níveis lógicos. No próximo meio ciclo a entrada dos TPs voltam a nível lógico baixo e ficam fechados de novo mas, **antes** dos sinais opostos, vindo dos Buffers, sejam transferidos para os TPs. Por causa disso, o nível lógico permanece inalterado, e o sinal de entrada é dividido [57]. A frequência (f) desse circuito

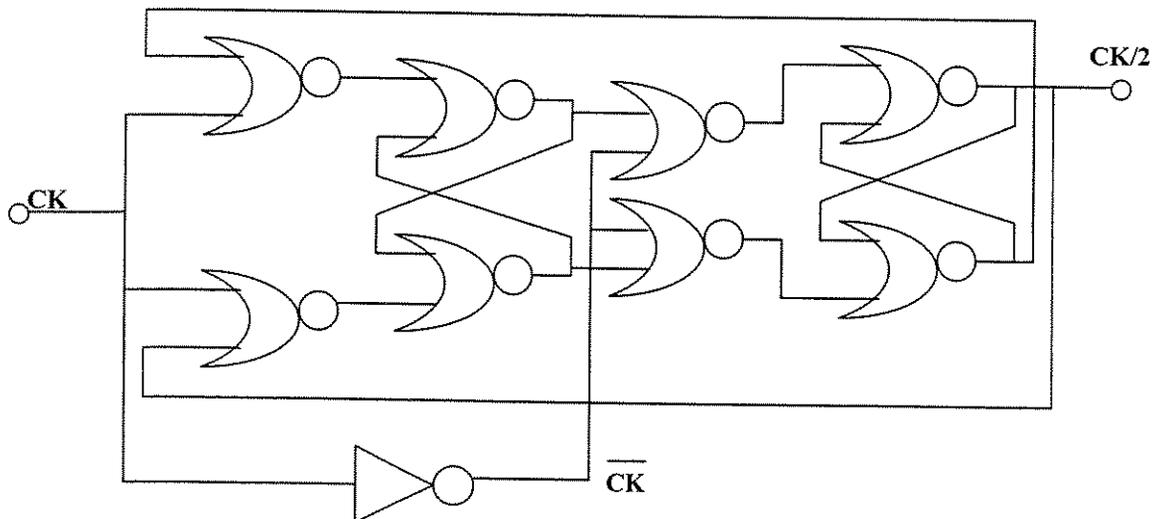
é estável para $(2t_{INV} + 2t_{SF})^{-1} < f < (t_{INV} + t_{SF})^{-1}$ onde t_{INV} é o tempo do atraso do inversor do Buffer de saída e o t_{SF} é o tempo de atraso do Seguidor de Fonte(SF).

O circuito divisor estático [46] divide por 2 o sinal do divisor dinâmico. Portanto a saída deste divisor neste caso, é o sinal do clock dividido por 4. Os transistores de cada estágio desse circuito são iguais, isto é, os inversores correspondentes tem transistores com as mesmas dimensões. A saída desses divisores são o sinal de controle dos circuitos PS, MS, SPS e SMS. A grande vantagem de usar esses circuitos de controle, nesta topologia onde os flip-flop's não operam na mesma taxa, ao invés dos circuitos de controle formados por registrador de deslocamento realimentado chamados de contadores digitais estáticos e que operam sempre na mesma taxa CK, é o consumo de potência menor devido a redução de área [11].

3.2.7. Divisor Estático por 2

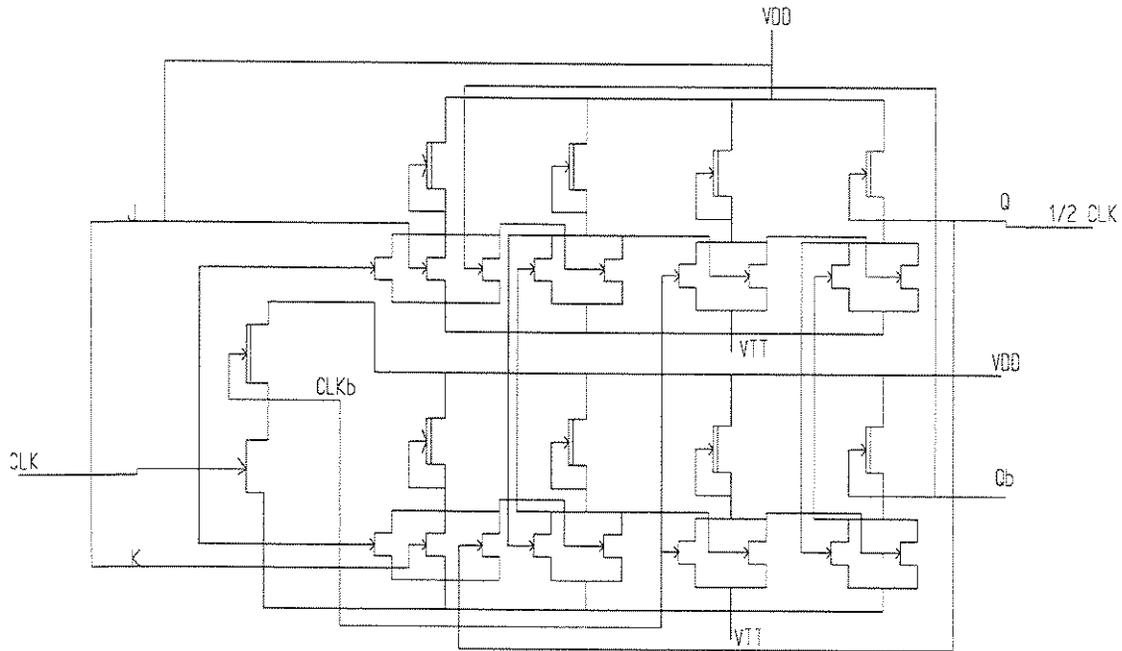


a) Diagrama de Bloco do Divisor Estático por 2



b) Diagrama Lógico do Divisor Estático por 2

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
 INSTITUTO DE FÍSICA
 LABORATÓRIO DE FÍSICA DE MATERIAIS



c) Diagrama Esquemático do Divisor Estático por 2

Figura 68 - Divisor estático por 2

3.2.8. Projeto de *Drivers* SDCFL e *Buffers* de Entrada

3.2.8.1. Projeto de portas lógicas SDCFL

Buffers são circuitos que têm a função de isolar dois outros circuitos, ou um circuito e a sua carga; eles são usados na entrada e na saída dos *chips*. Os *buffers* de entrada devem fazer o casamento de impedância com a linha que aciona o *chip* e proteger seus circuitos internos contra tensões excessivas nos pinos de entrada. Os *buffers* de saída (ou *drivers*) isolam a parte lógica de um circuito da sua carga, e são necessários para o acionamento eficiente de grandes capacitâncias de carga que podem surgir em um circuito, como por exemplo as interconexões internas mais longas de um *chip*, ou um alto número de portas lógicas de fan-out, ou os *pads* do *chip*. A necessidade da utilização de *drivers* em um circuito será justificada nesta seção. Os *buffers* de entrada são discutidos mais adiante.

Os *drivers* não têm função do ponto de vista lógico (não alteram o valor lógico de um sinal), eles só visam garantir bons níveis lógicos (boas NMs) e baixos tempos t_{HL} e t_{LH} para um sinal na presença de uma C_L alta. Para carregar e descarregar rapidamente essas capacitâncias elevadas, estes *buffers* precisam fornecer altas correntes de saída

$$I = C_L \cdot \frac{dV}{dt} \quad (3.2)$$

Simplymente aumentar as larguras dos FETs de portas DCFL não traria o mesmo nível de desempenho, com a mesma ocupação de área do *chip*.

SDCFL pode ser vista como uma família lógica independente, cuja estrutura consiste de uma porta DCFL (inversor ou NOR) acionando um seguidor de fonte, e que está mostrada na Fig. 69(a). SDCFL é então uma família de portas bufferizadas totalmente compatível com DCFL. O emprego de SDCFL para C_L 's altas propicia: maior V_{OH} e menor V_{OL} na saída de blocos lógicos, e portanto NMs muito maiores em comparação com as de portas DCFL de mesma área, acionando uma mesma carga C_L ; e/ou aumento da capacidade de acionamento de fan-out de um circuito DCFL, pois SDCFL tem um alto ganho de corrente. As capacitâncias parasitas do seguidor de fonte que forma a família SDCFL são mostradas na Fig. 69(b).

O seguidor de fonte é um circuito em que a saída segue a entrada com a diferença de uma queda de tensão. Na Fig. 69(b), se V_{inbuf} aumenta, i_e e i_d também aumentam, forçando V_{out} a aumentar porque $i_e > i_d$. A excursão de V_{inbuf} pode ser muito maior do que em um inversor DCFL, chegando tipicamente a 1,5 V (para $V_{DD} = 2$ V). Já quando V_{inbuf} é baixa, a saída cai a um valor próximo de $V_{inbuf} - V_t$, e por isso V_{OL} alcança um valor bem pequeno. A curva de transferência do seguidor de fonte, na Fig. 70, mostra que, em DC, V_{out} segue V_{inbuf} até um alto valor desta e, para uma V_{inbuf} baixa, V_{out} é próxima de 0 V.

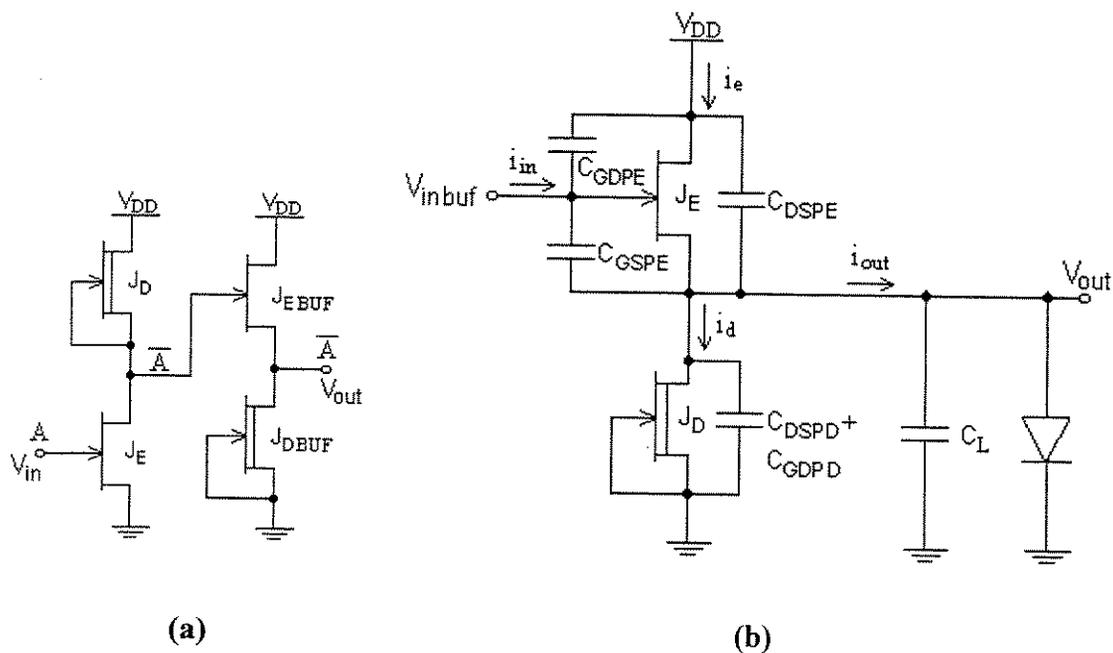


Figura 69 - a) Inversor SDCFL b) Seguidor de fonte com capacitâncias parasitas e uma carga C_L

Uma propriedade interessante do seguidor de fonte é que J_E solicita uma corrente de entrada i_{in} muito pequena, mesmo quando V_{inbuf} está no valor máximo de 1,5 V. A C_{GS} do EFET auxilia a passagem da corrente de carga vinda da porta que aciona o seguidor de fonte.

A Fig. 71 mostra a curva de $i_{in} \times V_{inbuf}$, parametrizada em função do FO do seguidor de fonte. Isto traz consequências para o dimensionamento da parte lógica da porta SDCFL, a qual deve ser menor.

As NMs de circuitos DCFL podem ser melhoradas mantendo-se V_{OH} próximo dos 700 mV e reduzindo-se V_{OL} . Pois o V_{OL} de uma porta SDCFL é muito baixo ($\cong 20$ mV, contra 70 mV de DCFL), o que é um valor excelente para cortar quase que completamente o EFET de entrada da porta lógica que vier a seguir ([77], [78]), garantindo boas correntes de fuga e sub-limiar. O *buffer* SDCFL também pode constituir um meio **eficiente** de se acelerar os elementos lógicos porque, quando a C_L ou o FO são elevados, o seguidor de fonte os aciona mais rapidamente do que um inversor DCFL de mesma área. Finalmente, o emprego de uma porta SDCFL como driver de saída de um *chip* acarreta uma ótima excursão do sinal de saída do CI, da ordem de 1,2 V para $V_{DD} = 2$ V.

O compromisso pelo uso de SDCFL vem na forma de um consumo de potência bem maior e um aumento de complexidade da porta bufferizada, que ocupa maior área pois tem dois FETs a mais. **Não é recomendável** empregar-se portas SDCFL para compor a parte lógica de um circuito, em substituição às portas DCFL, pois a área do circuito (o seu custo de fabricação) e as correntes de todo o CI aumentam drasticamente, e esses efeitos não serão compensados pelo benefício das maiores NMs nos nós internos do CI.

O dimensionamento de um *buffer* SDCFL é feito para o acionamento de uma C_L especificada. Quando o dimensionamento do seguidor de fonte é muito fraco para a C_L que ele tem que acionar, a onda que resulta na saída é uma dente-de-serra, evidenciando a carga e descarga do capacitor, mas nunca atingindo algum dos níveis lógicos (alto ou baixo), porque não há corrente suficiente. À medida em que o dimensionamento do *buffer* vai sendo aumentado, o sinal de saída vai adquirindo a forma quadrada, com rampas de subida e descida cada vez mais verticais, e a duração dos níveis lógicos (ciclo de trabalho) vai aumentando.

Os *buffers* SDCFL somente são eficientes para o acionamento de C_L 's grandes, acima de 100 fF [16]. O projetista precisa ter cuidado para não sobredimensionar o seguidor de fonte, porque usá-lo para acionar uma C_L pequena ($C_L < 100$ fF), ou usar um *buffer* forte demais para uma dada C_L , apenas causará um t_{PD} ainda maior para o sinal, ao invés de um ganho de velocidade. Portanto, o projetista precisa estar ciente de que o uso da lógica SDCFL não é necessariamente benéfico, pois pode tornar a resposta do circuito mais lenta do que antes. Este efeito nocivo será demonstrado adiante. As equações dos atrasos de propagação do seguidor de fonte são deduzidas, e o seu funcionamento é explicado com detalhes, em [54].

O *buffer* SDCFL deve ser sempre acionado por uma porta DCFL, como na Fig. 69(a), e o V_{OH} do *buffer* será compatível com os níveis de entrada DCFL, perfazendo o inversor SDCFL. A Fig. 72 mostra a curva característica do inversor SDCFL,

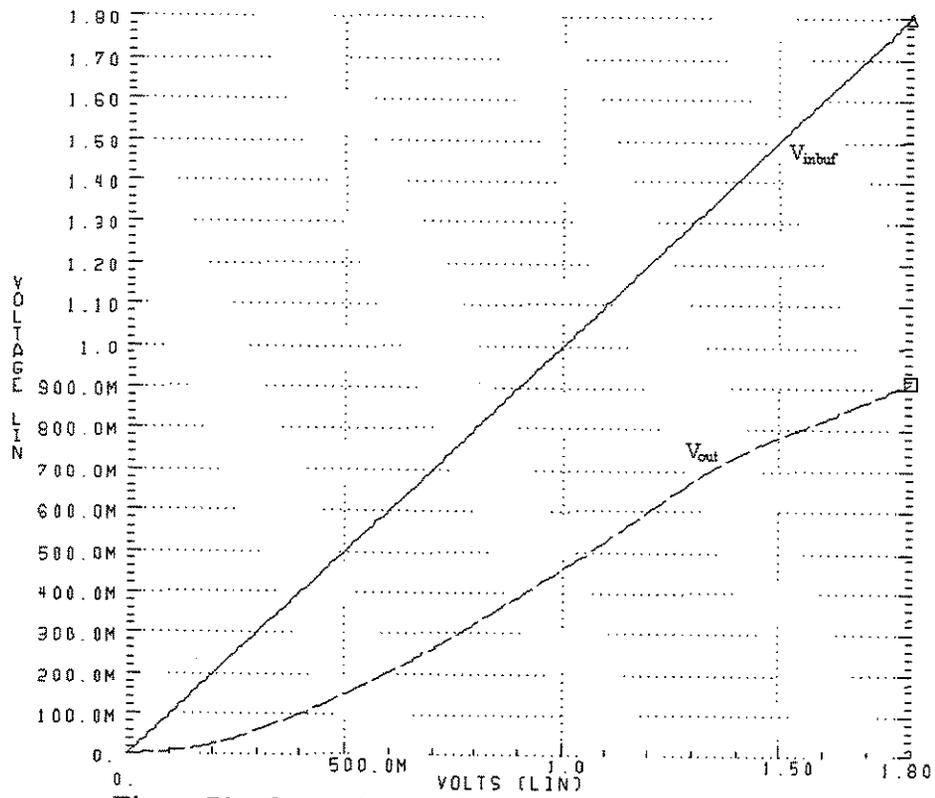


Figura 70 - Curva de transferência do seguidor de fonte

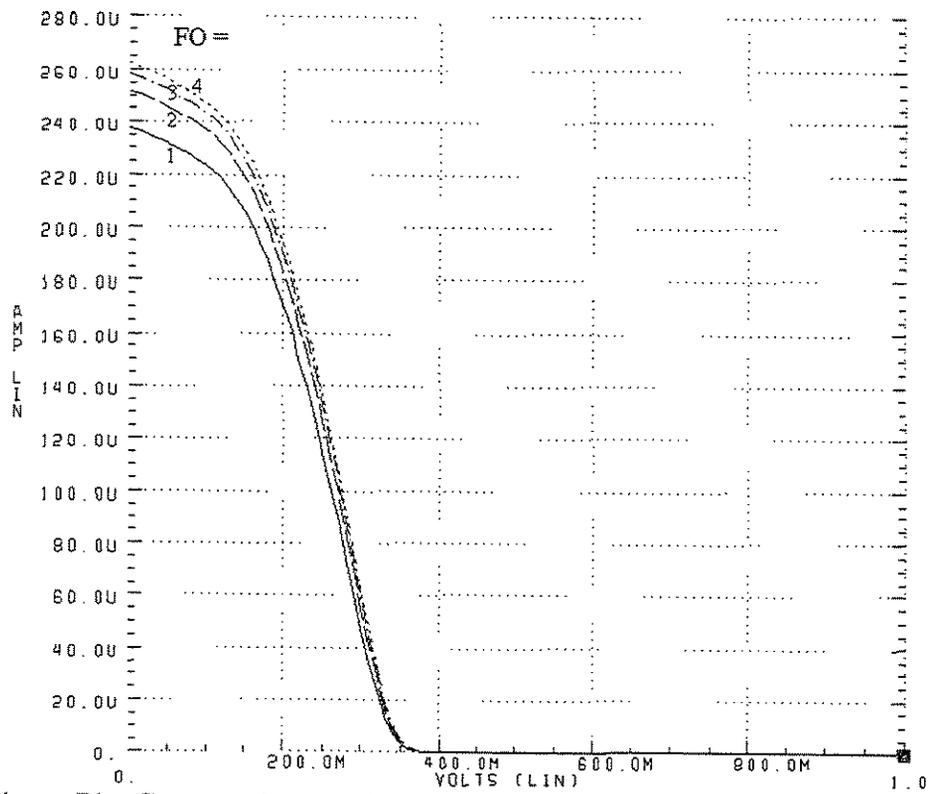


Figura 71 - Corrente de entrada do seguidor de fonte, parametrizada em FO

parametrizada para a quantidade de fan-out na sua saída. A comparação destas curvas, com as de variação da curva de transferência de um inversor com o FO, revela as vantagens do inversor SDCFL sobre o DCFL: V_{OL} é menor por 50 mV e, apesar da redução do nível V_{OH} com o aumento do FO ser igual àquela do inversor DCFL, o valor de V_{OH} permanece acima de 700 mV até um $FO \cong 7$.

A Fig. 72 esclarece o significado da maior capacidade de acionamento de FO que o uso do *buffer* SDCFL proporciona, e também mostra porque SDCFL somente deve ser usado para acionar FO's e/ou C_L 's elevados: o valor de V_{OH} é alto demais para cargas leves ($FO < 5$), e isso prejudicaria as portas lógicas DCFL que fossem acionadas pela porta SDCFL. Daí a importância de saber quando usar SDCFL. As curvas das Figs. 70 e 71 foram geradas pela simulação do Programa 20, anexo 1 [52].

A parte lógica da porta SDCFL (inversor ou NOR) deve ter um valor de β em torno de 5, de modo a otimizar o desempenho da porta SDCFL como um todo; isto é ilustrado na Fig. 73. Uma porta com $\beta_{inv} = 10$ resulta em maior atraso, devido à característica de alta impedância de entrada do seguidor de fonte. O Programa 19 [52] compara curvas de transferência do inversor SDCFL, variando o β da parte DCFL na faixa de 3 até 12, e o resultado é mostrado na Fig. 74; pode-se perceber que, para $\beta_{inv} = 5$, a curva do inversor SDCFL faz interseção com a reta da tensão V_{in} bem perto de 400 mV, o que significa um limiar lógico da porta quase no meio da sua excursão total de 800 mV.

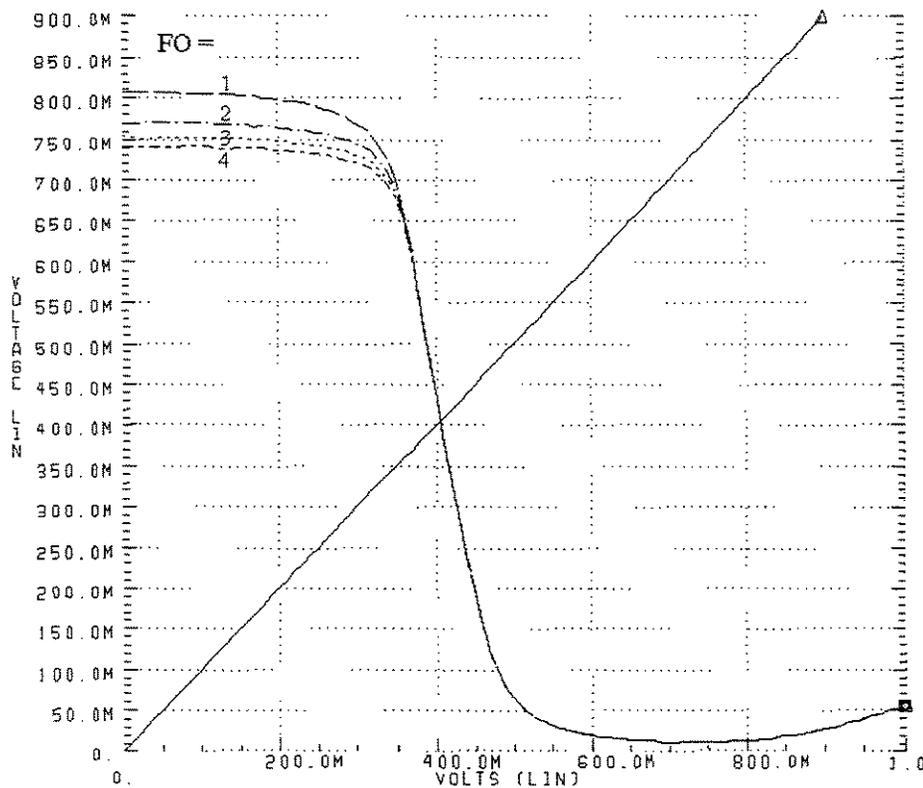


Figura 72 - Efeito do FO sobre a curva de transferência DC de um inversor SDCFL

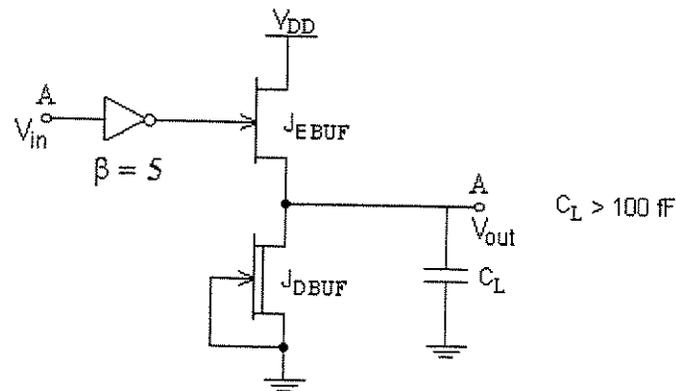


Figura 73 - O β da porta DCFL que aciona o seguidor de fonte deve ser igual a 5

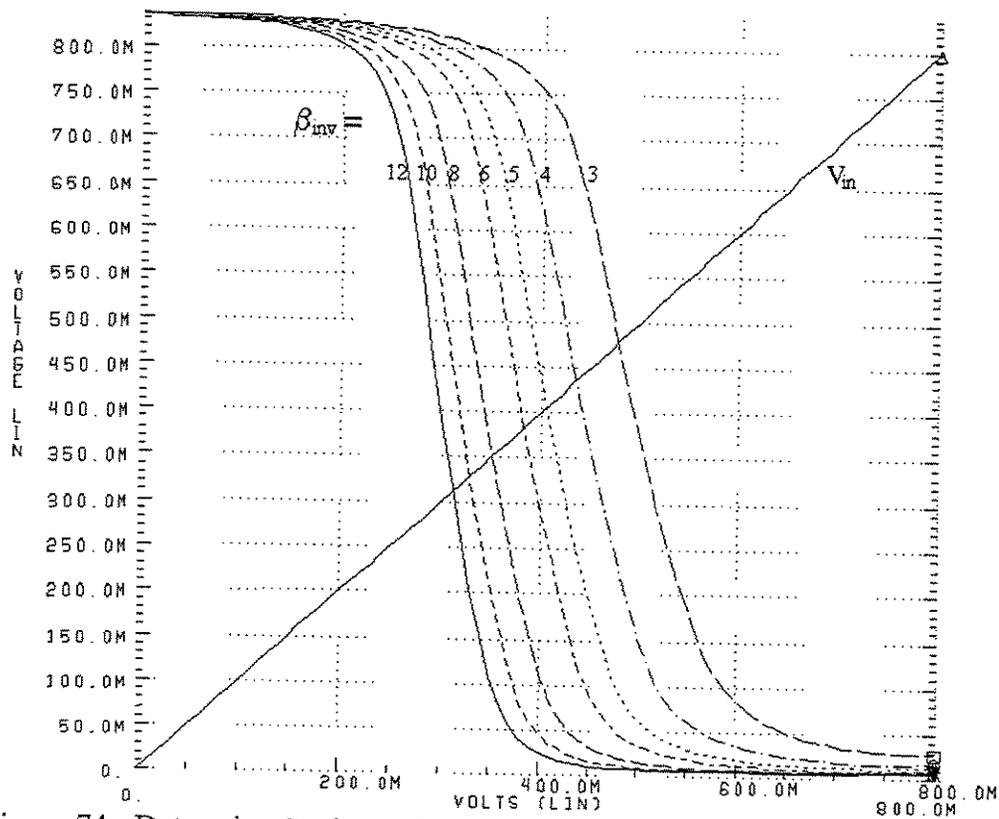


Figura 74 - Determinação de um β ótimo para a parte inversora da porta SDCFL

Para o projeto do seguidor de fonte do inversor SDCFL, analisa-se inicialmente a influência da largura do DFET do *buffer*, W_D . Os compromissos envolvendo W_D , potência e velocidade para portas SDCFL são basicamente os mesmos que no caso das portas DCFL. A relação $W_D \uparrow \Rightarrow P_{D,st} \uparrow$ continua linear, conforme ilustra a Fig. 75, realizada por uma simulação. A Fig. 76 mostra várias curvas da $P_{D,st}$ do inversor SDCFL, parametrizadas em W_D . Com β mantido constante, $W_D \uparrow \Rightarrow V_{OH} \uparrow$, $NM \uparrow$, o que é comprovado pela Fig. 77. Porém, aumentar W_D continuamente não garante a redução contínua de t_{PD} : o valor ótimo de W_D depende do valor de C_L .

As Figs. de 75 a 77 correspondem a um inversor SDCFL no qual o β do *buffer* é igual a 3 e a porta inversora DCFL é mantida sempre fixa com $W_D = 8 \mu\text{m}$ e $\beta = 5$. O FO para o *buffer* consiste de 4 inversores DCFL, com $W_D = 8 \mu\text{m}$ e $\beta = 10$, e uma C_L de 100 fF. Este circuito é descrito e simulado por meio do Programa 21 [52].

Os atrasos de propagação t_{PLH} e t_{PHL} também são proporcionais aos tempos t_r e t_f do sinal de entrada, e ao FO acionado pelo seguidor de fonte, daí a importância de simulações realistas [54]. Para diminuir-se t_{LH} e t_{PLH} , a razão W_D/W_E deve ser feita pequena, pois C_L é carregado através do EFET, e qualquer corrente extra puxada pelo DFET reduz a corrente disponível para a carga de C_L . Contudo, para reduzir t_{HL} e t_{PHL} , W_D deve ser grande, pois é o DFET que descarrega C_L : $W_D \uparrow \Rightarrow t_{PHL} \downarrow, t_{HL} \downarrow$. Mais uma vez, surgem requisitos conflitantes para um projeto ótimo, portanto deve-se dimensionar a razão de larguras W_E/W_D que produza um sinal de saída do *buffer* SDCFL com $t_{HL} \cong t_{LH}$. Para tanto, a

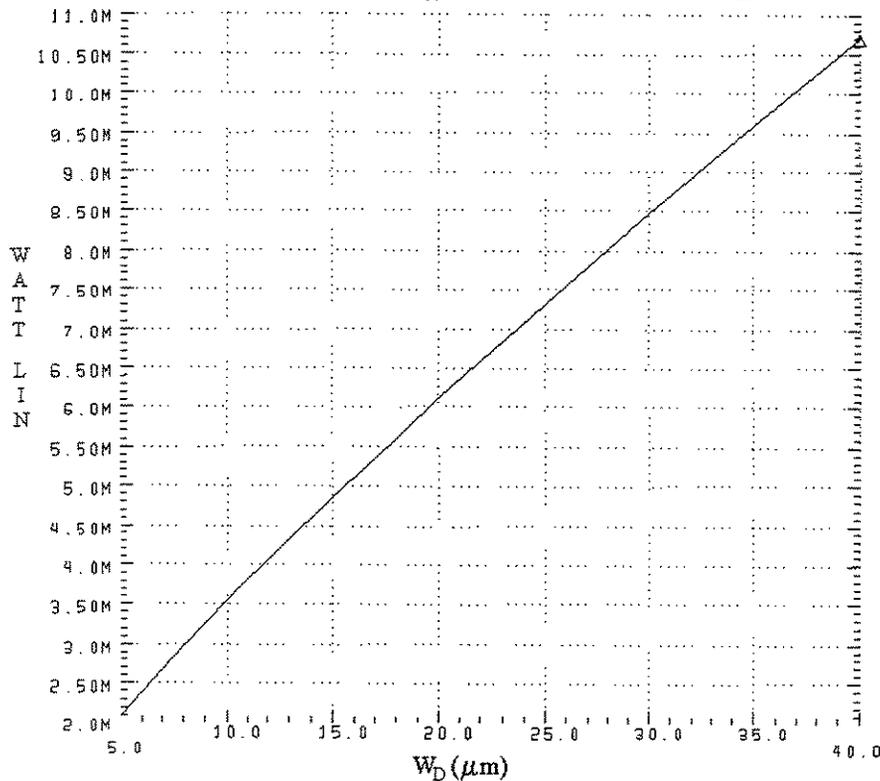


Figura 75 - Potência do inversor SDCFL versus W_D do seguidor de fonte

corrente de carga de C_L deve ser igual à corrente de descarga. Essa condição, aplicada à Fig. 69(b), implica em [54]:

$$i_e (V_{GS} = 0,7 \text{ V}) + i_{in} (V_{GS} = 0,7 \text{ V}) - i_d (V_{out} = V_{OL}) = i_d (V_{out} = V_{OH}) \quad (3.3)$$

onde o primeiro membro da equação representa a corrente de carga fornecida por J_E , subtraída a corrente de J_D , e o segundo membro representa a corrente de descarga de J_D , quando J_E está cortado. A equação (3.3) é resolvida substituindo-se as correntes por suas

expressões segundo o modelo de Statz, com $L_E = 1 \mu\text{m}$ e $L_D = 2 \mu\text{m}$, e encontrando um valor de W_E/W_D que satisfaça a igualdade resultante.

Um valor de $\beta = 3$ para o seguidor de fonte resulta em um compromisso ótimo de velocidade *versus* V_{pp} [54] para as portas SDCFL, mantendo a intersecção entre as curvas de V_{in} e V_{out} no ponto médio da excursão (400 mV), como pode ser visto na Fig. 78. Portanto, um valor de 3 será **inicialmente** adotado para o β dos *buffers* SDCFL neste trabalho.

A Fig. 78 mostra a resposta transiente de um inversor SDCFL em 1 GHz, parametrizada para vários valores de W_D . Para essa mesma simulação, mediu-se os valores dos tempos de atraso, que estão plotados em função de W_D na Fig. 79. As dimensões do inversor SDCFL e a carga acionada foram os mesmos do Programa 21[52], mas esta simulação transiente é feita pelo Programa 22 [52].

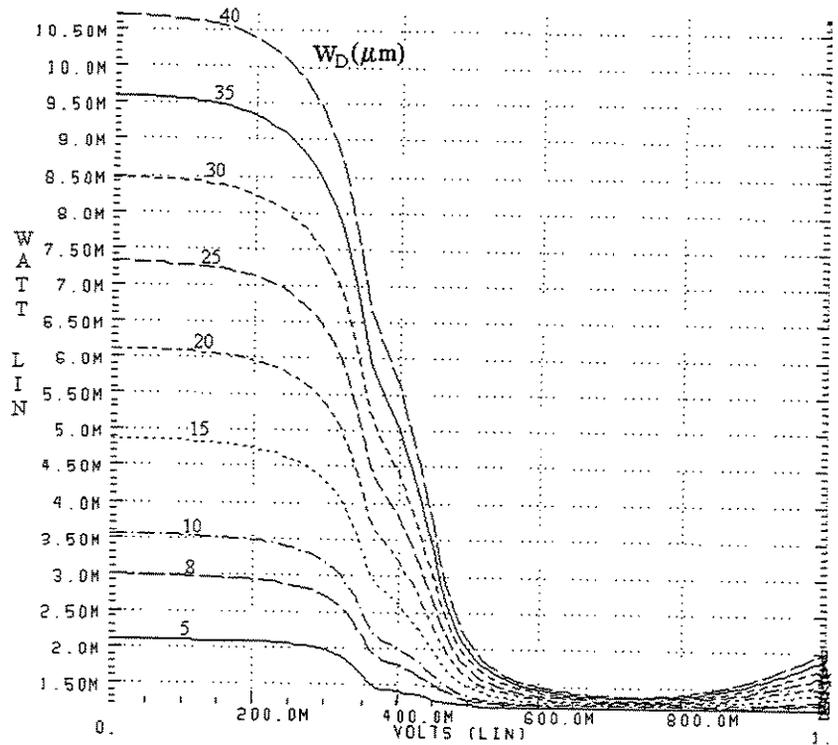


Figura 76 - Curvas de potência *versus* V_{in} , para vários valores de W_D

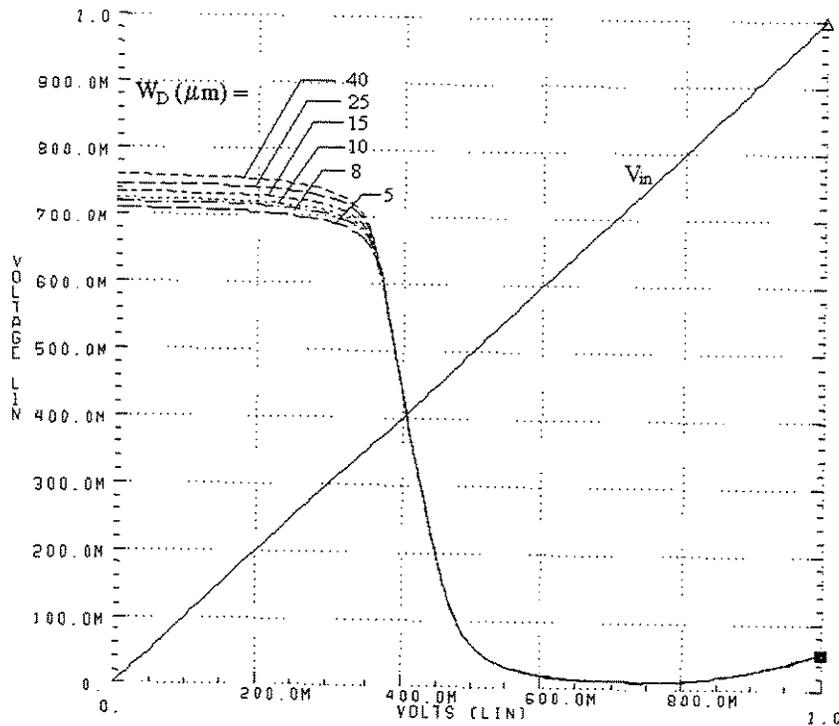


Figura 77 - Influência de W_D na curva de transferência do inversor SDCFL com $\beta = 3$

As formas de onda da Fig. 78 revelam que, para a carga total usada na simulação, o buffer precisaria ter $W_D \geq 30 \mu\text{m}$ para fornecer um sinal de saída válido. A Fig. 79 mostra que o t_{PD} do inversor SDCFL possui um valor mínimo para um certo W_D do *buffer*, e W_D 's maiores tornam a aumentar o t_{PD} . Isto confirma o que foi dito acima: t_{PD} não é monotonicamente decrescente com W_D , e o valor ótimo de W_D depende de C_L .

A equação (3.2) mostra que, para ser mantida a mesma taxa dv/dt , a corrente I , e portanto W_D , devem ser aumentadas pelo mesmo fator que a carga C_L , como resumido na equação (3.4). Aplicando esse escalonamento simples e linear, o projetista já pode chegar no dimensionamento final do *buffer*, desde que não sejam ultrapassadas as restrições de área e/ou potência a que o projeto esteja submetido. Se for necessário, após o escalonamento linear, podem ser feitos os "ajustes finos", apenas para se otimizar algum parâmetro de desempenho que ainda não esteja satisfatório.

$$\frac{I_2}{I_1} = \frac{C_{L2}}{C_{L1}} \Rightarrow \frac{W_{D2}}{W_{D1}} \quad (3.4)$$

A Fig. 80 mostra o efeito do fan-out na resposta transiente do inversor SDCFL, onde se confirma que o atraso t_{PHL} e o tempo de descida t_{HL} aumentam quase linearmente com o aumento de FO (e de C_L), mas t_{PLH} permanece relativamente constante. No *chip mux4*, há situações de FO's e C_L 's elevados, em que um sinal tem que ser aplicado a um grande número de portas de EFETs, ou a uma longa linha de metal até outro bloco do *chip*. Para ligar o diodo de porta de cada EFET, a fonte desse sinal deve ser um seguidor de fonte com W_D e W_E dimensionados para manter um V_{OH} seguro. Da mesma forma, os pads

podem ser vistos como grandes capacitâncias, sendo acionados por seguidores de fonte bastante largos.

O inversor SDCFL simulado teve uma porta inversora com $W_D = 8 \mu\text{m}$ e $\beta = 5$, e um *buffer* com $W_D = 20 \mu\text{m}$, $\beta = 3$. Os inversores de fan-out tinham $W_D = 8 \mu\text{m}$ e $\beta = 10$, e o FO foi variado de 1 a 4. A simulação é especificada pelo Programa 23, apêndice 1[52].

A Fig. 81 [53] compara NMs e t_{PD} 's, de um inversor DCFL e de um SDCFL, em função do FO. Percebe-se as NMs muito maiores do inversor SDCFL, que no entanto possuem a mesma taxa de redução em função do FO que as NMs do inversor DCFL. A Fig. 82 [53] também compara NMs e t_{PD} 's de DCFL e SDCFL, mas em função das razões entre as larguras de seus transistores. Estas duas figuras servem apenas para efeito de comparação e verificação de taxas de variação desses dois parâmetros.

Existem também outros tipos de *drivers*. O chamado "superbuffer", mostrado na Fig. 83, é muito adequado para acionar cargas capacitivas ainda mais elevadas, porque produz um surto de corrente muito grande em sua saída; o superbuffer é mais rápido que o *buffer* SDCFL para uma mesma C_L . No entanto, ele também gera muito ruído nas linhas de alimentação do *chip*, porque provoca picos de corrente bastante altos nessas linhas, durante suas transições lógicas. Por exemplo, durante a transição de descida da saída, os dois FETs do *buffer* ficam em condução durante um tempo igual ao t_{PD} do inversor que o aciona, gerando um pulso de corrente entre o V_{DD} e o terra. Este pulso de corrente gera pulsos de

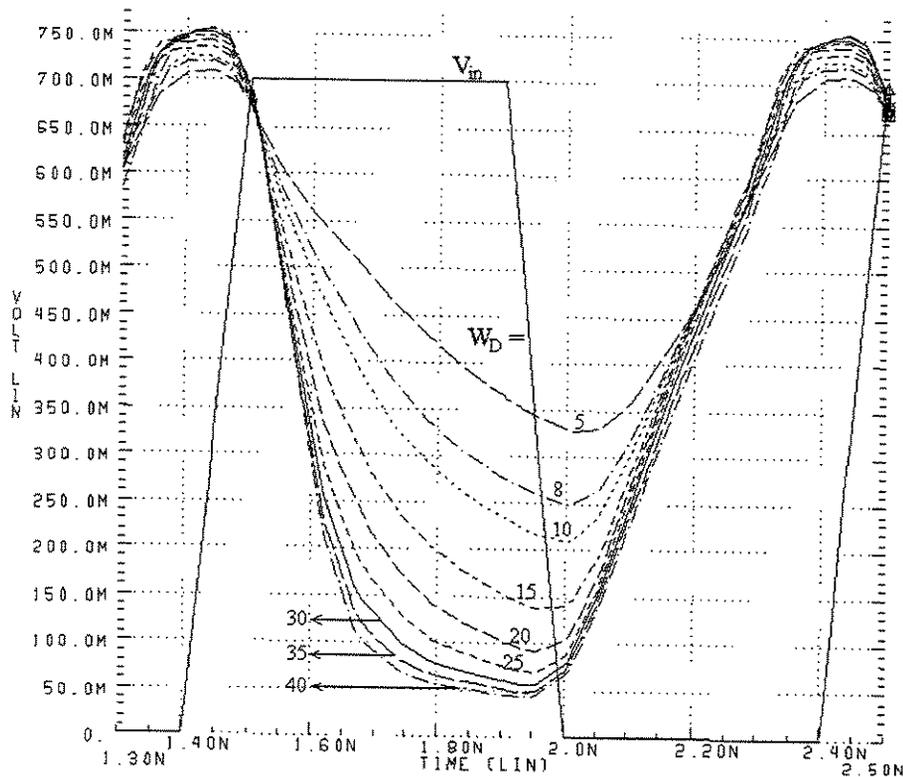


Figura 78 - Resposta transitente de um inversor SDCFL parametrizada em W_D , com $\beta = 3$

tensão nessas linhas, através de suas resistências ôhmicas e suas indutâncias, e esses pulsos de tensão degradam a NM de famílias lógicas com entrada em fonte-comum, como é o caso de DCFL. Assim, o ruído de tensão de terra gerado pelos superbuffers é significativo [16] e pode até levar a transições indevidas em outras portas lógicas do CI ligadas à mesma linha de terra, que recebem o mesmo pulso de tensão. Além disso, os superbuffers apresentam consumo excessivo de potência [11].

Os superbuffers precisam ter seus próprios pads e barramentos de alimentação, separados da alimentação do resto do circuito, para não contaminá-la com o seu ruído de tensão. Esses pads e pinos independentes são chamados de alimentações “sujas”, designados por V_{DDO} . Nesse caso, os pads e barramentos das tensões e terras lógicas (V_{DDL}) devem ser independentes de V_{DDO} . Por causa desses inconvenientes, e considerando-se que as NMs de DCFL já são baixas, o superbuffer não foi usado neste circuito.

Para concluir esta seção, destaca-se que os estágios de saída seguidores de fonte restauram os mesmos níveis lógicos da entrada do CI, e têm a grande vantagem de proporcionar uma resistência de saída bem baixa, $R_{out} = 1/g_m$ aproximadamente, para o acionamento eficiente da sua carga. Para realizar-se *drivers* de baixa impedância de saída, larguras muito altas dos FETs são necessárias.

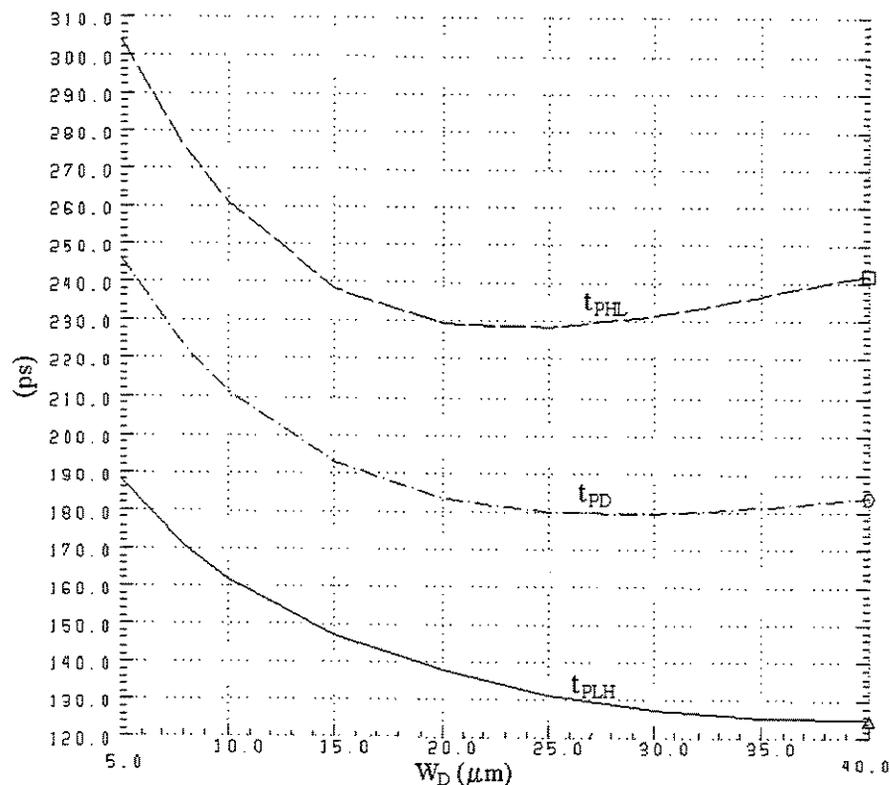


Figura 79 - Tempos de atraso do inversor SDCFL em função de W_D do *buffer*

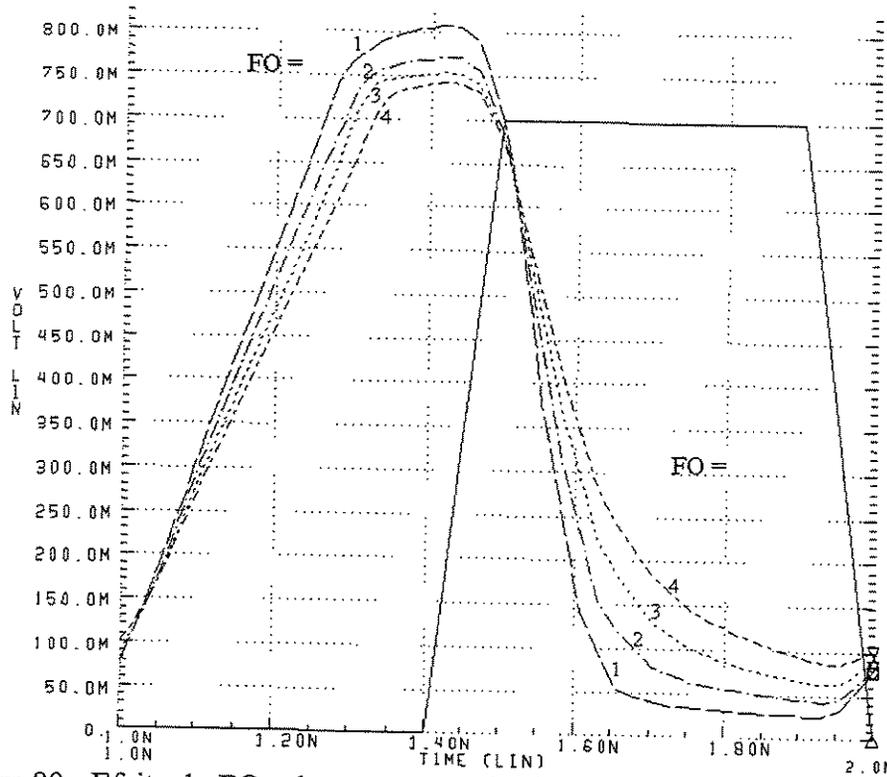


Figura 80 - Efeito do FO sobre os atrasos do sinal de saída do inversor SDCFL

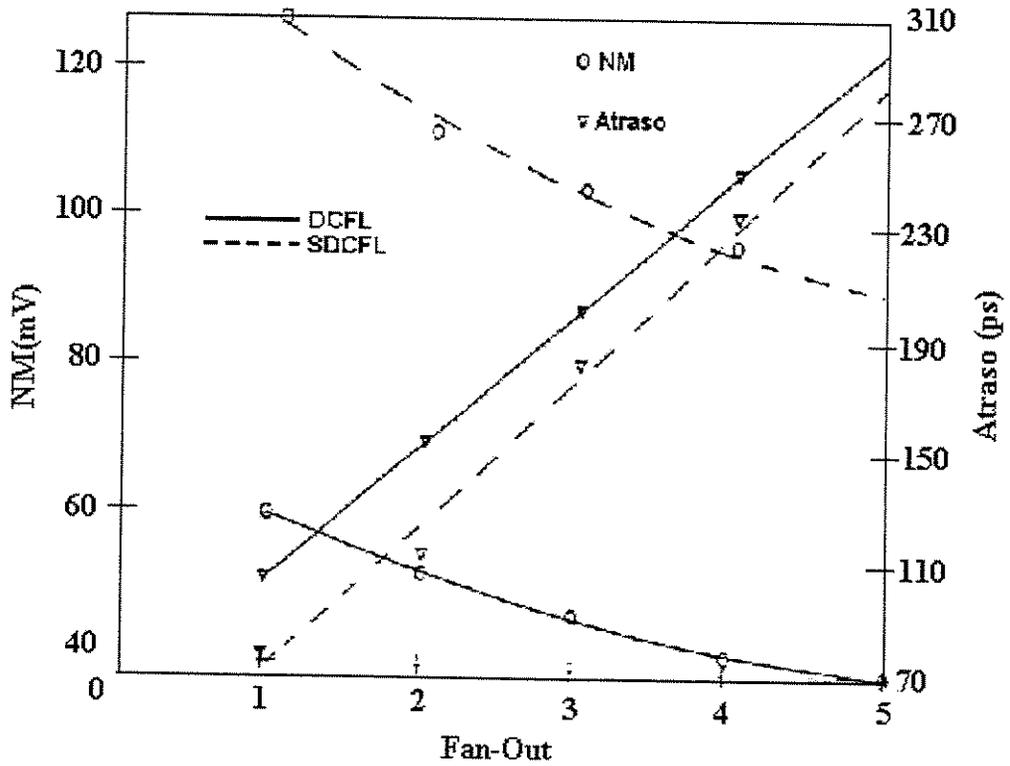


Figura 81 - NM's e t_{PD} 's de inversores DCFL e SDCFL, em função do fan-out [53]

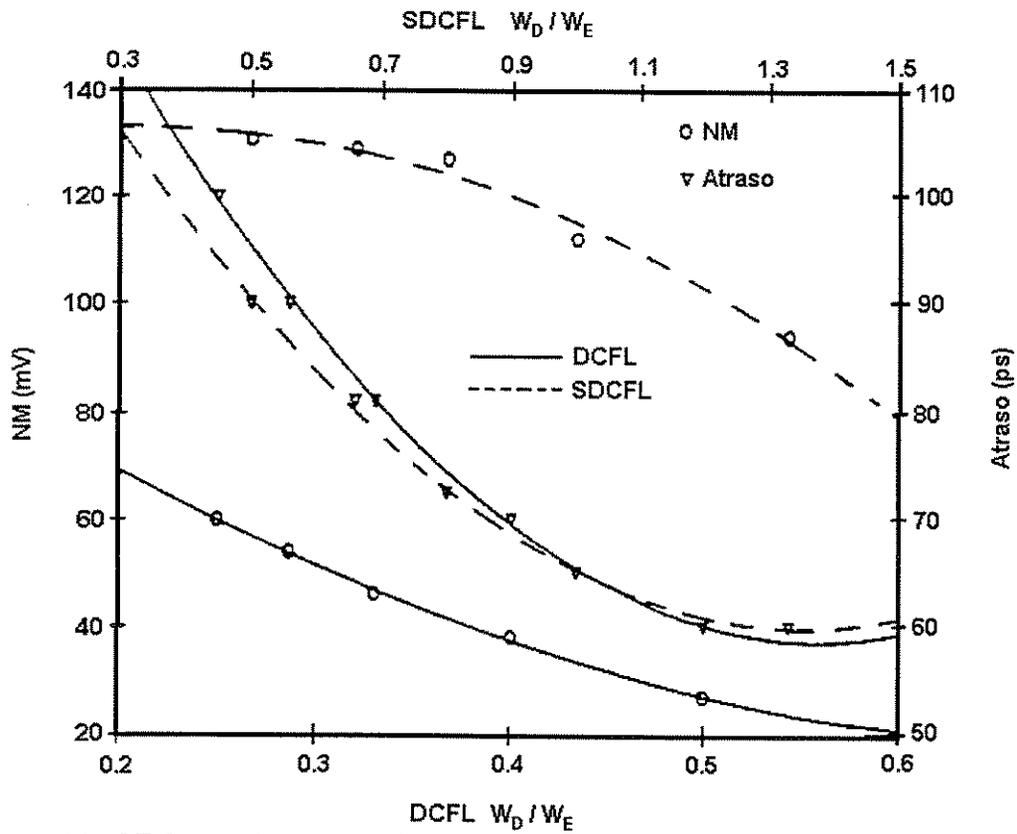


Figura 82 - NMs e t_{PD} 's para um inversor DCFL e um seguidor de fonte SDCFL, em função das suas razões entre larguras

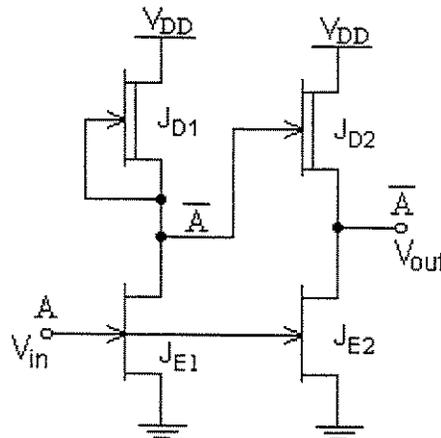


Figura 83 - Superbuffer

É interessante observar que, para aumentos de largura dos transistores do *buffer* em uma boa faixa, não é necessário que o DFET do parte inversora DCFL seja aumentado conjuntamente, pois, como visto na Fig. 71, o *buffer* puxa uma corrente de entrada muito

baixa mesmo quando tem dimensões grandes. Ele representa uma carga muito leve para o inversor DCFL.

3.2.8.2. Projeto dos *buffers* de entrada

Um *buffer* de entrada deve proteger os circuitos lógicos internos do *chip* contra tensões na entrada que estejam fora da faixa normal de operação do CI, limitando-as. E mesmo com uma V_{in} excessiva, a corrente de entrada nunca deve ser excessiva, o que poderia danificar trilhas internas ou os contatos de *gate* dos FETs, inutilizando-os. Sua faixa de operação recomendada é de $GND \leq V_{in} \leq V_{DD}$ ou $V_{TT} \leq V_{in} \leq GND$, conforme a alimentação seja positiva ou negativa respectivamente; quando forem especificados os limites máximo e mínimo da V_{in} , o *buffer* de entrada deve ser dimensionado adequadamente. Para este projeto, sabe-se que os *buffers* de entrada devem ser projetados para apresentarem impedâncias de entrada de 50Ω .

O mais importante é que o CI deve ser compatível consigo mesmo, isto é, os *buffers* de entrada têm que ser compatíveis com os *buffers* de saída. Isto é função do projeto de ambos. Foram consideradas e comparadas duas opções de *buffers* de entrada. Em primeiro lugar, foi simulado um *buffer* que consistia de diodos de proteção e um resistor limitador de corrente, mostrado na Fig 84.

A função de R_{Lim} é limitar a corrente nos diodos a valores seguros. Porém, a presença desse resistor em série com a entrada, causa um atraso proporcional ao valor da sua resistência, e limita a frequência máxima de entrada no circuito (introduz uma frequência de corte que limita a resposta em frequência). A partir de uma certa frequência, a tensão no nó 2 não consegue mais acompanhar a tensão aplicada no pino do CI (1), por causa do atraso RC. Por isso, o *buffer* da Fig. 84 foi abandonado para este projeto.

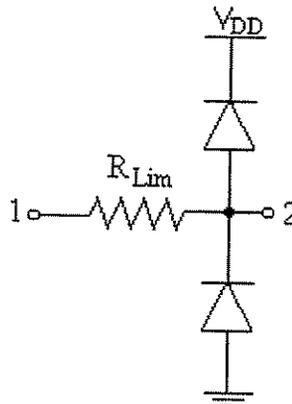


Figura 84 - *Buffer* de entrada simples

Concluiu-se que o melhor circuito *buffer* de entrada para este projeto consiste de um DFET conectado como fonte de corrente (com $V_{GS} = 0$, como uma carga ativa), atuando portanto como um regulador de corrente de entrada. Essa é a topologia de circuito de proteção adotada nos CIs da GigaBit Logic [55], e é mostrada na Fig. 85. Quanto maior a

W_D do DFET, maior a velocidade de resposta do *buffer* (menor o seu atraso); porém, se W_D for muito grande, a corrente do regulador para a entrada do bloco seguinte fica muito alta. Portanto, W_D precisa ser dimensionada com cuidado para evitar sobrecarga (*overdrive*) do E-FET do estágio seguinte; se W_D for pequena, o DFET pode limitar a resposta em alta frequência de todo o circuito muito abaixo de 1 GHz: a *slew rate* de saída torna-se insuficiente, com severas limitações aos tempos de transição, e não será mais possível entrar com o sinal no *chip*.

O regulador de corrente é conectado em série com as entradas de sinal do *chip*. Ele mantém a corrente de entrada confinada a uma faixa, mesmo com V_{in} fora da faixa V_{DD} -GND ou GND- V_{TT} , portanto dispensa diodos de proteção, pois já garante uma proteção eficiente contra sobre- ou sub-tensões.

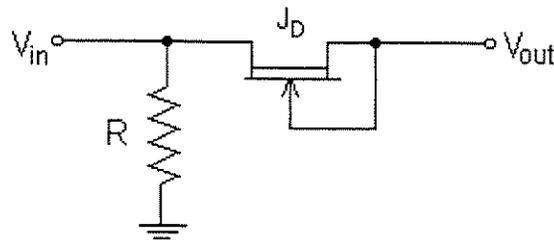


Figura 85 - Bloco de proteção de entrada do *chip mux4*

PROJETO DO MULTIPLEXADOR

4.0. ESPECIFICAÇÃO DO MUX

Neste capítulo apresenta-se o projeto de um multiplexador para operação com um clock na faixa de 1GHz e uma taxa de transmissão prevista na ordem de Gb/s. Pode ser usado em STS-1 e STS-3.

4.1. INTRODUÇÃO

No capítulo 2 falamos dos procedimentos para projetar a nível de transistor, usando a regra de projeto da Vitesse, os circuitos básicos do MUX. Então em seguida serão projetados, usando a metodologia “full custom”, os circuitos MS(FFD), PS, SMS, SPS, Seletor, Divisor estático, Divisor dinâmico e finalmente o MUX propriamente dito bem como todos os circuitos “buffers” necessários, usando tais regras. Após esta etapa serão feitas simulações em Hspice em cada um destes subcircuitos e também no MUX. Serão feitas algumas considerações comentando algumas mudanças nas dimensões dos transistores projetados, durante a fase de simulação. Posteriormente será feito o layout e finalmente abordamos algumas considerações sobre esse assunto.

4.2. PROJETO DO CIRCUITO MS

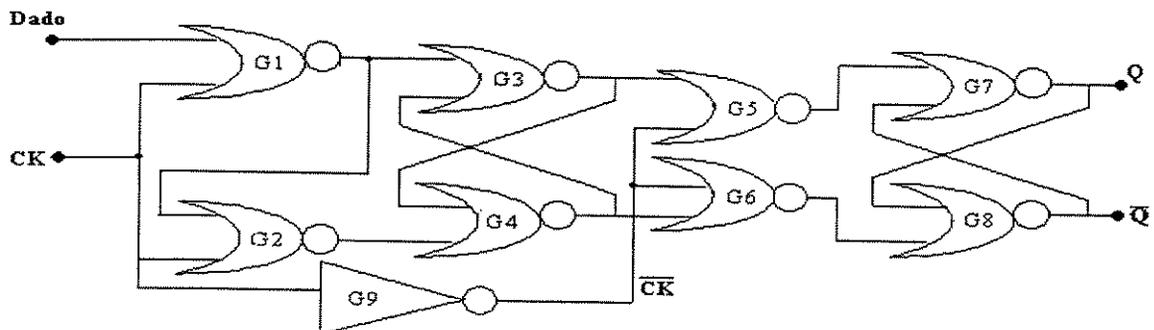


Figura 86 - Diagrama lógico do MS

Na Fig. 86 é mostrado todos os inversores NOR que compõem o MS e o inversor do clock. Serão projetados os inversores $G1=G2$, $G3=G4$, $G5=G6$, $G7=G8$ e o $G9$. Para calcular as dimensões dos transistores de $G1$ devemos achar a relação W/L , todos em micron-metro(μm), dos transistores $J1$, $J2$ e $J3$.

Cálculo de $J_D = J1=J4$ e $J_E = J2 = J3=J5=J6$?

Usando a relação: $\beta = (W_E/L_E)/(W_D/L_D)$ Tomando valor de β de 7 a 10

Onde: $J1$ =Transistor de Depleção

$J2=J3$ =Transistor de Enriquecimento

$$\text{Tomando } \frac{W_E}{L_E} = \frac{5,0}{1,0} \text{ e } \beta = 10 \rightarrow \frac{W_D}{L_D} = \frac{5}{10} \rightarrow L_D = 2W_D$$

Tomando $W_D = 2,5 \rightarrow L_D = 5$

Conclusão : $J_1=J_4$ tem $W_D=5$, $L_D=10$ e $J_2=J_3=J_5=J_6$ tem $W_E=5$, $L_E=1,0$

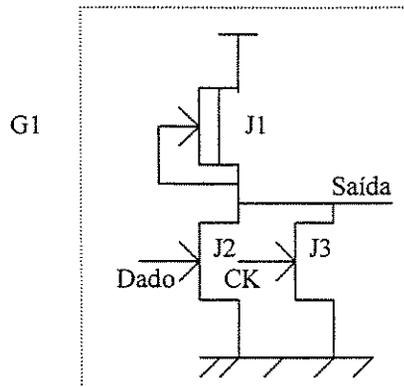


Figura 87 - Diagrama esquemático de G1

Cálculo de G3=G4, isto é, cálculo de $J_D = J_7=J_{10}$ e $J_E = J_8=J_9=J_{11}=J_{12}$?

Usando a relação $\beta = (W_E/L_E)/(W_D/L_D)$

Tomando $\beta = 10$, $L_D=2,5$ e $\frac{W_E}{L_E} = \frac{11}{1,0} \rightarrow W_D = 2,75$

Conclusão : $J_7=J_{10}$ tem $W_D=2,75$, $L_D=2,5$ e $J_8=J_9=J_{11}=J_{12}$ tem $W_E=11$, $L_E=1,0$

Cálculo de G5=G6, isto é, cálculo de $J_D = J_{13}=J_{16}$ e $J_E = J_{14}=J_{15}=J_{17}=J_{18}$?

Tomando $\beta = 10$, $L_D=2,5$ e $\frac{W_E}{L_E} = \frac{21}{1,0} \rightarrow W_D = 5,25$

Conclusão: $J_{13}=J_{16}$ tem $W_D=5,25$, $L_D=2,5$ e $J_{14}=J_{15}=J_{17}=J_{18}$ tem $W_E=21$, $L_E=1,0$

Cálculo de G7=G8, isto é, cálculo de $J_D = J_{19}=J_{22}$ e $J_E = J_{20}=J_{21}=J_{23}=J_{24}$?

Tomando $\beta = 10$, $L_D=2,5$ e $\frac{W_E}{L_E} = \frac{42}{1,0} \rightarrow W_D = 10,5$

Conclusão: $J_{19}=J_{22}$ tem $W_D = 10,5$, $L_D=2,5$ e $J_{20}=J_{21}=J_{23}=J_{24}$ tem $W_E=42$, $L_E=1,0$

Cálculo de G9, isto é, $J_D = J_{24}$ e $J_E = J_{25}$?

Tomando $\beta = 10$, $L_D = 2,5$ e $\frac{W_E}{L_E} = \frac{11}{1,0} \rightarrow W_D = 2,75$

Conclusão: J24 tem $W_D = 2,75$, $L_D = 2,5$ e J25 tem $W_E = 11$, $L_E = 1,0$

4.3. PROJETO DO CIRCUITO PS

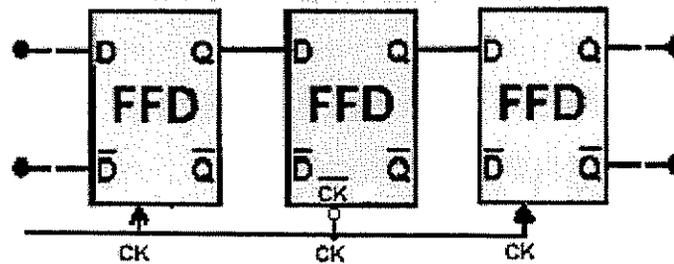


Figura 88 - Diagrama de bloco do circuito PS

O circuito PS, como se pode ver na Fig. 88, é formado por 3 FFD em série. Como no projeto anterior já foi projetado um FFD este servirá como um subcircuito do PS. Para efeito de cálculo a nível de transistor então, usamos o projeto feito anteriormente.

4.4. PROJETO DO CIRCUITO SMS

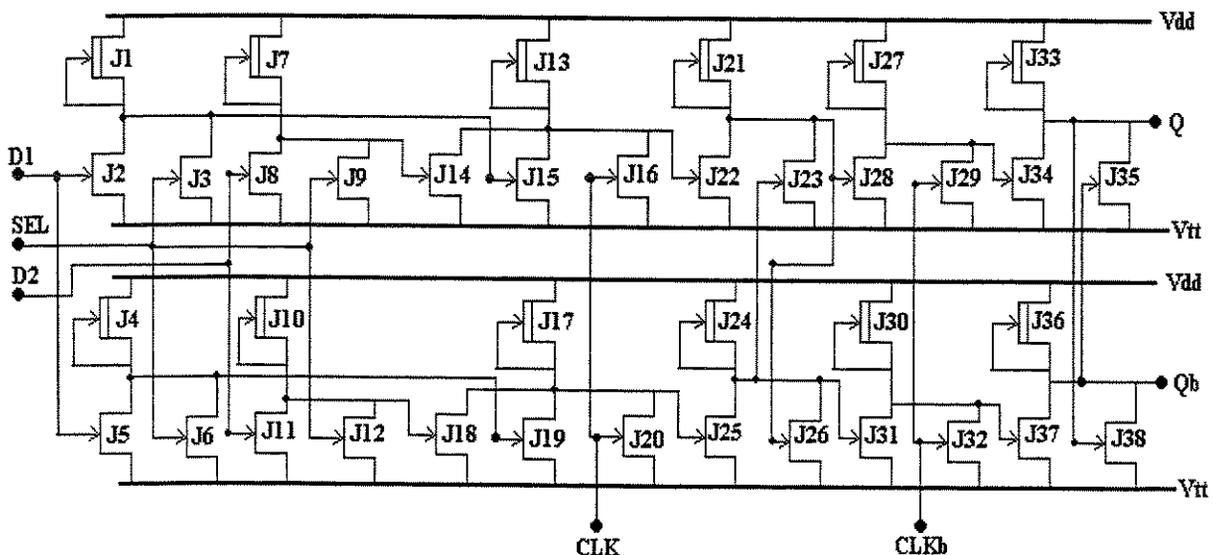


Figura 89 - Diagrama esquemático do SMS

O circuito SMS, mostrado acima na Fig.89, é formado por 12 circuitos inversores. Cada inversor foi projetado usando o mesmo método utilizado no projeto do FFD. São eles:

Inv 1 = Inv 2 , formados pelos transistores:

$$\begin{aligned} J_D &= J1=J4 \quad \text{onde : } W_D=2,5 \text{ e } L_D=5,0 \\ J_E &= J2=J3=J5=J6 \quad \text{onde : } W_E=5,0 \text{ e } L_E=1,0 \end{aligned}$$

Inv 3 = Inv 4 , formados pelos transistores:

$$\begin{aligned} J_D &= J7=J10 \quad \text{onde : } W_D=2,75 \text{ e } L_D=2,5 \\ J_E &= J8=J9=J11=J12 \quad \text{onde : } W_E=11 \text{ e } L_E=1,0 \end{aligned}$$

Inv 5 = Inv 6 , formados pelos transistores:

$$\begin{aligned} J_D &= J13=J17 \quad \text{onde : } W_D=5,25 \text{ e } L_D=2,5 \\ J_E &= J14=J15=J16=J18=J19=J20 \quad \text{onde : } W_E=21 \text{ e } L_E=1,0 \end{aligned}$$

Inv 7 = Inv 8 , formados pelos transistores:

$$\begin{aligned} J_D &= J21=J24 \quad \text{onde : } W_D=10,5 \text{ e } L_D=2,5 \\ J_E &= J22=J23=J25=J26 \quad \text{onde : } W_E=42 \text{ e } L_E=1,0 \end{aligned}$$

Inv 9 = Inv 10 , formados pelos transistores:

$$\begin{aligned} J_D &= J27=J30 \quad \text{onde : } W_D=21 \text{ e } L_D=2,5 \\ J_E &= J28=J29=J31=J32 \quad \text{onde : } W_E=84 \text{ e } L_E=1,0 \end{aligned}$$

Inv 11 = Inv 12 , formados pelos transistores:

$$\begin{aligned} J_D &= J33=J36 \quad \text{onde : } W_D=42 \text{ e } L_D=2,5 \\ J_E &= J34=J35=J37=J38 \quad \text{onde : } W_E=168 \text{ e } L_E=1,0 \end{aligned}$$

Inversor do Clock , formados pelos transistores:

$$\begin{aligned} J_D &= J39 \quad \text{onde : } W_D=2,75 \text{ e } L_D=2,5 \\ J_E &= J40 \quad \text{onde : } W_E=11 \text{ e } L_E=1,0 \end{aligned}$$

4.5. PROJETO DO CIRCUITO SPS

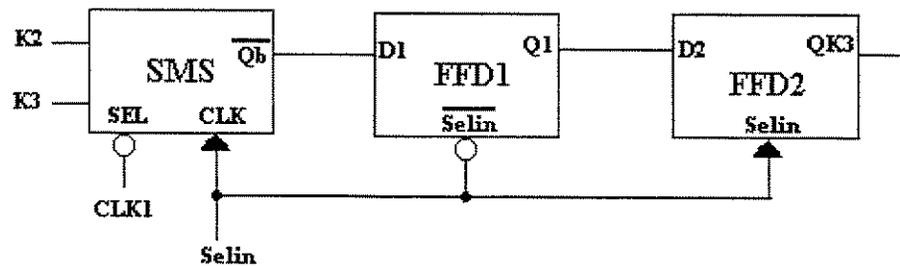


Figura 90 - Diagrama de blocos do SPS

O diagrama de blocos do circuito SPS é mostrado na Fig.90. Nota-se que o SPS é composto pelos subcircuitos SMS e 2 MS em série. Cada um dos subcircuitos citados já foram projetados anteriormente. Então para o projeto do SPS usamos o projeto já efetuados desses subcircuitos.

4.6. PROJETO DO CIRCUITO SEL

Na Fig. 91 mostramos o diagrama esquemático do circuito seletor de 2 bits usado no multiplexador de 4 bits. Este circuito já faz parte do circuito de entrada do circuito SMS. Neste caso também, tomamos então os valores já projetados no SMS. São eles :

Inv 1 = Inv 2 = Inv 3 = Inv 4, formados pelos transistores:

$$J_D = J1=J4=J7=J10 \quad \text{onde : } W_D=2,5 \text{ e } L_D=5,0$$

$$J_E = J2=J3=J5=J6=J8=J9=J11=J12 \quad \text{onde : } W_E=5,0 \text{ e } L_E=1,0$$

Inv 5 = Inv 6, formados pelos transistores:

$$J_D = J13=J17 \quad \text{onde : } W_D=2,75 \text{ e } L_D=2,5$$

$$J_E = J14=J15=J16+J18=J19=J20 \quad \text{onde : } W_E=11 \text{ e } L_E=1,0$$

Inversor do Clock, formados pelos transistores:

$$J_D = J11 \quad \text{onde : } W_D=2,75 \text{ e } L_D=2,5$$

$$J_E = J12 \quad \text{onde : } W_E=11 \text{ e } L_E=1,0$$

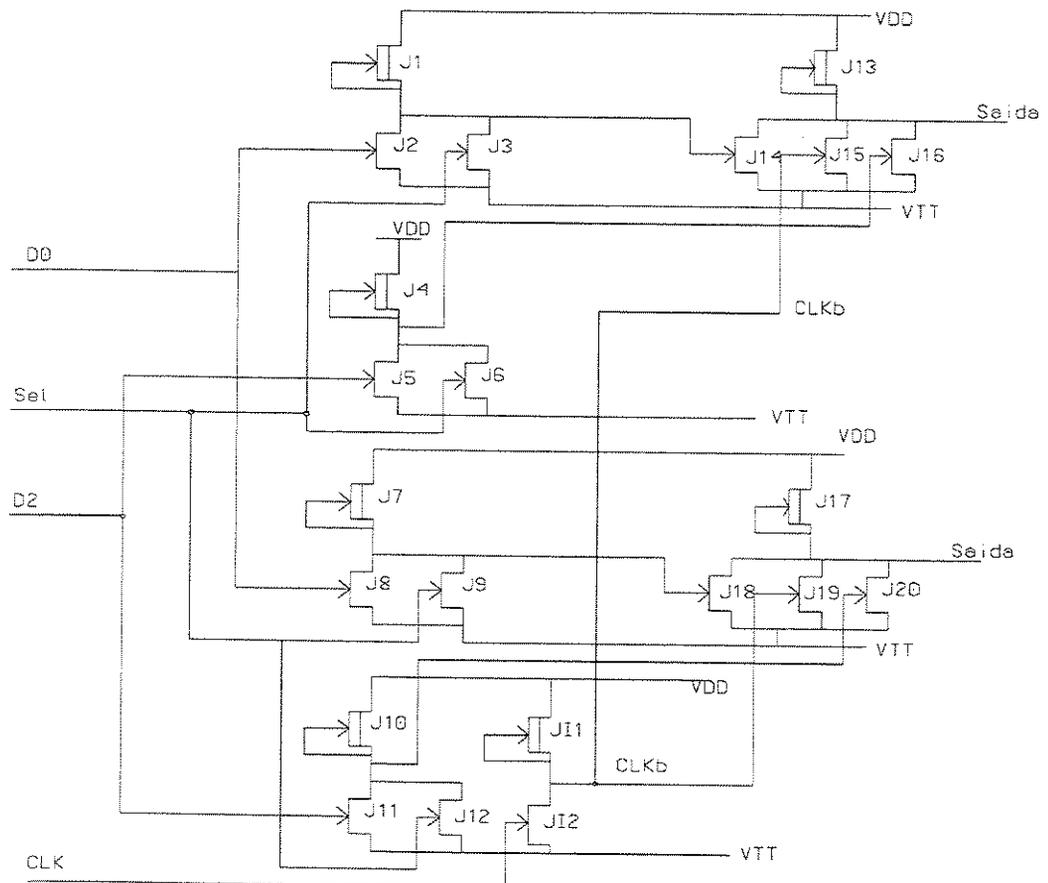
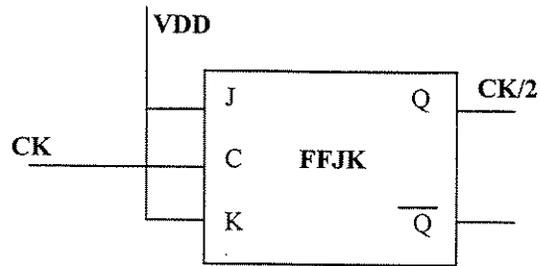
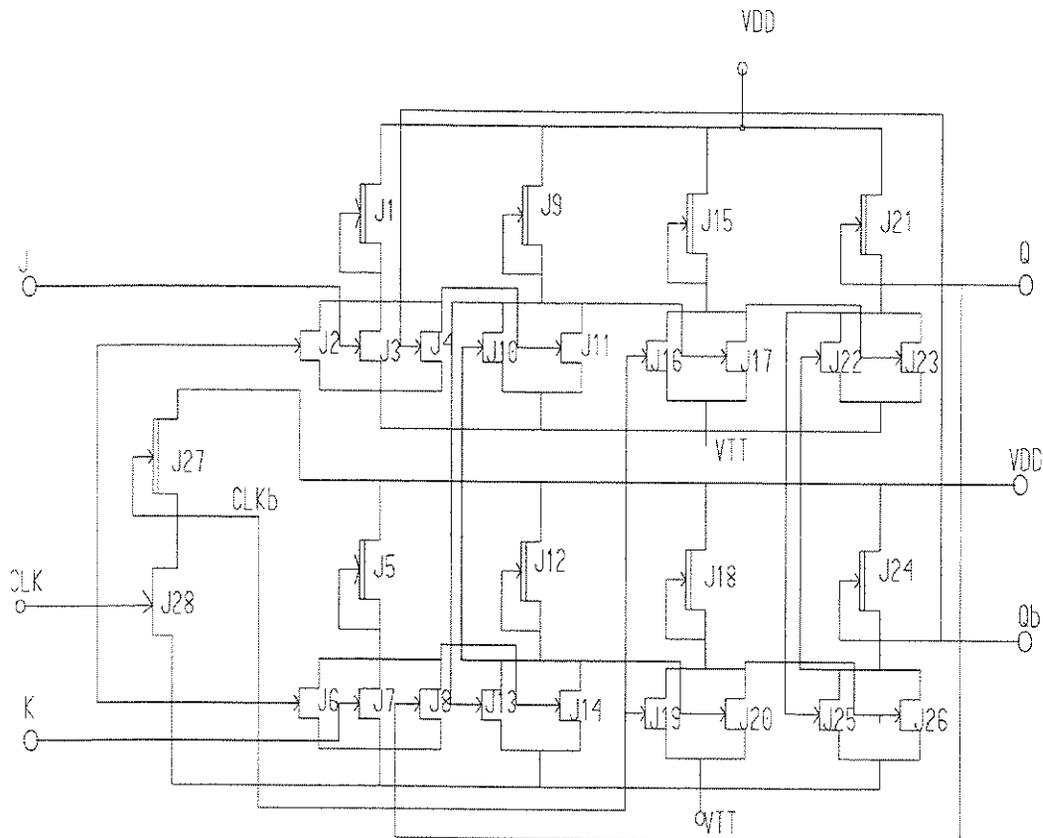


Figura 91 - Diagrama esquemático do circuito seletor de 2 bits

4.7. PROJETO DO CIRCUITO DIVISOR ESTÁTICO POR 2



a) Diagrama de bloco do divisor estático por 2



b) FFJK usado no projeto do divisor estático por 2

Figura 92 - Diagrama de bloco do divisor estático por 2

O circuito da Fig.92a é formado a partir de um FFD, já projetado, e que está na configuração de um FFJK mostrado na Fig.74b. Os transistores que compõem este FFD ou melhor, o divisor estático por 2 são:

Cálculo de $J_D = J_1 = J_5$ e $J_E = J_2 = J_3 = J_4 = J_6 = J_7 = J_8$?

$J_1 = J_5$ tem $W_D = 5$, $L_D = 10$ e $J_2 = J_3 = J_4 = J_6 = J_7 = J_8$ tem $W_E = 5$, $L_E = 1,0$

Cálculo de G3=G4, isto é, cálculo de $J_D = J_9=J_{12}$ e $J_E = J_{10}=J_{11}=J_{13}=J_{14}$?

$J_9=J_{12}$ tem $W_D=2,75$, $L_D=2,5$ e $J_{10}=J_{11}=J_{13}=J_{14}$ tem $W_E=11$, $L_E=1,0$

Cálculo de G5=G6, isto é, cálculo de $J_D = J_{15}=J_{18}$ e $J_E = J_{16}=J_{17}=J_{19}=J_{20}$?

$J_{15}=J_{18}$ tem $W_D=5,25$, $L_D=2,5$ e $J_{16}=J_{17}=J_{19}=J_{20}$ tem $W_E=21$, $L_E=1,0$

Cálculo de G7=G8, isto é, cálculo de $J_D = J_{21}=J_{24}$ e $J_E = J_{22}=J_{23}=J_{25}=J_{26}$?

$J_{21}=J_{24}$ tem $W_D=10,5$, $L_D=2,5$ e $J_{22}=J_{23}=J_{25}=J_{26}$ tem $W_E=42$, $L_E=1,0$

Cálculo de G9 (inversor do clock), isto é, $J_D = J_{27}$ e $J_E = J_{28}$?

J_{27} tem $W_D=2,75$, $L_D=2,5$ e J_{28} tem $W_E=11$, $L_E=1,0$

4.8. PROJETO DO CIRCUITO DIVISOR DINÂMICO POR 2

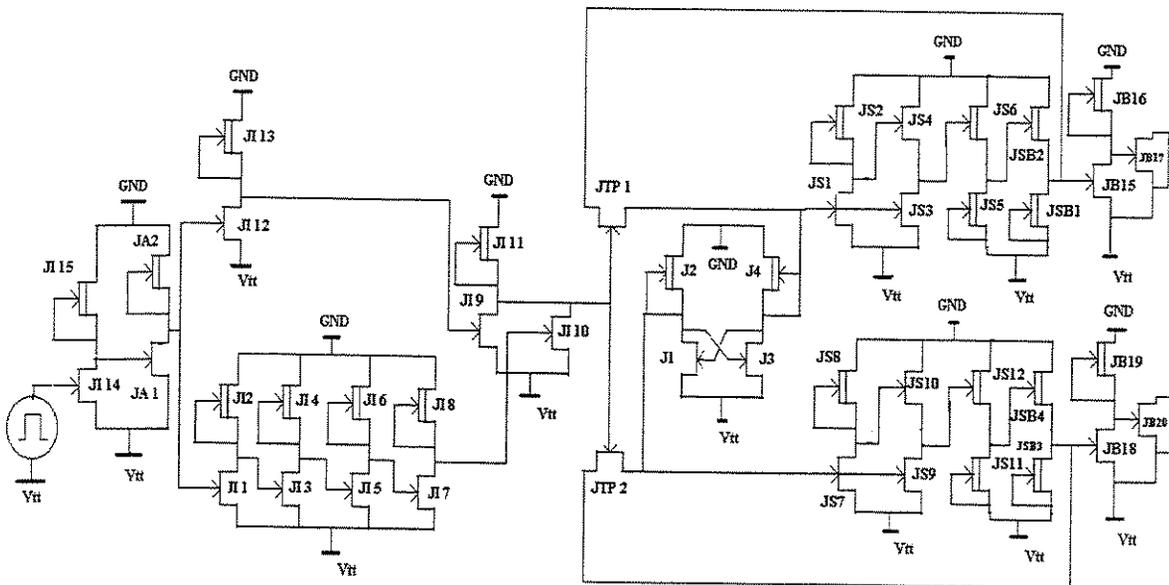


Figura 93 - Diagrama esquemático do divisor dinâmico por 2

O divisor dinâmico mostrado na Fig.93 é composto por transistores de depleção, transistores de enriquecimento, e os transistores de passagem JTP1 e JTP2.

Cálculo do Inversor Inv1= Inv2 ?

Cálculo do $J_D = J_{13} = J_{15}=J_{A2}$

Tomando $\beta=10$, $W_E = 120$, $L_E = 1$, $L_D = 2,5$, $W_D=?$

$$W_D = \frac{W_E}{\beta} \times \frac{L_D}{L_E} = \frac{120 \times 2,5}{10 \times 1} = 30$$

Conclusão: $W_D = 30$, $L_D = 2,5$, $W_E = 120$ e $L_E = 1,0$

OBS: Na simulação $W_D = 40$ teve um desempenho melhor.

Cálculo do Inversor Inv3 ?

Cálculo do $J_D = JI2$ e $J_E = JI1$

Tomando $\beta=10$, $W_E = 100$, $L_E = 1$, $L_D = 2,5 \rightarrow W_D = 25$

OBS: Na simulação $W_D = 10$ teve um desempenho melhor.

Cálculo do Inversor Inv3 ?

Cálculo do $J_D = JI4$ e $J_E = JI3$

Tomando : $\beta = 10$, $W_E = 200$, $L_E = 1,0$, $L_D = 2,5 \rightarrow W_D = 50$

OBS: Na simulação $W_D = 20$ teve um desempenho melhor.

Cálculo do Inversor Inv5 ?

Cálculo do $J_D = JI6$ e $J_E = JI5$

Tomando : $\beta = 10$, $W_E = 400$, $L_E = 1,0$, $L_D = 2,5 \rightarrow W_D = 100$

OBS: Na simulação $W_D = 40$ teve um desempenho melhor.

Cálculo do Inversor Inv6 ?

Cálculo do $J_D = JI8$ e $J_E = JI7$

Tomando : $\beta = 10$, $W_E = 800$, $L_E = 1,0$, $L_D = 2,5 \rightarrow W_D = 200$

OBS: Na simulação $W_D = 80$ teve um desempenho melhor.

Cálculo do Inversor NOR1 ?

Cálculo do $J_D = J_{I11}$ e $J_E = J_{I9}$ e J_{I10}

Tomando : $\beta = 10$, $W_E = 120$, $L_E = 1,0$, $L_D = 2,5$ \rightarrow $W_D = 30$

OBS: Na simulação $W_D = 40$ teve um desempenho melhor.

Cálculo dos Transistores de Passagem JTP1 e JTP2 ?

Cálculo do $J_D = J_{TP1}$ e $J_E = J_{TP2}$

Tomamos : $W_{TP1} = W_{TP2} = 200$

OBS: Esse valor foi achado empiricamente.

Cálculo do Inversor Invcross ?

Cálculo do $J_D = J_2 = J_4$ e $J_E = J_1 = J_3$

Tomando : $\beta = 10$, $W_E = 100$, $L_E = 1,0$, $L_D = 2,5$ \rightarrow $W_D = 25$

OBS: Na simulação $W_D = 50$ teve um desempenho melhor.

Cálculo dos Transistores dos Buffers de Saída ?

Cálculo do : $J_D = J_{S2} = J_{S8}$ e $J_E = J_{S1} = J_{S7} = ?$

Tomando : $\beta = 10$, $W_E = 100$, $L_E = 1,0$, $L_D = 2,5$ \rightarrow $W_D = 25$

OBS: Na simulação $W_D = 50$ teve um desempenho melhor.

Cálculo do : $J_{S4} = J_{S10} = J_{S3} = J_{S9} = W_{eb2} = 100$
 $J_{S6} = J_{S12} = J_{S5} = J_{S11} = W_{db3} = 200$
 $J_{S2} = J_{S1} = J_{S4} = J_{S3} = W_{db4} = 400$

OBS: Tomamos $W_{db3} = 2 \times W_{eb2}$ e $W_{db4} = 2 \times W_{db3}$. Segundo a recomendação da Vitesse isso é feito para garantir o Fan-out.

4.9. SIMULAÇÕES EM HSPICE

4.9.1. Circuito FFD

O subcircuito FFD foi projetado anteriormente e agora simulado em hspice. O seu netlist é encontrado no apêndice 1. O resultado da simulação é mostrado abaixo na Fig. 94.

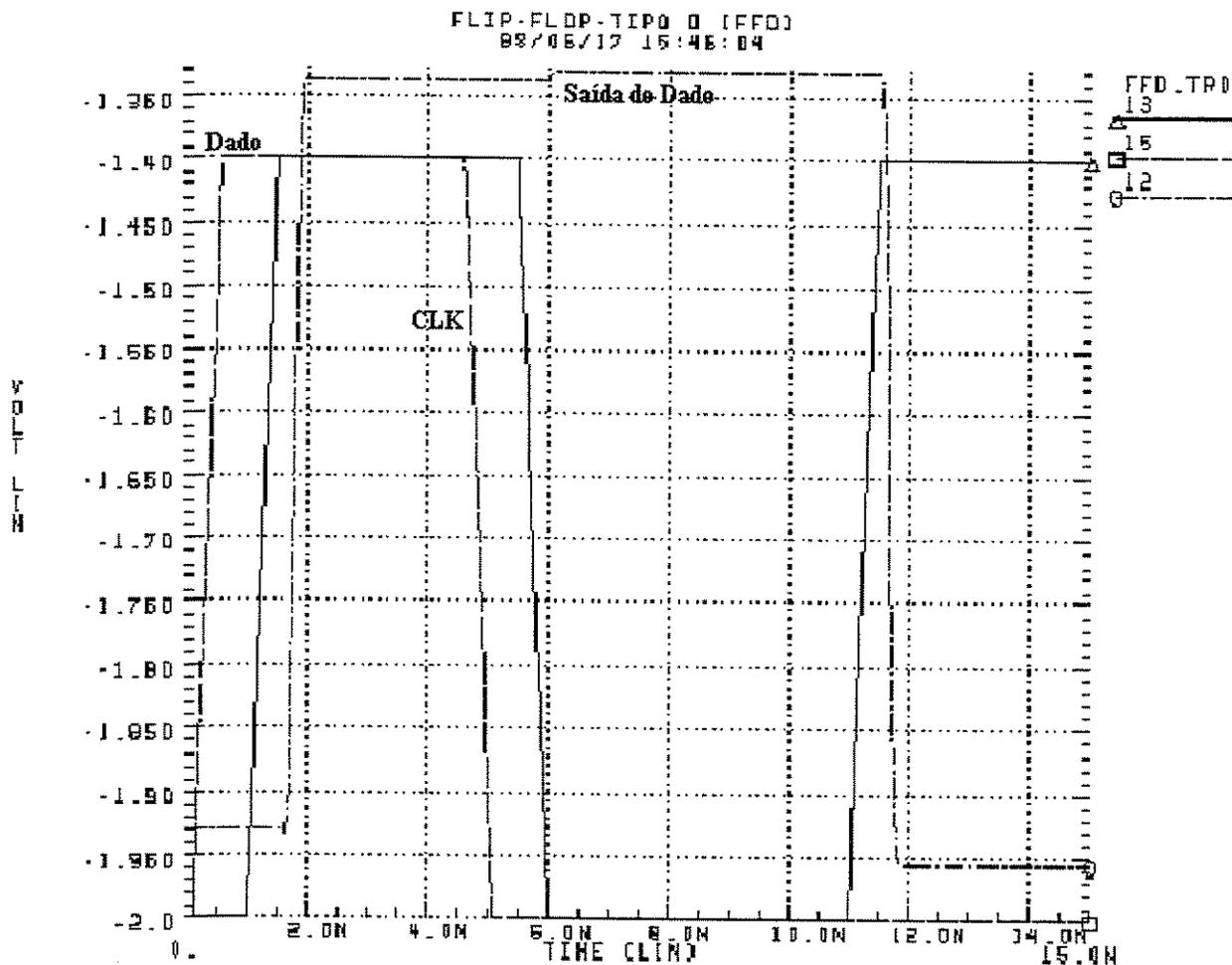


Figura 94 - Sinais de entrada e saída do subcircuito FFD/MS

Como se pode ver na Fig. 94, este circuito, como é mostrado na Fig.62, é um flip-flop D Mestre-Escravo. Neste caso é do tipo sensível a borda de subida do relógio. Quando o relógio vai ao nível alto, os dados de entrada são carregados no flip-flop e apareçam na saída. Em seguida, quando o relógio vai ao nível baixo, a saída retém os dados.

4.9.2. Circuito PS

O subcircuito PS também projetado anteriormente é, agora simulado em hspice. O seu netlist é encontrado . Como já foi dito no Capítulo 1 a função do PS, que é formado por 3 FFD em série, conforme mostra a Fig.63, é permitir um atraso de propagação (tpd), devido aos flip-flops, e a defasagem de 180° entre os sinais dos dados nos pontos A e B conforme é mostrado detalhadamente na Fig.18. O resultado da simulação é mostrado na Fig. 95. Nela podemos ver o sinal de entrada (15) defasada na saída (60) tal como esperamos.

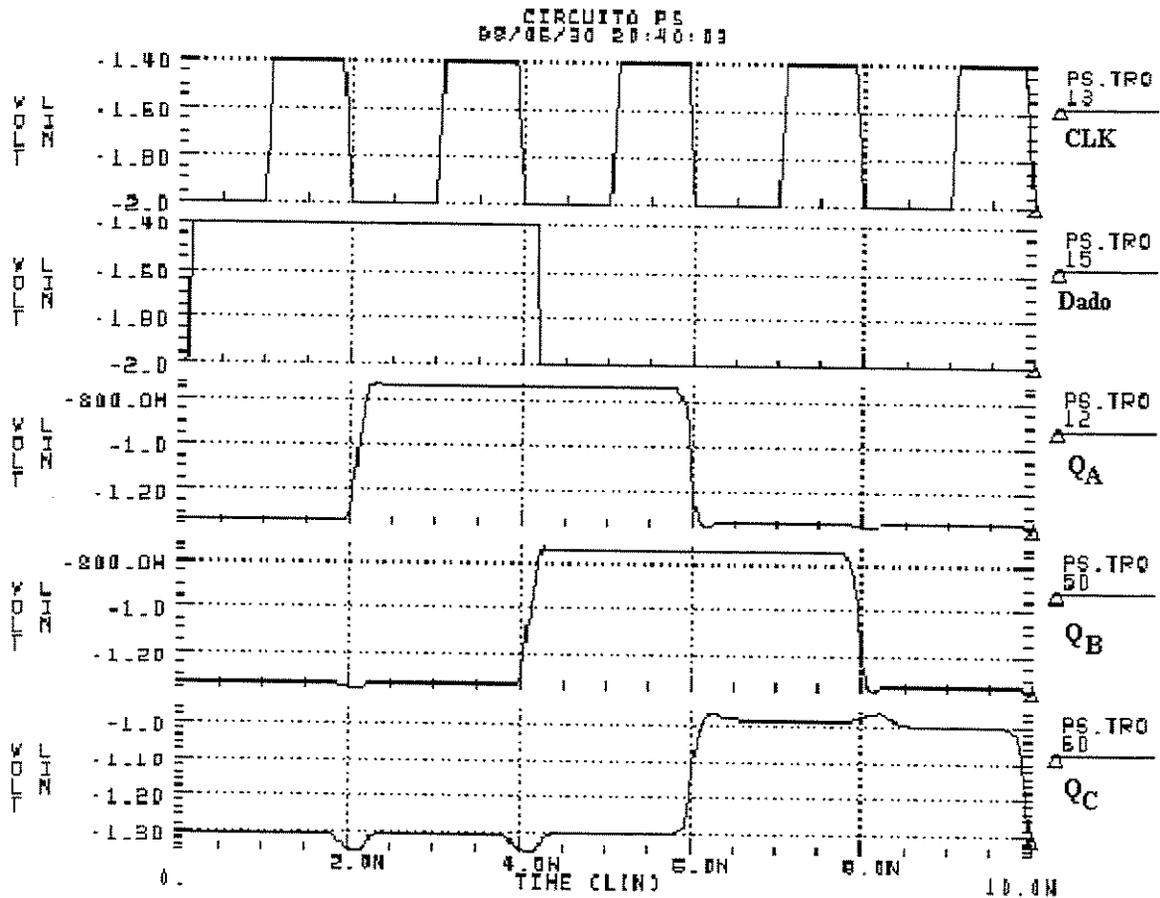


Figura 95 - Sinais de entrada e saída do subcircuito PS

4.9.3. Circuito SMS

O subcircuito SMS, por sua vez, é projetado e simulado em hspice. Como sabemos o subcircuito SMS é formado por um circuito Seletor e o circuito FFD (MS). O Seletor (entrada do SMS) é formado por 4 circuitos inversores de 2 entradas cada um, cujas as saídas, por sua vez, são entradas de 2 inversores de 3 entradas cada um, e que fazem parte do FFD subsequente. O resultado da simulação é mostrado na Fig. 96 . Os dados D1 e D2

defasados 180 graus um do outro, a cada subida do clock são selecionados pelo SEL e lidos ora D1 ora D2. Foi analisada a saída Q e Qb estão de acordo com o que esperamos.

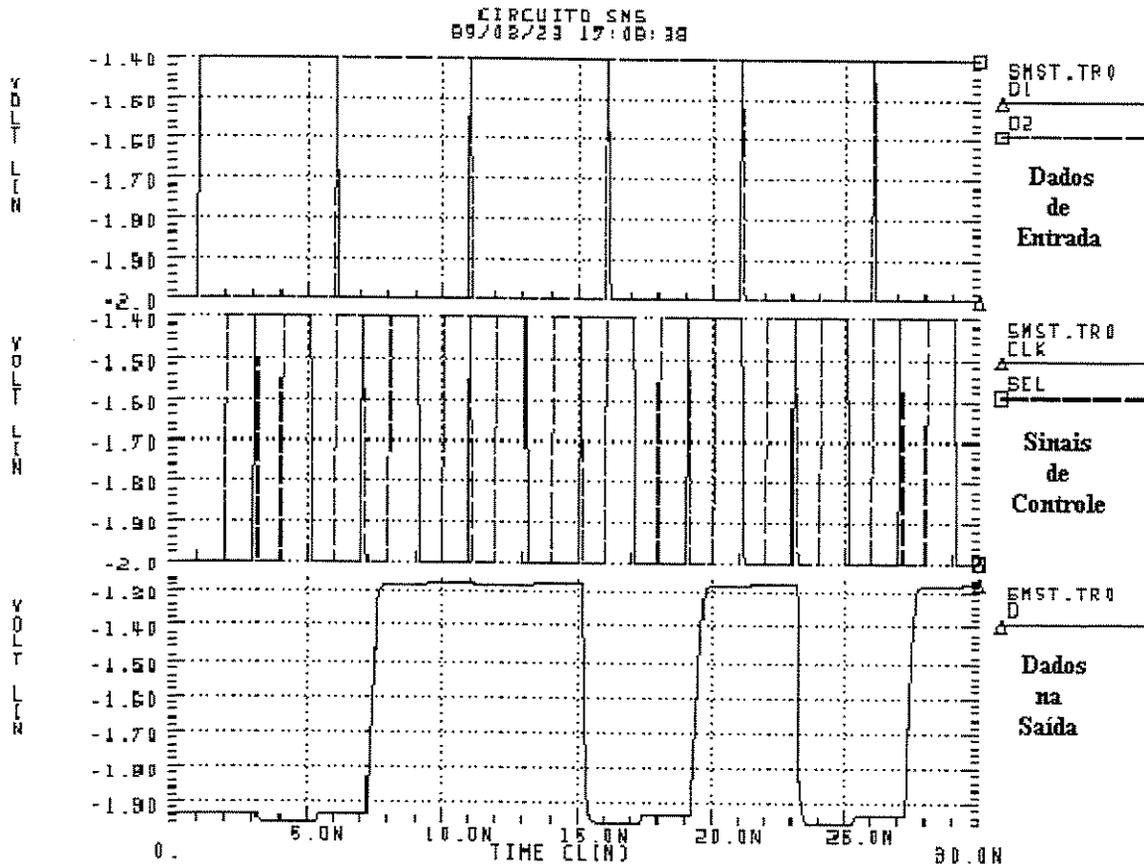


Figura 96 - Sinais de entrada e saída do SMS

4.9.4. Circuito SPS

O subcircuito SPS após projetado foi simulado. Como já foi dito anteriormente ele é formado pelos circuitos SMS, seguido de 2 circuitos MS, todos em série.

O resultado da simulação do SPS é mostrado na Fig. 97. Foram analisadas os pontos Q1 (saída do SMS do SPS, Q2 (saída do FFD/MS intermediário do SPS) e finalmente a saída propriamente dita, Fig. 65b, Qs. O resultado em cada um dos pontos acima citados, tomando em conta as devidas entradas estão corretas. Concluímos assim que o SPS funciona corretamente, cumprindo muito bem o seu papel, canalizando ainda mais os dados, que serão multiplexados a uma taxa 2 vezes maior a da sua entrada.

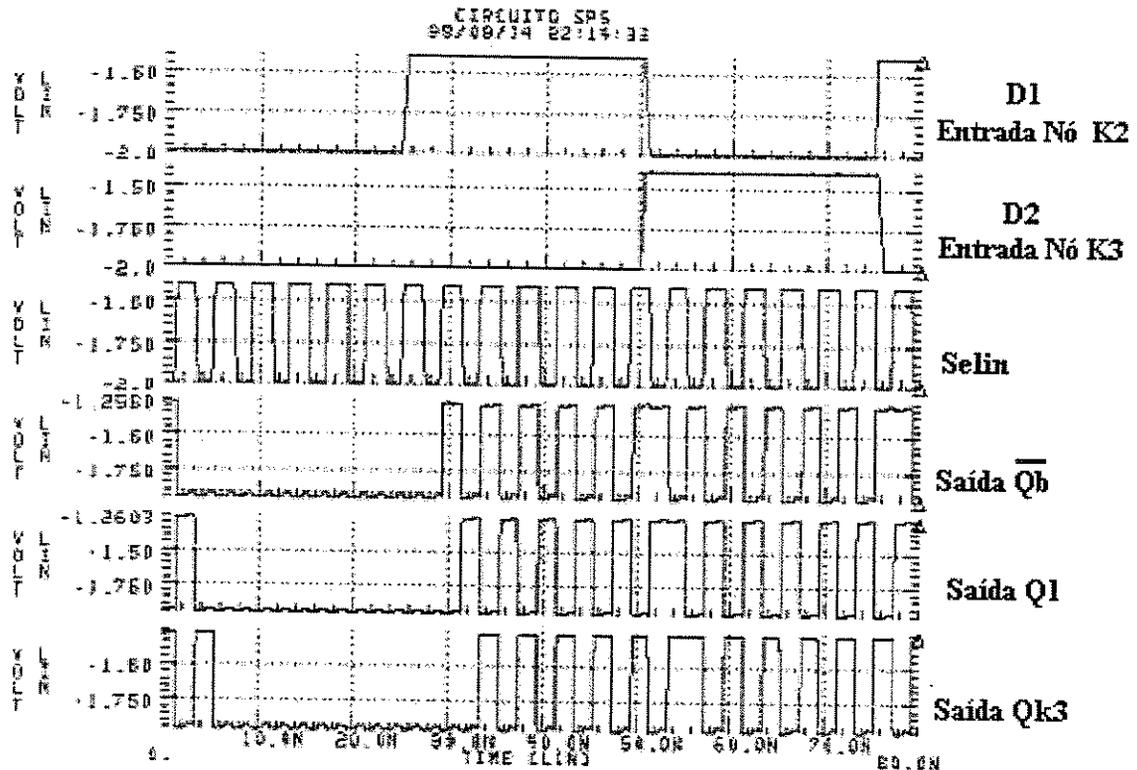


Figura 97 - Sinais de entrada e saída do SPS

4.9.5. Divisor por 2 Estático

O subcircuito Divisor por 2 estático após projetado também foi simulado no hspice. Ele divide por 2 o sinal do divisor dinâmico. Portanto a saída deste divisor neste caso, é o sinal do clock dividido por 4. O resultado da simulação é mostrado na Fig. 98.

4.9.6. Divisor Dinâmico por 2

Os circuitos divisores de alta velocidade usados em CIs MUX e DEMUX devem ter uma boa margem de frequência que permite uma operação estável para frequências na faixa de GHz [7].

O circuito projetado e simulado está na Fig. 93. Funciona muito bem na faixa de 1GHz . O subcircuito divisor dinâmico foi projetado anteriormente é agora simulado em hspice. O resultado da simulação é mostrado a seguir na Fig. 99. Na Fig. 99a o sinal de entrada é senoidal e na Fig. 99b digital. Esse circuito funciona muito bem em ambos os casos. O sinal da saída, nos dois casos, parece uma senóide, pois estamos trabalhando na faixa de GHz. Para valores de entrada na ordem de MHz temos saídas perfeitamente digitais [57].

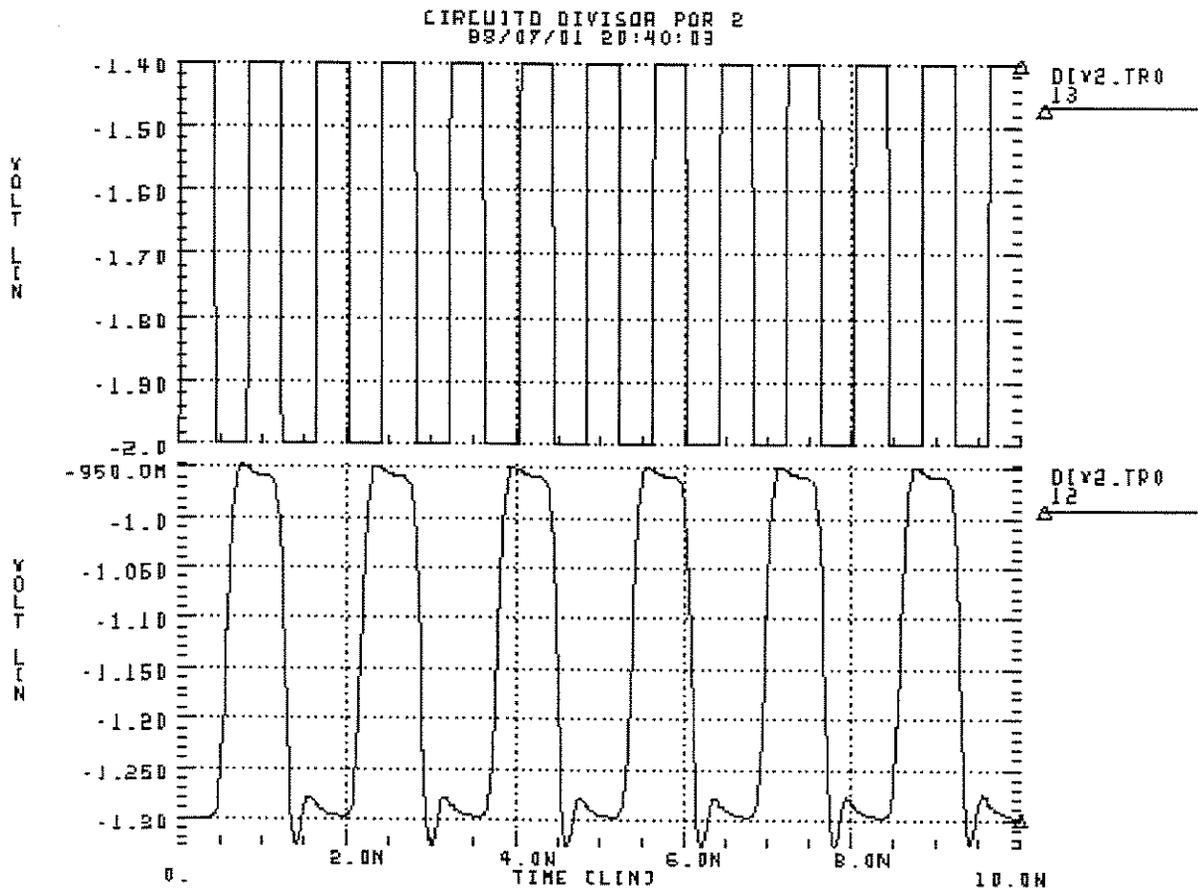
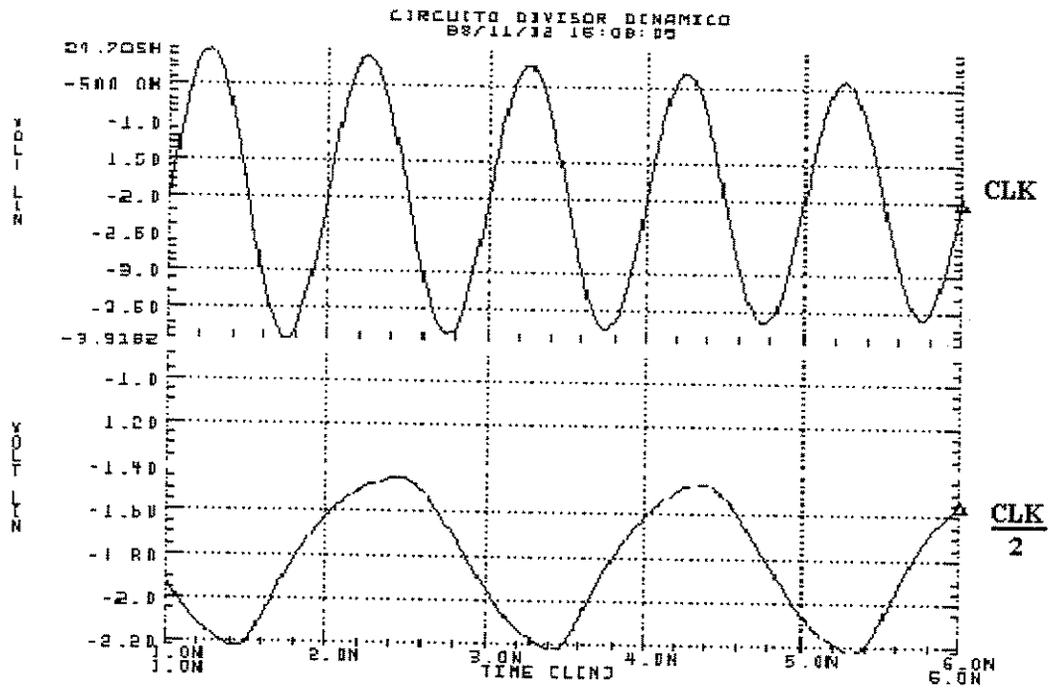
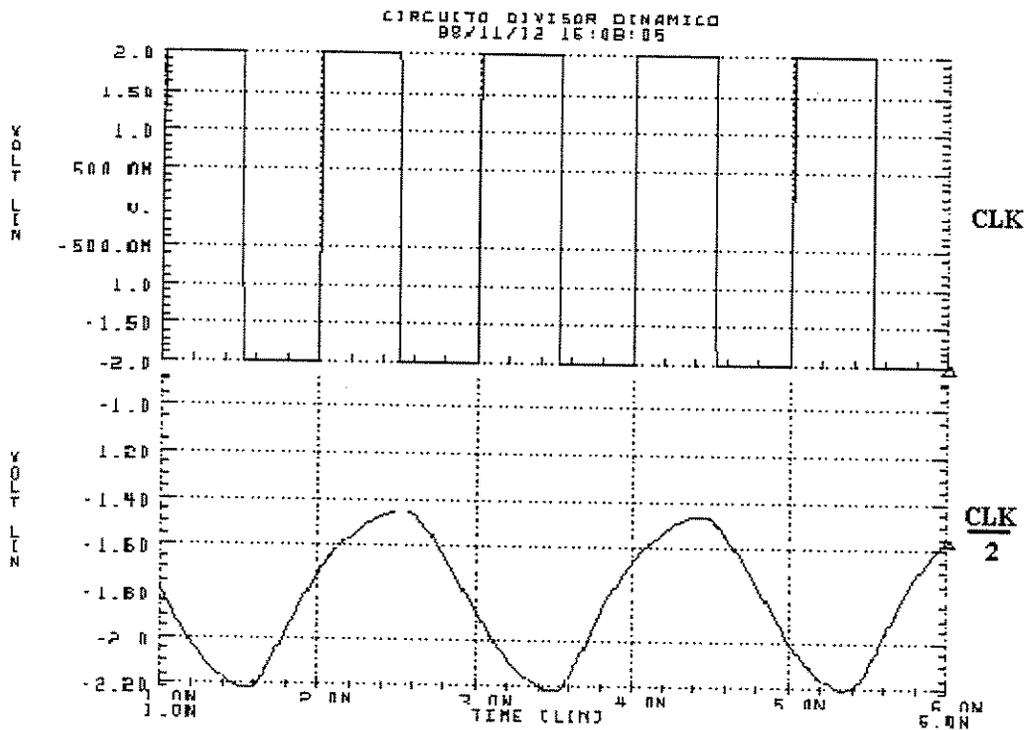


Figura 98 - Sinais de entrada e saída do divisor estático por 2



(a) Sinal de Entrada Analógica



(b) Sinal de Entrada Digital

Figura 99 - Sinais de entrada e saída do divisor dinâmico

4.9.7. Circuito Multiplexador

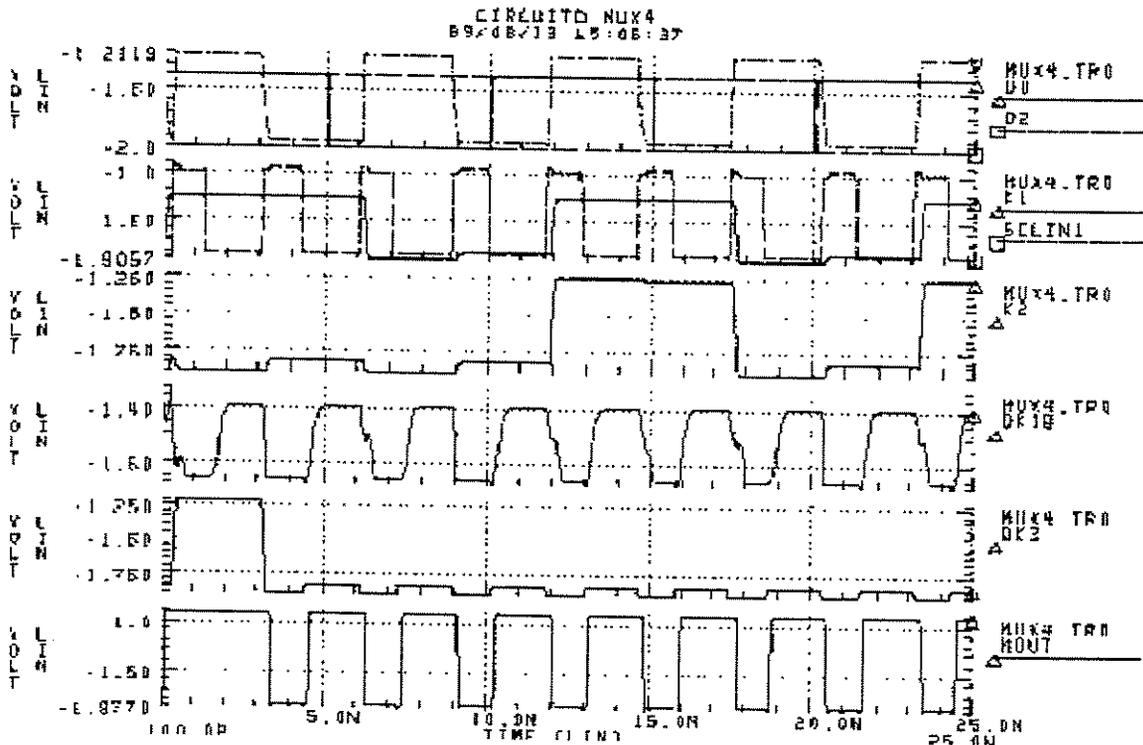
Como já foi dito anteriormente o circuito MUX4:1 é formado por vários subcircuitos MUX2:1. Cada MUX2:1 tem duas(2) entradas (Fig. 18) e uma saída onde temos os dados multiplexados, isto é, dados de entrada 1 intercalados com os da entrada 2 a uma taxa duas(2) vezes a da entrada. Esses dados são agora os dados de entrada do subcircuito SMS. Um outro subcircuito semelhante faz o mesmo citado acima, para outras duas entradas, e os dados de saída são agora dados de entrada do subcircuito SPS. Tanto o SMS como o SPS são controlados pelos sinais CLK/2 e CLK/4, defasados de um Δt . O valor ideal neste caso é $\Delta t=0$ (zero), isto é, a borda de subida do meio ciclo do CLK/4 é colocado exatamente na borda de descida do ciclo inteiro do CLK/2. Neste caso quando CLK/4 percorre o seu meio ciclo o CLK/2 percorre todo o seu ciclo. Essa é uma das condições para o perfeito funcionamento do SMS e o SPS. A outra é o sinal de saída nos pontos A e B do MUX2:1 estarem defasados de meio ciclo, 180° . O subcircuito PS tem a função de realizar essa defasagem. Essa é a vantagem desse circuito MUX4:1, em relação aos circuitos MUX formados por registradores, que não têm esse ajuste de fase. Cumpridas as condições acima citadas, os sinais na entrada do SMS e o SPS são multiplexados também a uma taxa 2 vezes a de suas entradas, ou seja, 4 vezes a taxa de entrada do MUX4:1. Os sinais de saída do SMS e o SPS também devem estar defasados de meio ciclo um do outro, ou seja, defasados de 180° . Neste caso é função do SPS efetuar esse atraso. Cumpridas essas exigências os sinais de saída do SMS e o SPS, são lidos alternadamente no subcircuito Sel1, localizado na saída do MUX4:1. Esse tipo de circuito(MUX4:1) é chamado High Pipeline.

Com os resultados das simulações devemos comparar os nós **K1** e **K2** ou **K3** e **K4** que são as saídas do MS e do PS do MUX2:1, os nós **CLK1** e o **Selin1** para certificarmos se $\Delta t=0$ (zero), **K6**(CLK/4) e **K5**(CLK/2) para verificarmos se a divisão esta correta, **Q_{1b}** e **Q_{k3}** para verificarmos se estão defasados de meio ciclo um do outro, ou seja, 180° .

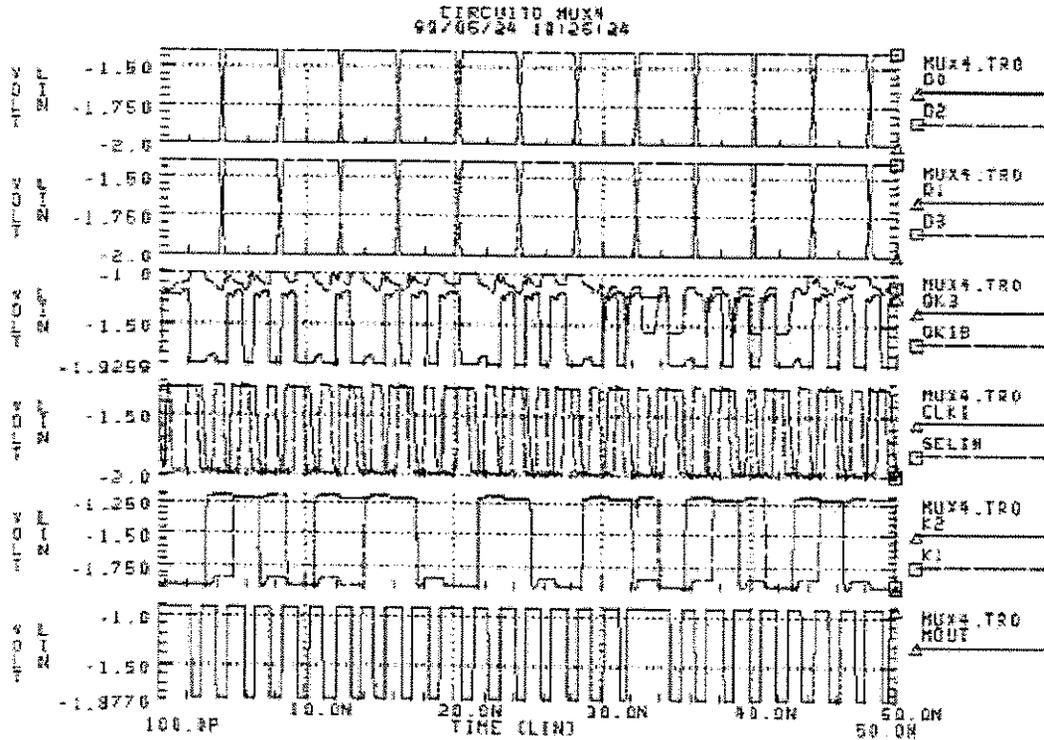
Após a simulação individual de cada componente do MUX fizemos a simulação do próprio MUX, conforme a Fig. 61. Foram usados nessa simulação os circuitos buffers na saída dos circuitos divisores, permitindo assim, um aumento de corrente necessário para acionar as respectivas cargas, ou seja, satisfazer o fan-out. Como já dissemos anteriormente, o principal desafio deste circuito é a temporização (defasagem ideal) entre os vários Mux 2:1. Caso tenhamos ainda problemas de temporização, para melhorá-lo, devemos usar circuitos que provocam atraso (os Buffers) no trajeto do sinal. Os circuitos mais usados para essa finalidade, são portas lógicas embora, neste caso, os atrasos fiquem sensíveis ao processo e a variação de temperatura. É o método mais usado no processo digital. É usado também pela foundry Vitesse e, por isso, o adotamos. Os resultados das simulações deste circuito estão mostrados nas Figuras 100a e 100b. Os sinais dos dados nos nós, citados no parágrafo anterior, que são as saídas dos subcircuitos do MUX, isto é, MS, PS, SMS, Divisor estático por 2 e o Divisor dinâmico por 2 estão de acordo com a literatura. O sinal na saída do subcircuito SPS(Qk3) é o único que precisamos melhorar antes do CI for enviado para ser fabricado. Devemos salientar que, por esse trabalho ser full customs, ou seja, todas as células que compõem esse circuito foram feitos a nível de

transistores, as dificuldades em acertar os atrasos nos percursos dos sinais são grandes. Ahamos estimulante continuar esse trabalho a nível de Pósdoctorado. Como já foi dito, esse assunto é atual pois se trata de transmissão de dados em alta velocidade, como requerem as Redes de Faixa Larga(RDSI). Apresentamos a seguir os resultados já obtidos a nível de simulação assim como o layout de cada célula individual bem como o do MUX, que serão fabricados e testados posteriormente e comparados com as simulações e literatura, visando futuras publicações desse assunto.

Na Fig.100a, todas as entradas, $D0=D3$ e $D2 =D4$, estão na mesma taxa mas 180° um do outro. O $D0$ é complementar de $D2$. Juntamente com $D0$ e $D2$ está plotado o sinal $CLK1$. Esse sinal, para o bom funcionamento do PS e o MS, a sua borda descida deve ocorrer no meio do pulso do sinal de entrada, como mostrado na Figura 100a. Temos também $K1$ e $K2$ defasados de 180° , o sinal no nó $CLK1$ com a frequência 2 vezes maior que a do nó $Selin1$ e $\Delta t=0$ (defasagem entre $CLK1$ e $Selin1$ é zero), todos como esperávamos. O sinal no nó $QK1b$ está a uma taxa 4 vezes de entrada, ou seja, para cada ciclo do sinal na entrada temos quatro ciclos na saída $QK1b$. O sinal no nó $QK3$ devia ser igual a saída $QK1b$ e defasado de um período(180°) mas, como se pode ver na Fig. 100a, o sinal neste ponto não corresponde o que queremos. O Sinal de saída $Mout$ por causa de $QK3$ também não é o ideal mas já está na taxa 4 vezes a entrada do $MUX4:1$ como desejamos. Na Fig. 100b para as mesmas entradas citadas anteriormente, comparamos os nós $QK3$ e $QK1b$, $CLK1$ e $SELIN$, $K2$ e $K1$ e finalmente a saída do $MUX4:1$. Esta versão



(a)



(b)

Figura 100 - Sinais de entrada e saída em vários pontos do MUX4:1

da simulação é anterior a primeira. Nela pode-se ver que K1 não está defasado de meio período (180°) de K2. Por isso os sinais em QK1b e QK3 não estão ainda como desejamos devido a má leitura dos dados nas entradas do SMS e do SPS, isto é, as saídas do MS e do PS não estão defasados de meio período como requerem as entradas do SMS e do SPS. O sinal em CLK1 que corresponde o Selin/2 (ou CLK/4) está como esperado **mas**, o Δt entre Selin1 e o CLK1 não é **zero** como requer o MUX4:1 para o perfeito funcionamento do SMS e do SPS.

Esse trabalho será concluído futuramente após uma investigação mais detalhada da defasagem nos diversos pontos desse circuito e fará parte de meu pós doutoramento e da minha área de pesquisa .

4.10. PROJETO DO MULTIPLEXADOR

O circuito MUX, como já mencionado anteriormente e mostrado de novo na Fig. 101, é formado por cada um dos subcircuitos acima projetados e simulados, bem como alguns circuitos “buffers” de entrada e saída dos dados. São necessários também, as vezes, “buffers” entre subcircuitos, para melhorar o efeito do carregamento devido ao fan -out.

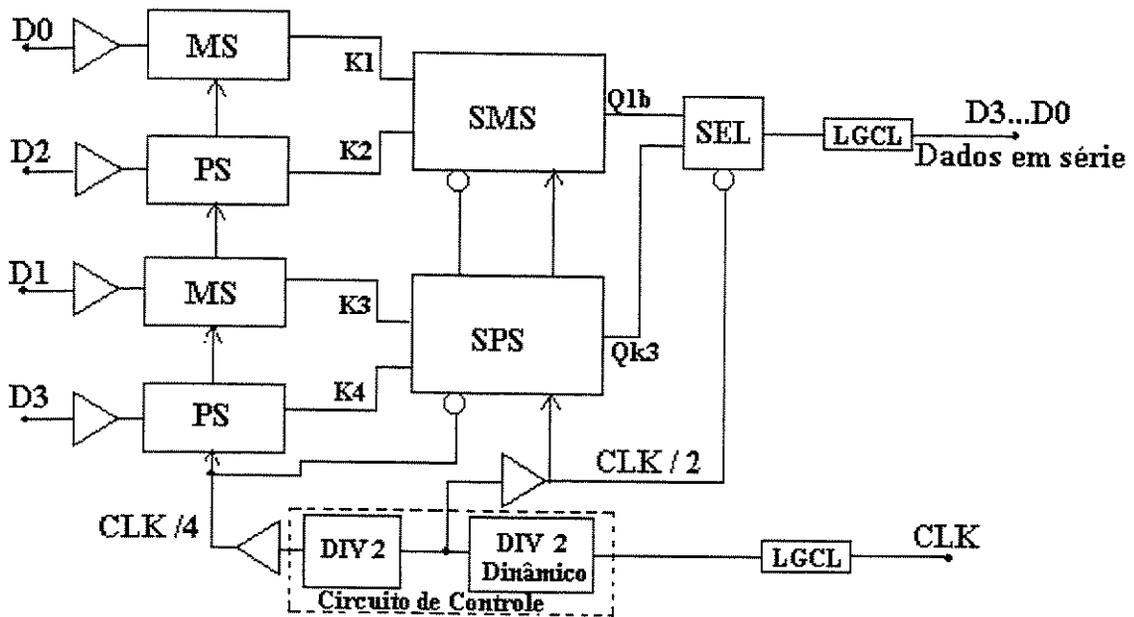


Figura 101 - Circuito multiplexador de 4 bits

No projeto do MUX tomamos os valores de W e L já projetados nos subcircuitos correspondentes e, onde tivemos problemas de fan-out, detectados durante a simulação, serão usados tais “buffers”, citados anteriormente.

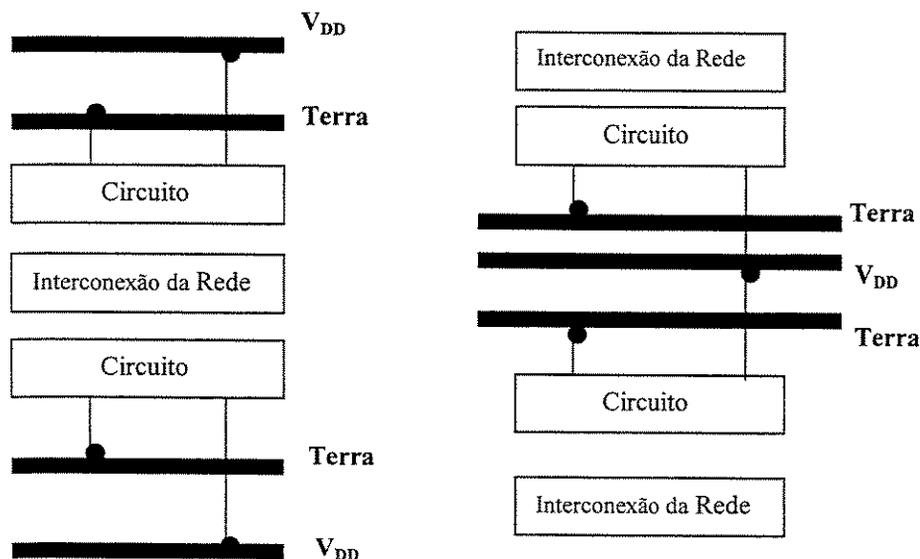
4.11. LAYOUT DO MULTIPLEXADOR

O layout do Mux é mostrado no apêndice 4. No projeto de circuitos de altas frequências, existem uma influência muito grande sobre o layout, que pode ser maior ou menor, conforme a metodologia usada. Neste circuitos com alta velocidade de chaveamento o layout se torna muito importante devido ao atraso de propagação causado pelas capacitâncias parasitas. Portanto, em circuitos VLSI de GaAs devemos ter uma estratégia muito boa ao fazer o layout, para que seja o mais compacto possível, pois o material GaAs é muito caro, e além disso para que o desempenho do circuito não seja comprometida. A

estratégia usada está intimamente ligada aos objetivos que queremos alcançar tais como, menor área, maior velocidade e baixo custo de produção. Uma das maneiras de se obter um circuito mais compacto possível é usar a **metodologia “Full-Custom”** [48]. Podemos também usar a **metodologia “Top-Down”** isto é, usar células já prontas, tais como inversores, portas NOR, etc., para gerar automaticamente o layout, o que é vantajoso em termos de tempo. Neste caso temos a desvantagem de o circuito ficar muito grande se comparado com o “full-custom”. Podíamos usar essas células também usando a metodologia “full-custom” mas teríamos também a desvantagem de desperdício de área. Um meio termo entre essas duas metodologias, dependendo da aplicação, é a melhor maneira de se fazer o layout. Podemos usar o “full-custom” para as estruturas mais críticas do circuito e a “top-down” para as partes do circuito não críticas. Assim, desse jeito, teríamos um circuito com um bom desempenho e de um custo relativamente baixo. Segue agora as técnicas de layout mais usual no projeto de circuitos com alta velocidade e, sua comparação com outras.

4.11.1. Metodologia “Ring Notation”

Ring Notation é uma técnica [40] de layout usada para reduzir o acoplamento entre as linhas com sinais de alta frequências e a linha de alimentação do circuito. Tem como objetivo simplificar o método de layout, levando em conta as exigências dos circuitos de alta velocidade de GaAs. Nesta técnica o terra é colocado entre o V_{DD} e o circuito deixando assim o V_{DD} desacoplado capacitivamente dos ruídos de altas frequências devido ao chaveamento e ao mesmo tempo evitando o circuito do efeito da diafonia. A Fig. 102 mostra os dois estilos de layout usando a estratégia Ring Notation .



a) Ring Notation de 2 Pares de Barramento b) Ring Notation só de 1 Par de Barramento

Figura 102 - Os 2 estilos de layout usando a estratégia Ring Notation

4.11.1.1. Porta INVERSORA e NOR usando a técnica “Ring Notation”

Como estamos interessados nos circuitos de GaAs, tecnologia DCFL, será mostrado a seguir na Fig. 103, o layout de um INVERSOR e uma porta NOR em DCFL usando essa técnica baseada em abstração, que usa uma maneira sistemática de fazer o layout a partir de um esquemático. Na figura o EFET é representado pelas linhas tracejadas e o DFET pelas linhas contínuas. A partir da estratégia mostrada na Fig.103 facilmente se faz o layout dessas células como é mostrado na Fig. 104.

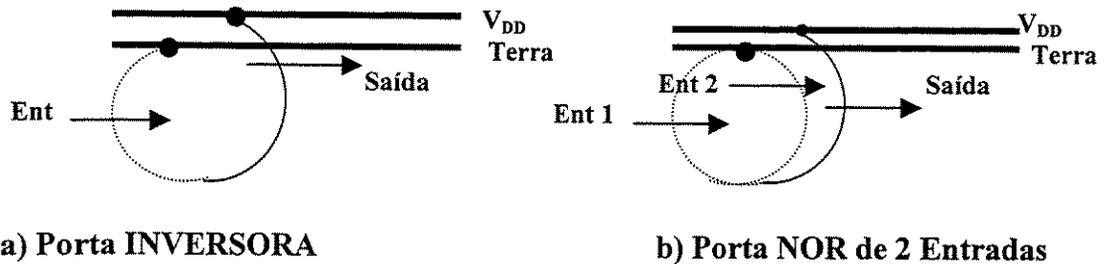
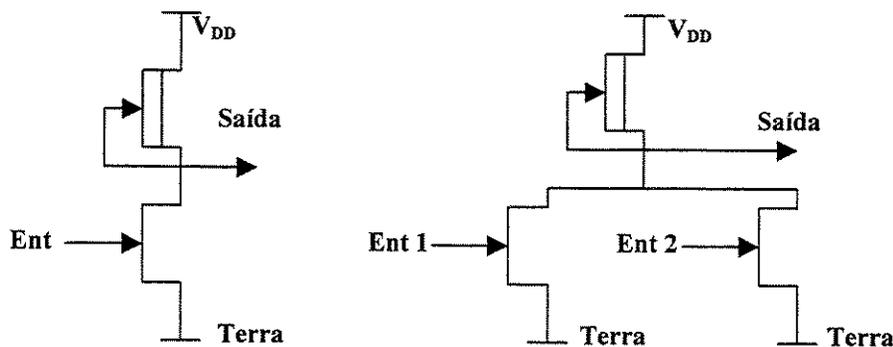
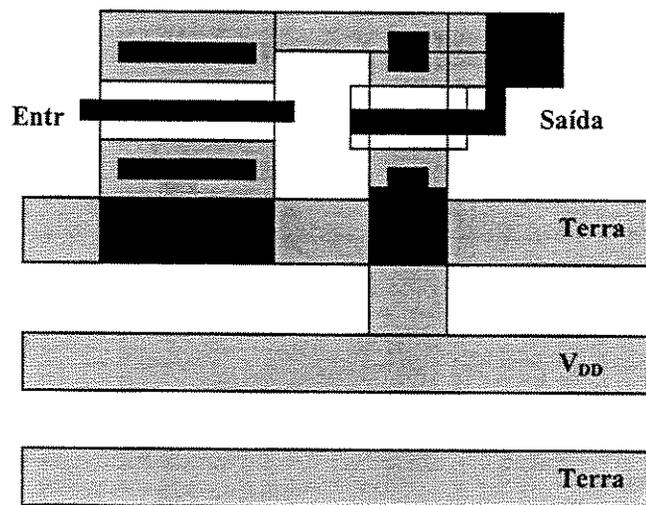
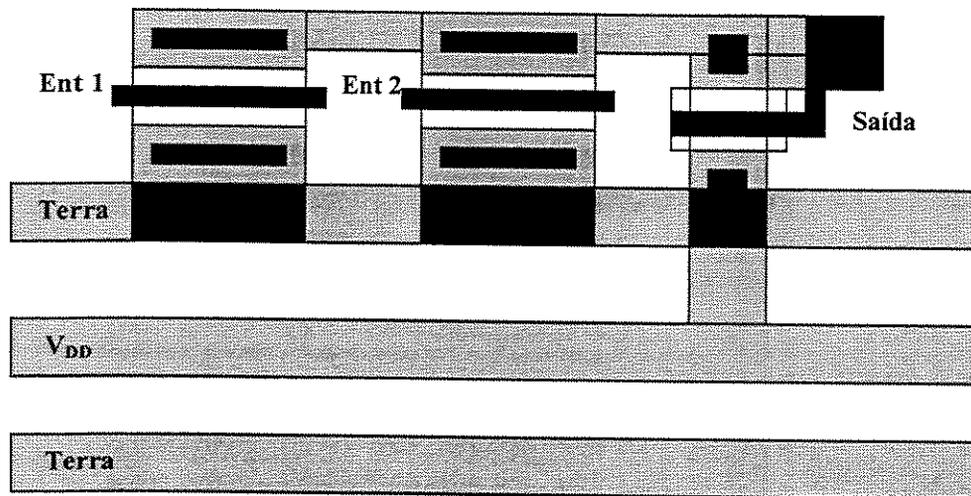


Figura 103 - Projeto da porta Inversora e Nor usando a técnica Ring Notation



a) Diagrama Esquemático de um Inversor b) Diag. Esquemático de um NOR de 2 entradas





d) Layout da porta NOR de 2 entradas

Figura 104 - Layout das portas Inversora e Nor de 2 entradas DCFL - técnica Ring Notation

Esta técnica Ring Notation pode ser aplicada para circuitos mais complexos como por exemplo a FFD, SPS, SMS, enfim o Mux. O layout destas estruturas mais complexas podem ser feitas da mesma maneira de uma simples porta. Para fazermos, por exemplo, o layout de um SMS teremos que fazer layout das células básicas, como o da Fig. 104d e outras idêntica a esta só que de 3 entradas. A disposição destas células é tal que o V_{DD} e Terras fiquem entre elas conforme mostra a Fig. 102b.

Nos circuitos de GaAs muito mais complexos, aqueles com mais de 30.000 transistores, a estratégia de layout é muito importante. Para estes tipos de circuitos a estratégia de Ring Notation é muito importante e tem muito mais vantagens se comparados com outras técnicas. São elas:

- 1) Em Ring Notation as ligações no circuito são estrategicamente formuladas, antes de se efetuar o layout. As portas mais complexas são também sistematicamente mapeadas, proporcionando assim um método fácil de passarmos da notação simbólica para o layout do circuito [41].
- 2) Em Ring Notation as linhas de V_{DD} e Terra estão posicionadas conforme a Fig.102b, para que a impedância característica e auto-indutância das linhas sejam menores.
- 3) Nesta topologia são menores o comprimento das linhas onde passam o sinal de alta velocidade e ao mesmo tempo, devido ao isolamento do circuito proporcionado pelo posicionamento do terra entre o V_{DD} e essas linhas, temos o desacoplamento delas com o V_{DD} .
- 4) Ring Notation é uma técnica de layout que pode muito bem ser usado para colocar automaticamente no layout as células de uma biblioteca e ao mesmo tempo fazendo o roteamento. Foi desenvolvido por Monteil [42] um ferramenta de projeto de layout para a tecnologia de GaAs usando essa técnica. O desempenho desse software é muito bom, se comparado ao método manual de colocar as células e fazer o roteamento além da vantagem de ser um método simples e muito rápido de fazer o layout.

Apesar das características muito importantes da técnica Ring Notation citadas acima de 1 a 4, as vezes, ela apresenta algumas restrições, devido a pouca área desperdiçada quando comparada com outras técnicas como por exemplo o “Square Notation”. Concluímos assim, após esse estudo, que a metodologia de projeto de layout, usando o Ring Notation, para o nosso caso de circuito de GaAs em DCFL, é muito bom pois nós podemos reduzir a auto-indutância e o acoplamento entre o circuito (sinais de alta velocidade) e as linhas de alimentação V_{DD} , e portanto, a susceptibilidade a corrente devido aos transientes.

No layout do Mux serão usados os procedimentos manuais de posicionamento das células, MS, SMS, SPS, SEL, Divisor estático, Divisor Dinâmico e os buffers projetadas anteriormente, e o roteamento com o intuito de satisfazer os requisitos do Mux. Na elaboração do layout usaremos as regras do projeto fornecida pela foundry Vitesse e o DRC para verificar as regras do projeto. Nas entradas e saídas serão colocadas os buffers compatíveis com os níveis lógicos ECL. Após o layout usaremos as ferramentas do “back annotation” para a extração das capacitâncias parasitárias do circuito. Em seguida usaremos os valores dessas capacitâncias na re-simulação do Mux, ou seja, serão substituídos os valores das capacitâncias estimadas pelos valores obtidos na extração dos parâmetros. Feito isso serão feitas algumas modificações, tais como, minimização das capacitâncias parasitárias de todas as conexões associados aos nós de sinais de alta velocidade, isto é, sinais com taxas de relógio, CK ou CK/2, visando assim a otimização da operação do Mux em alta velocidade. A minimização dessas capacitâncias parasitárias serão feitas usando outro tipo de metal no processo ou no rearranjo de células, isto é, num novo posicionamento das células que permitem a redução dos comprimentos das interconexões metálicas entre elas.

4.12. LAYOUTS

4.12.1. Layout dos Subcircuito FFD/MS

O subcircuito MS mostrado na Fig. 62 foi simulado (Fig.94) e apresentamos agora o seu layout na Fig. 105. Primeiramente fizemos no Magic o layout dos inversores e portas NOR que constituem cada um dos estágios deste circuito. Fizemos neste caso 4 tipos diferentes de portas NOR e um inversor de clock. Em seguida, ao fazermos o MS, cada uma das portas NOR e inversor, citados anteriormente, foram invocados, constituindo assim células do MS. Foi assim, usando esse conceito de hierarquias que fizemos o layout dos nossos subcircuitos e do MUX4:1.

4.12.2. Layout do Subcircuito PS

O subcircuito PS mostrado na Fig. 63 foi simulado (Fig. 95) e também apresentamos agora o seu layout na Fig. 106. Para fazermos o layout do PS usamos como células o MS. Este subcircuito constitui a 2ª hierarquia de células do MUX4:1. Fazem parte do PS 3 MS em série.

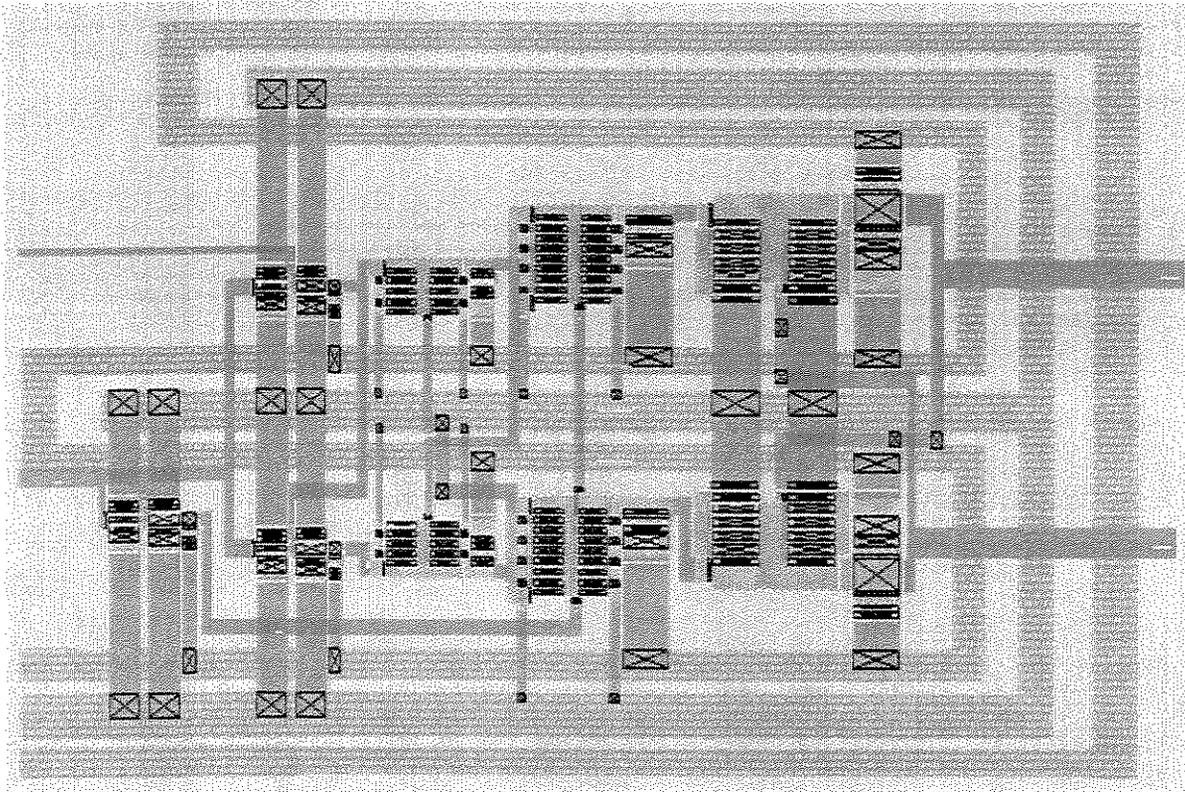


Figura 105 - Layout do subcircuito MS

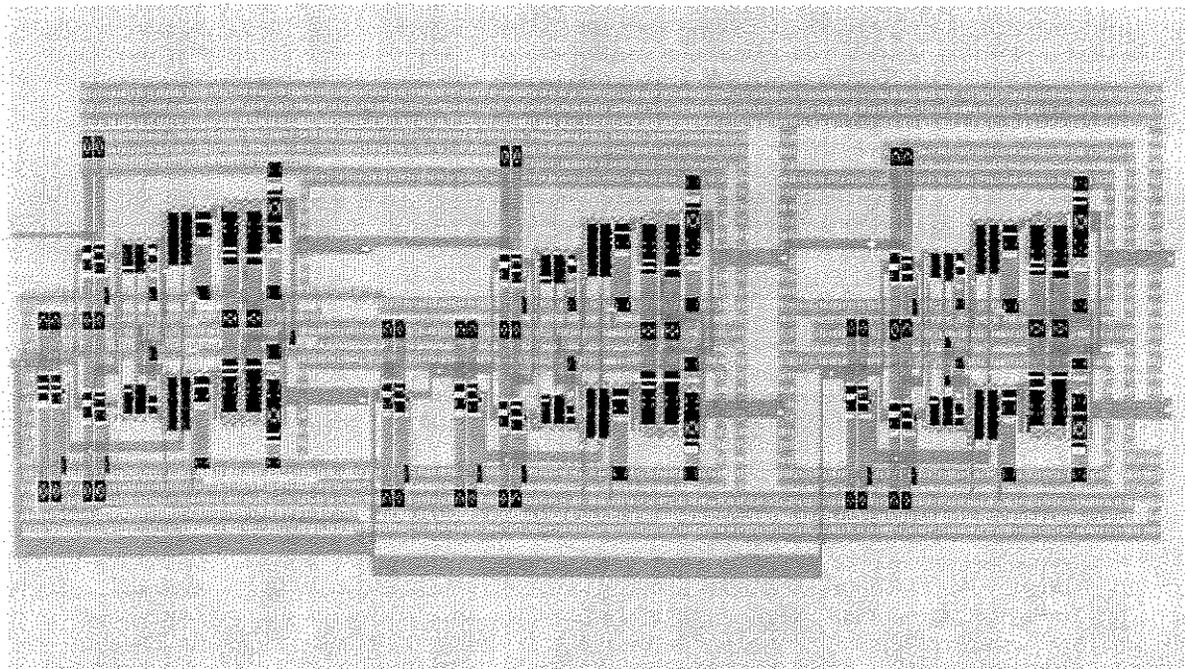


Figura 106 - Layout do subcircuito PS

4.12.3. Layout do Subcircuito SMS

O subcircuito SMS mostrado na Fig. 64 foi simulado (Fig. 96) e apresentamos agora o seu layout na Fig. 107. É também um circuito de 2ª hierarquia do MUX4:1. Primeiramente fizemos no Magic os layouts dos Subcircuitos Sel e MS que agora são usados também como células do SMS.

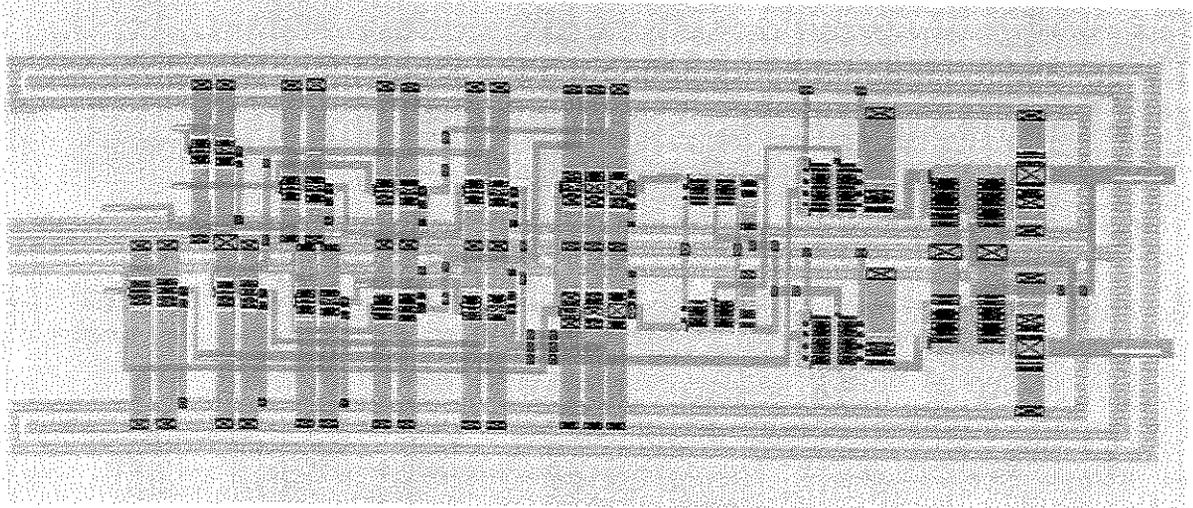


Figura 107 - Layout do subcircuito SMS

4.12.4. Layout do Subcircuito SPS

O subcircuito SPS mostrado na Fig. 65 foi simulado (Fig.97) e apresentamos agora o seu layout na Fig. 108. Assim como o SMS o SPS é também um circuito de 2ª hierarquia do MUX4:1. Primeiramente fizemos no Magic os layouts dos Subcircuitos Sel e PS que agora são usados também como células do SPS.

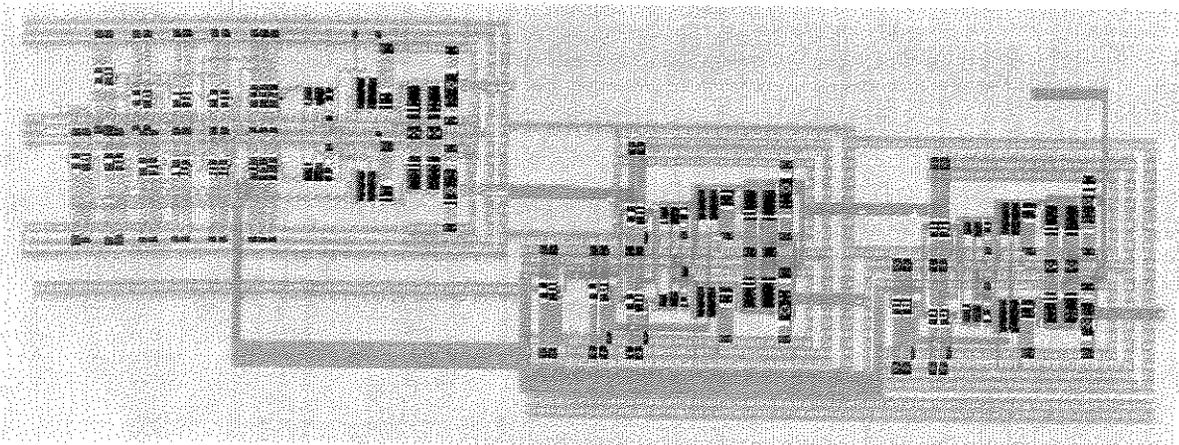


Figura 108 - Layout do subcircuito SPS

4.12.5. Layout do Subcircuito Divisor Estático por 2

O subcircuito divisor estático por 2 mostrado na Fig. 68 foi simulado (Fig. 98) e apresentamos agora o seu layout na Fig. 109. Primeiramente fizemos no Magic o layout dos inversores e portas NOR que constituem cada um dos estágios do circuito FFJK. Fizemos neste caso 4 tipos diferentes de portas NOR e um inversor de clock. Em seguida, ao fazermos o divisor estático por 2, cada uma das portas NOR e inversor, citados anteriormente, foram invocados, constituindo assim células do divisor. Este subcircuito constitui a 2ª hierarquia de células do MUX4:1

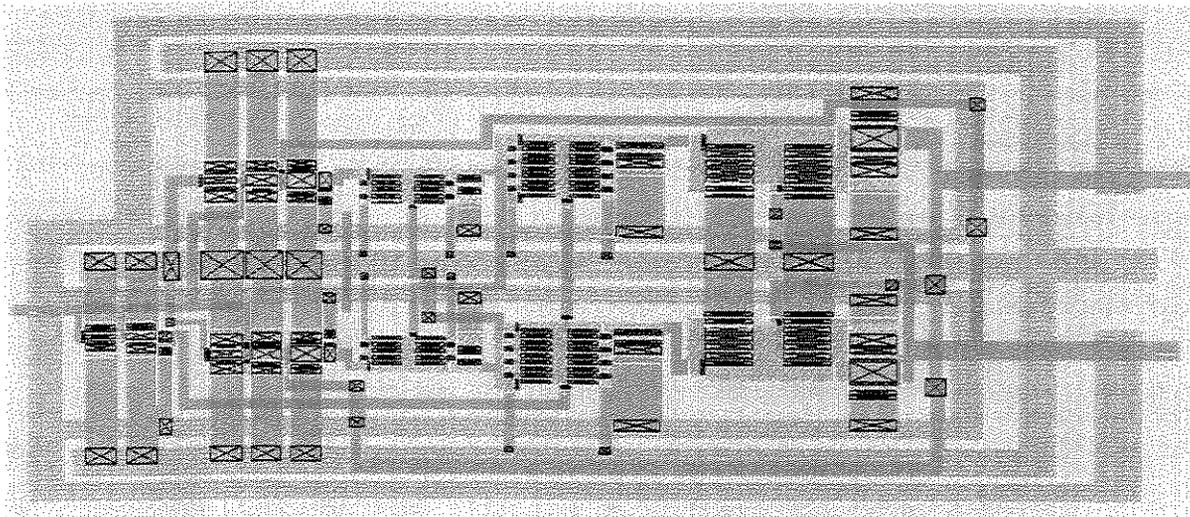


Figura 109 - Layout do subcircuito divisor estático por 2

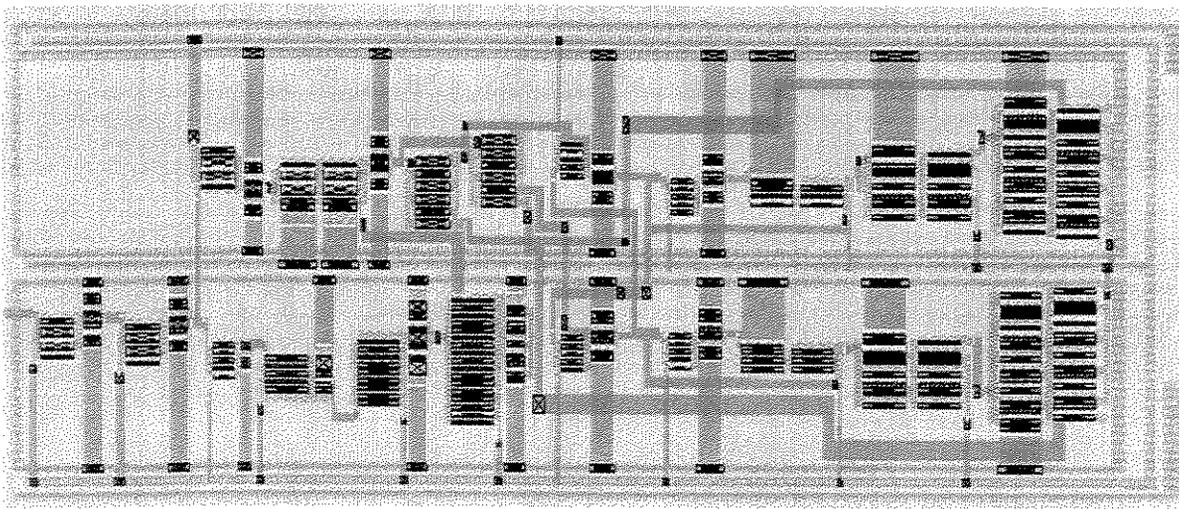


Figura 110 - Layout do subcircuito divisor dinâmico por 2

4.12.6. Layout do Subcircuito Divisor Dinâmico por 2

O subcircuito divisor dinâmico por 2 mostrado na Fig. 67 foi simulado (Fig. 99) e agora apresentamos o seu layout na Fig. 110. Primeiramente fizemos no Magic o layout do Transistor de Passagem, inversores Cross-Coupled, inversores comuns e portas NOR que constituem cada um das células deste subcircuito. Em seguida, cada uma dessas células foram invocadas para formar o divisor dinâmico. Este subcircuito constitui a 2ª hierarquia de células do MUX4:1

4.12.7. Layout do Subcircuito Seletor de 2 bits

O subcircuito seletor de 2 bits mostrado na Fig. 91 foi também simulado e agora apresentamos o seu layout na Fig. 111. Primeiramente fizemos no Magic o layout dos inversor do clock e portas NOR de 2 e 3 entradas que constituem os estágios de entrada e saída desse subcircuito. Em seguida, ao fazermos o Sel invocamos as células que acabamos de citar para fazer o Sel. O Sel faz parte também da 2ª hierarquia de células do MUX4:1

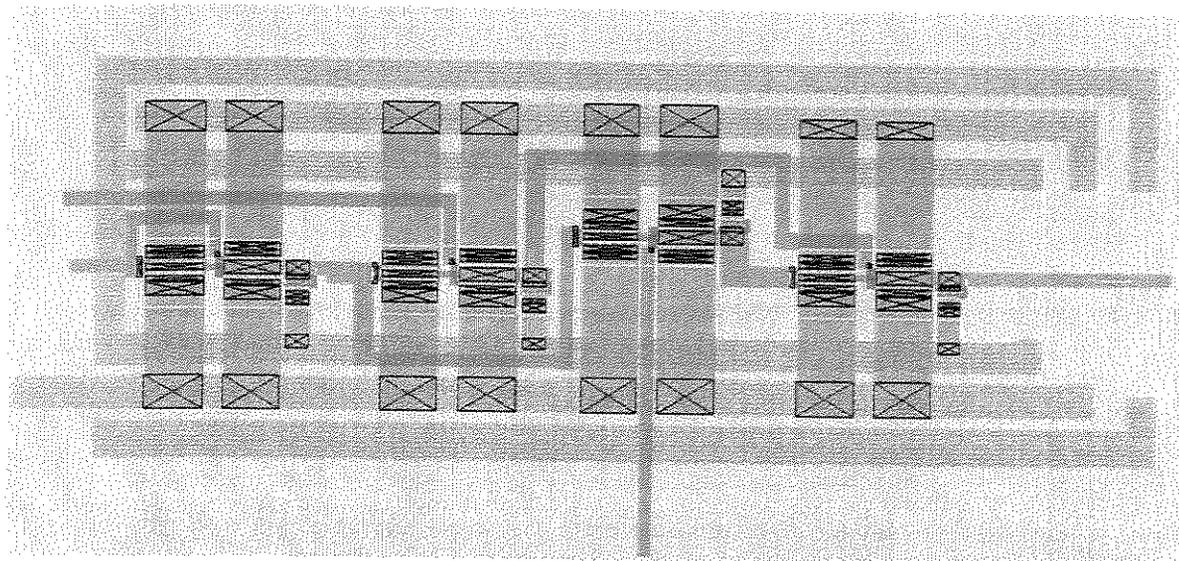


Figura 111 - Layout do subcircuito seletor de 2 bits

4.12.8. Layout do Circuito MUX4:1

Finalmente, o circuito MUX4:1 mostrado na Fig. 61 foi simulado (Fig. 100) e agora apresentamos o seu layout na Fig. 112. Fizemos no Magic o layout dos subcircuitos MS, Sel, Divisor Estático por 2, Divisor Dinâmico por 2 e Buffers, pertencentes a 2ª hierarquia de células do MUX4:1, o PS, SMS e o SPS, pertencentes 3ª hierarquia de células do MUX4:1 e por último, para fazer o próprio MUX4:1, invocamos todos os subcircuitos de 2ª e 3ª hierarquia citados acima para formar este CI de 4ª hierarquia. Usamos esse conceito de hierarquia porque quando precisamos fazer algumas alterações no MUX 4:1 não é necessário invocá-lo mas sim, alterar só a célula que o constitui, que pode ser nesse caso,

uma célula da 1ª, 2ª ou 3ª hierarquia. Mudando uma delas estamos fazendo o mesmo em qualquer circuito que as usa como subcircuitos. Uma das vantagens desse método é o rápido acesso a essas células menores, ou seja, menor tempo de acesso à memória do computador. A outra vantagem é que assim criamos um banco de células que poderão ser utilizados futuramente para outros afins.

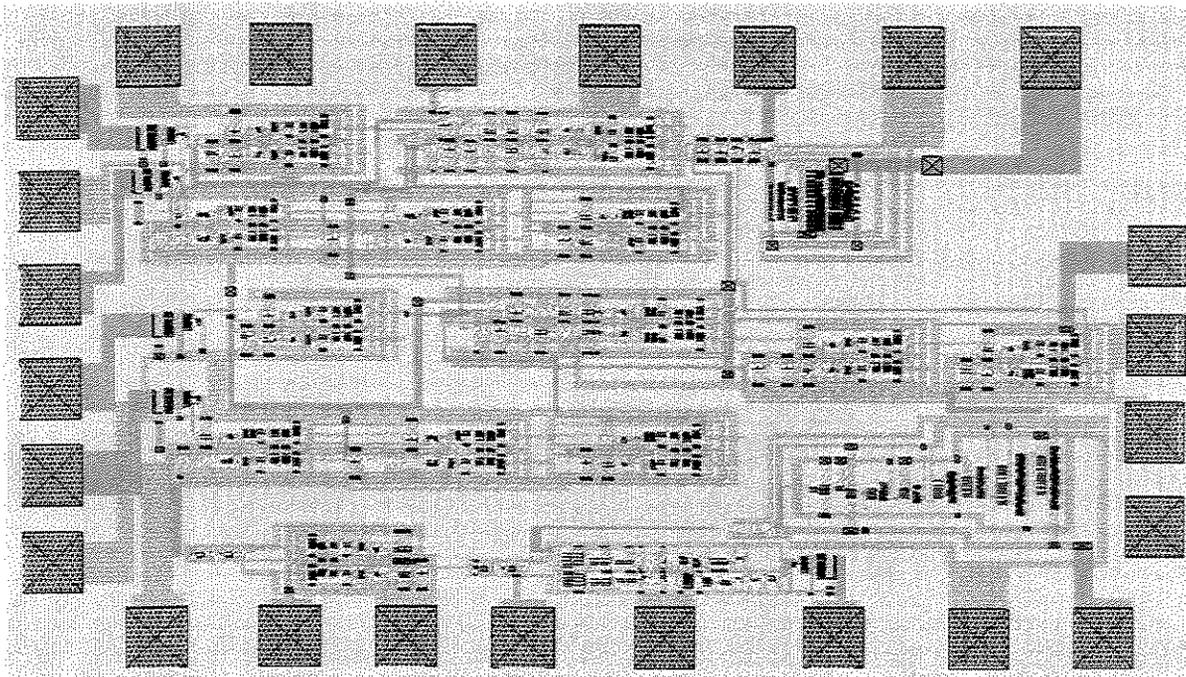


Figura 112 - Layout do circuito MUX4:1

PROPOSTA DO SETUP DE TESTE DO CI

5.1. INTRODUÇÃO

Como foi dito anteriormente, futuramente, após fabricação desse CI serão feitos teste em bancada para efetuar as medidas.

Deve-se planejar e depois descrever, com detalhes, todo o *setup* de medidas usado para a caracterização do CI: os dados dos equipamentos empregados nas medidas (marca, modelo, e características principais), as conexões feitas e como foram feitas, e as características dos sinais aplicados (amplitude, frequência, etc.). Devem ficar registrados os procedimentos das medidas e a sequência dos testes, assim como os resultados e formas de onda em diversos pontos do CI.

As medidas elétricas no *chip* poderão ser realizadas no DSIF e CCS, consistindo de testes preliminares DC e funcional a baixa frequência, mais os testes de RF e operação até a frequência de 1 GHz. No DSIF também podem ser medidos chips não-encapsulados (*die probing*), por meio de uma estação de prova (*probe station*).

Precisam ser registradas as formas de onda de saída do CI para a frequência máxima de clock na entrada. A frequência máxima de clock é tal, que para uma frequência acima dela resultam formas de onda de saída muito deterioradas ou saídas errôneas; para este CI, ela é definida como a frequência de entrada em que a saída correta ainda é obtida com uma $V_{pp} > 800$ mV.

5.2. TESTE DO MUX 4:1

O circuito da Fig. 113 indica quais as ligações que devem ser feitas entre os pinos do CI para a sua adequada operação como MUX 4:1. Os pinos de entrada não utilizados devem ser ligados no terra (para alimentação com $V_{DD} = 2$ V) ou em V_{TT} (para alimentação com $V_{TT} = -2$ V), para reduzir-se o ruído. A Fig. 113 mostra um exemplo do setup de medidas para o CI MUX4:1 utilizando equipamentos disponíveis no DSIF e CCS. Na Fig. 114 mostramos um dos procedimentos que devem ser feitos para medirmos os CIs não-encapsulados (*die probing*), por meio de uma estação de prova cascade (*probe station*).

Finalmente, deve ser feita a comparação entre o desempenho medido e o simulado, com a justificativa das diferenças entre os valores medidos dos parâmetros elétricos. Devem ser montadas duas tabelas: uma mostrando o desempenho **simulado** do circuito MUX4:1, isto é, as características de desempenho previstas nas simulações em HSPICE, e outra tabela com o desempenho **medido** (real) do CI, e explicadas as diferenças entre os valores nas duas tabelas. A mesma comparação pode ser feita para subcircuitos, que podem ser acessados isoladamente do restante do CI, conforme é mostrado em anexo no apêndice 5.

Diversas informações sobre o teste de CIs digitais de GaAs são dadas no Capítulo 6 de [16]. A referência [59] deverá ser um importante guia para o teste do MUX4:1, pois ela explica detalhadamente todos os procedimentos para o teste de um CI digital de GaAs compatível com ECL. Conceitos de teste de CIs digitais de alta frequência, de um modo geral, são dados em [60]. A referência [61] descreve os procedimentos de medida para cada um dos parâmetros DC e AC de um CI, como os níveis lógicos, correntes de entrada e saída, consumo de potência, tempos de *setup* e *hold* e atrasos de propagação.

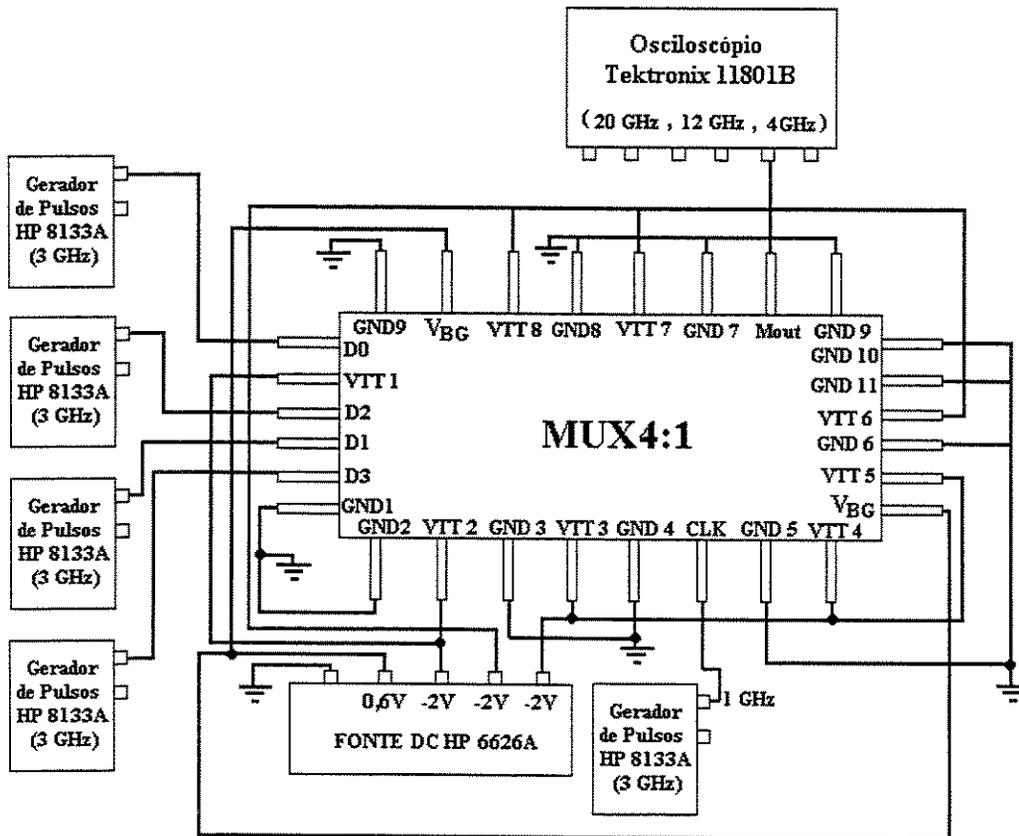


Figura 113 - Setup de teste para a configuração do CI MUX4:1

As mesmas regras de *layout* e projeto de sistemas que são aplicáveis para ECL, a nível de placa de circuito impresso, também são aplicáveis a CIs de GaAs, com um pouco mais de rigor. Portanto, para o projeto, construção e teste de uma circuito com CI de GaAs, é de grande ajuda ter alguma experiência em projetos com ECL. Por isso, os guias de projeto dos principais fabricantes de tecnologia ECL, [62] e [63], devem ser estudados para o teste do CI de GaAs. Finalmente, o *datobook* da GigaBit Logic [55] contém um excelente guia de projetos, com várias *application notes* que cobrem todos os aspectos do teste e operação de CIs de GaAs em sistemas.

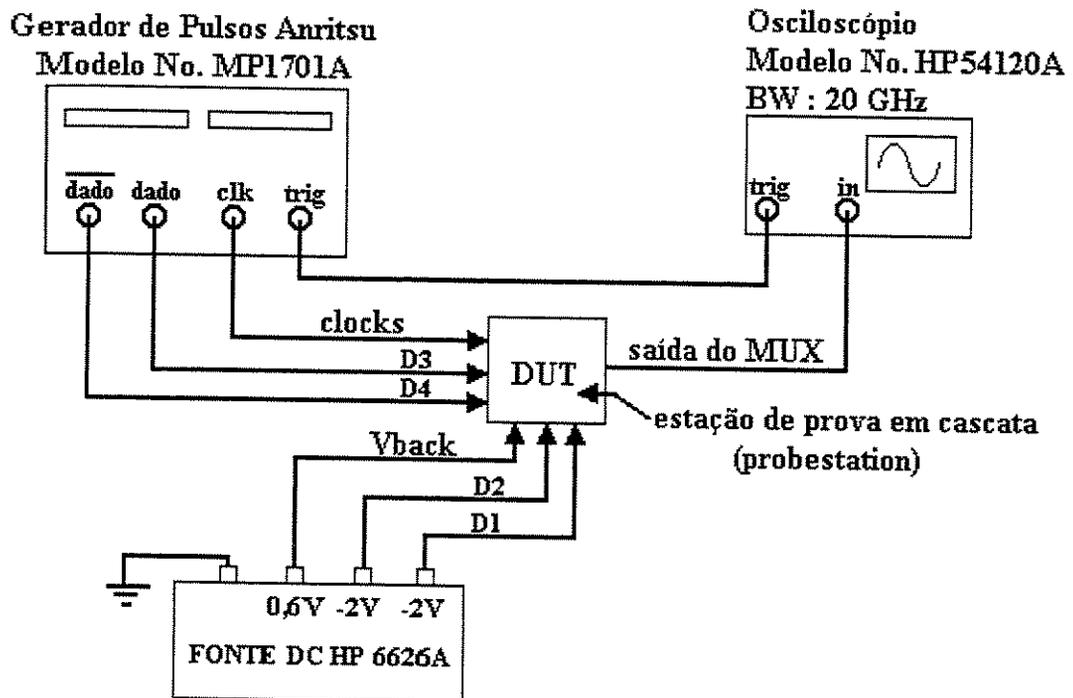


Figura 114 - Teste do CI não-encapsulados(*die probing*), por meio de uma estação de prova cascata(*probe station*).

5.3. CONCLUSÕES E SUGESTÕES PARA FUTUROS TRABALHOS

O DCFL foi a lógica escolhida por representar o melhor compromisso entre velocidade, área e consumo de potência em GaAs [64], visto que uma função lógica pode ser implementada com poucos FETs. Esta lógica consome muito pouca corrente quando a entrada do inversor é baixa. Além do mais, como V_{pp} é baixa (0,6 ~ 0,7 V), a tensão de alimentação usada pode ser baixa também, reduzindo o consumo de potência. A simplicidade topológica e de projeto das portas DCFL fazem desta família uma candidata atraente para VLSI. Entretanto, suas NMs são baixas em comparação com outros tipos de lógica, e ela é muito sensível a variações de V_t no processo de fabricação.

As razões para a escolha da arquitetura em árvore “tree type architecture” em GaAs para este projeto foram:

- Temporização ideal entre os vários MUX 2:1
- Sua alta velocidade de operação devido a alta mobilidade dos elétrons;
- Baixa consumo de potência;
- Semicondutor de transição direta;

- Característica semi-isolante;

O MUX4:1 é muito usado na composição de circuitos digitais de alta velocidade tais como o SONET e o SDH..

Todos os subcircuitos do circuito MUX4:1 bem como o próprio foram simuladas com sucesso no HSPICE, e os resultados mostram a sua operação como um MUX em taxas de *clock* de até 1 GHz, acionado linhas de 50Ω com capacitâncias de carga de 5pF nas suas saídas. A tensão de alimentação pode ser de 2 V ou -2 V; com esta alimentação negativa, os níveis de entrada e saída do CI são compatíveis com os níveis da lógica ECL. O circuito foi otimizado para a operação em altas velocidades, em detrimento de um baixo consumo de potência.

O layout do chip MUX4:1 foi desenhado no *software* de CAD Magic, para ser implementado no processo de MESFETs E/D HGaAs-III da *foundry* norte-americana Vitesse, com $L_g = 0,6 \mu\text{m}$. A topologia de layout foi escolhida para minimizar o acoplamento entre as linhas de sinal de alta frequência e os barramentos de V_{DD} ou V_{TT} .

O projeto será submetido à apreciação para o Projeto Multi-Usuário brasileiro (PMU/FAPESP), para fabricação na Vitesse,. O arquivo de *layout* será enviado a Vitesse para a implementação do CI MUX4:1(anexo 5). A área total do chip foi de 6,96mm x 3,83 mm , totalizando 26,69mm².

Este projeto foi concebido principalmente para fins de formação de recursos humanos em projeto de CIs, e esta Tese pretende ser também um guia para futuros projetistas, apresentando um roteiro bastante **didático** das etapas de um trabalho de projeto. Este projeto , só por ser full-customs, já possui um grau razoável de ineditismo. Finalmente, este trabalho também demonstrou muitos aspectos úteis e instrutivos do projeto de CIs digitais de um modo geral, e mais especificamente, do projeto de um CI digital em DCFL. Alguns desses aspectos são listados a seguir:

- 1 - Diversos compromissos (*trade-offs*) de dimensionamento de portas básicas DCFL;
- 2 - Determinação da razão β ótima ($\beta = 5$) para a parte inversora de uma porta SDCFL, que não é sugerida na literatura consultada;
- 3 - Consideração, nas simulações do projeto, das influências da variação da tensão de alimentação, temperatura, e extremos do processo;
- 4 - Formação de uma “biblioteca” de *netlists* para simulação de portas e FFs no HSPICE, que está disponibilizada nesta Tese;
- 5 - Estratégias de simulação e de projeto:
 - 5.1 - A metodologia de projeto *bottom-up*, com quatro níveis de hierarquia, foi explorada

- 5.2 - A abordagem heurística: quando houver dúvida para escolher entre duas ou mais alternativas de projeto, deve-se *simular* e *comparar*, para determinar qual dos projetos melhor atende às especificações
 - 5.3 - O método de escalonamento progressivo (*tapered design*) para o dimensionamento de circuitos com cascatas de portas, com os FFs. Um FF MS nunca deve ser projetado com as dimensões das portas do *latch* mestre iguais às dimensões das portas correspondentes do *latch* escravo. Isso não aumenta a velocidade do FF, e somente desperdiça área
 - 5.2 - Não devem ser empregadas portas DCFL “bufferizadas” (SDCFL) para toda a lógica de um circuito, é uma medida exagerada e resulta em uma área e um consumo de potência muito grandes. O uso de SDCFL deve ser restrito aos casos absolutamente necessários;
- 6 - Desenho de *layout* na notação em anel (Ring Notation);
- 7 - A configuração do divisor dinâmico por 2 usado neste CI não foi encontrada na literatura técnica consultada fazendo parte do circuito de controle do MUX.

Como uma sugestão para o próximo trabalho na área de CIs digitais de GaAs, recomenda-se a realização de um DMUX 1:4. Futuramente outras **aplicações de CIs de GaAs** para aplicações na área de Telecomunicações, tais como regeneradores de sinal, chaves, circuitos de recuperação de *clock* e *chipssets* para redes ópticas de dados SDH/SONET.

Em sistemas de alto desempenho para Teste & Instrumentação, como divisores de frequência, multiplicadores paralelos, conversores A/D e D/A e prescaler devem ser feitos também.

- Em circuitos lógicos de uso geral, e também ASICs na forma de *gate arrays*, *standard cells*, CSICs, PLDs e circuitos *full-custom*;

Em CIs digitais de GaAs onde podem ser usados no *front-end* (porta de entrada) de um sistema de comunicação óptica para receber dados seriais em alta velocidade e depois interfacear diretamente com CIs CMOS de baixa velocidade, que constituem a lógica de processamento do protocolo. Nessa aplicação, os CIs de GaAs são usados para recuperação de *clock* e de dados e para realizar a conversão serial/paralela, e operam em taxas de multi-GHz. Os dados recuperados e paralelizados são então entregues aos blocos CMOS para processamento. Para **aplicações de circuitos analógicos de alta frequência em GaAs** a principal aplicação analógica de dispositivos de GaAs é em CIs de microondas (MMICs) para sistemas de telecomunicações, especialmente de comunicações móveis (GPS, telefonia celular, PCS, *wireless phones*) e receptores de TV DBS e HDTV. Exemplos de MMICs incluem amplificadores, mixer, chaves, deslocadores de fase, osciladores, ressonadores e moduladores. Os subcircuitos da parte de RF de telefones móveis (celulares ou PCS), que são implementados em GaAs, são todos analógicos: amplificadores de potência para

transmissão, chaves transmite/recebe e amplificadores de baixo ruído [66]. Não há subcircuitos digitais neste tipo de aplicação [67].

A fabricação de MMICs exige a integração de MESFETs com elementos passivos (indutores e capacitores), para operação em dezenas de GHz, sendo um projeto mais crítico que o de circuitos digitais.

Nesse campo de aplicação, o GaAs enfrenta forte concorrência do Si pelo fato de este ser mais barato, e o custo é o fator mais importante na escolha da tecnologia de fabricação para circuitos de consumo. Felizmente para o GaAs, os mercados de telecomunicações (celulares, TV) estão se movendo cada vez mais para a região de microondas e ondas milimétricas, onde o somente o GaAs funciona (e muito bem). Implementar um CI ou MCM para essa mesma faixa de frequências e mantendo o mesmo desempenho, mas usando tecnologias CMOS ou BiCMOS, sairia muito mais caro. Considerando uma exigência de um sistema por alto desempenho, que precisa ser atendida, pode-se dizer que a tecnologia de GaAs oferece mesmo uma alternativa de baixo custo para o Si.

Atualmente a produção e venda de CIs analógicos de GaAs é muito maior do que a de CIs digitais (cerca de quatro vezes maior), porque o crescimento muito acelerado das tecnologias de comunicações sem fio criou um mercado multi-milionário e de altíssima demanda para os CIs analógicos de GaAs [67].

Não se pode esquecer a enorme importância do GaAs para a Optoeletrônica: desde o início da sua aplicação na fabricação de componentes, no final da década de 60, ele também vem sendo usado tanto para a emissão de luz, na forma de LEDs e, mais recentemente, de *lasers*, quanto para a sua detecção, na forma de fotodetecores (embora estes já sejam mais fabricados com outros semicondutores compostos, como InGaAsP e o InP, por uma questão de comprimento de onda da radiação emitida). Transistores de GaAs também são usados para realizar o acionador do *laser*.

Outra sugestão, dando continuidade a este trabalho, é a elaboração do *data-sheet* completo do CI MUX4:1, nos moldes padrão JEDEC de *data-sheets* de circuitos integrados, a partir das medidas em bancada do *chip*.

Uma sugestão promissora para o aperfeiçoamento do circuito MUX4:1 é abandonar a topologia tradicional de flip-flop com portas NOR, e passar a utilizar flip-flops de células de memória, que foram introduzidos e explicados nas referências [56] e [17]. A topologia tradicional de FFs como a da Fig. 62b, não é, inerentemente, um circuito de alta velocidade, pois necessita de pelo menos quatro portas NOR no caminho do sinal, o que acarreta um maior tempo de atraso aos sinais.

Como última sugestão para um trabalho na mesma área, propõe-se a criação de um ambiente real **de projeto** de CIs digitais de GaAs. O HSPICE é uma ferramenta poderosa de análise, mas não auxilia diretamente no projeto. Seria certamente de grande valia que as equações que determinam os parâmetros de desempenho em função dos parâmetros de tecnologia e de projeto fossem inseridas em um software de processamento numérico e

UNICAMP

simbólico, como o Mathematica por exemplo. Assim, a partir das especificações iniciais, esse sistema de expressões analíticas (que são precisas mas complicadas para resolução manual) seria resolvido fornecendo os parâmetros de projeto necessários. As referências [54] e [65] apresentam as equações e análises mais rigorosas dentre a bibliografia consultada neste trabalho, e servem muito bem para a finalidade desta proposta de trabalho.

NETLIST DO MS USADO NA SIMULAÇÃO EM HSPICE

```

FLIP-FLOP-TIPO D (FFD/MS)

*Circuito FFD segundo a logica DCFL
*Neste circuito quando o clock esta no nivel alto os dados de entrada sao
registrados no circuito
*Mestre e, quando o nivel do clock passar para baixo,o escravo e'
habilitado, e os dados de
*entrada,no' 3,passam para saida Q e Q-,respectivamente os nos 12 e 11

.include '/home/girassol/ivo/modelos/vsc3.11models'

.lib'/home/girassol/ivo/modelos/vsc3corners.txt'fast

.unprotect

.options post=2 ingold=2 nopage nomod scale=1e-6

.temp 85

.nodeset V(8)=-1.9 V(12)=-1.9

VDD 0 1 DC 0.0

VTT 0 30 DC 2.0

VBACK 40 30 DC 0.6

VCLK 13 30 pulse(0.0 0.6 1NS 0.5NS 0.5NS 4NS 10NS)

VDATA 15 30 pulse(0.0 0.6 100PS 0.5NS 0.5NS 4NS 20NS)

.TRAN 25PS 15NS

.OP

*Buffer para o relógio(CLK) e os Dados (DATA)

JB1 14 13 30 40 jenh W=6.0 L=1.0
JB2 0 14 14 40 jdep W=2.2 L=2.5
JB3 4 14 30 40 jenh W=6.0 L=1.0
JB4 0 4 4 40 jdep W=2.2 L=2.5
JB5 16 15 30 40 jenh W=6.0 L=1.0
JB6 0 16 16 40 jdep W=2.2 L=2.5
JB7 3 16 30 40 jenh W=6.0 L=1.0
JB8 0 3 3 40 jdep W=2.2 L=2.5

*CIRCUITO MESTRE (MASTER)

*Inversor G1 (G1=G2)

```

```

J1 1 2 2 40 jdep W=2.5 L=5.0
J2 2 3 30 40 jenh W=5.0 L=1.0
J3 2 4 30 40 jenh W=5.0 L=1.0
*Inversor G2
J4 1 6 6 40 jdep W=2.5 L=5.0
J5 6 2 30 40 jenh W=5.0 L=1.0
J6 6 4 30 40 jenh W=5.0 L=1.0

*Inversor G3 (G3=G4)

J7 1 8 8 40 jdep W=2.75 L=2.5
J8 8 2 30 40 jenh W=11 L=1.0
J9 8 7 30 40 jenh W=11 L=1.0

*Inversor G4

J10 1 7 7 40 jdep W=2.75 L=2.5
J11 7 8 30 40 jenh W=11 L=1.0
J12 7 6 30 40 jenh W=11 L=1.0

*Inversor G5 (G5=G6)

J15 1 9 9 40 jdep W=5.25 L=2.5
J16 9 8 30 40 jenh W=21 L=1.0
J17 9 5 30 40 jenh W=21 L=1.0

*Inversor G6

J18 1 10 10 40 jdep W=5.25 L=2.5
J19 10 7 30 40 jenh W=21 L=1.0
J20 10 5 30 40 jenh W=21 L=1.0

*Inversor G7 (G7=G8)

J21 1 12 12 40 jdep W=10.5 L=2.5
J22 12 9 30 40 jenh W=42 L=1.0
J23 12 11 30 40 jenh W=42 L=1.0

*Inversor G8

J24 1 11 11 40 jdep W=10.5 L=2.5
J25 11 12 30 40 jenh W=42 L=1.0
J26 11 10 30 40 jenh W=42 L=1.0

*Circuito inversor do clock
*Inversor G9

J13 1 5 5 40 jdep W=2.75 L=2.5
J14 5 4 30 40 jenh W=11 L=1.0

*CIRCUITO CARGA PARA A SAIDA Q (NO' 12)

J27 0 17 17 40 jdep W=5.25 L=2.5
J28 17 12 30 40 jenh W=21 L=1.0
J29 30 17 30 40 jenh W=21 L=1.0

```

```

*CIRCUITO CARGA PARA A SAIDA Q- (NO' 11)

J30 0 18 18 40 jdep W=5.25 L=2.5
J31 18 11 30 40 jenh W=21 L=1.0
J32 30 18 30 40 jenh W=21 L=1.0
* CIRCUITO DE DISPARO (SAIDA DO INVERSOR=ENTRADA)
JR1 1 REF REF 40 jdep W=2.75 L=2.5

JR2 REF REF 30 40 jenh W=11.0 L=1.0

* CAPACITANCIAS PARASITAS DO CIRCUITO

CP1 1 0 17.9FF
CP2 2 0 11.4FF
CP3 3 0 5.3FF
CP4 4 0 11.7FF
CP5 5 0 22.2FF
CP6 6 0 9.4FF
CP7 7 0 22.6FF
CP8 8 0 22.6FF
CP9 9 0 35.6FF
CP10 10 0 35.6FF
CP11 11 0 71.2FF
CP12 12 0 71.2FF
CP13 13 0 2.4FF
CP14 14 0 5.7FF
CP15 15 0 2.4FF
CP16 16 0 5.7FF
CP17 17 0 18.8FF
CP18 18 0 18.8FF
CPT 30 0 210.0FF
CPREF REF 0 5.4FF

.measure tran TC when V(4)=V(REF)

* V(Q)=V(12)= SAIDA
.measure tran TQ when V(12)=V(REF)
.end

```

NETLIST DO DIV. ESTÁTICO SIMULADO EM HSPICE

```

CIRCUITO DIVISOR ESTATICO DE FREQUENCIAS

*Circuito divisor segundo a logica DCFL
*ESTE CIRCUITO DIVIDE A FREQUENCIA DO CLK POR 2
* V(Q1)=V(12) e' A SAIDA DO CIRCUITO DIVISOR

.include '/home/girassol/ivo/modelos/vsc3.11models'
.lib'/home/girassol/ivo/modelos/vsc3corners.txt'typical
.unprotect

.options post=2 ingold=2 nopage nomod scale=1e-6

.temp 85
.nodeset V(12)=-1.9
VDD      0  1  DC  0.0V
VTT      0  30 DC  2.0V
VBACK    40 30  DC  0.6V
*
*          v1  v2  td  tr  tf  pw  per
VCLK     13 30  pulse( 0.0 0.6 20PS 20PS 20PS 380PS 800PS)

.TRAN 25PS 10NS
.OP

* Buffer para o relógio(CLK)

JB1  14 13 30 40  jenh  W=6.0  L=1.0
JB2  0 14 14 40  jdep  W=2.2  L=2.5
JB3  4 14 30 40  jenh  W=6.0  L=1.0
JB4  0 4 4 40  jdep  W=2.2  L=2.5

*SUBCIRCUITO FF TIPO JK

VDATA  3 30  DC  0V

VDATA1 39 30  DC  0V

.subckt ffjk 3 39 4 12 11 1 30
*          Vin(J0)  Vin(K0)  CLK  V(Q)  V(Q-)  VDD  VBACK
.nodeset v(6)=-1.9

*CIRCUITO MESTRE (MASTER)

```

*Inversor G1 (G1=G2)

| | | | | | | | |
|----|---|----|----|----|------|-------|-------|
| J1 | 1 | 2 | 2 | 40 | jdep | W=2.5 | L=5.0 |
| J2 | 2 | 11 | 30 | 40 | jenh | W=5.0 | L=1.0 |
| J3 | 2 | 3 | 30 | 40 | jenh | W=5.0 | L=1.0 |
| J4 | 2 | 4 | 30 | 40 | jenh | W=5.0 | L=1.0 |

*Inversor G2

| | | | | | | | |
|----|---|----|----|----|------|-------|-------|
| J5 | 1 | 5 | 5 | 40 | jdep | W=2.5 | L=5.0 |
| J6 | 5 | 4 | 30 | 40 | jenh | W=5.0 | L=1.0 |
| J7 | 5 | 39 | 30 | 40 | jenh | W=5.0 | L=1.0 |
| J8 | 5 | 12 | 30 | 40 | jenh | W=5.0 | L=1.0 |

*Inversor G3 (G3=G4)

| | | | | | | | |
|-----|---|---|----|----|------|-------|-------|
| J9 | 1 | 6 | 6 | 40 | jdep | W=2.5 | L=2.5 |
| J10 | 6 | 2 | 30 | 40 | jenh | W=11 | L=1.0 |
| J11 | 6 | 7 | 30 | 40 | jenh | W=11 | L=1.0 |

*Inversor G4

| | | | | | | | |
|-----|---|---|----|----|------|-------|-------|
| J12 | 1 | 7 | 7 | 40 | jdep | W=2.5 | L=2.5 |
| J13 | 7 | 5 | 30 | 40 | jenh | W=11 | L=1.0 |
| J14 | 7 | 6 | 30 | 40 | jenh | W=11 | L=1.0 |

*Inversor G5 (G5=G6)

| | | | | | | | |
|-----|---|---|----|----|------|------|-------|
| J15 | 1 | 8 | 8 | 40 | jdep | W=5 | L=2.5 |
| J16 | 8 | 6 | 30 | 40 | jenh | W=21 | L=1.0 |
| J17 | 8 | 9 | 30 | 40 | jenh | W=21 | L=1.0 |

*Inversor G6

| | | | | | | | |
|-----|----|----|----|----|------|------|-------|
| J18 | 1 | 10 | 10 | 40 | jdep | W=5 | L=2.5 |
| J19 | 10 | 7 | 30 | 40 | jenh | W=21 | L=1.0 |
| J20 | 10 | 9 | 30 | 40 | jenh | W=21 | L=1.0 |

*Inversor G7 (G7=G8)

| | | | | | | | |
|-----|----|----|----|----|------|--------|-------|
| J21 | 1 | 12 | 12 | 40 | jdep | W=10.5 | L=2.5 |
| J22 | 12 | 8 | 30 | 40 | jenh | W=42 | L=1.0 |
| J23 | 12 | 11 | 30 | 40 | jenh | W=42 | L=1.0 |

*Inversor G8

| | | | | | | | |
|-----|----|----|----|----|------|--------|-------|
| J24 | 1 | 11 | 11 | 40 | jdep | W=10.5 | L=10 |
| J25 | 11 | 10 | 30 | 40 | jenh | W=42 | L=1.0 |
| J26 | 11 | 12 | 30 | 40 | jenh | W=42 | L=1.0 |

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

NETLIST DO DIV. DINÂMICO SIMULADO EM HSPICE

Circuito Divisor Dinamico

```
.protect
.include '/home/girassol/ivo/modelos/vsc3.11models'
.lib '/home/girassol/ivo/modelos/vsc3corners.txt' typical
.unprotect
```

```
.options post=2 ingold=2 nopage nomod scale=1e-6
```

```
.nodeset V(6)= -1
```

```
VTT vtt 0 DC -2.0V
VBACK 40 vtt DC 0.6V
```

```
***** DADOS DE ENTRADA *****
```

```
*
Vclk clk vtt pulse( 0.0 2 100PS 0.01NS 0.01NS .49NS per
1NS )
Vclkb clk vtt pulse( 0.0 -2 100PS 0.01NS 0.01NS .49NS
1NS )
```

```
*Vpulse e' indispensavel para simulacao
```

```
Vpulse 2 vtt pulse( -3 3 1ns 0.1ns 0.1ns 4ns 4.3ns )
```

```
.TRAN 25PS 5NS uic
```

```
*.OP
```

```
***** CORPO PRINCIPAL DO CIRCUITO Divisor Dinamico *****
```

```
* 1 estagio I1
```

```
J1 3 2 vtt 40 jenh W=10 L=1.0
J2 0 3 3 40 jdep W=2.5 L=2.5
```

```
* 2 estagio
```

```
J3 0 3 6 40 jenh W=10 L=1.0
```

J4 6 vtt vtt 40 jdep W=2.5 L=2.5

* porta transmissor 1

JTP1 6 clk 9 40 jenh W=8 L=1

* 3 estagio

J5 0 9 10 40 jenh W=10 L=1.0

J6 10 vtt vtt 40 jdep W=2.5 L=2.5

* porta transmissor 2

JTP2 10 clk 2 40 jenh W=8 L=1

* 4 estagio

J7 0 10 out 40 jenh W=10 L=1.0

J8 out vtt vtt 40 jdep W=2.5 L=2.5

*CIRCUITO INVERSOR DO RELOGIO

*J10 clk clk vtt 40 jenh W=20 L=1.0

*J9 0 clk clk 40 jdep W=4 L=2

*****CIRCUITO CARGA PARA A SAIDA (NO'OUT)*****

JB15 14 out vtt 40 jenh W=21 L=1.0

JB16 0 14 14 40 jdep W=5 L=2.5

JB17 vtt 14 vtt 40 jenh W=21 L=1.0

***** CAPACITANCIAS PARASITAS DO CIRCUITO *****

cj1 2 vtt 5.6ff

cj2 0 vtt 3.5ff

cj3 0 6 1ff

cj4 6 vtt 3.5ff

ct1 6 9 1ff

cj5 0 10 1ff

cj6 10 vtt 3.5ff

ct2 10 2 1ff

cj7 0 out 1ff

cj8 out vtt 3.5ff

* V(out)=SAIDA

.end

```

*Circuito inversor do clock
*Inversor G9
J27  1  9  9  40  jdep  W=2.75  L=2.5
J28  9  4  30 40  jenh  W=11    L=1.0

```

```

* CIRCUITO DE DISPARO (SAIDA DO INVERSOR=ENTRADA)
JR1   1  REF  REF 40  jdep  W=2.5  L=2.5
JR2  REF  REF 30 40  jenh  W=11.0 L=1.0

```

```

***** CAPACITANCIAS PARASITAS DO CIRCUITO*****

```

```

CP1  1  0 17.9FF
CP2  2  0 11.4FF
CP3  3  0  5.3FF
CP4  4  0 11.7FF
CP5  5  0 22.2FF
CP6  6  0  9.4FF
CP7  7  0 22.6FF
CP8  8  0 22.6FF
CP9  9  0 35.6FF
CP10 10  0 35.6FF
CP11 11  0 71.2FF
CP12 12  0 71.2FF
CP13 13  0  2.4FF
CP14 14  0  5.7FF
CP15 15  0  2.4FF
CP16 16  0  5.7FF
CP17 17  0 18.8FF
CP18 18  0 18.8FF
CPT 30  0 210.0FF
CPREF REF 0  5.4FF

```

```

* V(Q)=V(12)= SAIDA DO SINAL CLK/2

```

```

.ends ffjk

```

```

*CIRCUITO CARGA PARA A SAIDA Q (NO'12 )
J30  0 18 18 40  jdep  W=10  L=2.5
J31 18 12 30 40  jenh  W=4   L=1.0
J32 30 18 30 40  jenh  W=4   L=1.0

```

```

*CIRCUITO CARGA PARA A SAIDA Q- (NO'11 )
J33  0 19 19 40  jdep  W=10  L=2.5
J34 19 11 30 40  jenh  W=4   L=1.0
J35 30 19 30 40  jenh  W=4   L=1.0

```

*CAPACITANCIAS PARASITAS DO CIRCUITO DEVIDO AOS BUFFERS E CARGAS

| | | | |
|------|----|---|--------|
| CP11 | 11 | 0 | 71.2FF |
| CP12 | 12 | 0 | 71.2FF |
| CP13 | 13 | 0 | 2.4FF |
| CP14 | 14 | 0 | 5.7FF |
| CP18 | 18 | 0 | 18.8FF |
| CP19 | 19 | 0 | 18.8FF |

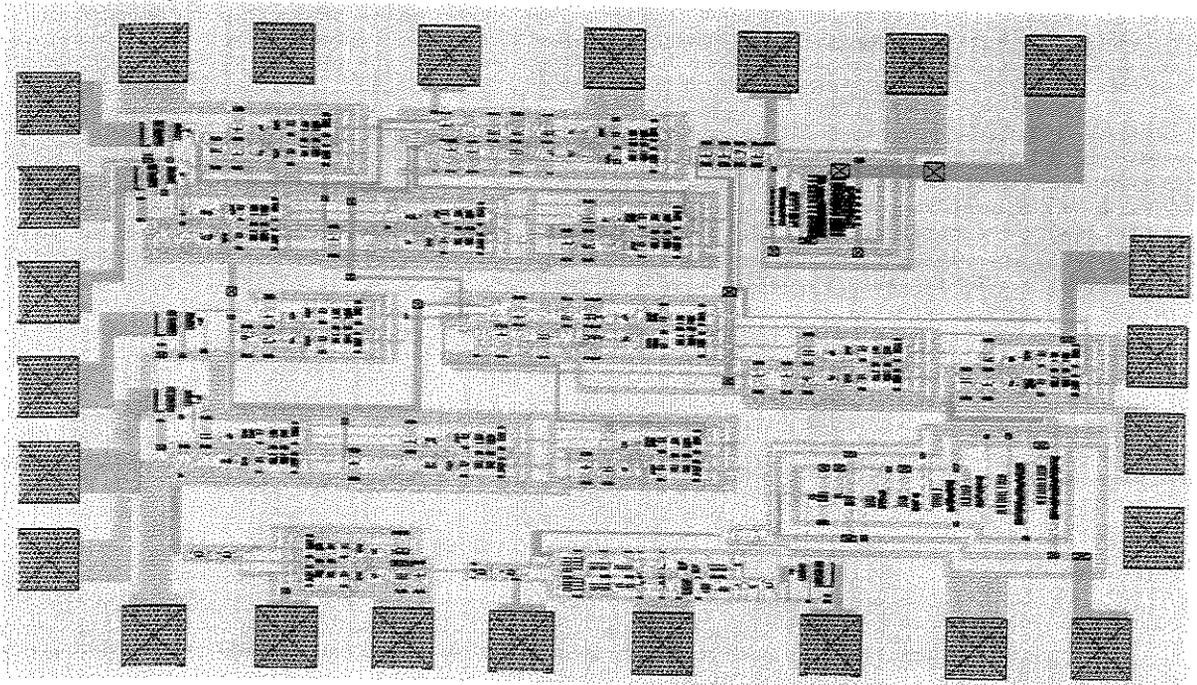
*CHAMADA DO SUBCIRCUITO ffjk

| * | Ent. dados1 | Ent. dados2 | Clk | Saida Q | Saida Q- | Vdd | Vback | cir |
|------|-------------|-------------|-----|---------|----------|-----|-------|-----|
| x1 | 3 | 39 | 4 | 12 | 11 | 1 | 40 | |
| ffjk | | | | | | | | |

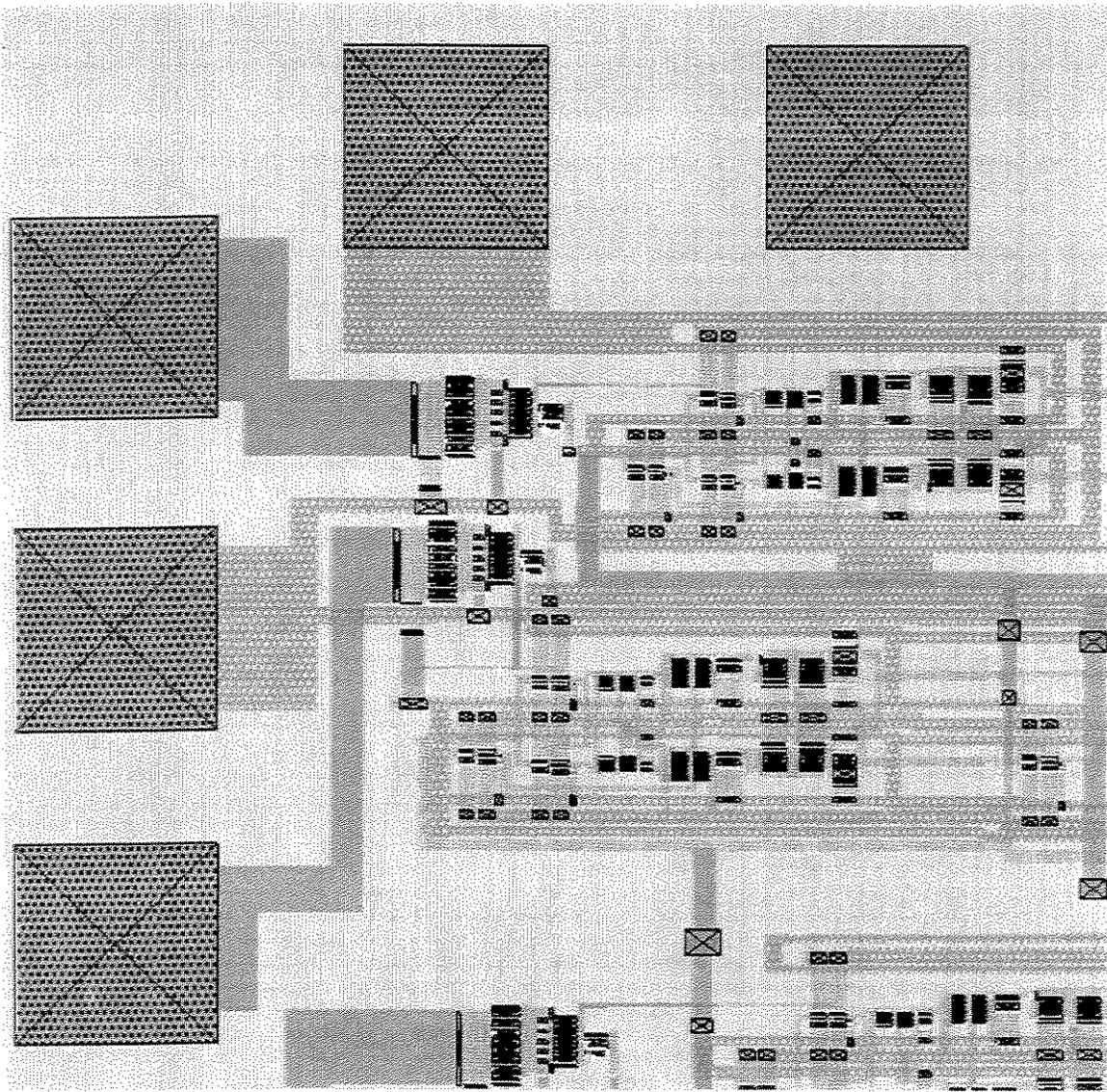
.end

UNICAMP
BIBLIOTECA CENTRAL
SEÇÃO CIRCULANTE

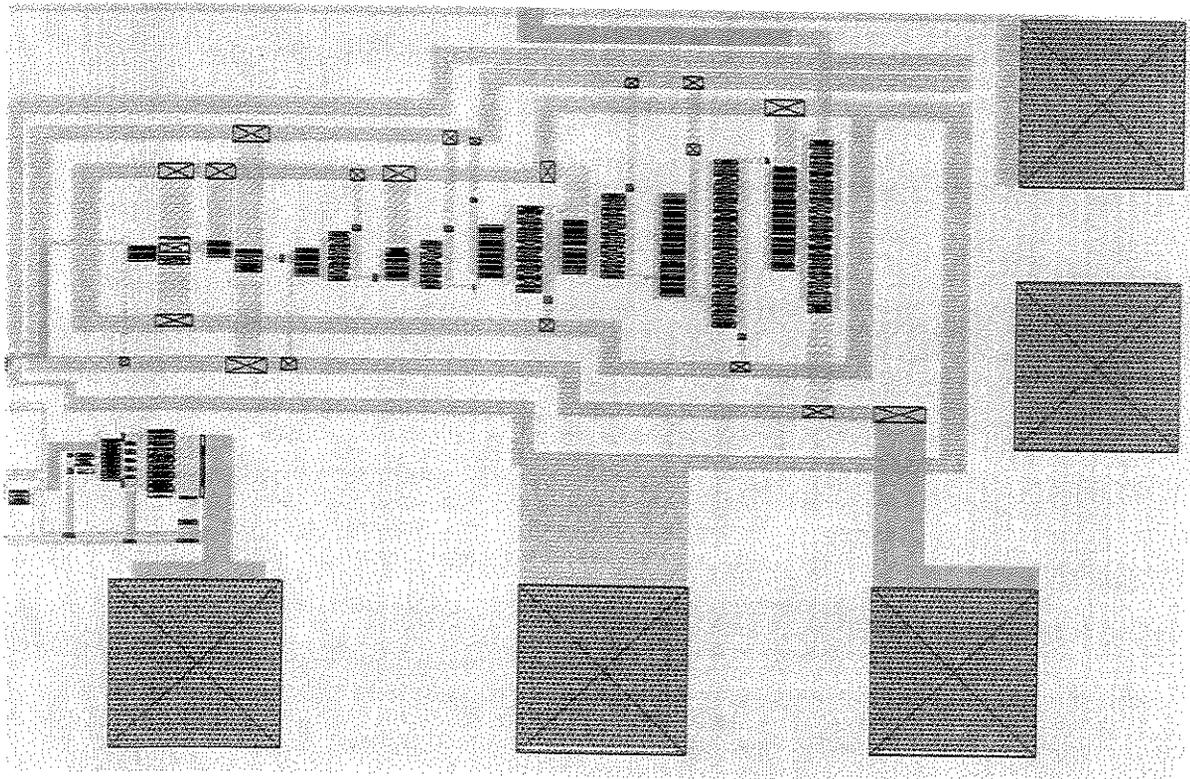
LAYOUT DO MUX4:1 SIMULADO EM HSPICE



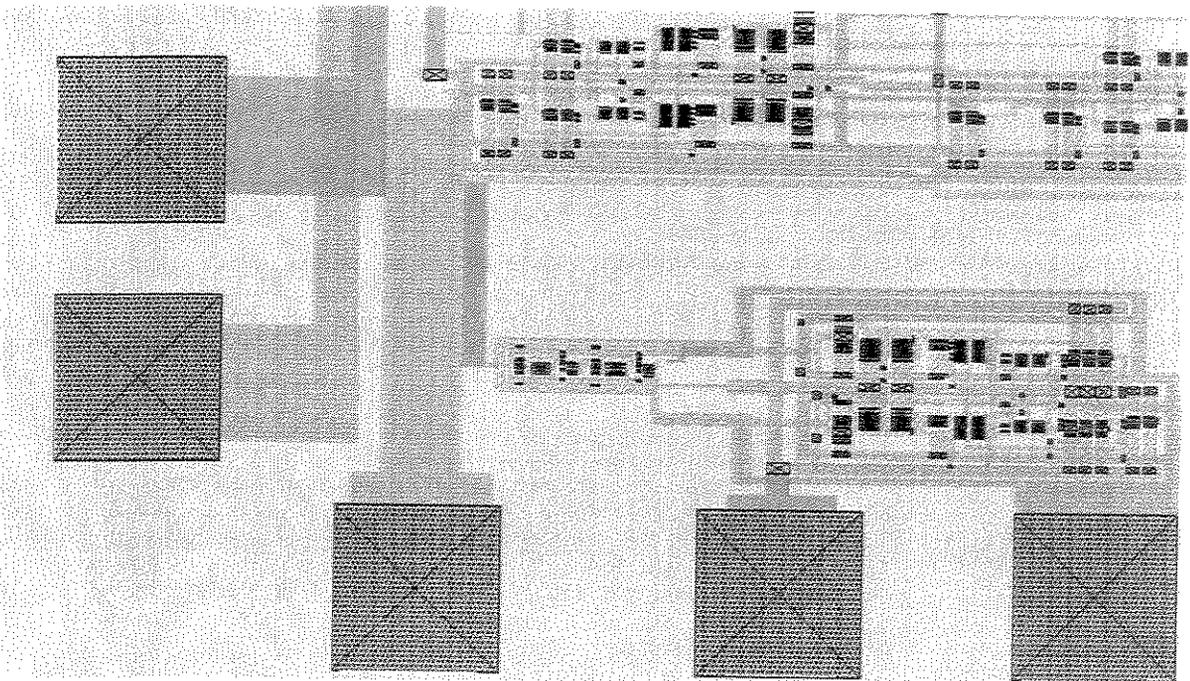
a) MUX4:1



b) Detalhes do MUX4:1

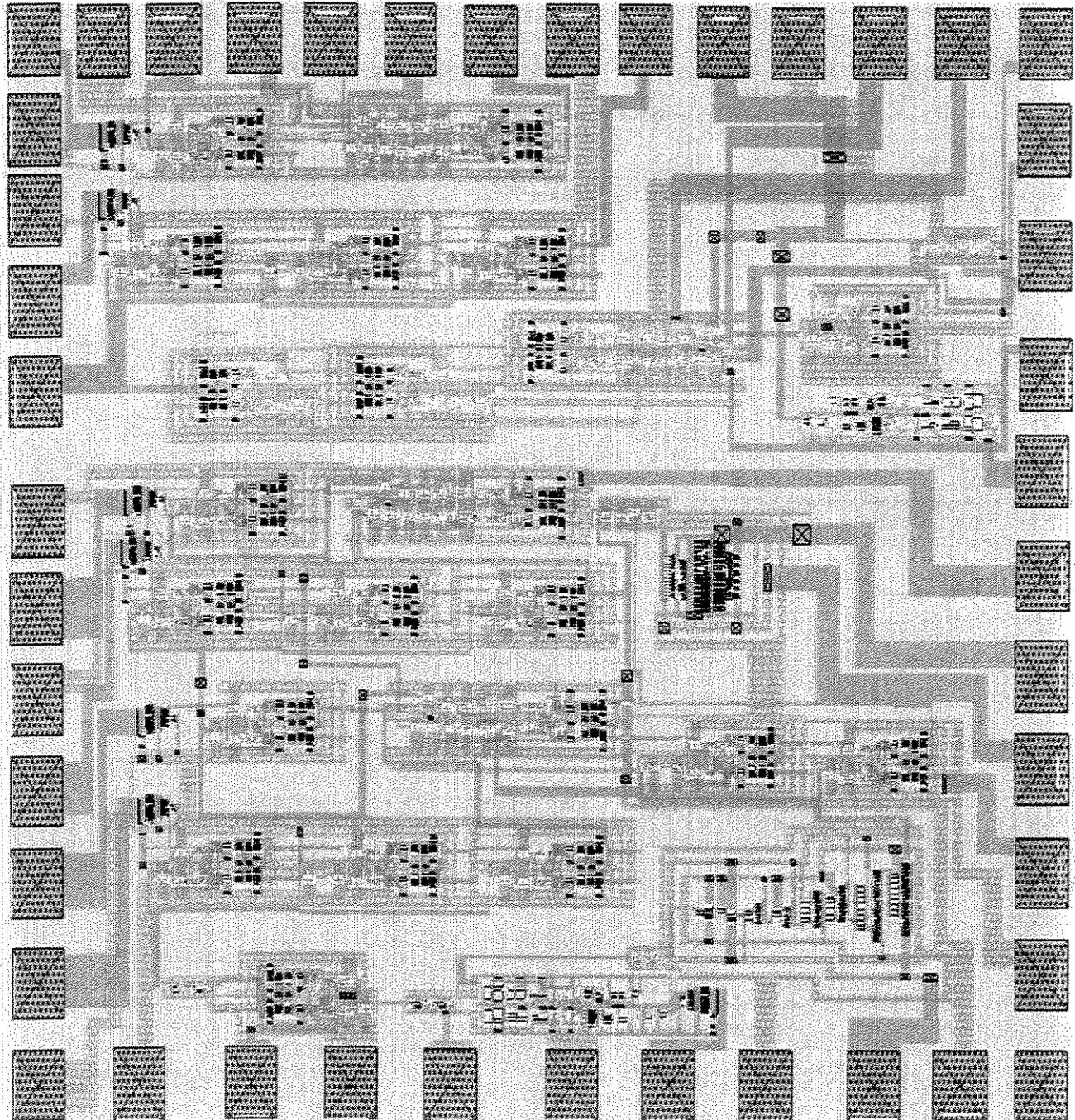


c) Detalhes do MUX4:1



d) Detalhes do MUX4:1

LAYOUT DO CIMUX4:1



REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Sexton and Reid, "Transmission Networking: SONET and the Synchronous Digital Hierarchy", Artech House.
- [2] Beninger, "Basic SONET", Telephony.
- [3] ANSI T1.105-199(Draft Nov 1990).
- [4] Peter S. Lassen, "Hight - Speed GaAs Digital Integrated Circuits for Optical Communication Systems", pp. 1 e 2 , Tese de Doutorado, Technical University of Dinmark, Maio 1993.
- [5] M. Ribeiro e O. Barradas, " Telecomunicações - Sistemas Analógico –Digitais ", pp. 920 a 928, Rio de Janeiro: Livros Técnicos e Científicos, EMBRATEL, 1980.
- [6] Peter S. Lassen, "Hight - Speed GaAs Digital Integrated Circuits for Optical Communication Systems", pp. 64 e 65, 69 a 72, Tese de Doutorado, Technical University of Dinmark, Maio 1993.
- [7] K. Ishida, H. Wakimoto, K. Yoshihara, M. Konno, S. Shimizu et al. "A 10 GHz 8-b Multiplexer/Demultiplexer Chip Set for the SONET STS-192 System", IEEE Journal os Solid-State Circuits, Vol. 26, No. 12 , December 1991.
- [8] K. Ishida, H. Wakimoto, K. Yoshihara, M. Konno, S. Shimizu et al." 12 Gbps GaAs Multiplexer/Demultiplexer Chip Set for the SONET STS-192 System", GaAs IC Symposium, pp.317 a 320, 1989.
- [9] P. A. H. Hart, "Device Down Scaling and Expected Circuit Performance", IEEE Transactions on Electron Devices, Vol. ED -26, No. 4, pp. 421 , Abril 1979.
- [10] T. Yamaguchi et al, "A New Submicrometre Channel/High-Speed MOS-LSI Technology", IEEE Journal os Solid-State Circuits, Vol. ED -26, No. 4, pp. 611 , Abril 1979.
- [11] Imed MOUSSA, "Applications des Circuits Numériques en Arseniure de Gallium dans les Systèmes à Haut de Communication et dans les Calculateurs Performants", Tese de Doutorado , Junho 1996.
- [12] Microeletronics Center, Middlesex University, "Critical Design Issues For GaAs VLSI circuits", A report for the partial fulfilment of PhD. Programme, Junho 1991.
- [13] W. J. Roesch "GaAs IC Reliability, The Next generation", GaAs IC Symposium, pp. 103 a 107, Novembro 1993.

- [14] K. P. Mac Williams and B. K. Jaousek “ Can GaAs IC Achive Si Reliability ? “, GaAs IC Symposium, pp. 149 a 152, Novembro 1992.
- [15] Shimano, S. Ichi Katsu, S. Nambu and G. Kano, “ A 4 GHz 25mW GaAs IC Using Source Coupled FET Logic, SCFL “ , Proceeding of the IEEE International Solid – State Circuits Conference, pp. 42 a 43, 1983.
- [16] Long, Stephen I. , Butner and Steven E., “Gallium Arsenide Digital Integrated Circuit Design, McGraw-Hill, 1990.
- [17] M. Shikata, K. Tanaka et al, “ A 20-Gb/s Flip-Flop Circuit Using Direct- Coupled FET Logic”, IEEE Journal of Solid-State Circuits, Vol. 28, No. 10, pp. 1046 a 1051 , Outubro 1993.
- [18] N. Higashisaka, M. Shimada et al, “GaAs DCFL 2.5 Gbps 16-bit Multiplexer/Demultiplexer LSI’s
- [19] K. Yamamoto, K. Maemura et al, “ A Single-Chip GaAs RF Transceiver for 1,9 GHz Digital Mobile Communication Systems”, IEEE Journal of Solid-State Circuits, Vol. 31, No. 12, pp. 1964 a 1973, Dezembro 1996.
- [20] H. Morkoc and P. M. Solomon “The HEMT : a superfast transistor “ , IEEE Spectrum on Solid-State , pp. 28, Fevereiro 1984.
- [21] M. Fukutad, “Recent Development of GaAs Devices in Japan”, Proceedings of the European GaAs and Related III-IV Compounds : Applications Symposium, pp.7 a 10, Abril 1994.
- [22] C. T. M. Chang and H. Yuan “GaAs HBT’s for High-Speed Digital Integrated Circuit Applications”, Proceedings The IEEE, Vol. 81, No. 12 , pp.1727 a 1743, Dezembro 1993.
- [23] P. M. Asbeck, F. M. Chang et al, “GaAs-Based Heterojunction Bipolar Transistors for High Performance Electronics Circuits”, Proceedings of The IEEE, Vol. 81, No. 12 pp.1709 a 1725, Dezembro 1993.
- [24] “Critical Design Issues for GaAs VLSI Circuits”, PhD degree, Microeletronics Centre, Middlesex University, Junho 1991.
- [25] Eden, R. C. et al , “Planar GaAs IC Technology: Applications for Digital LSI”, IEEE Journal of Solid-State Circuits, Vol. 31, SC-13, No. 4, pp. 419 a 425, Agosto 1978.
- [26] D. J. Alan, “High Speed Microprocessor Design With Gallium Arsenide Very Large Scale Integrated Circuits”, PhD Thesis, University of Michigan, Computer Science Departement , Junho 1980.

- [27] Harrold, S.J. ,” An Introduction to GaAs IC Design”, Prentice-Hall, 1993.
- [28] Hspice User’s Manual , Meta-Software, Inc. , 1995
- [29] Vitesse Foundry Design Manual V. 6.0, Vitesse Semiconductor Corp. , 1993.
- [30] Hodges, David ^a e Jackson, Horace G. , Analysis and Design of Digital Integrated Circuits, McGraw-Hill, 1983.
- [31] Mun, “ J. GaAs Integrated Circuits”, Cap.2 and 3, BSP Professional Books, 1988.
- [32] Rodrigo Milmar, Jacobus W. Swart, “ Análise e Projeto de Portas Lógicas em Tecnologia Mesfet de GaAs” , 30/04/ 1996.
- [33] Van Noije, Wilhemus A. M. , “Considerações e Técnicas de Projeto de Sistemas VLSI de Alta Velocidade”, Tese Livre Docência, POLI.-USP, Agosto 1994.
- [34] A . Peczalski, Michael S. Shur et al, “ Design Analysis of GaAs Direct Coupled Field Effect Transistor Logic” , IEEE Transactions On Computer-Aided Design, Vol. Cad-5, No. 2 , Abril 1986.
- [35] Cheryl L. Stout , Joey Doernberg, “ 10-Gb/s Silicon Bipolar 8:1 Multiplexer and 1:8 Demultiplexer”, IEEE Journal of Solid-State Circuits, Vol. 28, No. 3, pp. 339 a 343, Março 1993.
- [36] Masao Ida, Naoki Kato and T. Takada, “ A 4-Gbits/s GaAs 16:1 Multiplexer / 1:16 Demultiplexer LSI Chip “ , IEEE Journal of Solid-State Circuits, Vol. 24, No. 4, pp. 928 a 932, Agosto 1989.
- [37] H. Naito, M. Kawai, T. Ohtsuka, et al, “ 3-Gbit/s , 16-channel GaAs Multiplexer and Demultiplexer LSIs”, IEEE GaAs IC Symposium, pp. 321 a 324, 1989.
- [38] Marc Rocchi and Bertrand Gabillard, “ GaAs digital Dynamic IC’s for Applications up to 10 GHz “ , IEEE Journal of Solid-State Circuits, Vol. 31, SC-18, No. 3, pp. 369 a 376, Junho 1983.
- [39] K. Osafune and Kunuki Ohwada, “ Na ultra-High-Speed GaAs Prescaler Using a Dynamic Frequency Divider”, IEEE Transactions On Microwave theory and Techniques, Vol. MTT-35, No. 1 , Janeiro 1987.
- [40] K. Eshraghian, R. Sarmiento, et al, “ Speed-Area-Power Optimization for DCFL and SDCFL Class of Logic Using Ring Notation” , Microprocessing and Microprogramming, 32, pp. 75 a 82, North-Holland, 1991.
- [41] K. Eshraghian, R. Sarmiento, et al, “Gallium Arsenide Design Methodology & Performance Estimates for Very High Speed Circuits Using Normally-Off Clases Of Logic” , Microprocessing and Microprogramming, 32, pp. 227 a 232, North-Holland, 1991

- [42] J. N. Montiel, "En Síntese y Compilation de Células en Tecnologia GaAs", PhD Thesis, Universidade de Las Palmas de Gran Canaria, Julho 1994.
- [43] M. Muraguchi, and M. Aikawa, "Microawave Components For cellular Portable Radiotelephone", Solid-State Electronics Vol. 38, No. 9, pp. 1551 a 1557, 1985.
- [44] M. Shigaki, T. Saito et al, " High-Speed GaAs Dynamic Frequency Divider Using a Double-Loop Structure and Differential Amplifiers", IEEE Tranactions On Microwave theory and Techniques, Vol. 36, No. 4 , Abril 1988.
- [45] Werner Baumberg, "A Single – Chip Image Rejecting Receiver for the 2.44 GHz Band Using Commercial GaAs – MESFET – Technology", IEEE Journal of Solid-State Circuits, Vol. 29, No. 10, pp. 1244 a 1249, Outubro 1994.
- [46] Peter Weger, L. Treitinger et al, "A Si Bipolar 15GHz Static Frequency Divider and 100Gb/s Multiplexer", IEEE ISSCC 89, pp 222.
- [47] J. Choi, Bing J. Sheu and Oscar T. C. Chen, "A Monolithic GaAs Receiver for Optival Interconnect Systems", IEEE Journal of Solid-State Circuits, Vol. 29, No. 3, pp. 328 a 331, Março 1994.
- [48] A. E. Parker, D. J. Skellern et al, " Automatic Design of GaAs Digital Circuits and Devices-From Process and Material Parameters to Layout", GaAs IC Symposium, pp 285 a 288, 1989.
- [50] Y. Kuriyama, K. Kouhei et al , " 15 Gbps Mux/Demux Implemented with AlGaAs/GaAs HBTs", GaAs IC Symposium, pp 313 a 316, 1989.
- [51] Reinhard Reimann and Hans-Martin Rein, "A 4 : 1 Time-Division Multiplexer IC for Bit Rates up to 6 Gbit/s Based on a Standard Bipolar Technology", IEEE Journal of Solid-State Circuits, Vol. SC-21, No. 5, pp. 785 a 789, Outubro 1986.
- [52] Daniel Cardoso de Souza "PROJETO DE UM CIRCUITO INTEGRADO DIVISOR DE FREQUÊNCIAS/CONTADOR DE DÉCADA EM TECNOLOGIA GaAs – FAMÍLIA DCFL – PARA OPERAÇÃO COM CLOCK NA FAIXA DE 1 GHz", Tese de Mestrado , Julho 1998 , FEEC – UNICAMP.
- [53] C. Garnier , Curso de Projeto de CIs em GaAs, FEEC-Unicamp, 12/1994.
- [54] O. Wing, "Gallium Arsenide Digital Circuits", Kluwer Academic Publishers, 1990.
- [55] GigaBit Logic Inc., "1989 GaAs IC Databook and Designer's Guide" (disponível no CPqD da Telebrás).

- [56] K. Tanaka et al. (Oki Electric Ind. Co.), "8-Gb/s 8:1 Multiplexer and 1:8 Demultiplexer IC's Using GaAs DCFL Circuit", IEEE Journal of Solid-State Circuits, Vol. SC-27, n° 10, October 1992, pgs. 1359-1362.
- [57] T. Ichioka et al. "An Ultra-High Speed Dynamic Frequency Divider", IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, May 1989, pgs. 61-64.
- [58] -Andreas Thiede et al. " An 18-34GHz Dynamic Frequency Divider Based on 0,2µm ALGaAs/GaAs/AlGaAs Quantum-Well Transistors", IEEE Journal of Solid-State Circuits, Vol.28 n° 11, November 1993, pgs. 1167-1169.
- [59]-T. Abrão, "Circuitos Integrados Digitais de Alta Velocidade em GaAs: Demultiplexador de 16 Canais em 2,5 Gb/s", Dissertação de Mestrado Orientada por Fátima S. Correra, Escola Politécnica da USP, São Paulo, 1996.
- [60] – J. Novellino, "High-Speed Circuits Require Special Test Techniques", Electronic Design, July 24, 1995, pgs. 71-80.
- [61] – A. K. Stevens, "Introduction to Component Testing – Application Electronics", Addison-Wesley Publishing Co., 1986.
- [62] - National Semiconductor, "F100K ECL Logic Databook and Design Guide", 1990.
- [63] - W. R. Blood Jr. , "MECL System Design Handbook", Motorola Semiconductor Products Inc., 2nd Edition, 1972.
- [64]- P. Remy et al., "A GaAs Electrical Rule Checker", Proceedings of the X SBCCI (Brazilian Symposium on Integrated Circuit Design), Gramado (RS), August 25-27, 1997, pgs. 1-10.
- [65] - M. Shur, "GaAs Devices and Circuits", Plenum Press, New York and London, 1987.
- [66] – M. Muraguchi & M. Aikawa (NTT), "Microwave Components for Cellular Portable Radiotelephone", Solid-State Electronics, vol. 38, n° 9, 1995, pgs. 1551-1557.
- [67] – "Cutting the Cord", Compound Semiconductor, vol. 1, n° 2, September/October 1995, pgs. 33-40.