Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

Sistema integrado para caracterização automática de conversores analógico-digitais

Autor: José Erick de Souza Lima

Orientador: Prof. Dr. Carlos Alberto dos Reis Filho

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: **Eletrônica, Microeletrônica e Optoeletrônica**.

Banca Examinadora

Carlos Alberto dos Reis Filho, Dr. ..... DSIF/FEEC/UNICAMP

Ayres Mardem Almeida do Nascimento, Dr. ..... DET/FT/UFAM

Elnatan Chagas Ferreira, Dr..... DEMIC/FEEC/UNICAMP

Campinas, SP

2010

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

L628s

Lima, José Erick de Souza
Sistema integrado para caracterização automática de conversores analógico-digitais / José Erick de Souza Lima. --Campinas, SP: [s.n.], 2010.

Orientador: Carlos Alberto dos Reis Filho.
Dissertação de Mestrado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Conversores analógicos- digitais. 2. Caracterização. 3. Circuitos integrados digitais - Testes. I. Reis Filho, Carlos Alberto dos. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: Integrated system for automated characterization of analog-digital converters
Palavras-chave em Inglês: Analog-digital converters, Characterization, Digital integrated circuits - Testing
Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica
Titulação: Mestre em Engenharia Elétrica
Banca examinadora: Ayres Mardem Almeida do Nascimento, Elnatan Chagas Ferreira
Data da defesa: 31/05/2010
Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: José Erick de Souza Lima

Data da Defesa: 31 de maio de 2010

Título da Tese: "Sistema Integrado para Caracterização Automática de Conversores Analógico-Digitais"

Prof. Dr. Carlos Alberto dos Reis Filho (Presidente): _____

Prof. Dr. Ayres Mardem Almeida do Nascimento: _____

Prof. Dr. Elnatan Chagas Ferreira: _____

Resumo

Este trabalho descreve um sistema constituído de diversos instrumentos, que se encontram interligados e gerenciados por um aplicativo de software, implementando um ambiente compacto para a caracterização de conversores analógico-digitais, de acordo com os procedimentos descritos nas normas IEEE 1057-1994 e IEEE 1241-2000.

O sistema desenvolvido possui limitações quanto aos tipos de conversores analógico-digitais que podem ser testados, devidas às restrições impostas pelos equipamentos disponíveis neste momento. Sua estrutura, no entanto, foi concebida para permitir a expansão destes limites com a troca dos instrumentos limitantes à medida que estes forem adquiridos.

A avaliação da sua funcionalidade foi realizada testando dois conversores analógico-digitais que têm características distintas. Enquanto um dos dispositivos testados tem resolução nominal de 10 bits e taxa de conversão de 80 MSPS, o outro tem resolução de 8 bits e taxa de conversão nominal de 8kSPS.

A motivação para o desenvolvimento deste sistema está no projeto de conversores analógico-digitais integrados que se encontra em andamento no LPM-FEEC-Unicamp. A disponibilidade de um ambiente de teste com as propriedades do sistema desenvolvido é um requisito importante para o sucesso do projeto, pois viabiliza a verificação imediata dos circuitos construídos, reduzindo o tempo de convergência às metas do projeto.

Abstract

This paper describes a system composed of various instruments, which are interconnected and managed by a software application, implementing a compact environment for characterization of analog-digital converters, according to the procedures described in IEEE 1057-1994 and IEEE 1241 -2000.

The developed system has limitations on the kinds of analog-digital converters that can be tested due to restrictions imposed by the equipment available at the moment. Its structure, however, was designed to allow the expansion of these limits with the exchange of the limiting instruments as they are acquired.

The evaluation of its functionality was performed by testing two analog-digital converters that have distinct characteristics. While one of the tested devices has nominal resolution of 10 bits and conversion rate of 80 MSPS, the other has 8-bit resolution and conversion rate four orders of magnitude below.

The motivation for developing this system is the design of integrated analog-digital converters that is being carried on at the LPM-FEEC-Unicamp. The availability of a test environment with the properties of the developed system is an important requisite for the success of the project because it enables the immediate verification of the constructed circuits, thus reducing the convergence time to the project goals.

Agradecimentos

À UNICAMP,

Ao CT-PIM pelo apoio financeiro,

Ao meu orientador, Prof. Dr. Carlos Alberto dos Reis Filho, não só pela competência e parceria, mais por ser uma grande figura humana.

Aos amigos do laboratório: Roger, Marcel Veloso, Marcel Salvioni, Vilson, Carlos, Fernando, Felipe, André, Alexandre, Rogério, Everton e Ellis Sandra em especial, pois é minha irmãzinha querida.

À minha esposa, Lorena, que suportou e superou uma gravidez de risco e ainda me acalentou generosamente, com toda sua dedicação e amor.

À minha família: Amélia minha mãe e suas orações abençoadas, Carlos Edwin, Ana Beatriz, Ermelinda, Sá, Chico e Alice.

Ao meu pequeno filho Gabriel, que nasceu e lutou para viver, sua vitória e existência iluminaram minha vida.

À Deus acima de todas as coisas.

À minha família.

"Aquele que ama a correção ama a ciência,
mas o que detesta a reprimenda é um
insensato"

Provérbios 12:1

Sumário

CAPÍTULO 1 INTRODUÇÃO 1

1.1 CONCEITOS BÁSICOS 2
1.1.1 Conversor analógico-digital ideal 2
1.2 ESPECIFICAÇÕES ESTÁTICAS 3
1.2.1 INL "Integral non linearity" 5
1.2.2 DNL "Differential non linearity" 5
1.3 ESPECIFICAÇÕES DINÂMICAS 6
1.3.1 SNR "Signal to noise ratio" 6
1.3.2 THD "Total harmonic distortion" 8
1.3.3 SINAD "Signal to noise and distortion ratio" 8
1.3.4 SFDR "Spurious free dynamic range" 9
1.3.5 ENOB "Effective number of bits" 10
1.3.6 Sobre ruído total 10
1.4 ORGANIZAÇÃO DO TRABALHO 11

CAPÍTULO 2 TÉCNICAS PARA EXTRAÇÃO DE PARÂMETROS DE CONVERSORES ANALÓGICO-DIGITAIS 13

2.1 INTRODUÇÃO 13
2.2 TESTES EM CONVERSORES ANALÓGICO-DIGITAIS 14
2.2.1 Um breve histórico sobre os testes de conversores analógico-digitais 14
2.3 MÉTODOS DE CARACTERIZAÇÃO 15
2.3.1 Introdução 15
2.3.2 Configuração para ensaios dinâmicos utilizando forma de onda senoidal 16
2.3.3 Configuração de ensaios dinâmicos utilizando sinais arbitrários 16
2.3.4 Configuração de uma solução para ensaios dinâmicos 18
2.3.5 Configuração de ensaios estáticos utilizando sinais de entrada DC 18
2.3.6 Configuração de uma solução para o ensaio estático 20

CAPÍTULO 3 IMPLEMENTAÇÃO DO SISTEMA INTEGRADO PARA CARACTERIZAÇÃO DE CONVERSORES ANALÓGICO-DIGITAIS 23

3.1 INTRODUÇÃO 23
3.2 PLATAFORMA DE CARACTERIZAÇÃO FÍSICA PARA ENSAIOS DINÂMICOS 24
3.3 PLATAFORMA DE SOFTWARE 27
3.4 DESENVOLVIMENTO DA PROGRAMAÇÃO PARA ENSAIOS DINÂMICOS 27
3.5 ANÁLISE NO DOMÍNIO DO TEMPO 31
3.6 ANÁLISE DO SUB-VI DE "FITTING", (FIT-3P) 34
3.6.1 Sub-vi de número 1 35
3.6.1 Sub-vi de número 2 36
3.6.1 Sub-vi de número 3 36
3.6.1 Sub-vi de número 4 36
3.6.2 Sub-vi de número 4.1 37
3.6.3 Sub-vi de número 4.2 38
3.6.4 Sub-vi de número 4.3 38

3.6.5 Sub-vi de número 4.4 ..... *39*
3.6.6 Sub-vi de número 5 e de número 6 ..... *39*
3.6.7 Cálculo do ENOB e SINAD no domínio do tempo *39*
3.7 ANÁLISE NO DOMÍNIO DA FREQÜÊNCIA 40
3.8 ANÁLISE DOS SUB-VI DO DOMÍNIO DA FREQÜÊNCIA 42
3.8.1 Sub-vi de número 1 (Spectral) *42*
3.8.2 Sub-vi de número 2 (Freq A) *44*
3.8.3 Sub-vi de número 3 (SINAD to ENOB) *45*
3.8.4 Sub-vi de número 4 (Harm. Freq.) *46*
3.8.5 Sub-vi de número 5 (SFDR) *46*
3.8.6 Sub-vi de número 6 (SNR NOISE) *47*
3.9 DESENVOLVIMENTO DO SOFTWARE DE INTERFACE GRÁFICA PARA OS ENSAIOS DINÂMICOS 49
3.9.1 Telas de introdução dos parâmetros do teste *49*
3.9.2 Telas de visualização de resultados *50*
3.10 PLATAFORMA FÍSICA DE CARACTERIZAÇÃO PARA ENSAIOS ESTÁTICOS 52
3.11 DESENVOLVIMENTO DA PROGRAMAÇÃO PARA ENSAIOS ESTÁTICOS 54
3.11.1 Sub-vi de aproximação (50-50) *56*
3.12 DESENVOLVIMENTO DO SOFTWARE DE INTERFACE GRÁFICA PARA O ENSAIO ESTÁTICO 57
3.12.1 Telas de acompanhamento, resultados e controle do ensaio estático *57*

CAPÍTULO 4 RESULTADOS EXPERIMENTAIS 59

4.1 INTRODUÇÃO 59
4.1.1 ADC0804 (National Semiconductor) *61*
4.1.2 AD9215 (Analog Devices) *61*
4.2 ENSAIOS DE CARACTERIZAÇÃO 62
4.2.1 Tipos de Caracterização *62*
4.2.2 Comparação dos resultados *64*
4.2.3 Plataforma de referência *65*
4.2.4 Ensaios dinâmicos com o AD9215 ..... *67*
4.2.5 Resultados da comparação entre o software desenvolvido e o de referência e entre métodos de ensaios dinâmicos para o AD9215 ..... *67*
4.2.6 Ensaios dinâmicos com o ADC0804 ..... *71*
4.2.7 Resultados da comparação entre o software desenvolvido e o de referência e entre métodos de ensaios dinâmicos para o ADC0804 ..... *72*
4.2.8 Ensaios dinâmicos com varredura em freqüência para o ADC0804 ..... *74*
4.2.9 Ensaio estático com o ADC0804 ..... *80*
4.2.10 Resultados do ensaio estático para o ADC0408 ..... *80*

CAPÍTULO 5 CONCLUSÕES 85

REFERÊNCIA BIBLIOGRÁFICA 87

Lista de figuras

Figura 1 – Diagrama de blocos de um conversor analógico-digital ideal [1]..... 2
Figura 2 – Curva de transferência de um conversor analógico-digital de três bits 4
Figura 3 – Curva de transferência de um conversor analógico-digital de três bits. (a) erro de offset e (b) erro de ganho..... 4
Figura 4 – Curva de transferência de um conversor analógico-digital evidenciando os erros de linearidade INL e DNL..... 5
Figura 5 – Características de entrada/saída e o erro de quantização de um conversor analógico-digital..... 7
Figura 6 – Efeito da amplitude de quantização no domínio do tempo..... 7
Figura 7 – Diagrama de blocos para testes dinâmicos usando formas de onda senoidal 16
Figura 8 – Diagrama de blocos da configuração do teste para sinais arbitrários 17
Figura 9 – Diagrama de blocos da configuração de teste de sinal degrau..... 17
Figura 10 – Diagrama de blocos da configuração de teste escolhida..... 18
Figura 11 – Diagrama de blocos da configuração de ensaios estáticos, (método digital)..... 20
Figura 12 – Diagrama de blocos da configuração de ensaios estáticos, (método analógico) 20
Figura 13 – Diagrama de blocos da configuração de ensaios estáticos (DC)..... 21
Figura 14 – Esquema proposto para caracterização dinâmica..... 25
Figura 15 - Diagrama de fluxo do programa desenvolvido em *LabView* para o teste 28
Figura 16 – Programa desenvolvido em *LabView* para execução de ensaios dinâmicos..... 28
Figura 17 – Sub-vi que controla os instrumentos por meio de seus "*driver*s" 29
Figura 18 – "string" de saída do analisador lógico..... 30
Figura 19 – Matriz de saída da sub-vi de decodificação 30
Figura 20 – Sub-vi que realiza a conversão digital-analógica numérica ideal 30
Figura 21 – Diagrama de fluxo do programa para análises no domínio do tempo..... 31
Figura 22 – Diagrama hierárquico do vi de "*fitting*"..... 33
Figura 23 – Diagrama de blocos do vi (FIT-3P) de "*fittin*g" 33
Figura 24 – Matrizes D_0, *y e* X_0 [3] 34
Figura 25 – Diagrama de blocos do vi de número 4 (Extract) 35
Figura 26 – Diagrama de blocos do vi de número 1 (D_0^T) 36
Figura 27 – Diagrama de blocos do vi de número 3 (Xo) 36
Figura 28 – Diagrama de blocos do vi de número 4 (MATRIX) 37
Figura 29 – Diagrama de blocos do vi de número 4.1 (coefic) 37
Figura 30 – Diagrama de blocos do vi de número 4.2 (Best Fit) 38
Figura 31 – Diagrama de blocos do vi de número 4.3 (sum of squared diff)..... 38
Figura 32 – Diagrama de blocos do vi de número 4.4 (resíduos)..... 39
Figura 33 – Diagrama de blocos do vi de cálculo do ENOB e SINAD 40
Figura 34 – Diagrama do fluxo do programa para análises no domínio da freqüência..... 41
Figura 35 – Diagrama blocos do programa para análises no domínio da freqüência..... 41
Figura 36 – Diagrama blocos do sub-vi de número 1 (Spectral)..... 43
Figura 37 – Tela de configuração do vi "*Spectral Measurements*"..... 44
Figura 38 – Diagrama blocos do sub-vi de número 2 (freq A)..... 44
Figura 39 – Diagrama blocos do sub-vi de número 3 (SINAD to ENOB)..... 45

Figura 40 – Diagrama blocos do sub-vi de número 4 (Harm. Freq.) 46
Figura 41 – Solução gráfica para o valor do SFDR..... 47
Figura 42 – Diagrama blocos do sub-vi de número 5 (SFDR)..... 47
Figura 43 – Diagrama blocos do sub-vi de número 6 (SNR NOISE) 48
Figura 44 – Abas para controle dos instrumentos e entrada de parâmetros para o ensaio de caracterização dinâmica..... 49
Figura 45 – Tela de visualização dos bits com formas de ondas digitais..... 51
Figura 46 – Tela de visualização os resultados no domínio do tempo..... 51
Figura 47 - Tela de visualização dos resultados no domínio da freqüência..... 52
Figura 48 – Esquema de ligações do sistema de caracterização estática..... 53
Figura 49 - Diagrama de fluxo do programa desenvolvido para o ensaio estático 54
Figura 50 – Visão geral do código do programa para o ensaio estático..... 55
Figura 51 – Código em diagrama de blocos da sub-rotina de aproximação 50-50 56
Figura 52 – Tela principal de acompanhamento para o ensaio estático 57
Figura 53 – Tela de controle e leitura do multímetro para o ensaio estático..... 58
Figura 54 – Tela de visualização x-y para o ensaio estático 58
Figura 55 – Foto da bancada de caracterização com a disposição de todos os instrumentos utilizados..... 60
Figura 56 – AD9215 em sua placa de avaliação 63
Figura 57 – ADC0804 em sua placa de avaliação montada..... 64
Figura 58 – Web site que disponibiliza informações e software para testes em conversores analógico digitais..... 65
Figura 59 – Tela de configuração, entrada dos dados para os cálculos..... 66
Figura 60 – Tela de exibição dos resultados dos cálculos..... 66
Figura 61 – Tela de resultados no domínio do tempo e os resultados numéricos da caracterização 69
Figura 62 – Tela de resultados do processamento utilizando software de referência do AD9215 69
Figura 63 – Tela com os resultados gráficos (diagrama espectral) e os parâmetros da caracterização no domínio da freqüência do AD9215..... 70
Figura 64 – Tela com os resultados gráficos (domínio do tempo) e os parâmetros da caracterização 72
Figura 65 – Tela de resultados do software de referência do ADC0804..... 73
Figura 66 – Tela com os resultados gráficos (diagrama espectral) e os parâmetros da caracterização no domínio da freqüência do ADC0804..... 73
Figura 67 – Programa para gerar os dados do gráfico de varredura..... 76
Figura 68 – Gráfico de ENOB com variação da freqüência do ADC0804 78
Figura 69 – Gráfico de SINAD com variação da freqüência do ADC0804..... 78
Figura 70 – Gráfico de ENOB com variação da freqüência do ADC0804 79
Figura 71 – Gráfico de SINAD com variação da freqüência do ADC0804..... 80
Figura 72 – Curva característica do ADC0804, captura de tela do "*LabView"*..... 81
Figura 73 – Gráfico do INL versus número de transições do ADC0804 83
Figura 74 – Gráfico do DNL versus número de transições do ADC0804..... 83

Lista de tabelas

Tabela 1 – Parâmetros de conversores analógico-digitais medidos pelo sistema 24
Tabela 2 – Lista dos equipamentos e seus respectivos modelos 25
Tabela 3 – Lista dos equipamentos e seus respectivos modelos para ensaio estático. 53
Tabela 4 – Lista dos ensaios mais pertinentes para cada amostra 63
Tabela 5 – Dados da comparação do sistema com referência para o AD9215 70
Tabela 6 – Comparação das medidas com as referencias 71
Tabela 7 – Dados da comparação do sistema com referência para o ADC 0804 74
Tabela 8 – Comparação entre métodos de tempo e freqüência para o ADC0804 77
Tabela 9 – Valores máximos de INL e DNL 82

Capítulo 1

Introdução

Os conversores analógico-digitais realizam a ligação entre o mundo físico, com os fenômenos contínuos no tempo e o mundo dos circuitos digitais, amostrados no tempo.

Sabendo que os circuitos conversores estão presentes em muitos produtos eletro-eletrônicos, entender as características pertinentes aos conversores é importante. Este trabalho pode servir como uma opção de referência, pois mostra as características mais importantes para um conversor analógico-digital e as principais técnicas para obtenção das mesmas por meio de um sistema de caracterização.

No mercado, existem equipamentos de testes automáticos (ATE) com suas placas e softwares específicos [20]. Porém, além do custo elevado que envolve a compra de hardwares específicos dedicados, outro problema é o fato dos programas que controlam estas estruturas são proprietários, onde não é possível a manipulação de suas rotinas padronizadas.

Com um custo reduzido e utilizando os instrumentos disponíveis no laboratório LPM-FEEC-Unicamp, foi montado um sistema integrado de medidas, reunindo estes instrumentos, interligados por um barramento GPIB que os conecta a um computador, onde um programa desenvolvido em "*LabView*" realiza o controle.

A seguir são apresentados os conceitos básicos, contendo as principais características pertinentes aos conversores analógico-digitais.

1.1 Conceitos básicos

Neste capítulo, conceitos e definições sobre as especificações dos conversores analógico-digitais são apresentadas.

1.1.1 Conversor analógico-digital ideal

Um diagrama de blocos de um conversor analógico-digital é mostrado na Figura 1. Um amplificador "*sample-and-hold*" é adicionado para amostrar o sinal de entrada analógico e manter a informação do valor deste sinal amostrado durante o tempo em que acontece a conversão para um número digital [1].

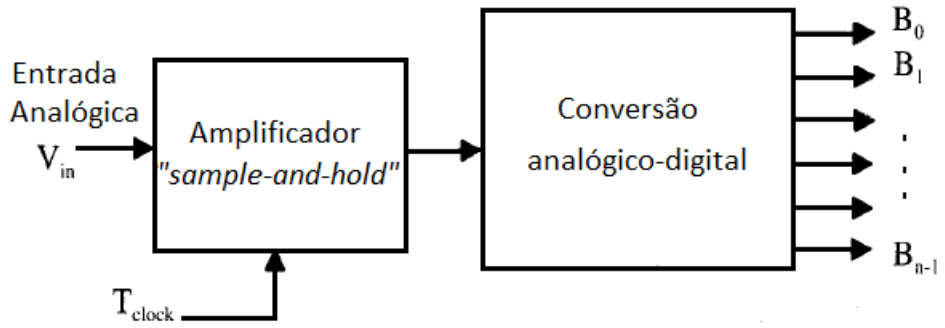

Figura 1 – Diagrama de blocos de um conversor analógico-digital ideal [1]

O valor V_{in} da entrada analógica é convertido em um valor de N bits digitais como indicado na Equação 1. O fator 2^m indica a ponderação dos valores dos bits binários em função da variável m. O valor de B_m é igual a 1(um) no caso em que o valor do bit m é adicionado, no caso contrário o valor de B_m é igual a 0 (zero)[1]:

$$\frac{V_{in}}{R_{ref}} = D_{out} + e_q = \sum_{m=0}^{N-1} B_m \, 2^m + e_q \qquad (1)$$

O sinal digital, D_{out} quantizado com um número finito de níveis de quantização N, é indicado na Equação 2.

$$D_{out} = \sum_{m=0}^{N-1} B_m \ 2^m \tag{2}$$

Na equação, V_{ref} representa um valor de referência, que pode ser uma referência de tensão, corrente ou carga. $B_{(N-1)}$ é o bit mais significativo (MSB) e B_0 é o bit menos significativo (LSB) do conversor. O erro de quantização e_q representa a diferença entre o sinal analógico de entrada V_{in} dividido pelo R_{ref} e o sinal digital, D_{out} quantizado quando um número finito de níveis de quantização N é usado [1].

A operação de amostragem de sinais analógicos, limitado a uma faixa, introduz uma repetição do espectro do sinal de entrada nos múltiplos da freqüência de amostragem. Para evitar "*aliasing*" do espectro, a largura de banda de entrada deve ser no máximo, a metade da freqüência de amostragem (critério de Nyquist) [2].

1.2 Especificações Estáticas

As medidas estáticas, ou linearidade DC, mais importantes para os conversores analógico-digitais são a não-linearidade integral (INL) e a não-linearidade diferencial (DNL). Essas propriedades indicam de fato a precisão de um conversor e nelas se incluem os erros de quantização, não-linearidades, ganho e offset.

Um exemplo de uma curva de transferência de um conversor analógico-digital de três bits pode ser visto na Figura 2. Um conversor analógico-digital de N bits ideal converte um sinal de entrada analógica contínuo em valores em um tempo discreto, (palavra digital quantizada).

O valor do passo ideal da conversão correspondente ao bit menos significativo de um conversor é V_{LSB}, que pode ser obtido conforme indicado na Equação 3.

$$V_{LSB} = \frac{V\ de\ fundo\ de\ escala}{2^N} \tag{3}$$

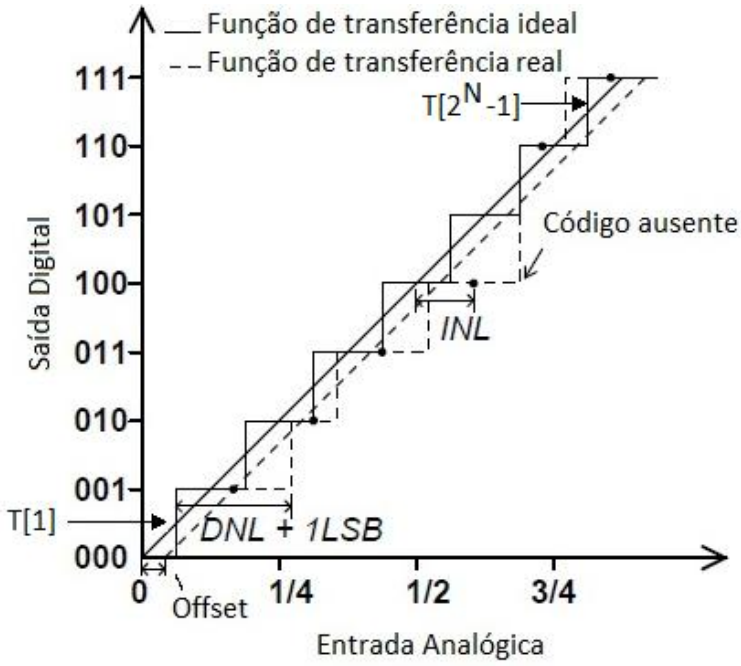

Figura 2 – Curva de transferência de um conversor analógico-digital de três bits

A Figura 3 ilustra com maior clareza, na letra (a) o erro de offset e na letra (b) o erro de ganho. O erro de offset é a diferença entre os valores ideal e real na interceptação da reta através dos pontos de extremidade. Enquanto que erro de ganho é o desvio da inclinação da linha do seu valor ideal (geralmente uma unidade).

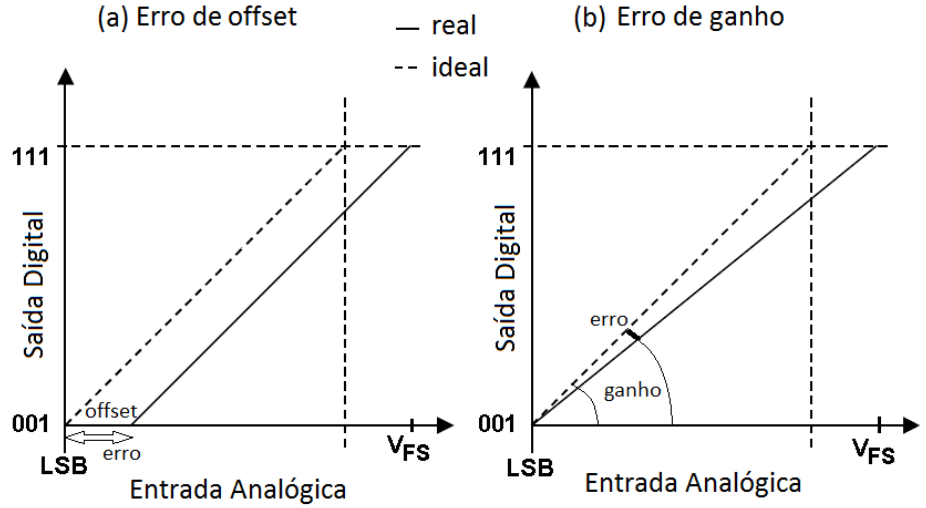

Figura 3 – Curva de transferência de um conversor analógico-digital de três bits. (a) erro de offset e (b) erro de ganho

1.2.1 INL “Integral non linearity”

A não-linearidade integral (INL), às vezes chamado de precisão relativa, é definida como o desvio do código de saída de um conversor a partir da linha ideal, conforme indicado na Figura 4 [3]. O INL pode ser obtido por meio da Equação 4.

$$\mathrm{INL[k]} = 100 \times \frac{\mathrm{T[k]medido} - \mathrm{T[k]ideal}}{\mathrm{V\ de\ fundo\ de\ escala}} \tag{4}$$

Onde, T[k] é o valor em volts em que acontece a transição e k é um índice.

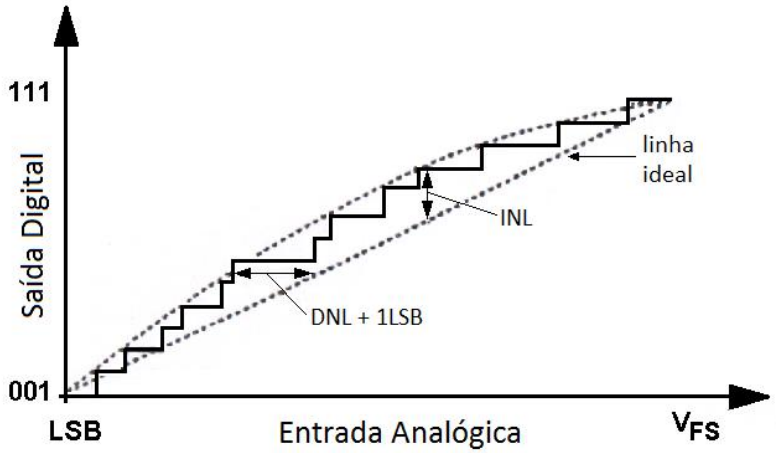

Figura 4 – Curva de transferência de um conversor analógico-digital evidenciando os erros de linearidade INL e DNL

1.2.2 DNL “Differential non linearity”

A não linearidade diferencial (DNL) é o erro causado pela diferença entre dois sinais analógicos adjacentes, valores em relação ao tamanho do passo gerado por um conversor, pela transição entre pares adjacentes dos números do código digital em toda a varredura do conversor, como pode ser visto na Figura 4. A Equação 5 indica o cálculo de DNL.

$$\mathrm{DNL[k]} = \frac{\mathrm{W[k]} - \mathrm{V_{LSB}}}{\mathrm{V_{LSB}}} \tag{5}$$

Onde, W[k] é o valor da diferença entre códigos adjacentes, T[k+1] – T[k] e V_{LSB} é o valor ideal desta diferença.

A não-linearidade, não deve ser maior que ± 1/2 LSB da linha reta ideal traçada, conforme mostra a Figura 2. Esta fronteira implica em um comportamento monotônico do conversor. Monotonicidade de um conversor analógico-digital significa que nenhum código pode estar ausente [3].

1.3 Especificações dinâmicas

1.3.1 SNR "Signal to noise ratio"

Uma das especificações dinâmicas mais importantes para os conversores é a relação sinal-ruído (SNR). Esta relação depende da resolução do conversor e inclui automaticamente especificações de linearidade, distorção, ruído entre outras [1].

O processo de quantização introduz um erro irreversível, que define a resolução de um conversor analógico-digital. Na Figura 5, pode ser visto a relação entrada/saída de um conversor analógico-digital de três bits de resolução e o gráfico que exibe o erro de quantização, com a entrada analógica expressa em função do valor da tensão do bit menos significativo. A Figura 6 ilustra uma forma de onda no domínio do tempo possuindo erros de quantização positivos e negativos. Assumindo que o erro de quantização tem distribuição uniforme entre $-V_{LSB}/2$ e $+V_{LSB}/2$, a energia do erro de quantização pode ser expressa como a média quadrada de e_q [1][4]:

$$\overline{e_q^2} = \frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{+\frac{V_{LSB}}{2}} e_q^2 \, de_q \tag{6}$$

Onde V_{LSB} é o passo de quantização e e_q é o erro de quantização. Resolvendo a integral, o erro de quantização pode ser expresso como tensão de erro de quantização e_q^2. O valor *rms* da tensão do erro de quantização pode ser representado por [4]:

$$e_{qrms}^2 = \frac{V_{LSB}^2}{12} \quad (7)$$

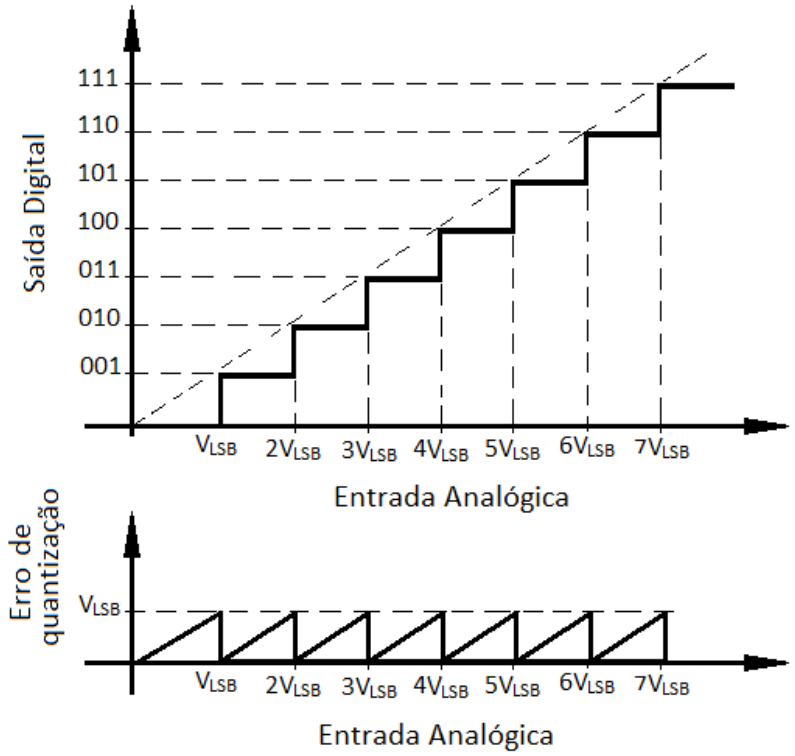

Figura 5 – Características de entrada/saída e o erro de quantização de um conversor analógico-digital

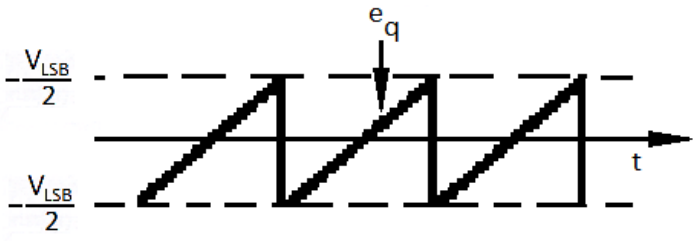

Figura 6 – Efeito da amplitude de quantização no domínio do tempo

Supondo que a entrada analógica possua uma forma de onda senoidal com sua amplitude de pico a pico, A_{pp}, igual a $2^N.V_{LSB}$, onde N é o número de bits do conversor. O valor *rms* do sinal seno com amplitude A_{pp} pode ser calculado como:

$$A_{rms} = \frac{2^N V_{LSB}}{2\sqrt{2}} \quad (8)$$

A relação Sinal-Ruído (SNR) para um sinal senoidal pode ser calculada através da divisão da Equação 8 pela raiz quadrada da Equação 7, resultando em:

$$SNR = 2^N \sqrt{\frac{3}{2}} \tag{9}$$

Na qual, quando expressa em decibéis, torna-se:

$$SNR_{dB} = (6.02 \,.\, N + 1.76)\, dB \tag{10}$$

A SNR é calculada para uma forma de onda senoidal de entrada com amplitude máxima. A relação entre a freqüência da forma de onda senoidal e a freqüência de amostragem deve ser um número irracional. No caso da aplicação de sinais de baixa amplitude, a SNR diminui de acordo com a diminuição da amplitude do sinal de entrada [1].

1.3.2 THD "Total harmonic distortion"

Qualquer não-linearidade de um conversor analógico-digital cria uma distorção harmônica. A distorção harmônica total (THD) descreve a degradação da relação sinal-distorção causada pela distorção harmônica. Por definição, pode ser expressa como um valor absoluto da seguinte forma [1]:

$$THD = \frac{\sqrt{\sum_{j=2}^{N_H+1} V^2(j.f_{sig})}}{V\,(f_{sig})} \tag{11}$$

Onde N_H é o número de harmônicos a ser considerado, V (f_{sig}) é a amplitude da fundamental e V (j.f_{sig}) é a j-ésima harmônica.

1.3.3 SINAD "Signal to noise and distortion ratio"

Uma métrica ainda mais rigorosa do desempenho dinâmico dos conversores analógico-digitais é obtida, se a distorção harmônica total (THD) do conversor é somada ao erro de quantização. Esta é definida como a relação entre a energia total e a energia do sinal

de erro, incluindo todos os espúrios e harmônicas. Esta relação entre a amplitude do sinal e as amplitudes conjuntas de ruído e distorção, é conhecida como (SNDR) "*Signal to noise plus distortion ratio*" ou (SINAD) "*Signal to Noise and distortion ratio*",

Mesmo no caso de considerar a adição do THD no erro, a relação sinal-ruído máxima de um conversor de alto desempenho deve ser próximo do valor obtido através da Equação 10.

A relação sinal-ruído pode ser obtida a partir do SINAD subtraindo-se a distorção harmônica total do mesmo. Isso é interessante, pois existem dificuldades em medir a SNR diretamente, excluindo as distorções harmônicas.

$$SNR_{real} = (SINAD - THD)\ dB \tag{12}$$

1.3.4 SFDR "Spurious free dynamic range"

Em aplicações de telecomunicações, altas taxas de conversão são freqüentemente utilizadas, fazendo com que a pureza espectral do conversor analógico digital seja importante. Para estas situações, a métrica mais adequada é a relação entre a potência da componente do sinal e a maior componente espúria dentro de uma faixa determinada de freqüência, chamada "*Spurious free dynamic range*" (SFDR). Expresso como:

$$SFDR\ (dB) = 10.\log\left(\frac{V^2(f_{sig})}{V^2(f_{spur})}\right) \tag{13}$$

Onde V (f_{sig}) é o valor eficaz da fundamental e V (f_{spur}) o valor eficaz de maior espúrio. Normalmente, o fator limitante do SFDR em conversores analógico-digitais é a distorção harmônica. Na maioria das situações, o SFDR deve ser maior do que a relação sinal-ruído do conversor [4].

1.3.5 ENOB "Effective number of bits"

Geralmente para os conversores analógico-digitais, a largura de banda analógica máxima é igual à metade da largura de banda de amostragem, de acordo com o Teorema de Nyquist.

Para obter um método de comparação entre conversores, o número efetivo de bits (ENOB) é medido em condições de Nyquist. A faixa dinâmica de um conversor medido inclui erros de quantização, erros de "*jitter"* no "*cloc*k", erros de distorção e ruído do circuito. O ENOB é definido como [1]:

$$ENOB = \frac{SINAD_{medido} - 1.76dB}{6.02dB} \tag{14}$$

Usando esta definição é muito fácil comparar conversores analógico-digitais com o mesmo número de bits. Porém, diferentes projetos de conversores resultam em desempenhos diferentes.

1.3.6 Sobre ruído total

Ruído é um termo ambíguo. O termo ruído deve ser acompanhado de uma qualificação, por exemplo, ruído aleatório, ruído de quantização, "*Noise floor*" (ruído de fundo). Na norma [3], o termo ruído sem estas qualificações é assumido como uma referencia de ruído total.

Ruído total é algum desvio entre o sinal de saída (convertido da unidade de entrada) e o sinal de entrada exceto por desvios causados pela resposta do sistema linear invariante no tempo (deslocamento de fase e ganho), ou deslocamento de nível DC. Um exemplo importante de desvios aqui definidos é a inclusão de ruído devido ao erro de quantização, distorção harmônica e os espúrios.

1.4 Organização do trabalho

No capítulo 2 é desenvolvida uma visão geral a respeito da caracterização dos conversores analógico-digitais, começando com um breve histórico, uma descrição das principais técnicas de caracterização dos conversores analógico-digitais, normas e diagramas de blocos das soluções para a construção do sistema integrado de caracterização automático e para o teste estático. No capítulo 3 é feita a descrição das etapas de desenvolvimento de um sistema automático de caracterização para conversores analógico-digitais, iniciando com a descrição das plataformas físicas, depois mostrando o desenvolvimento do software e das interfaces gráficas.

O capítulo 4 descreve a forma e os critérios de avaliação e os resultados experimentais obtidos para medir o desempenho do sistema de caracterização montado. Finalmente, no capítulo 5, apresentam-se as conclusões sobre este trabalho.

Capítulo 2

Técnicas para extração de parâmetros de conversores analógico-digitais

2.1 Introdução

Neste capítulo, é apresentado um breve histórico sobre testes de caracterização de conversores analógico-digitais, ressaltando os fundamentos em que se baseiam e as normas que regem os processos de obtenção dos dados. As técnicas foram divididas em três grupos da seguinte forma:

- Ensaios dinâmicos baseados em aproximação por mínimos quadrados (domínio do tempo).
- Ensaios dinâmicos baseados em obtenção da FFT (domínio da freqüência).
- Ensaios estáticos baseados em estatística para obtenção das medidas estáticas (DC).

Outro ponto de fundamental importância é o conjunto de normas para a padronização da nomenclatura, das grandezas físicas pertinentes, dos parâmetros de desempenho e das técnicas de extração de parâmetros. As duas normas que foram utilizadas

durante a construção do sistema de caracterização automática para conversores analógico-digitais foram as seguintes:

- IEEE *"Standard* 1057-1994, *Standard for Digitizing Waveform Recorders"*.[6]
- IEEE *"Draft Standard* 1241-2000, IEEE *Standard for Terminology and Test Methods for Analog-to-Digital Converters"*.[3]

2.2 Testes em conversores analógico-digitais

2.2.1 Um breve histórico sobre os testes de conversores analógico-digitais

A primeira proposta comercial de conversores de dados de alto desempenho foi disponibilizada em meados dos anos 50, com o DATRAC, conversor a tubo de vácuo em 1954, com 11bits de resolução e 50 kSPS "*Samples per second*" de velocidade, projetado por Bernard M. Gordon da Epsco. Gordon foi o pioneiro na definição de desempenho para conversores de dados, especialmente quando relacionado a aplicações de precisão [10][11].

O interesse por conversores analógico-digitais e conversores digital-analógicos cresceu rapidamente nos anos 60, juntamente com os conversores de dados de estado sólido, bem como os computadores "*mainframe"* tornaram-se disponíveis. As motivações ou forças que movem este processo inicial de análise de dados e instrumentação foram as utilizações em PCM e aplicações de radar.

Em meados da década de 70, com o advento dos mini-computadores, os fabricantes de conversores analógico-digitais puderam realizar de forma prática os testes no domínio da freqüência utilizando a transformada rápida de Fourier (*FFT), "Fast Fourier Transform"*. O padrão de barramento IEEE-488, inicialmente HP-IB, tornou-se uma maneira conveniente de transferir dados de um "*buffer"* de memória contendo as amostras do conversor analógico-digital para o computador e então realizar seu posterior processamento. Ainda na década de 70, o uso dos conversores em novas aplicações, como por exemplo, o vídeo digital [12] fez com que a realização de testes específicos para os conversores se transformasse em uma exigência.

A década de 80 assistiu um crescimento generalizado da utilização de testes em regime de corrente alternada em conversores analógico-digitais [13]. Os fabricantes começaram a padronizar as especificações de corrente alternada, como SNR, SINAD, ENOB e THD. Estes então se tornaram partes integrantes de todas as folhas técnicas de dados dos conversores analógico-digitais fabricados. Estas especificações foram vitais para aplicações emergentes, na época, em comunicações.

Na década de 1990, os testes no domínio da freqüência para conversores analógico-digitais e digital-analógicos foram incluídos em normas, os softwares que processam FFT tornaram-se comuns.

Alguns dos trabalhos pioneiros sobre as especificações de testes na década de 80 foram realizados por comissões da IEEE envolvidas na preparação de normas para conversores utilizados em aplicações envolvendo vídeos digitais [11] e gravadores de formas de onda [12].

A norma IEEE Standard1057 de 1994 inclui as terminologias e métodos de ensaio de propósito geral para conversores analógico-digitais [6]. Além da evolução dos testes em corrente alternada, testes utilizando histograma para medidas de desempenho estático de DNL e INL, foram desenvolvidos [13].

Embora ainda existam algumas contradições em alguns pontos, na indústria, a maioria dos fabricantes de conversores analógico-digitais adotou basicamente o mesmo conjunto de especificações e terminologias.

2.3 Métodos de caracterização

2.3.1 Introdução

Existem algumas configurações de testes de caracterização que podem ser utilizadas de acordo com a disponibilidade de equipamentos, softwares e natureza da aplicação do conversor. Os testes podem utilizar formas de onda senoidal, ondas arbitrárias ou pulsos como entrada no conversor a ser caracterizado.

A seguir uma descrição geral sobre as principais configurações de teste utilizadas para a extração dos parâmetros de caracterização dos conversores analógico-digitais.

2.3.2 Configuração para ensaios dinâmicos utilizando forma de onda senoidal

A utilização de forma da onda senoidal é comum na caracterização de conversores analógico-digitais. De acordo com a Figura 7, o gerador da forma de onda senoidal fornece o sinal de teste enquanto que um gerador de pulso fornece o sinal de "*clock*" para o conversor a ser caracterizado. Pode-se também utilizar mais de uma fonte de forma de onda senoidal para caracterizar conversores que possuam mais de um canal de entrada.

Sintetizadores de freqüência podem ser usados para gerar o sinal de teste e os sinais de "*clock*". Um sinal de sincronismo é utilizado para manter uma relação de fase precisa entre o sinal de entrada senoidal e o sinal de "*clock*". Este sincronismo de fase é essencial para a caracterização e subseqüente processamento digital. [3].

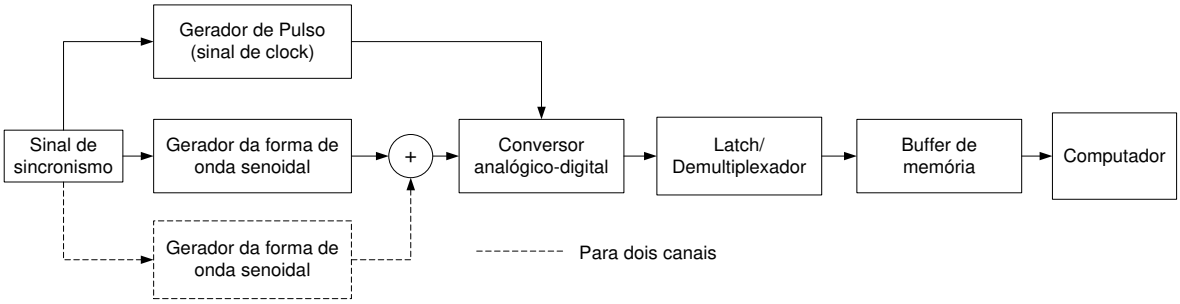

Figura 7 – Diagrama de blocos para testes dinâmicos usando formas de onda senoidal

2.3.3 Configuração de ensaios dinâmicos utilizando sinais arbitrários

A configuração para o teste de forma de onda arbitrária, Figura 8, é chamada desta forma por utilizar sinais arbitrários, tais como rampas, "*chirps*" e degraus "*steps*" como entrada no conversor analógico-digital para extração de parâmetros. Nesta configuração, o sinal de teste é gerado digitalmente.

Cuidados devem ser tomados na escolha de desempenho do conversor digital-analógico, bem como a utilização de filtros para garantir a pureza do sinal de teste.

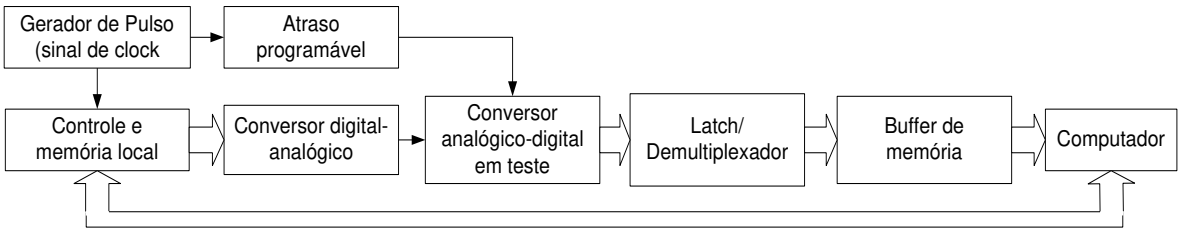

Figura 8 – Diagrama de blocos da configuração do teste para sinais arbitrários

Na Figura 9, tem-se o esquema para ensaios utilizando sinais degrau como entrada, estes sinais devem ser precisamente gerados digitalmente. Pulsos e degraus precisos são usados para medir ambos, parâmetros do domínio do tempo, tais como resposta ao impulso, duração da transição e tempo de assentamento e regime transitório e parâmetros do domínio da freqüência, tais como resposta em freqüência de amplitude e fase, banda de passagem, largura de banda e ganho de banda plana "*gain flatness*". O gerador de degrau deve ser sincronizado em fase com o sinal de clock que define a amostragem do conversor analógico digital.

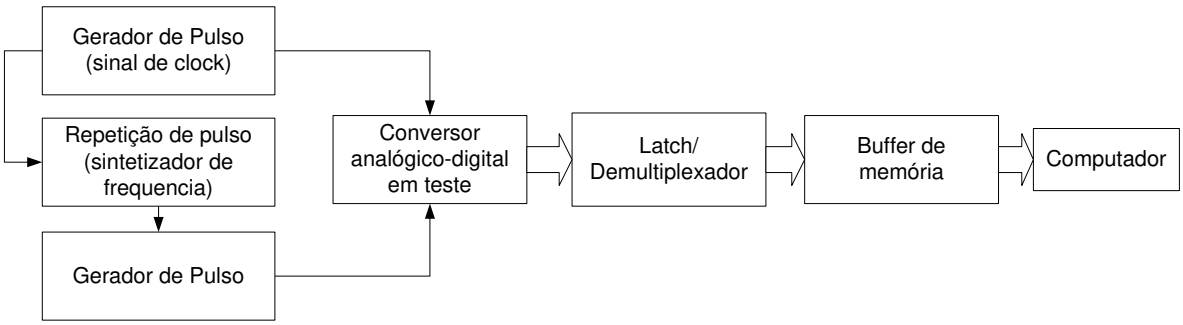

Figura 9 – Diagrama de blocos da configuração de teste de sinal degrau

Em todas as configurações o computador fará o registro dos dados, que consiste em uma série seqüencial de amostras adquiridas por um equipamento que irá capturar estes dados do conversor analógico-digital.

Realiza-se a captura de um registro de dados por acúmulo de amostras fixas via conversor digital-analógico, usando um equipamento que realiza a captura e transferindo as amostras fixas ao computador para análises. Portando a existência da interface entre instrumentos e o computador é extremamente importante para configurações dos testes de conversores analógico-digitais.

2.3.4 Configuração de uma solução para ensaios dinâmicos

As principais características dos conversores analógico-digitais podem ser alcançadas por meio da execução dos ensaios dinâmicos. No entanto, dentre as diversas configurações e sinais de estímulo na entrada, resumidamente descritas no item anterior, definimos uma técnica específica para o sistema integrado de caracterização. Optou-se pelos ensaios dinâmicos utilizando formas de ondas senoidais. Os motivos para tal escolha foram os seguintes:

- Primeiramente porque os equipamentos geradores desta forma de onda são comuns por tratar-se de uma forma muito bem modelada e conhecida.
- É relativamente fácil de estabelecer a qualidade da forma de onda senoidal, podendo utilizar um analisador de espectro para realizar tal tarefa.

O arranjo escolhido para os instrumentos está desenhado na Figura 10. Este se diferencia da proposta geral mostrada no capítulo anterior pelo fato de usar um analisador lógico, a inserção deste instrumento disponível no laboratório elimina a necessidade de desenvolver um hardware específico que devesse ser montado especialmente para os testes. Como esta solução proposta, utiliza somente instrumentos, o sistema torna-se modular.

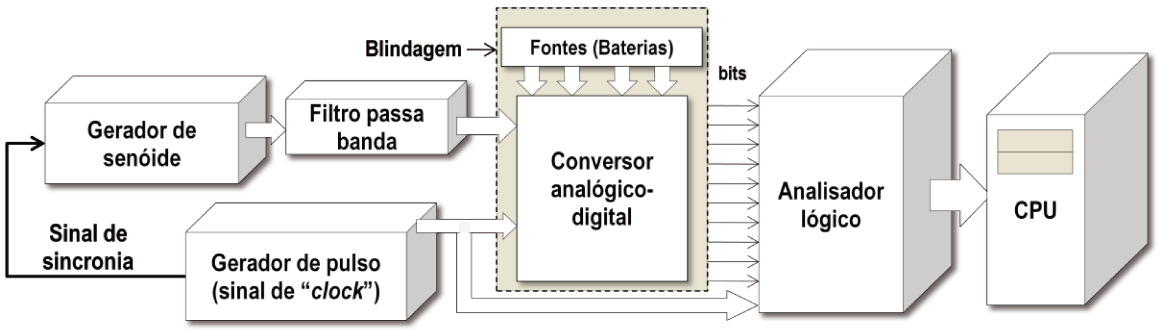

Figura 10 – Diagrama de blocos da configuração de teste escolhida

2.3.5 Configuração de ensaios estáticos utilizando sinais de entrada DC

Utilizando entradas com sinais DC, podemos extrair características associadas com a própria função de transferência característica do conversor analógico-digital. Para tal, temos que encontrar os níveis limite onde ocorre às transições dos códigos digitais de saída.

Quase nunca é possível definir o valor do nível de transição em particular, o que se faz geralmente é definir uma região, e por meio de ciclos com realimentação e processamento, encontrar o nível mais próximo do ideal. Uma vez encontrado os valores dos níveis de transição pode-se extrair parâmetros tais como INL, DNL e códigos perdidos, por exemplo.

Além do ciclo de realimentação, existem as técnicas que utilizam histogramas, tendo rampa ou forma de onda senoidal como sinal de entrada para o ensaio, embora estas técnicas utilizem sinais variantes no tempo, pelo fato de permitir a extração de características estáticas, a literatura [3] não os classifica como ensaios dinâmicos.

No diagrama de blocos ilustrado na Figura 11, um conversor digital-analógico de N bits gera o sinal de realimentação, outras montagens são possíveis, incluindo o clássico analógico ilustrado por meio da Figura 12.

O conversor digital-analógico deve ser pelo menos dois bits mais preciso do que o conversor analógico-digital a ser caracterizado.

N_1 e N_2 na Figura 11 são iguais e atribuídos de um valor N_0. O valor gerado pelo conversor digital-analógico é diminuído ou incrementado por N_0 após cada ciclo de conversão de acordo com o resultado da comparação entre o código de saída do conversor analógico-digital, k, é um código de referência designado k_{in}.

Uma vez que o código T[k], nível de transição, tenha sido atingido, a realimentação faz com que o sinal de entrada oscile entre essa transição em um passo que possa ser escolhido para ser tão pequeno quanto desejado, de acordo com a resolução do conversor digital-analógico. O nível de entrada do conversor analógico-digital é calculado a partir da função de transferência conhecida.

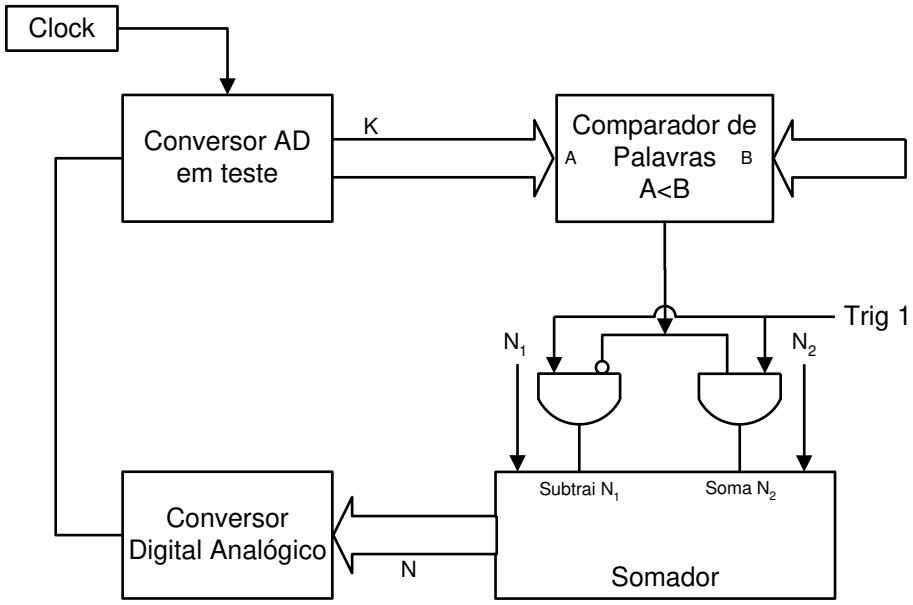

Figura 11 – Diagrama de blocos da configuração de ensaios estáticos, (método digital)

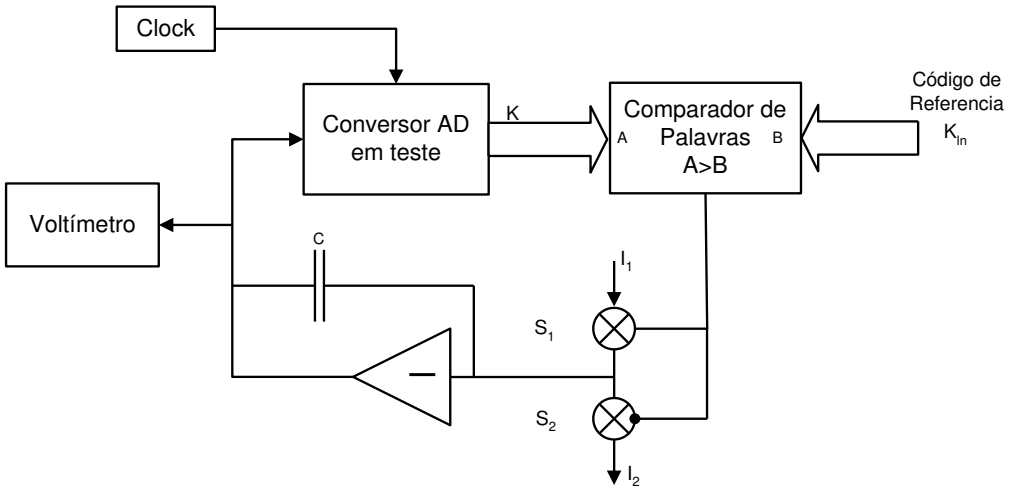

Figura 12 – Diagrama de blocos da configuração de ensaios estáticos, (método analógico)

2.3.6 Configuração de uma solução para o ensaio estático

Seguindo coma a mesma filosofia aplicada na montagem do ensaio dinâmico, propõe-se montar uma plataforma modular, usando apenas instrumentos. A montagem proposta é semelhante a da Figura 11 do item anterior, utilizando-se como conversor digital-analógico uma fonte universal com 16 bits de resolução.

O analisador lógico transfere a palavra binária de saída do conversor analógico digital para o computador, onde é transformada em um valor de potencial, que é comparado e usado como referência para o próximo incremento de tensão de volta a fonte universal, fechando assim o ciclo de realimentação, conforme ilustração da Figura 13, com o diagrama de blocos proposto.

A técnica que utiliza histograma foi descartada, pois exige uma capacidade de memória mínima acima de 16k, enquanto que o analisador lógico disponível conta apenas com 8k. A quantidade mínima de amostras, M que se recomenda utilizar para análises que utilizem histograma [14] é dada por:

$$M = 16 \times 2^n = 2^{n+4bits} \tag{15}$$

Esta exigência se deve às análises estatísticas que precisam de uma quantidade mínima de amostras para alcançar um nível de confiança suficiente para as medidas serem consideradas válidas.

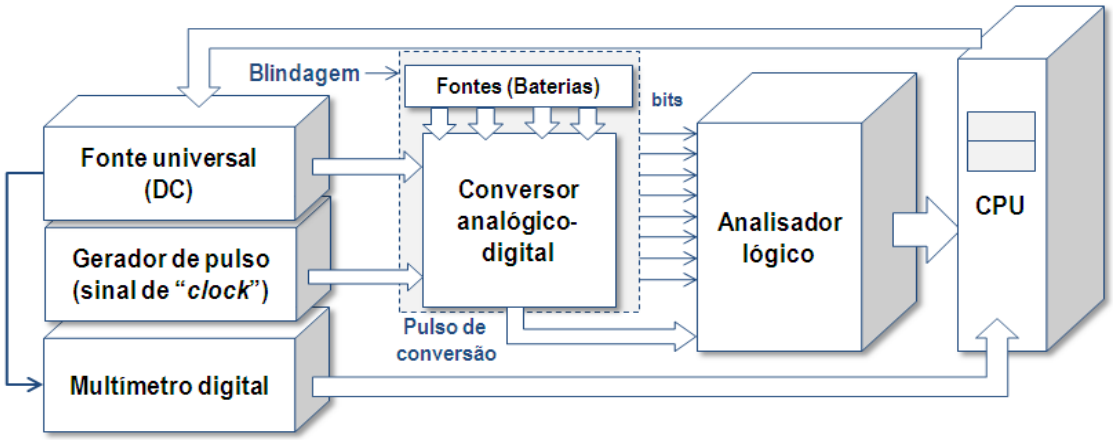

Figura 13 – Diagrama de blocos da configuração de ensaios estáticos (DC)

Capítulo 3 **Implementação do sistema integrado para caracterização de conversores analógico-digitais**

3.1 Introdução

Este capítulo mostra todo o sistema proposto, realizando uma descrição da plataforma automatizada para ensaios que extraem os parâmetros estáticos e dinâmicos de conversores analógico-digitais. Contribuindo em temas relacionados ao desenvolvimento de plataformas automáticas para testes de laboratório, caracterização de conversores analógico-digitais e programação em ambiente "*LabView*".

Inicialmente é feita uma descrição da plataforma física e de software para ensaios dinâmicos, nos domínios do tempo e da freqüência. Em seguida descreve-se a plataforma física e de software para o ensaio estático.

Durante a descrição da plataforma de software, os instrumentos virtuais (VI) do inglês "*virtual instrument*", que é como se chama os programas gerados no ambiente "*LabView*" de programação, associadas à caracterização por meio de ensaios dinâmicos e ensaio estático serão exibidas e comentadas.

O desenvolvimento da interface dos programas com o usuário também é descrito, de tal maneira que seja possível entender as funcionalidades e a praticidade do sistema como um todo.

Em relação ao tipo de ensaio, a Tabela 1 mostra os parâmetros que serão medidos pelo sistema de caracterização.

Tabela 1 – Parâmetros de conversores analógico-digitais medidos pelo sistema

	Tipos de Ensaio	
	Dinâmico	**Estático**
Parâmetros	ENOB	DNL
	SINAD	INL
	SNR	Offset
	THD	Ganho
	SFDR	-
	Noise Floor	-

3.2 Plataforma de caracterização física para ensaios dinâmicos

Na ilustração da montagem, Figura 14, pode-se ver a distribuição dos instrumentos e suas respectivas ligações para a realização dos ensaios. Os instrumentos usados foram os seguintes: um gerador de "*clock*" de até 300MHz, um gerador de sinais arbitrários de até 15MHz e um seletor de banda como filtro antes da entrada da forma de onda senoidal no conversor analógico-digital. Além destes, para capturar o conjunto dos bits de saída do conversor analógico-digital em teste, foi usado um analisador lógico com especificação de máxima freqüência de "*clock*" no modo "*state*" limitada em 200MSPS, usando como referência um "*clock*" externo.

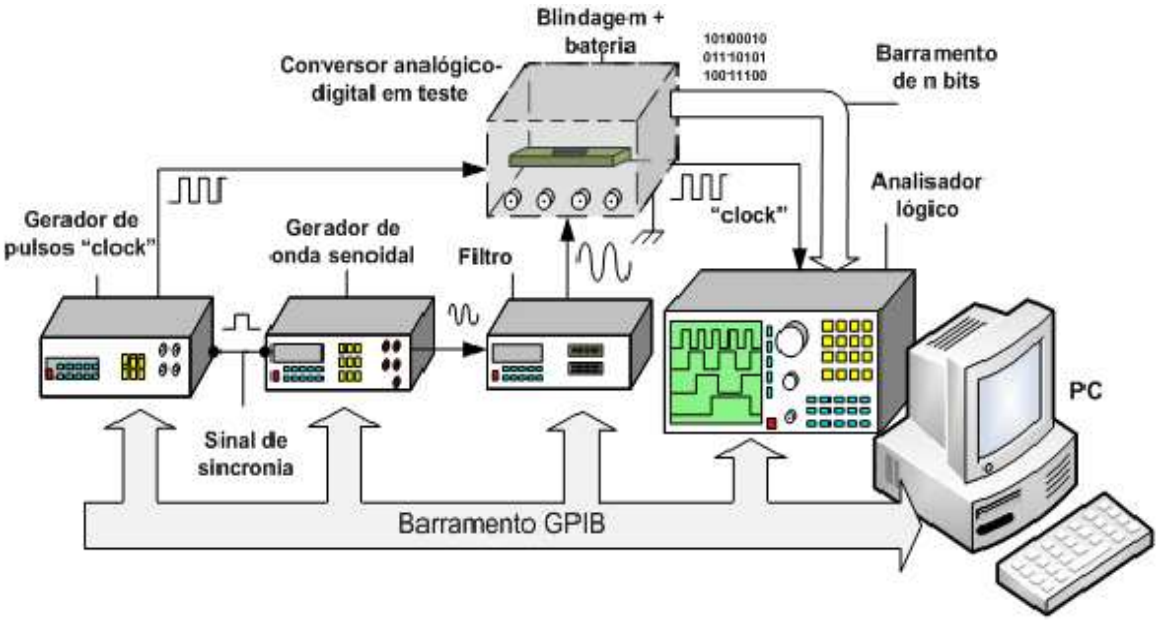

Figura 14 – Esquema proposto para caracterização dinâmica

O conversor analógico digital a ser testado está inserido em uma placa de avaliação, que possui circuitos de condicionamento e fornece os meios de conexão com os instrumentos por meio de adaptadores e soquetes fixados na mesma. Para diminuir a introdução de ruídos por meio das fontes de alimentação DC convencionais de bancada, foram utilizadas baterias. A placa de teste foi devidamente protegida por uma caixa metálica blindada para evitar interferências irradiadas. A Tabela **2** lista os modelos dos instrumentos utilizados.

Tabela 2 – Lista dos equipamentos e seus respectivos modelos

Instrumento	Modelo	Descrição resumida
Analisador lógico	HP1661C	Memória: 8k amostras, velocidade em modo "state": 100 MHz
Gerador Arbitrário	HP33120A	Sintetizador de 15 MHz, onda arbitrária de 12-bit e 40MSa/s
Gerador de Pulso	HP8130A	Gera pulsos de até 300 MHz
Seletor de Banda de RF	Tectronix2706	Com 7 filtros passa-banda, de 9 kHz até 1000 MHz
Gerador de Sinais	HP8657A	Gera de 0.1 até 1040 MHz, com 10 Hz de resolução

Durante o desenvolvimento, testes foram realizados no conversor analógico-digital modelo AD9215 [19] da "*Analog Devices*" e utilizada em conjunto a sua placa de avaliação AD9215EB [19]. Como os instrumentos possuem entradas BNC e esta placa possui conectores SMA, foi necessário o uso de adaptadores.

O gerador de funções arbitrárias foi ajustado para gerar um sinal senoidal que é ligado a entrada do seletor de banda, que por sua vez filtra o sinal e envia para entrada do conversor analógico-digital em teste.

O gerador de pulso foi ajustado para a freqüência adequada e com "*duty cycle*" de 50%, gerando o sinal de entrada de "*cloc*k" para o conversor AD em teste. O sinal do gerador de pulso é usado como "*clock*" externo para o analisador lógico sincronizando a captura dos bits de saída do conversor, além de enviar um sinal de referência de 10 MHz para o gerador de funções arbitrárias para que os sinais fiquem em fase. Para os testes dinâmicos, o sincronismo entre os instrumentos é essencial.

O Analisador lógico faz o papel de "*buffer*" e memória para a captura dos dados dos bits de saída do conversor analógico-digital em teste. Estes dados são capturados através da porta GPIB para o computador usando o "*driver*" desenvolvido em LABVIEW.

Em [15] é sugerido o uso de filtros de alta qualidade com "*rejection stop band*" de 80 dB em cascata para ensaios dinâmicos. Usou-se como filtro o equipamento 2706 da Tectronix com "*rejection stop band*" de 60 dB "*typical*". Para os testes no domínio da freqüência, por meio de FFT, o mínimo razoável de amostras *M* para um conversor analógico-digital de *n* bits pode ser calculado através da seguinte equação [14]:

$$M = \pi . 2^{n} \tag{16}$$

$M = \pi . 2^{n}$O analisador lógico, HP1661C disponível na plataforma desenvolvida, possui memória de 8.192 k palavras (16 bits), portanto as medições se restringem a conversores analógico-digitais de até 11 bits de resolução.

3.3 Plataforma de software

A plataforma de software escolhida para desenvolver o controle e processamento dos testes foi o *LabView* produzido pela "*National Instruments*". As razões desta escolha são as seguintes:

- Disponibilidade do software no laboratório;
- Facilidade para a construção de uma interface amigável;
- Possuir as ferramentas matemáticas para análise e processamento dos dados adquiridos nos ensaios;
- Disponibilidade de ferramentas que facilite a comunicação do computador com o barramento GPIB disponível na maioria dos instrumentos de bancada.
- Familiaridade com a ferramenta.

Alguns dos instrumentos estão com sua produção descontinuada pelos respectivos fabricantes e os "*drivers*" necessários para controlá-los via GPIB não foram encontrados. Por esta razão, estes tiveram que ser desenvolvidos com o auxilio nos manuais de programação disponibilizados pelos fabricantes. Outros foram encontrados nas páginas da rede mundial de computadores especializados ou nas páginas específicas da "*National Instruments*" [16], porém sofreram modificações para se adaptarem a esta aplicação em particular.

3.4 Desenvolvimento da programação para ensaios dinâmicos

O fluxograma geral do programa desenvolvido na plataforma "*LabView*", ilustrado na Figura 15, refere-se aos ensaios dinâmicos. Uma visão geral da tela que exibe o código principal do programa é ilustrada na Figura 16, onde cada "*sub-vi*", que é um programa dentro do programa principal, está com sua função especificada na mesma, seguindo perfeitamente o fluxo indicado na Figura 15. Onde as funções de leitura e escrita dos "*drivers*" dos instrumentos, decodificação dos dados e conversão digital-analógica estão no quadrante superior esquerdo da Figura 16, e as funções de análise no domínio do tempo

com "*fitting*" e análise no domínio da freqüência com "*FFT*" estão do lado direito superior e inferior respectivamente.

A leitura e escrita nos equipamentos são coordenadas por comandos para o barramento GPIB específicos para cada instrumento, fazendo com que os mesmos efetivamente apliquem os sinais de teste e realizem as leituras desejadas.

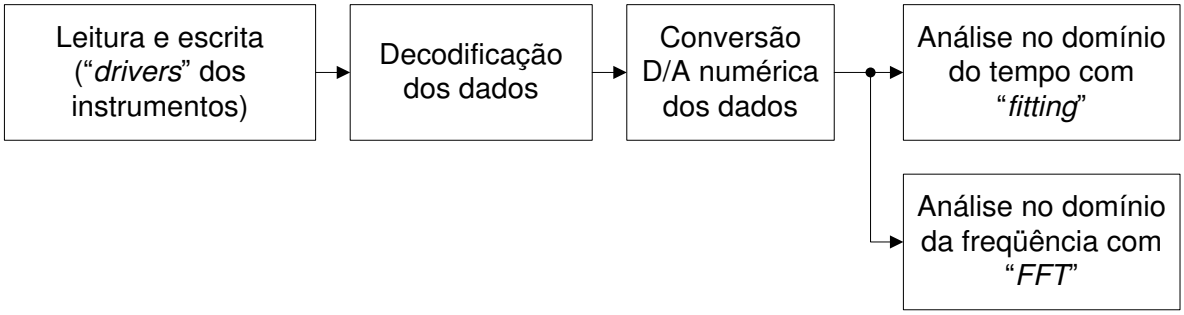

Figura 15 - Diagrama de fluxo do programa desenvolvido em *LabView* para o teste

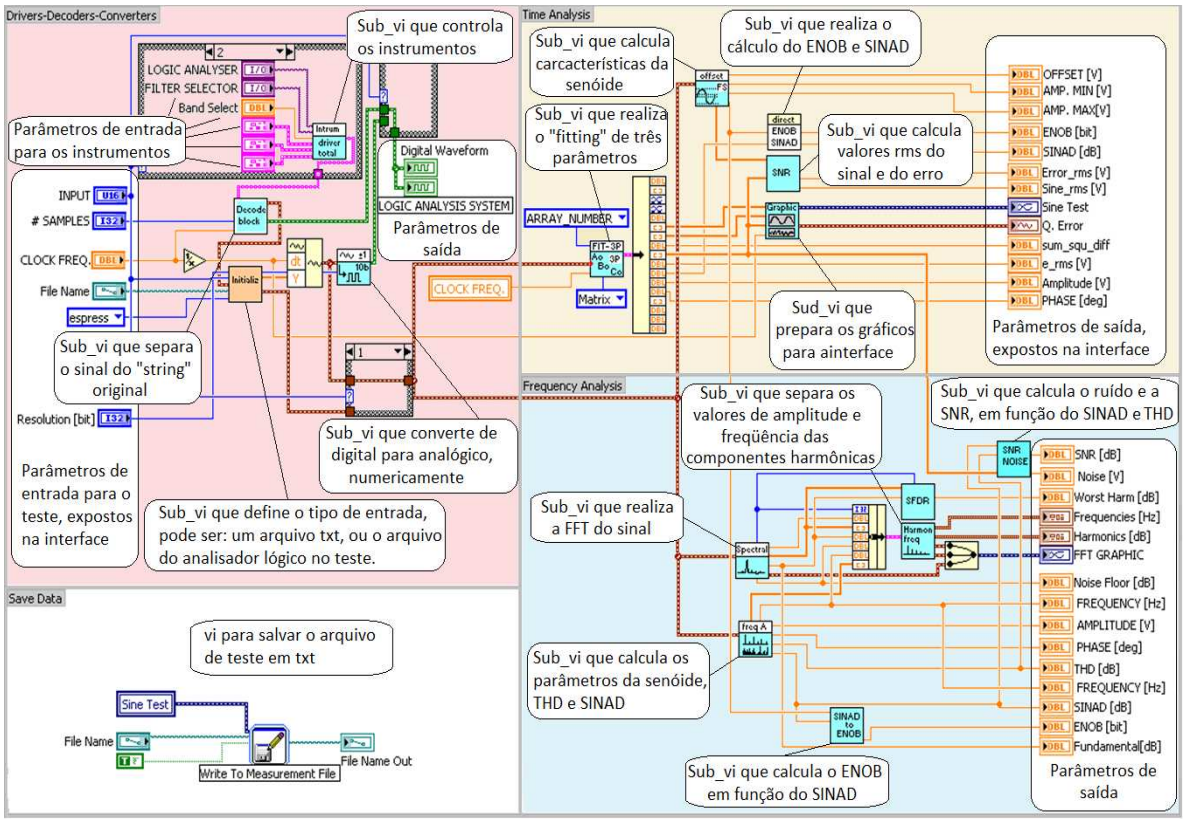

Figura 16 – Programa desenvolvido em *LabView* para execução de ensaios dinâmicos

A Figura 17, é a sub-vi que controla os instrumentos do sistema de caracterização, realizando a função de leitura e escrita dos "*drivers*" dos instrumentos, pode ser visto seu posicionamento dentro do programa principal na Figura 16. A disposição dos "*drivers"* de forma seqüencial, é para que os instrumentos que geram os sinais desejados nas entradas do conversor analógico-digital atuem primeiro em relação ao instrumento que realiza a leitura nos pinos de saída do mesmo.

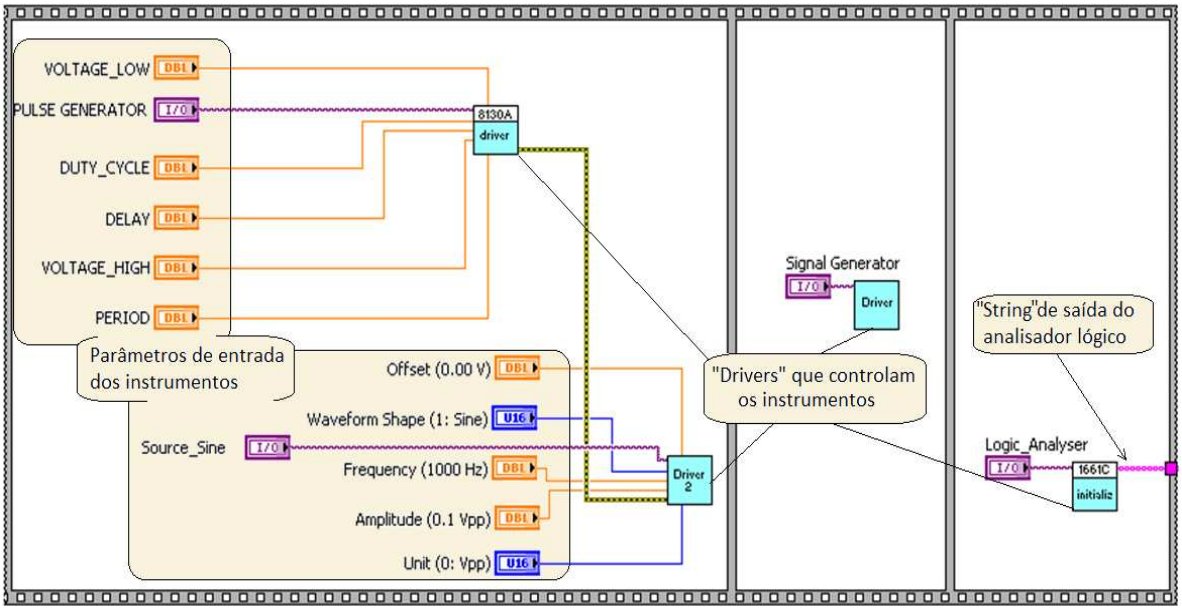

Figura 17 – Sub-vi que controla os instrumentos por meio de seus "*drivers*"

As informações digitais de saída do conversor em teste capturadas pelo analisador lógico, que estão em formato hexadecimal, disponibilizadas em uma "*string*" possuem informações dispostas de tal forma que impossibilitam a sua leitura direta e conversão em um vetor de valores no formato binário. Por esta razão, uma etapa de decodificação é necessária para extrair apenas as informações que formam o vetor de saída com as palavras digitais provenientes da saída do conversor analógico digital em teste. Este sub-vi separa o sinal da "*string*" original, seu posicionamento dentro do programa principal pode ser visto na Figura 16.

Os dados de entrada no sub-vi de decodificação estão ilustrados na Figura 18 e a saída deste processo é uma matriz com 10 colunas e 8192 linhas de valores binários como ilustrada na Figura 19.

read buffer

```
2338 3030 3030 3130 3935 4341 5244 5F43 4147 4520 0000 0000 0014 20FF FFFF FFFF FFFF
FFFF 0400 0000 0000 0000 0000 5253 2D32 3332 2020 2020 0000 0000 000A 0001 0000 0000
0006 0002 4850 2D49 4220 2020 2020 0000 0000 000A 0000 0007 0000 0000 0000 4849 4C20
2020 2020 2020 0000 0000 0014 0001 0000 FFFF 00FF FFFF 0000 0000 0000 0000 FFFF 5052
494E 5445 5220 2020 0000 0000 0002 0002 434F 4C4F 5253 2020 2020 0000 0000 0018 0000
0000 0055 0000 6400 0037 0000 4B00 0046 0000 5500 0064 494E 5445 524D 4F44 554C 0000
0000 0369 0000 0000 0101 0101 0101 0101 0101 0100 0000 0000 0000 0000 0000 0000 0000
```

Figura 18 – "string" de saída do analisador lógico

	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}
L_1	0	0	0	0	0	0	0	0	0	0
L_2	0	0	0	0	0	0	0	0	0	1
L_3	0	0	0	0	0	0	0	0	1	0
.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.
L_{8192}	1	0	1	1	1	1	1	1	1	1

Figura 19 – Matriz de saída da sub-vi de decodificação

Esta matriz passa por um conversor digital-analógico numérico ideal, instrumento virtual, do inglês "*virtual instrument*" (vi) nativo do software "*LabView*", que converte palavras digitais em valores de amplitudes correspondentes, conforme ilustrados na Figura 20, desde que os limites de conversão estejam corretos.

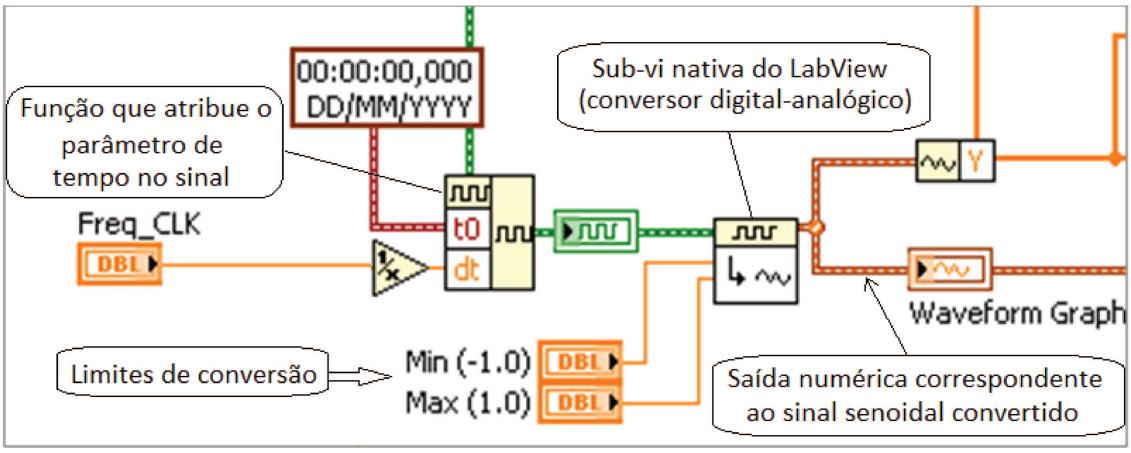

Figura 20 – Sub-vi que realiza a conversão digital-analógica numérica ideal

3.5 Análise no domínio do tempo

Esta análise é baseada na técnica de "*fitting*", utilizando mínimos quadrados, que está descrita nas normas a "IEEE *Standard* 1057-1994" [6] e "IEEE *Standard* 1241-2000" [3]. A Figura 21 mostra o diagrama de blocos da rotina desenvolvida para a análise no domínio do tempo.

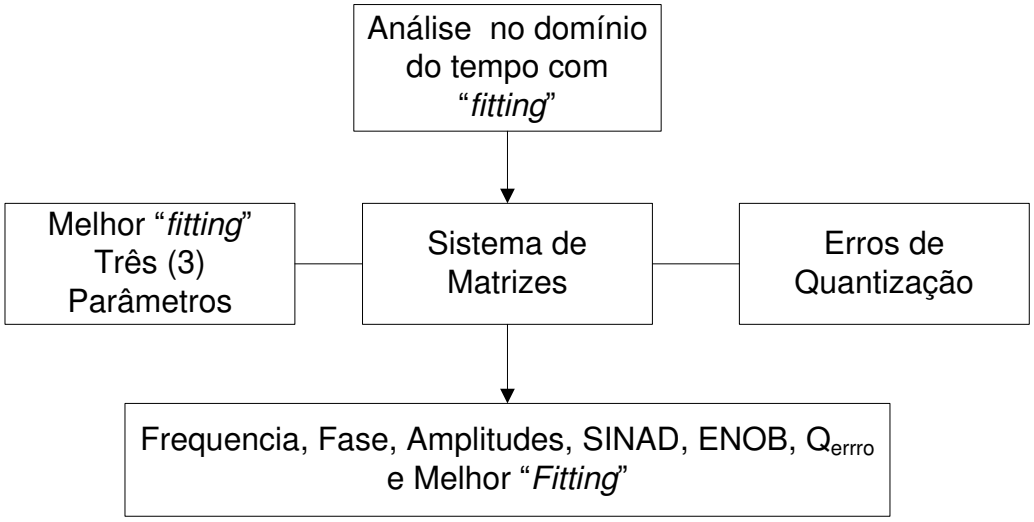

Figura 21 – Diagrama de fluxo do programa para análises no domínio do tempo

Como expresso em [24], "*O método dos quadrados mínimos é provavelmente a técnica mais utilizada na análise numérica e em problemas práticos. Isto se deve tanto à sua simplicidade quanto ao fato de que, em geral, buscamos aproximações para dados que são medidas obtidas experimentalmente com certo grau de incerteza*". Outra característica citada é que o "*método contempla a possível existência de erros nos dados a serem aproximados; o critério de aproximação consiste em minimizar os resíduos*".

O método de "*fitting*" com três parâmetros assume que é conhecida a freqüência da forma de onda senoidal de teste, que o vetor de entrada possui um número M de amostras [y_1, y_2, y_3..., $y_{(M-1)}$, y_M] e que os três parâmetros a serem encontrados são os coeficientes A_0, B_0 e C_0, pois estes coeficientes serão os mais adequados para compor o sinal ajustado com a menor diferença possível em relação ao sinal senoidal de entrada.

A diferença entre o vetor inicial "y_n" e o vetor resultante da soma dos mínimos quadrados "y'_n", Equação (18), é igualado a zero, conforme indicado na Equação (17) buscando o mínimo resíduo.

$$\sum_{n=1}^{M} [y_n - A_0\, cos(\omega_0\, t_n)\ - B_0\, sin(\omega_0\, t_n)\ - C_0]^2 = 0 \tag{17}$$

Sendo que ω_0 é a freqüência do sinal senoidal aplicado na entrada do conversor analógico-digital. O resíduo r_n está expresso através da Equação (19).

$$y'_n = A_0\, cos(\omega_0\, t_n)\ + B_0\, sin(\omega_0\, t_n)\ + C_0 \tag{18}$$

$$r_n = y_n - A_0\, cos(\omega_0\, t_n)\ - B_0\, sin(\omega_0\, t_n)\ - C_0 \tag{19}$$

A partir do resíduo obtido, Equação (19), resultante das diferenças pontuais entre os valores medidos y_n e os correspondentes valores calculados como sendo a melhor aproximação y'_n, calcula-se o valor *rms* do resíduo por meio da seguinte equação:

$$\text{ruído rms } = \left[\frac{1}{M}\sum_{n=1}^{M}\left(\mathrm{y_n} - \mathrm{y'_n}\right)^2\right]^{1/2} \tag{20}$$

Neste caso o resíduo resultante é tratado como o ruído total, por esta razão este resíduo r_n é chamado de ruído a partir do cálculo *rms* como expressa a Equação (20).

Para calcular os coeficientes, obtendo como resultado, o melhor ajuste na forma de onda senoidal dos dados coletados e calcular o ruído *rms*, foram desenvolvidos os sub-vi descritos a seguir. A Figura 22 e Figura 23 mostram o diagrama hierárquico do vi de "*fitting*" e seu diagrama de blocos respectivamente.

Conforme a ilustração da Figura 22, no diagrama hierárquico, cada sub-vi do vi de "*fitting*" possui um número correspondente para facilitar a identificação no detalhamento da programação a seguir. Todos os sub-vi que estão numerados no diagrama hierárquico estão

contidos no vi principal. Como os sub-vi 4.1, 4.2, 4.3 e 4.4 são sub-vi da sub-vi de número 4, não podem ser vistas no diagrama de bloco principal do vi de "*fitting*" na Figura 23.

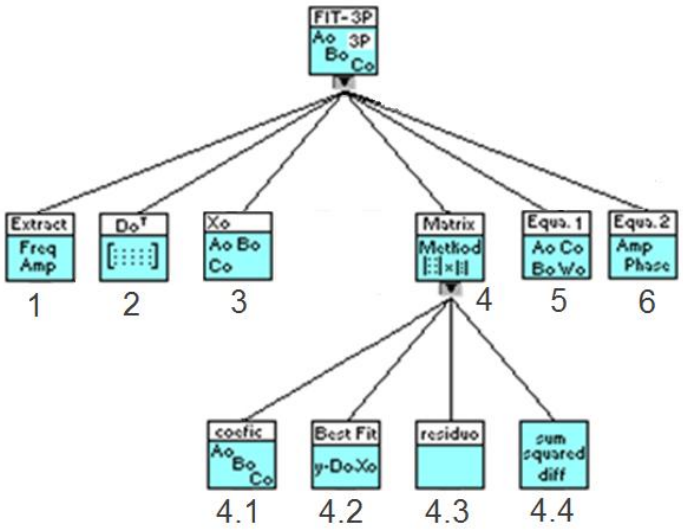

Figura 22 – Diagrama hierárquico do vi de "*fitting*"

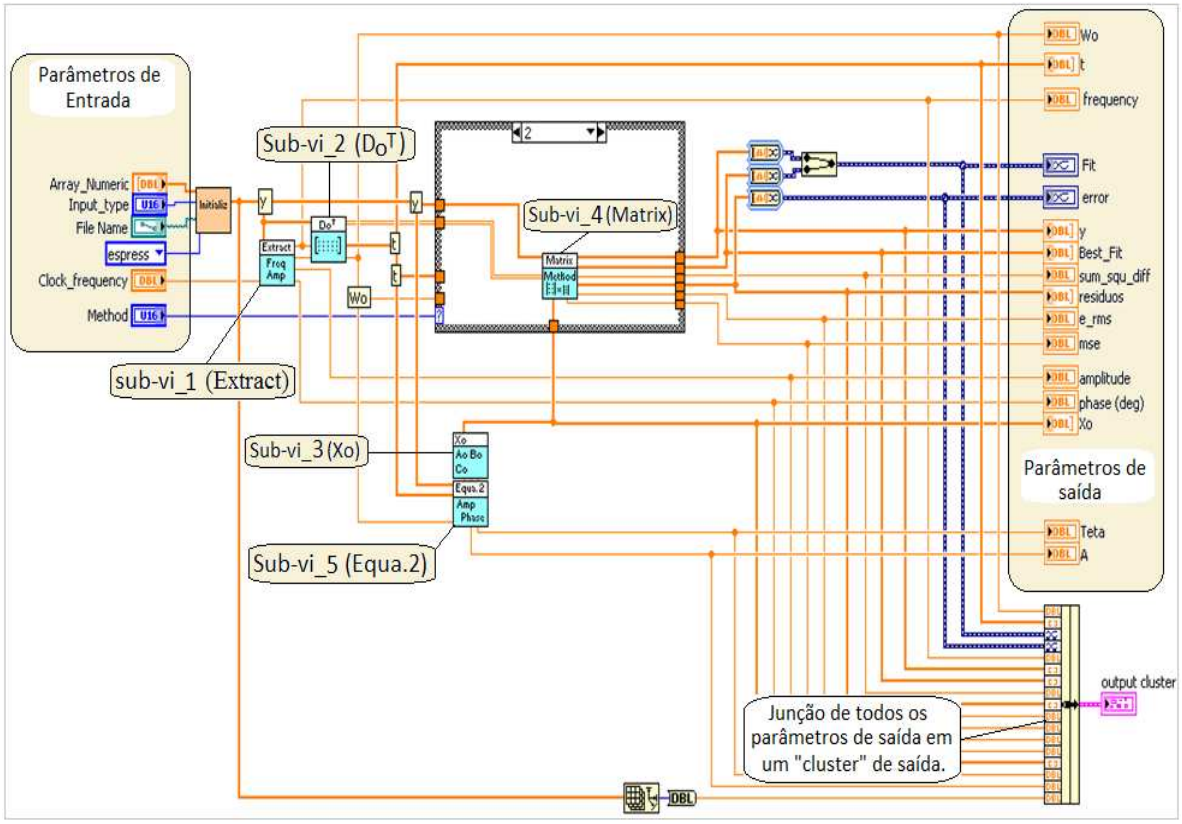

Figura 23 – Diagrama de blocos do vi (FIT-3P) de "*fitting*"

3.6 Análise do sub-vi de "fitting", (FIT-3P)

Conforme sugerido da norma IEEE 1241-2000 [3], pode-se encontrar os valores os coeficientes A_0, B_0 e C_0, que minimizem a somatória da diferença ao quadrado da Equação (17) utilizando operações com matrizes. Primeiramente, devem-se criar as matrizes D_0, y e X_0, conforme ilustra a Figura 24.

$$D_0 = \begin{bmatrix} \cos(\omega_0 t_1) & \sin(\omega_0 t_1) & 1 \\ \cos(\omega_0 t_2) & \sin(\omega_0 t_2) & 1 \\ . & . & . \\ . & . & . \\ \cos(\omega_0 t_M) & \sin(\omega_0 t_M) & 1 \end{bmatrix}, \quad y = \begin{bmatrix} y_1 \\ y_2 \\ . \\ . \\ y_M \end{bmatrix} \quad e \quad x_0 = \begin{bmatrix} A_0 \\ B_0 \\ C_0 \end{bmatrix}$$

Figura 24 – Matrizes D_0, y e X_0 [3]

A Equação (17) pode ser escrita em notação matricial, segundo expressão indicada na Equação (21) [3], onde $(*)^T$ é designa a transposta de (*).

$$(y - D_0 X_0)^T (y - D_0 X_0) \tag{21}$$

O cálculo da solução dos mínimos quadrados, X_0, que minimiza a Equação (21) é realizado através da Equação (22).

$$X_0 = ({D_0}^T D_0)^{-1} ({D_0}^T y) \tag{22}$$

A função de ajuste "*fitting*" é então dada pela Equação (18), repetida por conveniência.

$$y'_n = A_0 \cos(\omega_0 t_n) + B_0 \sin(\omega_0 t_n) + C_0 \tag{18}$$

Para encontrar o valor da amplitude utiliza-se a Equação (23), para encontrar a fase, utiliza-se a Equação (24) ou Equação (25).

$$A = \sqrt{A_0^2 + B_0^2} \tag{23}$$

$$\theta = tan^{-1}\left[-\frac{B_0}{A_0}\right] \; se \; A_0 \geq 0 \tag{24}$$

$$\theta = tan^{-1}\left[-\frac{B_0}{A_0}\right] + \pi \; \; se \; A_0 < 0 \tag{25}$$

Com os parâmetros de amplitude e fase, pode-se substituí-los na seguinte equação:

$$y'_n = A\,cos(\omega_0\, t_n + \theta) \; + C \tag{26}$$

Os resíduos, r_n, do ajuste é dado pela Equação (19) e o erro *rms* pela Equação (20).

3.6.1 Sub-vi de número 1

Este sub-vi é o primeiro a ser executado, pois o mesmo recebe o vetor da onda senoidal de teste, identificado como "y" e o valor da freqüência de "*clock*", introduzido pelo usuário no início do teste. Lembrando que este valor deve ser correspondente ao valor da freqüência do sinal de "*clock*" aplicado simultaneamente no conversor analógico-digital em teste e no analisador lógico. Usando a função nativa "*Extract Single Tone Information*", disponível no "*LabView*" são extraídos os parâmetros de amplitude, freqüência e fase do sinal. O diagrama de blocos do programa está ilustrado na Figura 25.

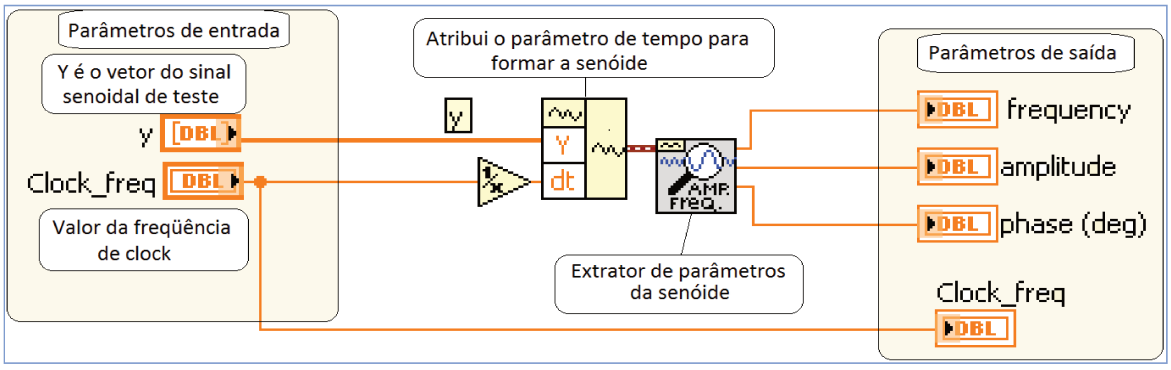

Figura 25 – Diagrama de blocos do vi de número 4 (Extract)

3.6.1 Sub-vi de número 2

Este sub-vi recebe o parâmetro do valor de "*clock*" e a matriz "y", que é o vetor do sinal senoidal de teste, para gerar a matriz de "D_0", que é a primeira etapa para calcular os coeficientes A_0, B_0 e C_0 [3], conforme ilustra a Figura 26.

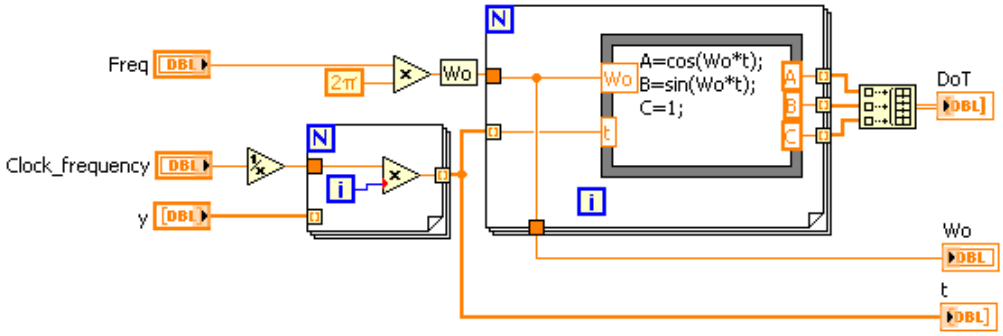

Figura 26 – Diagrama de blocos do vi de número 1 (D_0^T)

3.6.1 Sub-vi de número 3

O sub-vi de número 3, Figura 27, é apenas para separar do vetor X_0, os valores dos coeficientes A_0, B_0 e C_0 calculados no sub-vi de número 2, usando uma função básica de "*índex array*" do "*LabView*".

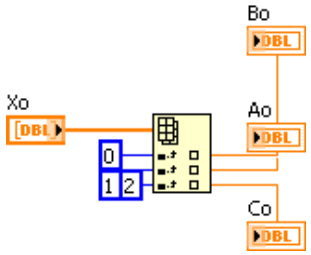

Figura 27 – Diagrama de blocos do vi de número 3 (Xo)

3.6.1 Sub-vi de número 4

Foram utilizados neste sub-vi operações com matrizes e vetores com funções básicas nativas do "*LabView*". Como ilustrado na Figura 28, as entradas são a matriz D_0^T, que é gerada a partir do sub-vi de número 2, e a matriz "*y*" da forma de onda senoidal de

entrada. A matriz X_0, é calculada no sub-vi_4.1 , o vetor *"y_n'"* da Equação (18) é chamado no vi de "Best_Fit" é calculado no sub-vi_4.2, enquanto que o sub-vi_4.3 calcula o resíduo "r_n" chamado no vi de "residuos" da equação (19) e o "*e_rms*" que é o erro *rms* da Equação (20). O sub-vi_4.4 executa a Equação (21) e sua saída no vi é "sum_squ_diff".

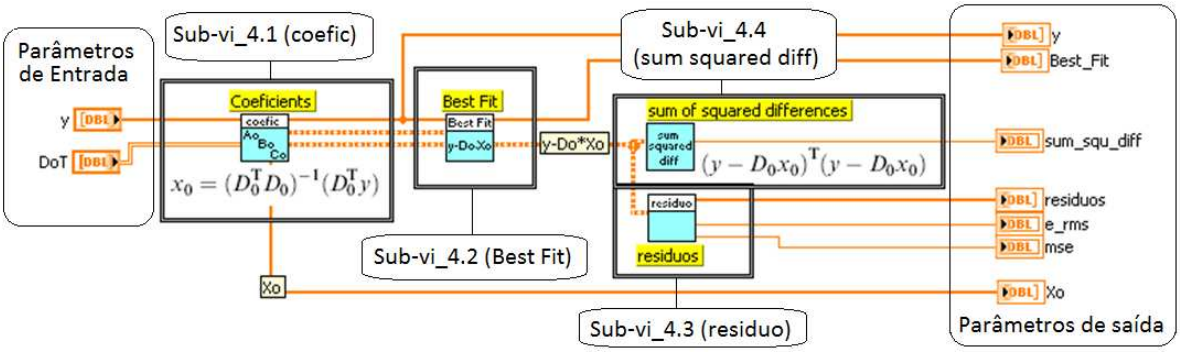

Figura 28 – Diagrama de blocos do vi de número 4 (MATRIX)

3.6.2 Sub-vi de número 4.1

A Figura 29 mostra o diagrama de blocos do sub-vi 4.1, tendo como entrada o vetor "y" e a transposta de D_0, resultante da sub-vi de número 2, onde operações com as matrizes são executadas para obter o vetor dos coeficientes X_0, conforme descrito na Equação (22).

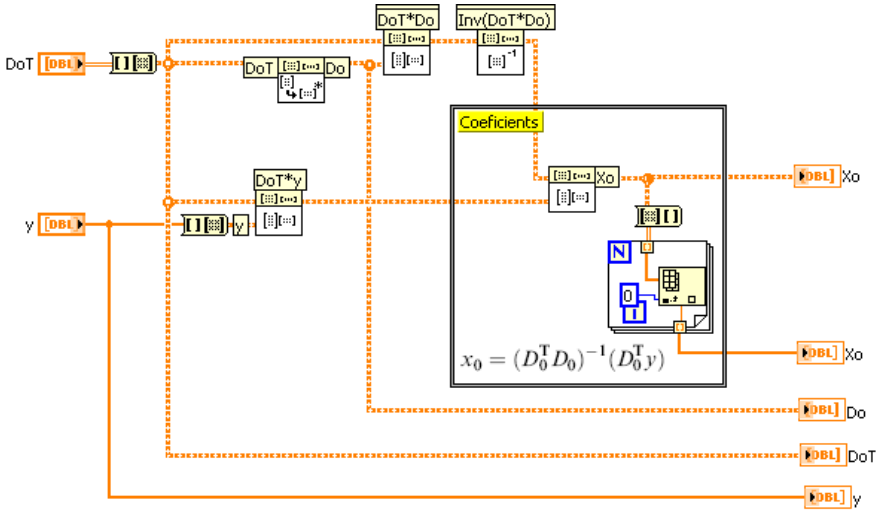

Figura 29 – Diagrama de blocos do vi de número 4.1 (coefic)

3.6.3 Sub-vi de número 4.2

Na ilustração da Figura 30, pode ser visto que o sub-vi 4.2 recebe como entrada o vetor "*y*", e as matrizes D_0 e X_0, que são saídas do sub-vi 4.1. O sub-vi 4.2 realiza o produto das matrizes D_0 e X_0, que resulta em uma matriz coluna. Então, através de um "*loop for*" com uma função "*index array*" é extraído o vetor de aproximação ou ajuste de curva, tratado na norma [3] como "*fitting*". Outra saída deste sub-vi é a expressão (y - D_0X_0), que será usado como entrada nos sub-vi 4.3 e 4.4 dos itens 3.6.4 e 3.6.5 a seguir.

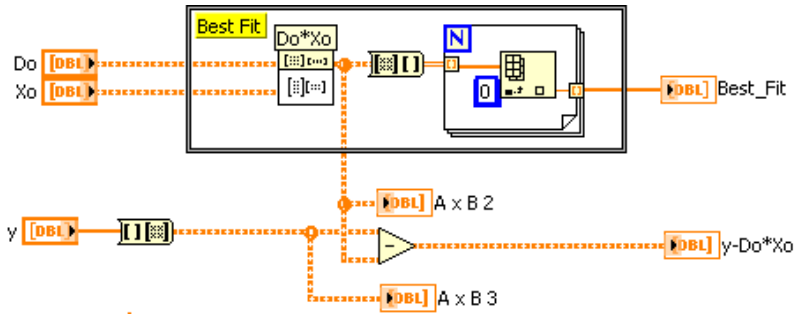

Figura 30 – Diagrama de blocos do vi de número 4.2 (Best Fit)

3.6.4 Sub-vi de número 4.3

A Figura 31 ilustra a rotina onde a operação com as matrizes resulta apenas no valor mínimo obtido, descrito na Equação (21) é o resultado da somatória dos mínimos quadrados. Não há nenhuma função para este valor, serve apenas para ilustrar que se a aproximação fosse perfeita, este seria zero, e o método aplicado resultou em um valor diferente, aproximadamente 6,25 x 10^{-3}, diferente de zero.

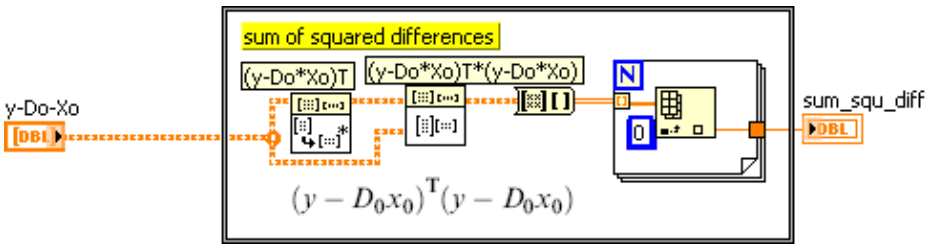

Figura 31 – Diagrama de blocos do vi de número 4.3 (sum of squared diff)

3.6.5 Sub-vi de número 4.4

O sub-vi 4.4, conforme Figura 32, utilizando como entrada a expressão (y - D_0X_0) de saída do sub-vi 4.2, que depois de um "*loop for"* com uma função "*index array*" é transformado no vetor dos resíduos "r_n" chamado de "resíduos" no vi. O cálculo do erro *rms*, chamado de "e_rms" no vi é calculado conforme a Equação (20) utilizando funções básicas do "*LabView*".

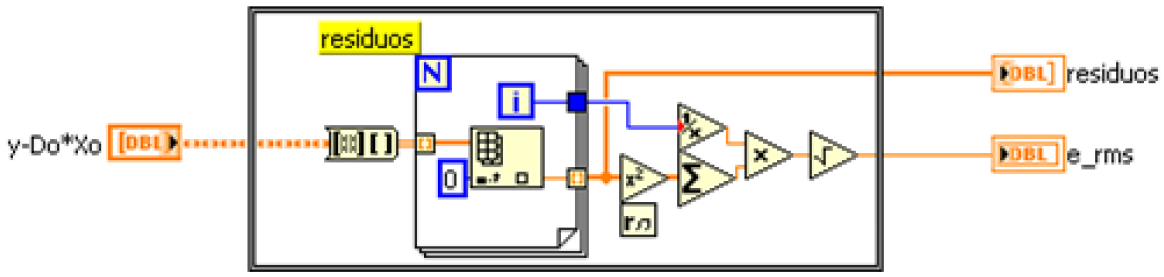

Figura 32 – Diagrama de blocos do vi de número 4.4 (resíduos)

3.6.6 Sub-vi de número 5 e de número 6

Os sub-vi 5 e 6 executam exatamente a mesma função que o sub-vi 4, que é o cálculo da aproximação "*fitting*" da forma de onda senoidal de entrada, utilizando-se das Equações (23), (24), (25), (26), (19) e (20).

3.6.7 Cálculo do ENOB e SINAD no domínio do tempo

O valor *rms* do ruído, da Equação (20), é usado para o cálculo do SINAD, pois abrange o ruído e a distorção harmônica da forma de onda senoidal. Então extraindo o valor *rms* do sinal senoidal de entrada podemos calcular o SINAD, conforme a equação (27).

$$SINAD = 20log\left(\frac{valor\ rms\ do\ sinal}{valor\ rms\ do\ ruído}\right) \quad (27)$$

O ENOB, número efetivo de bits, é obtido por meio da equação:

$$ENOB = log_2\left(\frac{V\ de\ fund\ \ o\ de\ escala}{valor\ rms\ do\ ruído\ .\sqrt{12}}\right) \quad (28)$$

Ilustrado na Figura 33, o diagrama de blocos que calcula os valores de SINAD em dB e de ENOB em bits, conforme as Equações (27) e (28).

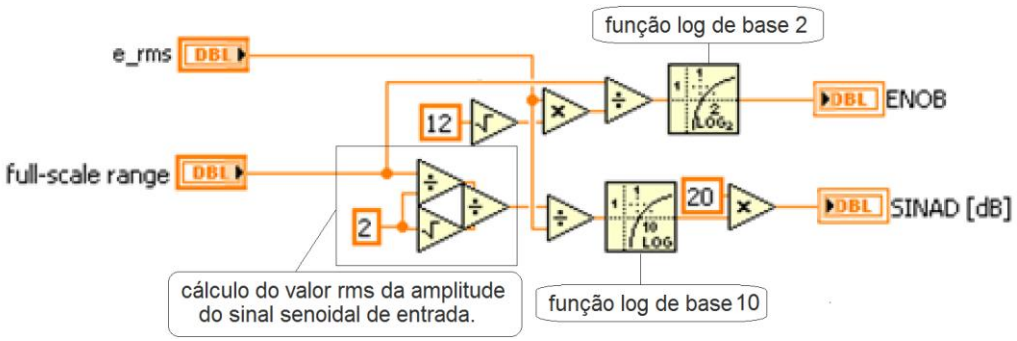

Figura 33 – Diagrama de blocos do vi de cálculo do ENOB e SINAD

3.7 Análise no domínio da freqüência

A análise no domínio da freqüência, ou análise espectral, é baseada na transformada rápida de Fourier (FFT), do inglês "*Fast Fourier Transform*".

Na Figura 34, é mostrado o diagrama de fluxo da análise no domínio da freqüência, revela a organização das ferramentas do software e as grandezas medidas pelo sistema. O diagrama de bloco do programa em "*LabView"* é apresentado na Figura 35, onde observam-se as sub-vi que compõem a análise no domínio da freqüência, onde estas estão identificados numericamente de um a seis, e uma breve descrição da função de cada uma delas, está indicada em comentários sobre a figura.

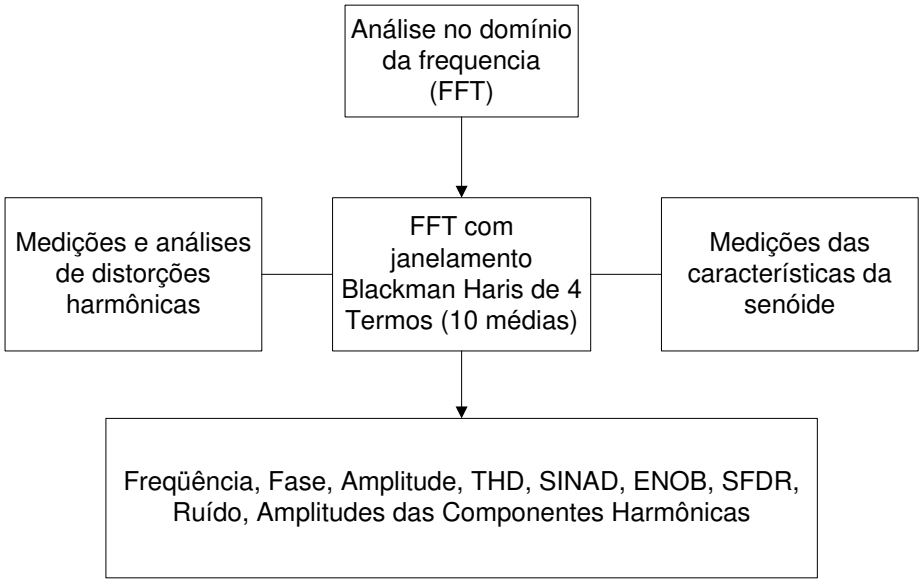

Figura 34 – Diagrama do fluxo do programa para análises no domínio da freqüência

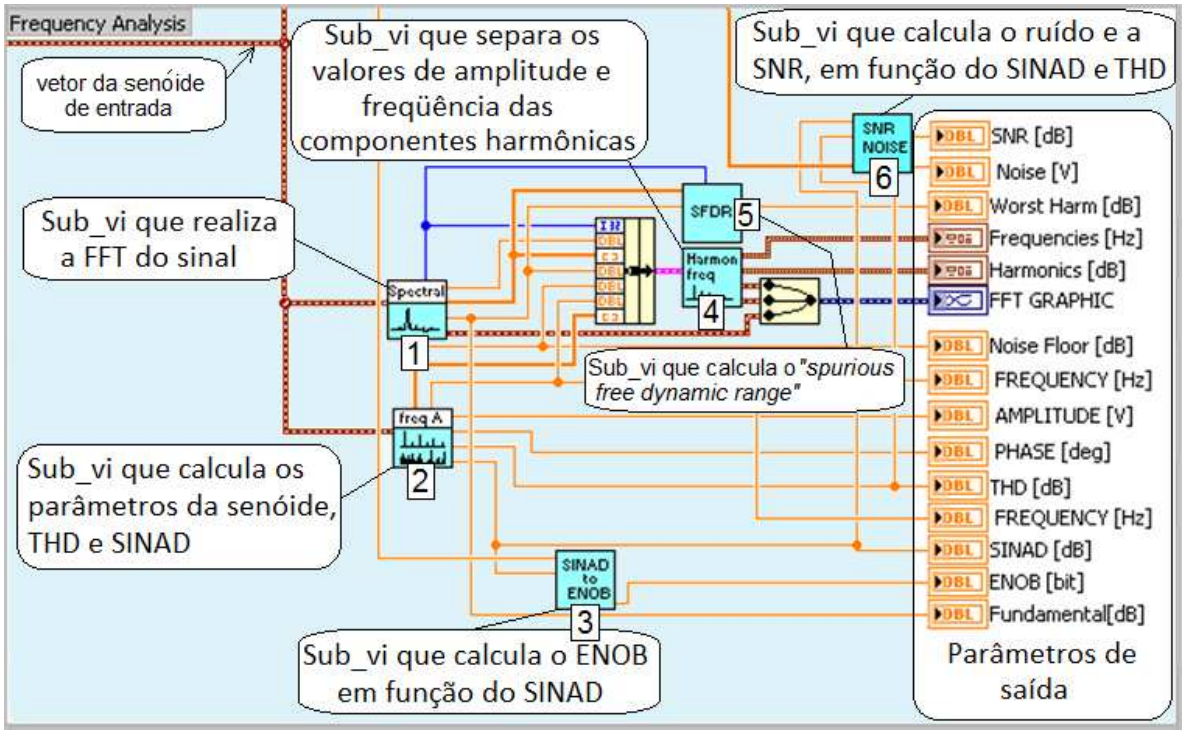

Figura 35 – Diagrama blocos do programa para análises no domínio da freqüência

3.8 Análise dos sub-vi do domínio da freqüência

Foram desenvolvidos vi para análises das harmônicas exibidas no gráfico da FFT usando a janela de "*four terms Blackman-Haris*", 10 "*averages*". Esta opção foi escolhida a partir dos bons resultados encontrados na literatura [17].

Novas funções foram criadas para realizar rotinas de cálculo específico para obtenção do SFDR "*spurious free dynamic range*", a relação entre SINAD "relação sinal/ruído+distorção" e ENOB "número efetivo de bits", correção de ENOB e "*noise floor*".

Outros parâmetros foram calculados a partir de rotinas de processamento de sinais nativas do "*LabView*", tais como: "*Extract Single Tone Information 1 Chan*", "*Harmonic Distortion Analyzer 1 Chan*" e "*SINAD Analyzer VI*".

Os testes realizados não ultrapassam a freqüência de "Nyquist", para que seja possível ultrapassar esta freqüência deve-se alterar a estrutura das funções nativas do "*LabView*", pois estas não funcionam corretamente quando ultrapassado este critério.

Uma rotina foi desenvolvida para apresentar as freqüências do espectro em dB da segunda à sexta harmônica. Também foi desenvolvida uma rotina para o cálculo de SNR "relação sinal/ruído".

3.8.1 Sub-vi de número 1 (Spectral)

É mostrado na Figura 36, a ilustração do diagrama de blocos do sub-vi (Spectral), cujos dados de entrada são a forma de onda senoidal de teste e o número de bits do conversor analógico-digital sobre avaliação. Nesta, a principal função é realizada pelo "*Spectral Measurements.vi*", que executa medidas espectrais, baseadas em FFT, tais como o espectro de magnitude média, espectro de potência e espectro de fase de um sinal.

Com a disponibilidade do sinal de magnitude média, neste mesmo sub-vi, adicionou-se uma rotina para calcular o valor do "*noise floor*" em dB, segundo descrito na norma [3]. A Equação (29) indica o cálculo para ENBW, que significa do inglês "*Equivalent Noise BandWidth*", largura de banda equivalente do ruído, e sua rotina pode se vista na Figura 36.

$$\text{ENBW} = \frac{M \sum_{k=0}^{M-1} w^2[k]}{(\sum_{k=0}^{M-1} w[k])^2} \tag{29}$$

Onde, M é o número de amostras da janela, neste caso em particular o valor de M é de 4026 amostras, k é o índice e w [k] é o coeficiente de janela.

O valor de ENBW, cuja rotina está exposta na Figura 36, é utilizado na Equação (30) a seguir, que calcula o valor de "*noise floor*" em decibel.

$$\text{Noise floor} = 6{,}02N + 1{,}76 + 10.log_{10}\left(\frac{M}{2.ENBW}\right) \tag{30}$$

Onde, N é o número de bits e M é o número de amostras da janela.

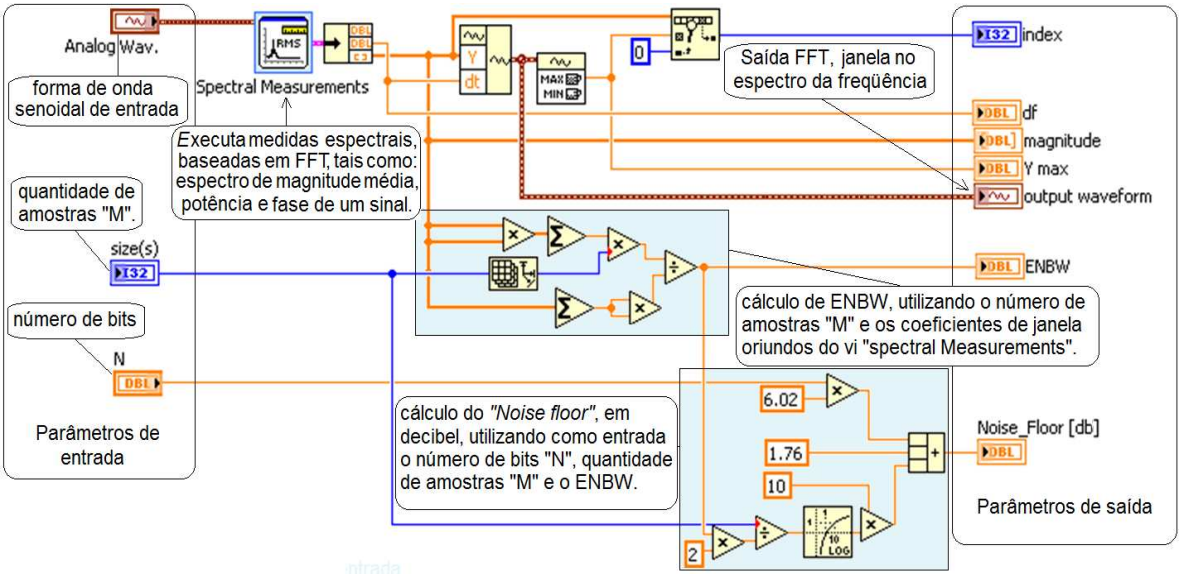

Figura 36 – Diagrama blocos do sub-vi de número 1 (Spectral)

A Figura 37 ilustra a tela de configuração do "*Spectral Measurements.vi*", onde é possível selecionar o tipo de janela, o tipo e número de médias, se a exibição da janela é linear ou em dB e o tipo de magnitude, com as opções selecionadas para o teste.

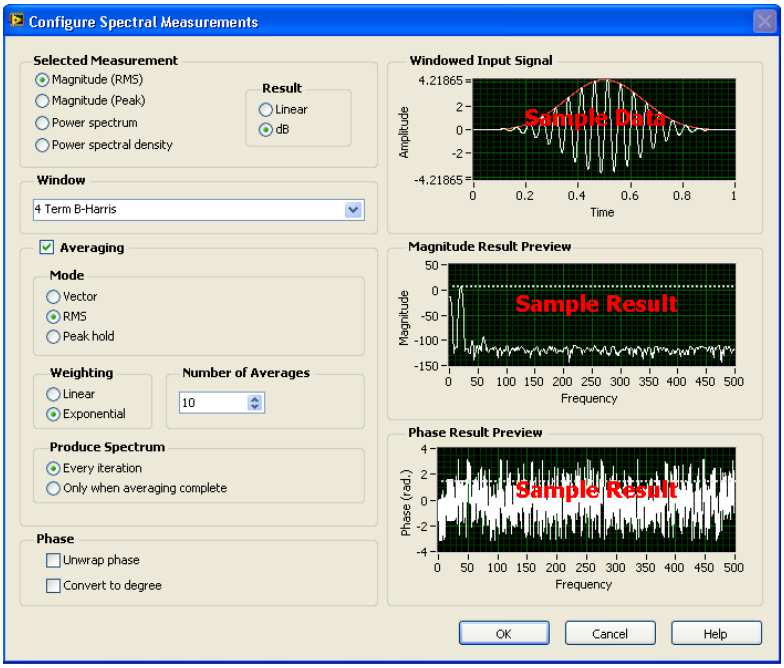

Figura 37 – Tela de configuração do vi "*Spectral Measurements*"

3.8.2 Sub-vi de número 2 (Freq A)

Nesta sub-rotina, Figura 38, foram utilizadas três rotinas nativas do "*LabView*" para condicionamento de sinais. "*Extract Single Tone Information 1 Chan*", para extração da amplitude e fase. "*Harmonic Distortion Analyzer 1 Chan*", para cálculo do THD, considerando seis harmônicas. E "*SINAD Analyzer VI*", para extração do SINAD e THD mais distorção.

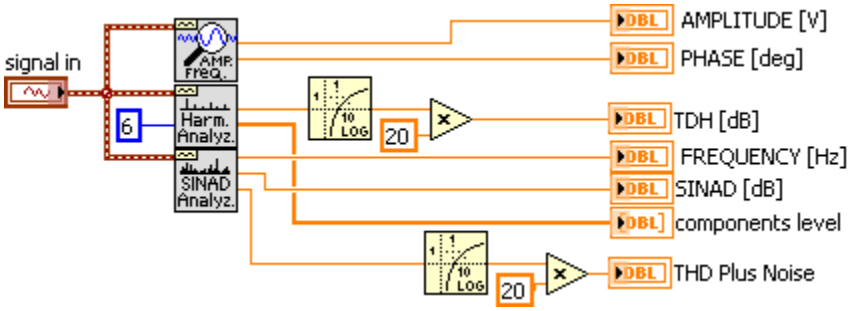

Figura 38 – Diagrama blocos do sub-vi de número 2 (freq A)

3.8.3 Sub-vi de número 3 (SINAD to ENOB)

Uma forma relacionar estas duas grandezas está descrita na Equação (12), repetida aqui por conveniência.

$$ENOB = \frac{SINAD_{medido} - 1.76dB}{6.02dB} \tag{12}$$

Isso acontece pela facilidade de extrair o SINAD através da FFT. Porém essa equação só é verdadeira no caso em que o sinal de entrada atinge o valor FS "*Full Scale range*", que é o valor de fundo de escala.

Quando o valor aplicado é ligeiramente menor, ou seja, diferente do valor de "*full sacale*" é necessária uma correção no valor do ENOB. Para tal, usa-se a seguinte equação:

$$\text{ENOB} = \frac{\text{SINAD} - 1.76\text{ dB} + 20.\log\left(\frac{V\ de\ fund\ \ o\ de\ escala}{\text{amplitude de entrada}}\right)}{6.02\text{ dB}} \tag{31}$$

O sub-vi de número 3, calcula o valor de ENOB, usando como parâmetro de entrada o valor do SINAD calculado a partir da FFT e a amplitude da onda senoidal de entrada. O diagrama de blocos deste sub-vi está ilustrado na Figura 39, que executa as Equações (12) e (31) para cálculos de ENOB em dB.

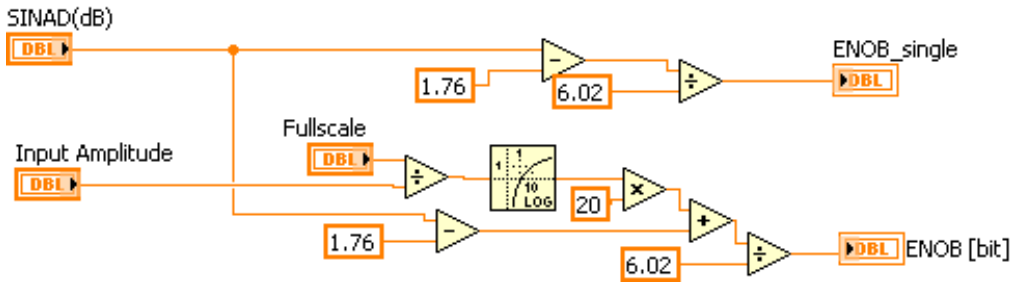

Figura 39 – Diagrama blocos do sub-vi de número 3 (SINAD to ENOB)

3.8.4 Sub-vi de número 4 (Harm. Freq.)

Recebendo como dados de entrada as saídas dos sub-vi 1 e 2, organizadas em um "*cluster*", que pode ser visto na Figura 35.

O sub-vi de número 4, ilustrado na Figura 40, separa as amplitudes das harmônicas e valores de freqüência no espectro, conforme os comentários expostos na figura, para serem exibidas na interface do software com o usuário e gerar os vetores que irão identificá-las no gráfico. O conjunto dos vetores de saída desta rotina forma o gráfico geral de saída do ensaio no domínio da freqüência.

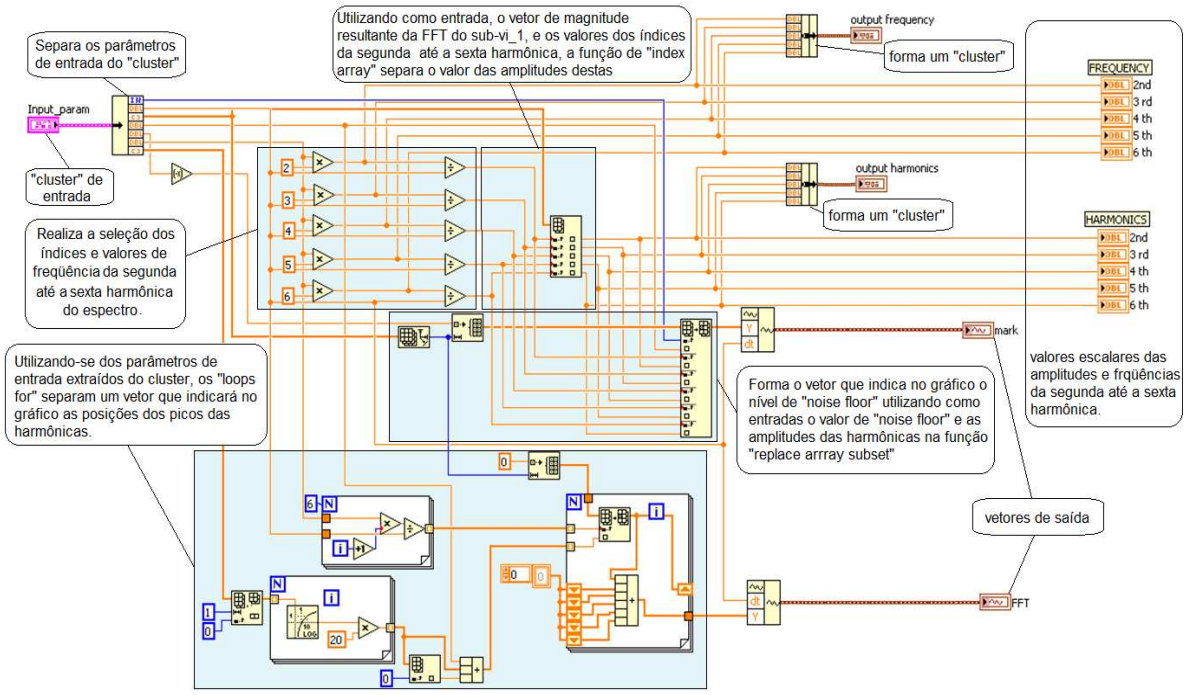

Figura 40 – Diagrama blocos do sub-vi de número 4 (Harm. Freq.)

3.8.5 Sub-vi de número 5 (SFDR)

Como conceituado no capítulo 1, o "*spurious free dynamic range*" (SFDR) é a relação entre a amplitude da freqüência fundamental e a maior magnitude de uma componente harmônica ou sinal espúrio observado ao longo do espectro até a freqüência de Nyquist. Na Figura 41 pode-se visualizar o SFDR graficamente na janela do espectro da FFT.

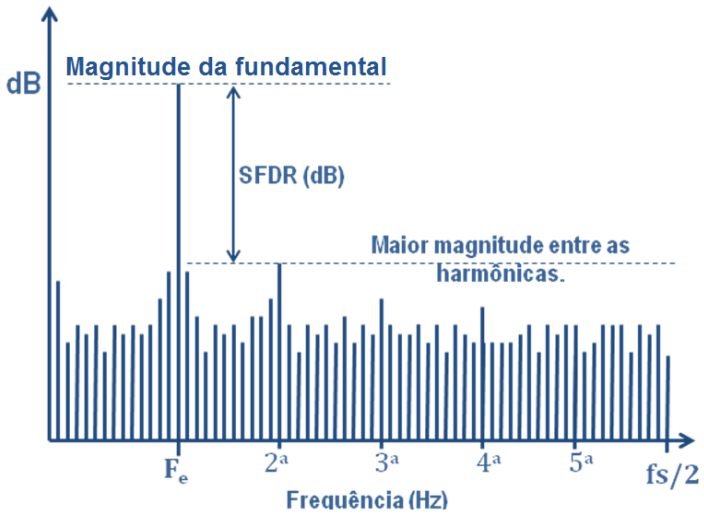

Figura 41 – Solução gráfica para o valor do SFDR

Ilustrada na Figura 42, está o sub-vi de número 5, que calcula a diferença para o pior caso, sem excluir nenhuma harmônica, também conhecido do como do inglês "*Worst Harmonic"*. Na entrada, os parâmetros de magnitude, o vetor de índex e o valor da magnitude da freqüência fundamental, chamado de "y max" no vi. O valor de magnitude máxima é extraído do vetor magnitude e depois subtraído de "y max", obtendo o SFDR em dB.

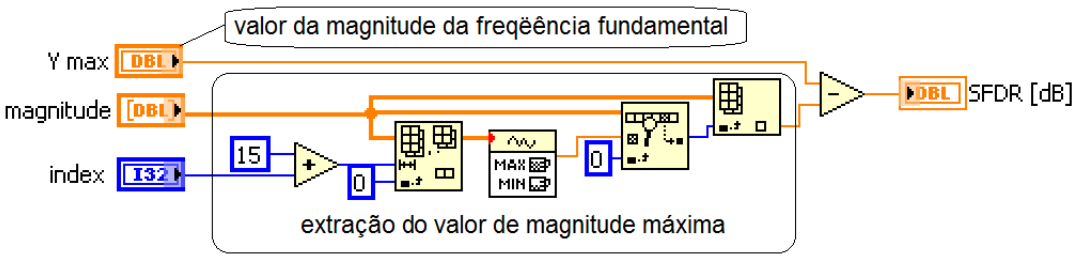

Figura 42 – Diagrama blocos do sub-vi de número 5 (SFDR)

3.8.6 Sub-vi de número 6 (SNR NOISE)

Os termos SINAD e SNR são freqüentemente confundidos, porém o SNR é apenas a relação sinal-ruído "*Signal to Noise ratio*" (S/N) sem considerar a distorção. O SNR em dB é calculado por meio da equação:

$$SNR = 20.log\left(\frac{Sinal}{Ruído}\right) \tag{32}$$

O cálculo de THD é proveniente da raiz do quadrado da soma das harmônicas. No caso do teste executado, considerou-se até a sexta harmônica [3].

$$THD = \frac{1}{\mathrm{M}} \sqrt{\sum_{h} \left(X_{avm}\ (f_h)\right)^2} \tag{33}$$

Onde, $X_{avm}\ (f_h)$ é a média da magnitude da componente harmônica e M é o número de amostras. Por meio das relações matemáticas entre o SINAD, SNR e THD, [7]. Podemos calcular o SNR e o Ruído:

$$\mathrm{SNR} = -10 \log\left[10^{-\mathrm{SINAD}/10} - 10^{-\mathrm{THD}/10}\right] \tag{34}$$

$$\frac{\text{Ruído}}{\text{Sinal}} = 10^{-\mathrm{SNR}/20} \tag{35}$$

Usando como dados de entrada os valores de SINAD em dB, THD em dB e o vetor do sinal senoidal de entrada, o sub-vi de número 6, conforme ilustrado na Figura 43, realiza o cálculo descrito na Equação (35) para extrair o valor isolado do ruído, chamado de "Noise [dB]" no mesmo, e para isolar o valor de SNR, é implementada a Equação (35). A função "*Amplitude and level Measurements*" é utilizada para extrair o valor *rms* do sinal.

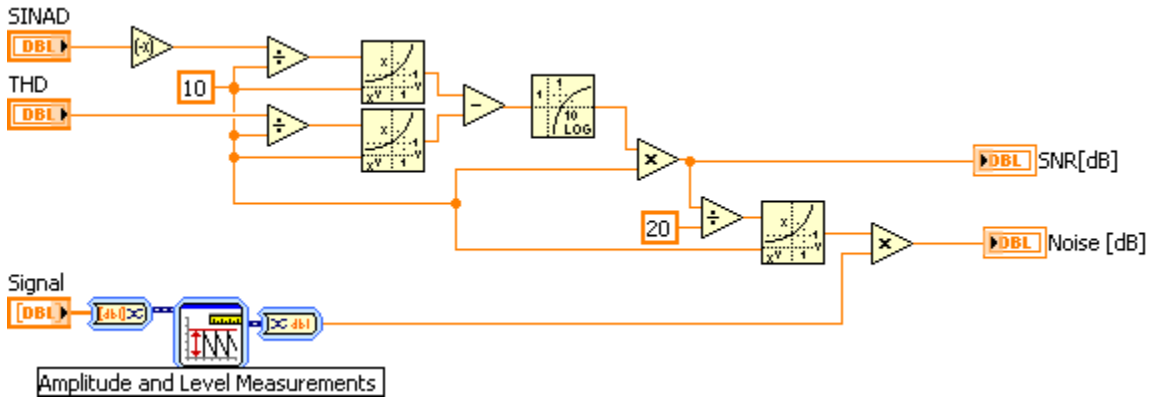

Figura 43 – Diagrama blocos do sub-vi de número 6 (SNR NOISE)

3.9 Desenvolvimento do software de interface gráfica para os ensaios dinâmicos

Uma interface com o usuário para o sistema de caracterização automático foi desenvolvida, facilitando a execução dos ensaios. Os itens a seguir farão a descrição de cada tipo de tela desenvolvida para a realização dos testes.

3.9.1 Telas de introdução dos parâmetros do teste

Em relação à entrada dos dados de teste e controle dos instrumentos, as duas abas estão ilustradas na Figura 44.

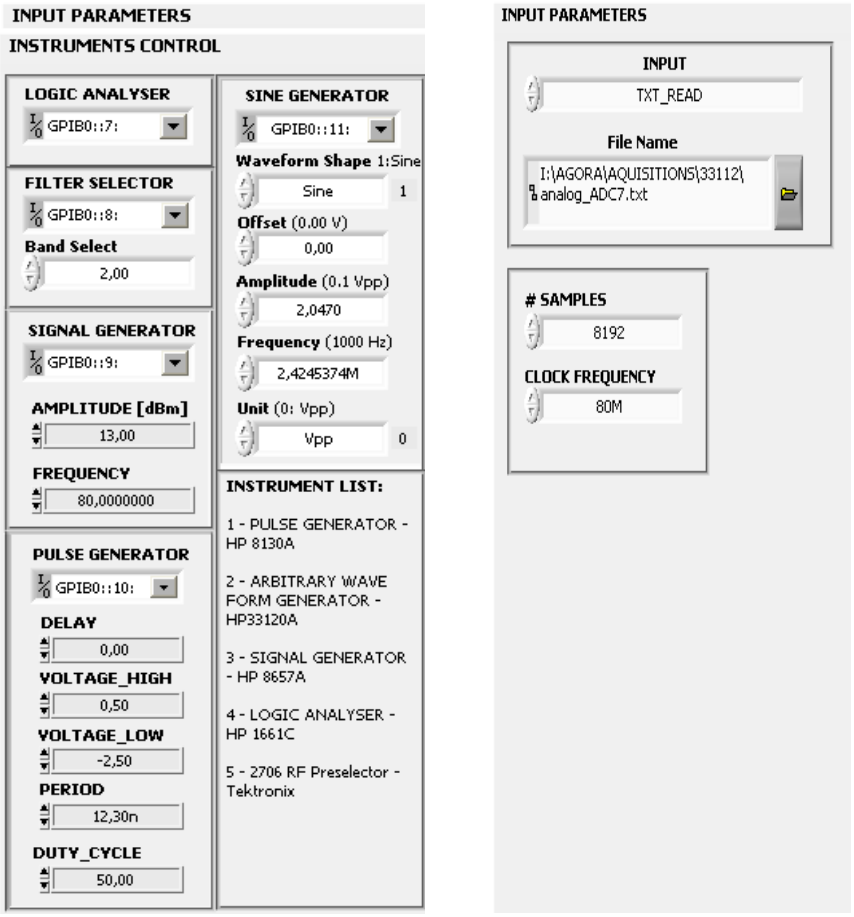

Figura 44 – Abas para controle dos instrumentos e entrada de parâmetros para o ensaio de caracterização dinâmica

Pode-se, além de realizar testes de bancada, aproveitar a interface gráfica projetada para visualizar e analisar dados já coletados e gravados na CPU de um PC no formato "txt".

Para tal, basta selecionar na opção "INPUT" o que deseja realizar, se "WAVEFORM" para o teste físico ou "TXT_READ" para análise e visualização de arquivos salvos anteriormente. Além disso, existe a opção "ARRAY_NUMBER" que faz com que possamos usar este programa como "*sub-vi*", sub-rotina, em outro programa maior. As outras opções são:

- "#SAMPLES", é a quantidade de pontos que deseja adquirir.
- "CLOCK FREQUENCY" é a freqüência da taxa de conversão do conversor.
- "N", é o número de bits do conversor.

Na aba de "INSTRUMENTS CONTROL", são digitados os parâmetros de entrada para os instrumentos de acordo com as especificações do fabricante do conversor analógico-digital a ser testado e dos cálculos de coerência. A tela traz ainda uma lista dos instrumentos disponíveis.

3.9.2 Telas de visualização de resultados

Para a visualização e análise dos resultados dos ensaios foram designadas três abas.

A primeira aba fornece informações gráficas sobre os bits capturados pelo analisador lógico, conforme ilustrado na Figura 45.

No lado esquerdo da tela da Figura 45. Há uma tabela com todos os códigos em binário adquiridos. Quando o observador desejar extrair informações através do gráfico, terá as opções de interatividade oferecidas pela plataforma "*LabView*", tais como: zoom, navegação no gráfico, além de modificar as cores e ler o posicionamento de cursores conforme a necessidade.

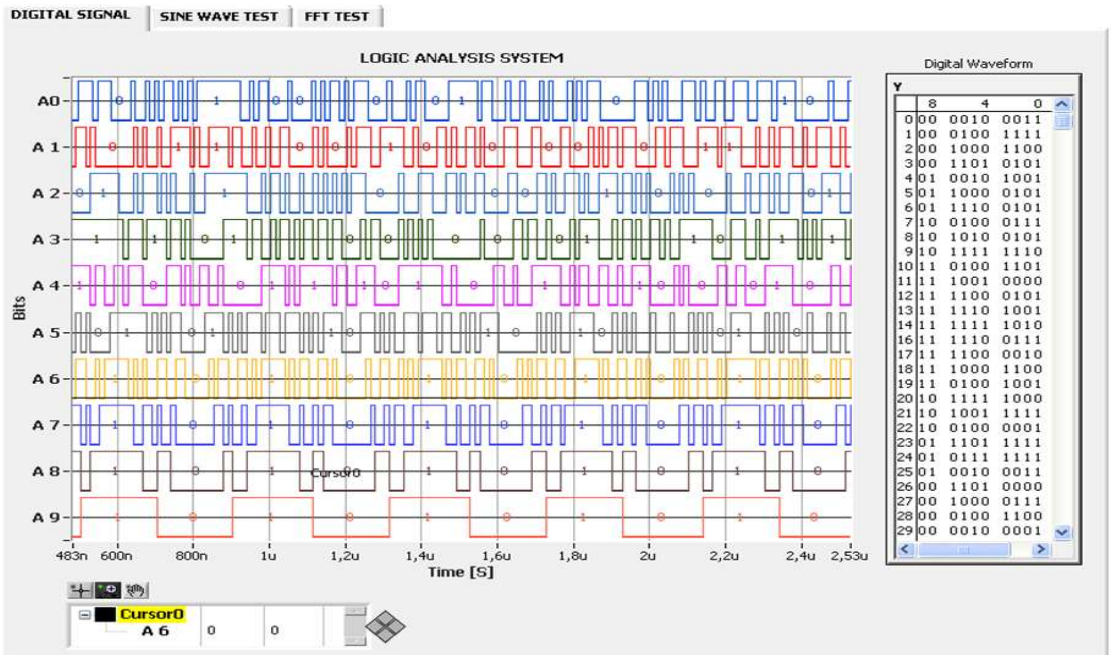

Figura 45 – Tela de visualização dos bits com formas de ondas digitais

Na segunda aba "SINE WAVE TEST" estão disponíveis as informações obtidas no domínio do tempo. Nela, pode-se visualizar a forma de onda senoidal de entrada e a forma de onda senoidal de "*fitting*", e o gráfico dos resíduos logo abaixo. Mais à esquerda, estão os parâmetros calculados e adquiridos no teste, conforme ilustrado na Figura 46.

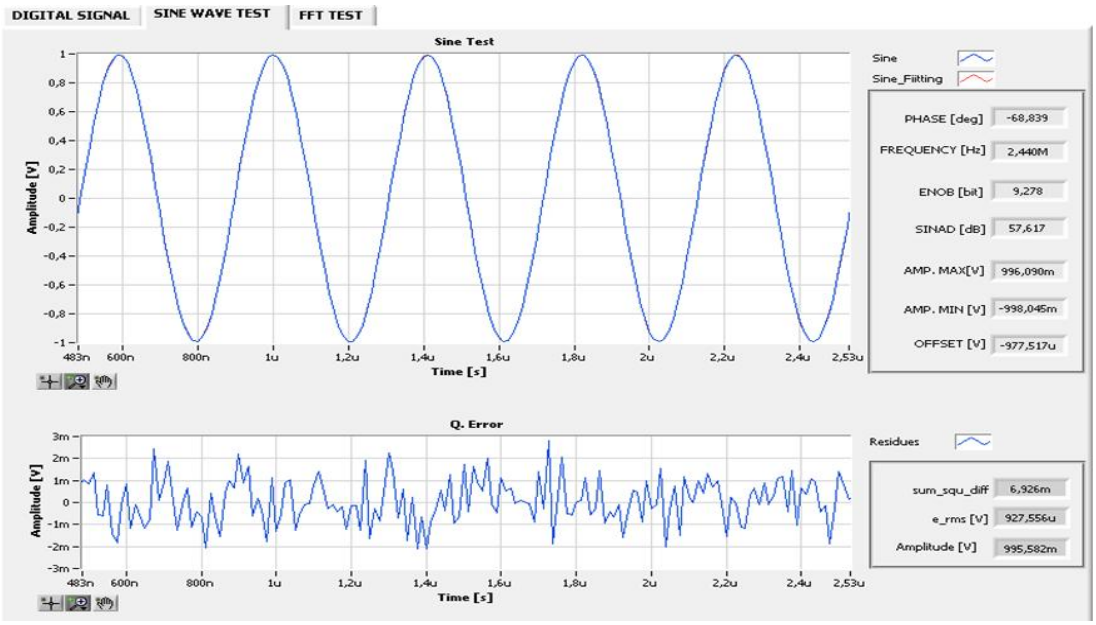

Figura 46 – Tela de visualização os resultados no domínio do tempo

Na terceira aba “FFT TEST” são expostos vários dados, obtidos da análise no domínio da freqüência. À direita está o gráfico da FFT com as ferramentas de navegação e medidas da disponibilizadas pela plataforma. Do lado esquerdo da tela estão todos os dados obtidos através desta análise. Observe que os valores das freqüências e das amplitudes das harmônicas também são mostrados, conforme ilustra a Figura 47.

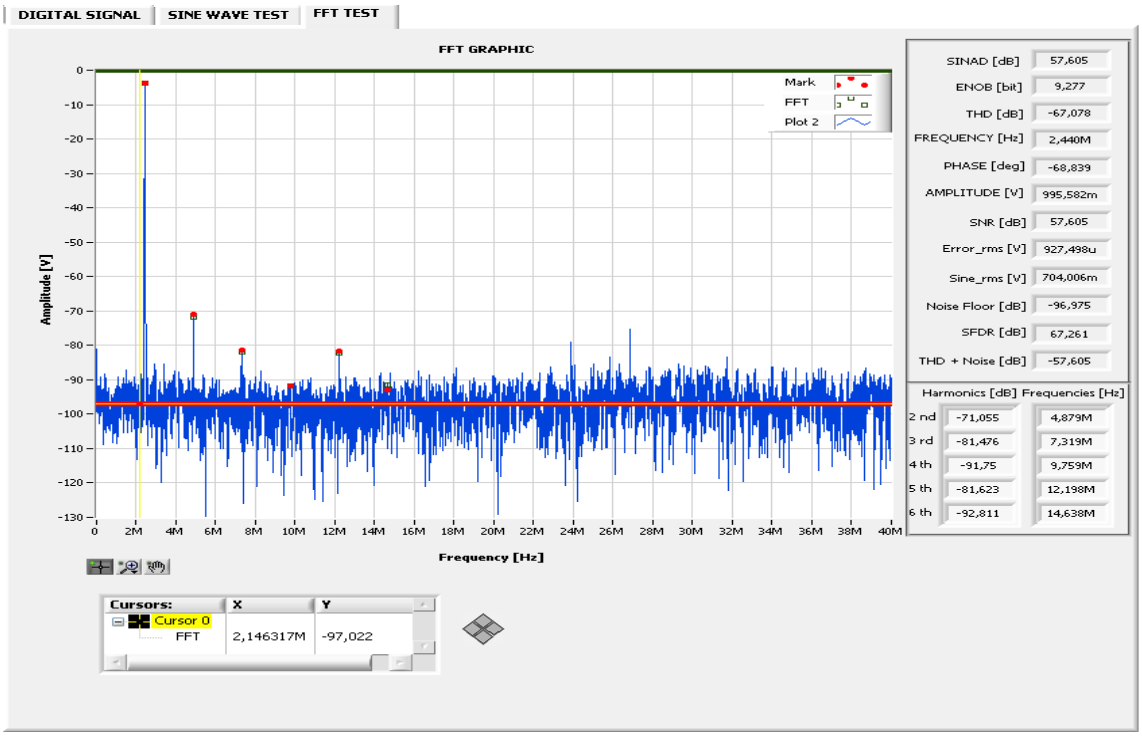

Figura 47 - Tela de visualização dos resultados no domínio da freqüência

3.10 Plataforma física de caracterização para ensaios estáticos

Os métodos descritos no capítulo 2 permitem a determinação dos chamados “*locating code transitions*” [3], ou seja, os níveis de tensão de limiar de transição dos códigos binários nos pinos de saída do conversor analógico-digital em cada ciclo de conversão.

Para a obtenção destes valores foi montada uma plataforma de teste conforme mostra a Figura 48, com a distribuição dos instrumentos e suas respectivas ligações.

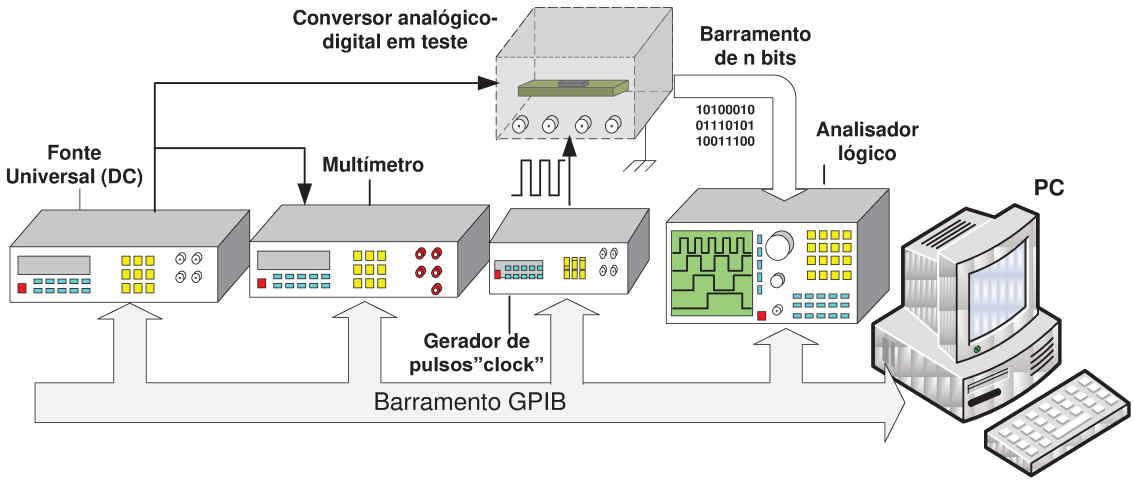

Figura 48 – Esquema de ligações do sistema de caracterização estática

Assim como nos ensaios dinâmicos, foram usadas baterias como fontes de alimentação e a placa de teste foi devidamente protegida por uma caixa metálica. A Tabela 3 indica os modelos dos instrumentos utilizados e seus respectivos fabricantes.

Os testes foram realizados no conversor analógico-digital modelo AD0804 da "*National Semiconductor*" inserido em uma placa de avaliação. Como os instrumentos possuem entradas BNC, a placa foi instrumentada com os mesmos.

Em operação, a fonte universal é ajustada para o modo "DC" e o programa em "*LabView*" comanda suas ações, por meio de GPIB. O gerador de pulso é ajustado para a freqüência adequada e com "*duty cycle*" de 50%, gerando o sinal de entrada de "*cloc*k" para o conversor analógico-digital. O Analisador lógico faz o papel de "*buffer*" e memória para a captura dos dados dos bits de saída.

Tabela 3 – Lista dos equipamentos e seus respectivos modelos para ensaio estático.

Instrumento	Modelo	Descrição resumida
Analisador lógico	HP1661C	Memória: 8k amostras, velocidade em modo "state": 100 MHz
Gerador Arbitrário	HP33120A	Sintetizador de 15 MHz, onda arbitrária de 12-bit e 40MSa/s
Gerador de Pulso	HP8130A	Gera pulsos de até 300 MHz
Multímetro	HP3458A	10nV de sensibilidade, 8,5 dígitos de alta precisão
Fonte Universal	HP3245A	Saída em volt de ±10,25 V DC ,6 dígitos de resolução (24 bits)

3.11 Desenvolvimento da programação para ensaios estáticos

O fluxograma geral do programa desenvolvido na plataforma "*LabView*", ilustrado na Figura 49, refere-se ao ensaio estático. Conforme mostra o fluxograma, os valores medidos pelo voltímetro são comparados ciclo a ciclo até que a palavra digital das 8192 medidas atinja 50% para o nível superior na leitura de saída do conversor. Enquanto, a comparação não chegar nestes 50%, será adicionado ou subtraído um potencial DC, até atingir a meta dos 50%. Quando isso ocorrer é somado um potencial DC positivo, equivalente a V_{LSB} até completar os 256 níveis de degraus, para um conversor de 8 bits, para construir a função de transferência.

Uma visão geral do código principal do programa é ilustrada na Figura 50.

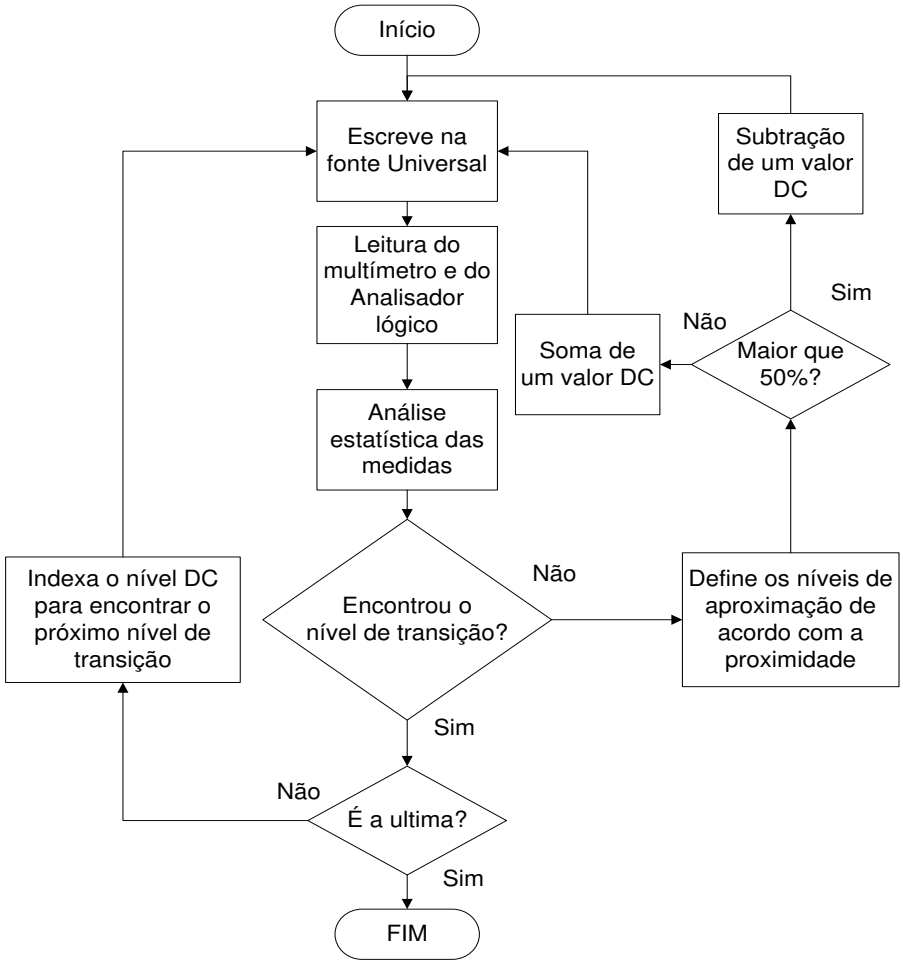

Figura 49 - Diagrama de fluxo do programa desenvolvido para o ensaio estático

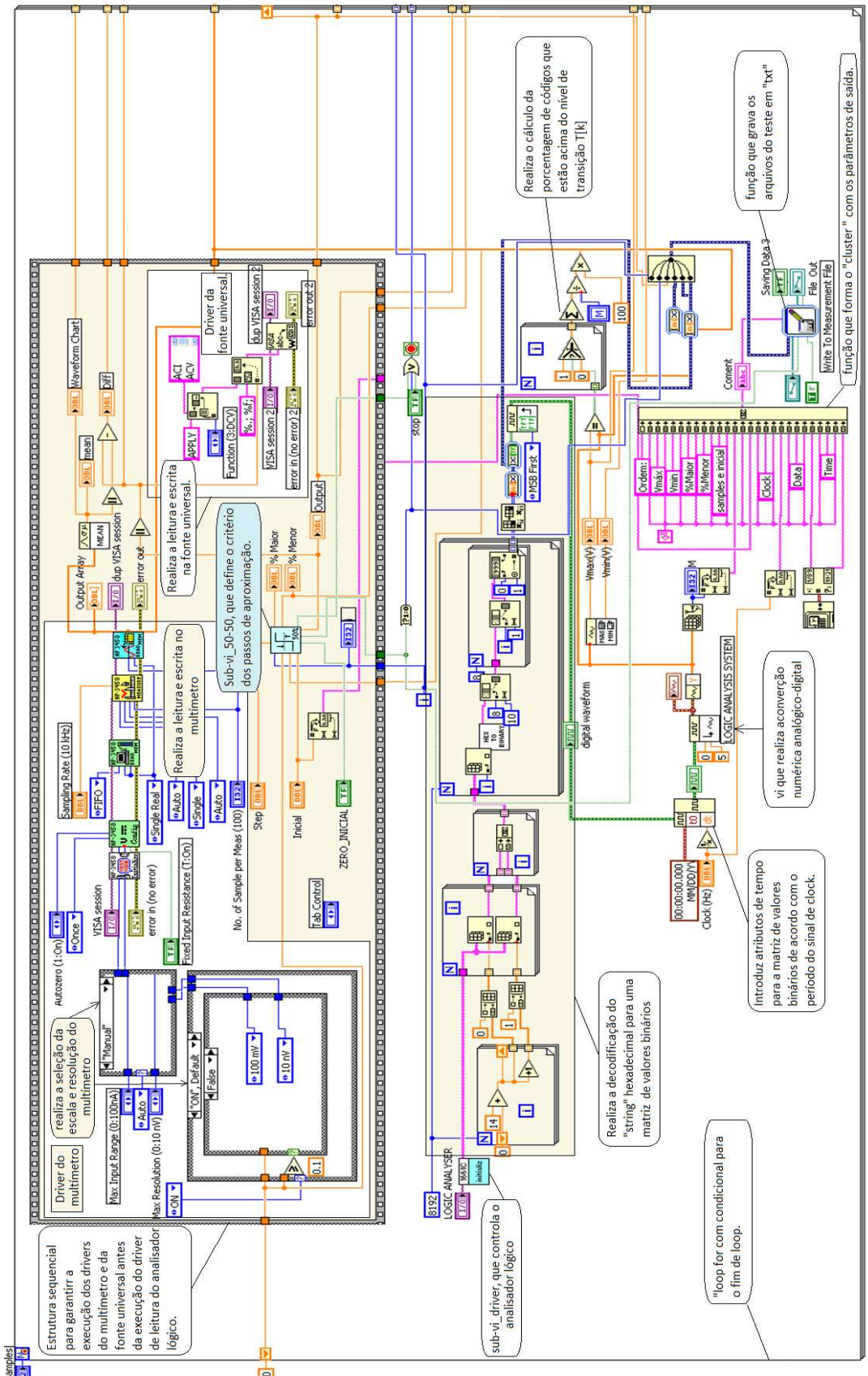

Figura 50 – Visão geral do código do programa para o ensaio estático

Dentro do "loop" principal, existe uma estrutura seqüencial, conforme comentários na Figura 50, para garantir que a escrita na fonte universal e leitura do multímetro aconteçam antes da leitura do analisador lógico, decodificação, e conversão digital-analógica. O cálculo da porcentagem de códigos acima ou abaixo do nível de transição é realizado, então estes dados fornecem as informações para a comparação realizada no sub-vi chamado de "50-50". O ciclo se repete até que sejam encontrados todos os níveis de transição T[k] e será descrito a seguir.

3.11.1 Sub-vi de aproximação (50-50)

Este sub-vi define o valor de tensão (passo) aplicada na entrada do conversor analógico-digital, sua polaridade, (soma ou subtração), e avalia o resultado. A Figura 51 ilustra seu código em diagrama de blocos e comentários pertinentes as funções.

Como dados de entrada, estão o valor gerado, número de ciclos, valor inicial, valor do passo e valor de porcentagem do número de vezes que o código decidiu por um nível superior. Após a entrada destes, a rotina compara o valor desta porcentagem para definir qual será o passo de aproximação, são cinco tamanhos de passo possíveis de acordo com a proximidade com o valor de 50%. Quando este valor é alcançado, uma saída "*booleana*" apresenta nível lógico alto.

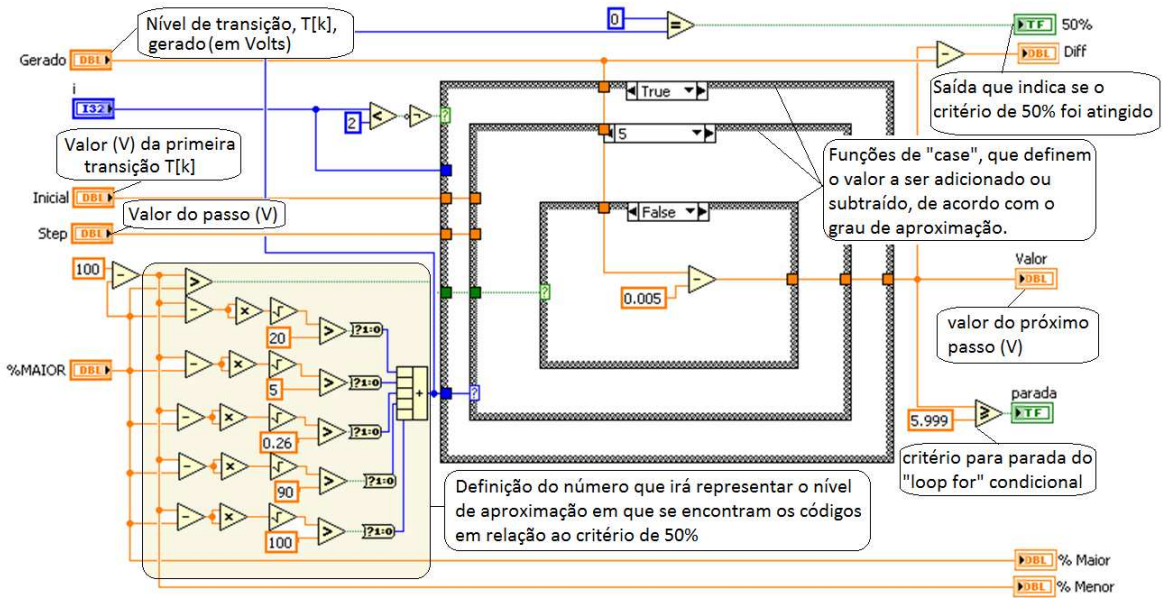

Figura 51 – Código em diagrama de blocos da sub-rotina de aproximação 50-50

3.12 Desenvolvimento do software de interface gráfica para o ensaio estático

Diferentemente dos ensaios dinâmicos, nestes ensaios temos as telas de entrada de parâmetros de controle para os instrumentos e telas de acompanhamento. A tela de resultados exibe somente uma parte dos dados coletados, isso acontece porque é necessário um pós- processamento depois de completado o ensaio. Como o ensaio é longo por conta das várias interações e da enorme quantidade de comparações, ele pode ser pausado e depois continuado. Uma eventual parada intencional não influencia nos resultados, pois este é um ensaio estático, basta continuar a partir do último passo.

3.12.1 Telas de acompanhamento, resultados e controle do ensaio estático

A Figura 52, mostra a tela de acompanhamento do ensaio, com a ilustração do código binário em forma gráfica e de tabela, o valor do nível DC aplicado e as porcentagens de decisão do código. Pode-se parar o ensaio por meio de um botão de parada e decidir se começa o ensaio do zero ou de um determinado valor usando o botão "ZERO_INICIAL".

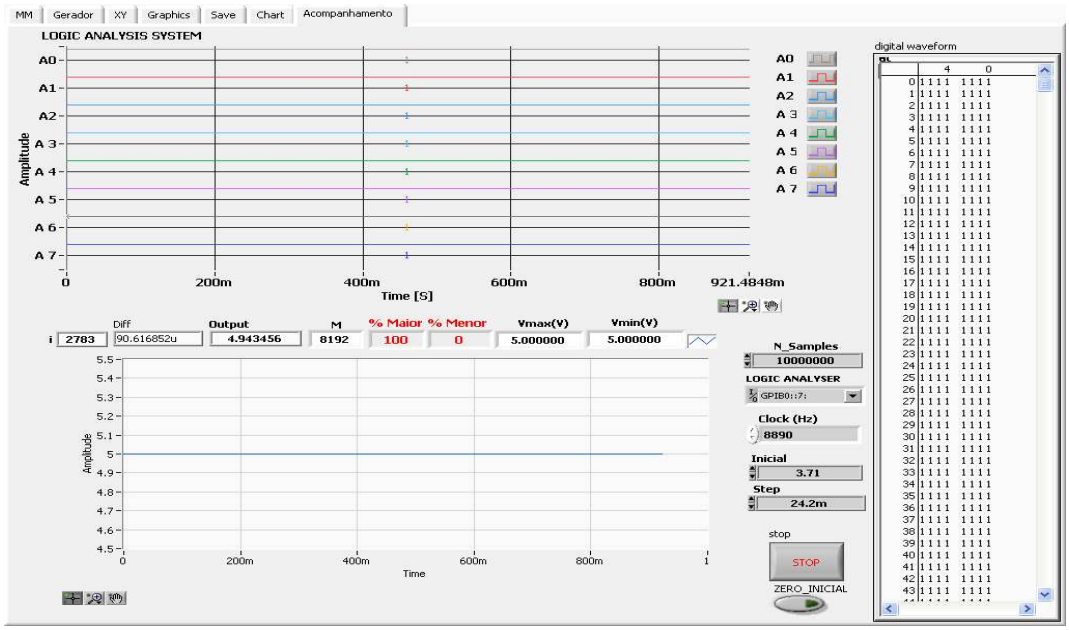

Figura 52 – Tela principal de acompanhamento para o ensaio estático

Na tela de controle e leitura do multímetro da Figura 53, pode-se visualizar ou alterar o endereço GPIB do instrumento, ajustar os parâmetros de “Max Input range”, “Max Resolution” e “Sample Rate”. Os valores de dez leituras e da média das mesmas podem ser vistos no lado direito da tela.

Gera-se uma tela para visualização dos passos que indica os valores de transição atingidos, no eixo “y”, em relação aos valores ideais das transições, no eixo “x”, conforme ilustrado na Figura 54.

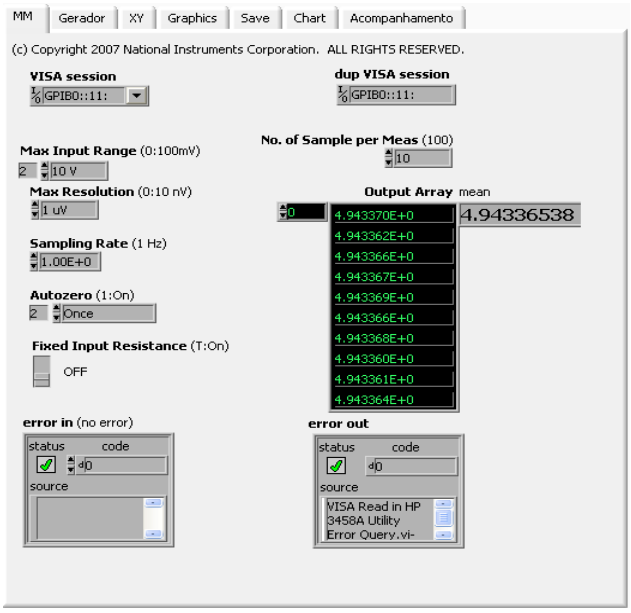

Figura 53 – Tela de controle e leitura do multímetro para o ensaio estático

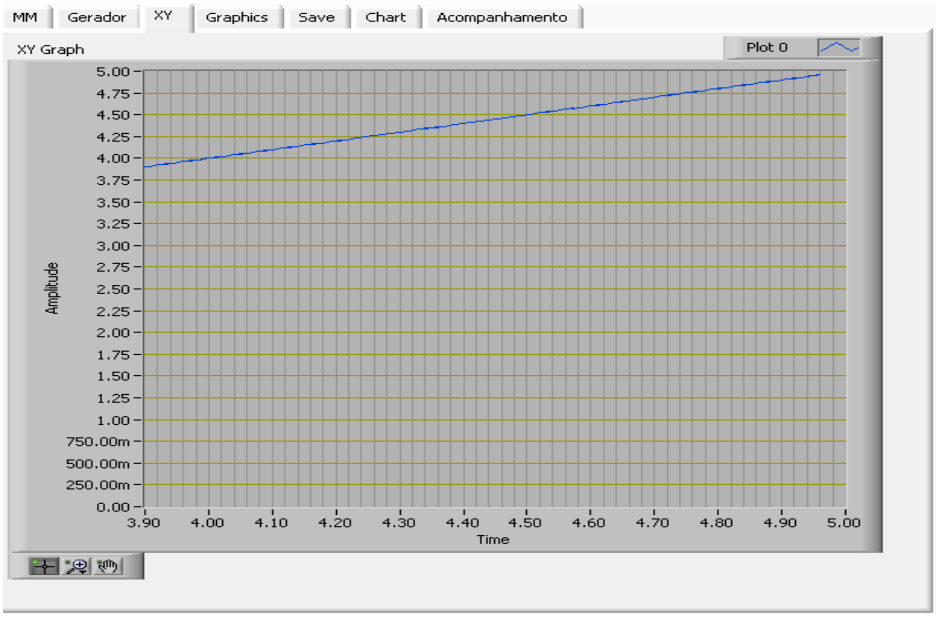

Figura 54 – Tela de visualização x-y para o ensaio estático

Capítulo 4 **Resultados experimentais**

4.1 Introdução

Neste capítulo são apresentados e discutidos os dados coletados durante o desenvolvimento dos trabalhos.

O sistema integrado para caracterização automática de conversores analógico-digitais desenvolvido utiliza duas técnicas para os ensaios dinâmicos, no domínio do tempo e no domínio da freqüência, e uma técnica para o ensaio estático. A montagem instrumental está exibida na Figura 55, mostrando em cada instrumento um ou mais números correspondentes aos tipos de caracterizações dos quais participa. Os números estão associados aos tipos de caracterizações da seguinte maneira:

1. Caracterização no domínio do tempo, por meio de aproximação, "*fitting*'.
2. Caracterização no domínio da freqüência, por meio de FFT.
3. Caracterização estática, por meio de ciclos de realimentação.

Medições estáticas são utilizadas para extrair as características de linearidade, tais como INL e DNL utilizando como entrada sinais de corrente contínua. O sistema de teste comentado no item 2.3.6 do capítulo 2 foi montado para realização do teste estático.

Para caracterização de conversores com alta velocidade de conversão, a técnica dinâmica utilizando a FFT, ganha importância por conta dos parâmetros relacionados a aplicações destes em telecomunicações, como por exemplo, THD e SFDR.

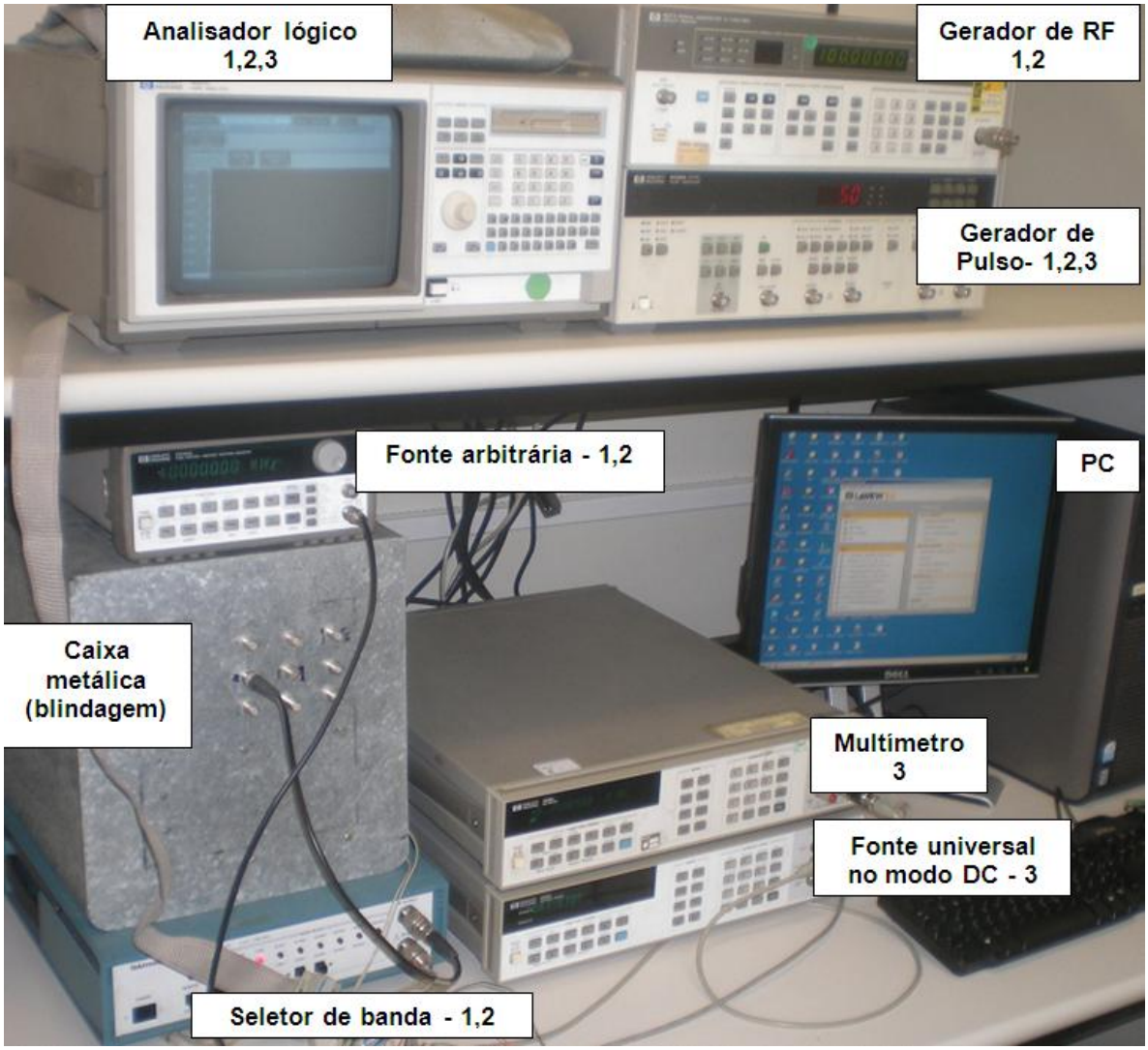

Figura 55 – Foto da bancada de caracterização com a disposição de todos os instrumentos utilizados

Todos estes instrumentos estão conectados com o computador por meio de cabos GPIB.

O sistema foi testado com a caracterização de dois conversores A/D distintos. Um que possui resolução nominal de 10 bits e taxa de conversão de 80 MSPS e outro com a resolução nominal de 8 bits e taxa de conversão de 8 KSPS.

As principais características nominais destes dois componentes são apresentadas a seguir:

4.1.1 ADC0804 (National Semiconductor)

O componente AD8004 é um conversor analógico-digital monolítico, tipo aproximação sucessiva com oito bits de resolução e tempo de conversão de 100 μs.

As principais características construtivas e de desempenho do modelo AD0804 [18] estão descritas abaixo:

- Fonte simples de 5V com operação (4,5V até 5,25V).
- Entrada analógica: faixa de 0 a 5V diferencial.
- Offset binário ou formato de dados em complemento de dois.
- Resolução de 8 bits.
- INL(Max) de ± 0.5LSB
- DNL(Max) de ± 0.5LSB
- V_{REF} externo.
- Freqüência de "*clock*" máxima de 640kHz.
- Freqüência de conversão de 8,88kSPS.

4.1.2 AD9215 (Analog Devices)

O AD9215 é de uma família de conversores analógico-digitais monolíticos tipo pipeline de múltiplos estágios, com 10 bits de resolução e três possíveis taxas de amostragem 65, 80 e 105 MSPS "*Mega Samples Per Second"*. O exemplar avaliado possui taxa de conversão de 80 MSPS.

As principais características de desempenho do conversor analógico-digital, modelo AD9215 [19]. Suas principais características construtivas e de desempenho estão a seguir:

- Fonte simples de 3V com operação (2,7V até 3,6V).
- Entrada analógica flexível: faixa de $1V_{PP}$ até$2V_{PP}$.
- Offset binário ou formato de dados em complemento de dois.
- Estabilizador de ciclo de clock e Referência no chip e SHA "*Sample and Hold Amplifier*".
- Freqüência de "*clock"* de 80MHz
- SNR de valor típico 59dB e mínimo de 56.5dB

- SINAD de valor típico 58.5dB e mínimo de 56dB
- ENOB de valor típico 9.5bits e mínimo de 9.1bits
- Pior harmônica (segunda ou terceira) de valor típico 75dB e mínimo de 68dB
- SFDR (Excluindo a segunda e terceira) de valor típico 78dB e mínimo de 70dB

4.2 Ensaios de caracterização

4.2.1 Tipos de Caracterização

De acordo com as características peculiares de cada amostra, é possível utilizar diferentes técnicas de caracterização. A Tabela 4 indica que tipo de caracterização é mais pertinente para cada amostra.

O conversor AD9215 foi caracterizado de forma dinâmica nos domínios do tempo e da freqüência, apesar de possuir uma alta taxa de amostragem e ser mais relevante a caracterização no domínio da freqüência a comparação com os resultados obtidos no domínio do tempo serão de vital importância para a validação do ensaio em relação a um software de referência, isto será descrito com maiores detalhes na seção a seguir.

Quanto à caracterização estática, somente o ADC0804 foi submetido, pois o AD9215 foi adquirido com sua respectiva placa de avaliação, cujo circuito possui um transformador de acoplamento na entrada, bloqueando os sinais DC [19]. O esquema elétrico da placa de avaliação está disponível no apêndice A.

O conversor ADC0804, por possuir uma taxa de amostragem bem mais baixa, foi caracterizado de forma dinâmica no domínio do tempo, já que não possui aplicação em altas freqüências. Considerando as aplicações e condições em que operam estes dois conversores analógico-digitais, as caracterizações pertinentes e significativas seriam: domínio do tempo para o ADC0804 e domínio da freqüência para o AD9215. Mesmo assim, dada a disponibilidade do sistema, os dois componentes foram submetidos às duas

técnicas de caracterização. A técnica para teste estático, utilizando sinais de corrente contínua como entrada, naturalmente, só pode ser aplicada ao ADC0804.

Tabela 4 – Lista dos ensaios mais pertinentes para cada amostra

Conversor	Dinâmico (SENO)		Estático (DC)
	Domínio do Tempo	Domínio da Freqüência	
ADC0804	X	-	X
AD9215	-	X	-

As imagens dos conversores analógico-digitais testados em suas respectivas placas de avaliação estão ilustradas nas Figura 56 e Figura 57. Destaque é feito para a utilização de baterias e caixas metálicas para a blindagem dos dispositivos em teste.

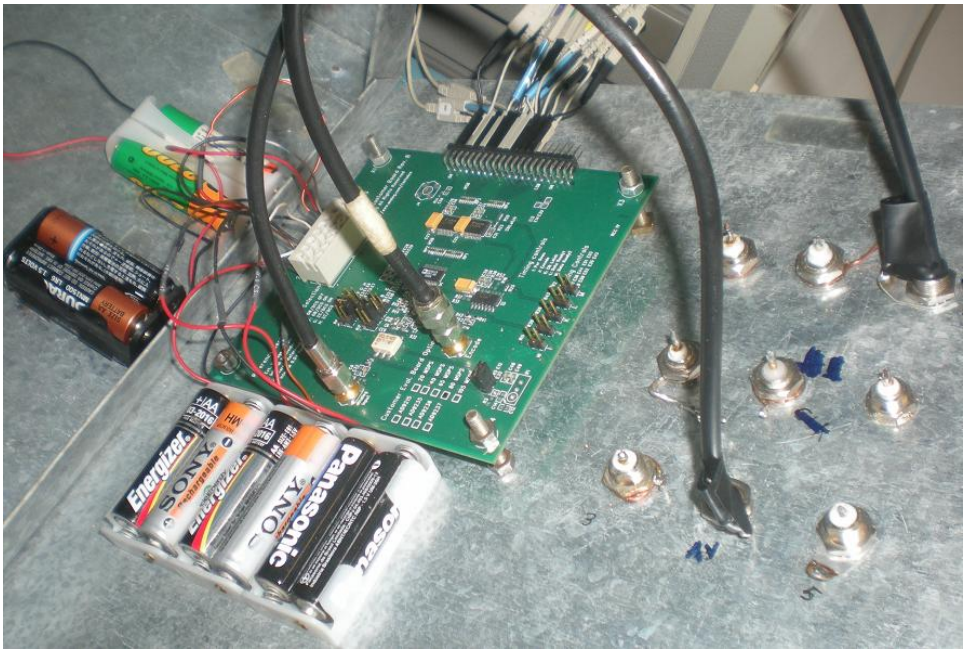

Figura 56 – AD9215 em sua placa de avaliação

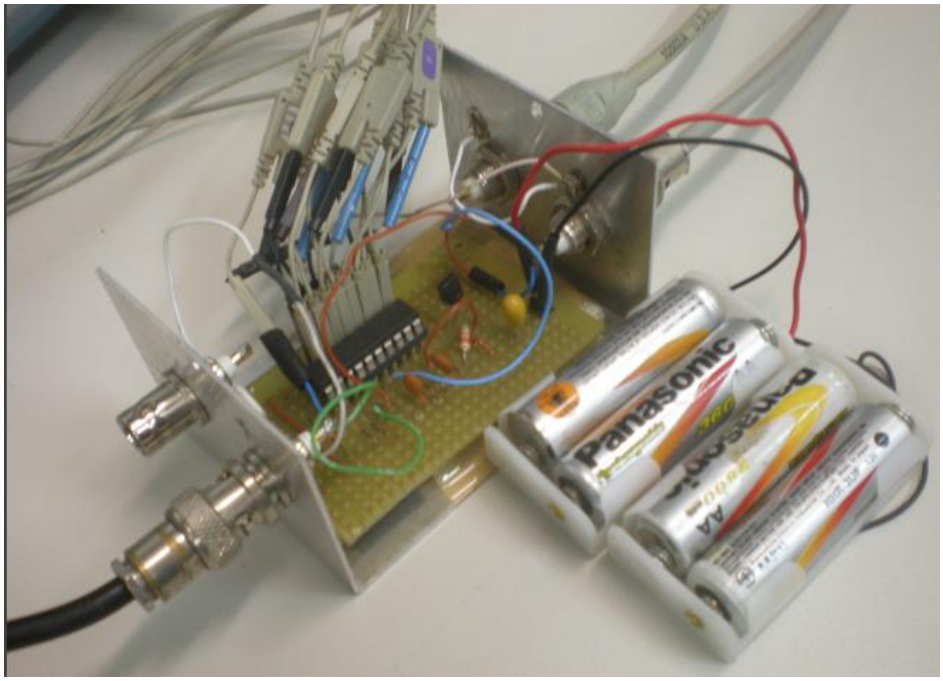

Figura 57 – ADC0804 em sua placa de avaliação montada

4.2.2 Comparação dos resultados

Alguns critérios são necessários para a comparação dos resultados obtidos. O ideal seria uma comparação direta com uma plataforma profissional da indústria ou com um sistema desenvolvido por fabricantes de conversores, por exemplo, o sistema da "*Analog Devices*" [20] disponível no mercado.

Como este cenário ideal não está disponível para nossa realidade, um caminho alternativo para solucionar este problema foi arquitetado. Dividiu-se então em duas vertentes, a comparação do sistema de processamento dos sinais montado, ou pós-processamento, e a comparação das grandezas físicas extraídas com as referências dos fabricantes dos dispositivos caracterizados, garantindo assim, que o processo de captura dos dados também é confiável.

Para a avaliação do sistema foram realizadas as seguintes comparações:

- Os valores medidos com as especificações dos fabricantes disponíveis em seus respectivos "*datasheet*", folhas de especificações [18] [19].
- O sistema de processamento montado com outra plataforma de referência aceita pela comunidade cientifica [21].

As comparações com a plataforma de referência foram realizadas apenas para os ensaios dinâmicos, que fazem parte do sistema integrado de caracterização automatizada.

Os resultados dos ensaios estáticos foram comparados com os dados do fabricante, por meio de sua documentação técnica disponível.

4.2.3 Plataforma de referência

O programa utilizado como referência, foi desenvolvido para a plataforma MATLAB [19] usando a técnica de aproximação "*fitting*", de três e quatro parâmetros, descritas nas normas [3][6].

A proposta deste programa é a de realizar pós-processamento de dados extraídos de conversores analógico-digitais no domínio do tempo, tendo como saídas o ENOB, SINAD e as curvas de "*fitting*" e resíduos.

Este software é aberto e está disponível em um site na internet [18], Figura 58, com um tutorial, vinculado ao MIT da Hungria, cujo objetivo é contribuir com o desenvolvimento de plataformas de caracterização para conversores analógico-digitais, além de servir como referência para testes. Seu autor, Márkus Kollár, por meio de seu laboratório, gerou muitas publicações sobre este tema.

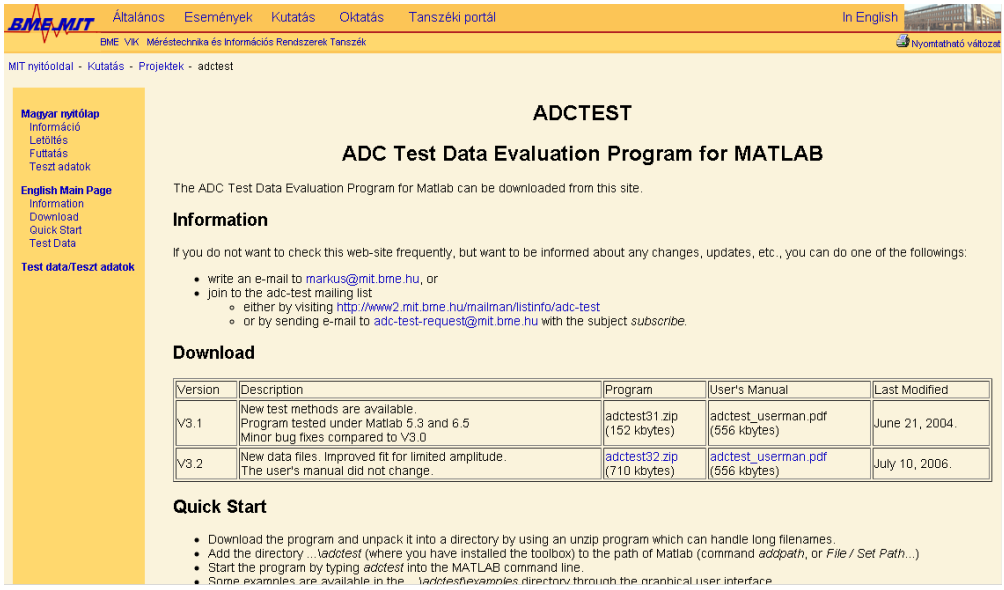

Figura 58 – Web site que disponibiliza informações e software para testes em conversores analógico digitais

Em uma rápida descrição sobre o programa, conforme ilustrado na Figura 59, a tela de configuração, pode-se inserir informações tais como: número de bits do conversor, no campo "*test*" inserir qual tipo de aproximação irá utilizar e no campo "*file path*" o endereço do arquivo com os dados obtidos pelo sistema de medidas utilizado para caracterizar o conversor. A Figura 60 ilustra a tela que exibe os resultados do teste, com destaque para os gráficos da forma de onda senoidal, resultado da técnica de aproximação, "*fitting*", gráfico dos resíduos e os valores de ENOB, SINAD, freqüência, amplitude, fase e ruído mais distorção.

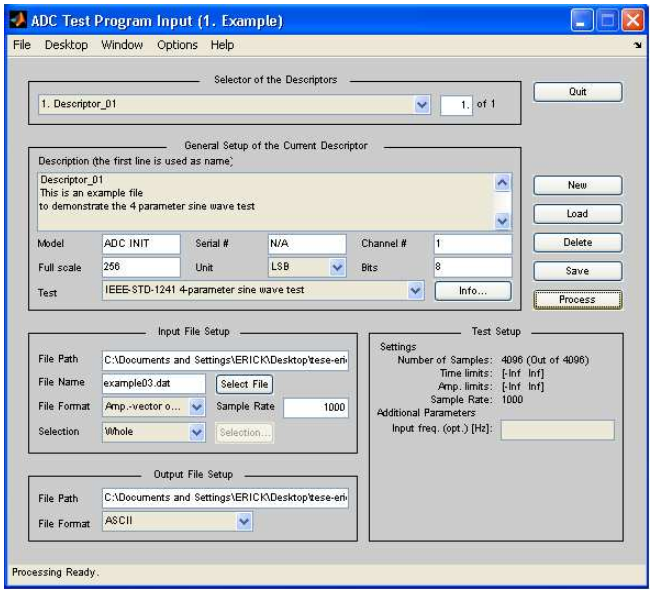

Figura 59 – Tela de configuração, entrada dos dados para os cálculos

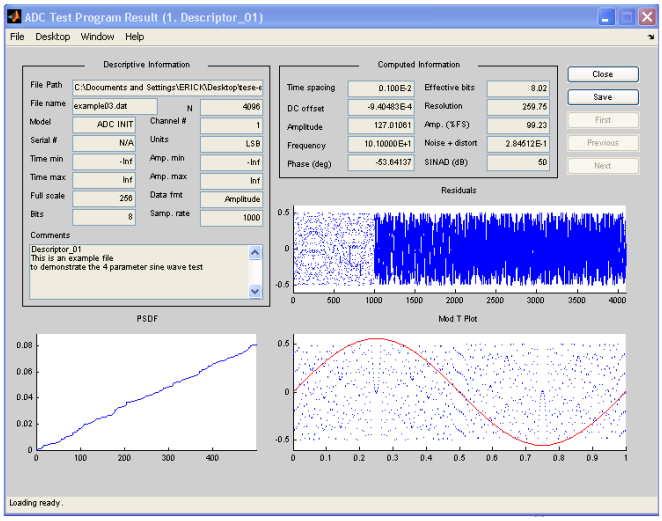

Figura 60 – Tela de exibição dos resultados dos cálculos

4.2.4 Ensaios dinâmicos com o AD9215

Para a realização dos ensaios dinâmicos com entradas de formas de onda senoidal, a freqüência da mesma, foi escolhida atendendo a equação de coerência [2]:

$$\frac{J}{M} = \frac{\text{frequência da senóide de teste}}{\text{frequência de amostragem}} \tag{36}$$

Onde J é o número de ciclos do sinal de teste e M é o número de amostras capturadas.

Parâmetros do Ensaio Prático:

- Modelo: AD9215
- Clock Rate: 80 MSPS
- Freqüência de Teste 2.43MHz
- Número de amostras: 8051 amostras
- Número de Ciclos: 245ciclos.

4.2.5 Resultados da comparação entre o software desenvolvido e o de referência e entre métodos de ensaios dinâmicos para o AD9215

Depois de computados pelo sistema integrado de caracterização os 10 bits de saída do conversor AD9215, um arquivo no formato "txt" com duas colunas é gerado como resultado. A primeira coluna com os pontos que conformam a forma de senoidal de teste, convertida idealmente pelo programa, e segunda coluna corresponde a forma de onda senoidal resultante da técnica de aproximação, "*best fitting*".

Original	Best fitting
-0.929619	-0.928542
-0.843597	-0.843105
-0.726295	-0.726810
.	.
.	.
.	.

Este arquivo foi utilizado como entrada para o software de referência, que calculou os mesmos parâmetros calculados pelo nosso método. Somente a primeira coluna será lida pelo software de referência.

No sistema de caracterização montado a freqüência da forma de onda de entrada é calculada a partir de FFT, não precisamos inserir esta informação no sistema. A utilização do método de três, em vez do método de quatro parâmetros [23] implica na não utilização de vários ciclos buscando o melhor valor de freqüência e estabelecer um critério de parada.

A Figura 61 mostra à tela dos gráficos no domínio do tempo obtida, e exibe os resultados numéricos da caracterização. Na Figura 62, pode-se visualizar a tela dos resultados provenientes do processamento em MATLAB realizados com o software de referência utilizando os mesmos dados de origem. Os parâmetros relevantes para comparação entre os softwares do teste e o de referência estão expostos na Tabela 5. A princípio, é difícil comparar as telas de visualização, pois as forma de visualização gráfica do software de referência e do teste montado são diferentes. Para elucidar estas diferenças cabem alguns esclarecimentos:

1. Em relação a visualização da forma de onda senoidal de entrada, a tela do software do teste montado exibe ambas de forma clara com seus valores corretos de amplitude e tempo. No software de referência, a forma de onda senoidal de teste é exibida sobreposta ao resíduo no gráfico "Mod T Plot", com apenas um ciclo e não mostra seus valores corretos de amplitude, o único eixo y do gráfico exibe os valores de amplitude dos "*residuals*" para este ciclo único.
2. Em relação a visualização da forma de onda dos resíduos, que na tela do software do teste montado possue o título de "*Q-Error*", é equivalente ao grágico entitulado "*Residuals*" na tela do software de referência. No software do teste montado, no eixo x estão os valores corretos no tempo, enquanto que no software de refência estão o índice de cada amostra capturada. Outra diferença é que no software do teste montado foi feito uma diminuição no intervalo de tempo para visualizar melhor a conformação da forma de onda dos resíduos.

Em relação a análise dos resultados, o gráfico *"Q-Error"* se refere aos resíduos resultantes da subtração ponto a ponto da senóide de entrada pela senóide resultante do processo de "*best fitting*".

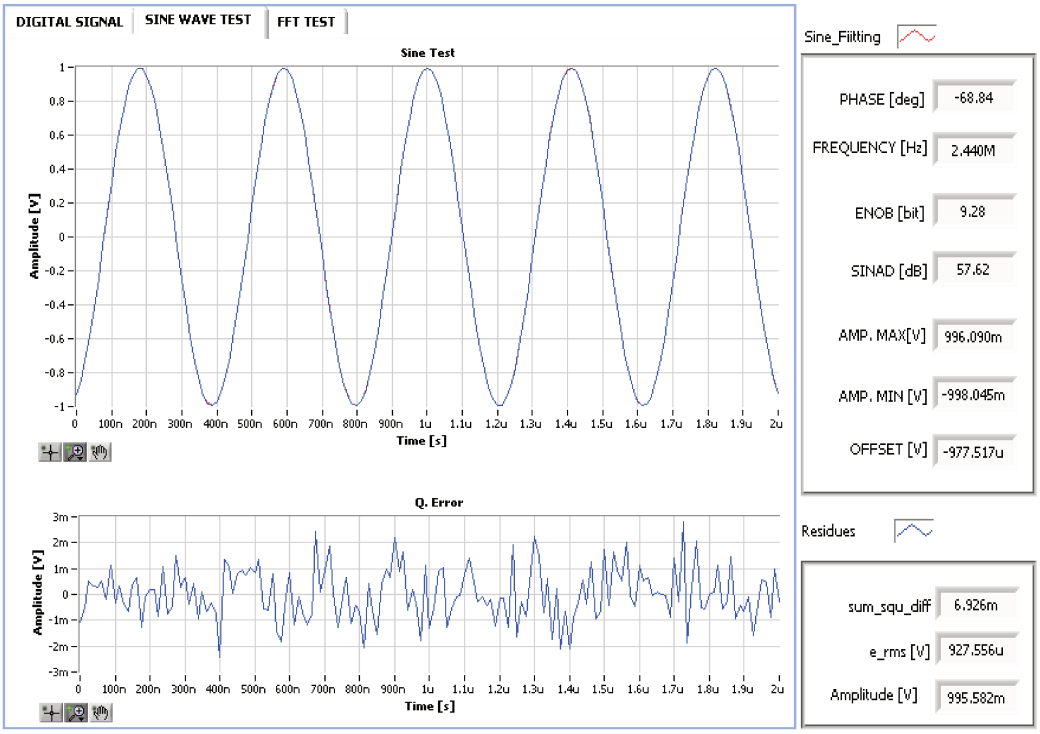

Figura 61 – Tela de resultados no domínio do tempo e os resultados numéricos da caracterização

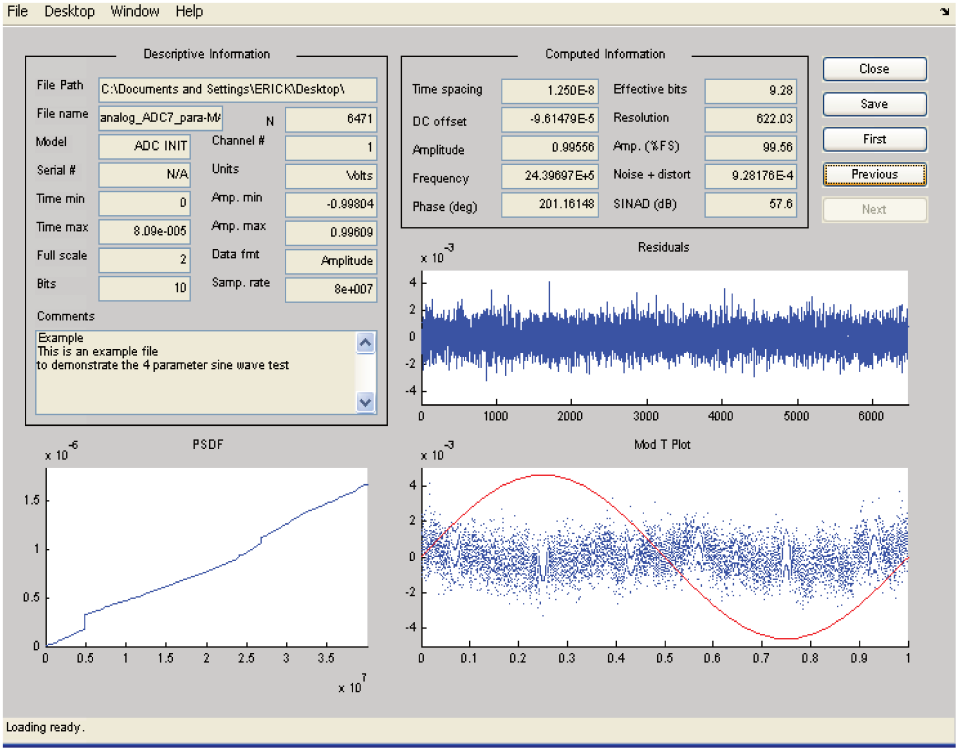

Figura 62 – Tela de resultados do processamento utilizando software de referência do AD9215

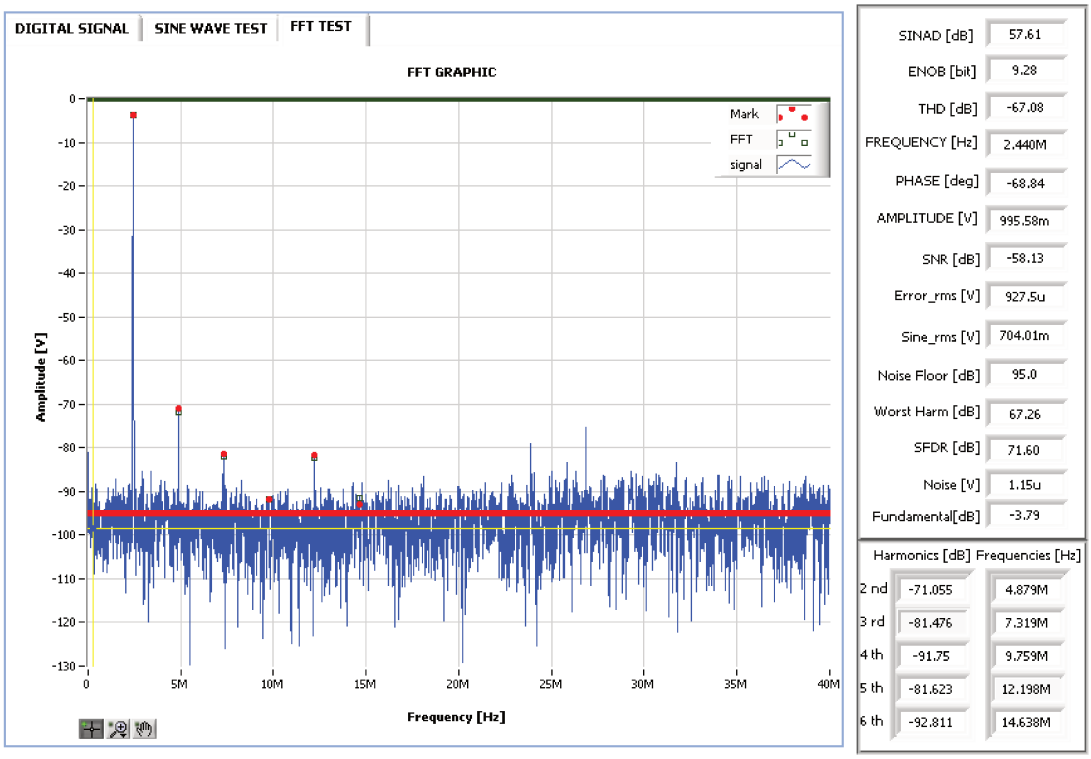

Figura 63 – Tela com os resultados gráficos (diagrama espectral) e os parâmetros da caracterização no domínio da freqüência do AD9215.

Tabela 5 – Dados da comparação do sistema com referência para o AD9215

Parâmetro	Software Desenvolvida (TEMPO)	Software Desenvolvida (FFT)	Software em MATLAB (Referência)
Freqüência [Hz]	2.44 M	2.44 M	**2.44 M**
Amplitude [V]	995.09 m	995.09 m	**995.09 m**
Amp. Max [V]	996.06 m	996.06 m	**996.06 m**
Amp. Mín [V]	-998.04 m	-998.04 m	**-998.04 m**
ENOB [bit]	9.2	9.2	**9.2**
SINAD [dB]	57.6	57.6	**57.6**

É visto por meio da Tabela 5, que mostra os dados das comparações com o software de referência, para o AD9215, que os valores dos parâmetros são muito próximos,

indicando que o processamento no domínio do tempo utilizando o "*fitting*" com três parametros está correto.

Em relação ao método baseado em FFT, no domínio da freqüência, a Figura 63 ilustra a tela com os resultados gráficos e exibe os resultados numéricos obtidos. Os valores que são obtidos por meio da técnica de aproximações que são também adquiridos utilizando a técnica de FFT são iguais. Pode-se visualizar o resumo dos principais parâmetros de caracterização do conversor AD9215 por meio da Tabela 6, onde é possível comparar as medidas da plataforma integrada de caracterização com os valores obtidos com o software de referência e com os dados de especificações provenientes do "*datasheet*" da "*Analog Devices*" [19].

Tabela 6 – Comparação das medidas com as referencias

Parâmetros	**Processamento na plataforma LabView proposta**		**Processamento na plataforma MATLAB do MIT (Hungria)**		**AD9215 "Datasheet (min/typ)**
	Tempo	**FFT**	**Fit 3P**	**Fit 4P**	
SNR [dB]	-	58.1	-		56.5/59
SINAD [dB]	57.6	57.6	57.6		56/58.5
ENOB [bit]	9.2	9.2	9.2		9.1/9.5
Pior Harmônica (segunda ou terceira) [dB]	-	67.2	-		68/75
SFDR (Excluindo a segunda e terceira) [dB]	-	71.6	-		70/78

4.2.6 Ensaios dinâmicos com o ADC0804

Parâmetros do Ensaio Prático:

- Modelo: ADC0804
- Clock Rate: 640 kSPS
- Taxa de conversão: 8890 Hz
- Número de amostras: 8192 amostras

4.2.7 Resultados da comparação entre o software desenvolvido e o de referência e entre métodos de ensaios dinâmicos para o ADC0804

A comparação com o software de referência também foi realizada utilizando o ADC0804, pois foi preciso confirmar que a plataforma funciona tanto para conversores rápidos quanto para os mais lentos. Outro fato importante é que este possui resolução diferente. A seguir serão exibidas as capturas de tela dos testes realizados para uma freqüência de entrada de 3 Hz.

A Figura 64 mostra os gráficos no domínio do tempo e os parâmetros processados pelo sistema de caracterização montado. Em seguida, na Figura 65, temos a tela de resultados do software de referência em MATLAB. Continuando as comparações, a Figura 66 ilustra os resultados no domínio da freqüência e a Tabela 7 mostra os parâmetros que são comparados.

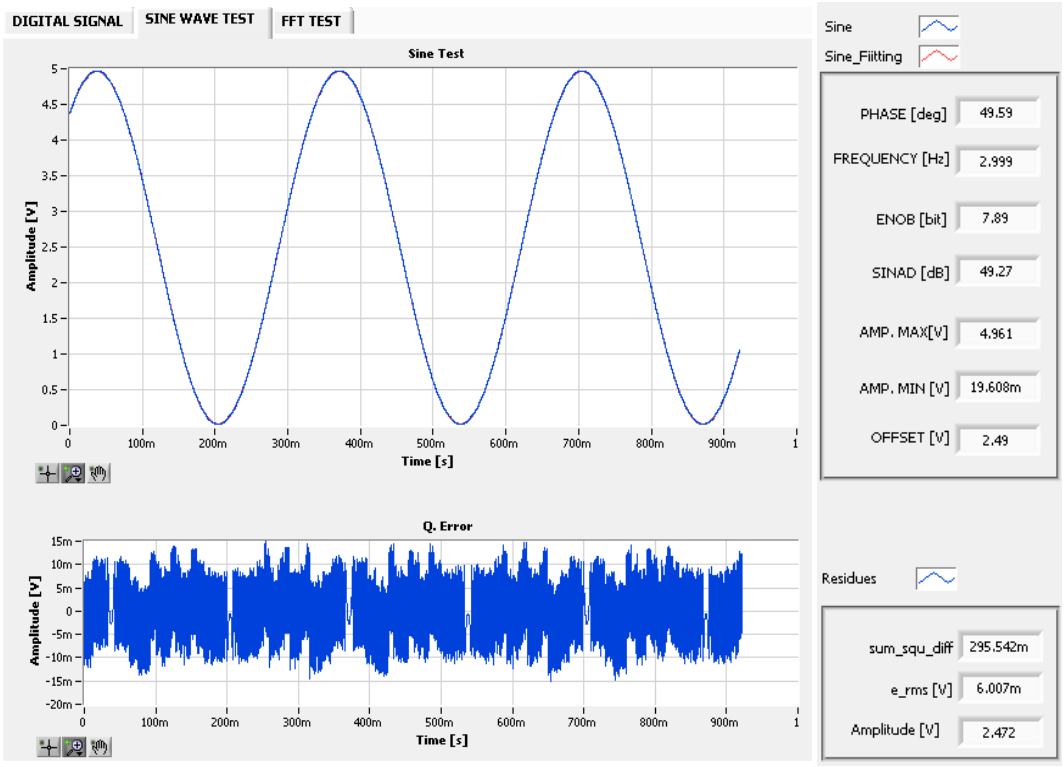

Figura 64 – Tela com os resultados gráficos (domínio do tempo) e os parâmetros da caracterização

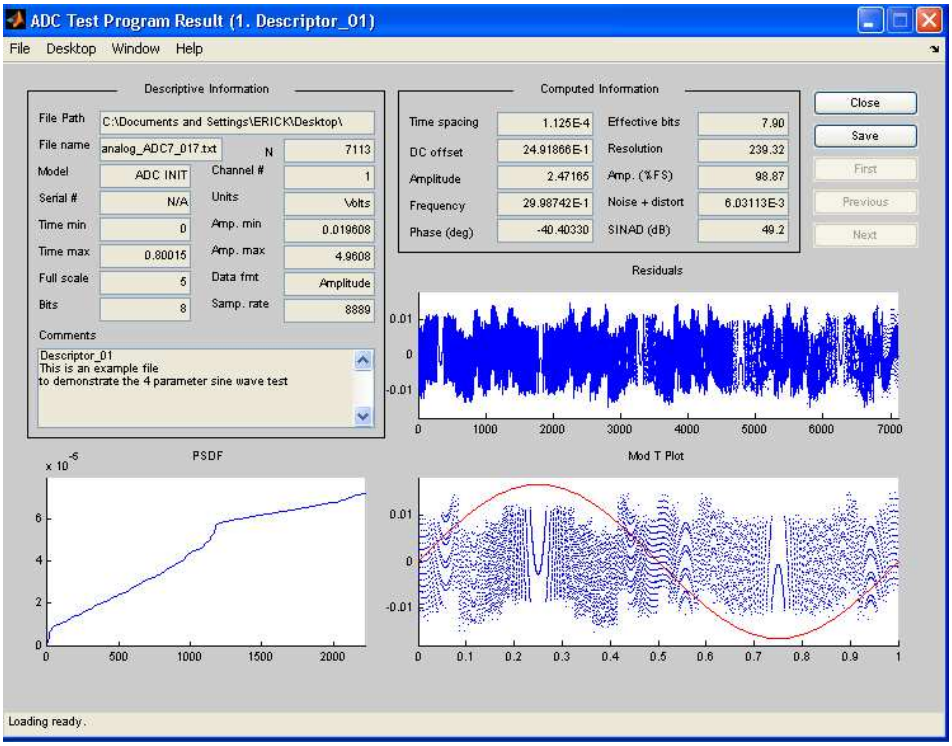

Figura 65 – Tela de resultados do software de referência do ADC0804

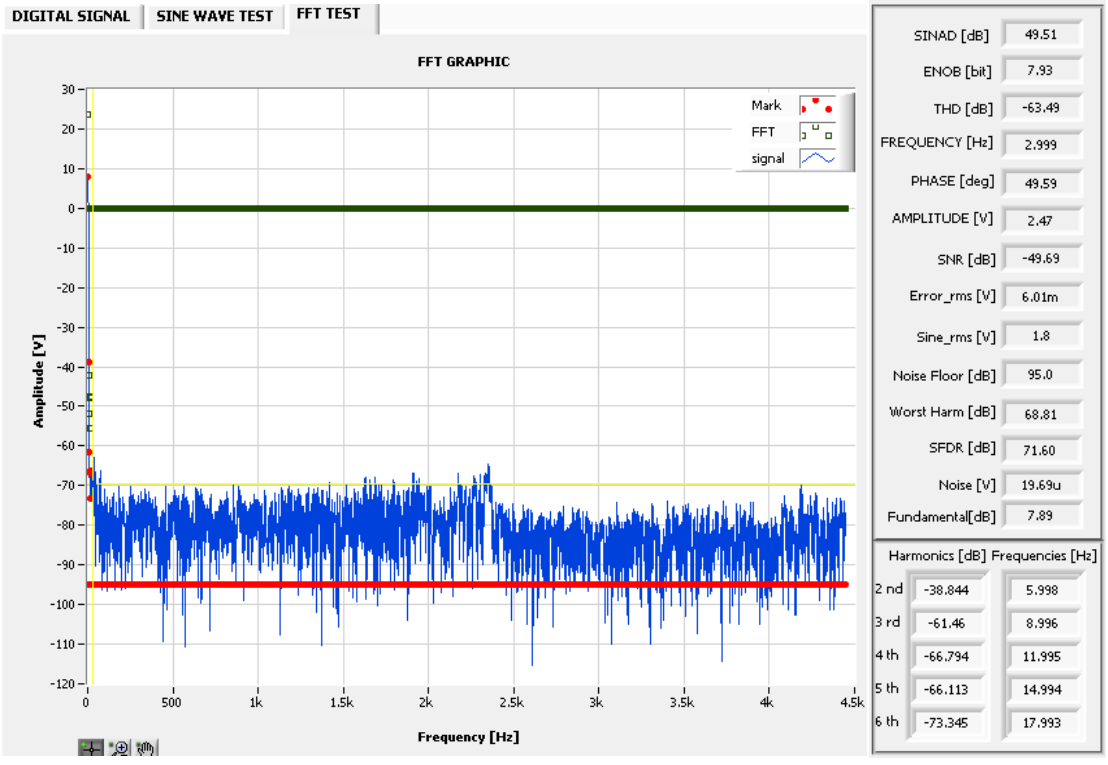

Figura 66 – Tela com os resultados gráficos (diagrama espectral) e os parâmetros da caracterização no domínio da freqüência do ADC0804

Tabela 7 – Dados da comparação do sistema com referência para o ADC 0804

Parâmetro	Software Desenvolvida (TEMPO)	Software Desenvolvida (FFT)	Software em MATLAB (Referência)
Freqüência [Hz]	2.999	2.999	**2.9987**
Amplitude [V]	2.472	2.47	**2.472**
Amp. Max [V]	4.961	-	**4.961**
Amp. Mín [V]	19.608m	-	**19.608m**
ENOB [bit]	7.89	7.93	**7.9**
SINAD [dB]	49.2	49.5	**49.2**

Mesmo usando um conversor com taxa de aquisição muito lenta e com resolução diferentes em relação ao AD9215, os resultados da comparação na Tabela 7, que mostra os dados para comparações do software desenvolvido com o software de referência para o ADC0804, demonstram o funcionamento correto do sistema, pois é possível observar a partir desta mesma tabela, que os dois principais parâmetros, ENAD e ENOB, possuem valores similares nos diferentes softwares.

O sistema de teste desenvolvido demonstrou ser capaz de medir diferentes conversores analógico digitais, com número de bits e taxas de amostragens bem distintas mostrando sua flexibilidade. Os resultados da comparação entre a solução proposta, software de referência e a folha de dados dos fabricantes comprovam a capacidade do mesmo de obtenção de todas as características dinâmicas as quais foram propostas no início deste trabalho.

4.2.8 Ensaios dinâmicos com varredura em freqüência para o ADC0804

Parâmetros do Ensaio Prático:

- Modelo: ADC0804
- Clock Rate: 640 kSPS
- Taxa de conversão: 8890 Hz
- Número de amostras: 8192 amostras.

- Faixa de varredura: de 3 Hz a 4392 Hz (Nyquist)

Este ensaio utilizando variação dos valores de freqüência até a metade da taxa de conversão são comuns para conversores analógico-digitais. Porém, no caso do AD9215, que trabalha com uma faixa muito maior de freqüências, para realizar este teste, seria necessário adquirir uma série de filtros de alta seletividade, com custo muito elevado. No entando, como o conversor ADC0804 possui frequencia de amostragem muito baixa, realizou-se este ensaio sem a utilização de filtros antes da entrada do mesmo.

Foram realizadas algumas adaptações no programa principal visto na Figura 16 – Programa desenvolvido em *LabView* para execução de ensaios dinâmicos, na seção 3.4 do capítulo 3, para que fosse possível realizar a leitura automática dos arquivos capturados em cada uma das 65 freqüências testadas e armazenar os resultados de ENOB e SINAD obtidos através das técnicas de tempo e freëncia em um só arquivo no formato txt.

A Figura 67 mostra as modificações em relação a Figura 16, com a inclusão de uma sub-vi para automatizar as leituras dos arquivos txt gravados para cada valor de freqüência testado, a inclusão de um "*loop for*" para repetir a função 65 vezes e por fim, a inclusão de rotinas naivas do software "LabView" para realizar o arquivamento dos dados deste teste.

Como resultado desta operação, foi gerada a Tabela 8, que mostra os dados de ENOB e SINAD em relação a cada freqëncia no qual foi calculado nas duas técnicas, tempo e freqüência.

No intervalo de freqüência, de 3 Hz a 4392 Hz (Nyquist) , foram medidos 65 pontos indicados na Tabela 8, para compor os gráficos ilusrados pela Figura 68 e Figura 69 respectivamente ENOB e SINAD, comparando as duas técnicas de extração, no tempo ("*fitting*") e na freqüência (FFT).

O gráfico da Figura 68, exibe no eixo y, os valores de ENOB em bits calculados no domínio do tempo e da freqüência, enquanto que no eixo x, exibe os valores da varredura em freqüência em Hz em uma escala logarítmica.

O gráfico da Figura 69, exibe no eixo y, os valores de SINAD em dB calculados no domínio do tempo e da freqüência, enquanto que eixo x é idêntico ao descrito para a figura anterior.

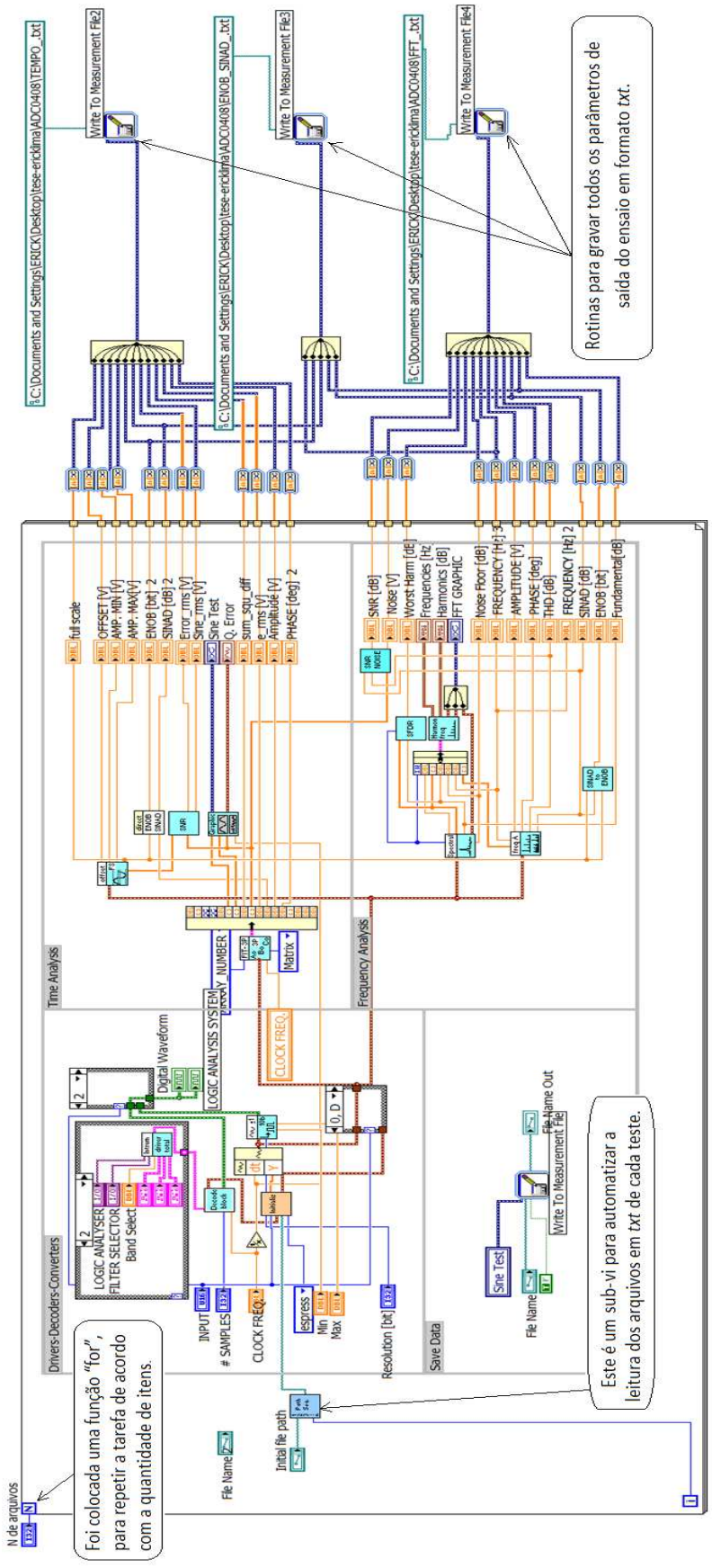

Figura 67 – Programa para gerar os dados do gráfico de varredura

Tabela 8 – Comparação entre métodos de tempo e freqüência para o ADC0804

Índice	Freqüência [Hz]	ENOB (Tempo)	SINAD (Tempo)	ENOB (FFT)	SINAD (FFT)
1	2, 99	7, 89	49, 27	7, 93	49, 51
2	4, 99	7, 87	49, 14	7, 87	49, 18
3	5, 99	7, 87	49, 14	7, 87	49, 15
4	6, 99	7, 86	49, 08	7, 86	49, 10
5	7, 99	7, 85	49, 03	7, 86	49, 08
6	8, 99	7, 84	48, 96	7, 85	49, 03
7	9, 99	7, 83	48, 92	7, 84	48, 98
8	10, 99	7, 81	48, 83	7, 81	48, 79
9	11, 99	7, 80	48, 73	7, 80	48, 73
10	12, 99	7, 78	48, 64	7, 78	48, 64
11	13, 99	7, 77	48, 53	7, 77	48, 57
12	14, 99	7, 75	48, 43	7, 74	48, 39
13	15, 99	7, 72	48, 24	7, 71	48, 19
14	16, 99	7, 71	48, 19	7, 71	48, 22
15	17, 98	7, 69	48, 11	7, 69	48, 09
16	18, 98	7, 67	47, 96	7, 67	47, 96
17	19, 98	7, 65	47, 87	7, 66	47, 88
18	24, 98	7, 55	47, 22	7, 55	47, 22
19	29, 98	7, 44	46, 59	7, 45	46, 60
20	34 97	7, 32	45, 88	7, 32	45, 87
21	39, 97	7, 23	45, 29	7, 23	45, 28
22	44, 97	7, 10	44, 51	7, 10	44, 51
23	49, 96	6, 99	43, 84	6, 99	43, 85
24	54, 96	6, 88	43, 21	6, 88	43, 20
25	59, 96	6, 78	42, 63	6, 79	42, 63
26	64, 95	6, 70	42, 10	6, 70	42, 10
27	69, 95	6, 61	41, 55	6, 61	41, 55
28	74, 95	6, 51	40, 98	6, 51	40, 98
29	79, 94	6, 43	40, 51	6, 43	40, 50
30	84, 94	6, 35	40, 02	6, 55	40, 01
31	89, 94	6, 28	39, 59	6, 286	39, 59
32	94, 93	6, 20	39, 12	6, 207	39, 12
33	99, 93	6, 13	38, 69	6, 136	38, 70
34	109, 92	6, 00	37, 92	6, 007	37, 92
35	119, 92	5, 89	37, 23	5, 893	37, 23
36	129, 91	5, 78	36, 61	5, 789	36, 60
37	139, 90	5, 69	36, 03	5, 693	36, 03
38	149, 90	5, 60	35, 47	5, 601	35, 47
39	159, 89	5, 51	34, 96	5, 51	34, 96
40	169, 88	5, 43	34, 46	5, 43	34, 46
41	179, 87	5, 32	33, 81	5, 32	33, 81
42	189, 87	5, 27	33, 52	5, 27	33, 52
43	199, 86	5, 21	33, 13	5, 21	33, 13
44	249, 83	4, 91	31, 34	4, 91	31, 34
45	299, 79	4, 68	29, 95	4, 68	29, 94
46	349, 76	4, 47	28, 72	4, 47	28, 71
47	399, 72	4, 30	27, 65	4, 29	27, 63
48	449, 69	4, 15	26, 78	4, 15	26, 77
49	549, 62	3, 90	25, 29	3, 90	25, 26
50	599, 59	3, 79	24, 59	3, 78	24, 56
51	649, 56	3, 70	24, 05	3, 69	24, 01
52	699, 52	3, 61	23, 50	3, 60	23, 46
53	749, 49	3, 52	22, 99	3, 51	22, 94
54	799, 45	3, 45	22, 55	3, 44	22, 49
55	849, 42	3, 37	22, 07	3, 36	22, 00
56	899, 39	3, 30	21, 65	3, 29	21, 58
57	949, 35	3, 24	21, 28	3, 22	21, 20
58	999, 32	3, 18	20, 91	3, 16	20, 82
59	1498, 98	2, 73	18, 20	2, 70	18, 02
60	1998, 64	2, 44	16, 49	2, 40	16, 21
61	2498, 30	2, 22	15, 12	2, 16	14, 77
62	2997, 96	2, 04	14, 09	1, 96	13, 58
63	3497, 62	1, 89	13, 19	1, 81	12, 65
64	3997, 28	1, 76	12, 38	1, 67	11, 82
65	4392, 06	1, 68	11, 91	1, 56	11, 20

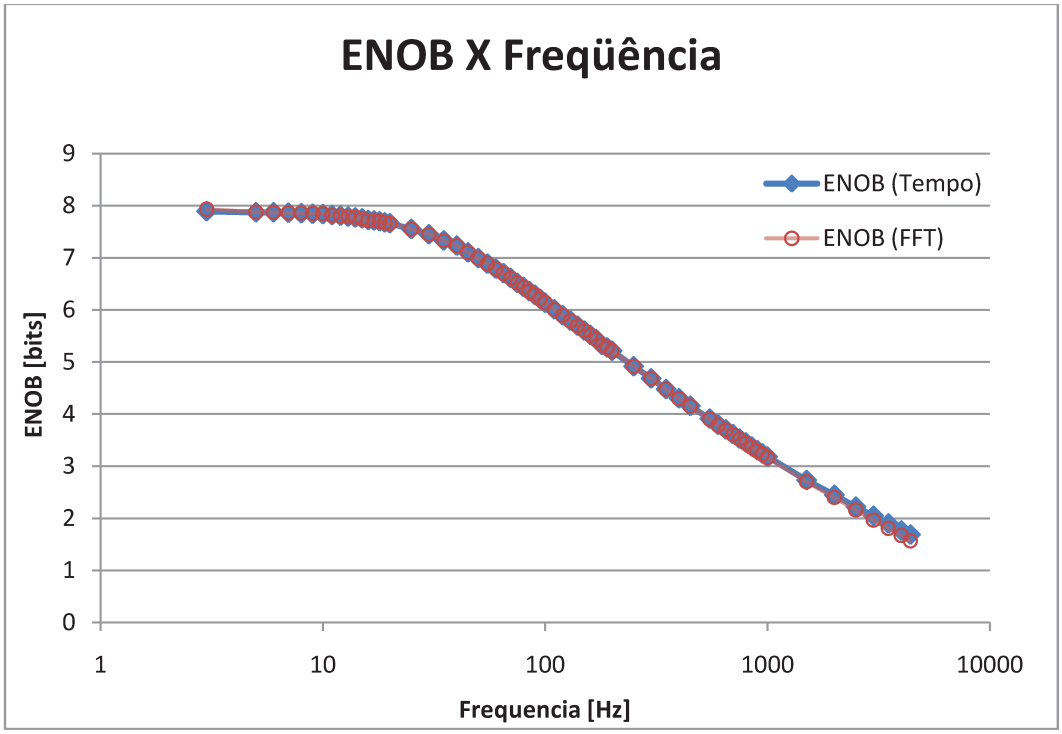

Figura 68 – Gráfico de ENOB com variação da freqüência do ADC0804

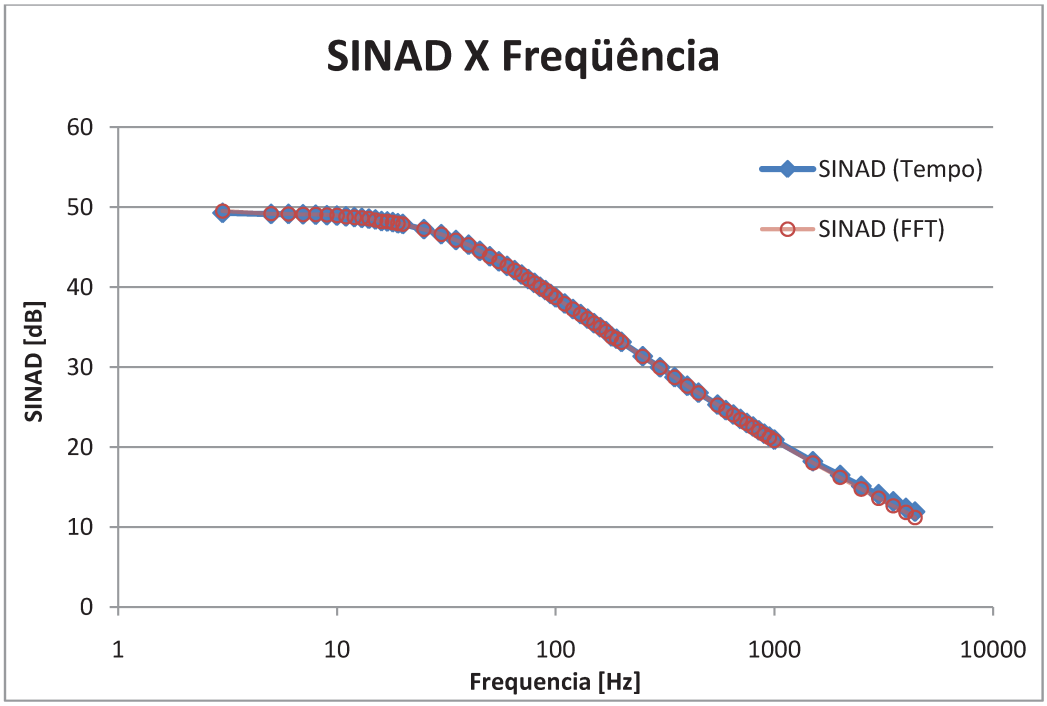

Figura 69 – Gráfico de SINAD com variação da freqüência do ADC0804

O gráfico da Figura 68 mostra que o conversor ADC0804 realiza a conversão de maneira adequada, com um erro de até 1LSB, apenas nas freqüências mais baixas. A partir de 50Hz, o conversor começa a operar com ENOB abaixo de 7 bits. Este conversor, apesar de possuir a freqüência de Nyquist de 4kHz, processa as conversões mantendo suas características dentro de sua especificação até a freqüência de 50Hz, limitando sua utilização para eventos extremamente lentos. O comportamento do SINAD, que pode ser escrito em função do ENOB, segue a mesma tendência.

A seguir, os gráficos da Figura 70 e Figura 71 indicam as diferenças, ponto a ponto dos valores de ENOB e SINAD obtidos dos dois métodos, tempo ("*fitting*") e freqüência (FFT), pela variação da freqüência no eixo x, em escala linear até a freqüência de Nyquist.

É possível notar um pequeno aumento no valor da diferença quando a freqüência se aproxima da freqüência de Nyquist. Porém, desvios de 0,1 bit no ENOB, e 0,8 dB no SINAD não são considerados expressivos neste caso.

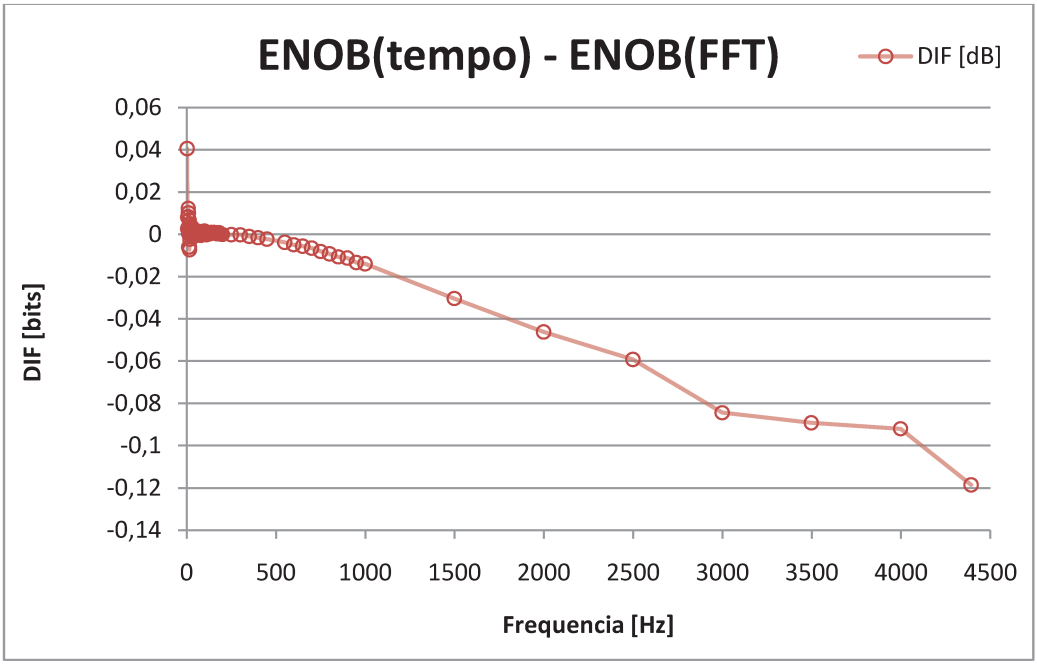

Figura 70 – Gráfico de ENOB com variação da freqüência do ADC0804

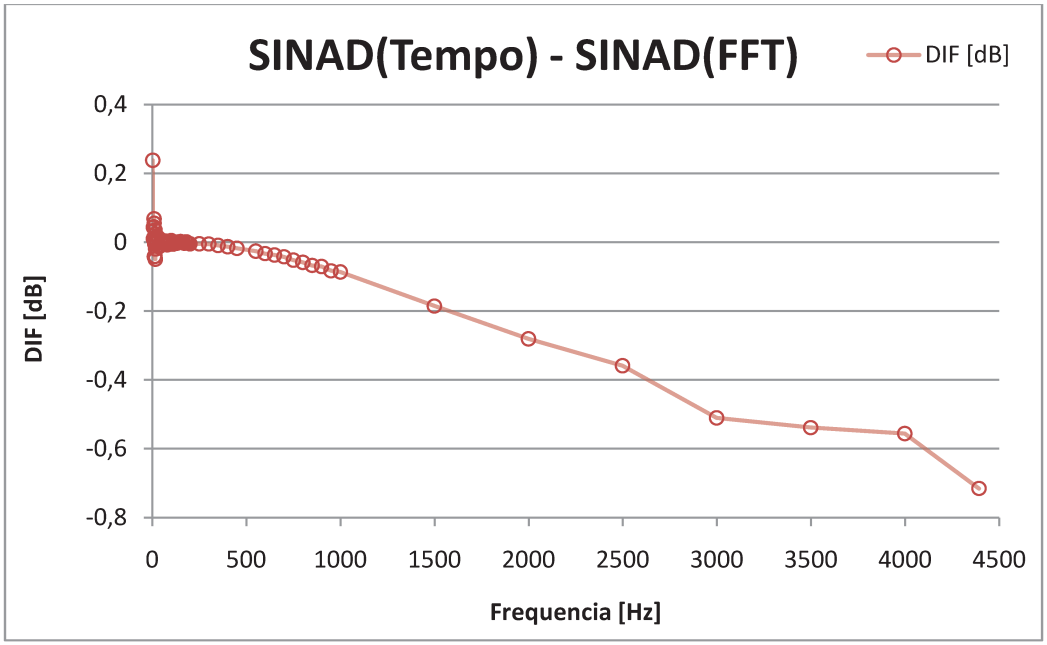

Figura 71 – Gráfico de SINAD com variação da freqüência do ADC0804

4.2.9 Ensaio estático com o ADC0804

Parâmetros do Ensaio Prático:

- Modelo: ADC0804
- Clock Rate: 640 kSPS
- Taxa de conversão: 8890 Hz
- Varredura do teste: 0 a $5V_{dc}$
- Número de amostras: 8192 amostras por interação.
- Valor inicial: 9.765625 mV
- Valor do passo: 19.53125 mV

4.2.10 Resultados do ensaio estático para o ADC0408

As várias iterações e comparações dos ciclos de teste realizados pelo sistema resultaram em arquivos em formato “txt”, de onde foram extraídos em um pós-processamento, as posições das transições de estado para formar a curva característica do conversor analógico-digital ilustrada por meio da Figura 72. Onde é visível que as amplitudes finais medidas são menores que as ideais.

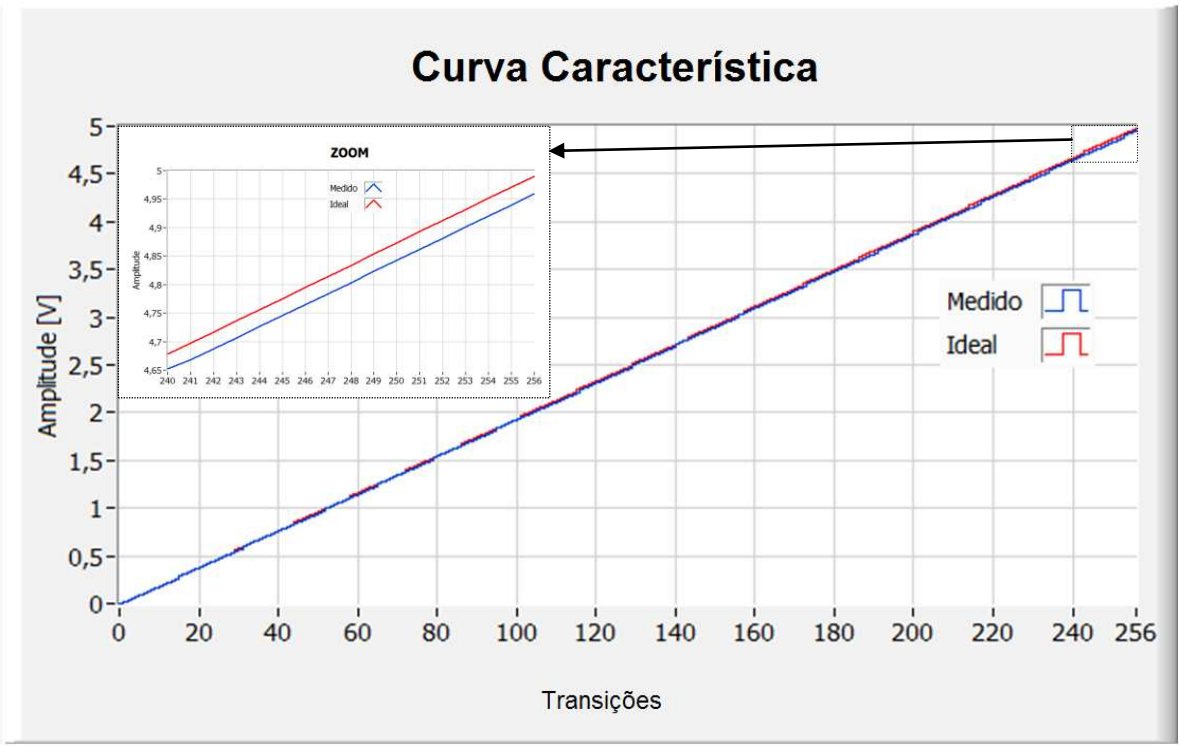

Figura 72 – Curva característica do ADC0804, captura de tela do "*LabView*"

Para calcularmos os parâmetros estáticos de INL e DNL, primeiro foram calculados o ganho e o offset conforme as Equações [3]:

$$Ganho = \frac{V_{LSB}(2^N - 1)\left(\sum_{K=1}^{2^N-1} kT[k]\right) - 2^{(N-1)}\sum_{K=1}^{2^N-1} T[k]}{(2^N - 1)\sum_{K=1}^{2^N-1} T^2[k] - \left(\sum_{K=1}^{2^N-1} T[k]\right)^2} \quad (37)$$

$$V_{offset} = T[1] + V_{LSB}\left(2^{(N-1)} - 1\right) - \frac{G}{(2^N - 1)}\sum_{k=1}^{2^N-1} T[k] \quad (38)$$

Onde, T[k] é o valor em volts em que acontece a transição,

V_{LSB} é o valor ideal da diferença entre códigos adjacentes.

k é um ínice de transição, varia de de 0 a 256 e N é o número de bits.

Após o cálculo, foram encontrados os seguintes valores:

- *Ganho*: 1,0067
- V_{offset}: 0,011 V

Com os dados em txt, corrigindo o ganho, foram calculados os parâmetors de INL e DNL. Utilizando as Equações (39) e (40) [3] foi possível construir os gráficos de INL e DNL ilustrados na Figura 73 e Figura 74 respectivamente.

$$\mathrm{INL[k]} = 100 \times \frac{\mathrm{T[k]medido} - \mathrm{T[k]ideal}}{\mathrm{V\ de\ fundo\ de\ escala}} \tag{39}$$

$$\mathrm{DNL[k]} = \frac{\mathrm{W[k]} - \mathrm{V_{LSB}}}{\mathrm{V_{LSB}}} \tag{40}$$

Onde, W[k] é o valor da diferença entre códigos adjacentes, T[k+1] – T[k].

O valor de INL é o valor máximo de $|INL[k]|$ entre todos os valores de k.

O mesmo vale para o DNL, Máx $|DNL[k]|$ entre todos os valores de k.

Os valores de DNL e INL máximos calculados a partir da curva de transferência extraída do ensaio são comparados com as especificações do fabricante na Tabela 9.

Tabela 9 – Valores máximos de INL e DNL

Parâmetro	Valor calculado sobre as medições	Especificação Fabricante
INL (MAX)	0,15 LSB	0,50 LSB
DNL (MAX)	0,35 LSB	0,50 LSB

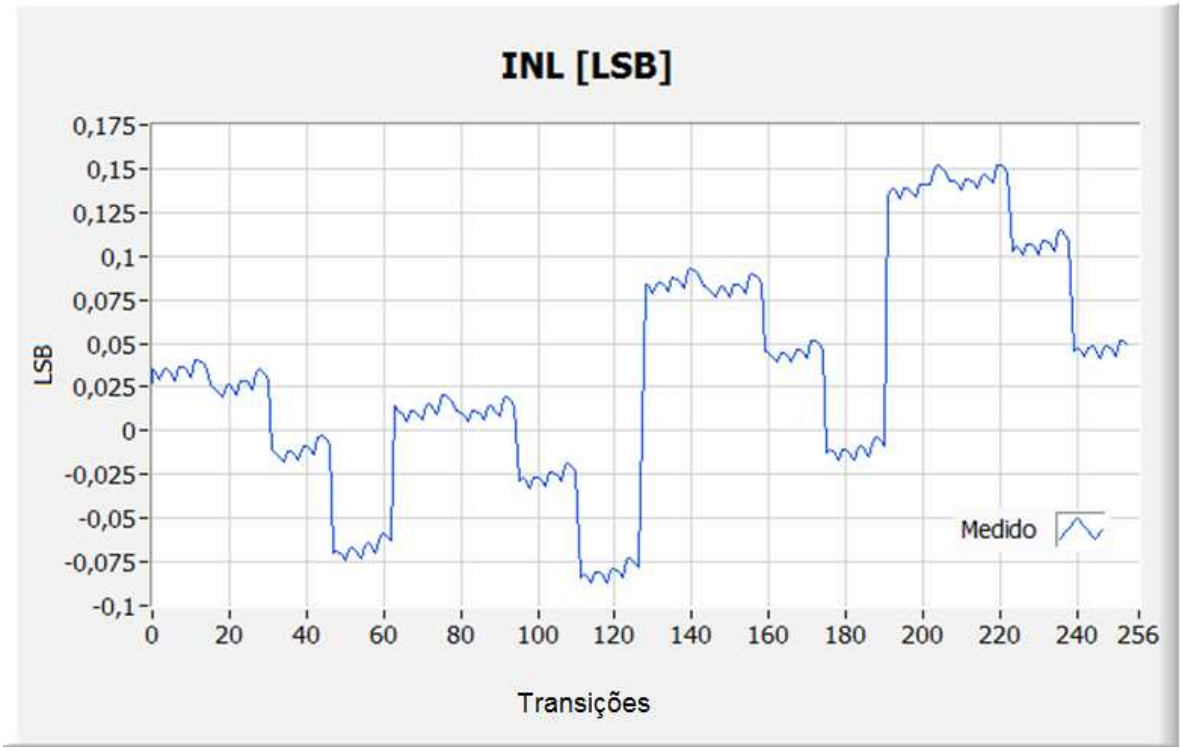

Figura 73 – Gráfico do INL versus número de transições do ADC0804

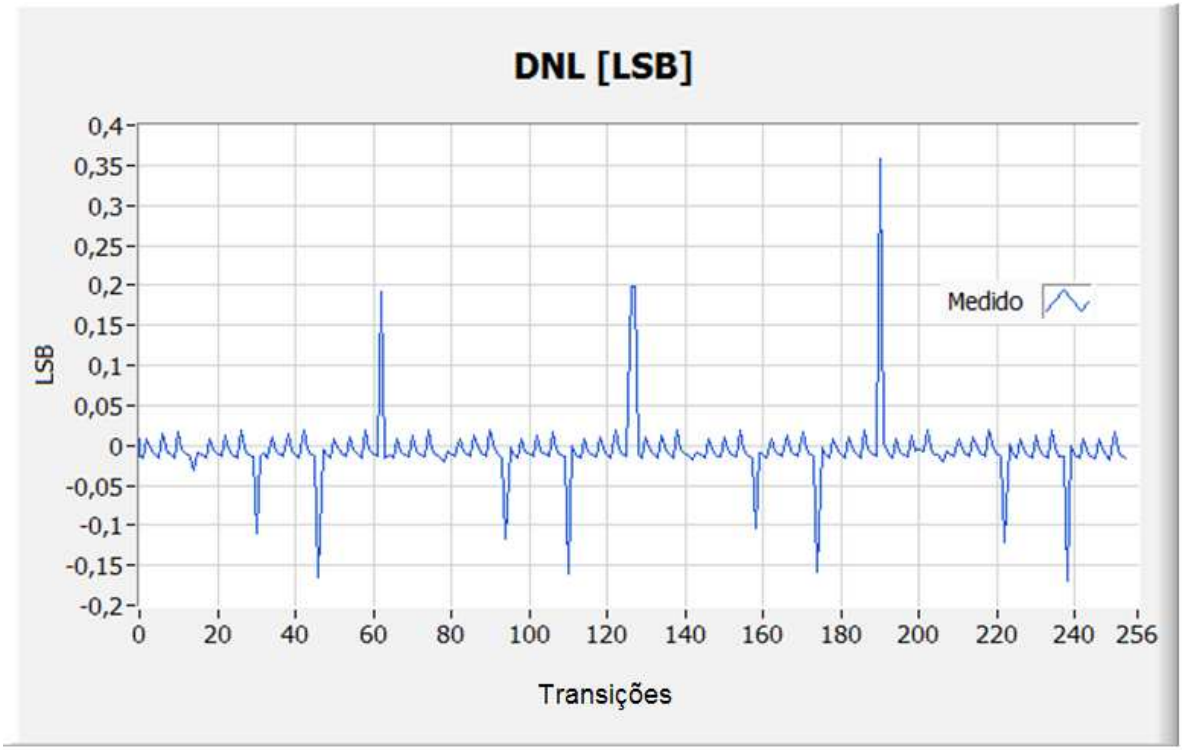

Figura 74 – Gráfico do DNL versus número de transições do ADC0804

Capítulo 5

Conclusões

A revisão bibliográfica realizada como passo inicial do desenvolvimento deste projeto permitiu esclarecer que um conversor analógico-digital não se caracteriza apenas pela resolução e taxa de conversão. O valor numérico que uma palavra binária resultante de uma conversão representa é afetado tanto pelas características construtivas do conversor como pela natureza e dinamismo do sinal analógico de entrada. Sendo assim, suas propriedades dependem das condições em que operam bem como das características do sinal de entrada, particularmente os limites de amplitude, banda de freqüência, ruído agregado, etc. A revisão bibliográfica também revelou a existência de métodos para a determinação experimental das propriedades de um conversor analógico-digital. Dentre os métodos identificados, destacam-se aqueles que se baseiam na conversão de uma onda estacionária, normalmente uma senóide, que permitem avaliar o comportamento do conversor para diferentes freqüências do sinal de entrada. São exemplos de procedimentos deste tipo, os métodos conhecidos como "*fittin*g" e histograma. Os requisitos de tempo, processamento e memória que caracterizam estes dois métodos, no entanto, impedem suas aplicações aos conversores de baixa taxa de conversão no contexto de produção. Para estes, é mais conveniente a caracterização através de métodos baseados na análise de Fourier.

A necessidade de padronização da terminologia e significado das propriedades de um conversor analógico-digital levou ao estabelecimento de normas descrevendo em detalhe os diversos procedimentos de caracterização.

Neste trabalho, cuja meta foi o desenvolvimento de um sistema dedicado a esta finalidade, qual seja, a caracterização de conversores analógico-digitais, foram adotados métodos de caracterização, dentre aqueles já normatizados, restringidos, no entanto, pela possibilidade de serem implementados com a instrumentação disponível. Em conseqüência disto, o sistema desenvolvido tem limitações quanto ao tipo de conversor analógico-digital que pode caracterizar. Ou seja, está limitado a conversores analógico-digitais que tenham resolução de até 11 bits e taxa de conversão abaixo de 200MHz

Como as restrições do sistema desenvolvido se devem somente à instrumentação utilizada, seu desempenho pode ser facilmente melhorado com a substituição dos equipamentos limitantes. O custo operacional na atualização do sistema devido à troca de um equipamento é bastante reduzido, graças à flexibilidade e abrangência de recursos do ambiente de software adotado, LabView.

Os testes realizados com o sistema, mesmo confinados à caracterização de apenas dois conversores analógico-digitais, permitiram constatar a funcionalidade prevista, comparando os resultados obtidos com as especificações fornecidas pelos fabricantes dos componentes. Outra constatação importante foi a comparação dos resultados do processamento que o software implementado realiza com o processamento realizado num ambiente de processamento remoto considerado na literatura especializada como referência confiável.

Os resultados deste trabalho foram apresentados no "*LATW2010 - 11th Latin-American TestWorkshop*", realizado em 28-31 de março de 2010 em Punta del Este, Uruguai, com o artigo "*Automated Test-Bed for Analog to Digital Converters*". Uma cópia deste artigo se encontra anexa.

Referência bibliográfica

[1] R. van de Plassche, Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, Dordrecht, 1994. 11

[2] H. Nyquist, “Certain Topics in Telegraph Transmission Theory,” Trans. Am. Inst. Electr. Eng., vol. 47, pp. 617–644, Feb. 1924.

[3] IEEE Draft Standard 1241, “IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters”, February 2000.

[4] B. Razavi, Principles of Data Conversion System Design, IEEE Press, New York, 1995.

[5] B. E. Peetz, “Dynamic Testing of Waveform Recorders,” IEEE Trans. on instrumentation and Measurement, vol. 32, no. 1, pp. 12–17, Jan. 1983. 13

[6] IEEE Standard 1057-1994, “Standard for Digitizing Waveform Recorders.”

[7] Walt Kester, Analog-Digital Conversion, Analog Devices, 2004, ISBN 0-916550-27-3.

[8] Bernard M. Gordon, "Definition of Accuracy of Voltage to Digital Converters," Instruments and Control Systems, May 1959, pp.710.

[9] Walter A. Kester, "Characterizing and Testing A/D and D/A Converters for Color Video Applications," IEEE Transactions on Circuits and Systems, Vol. CAS-25, July 1978, pp. 539-550.

[10] Tim Wilhelm, "Test A/D Converters Quickly and Efficiently, Electronic Design, October 15, 1981, pp. 193-198.

[11] Walt Kester, Practical Design Techniques for Sensor Signal Conditioning, Analog Devices, 1999, ISBN 0-916550-20-6, available for download at http://www.analog.com.

[12] Mikael Gustavsson, J. Jacob Wikner, and Nianxiong Nick Tan, CMOS Data Converters for Communications, Kluwer Academic Publishers, 2000, ISBN 0-7923-7780-X.

[13] David A. Johns and Ken Martin, Analog Integrated Circuit Design, John Wiley, 1997, ISBN 0-471-14448-7.

[14] S. Raze, D. Dallet and P. Marchegay, "Industrial Test of A/D Converters in LabVIEW", IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications, Lviv, Ukraine, 8-10 September 2003.

[15] Brannon, Brad and Reeder, Rob, AN-835 APPLICATION NOTE, "Understanding High Speed ADC Testing and Evaluation".

[16] "NI Developer Zone : Instrument Drivers" Home Page, http://search.ni.com/nisearch/app/main/p/ap/tech/lang/en/pg/1/sn/ catnav:id,ssnav:dzn.

[17] Brannon, Brad and Reeder, Rob, AN-835 APPLICATION NOTE, "Understanding High Speed ADC Testing and Evaluation".

[18] "ADC0804 – 8-bit uP compatible A/D Converter datasheet", National Semiconductor, URL: http://www.national.com/mpf/DC/ADC0801.pdf

[19] AD9215 Product Data Sheet, Analog Devices, URL: http://www.analog.com/static/imported-files/data_sheets/AD9215.pdf.

[20] "High Speed ADC USB FIFO Evaluation Kit",Rev.A,©2006–2007 Analog Devices, Inc. All rights reserved. URL: http://www.analog.com/static/imported-files/eval_boards/HSC-ADCEVALB. pdf.

[21] "ADC Test Data Evaluation Program for Matlab" Home Page, http://www.mit.bme.hu/services/ieee/ADC-test.

[22] I. Kollár, J. Márkus, "Sine Wave Test of ADC's: Means for International Comparison", IMEKO TC4 Workshop on ADC Modeling and Testing, Vienna, Sep. 26–28, 2000. Proc. Vol. X., pp. 211–216.

[23] T. Z. Bilau, T. Megyeri, A. Sárhegyi, J. Márkus, and I. Kollár, "Four parameter fitting of sine wave testing result: Iteration and convergence,"Comput. Stand. Interfaces, vol. 26, no. 1, pp. 51–56, Jan. 2004.

[24] M. Cristina C. Cunha, Métodos Numéricos, editora da UNICAP, 2000, ISBN 9788526805217

[25] Thomas E. Linnenbrink, Steven J. Tilden, and Martin T. Miller, "*ADC Testing with IEEE Std 1241-2000*", Budapest, Hungary, May 21-23-2001.

Apêndice A

Folha de dados dos conversores analógico-digitais caracterizados

10-Bit, 65/80/105 MSPS, 3 V A/D Converter

AD9215

FEATURES

Single 3 V supply operation (2.7 V to 3.3 V)
SNR = 58 dBc (to Nyquist)
SFDR = 77 dBc (to Nyquist)
Low power ADC core: 96 mW at 65 MSPS, 104 mW @ 80 MSPS, 120 mW at 105 MSPS
Differential input with 300 MHz bandwidth
On-chip reference and sample-and-hold amplifier
DNL = ±0.25 LSB
Flexible analog input: 1 V p-p to 2 V p-p range
Offset binary or twos complement data format
Clock duty cycle stabilizer

APPLICATIONS

Ultrasound equipment
IF sampling in communications receivers
Battery-powered instruments
Hand-held scopemeters
Low cost digital oscilloscopes

FUNCTIONAL BLOCK DIAGRAM

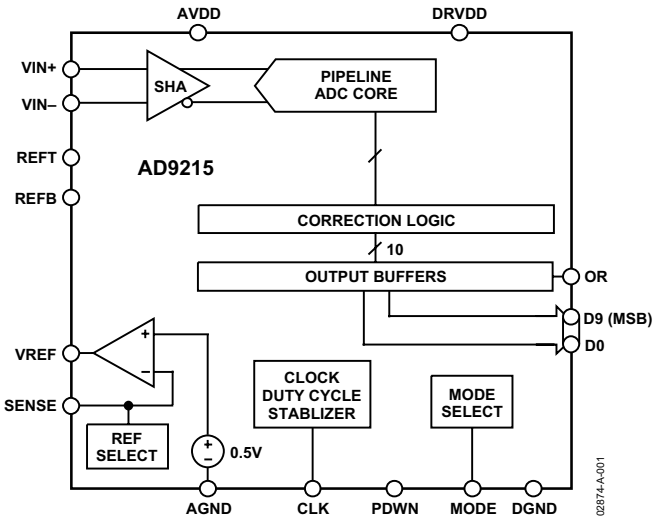

Figure 1.

PRODUCT DESCRIPTION

The AD9215 is a family of monolithic, single 3 V supply, 10-bit, 65/80/105 MSPS analog-to-digital converters (ADC). This family features a high performance sample-and-hold amplifier (SHA) and voltage reference. The AD9215 uses a multistage differential pipelined architecture with output error correction logic to provide 10-bit accuracy at 105 MSPS data rates and to guarantee no missing codes over the full operating temperature range.

The wide bandwidth, truly differential sample-and-hold amplifier (SHA) allows for a variety of user-selectable input ranges and offsets including single-ended applications. It is suitable for multiplexed systems that switch full-scale voltage levels in successive channels and for sampling single-channel inputs at frequencies well beyond the Nyquist rate. Combined with power and cost savings over previously available ADCs, the AD9215 is suitable for applications in communications, imaging, and medical ultrasound.

A single-ended clock input is used to control all internal conversion cycles. A duty cycle stabilizer compensates for wide variations in the clock duty cycle while maintaining excellent performance. The digital output data is presented in straight binary or twos complement formats. An out-of-range signal indicates an overflow condition, which can be used with the MSB to determine low or high overflow.

Fabricated on an advanced CMOS process, the AD9215 is available in both a 28-lead surface-mount plastic package and a 32-lead chip scale package and is specified over the industrial temperature range of −40°C to +85°C.

PRODUCT HIGHLIGHTS

1. The AD9215 operates from a single 3 V power supply and features a separate digital output driver supply to accommodate 2.5 V and 3.3 V logic families.
2. Operating at 105 MSPS, the AD9215 core ADC consumes a low 120 mW; at 80 MSPS, the power dissipation is 104 mW; and at 65 MSPS, the power dissipation is 96 mW.
3. The patented SHA input maintains excellent performance for input frequencies up to 200 MHz and can be configured for single-ended or differential operation.
4. The AD9215 is part of several pin compatible 10-, 12-, and 14-bit low power ADCs. This allows a simplified upgrade from 10 bits to 12 bits for systems up to 80 MSPS.
5. The clock duty cycle stabilizer maintains converter performance over a wide range of clock pulse widths.
6. The out of range (OR) output bit indicates when the signal is beyond the selected input range.

Rev. A
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **www.analog.com**
Fax: 781.326.8703 **© 2004 Analog Devices, Inc. All rights reserved.**

SPECIFICATIONS

AVDD = 3 V, DRVDD = 2.5 V, specified maximum conversion rate, 2 V p-p differential input, 1.0 V internal reference, unless otherwise noted.

Table 1. DC Specifications

			AD9215BRU-65/ AD9215BCP-65			AD9215BRU-80/ AD9215BCP-80			AD9215BRU-105/ AD9215BCP-105			
Parameter	**Temp**	**Test Level**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
RESOLUTION	Full	VI	10			10			10			Bits
ACCURACY												
No Missing Codes	Full	VI		Guaranteed			Guaranteed			Guaranteed		
Offset Error[1]	Full	VI		±0.3	±2.0		±0.3	±2.0		±0.3	±2.0	% FSR
Gain Error	Full	VI	0	+1.5	+4.0		+1.5	+4.0		+1.5	+4.0	% FSR
Differential Nonlinearity (DNL)[2]	Full	VI	−1.0	±0.5	+1.0	−1.0	±0.5	+1.0	−1.0	±0.6	+1.2	LSB
Integral Nonlinearity (INL)	Full	VI		±0.5	±1.2		±0.5	±1.2		±0.65	±1.2	LSB
TEMPERATURE DRIFT												
Offset Error	Full	V		+15			+15			+15		ppm/°C
Gain Error[1]	Full	V		+30			+30			+30		ppm/°C
Reference Voltage (1 V Mode)	Full	V		±230			±230			±230		ppm/°C
INTERNAL VOLTAGE REFERENCE												
Output Voltage Error (1 V Mode)	Full	VI		±2	±35		±2	±35		±2	±35	mV
Load Regulation @ 1.0 mA	Full	V		0.2			0.2			0.2		mV
Output Voltage Error (0.5 V Mode)	Full	V		± 1			±1			±1		mV
Load Regulation @ 0.5 mA	Full	V		0.2			0.2			0.2		mV
INPUT REFERRED NOISE												
VREF = 0.5 V	25°C	V		0.8			0.8			0.8		LSB rms
VREF = 1.0 V	25°C	V		0.4			0.4			0.4		LSB rms
ANALOG INPUT												
Input Span, VREF = 0.5 V	Full	IV		1			1			1		V p-p
Input Span, VREF = 1.0 V	Full	IV		2			2			2		V p-p
Input Capacitance[3]	Full	V		2			2			2		pF
REFERENCE INPUT RESISTANCE	Full	V		7			7			7		kΩ
POWER SUPPLIES												
Supply Voltage												
AVDD	Full	IV	2.7	3.0	3.3	2.7	3.0	3.3	2.7	3.0	3.3	V
DRVDD	Full	IV	2.25	2.5	3.6	2.25	2.5	3.6	2.25	2.5	3.6	V
Supply Current												
I_{AVDD}	Full	VI		32	35		34.5	39		40	44	mA
I_{DRVDD}	25°C	V		7.0			8.6			11.3		mA
PSRR	Full	V		± 0.1			± 0.1			± 0.1		% FSR
POWER CONSUMPTION												
Sine Wave Input												
I_{AVDD}	Full	VI		96			104			120		mW
I_{DRVDD}	25°C	V		18			20			25		mW
Standby Power[4]	25°C	V		1.0			1.0			1.0		mW

[1] With a 1.0 V internal reference.
[2] Measured at f_{IN} = 2.4 MHz, full-scale sine wave, with approximately 5 pF loading on each output bit.
[3] Input capacitance refers to the effective capacitance between one differential input pin and AGND. Refer to Figure 5 for the equivalent analog input structure.
[4] Standby power is measured with a dc input, the CLK pin inactive (i.e., set to AVDD or AGND).

AVDD = 3 V, DRVDD = 2.5 V, specified maximum conversion rate, 2 V p-p differential input, 1.0 V internal reference, AIN = −0.5 dBFS, MODE = AVDD/3 (duty cycle stabilizer [DCS] enabled), unless otherwise noted.

Table 2. AC Specifications

			AD9215BRU-65/ AD9215BCP-65			AD9215BRU-80/ AD9215BCP-80			AD9215BRU-105/ AD9215BCP-105			
Parameter	**Temp**	**Test Level**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
SIGNAL-TO-NOISE RATIO (SNR)												
f_{IN} = 2.4 MHz	Full	VI	56.0	58.5		56.0	58.5			57.5		dB
	25°C	I	57.0	59.0		57.0	59.0		56.6	58.5		dB
f_{IN} = Nyquist[1]	Full	VI	56.0	58.0		56.0	58.0			57.5		dB
	25°C	I	56.5	58.5		56.5	58.5		56.4	58.0		dB
f_{IN} = 70 MHz	25°C	V					58.0			57.8		dB
f_{IN} = 100 MHz	25°C	V					57.5			57.7		dB
SIGNAL-TO-NOISE AND DISTORTION (SINAD)												
f_{IN} = 2.4 MHz	Full	VI	55.8	58.5		55.7	58.5			57.6		dB
	25°C	I	56.5	59.0		56.8	58.5		56.5	58.2		dB
f_{IN} = Nyquist	Full	VI	55.8	58.0		55.5	58.0			57.3		dB
	25°C	I	56.3	58.5		56.3	58.5		56.1	57.8		dB
f_{IN} = 70 MHz	25°C	V					56.0			57.7		dB
f_{IN} = 100 MHz	25°C	V					55.5			57.4		dB
EFFECTIVE NUMBER OF BITS (ENOB)												
f_{IN} = 2.4 MHz	Full	VI	9.1	9.5		9.0	9.5			9.3		Bits
	25°C	I	9.2	9.6		9.3	9.5		9.2	9.5		Bits
f_{IN} = Nyquist	Full	VI	9.1	9.4		9.0	9.4			9.4		Bits
	25°C	I	9.1	9.5		9.0	9.5		9.1	9.4		Bits
f_{IN} = 70 MHz	25°C	V					9.1			9.4		Bits
f_{IN} = 100 MHz	25°C	V					9.0			9.3		Bits
WORST HARMONIC (Second or Third)												
f_{IN} = 2.4 MHz	Full	VI		−78	−64		−78	−64		−78		dBc
	25°C	I		−80	−65		−80	−65		−84	−70	dBc
f_{IN} = Nyquist	Full	VI		−77	−64		−76	−63		−74		dBc
	25°C	I		−78	−65		−78	−65		−75	−61	dBc
f_{IN} = 70 MHz	25°C	V					−70			−75		dBc
f_{IN} = 100 MHz	25°C	V					−70			−74		dBc
WORST OTHER (Excluding Second or Third)												
f_{IN} = 2.4 MHz	Full	VI		−77	−67		−77	−66		−73		dBc
	25°C	I		−78	−68		−77	−68		−75	−66	dBc
f_{IN} = Nyquist	Full	VI		−77	−67		−77	−66		−71		dBc
	25°C	I		−78	−68		−77	−68		−75	−63	dBc
f_{IN} = 70 MHz	25°C	V					−80			-75		dBc
f_{IN} = 100 MHz	25°C	V					−80			−75		dBc
TWO-TONE SFDR (AIN = −7 dBFS)												
f_{IN1} = 70.3 MHz, f_{IN2} = 71.3 MHz	25°C	V					75			75		dBc
f_{IN1} = 100.3 MHz, f_{IN2} = 101.3 MHz	25°C	V					74			74		dBc
ANALOG BANDWIDTH	25°C	V		300			300			300		MHz

[1] Tested at f_{IN} = 35 MHz for AD9215-65; f_{IN} = 39 MHz for AD9215-80; and f_{IN} = 50 MHz for AD9215-105.

Table 3. Digital Specifications

			AD9215BRU-65/ AD9215BCP-65			AD9215BRU-80/ AD9215BCP-80			AD9215BRU-105/ AD9215BCP-105			
Parameter	**Temp**	**Test Level**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
LOGIC INPUTS (CLK, PDWN)												
High Level Input Voltage	Full	IV	2.0			2.0			2.0			V
Low Level Input Voltage	Full	IV			0.8			0.8			0.8	V
High Level Input Current	Full	IV	−650		+10	−650		+10	−650		+10	µA
Low Level Input Current	Full	IV	−70		+10	−70		+10	−70		+10	µA
Input Capacitance	Full	V		2			2			2		pF
LOGIC OUTPUTS[1] DRVDD = 2.5 V												
High Level Output Voltage	Full	IV	2.45			2.45			2.45			V
Low Level Output Voltage	Full	IV			0.05			0.05			0.05	V

[1] Output voltage levels measured with a 5 pF load on each output.

Table 4. Switching Specifications

			AD9215BRU-65/ AD9215BCP-65			AD9215BRU-80/ AD9215BCP-80			AD9215BRU-105/ AD9215BCP-105			
Parameter	**Temp**	**Test Level**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Min**	**Typ**	**Max**	**Unit**
CLOCK INPUT PARAMETERS												
Maximum Conversion Rate	Full	VI	65			80			105			MSPS
Minimum Conversion Rate	Full	V			5			5			5	MSPS
CLOCK Period	Full	V	15.4			12.5			9.5			ns
DATA OUTPUT PARAMETERS												
Output Delay[1] (t_{OD})	Full	VI	2.5	4.8	6.5	2.5	4.8	6.5	2.5	4.8	6.5	ns
Pipeline Delay (Latency)	Full	V		5			5			5		Cycles
Aperture Delay	25°C	V		2.4			2.4			2.4		ns
Aperture Uncertainty (Jitter)	25°C	V		0.5			0.5			0.5		ps rms
Wake-Up Time[2]	25°C	V		7			7			7		ms
OUT-OF-RANGE RECOVERY TIME	25°C	V		1			1			1		Cycles

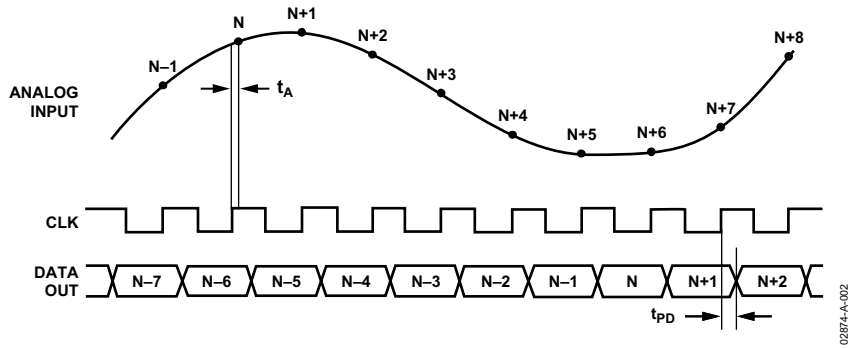

Figure 2. Timing Diagram

[1] Output delay is measured from CLK 50% transition to DATA 50% transition, with 5 pF load on each output.
[2] Wake-up time is dependent on the value of decoupling capacitors; typical values shown with 0.1 µF and 10 µF capacitors on REFT and REFB.

ABSOLUTE MAXIMUM RATINGS[1]

Table 5.

Mnemonic	With Respect to	Min	Max	Unit
ELECTRICAL				
AVDD	AGND	−0.3	+3.9	V
DRVDD	DRGND	−0.3	+3.9	V
AGND	DRGND	−0.3	+0.3	V
AVDD	DRVDD	−3.9	+3.9	V
Digital Outputs	DRGND	−0.3	DRVDD + 0.3	V
CLK, MODE	AGND	−0.3	AVDD + 0.3	V
VIN+, VIN−	AGND	−0.3	AVDD + 0.3	V
VREF	AGND	−0.3	AVDD + 0.3	V
SENSE	AGND	−0.3	AVDD + 0.3	V
REFB, REFT	AGND	−0.3	AVDD + 0.3	V
PDWN	AGND	−0.3	AVDD + 0.3	V
ENVIRONMENTAL[2]				
Operating Temperature		−40	+85	°C
Junction Temperature			150	°C
Lead Temperature (10 sec)			300	°C
Storage Temperature		−65	+150	°C

NOTES

[1]Absolute maximum ratings are limiting values to be applied individually, and beyond which the serviceability of the circuit may be impaired. Functional operability is not necessarily implied. Exposure to absolute maximum rating conditions for an extended period of time may affect device reliability.

[2]Typical thermal impedances 28-lead TSSOP: θ_{JA} = 67.7°C/W, 32-lead LFCSP: θ_{JA} = 32.7°C/W; heat sink soldered down to ground plane.

EXPLANATION OF TEST LEVELS

Test Level

I 100% production tested.

II 100% production tested at 25°C and sample tested at specified temperatures.

III Sample tested only.

IV Parameter is guaranteed by design and characterization testing.

V Parameter is a typical value only.

VI 100% production tested at 25°C; guaranteed by design and characterization testing for industrial temperature range; 100% production tested at temperature extremes for military devices.

ESD CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although this product features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

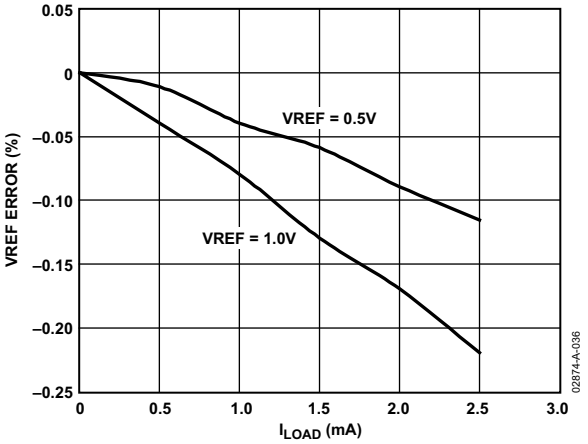

Figure 38. VREF Accuracy vs. Load

External Reference Operation

The use of an external reference may be necessary to enhance the gain accuracy of the ADC or improve thermal drift characteristics. When multiple ADCs track one another, a single reference (internal or external) may be necessary to reduce gain matching errors to an acceptable level. A high precision external reference may also be selected to provide lower gain and offset temperature drift. Figure 39 shows the typical drift characteristics of the internal reference in both 1 V and 0.5 V modes.

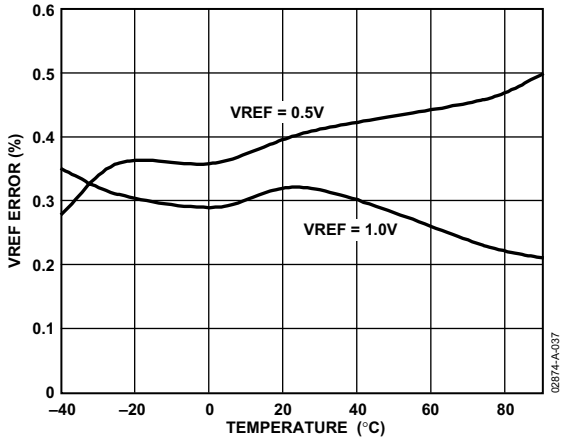

Figure 39. Typical VREF Drift

When the SENSE pin is tied to AVDD, the internal reference is disabled, allowing the use of an external reference. An internal reference buffer loads the external reference with an equivalent 7 kΩ load. The internal buffer still generates the positive and negative full-scale references, REFT and REFB, for the ADC core. The input span is always twice the value of the reference voltage; therefore, the external reference must be limited to a maximum of 1 V.

Operational Mode Selection

As discussed earlier, the AD9215 can output data in either offset binary or twos complement format. There is also a provision for enabling or disabling the clock duty cycle stabilizer (DCS). The MODE pin is a multilevel input that controls the data format and DCS state. For best ac performance, enabling the duty cycle stabilizer is recommended for all applications. The input threshold values and corresponding mode selections are outlined in Table 9.

As detailed in Table 9, the data format can be selected for either offset binary or twos complement.

Table 9. Mode Selection

MODE Voltage	Data Format	Duty Cycle Stabilizer
AVDD	Twos Complement	Disabled
2/3 AVDD	Twos Complement	Enabled
1/3 AVDD	Offset Binary	Enabled
AGND (Default)	Offset Binary	Disabled

The MODE pin is internally pulled down to AGND by a 20 kΩ resistor.

EVALUATION BOARD

The AD9215 evaluation board provides all of the support circuitry required to operate the ADC in its various modes and configurations. The converter can be driven differentially through an AD8351 driver, a transformer, or single-ended. Separate power pins are provided to isolate the DUT from the support circuitry. Each input configuration can be selected by proper connection of various jumpers (refer to the schematics). Figure 40 shows the typical bench characterization setup used to evaluate the ac performance of the AD9215. It is critical that signal sources with very low phase noise (<1 ps rms jitter) be used to realize the ultimate performance of the converter. Proper filtering of the input signal, to remove harmonics and lower the integrated noise at the input, is also necessary to achieve the specified noise performance.

Complete schematics and layout plots follow that demonstrate the proper routing and grounding techniques that should be applied at the system level.

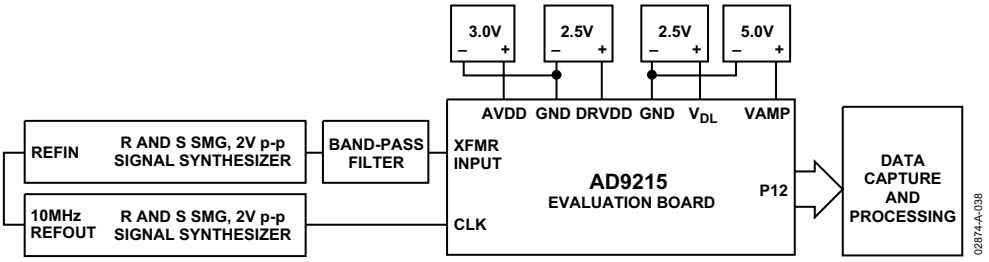

Figure 40. Evaluation Board Connections

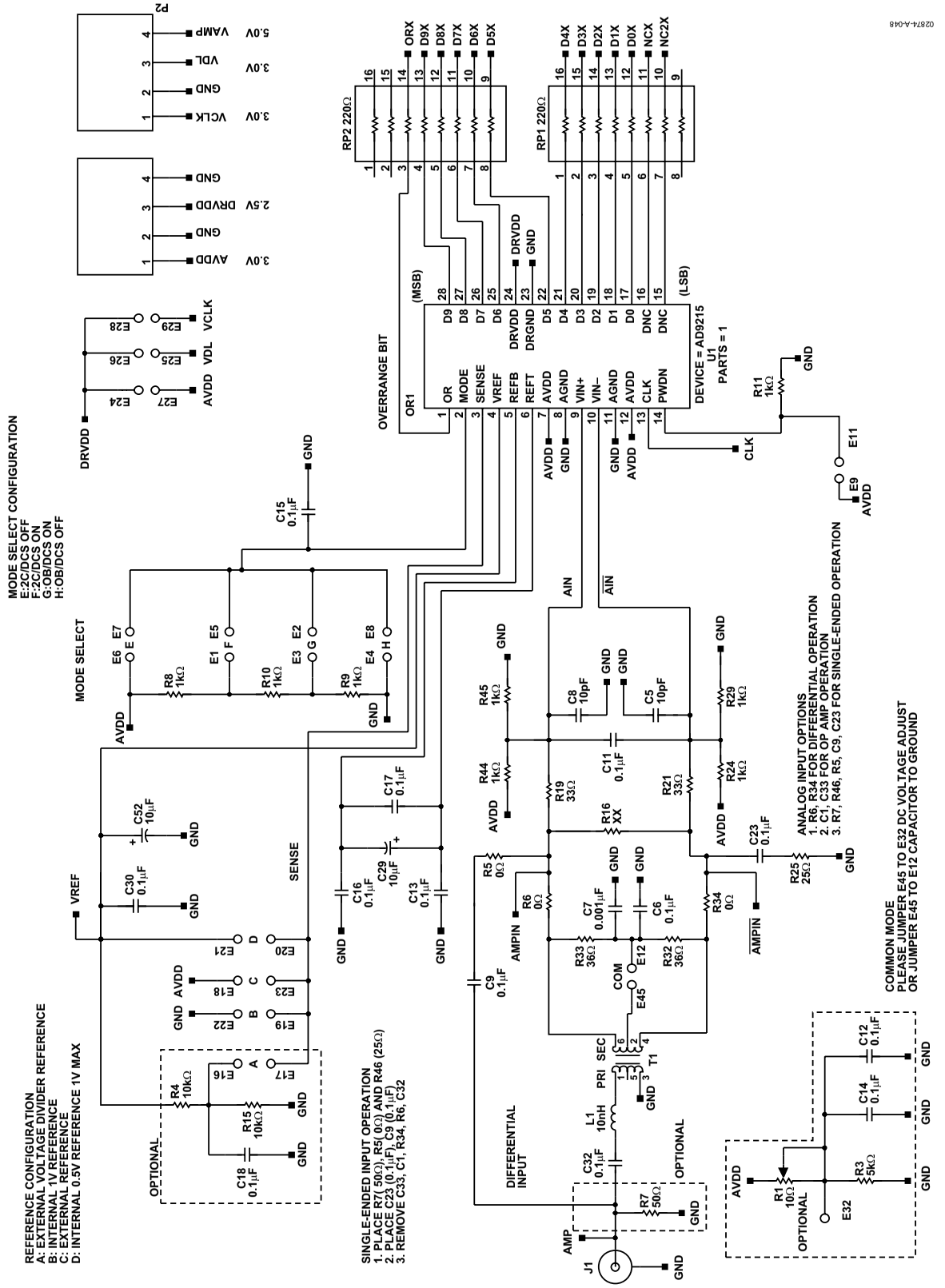

Figure 50. TSSOPP Evaluation Board Schematic, Analog Inputs and DUT

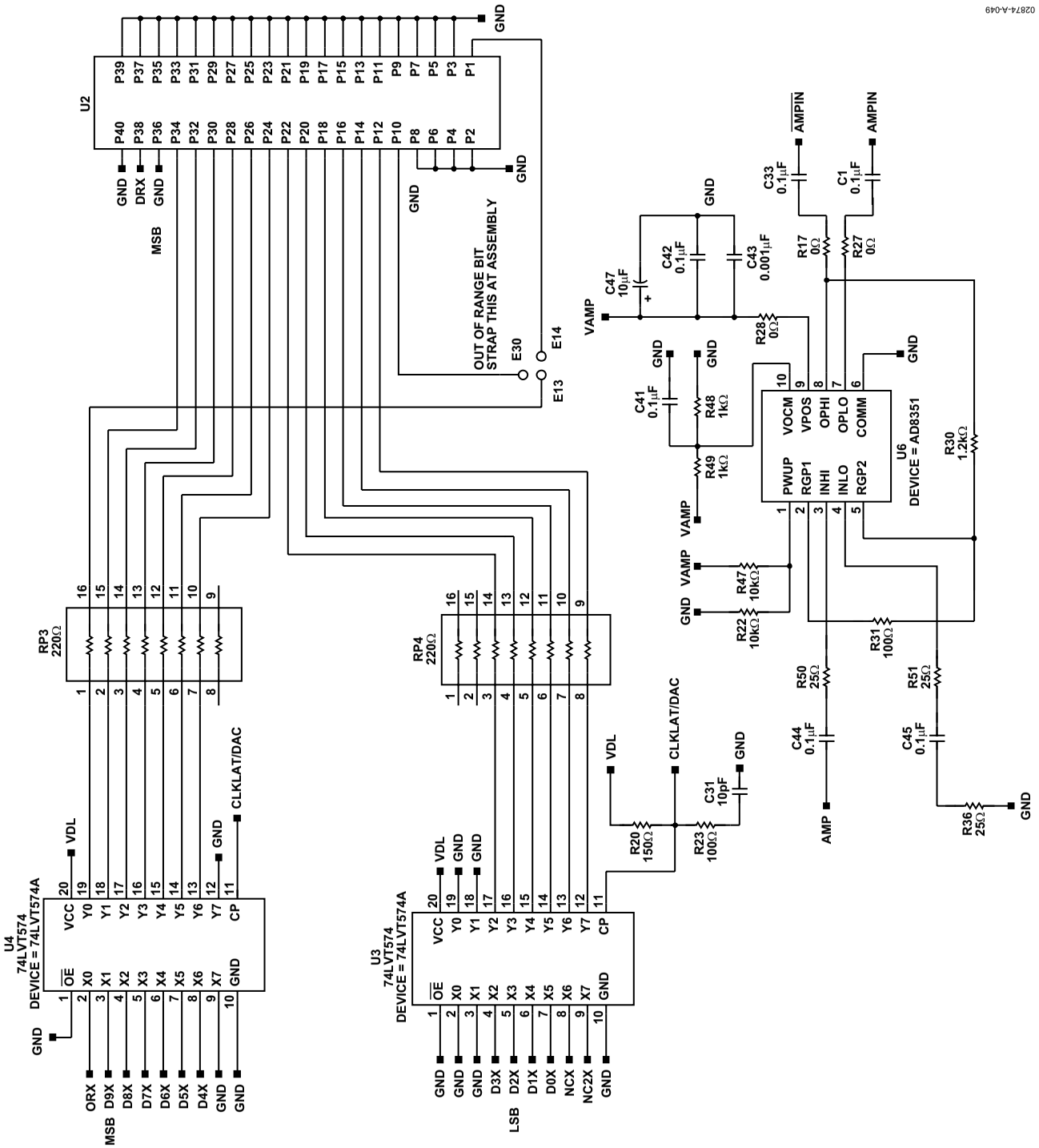

Figure 51. TSSOP Evaluation Board, Digital Path

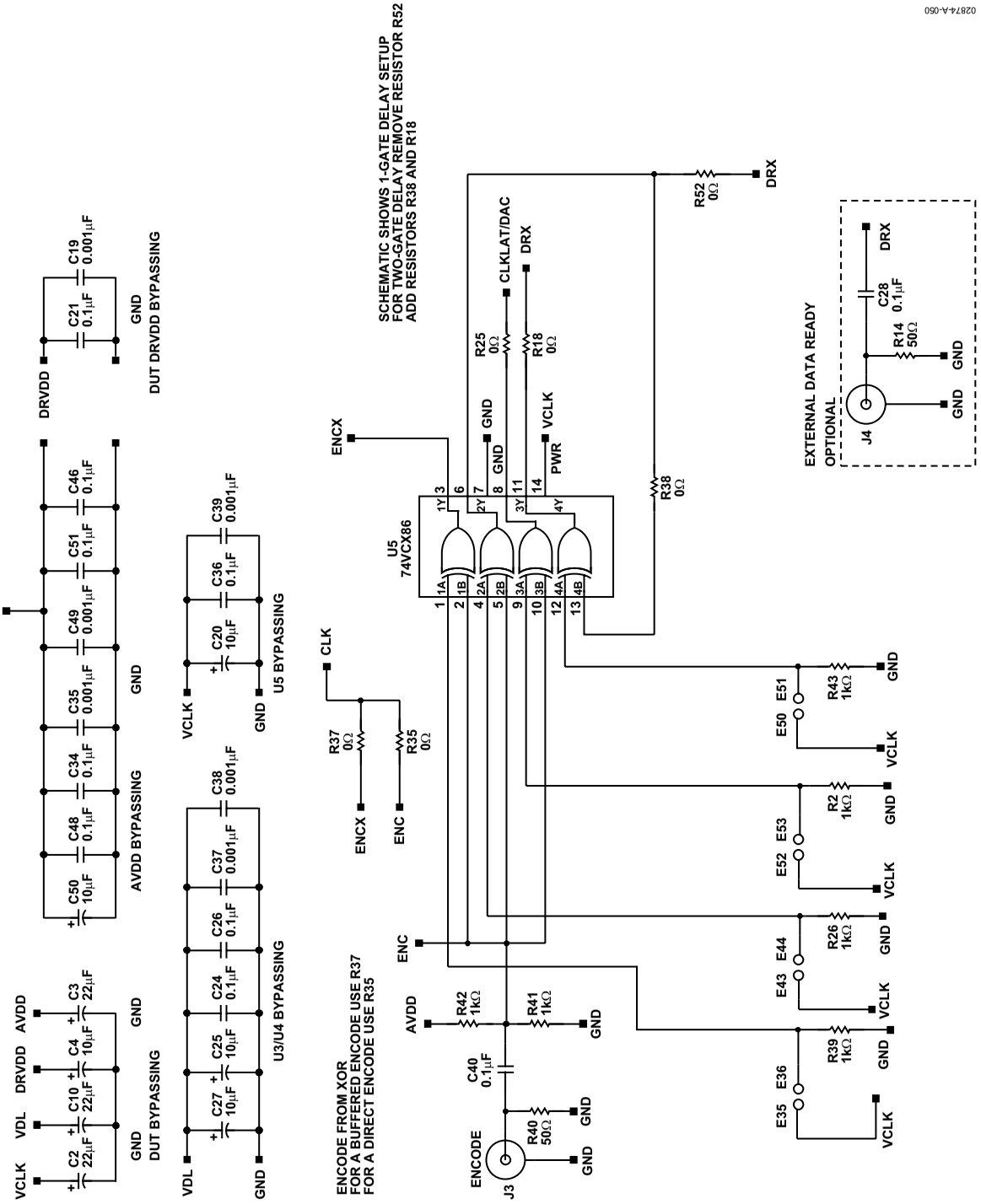

Figure 52. TSSOP Evaluation Board Schematic, Clock Input

Apêndice B

Artigo científico publicado em congresso internacional

Automated Test-Bed for Analog to Digital Converters

José Erick de Souza Lima
Science, Technology and Innovation Center for the Industry of Manaus, CT-PIM
Manaus, AM, Brazil
erick@ctpim.org.br

Carlos A. dos Reis Filho
School of Electrical and Computer Engineering, State University of Campinas, Unicamp
Campinas, SP, Brazil
carlos_reis@lpm.fee.unicamp.br

***Abstract* - An automated test-bed for Analog to Digital Converters is described, which is based upon an arrangement of equipments controlled by LabView to implement standard-based procedures that provide accurate values of the most relevant metrics of an ADC. The targeted metrics that the system has been conceived to provide are SNR, SINAD, ENOB, Worst Harmonic and SFDR. In essence, the developed system differs from previously reported similar solutions in that it is not restricted to characterize only ADC's that operate at a specific range of conversion rate, neither was it developed to serve as a pass/no-pass testing base for production lines. Instead, it is uncommitted with either the type or speed of the ADC under test, thanks to its hardware modularity and incorporation of test routines for both slow and fast ADC's. Moreover, it provides a wider range of information about the device under test, since it has been conceived as a tool to support designers in the development of ADC's. Experimental testing results performed for the validation of the test-bed are presented and discussed.**

Keywords - ADC test-bed ; LabView; Analog to Digital Converters.

I. INTRODUCTION

Analog to digital converters are fundamental building blocks in the practice of designing integrated circuits. As self-standing components, they play an essential role by making it viable to translate real-world signals into time-related numbers that mathematics can treat. The evolution in performance of these devices is simply astonishing. Monolithic ADC's are currently available in the market, which are capable of discerning voltage increments as low as 262nV [1] providing digital output codes at rates in the range of tens of thousands samples per second as well as others that provide conversions with lower resolution however within times in the order of nanoseconds [2]. ADC´s are roughly concentrated in two big groups, one populated by those that feature high resolution and low conversion speeds and the other populated by ADC's featuring high speed and lower resolutions. This fact is not only a result of market demands as it is also a reflex of the difficulties to accomplish an ADC that feature the state of the art extremes of resolution and conversion speed altogether. Nevertheless, an ADC with such characteristics is not only desirable, highly valuable and above all, a design challenge, which requires from engineers that face it, not only maturity and deep knowledge, but also the use of appropriate tools. The herein presented automated test-bed has been developed to attend this purpose: a design aid tool. Compared with previously reported similar test beds and ADC testing environments [3-4], the herein described solution contributes to this topic by providing an increased number of testing functions, both static and dynamic, in one single open framework. A commercially available ADC-test product [5-6], provides additional test functions as compared with the presented solution, however using a proprietary software and hardware, which restricts users from altering its contents.

II. TEST-BED ARRANGEMENT

The conceived system comprises a collection of equipments arranged as illustrated on Fig.1, to implement a signal path, which originates at a precision sine wave generator, triggered by pulses from a clock generator that establishes the testing conversion rate. A high-Q band-pass filter is used to restrict the influence of out-of-band noise prior to applying the reference sine signal to the input of the ADC under test. The ADC is further protected from external influences by using batteries to power it, in addition to being held within a shielded case. The produced digital output signal is captured by a logic analyzer, which plays the role of code grabber. Eventually, the digitized sample of the reference sine signal arrives at the PC for further processing.

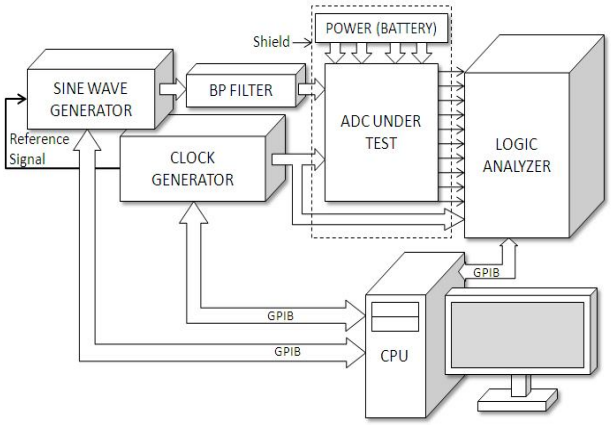

Figure 1. Arrangement of equipments

A list of the equipments used in the above arrangement is shown in Table I.

TABLE I. LIST OF EQUIPMENTS OF THE TEST-BED

Equipment	Model
Logic Analyzer	HP1661C
Arbitrary Generator	HP33120A
Pulse Generator	HP8130A
Band RF Selector	Tectronix2706
Signal generator	HP8657A

III. KNOWLEDGE BASE AND STANDARDS

The developed test-bed allows ADC's to be tested following the methods described by IEEE standards 1057-1994 [7] and 1241- 2000 [8]. The characterization process starts with the digitization of an input sine reference signal. Once entered in the numerical domain, the acquired signal can be processed toward determining the device metrics following either or both of the two implemented approaches. In one of these approaches, dubbed the time-domain method, a minimum square approximation algorithm is used to find the best-fit sine function from the digitized samples. In essence, from a vector of M digitized samples, parameters A_i, B_i and C_i must be found, which yields (1):

$$\sum_{n=1}^{M}[y_n - A_i\,cos(\omega_i\,t_n)\; - B_i\,sen(\omega_i\,t_n)\; - C_i]^2 = 0 \qquad (1)$$

The method assumes that the signal frequency ω_i is known. The obtained values of A_i, B_i and C_i define the best-fit sine by means of the following expression (2):

$$y'_n = A_i\,cos(\omega_i\,t_n)\; + B_i\,sen(\omega_i\,t_n)\; + C_i \qquad (2)$$

Most metrics of the ADC are directly derived from the departure of the acquired samples from the best-fit corresponding values. The sum of squared differences between values of y and y' is the squared value of the RMS noise. This variable is a pivot for the calculation of two crucial metrics indicators – The Effective Number of Bits (ENOB) and the Signal to Noise and Distortion Ratio (SINAD).

$$ENOB = log_2\left(\frac{full\ scale\ range}{\sqrt{12}\cdot RMS\ noise}\right) \qquad (3)$$

$$SINAD = \frac{RMS\ signal}{RMS\ noise} \qquad (4)$$

Another approach that leads to the values of the above metrics, called the frequency-domain method, is based on the calculation of the DFT from the same collected samples of the input sine reference signal.

From a collection of M sampled values of the input signal and a restricted range of harmonics, the total harmonic distortion, THD, is estimated as (5):

$$THD = \frac{1}{M}\sqrt{\sum_{h}\,(X_{avm}\;(f_h))^{\,2}} \qquad (5)$$

$X_{avm}(f_h)$ is the average amplitude of the h^{th} harmonic of the obtained DFT.

If each one of the M samples of the input signal, which frequency is *fi*, is acquired K-times, an array of dimensions M × K is obtained, which allows estimating the DFT for each individual collection of M-samples of the input signal. The K sets of obtained DFT can be used to compute an average magnitude spectrum of the DFT bins regarding each one of the frequencies in the range from 0 to (M-1) in (6). Thus:

$$X_{avm}[f_m] = \frac{1}{k}\sum_{k=1}^{k}|X_k[f_m]| \qquad (6)$$
$$m = 0,1,2\ldots(M-1)$$

Performing the same above procedure, however excluding from the spectrum the frequencies *fm*=0, *fi* and (*fs-fi*), where *fs* is the sampling frequency, yields the residual spectrum of X_{avm}, $E_{avm,}$ see [8]. As a result, the RMS noise can be estimated as (7):

$$RMS\ noise = \frac{1}{M}\left[\sum_{m=0}^{M-1}E_{avm}(f_m)^2\right]^{1/2} \qquad (7)$$

The RMS signal can be straightforwardly estimated from the average amplitudes of frequencies *fi* and (*fs-fi*) in (8):

$$RMS\ noise = \frac{1}{M}\sqrt{[X_{avm}(f_i)]^2 + [X_{avm}(f_s - f_i)]^2} \qquad (8)$$

With respect to SINAD in the frequency domain, the same definition and corresponding expression used in the time domain equally applies. Since the energy contained in a waveform summed throughout time is equal to the total energy of the waveform's Fourier Transform summed throughout the whole corresponding frequency components, as stated in Perseval's theorem, the ratio of the RMS signal to the RMS noise is the same both in the time domain and frequency domain. Hence, using the values of RMS signal and RMS noise as evaluated in the frequency domain in (4):

From the obtained SINAD, the effective number of bits can be readily calculated according to the following expression (9):

$$ENOB = \frac{SINAD - 1.76dB + r}{6.02dB} \qquad (9)$$

The variable *r* is the ratio (in dB) between the amplitude of the input signal and the full-scale amplitude. The validity of this expression is bound to the condition that the applied input signal never exceeds the full-scale amplitude.

Another important ADC metric that can be estimated from the DFT is the spurious free dynamic range (SFDR). By

definition, it is the ratio of the amplitude of the averaged DFT value at the fundamental frequency, *fi*, to the amplitude of the averaged DFT value of the largest magnitude harmonic or spurious signal component observed over the full Nyquist band. Fig.2 shows a graphical representation of SFDR.

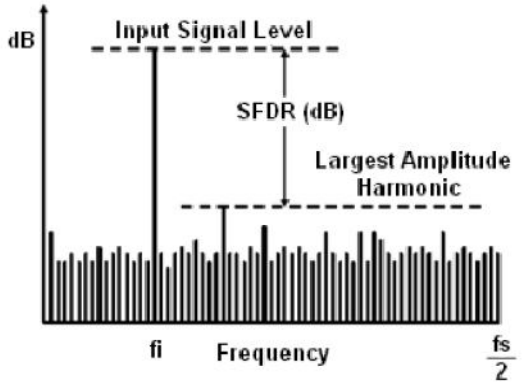

Figure 2. Graphical illustration of SFDR

IV. SOFTWARE PROGRAMMING

The system was developed with basis on LabView due to being a widespread software platform, which incorporates resources for interfacing with equipments, network access, data acquisition, in addition to a large collection of specialized libraries, some of which covering most of the requirements of the developed system. In [3], a system is described, which is similar in concept, albeit different in its implementation and application purpose.

In action, the program is executed following the highly-abstract flow diagram in Fig.3.

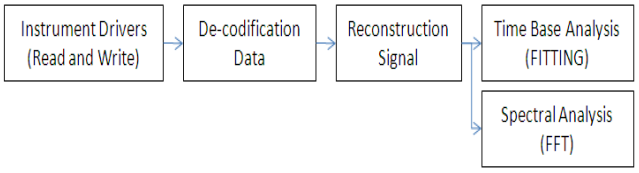

Figure 3. System program flow

The program starts by initializing all instruments in the test-bed. The reference signal is then generated and applied to the ADC under test. The resulting code is grabbed, and reconstructed into amplitude, however in numerical format.

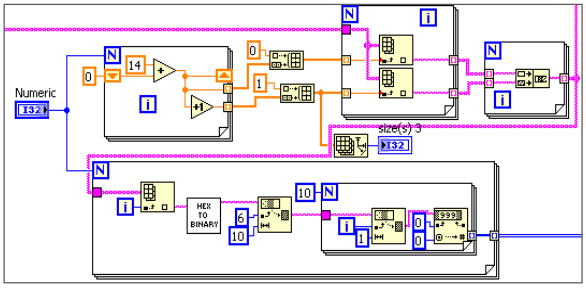

Figure 4. Grabbing and decoding the acquired output from the ADC

Fig.4, above, illustrates the used LabView routine that performs the grabbing and decoding of the acquired binary signal produced by the ADC under test. The reconstruction of the binary code back into amplitude is performed using the routine partly shown in Fig.5.

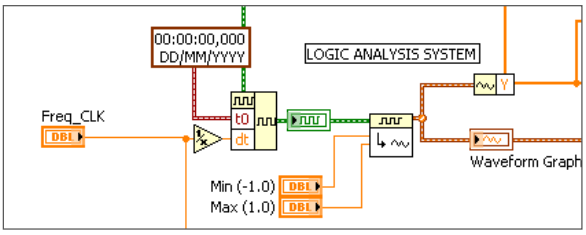

Figure 5. Reconstruction of the binary code back into amplitude

From this point on, the program offers the user the choice of performing the pertinent calculations following either the time domain method or the frequency domain method.

In the time domain method, the program follows the steps as indicated by the flow diagram of Fig.6.

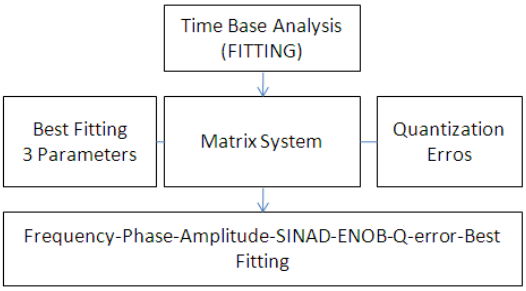

Figure 6. Program flow in the time-domain method

As already described in the previous section, the collection of acquired samples of the reference input signal is used to find the best-fit sine, described by parameters Ai, Bi and Ci. It is a program option either to provide the signal frequency *fi* or to let it be determined from the acquired data. Notice that in both cases the user needs to inform the ADC conversion rate, since it synchronizes the reference signal generator with the ADC and the output binary code grabber. From the acquired samples and the obtained best-fit sine, the error is computed to finally provide the values of ENOB and SINAD.

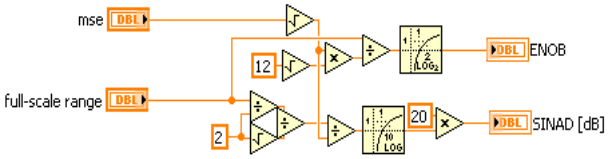

Figure 7. Last routine step in the calculation of ENOB and SINAD

In case the frequency-domain method is chosen to perform the ADC analysis, the program follows the steps indicated by the flow diagram of Fig.8.

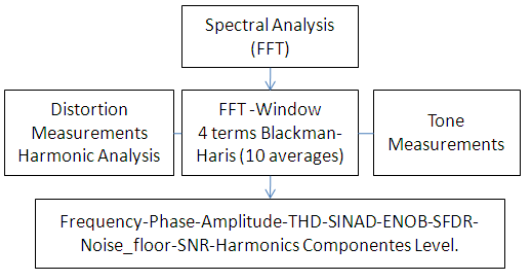

Figure 8. Program flow in the frequency-domain method

The user can choose different types of windows for the FFT, including the *four terms Blackman-Harris* described in [9]. The analysis performed in the frequency domain yields the values not only of SINAD and ENOB but also of the SFDR, all of which follow the calculation procedures as described in the previous section.

An important feature for the friendly usability of any software is the user interface. In the case of the developed system, this was one of the major concerns. As shown in Fig.9, it comprises two tabs. One for controlling the instruments and the other for parameters input.

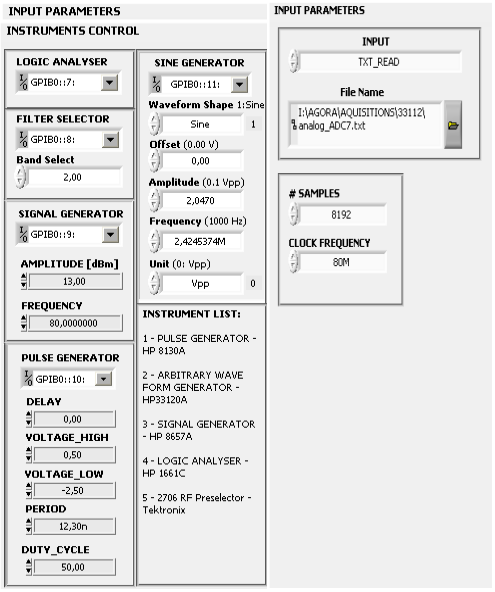

Figure 9. Tabs for instrument control and data input

The visualization of results is an important requirement for the success of the analysis. In the developed system, three tabs are available for the user to choose viewing: Digital Signal, Sine Wave Test and FFT Test.

A sample of each one of these output viewing screens is shown in the next three figures. Fig.10 shows resulting binary waveforms. Fig.11 shows on the top window the input sine along with the corresponding best-fit, while the obtained error is shown in the bottom window. Fig.12 shows the FFT test screen.

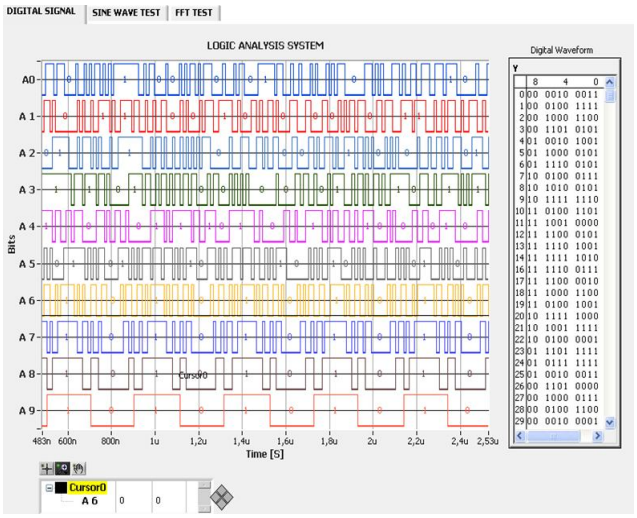

Figure 10. Digital signals tab screen

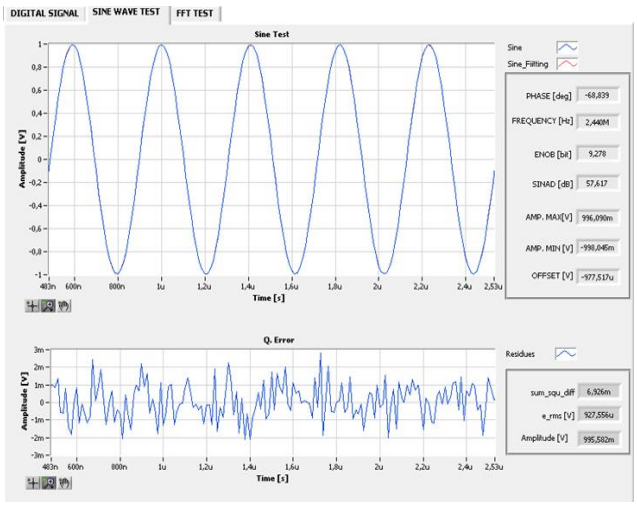

Figure 11. Sine wave tab screen

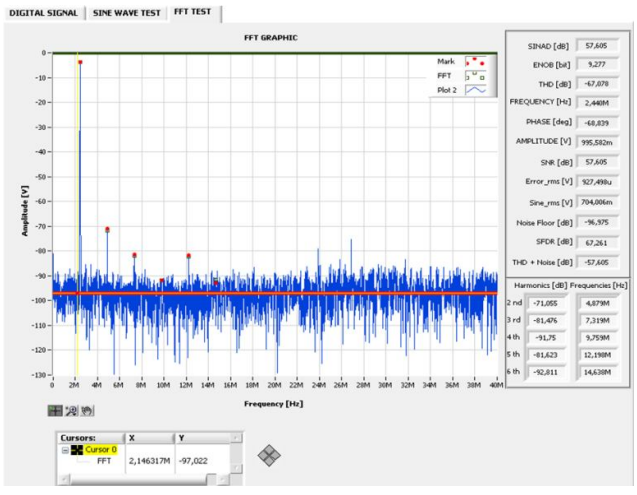

Figure 12. FFT test tab screen

V. EXPERIMENTAL RESULTS

The developed test-bed has been evaluated testing different types of both commercial and in-house designed ADC's.
Results have shown that the developed system is dependable, although confined to sampling rates up to 200MHz and resolutions of 11bits. This limitation is a sole consequence of the currently available equipments. As an illustration of the test-bed performance, the results of a test with commercial ADC AD9215 [10] are depicted in Table II. For the sake of comparison of methods, the test results based on the procedures described in [11] were also added to same table under the reference "BME-MIT ADC Test".

TABLE II. TEST RESULTS WITH ADC9215

Parameter	Developed Test-Bed		BME-MIT ADC Test		AD9215 Datasheet (min/typ)
	Best-fit	*FFT*	*3P*	*4P*	
SNR [dB]	-	57.6	-		56.5/59
SINAD [dB]	57.6	57.6	57.6		56/58.5
ENOB [bit]	9.28	9.28	9.28		9.1/9.5
Worst Harmonic (2^{nd} and 3^{rd}) [dB]	-	67.2	-		68/75
SFDR (Excluding 2^{nd} and 3^{rd}) [dB]	-	71.6	-		70/78

VI. CONCLUSIONS

A test-bed for analog-to-digital converters aimed at to be an auxiliary tool for designers, rather than a production testing device, has been described. The system comprises a hardware platform, associated with a control and analysis software based on LabView, building up a modular and configurable solution to measure relevant metrics including ENOB, SINAD, THD and SFDR. Exhaustive tests with different ADC's with performances below 200MS/s and 11 bits have shown that the developed test-bed fulfills the expectations.

REFERENCES

[1] 24-Bit, 4-Channel, Simultaneous-Sampling, Cascadable, Sigma-Delta ADC, URL: http://www.maxim-ic.com/quick_view2.cfm/qv_pk/4950.

[2] 8-Bit, 3GS/s, High Performance, Low Power A/D Converter, URL: http://www.national.com/pf/AD/ADC083000.html#Overview.

[3] S. Raze, D. Dallet and P. Marchegay, "Industrial Test of A/D Converters in LabVIEW", IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications, Lviv, Ukraine, 8-10 September 2003.

[4] T. Z. Bilau, T. Megyeri, A. Sárhegyi, J. Márkus, and I. Kollár, "Four parameter fitting of sine wave testing result: Iteration and convergence,"Comput. Stand. Interfaces, vol. 26, no. 1, pp. 51–56, Jan. 2004.

[5] "High Speed ADC USB FIFO Evaluation Kit",Rev.A,©2006–2007 Analog Devices, Inc. All rights reserved. URL: http://www.analog.com/static/imported-files/eval_boards/HSC-ADC-EVALB.pdf.

[6] "ADC Analyzer User Manual", Rev.0, ©2006 Analog Devices, Inc. All rights reserved. URL: http://www.analog.com/static/imported-httpfiles/eval_boards/ADC_ANALYZER_0.pdf.

[7] IEEE Standard 1057-1994, "Standard for Digitizing Waveform Recorders."

[8] IEEE Draft Standard 1241, "IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters", February 2000.

[9] Walt Kester, Analog Devices "Analog-Digital Conversion", pp. 5.54 – 5.57, 2004.

[10] AD9215 Product Data Sheet, Analog Devices, URL: http://www.analog.com/static/imported-files/data_sheets/AD9215.pdf.

[11] "ADC Test Data Evaluation Program for Matlab" Home Page, http://www.mit.bme.hu/projects/adctest.