

UNIVERSIDADE ESTADUAL DE CAMPINAS  
FACULDADE DE ENGENHARIA ELÉTRICA

Este exemplar corresponde à redação final da tese  
defendida por PAULO ROBERTO BRERO DE  
CAMPOS e aprovada pela Comissão  
Julgadora em 04 / 04 / 91.

  
Orientador

CONTROLE DE VELOCIDADE DE MOTOR DC  
ATRAVÉS DE UM CONTROLADOR PLL-DUAL

AUTOR : PAULO ROBERTO BRERO DE CAMPOS

ORIENTADOR : PROF. Dr. ÁLVARO GERALDO BADAN PALHARES

Tese apresentada à Faculdade  
de Engenharia Elétrica, da  
Universidade Estadual de Cam-  
pinas, como parte dos requi-  
tos exigidos para obtenção do  
título de Mestre em Engenharia  
Elétrica.

À Leocádio José Correa,  
médico humanitário, que  
viveu em Paranaguá no  
século passado, e que  
hoje como espírito con-  
tinua lutando pela va-  
lorização do ser humano.

## AGRADECIMENTOS

Sou grato às pessoas que me auxiliaram neste trabalho:

Professor Dr. Alvaro Geraldo Badan Palhares pela orientação que possibilitou a conclusão deste trabalho, ao meu irmão Milton Luiz Brero de Campos pela ajuda na confecção dos gráficos e figuras, aos meus pais e irmãos pelo apoio que sempre me deram, e aos amigos e colegas de trabalho que nunca me deixaram desanimar.

Agradeço à CAPES-PICD, pela concessão da bolsa de estudos e ao CEFET-PR pela liberação para desenvolver este trabalho.

## RESUMO

Na primeira fase do trabalho projetou-se um sistema de controle de velocidade de motor CC pela técnica PLL-DUAL para obtenção de alto desempenho e precisão.

Operando no modo PLL tem-se duas regiões de funcionamento; aquisição de freqüência e trancamento de fase. Na primeira região procura-se igualar a freqüência gerada no detetor ótico (encoder), que mede a velocidade de motor, com a freqüência de referência (captura de freqüência). Na segunda região tendo-se as freqüências igualadas (freqüências trancadas) executa-se o controle de fase para suprir as perdas inerentes ao motor mais carga.

O outro modo de operação do PLL/DUAL é o proporcional que é acionado toda vez que, através de uma perturbação, as freqüências se tornam muito distantes e aí o tempo de captura de freqüência será muito longo. Com isso o controle proporcional permite que se recupere a freqüência do encoder rapidamente, voltando-se novamente ao modo PLL através de uma chave acionada automaticamente, dependendo do valor do erro de velocidade (freqüência).

Este projeto constou de:

- Levantamento de parâmetros de motor e do encoder,
- Curvas características do detetor de fase,
- Análise de estabilidade do PLL na "região controle de fase" utilizando-se um modelo linear obtido através de valores médios, na

implementação analógica através do Lugar das Raízes (capítulo 2), e um modelo não linear na implementação digital através do critério frequencial de Popov (capítulo 6).

- análise de estabilidade do PLL na "região captura de frequência", cujo modelo é não linear, através do critério frequencial de Popov (capítulo 3).

- projeto do controle Dual, ou seja, comutação do modo PLL para o modo proporcional e vice-versa (capítulo 4).

Na segunda fase foi construído o sistema de controle projetado, e obteve-se resultados para a comparação com os obtidos analiticamente na fase de projeto, bem como com os resultados obtidos num outro trabalho analítico realizado por Adelheid M Alvarez [10] que estuda a estabilidade com o enfoque de sistemas dinâmicos caóticos.

As figuras 5.24, 5.25, 5.26 foram obtidas utilizando-se um Motor DC. As figuras 5.22, 5.23, 5.27, 5.28, 6.14, 6.15, 6.16 foram obtidas utilizando-se um computador analógico para simular o motor DC.

## ABSTRACT

The first part of the thesis describes the design of a system which controls the speed of a DC motor using a PLL-Dual. This design was chosen in order to achieve high precision and optimum performance.

The PLL mode of operation makes it possible two working regions: frequency acquisition and phase locking. The former is obtained by making the frequency generated at the optical detector to be equal to the reference frequency. The latter, after obtaining the same frequencies, allows the phase control keeping the motor at desired speeds.

Another way of operation using PLL/DUAL is the proportional mode which is on every time frequencies become quite different (by means of some perturbation) and so the frequency capture time becomes too long. Thus, the proportional control allows quick recovery of the encoder frequency. Then it is possible to go back to the PLL mode using an automatic switch which depends on the speed error.

The complete design consists of:

- Determination of parameters of the motor and encoder and characteristic error of the phase detector.
- Analysis of stability of the PLL in the phase control region using a linear model which was obtained with averaged values and employing an analog implementation using the Root Locus method (chapter 2) and, a non linear model with digital implementation employing the Popov criterion (chapter 6).
- Analysis of stability of the PLL in the frequency capture region which is a non linear model, using the Popov criterion (chapter 3).

-Design of the Dual control, i.e. switching from the PLL mode to the proportional mode and also in the opposite direction.

The second part of the thesis describes the development and construction of the system. The results obtained were compared with analytical values of the first part as well as other results obtained in another stability study which considered chaotic dynamic systems [10].

Figures 5.24, 5.25 and 5.26 were obtained using a DC motor. Figures 5.22, 5.23, 5.27, 6.14, 6.15, 6.16 were obtained using an analog computer which simulated the DC motor.

## ÍNDICE

GLOSSÁRIO DE TERMOS.....	i
1.CAPÍTULO 1 - INTRODUÇÃO	
1.1 Introdução.....	1
1.2 Estrutura básica do PLL.....	3
1.3 Modelo do detetor de fase-freqüência.....	5
1.4 Estrutura básica do sistema de controle de velocidade utilizando o PLL.....	7
2.CAPÍTULO 2 - ANÁLISE DE ESTABILIDADE LOCAL DO PLL	
2.1 Introdução.....	10
2.2 Modelo linear do sistema PLL.....	11
2.3 Limite de trancamento do PLL.....	14
3.CAPÍTULO 3 - ANÁLISE DE ESTABILIDADE GLOBAL	
3.1 Introdução.....	21
3.2 Critério de estabilidade de POPOV.....	21
3.3 Interpretação geométrica do critério de POPOV.....	27
3.4 Aplicação do critério de POPOV para o PLL.....	28
4.CAPÍTULO 4 - CONTROLE PLL-DUAL	
4.1 Introdução.....	32
4.2 Diagrama em blocos do PLL-DUAL.....	32
4.3 Chaveamento controlador proporcional-controlador PLL..	35

4.4	Modelo do conversor frequência-tensão.....	37
4.5	Análise da estabilidade da malha proporcional.....	38

## 5. CAPÍTULO 5 - CIRCUITOS E RESULTADOS DO PLL-DUAL

5.1	Introdução.....	41
5.2	Circuito completo.....	41
5.2.1	Chopper.....	41
5.2.2	Conversor frequência-tensão.....	44
5.2.3	Detetor de nível.....	46
5.2.4	Chave analógica.....	47
5.2.5	Detetor de fase.....	49
5.2.6	Amplificador subtrator.....	51
5.2.7	Amplificador inversor.....	52
5.2.8	Circuito isolador.....	52
5.2.9	Filtro passa-baixa.....	53
5.2.10	Compensador proporcional-integral.....	54
5.2.11	Divisor de frequências.....	55
5.2.12	Encoder.....	56
5.2.13	Motor DC.....	56
5.3	Análise de estabilidade do PLL na região linear.....	56
5.4	Análise da estabilidade na região não linear.....	59
5.5	Análise de estabilidade do sistema proporcional.....	61
5.6	Resultados.....	62
5.6.1	Comparação entre os sistemas PLL, proporcional e PLL-DUAL.....	62
5.6.2	Limitações da filtragem.....	63
5.6.3	Relação entre a estabilidade do sistema e a frequência do sinal de referência do PLL.....	65

5.6.4	Caos no PLL-DUAL.....	65
5.6.5	Análise da variação do tempo de chaveamento do proporcional para o PLL.....	66

## 6. CAPÍTULO 6 - PLL DIGITAL

6.1	Introdução.....	76
6.2	PLL digital tipo FLIP-FLOP.....	77
6.3	Interface Paralela PIO.....	84
6.4	Análise da estabilidade do PLL digital.....	86
6.5	Programa.....	90
6.6	Erros introduzidos devido às limitações físicas do sistema de controle digital.....	92
6.7	Resultados.....	94

## 7. APÊNDICE A - CHOPPER

A.1	Introdução.....	102
A.2	Projeto do chopper.....	102
A.2.1	Circuito gerador de rampa, comparador e acoplador ótico.....	104
A.2.2	Potência dissipada pelos transistores de potência..	107
A.2.3	Driver dos transistores de potência.....	109

## 8. APÊNDICE B - FUNÇÃO DE TRANSFERÊNCIA DO ENCODER

B.1	Introdução.....	111
B.2	Ganho do encoder na região de trancamento de fase....	111
B.3	Ganho do encoder fora da região de trancamento.....	114

## 9. APÊNDICE C - DETETORES DE FASE

C.1	Introdução.....	115
C.2	Detetores analógicos.....	116
C.2.1	Medição de ângulo e de fase.....	116
C.2.2	Detetor de fase chaveado.....	119
C.3	Detetor de fase lógico.....	122
C.4	Detetores de fase sequenciais.....	124
C.5	Detetor de fase-freqüência.....	126
C.6	PLL digital.....	131
C.6.1	PLL digital tipo FLIP-FLOP.....	133
C.6.2	PLL digital tipo NYQUIST RATE.....	134

10.	REFERÊNCIAS BIBLIOGRÁFICAS.....	135
-----	---------------------------------	-----

## GLOSSÁRIO DE TERMOS

$K_d, K_\phi$	Constante de ganho do detetor de fase
$K_a$	Ganho do chopper
$K_p$	Ganho do filtro ativo passa-baixa
$M$	Número de pulsos por radianos do encoder
$\tau_m$	Constante de tempo mecânica do motor
$\tau_e$	Constante de tempo elétrica do motor
$\theta_r$	Fase do sinal de referência
$\theta_\tau$	Fase do sinal do encoder
$K_{TA}$	Ganho da malha PLL em trancamento de fase
$N$	Módulo do divisor de frequências
	$K_{TA} = (K_d \cdot K_p \cdot K_a \cdot K_m \cdot M) / N$
$K_m$	Constante de ganho do motor
$K_{TB}$	Ganho da malha PLL em trancamento de fase, sem o detetor de fase
	$K_{TB} = (K_i \cdot K_a \cdot M \cdot K_m \cdot \tau_m \cdot \tau_e) / N$
$K_i$	Ganho do filtro passivo
$K$	Escalar positivo indicando o setor
$K_{TC}$	Ganho da malha PLL fora do trancamento de fase
	$K_{TC} = (K_p \cdot K_a \cdot K_m \cdot M) / (2\pi \cdot N)$
$e_m$	Faixa de tensão de chaveamento
$\tau_c$	Constante de tempo do conversor frequência tensão
$K_c / \tau_c$	Ganho do conversor F/V
$K_t$	Ganho do sistema PLL DIGITAL
$f_r$	Frequência de referência
$f_t, f_e$	Frequência do encoder
$K_{TD}$	Ganho da malha proporcional

## CAPÍTULO 1

### 1.1 INTRODUÇÃO

Apesar de toda a produção comercial de energia elétrica ser feita na forma de corrente alternada, uma parte desta energia é utilizada na forma de corrente contínua.

Os motores de corrente contínua são muito utilizados em serviços que necessitam de velocidades variáveis. Também possuem uma região de potência constante e uma característica de rápida aceleração e desaceleração.

Em muitos processos industriais que utilizam motores elétricos existe a necessidade de manter-se constante a velocidade do motor independente de variações na carga. Em algumas situações a variação na velocidade do motor poderia ser crítica ao processo.

Como exemplo pode-se citar a laminação de chapas de aços. Nas laminadoras de aço, tiras de aço são enroladas por dois carretéis e prensadas por roletes a uma velocidade constante, sendo que a espessura final das tiras de aço depende da pressão e velocidade das bobinas ou carretéis.

A tira de aço é novamente prensada por outros carretéis de tal forma a obter-se uma espessura ainda menor. Este processo continua até obter-se a tira de aço na espessura final desejada.

Os motores que movimentam as bobinas devem manter a velocidade constante, pois qualquer variação na velocidade provocaria uma modificação na espessura da chapa de aço. Além do que poderia provocar o rompimento da chapa de aço, já que a mesma pode atingir

velocidades de até 70 milhas por hora, ou ainda provocar a flambagem da lâmina.

Outro exemplo é o processo de fiação, onde a velocidade de produção dos fios deve ser mantida constante. Qualquer variação na velocidade poderia modificar a secção do fio ou quebrá-lo.

Em outros processos existe a necessidade de sincronizar dois ou mais motores como por exemplo as correias transportadoras onde os motores devem trabalhar à mesma velocidade para evitar esforços desnecessários na correia.

A análise das situações apresentadas mostra a necessidade de um sistema de controle que evite variações na velocidade do motor, ou que pelo menos mantenha as variações dentro de um limite aceitável.

Na maioria dos processos é utilizado o controle com referência por amplitude, onde o sistema responde rapidamente a transitórios, mas a precisão em regime permanente é limitada. Além disto o sistema com referência por amplitude não é robusto, isto é, qualquer variação na carga implica em variações na velocidade do motor.

Um sistema muito utilizado em comunicações é o PLL (Phase Locked Loop), e que devido à sua característica de trancamento de fase vem sendo utilizado para regular a velocidade de motores. O PLL possui uma excelente precisão em regime permanente (da ordem de 0,02 - 0,1 % segundo Prasad et Al), mas a resposta transitória é pobre. O tempo que o PLL demora para atingir o regime permanente pode ser inaceitável para determinados processos. Outra característica do PLL é sua grande robustez a variações na carga, quando operando em regime de trancamento de frequência. Porém podem ocorrer grandes perturbações que tiram o sistema deste regime. Neste caso deve-se cuidar para que se reduza o problema de longos transientes a fim de

que ele continue sendo uma alternativa no controle de motores.

Uma solução é utilizar as boas características do PLL e do controle convencional num sistema Dual onde para grandes erros o controle convencional (proporcional ou proporcional mais integral) é ativado de tal forma a levar rapidamente o sistema ao regime permanente. E quando o sistema chegar a um ponto próximo do regime permanente o controle proporcional deixa de atuar, e é ativado o PLL para manter o sistema robusto e preciso. O sistema necessitará de um circuito que faça o chaveamento entre o PLL e o controle proporcional.

## 1.2 ESTRUTURA BÁSICA DO PLL

O PLL utilizado em Telecomunicações é composto basicamente por três elementos que são:

a-detetor de fase

b-filtro passa baixa

c-oscilador controlado por tensão(VCO)

A disposição destes elementos é mostrada na figura 1.1 .

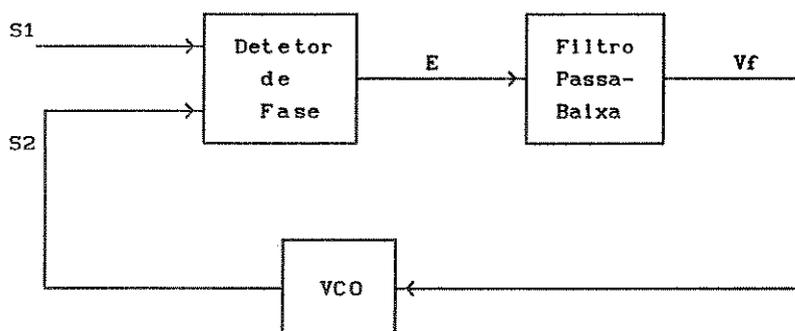


Figura 1.1 Esquema básico de um PLL

A função do detetor de fase é comparar a fase de sinal de entrada com a fase do sinal gerado pelo VCO. A saída será um sinal cuja duração é igual à diferença de fase destes dois sinais.

O filtro passa baixa retira os componentes de alta frequência do sinal de erro vindo do detetor de fase e fornece uma tensão aproximadamente constante ao VCO.

A frequência do VCO é modificada pela tensão aplicada à sua entrada de tal forma a manter constante a diferença de fase entre o sinal de entrada e o sinal do VCO.

Como exemplo, as formas de ondas na saída dos componentes do PLL para um determinado defasamento são mostrados na figura 1.2 .

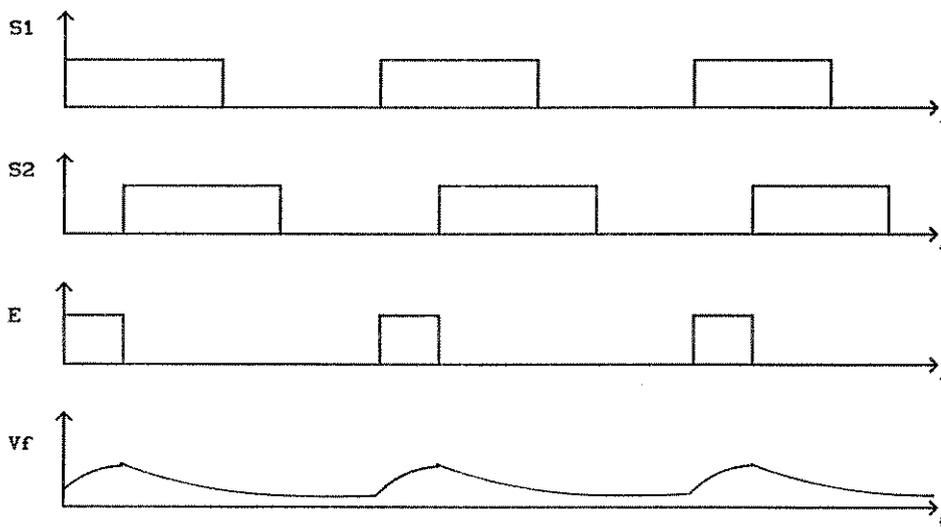


Figura 1.2 Formas de ondas do PLL. S1-sinal de entrada.

S2-sinal do VCO. E-saída do detetor de fase. Vf-saída do filtro.

O PLL comporta-se de duas maneiras distintas dependendo da relação entre a frequência do sinal de entrada e a frequência do VCO.

Quando as duas frequências são iguais podemos modelar o

PLL como um sistema linear cujo objetivo é manter constante a diferença de fase entre os sinais. Nesta condição diz-se que o sistema está trancado (locked). A diferença de fase é necessária a fim de gerar uma tensão de erro que irá alimentar o VCO.

Quando as frequências são diferentes diz-se que o sistema perdeu o trancamento (UNLOCKED). Nesta situação o PLL possui um comportamento não linear e seu objetivo é igualar a frequência do VCO à frequência do sinal de entrada.

### 1.3 MODELO DO DETETOR DE FASE-FREQÜÊNCIA

Dentre os diversos tipos de detetores de fase foi escolhido um detetor de fase-frequência. É um circuito sequencial que além da aquisição de fase (processo de trancamento de fase), faz também a aquisição de frequência. Nos outros detetores de fase a aquisição de frequência é feita por circuitos externos.

A aquisição de fase ocorre quando as duas frequências são iguais. Neste caso a tensão média na saída é proporcional à diferença de fase dos sinais na entrada do detetor. Na figura 1.3 é mostrada a curva característica do detetor de fase nesta situação. O detetor de fase possui um comportamento linear nesta região de funcionamento.

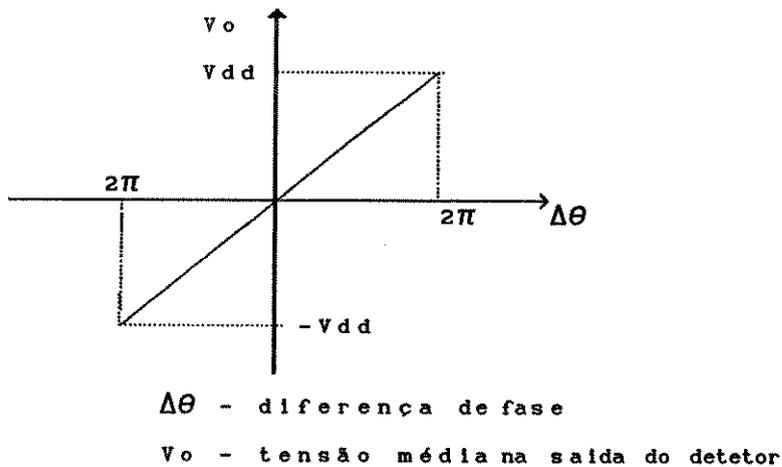


Figura 1.3 Curva característica do detetor de fase-freqüência durante a aquisição de fase.

Nesta situação o ganho é dado pela razão entre a tensão média na saída e a diferença de fase dos sinais. Através da figura 1.3 podemos calcular o ganho. Para  $\Delta\theta=0$  tem-se  $v_o=0$ , e para  $\Delta\theta=2\pi$  tem-se  $v_o=V_{dd}$ . O ganho é dado por :

$$K_d = \frac{V_{dd} - 0}{2\pi - 0}$$

Então:

$$K_d = \frac{V_{dd}}{2\pi} \quad (1.1)$$

A aquisição de freqüência ocorre quando as freqüências são diferentes. Nesta situação o detetor de fase-freqüência tem um comportamento não linear como é mostrado na figura 1.4 . Nesta região as técnicas de análise linear para determinação da estabilidade do sistema não são válidas.

Note que na aquisição de freqüência, o PLL tenta igualar a freqüência do gerador de pulsos com a freqüência do sinal de

referência. E é nesta região que o PLL não possui um comportamento satisfatório, porque o trancamento de frequência se dá de forma muito lenta e às vezes não ocorre. Será necessária a utilização de um circuito externo para acelerar o processo.

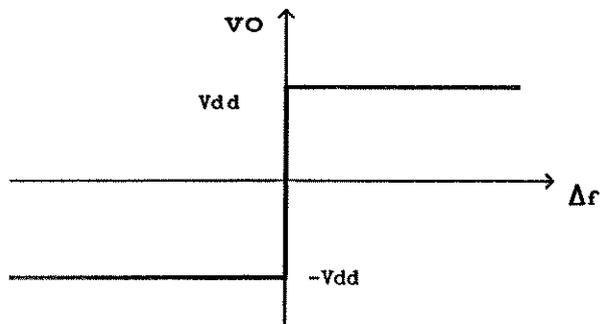


Figura 1.4 Curva característica do detetor de fase-frequência durante a aquisição de frequência.

Devido à dupla característica do detetor de fase frequência será necessário dividir a análise de estabilidade do sistema em duas partes. Na primeira parte o sistema será analisado utilizando-se as ferramentas do controle linear e na segunda parte será analisado como um sistema não linear.

#### 1.4 ESTRUTURA BÁSICA DO SISTEMA DE CONTROLE DE VELOCIDADE UTILIZANDO O PLL

A configuração básica de um sistema de controle de velocidade de um motor DC utilizando o PLL é mostrado na figura 1.4. Neste sistema o motor DC e o encoder tem características semelhantes à do VCO.

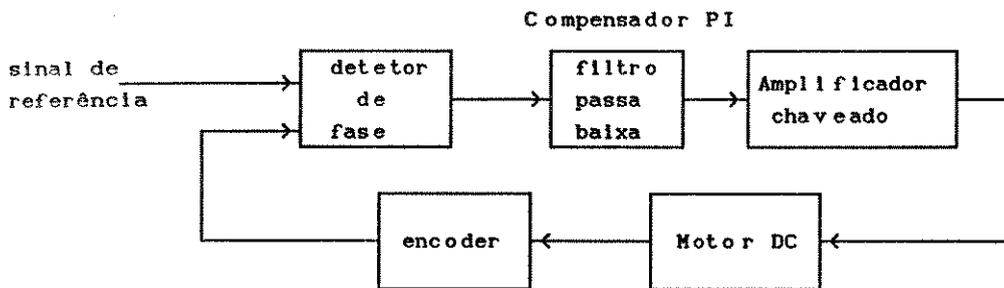


Figura 1.4 Sistema de Controle de velocidade com PLL

O encoder é composto basicamente por um disco ótico com várias aberturas igualmente espaçadas entre si localizadas na periferia do disco, e por uma fotocélula. É acoplado ao eixo do motor fornecendo um sinal cuja frequência é proporcional à velocidade do motor.

A velocidade do motor depende basicamente da frequência do sinal de referência. Quando o sistema obtém o trancamento de fase, a frequência do gerador de pulsos é a mesma que a frequência do sinal de referência se o sinal do gerador é ligado diretamente ao detetor de fase, ou um múltiplo se a frequência do gerador é dividida antes de chegar ao detetor de fase. Como o gerador de pulsos é acoplado ao motor, a velocidade do motor é diretamente proporcional ao valor da frequência de referência.

Se a frequência do sinal de referência for mantida constante, garante-se que a velocidade do motor será constante também. No caso ideal, utilizando um oscilador estável, a variação de velocidade do motor será zero.

O filtro passa-baixa pode ser construído utilizando um compensador PI ou um compensador lag.

O filtro passa baixa proposto no diagrama pode ser dispensável no caso de se utilizar um amplificador de potência não chaveado. Porém como na maioria dos casos, onde as potências

envolvidas são grandes, é sabido que os amplificadores chaveados são a melhor solução.

## CAPÍTULO 2

### ANÁLISE DE ESTABILIDADE LOCAL DO PLL

#### 2.1 INTRODUÇÃO.

Neste capítulo será desenvolvida a análise de estabilidade do sistema PLL através do modelo de variáveis médias.

Esta análise proporciona uma visão da estabilidade local do sistema.

A velocidade do motor é relacionada diretamente à frequência do sinal de referência. Quanto maior a frequência do sinal de referência maior será a velocidade do motor.

A fim de obter uma ampla gama de variação na velocidade do motor pode-se utilizar divisores de frequência após a saída do gerador de pulsos.

Variando-se o fator de divisão, varia-se a velocidade do motor, sem ser necessário variar a frequência do sinal de referência. Na figura 2.1 é mostrado o diagrama do sistema PLL utilizando um divisor de frequências.

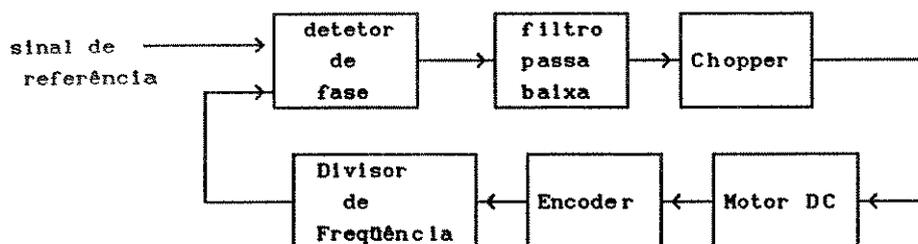


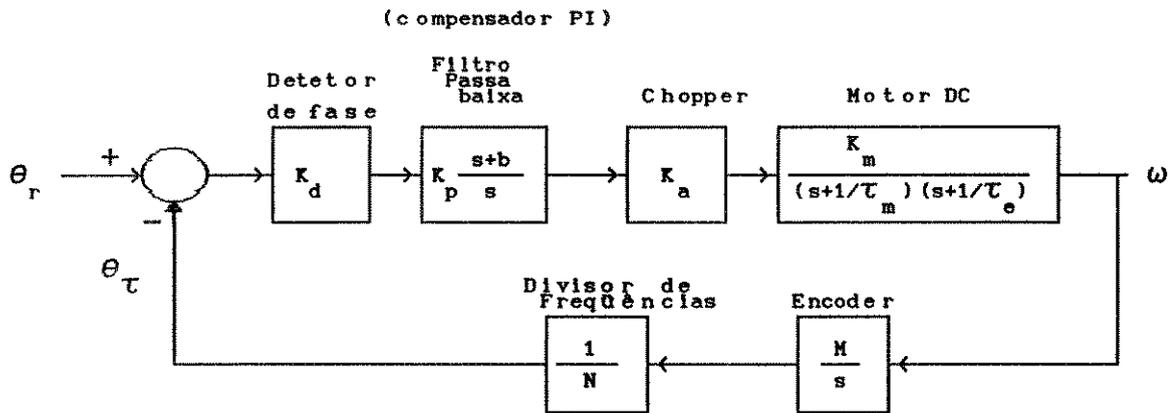
Figura 2.1 Um sistema PLL onde a variação de velocidade do motor é feita através da variação do módulo do divisor de frequência.

## 2.2 MODELO LINEAR DO SISTEMA PLL ( região de controle de fase )

Quando as frequências na entrada do detetor de fase são iguais, diz-se que o PLL obteve o trancamento de fase (locked). Neste caso o detetor pode ser modelado como um ganho constante ( $K_d$ ), dado pela equação 1.1.

Nesta situação o PLL tenta manter a diferença de fase constante. Esta diferença de fase é necessária para gerar a tensão de erro que vai ser amplificada e irá movimentar o motor na velocidade de regime.

O modelo do sistema PLL é mostrado na figura 2.2. Nesta análise considera-se o chopper como um amplificador de ganho  $K_a$ . Pode-se utilizar a transformada de Laplace para obter a função de transferência.



onde:  $K_m = \frac{K_t}{J_m \cdot L_a}$

$\theta_r$  - fase do sinal de referência

$\theta_\tau$  - fase do sinal do encoder

$\tau_m$  - constante de tempo mecânica do motor

$K_t$  - constante de torque do motor

M - número de pulsos por rotação do encoder

$\tau_e$  - constante de tempo elétrica do motor

$L_a$  - indutância de armadura

$J_m$  - Momento de inércia do motor

Figura 2.2 Sistema PLL na condição de trancamento.

Combinando-se todos os blocos, obtém-se a função de transferência em malha aberta:

$$GH(S) = K_d \cdot K_p \cdot K_a \cdot K_m \cdot \frac{M}{N} \cdot \frac{s + b}{s^2} \cdot \frac{1}{(s + a)(s + c)}$$

Fazendo  $K_{TA} = K_d \cdot K_p \cdot K_a \cdot K_m \cdot \frac{M}{N}$

Obtem-se:

$$GH(S) = \frac{K_{TA} \cdot (s + b)}{s^2 \cdot (s + a) \cdot (s + c)} \quad (2.1)$$

Para analisar a estabilidade do sistema pode-se utilizar a técnica do lugar das raízes. Os valores dos polos  $a$  e  $c$  dependem apenas das características do motor e carga, e não devem ser alterados após a escolha do motor. Mas o valor do zero ( $b$ ) depende dos componentes do filtro. O Lugar das Raízes para duas situações possíveis que podem ser obtidas variando-se o valor de  $b$  é mostrado na figura 2.3. A condição em que  $a > b$  é mostrada na figura 2.3a . A estabilidade do sistema depende do ganho em malha aberta. Há um valor de ganho a partir do qual o sistema fica instável.

A condição em que  $a < b$  é mostrada na figura 2.3b . Nesta situação o sistema será sempre instável para qualquer valor de ganho.

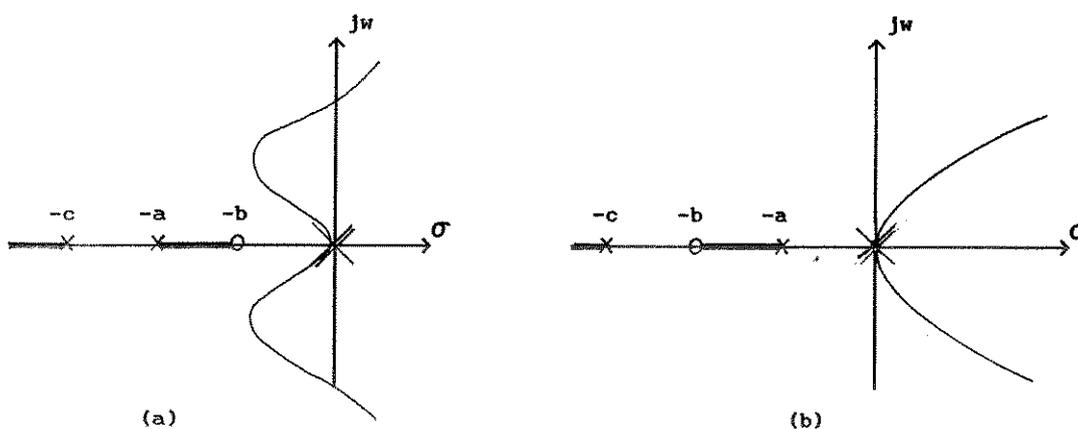


Figura 2.3 Situações que podem ser obtidas variando-se o zero do filtro.

Analisando-se a figura 2.3 conclui-se que para o sistema ser localmente estável deve-se impor a condição  $b < a$  . Como o valor de  $b$  determina as características do filtro, conclui-se que as possibilidades de projeto do filtro são limitadas pelo fator  $b < a$ . Então a filtragem será deficiente devido à limitação da posição do zero do filtro.

### 2.3 LIMITE DE TRANCAMENTO DO PLL

A análise pelo lugar das raízes apenas indica se o sistema é estável e quais são os limites de estabilidade.

Para que se possa projetar o sistema é necessário saber se existe alguma limitação para a frequência do sinal de referência.

O limite para a máxima frequência do sinal de referência será mostrado a seguir.

Nesta análise será utilizado um filtro passivo, mostrado na figura 2.4 . A escolha deste filtro deve-se à facilidades que introduz na análise. Na figura 2.4 também é mostrado o lugar das raízes do sistema PLL com este tipo de filtro.

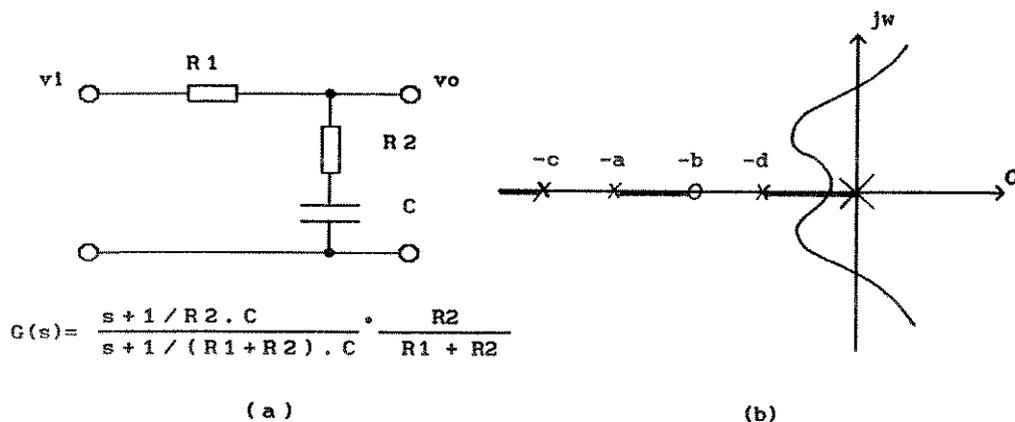
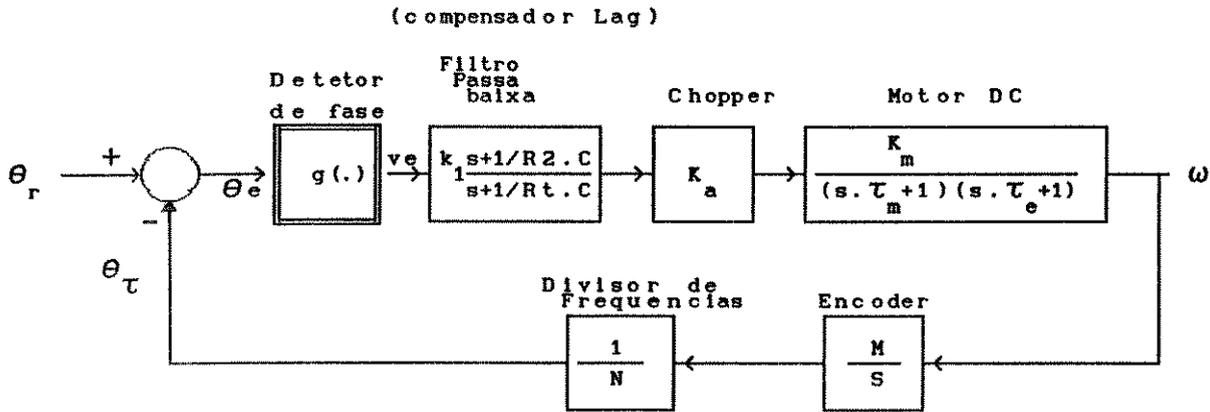


Figura 2.4 a) Filtro passa baixa passivo b) Lugar das raízes do sistema PLL com o filtro passivo

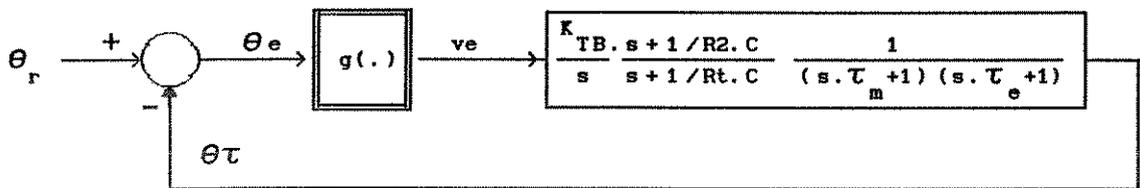
O modelo do sistema com o filtro da figura 2.4 é mostrado na figura 2.5a . No lugar do detetor de fase indica-se um bloco não linear  $g(\cdot)$  .

O objetivo em se fazer esta análise é saber até quando o detetor de fase pode ser ainda modelado como um bloco linear com ganho

Kd.



(a) Sistema PLL generico



(b) Sistema PLL com os blocos lineares e não lineares separados.

$$K_1 = \frac{R_2}{R_1 + R_2}$$

$$R_t = R_1 + R_2$$

$$k_m = \frac{k_e}{T_m \cdot T_e}$$

$$K_{TB} = \frac{K_1 \cdot K_a \cdot M \cdot K_e}{N}$$

Figura 2.5 Sistema PLL

Todas as funções lineares foram agrupadas em um único bloco na figura 2.5b. A função que nos interessa analisar é  $g(\cdot)$  e será mantida isolada.

Da figura 2.5b obtém-se as seguintes equações:

$$\theta_e = \theta_r - \theta_\tau \quad ( 2.2 )$$

$$v_e = g(\cdot) \cdot \theta_e \quad ( 2.3 )$$

$$\theta_\tau = \frac{K_{TB}}{s} \cdot \frac{s + \frac{1}{R_2 \cdot C}}{s + \frac{1}{R_t \cdot C}} \cdot \frac{v_e}{(s \cdot \tau_m + 1) \cdot (s \cdot \tau_e + 1)} \quad (2.4)$$

Como o bloco  $g(\cdot)$  não é linear fica impossível continuar a análise através da transformada de Laplace, por esta razão a análise será desenvolvida no domínio do tempo.

Desenvolvendo a equação 2.4 , obtem-se:

$$\theta_\tau \cdot (s \cdot \tau_e + 1) \cdot s \cdot (s + \frac{1}{R_t \cdot C}) \cdot (s \cdot \tau_m + 1) = K_{TB} \cdot (s + \frac{1}{R_2 \cdot C}) \cdot v_e \quad ( 2.4a )$$

Efetuando-se os produtos obtem-se:

$$\begin{aligned} & s^4 \cdot \theta_\tau \cdot \tau_e \cdot \tau_m + s^3 \cdot \theta_\tau \cdot \tau_e + s^3 \cdot \frac{\theta_\tau \cdot \tau_e \cdot \tau_m}{R_t \cdot C} + s^2 \cdot \frac{\theta_\tau \cdot \tau_e}{R_t \cdot C} + \\ & + s^3 \cdot \tau_m \cdot \theta_\tau + s^2 \cdot \theta_\tau + s^2 \cdot \frac{\theta_\tau \cdot \tau_m}{R_t \cdot C} + s \cdot \frac{\theta_\tau}{R_t \cdot C} = \\ & = K_{TB} \cdot s \cdot v_e + \frac{K_{TB}}{R_2 \cdot C} \cdot v_e \quad ( 2.5 ) \end{aligned}$$

Passando a equação 2.5 ao domínio do tempo e agrupando os termos de mesma ordem, obtem-se:

$$\overset{\dots}{\theta_\tau} \cdot \tau_e \cdot \tau_m + \overset{\dots}{\theta_\tau} \left( \tau_e + \frac{\tau_e \cdot \tau_m}{R_t \cdot C} + \tau_m \right) +$$

$$\begin{aligned}
+ \ddot{\theta}_\tau \left( \frac{\tau_e}{Rt.C} + 1 + \frac{\tau_m}{Rt.C} \right) + \frac{\dot{\theta}_\tau}{Rt.C} &= \\
= KTB \cdot \dot{v}_e + \frac{KTB \cdot v_e}{R_2.C} & \quad (2.6)
\end{aligned}$$

Substituindo  $\theta_\tau = \theta_r - \theta_e$  em (2.6):

$$\begin{aligned}
(\ddot{\theta}_r - \ddot{\theta}_e) \cdot \tau_e \cdot \tau_m + (\ddot{\theta}_r - \ddot{\theta}_e) \left( \tau_e + \frac{\tau_e \cdot \tau_m}{Rt.C} + \tau_m \right) \\
+ (\ddot{\theta}_r - \ddot{\theta}_e) \left( \frac{\tau_e}{Rt.C} + 1 + \frac{\tau_m}{Rt.C} \right) + \frac{(\dot{\theta}_r - \dot{\theta}_e)}{Rt.C} &= \\
= KTB \cdot \dot{v}_e + \frac{KTB \cdot v_e}{R_2.C} & \quad (2.7)
\end{aligned}$$

Sendo  $\theta_r$  o fasor do sinal de referência, a derivada deste sinal resultará na frequência de referência  $\omega_r$ :

$$\omega_r = \dot{\theta}_r$$

Impondo-se a condição que a frequência do sinal de referência é constante, a derivada deste sinal é zero:

$$\ddot{\theta}_r = \dot{\omega}_r = 0$$

Conseqüentemente as derivadas segunda e terceira de  $\omega_r$

são zero:

$$\ddot{\theta}_r = \ddot{\omega}_r = 0 \quad \text{e} \quad \ddot{\theta}_r = \ddot{\omega}_r = 0$$

A equação 2.7 pode ser escrita como:

$$\begin{aligned} & (-\ddot{\theta}_e) \cdot \tau_e \cdot \tau_m + (-\ddot{\theta}_e) \left( \tau_e + \frac{\tau_e \cdot \tau_m}{Rt \cdot C} + \tau_m \right) + \\ & + (-\ddot{\theta}_e) \left( \frac{\tau_e}{Rt \cdot C} + 1 + \frac{\tau_m}{Rt \cdot C} \right) + \frac{(\omega_r - \dot{\theta}_e)}{Rt \cdot C} = \\ & = K_{TB} \cdot \dot{v}_e + \frac{K_{TB} \cdot v_e}{R_2 \cdot C} \quad (2.8) \end{aligned}$$

No limite de trancamento, o detetor de fase ainda possui um comportamento linear e pode-se substituir  $g(\cdot)$  na equação 2.3 por um ganho  $K_d$  :

$$v_e = K_d \cdot \theta_e \quad (2.9)$$

Substituindo-se a equação 2.9 na equação 2.8 obtem-se :

$$\begin{aligned} & (-\ddot{\theta}_e) \cdot \tau_e \cdot \tau_m + (-\ddot{\theta}_e) \left( \tau_e + \frac{\tau_e \cdot \tau_m}{Rt \cdot C} + \tau_m \right) + \\ & + (-\ddot{\theta}_e) \left( \frac{\tau_e}{Rt \cdot C} + 1 + \frac{\tau_m}{Rt \cdot C} \right) + \frac{(\omega_r - \dot{\theta}_e)}{Rt \cdot C} = \end{aligned}$$

$$= K_{TB} \cdot K_d \cdot \dot{\theta}_e + \frac{K_{TB} \cdot K_d \cdot \theta_e}{R_2 \cdot C} \quad ( 2.10 )$$

Como na condição de regime permanente, a diferença de fase dos dois sinais é constante,  $\theta_e = \text{cte}$ , a derivada deste sinal é zero. Da mesma forma as derivadas seguintes também são iguais a zero, isto é :

$$\therefore \dot{\theta}_e = 0 \quad \therefore \ddot{\theta}_e = \ddot{\theta}_e = \ddot{\theta}_e = 0$$

Desta forma a equação 2.10 resulta em:

$$\frac{\omega_r}{R_t \cdot C} = \frac{K_{TB} \cdot K_d \cdot \theta_e}{R_2 \cdot C} \quad ( 2.11 )$$

Simplificando o termo em C e reorganizando a equação 2.11 resulta em:

$$\omega_r = \theta_e \cdot \frac{K_{TB} \cdot K_d \cdot R_t}{R_2} \quad ( 2.12 )$$

Sendo  $R_t = R_1 + R_2$

$$\omega_r = \theta_e \cdot K_{TB} \cdot K_d \cdot \frac{( R_1 + R_2 )}{R_2} \quad ( 2.13 )$$

Como o máximo erro de fase possível para este tipo de detetor de fase é  $2\pi$ , a equação 2.13 pode ser escrita como :

$$\omega_r \leq 2\pi \cdot K' \quad ( 2.14 )$$

$$\text{onde } K' = K_{TB} \cdot K_d \cdot \frac{R_1 + R_2}{R_2}$$

Então a máxima freqüência do sinal de referência é limitada pelo ganho do sistema, e é dada pela equação 2.15 :

$$\omega_r = 2\pi \cdot K_{TB} \cdot K_d \cdot \frac{R_1 + R_2}{R_2} \quad ( 2.15 )$$

É fácil explicar o significado físico da equação 2.15 . Já foi falado que o defasamento entre os dois sinais é necessário para gerar uma tensão que irá alimentar o motor. O fator  $K'$  é o ganho do sistema. Como o defasamento máximo possível é  $2\pi$ , nesta condição obtêm-se a máxima velocidade possível de imprimir-se ao motor. Então a máxima velocidade do motor é limitada pelo ganho do sistema. Ao atingir esta situação, mesmo que se aumente a freqüência de referência, o sistema não mais conseguirá atingir o trancamento de fase.

Uma alternativa é aumentar o ganho do sistema, e com isso aumentar o limite de velocidade do motor. Mas como na prática cada componente possui um limite de saturação, desta forma a freqüência máxima do sinal de referência, e conseqüentemente a velocidade máxima do motor, está limitada pela saturação dos componentes.

## CAPÍTULO 3

### ANÁLISE DE ESTABILIDADE GLOBAL

#### 3.1 INTRODUÇÃO

Como foi comentado no capítulo 1 o PLL possui duas regiões de funcionamento. Em umas das regiões de operação o PLL possui um comportamento não linear.

Para se fazer a análise de estabilidade desta região não será possível utilizar-se o lugar das raízes ou qualquer outro método de análise empregado para o estudo dos sistemas lineares.

Deve-se procurar algum método utilizado para a análise de sistemas não lineares.

Devido à característica do PLL na região não linear, o método que melhor se aplica a este caso, é o critério de Popov.

#### 3.2 CRITÉRIO DE ESTABILIDADE DE POPOV

Seja o sistema não linear mostrado na figura 3.1, com as seguintes equações dinâmicas:

$$\dot{\underline{x}} = \underline{A} \cdot \underline{x} + \underline{b} \cdot u \quad (3.1)$$

$$y = \underline{c}^T \cdot \underline{x} \quad (3.2)$$

$$e \quad u = \phi(e(t)) \quad (3.3)$$

onde  $\underline{x} \in \mathbb{R}^n$ ,  $\underline{b} \in \mathbb{R}^n$ ,  $u \in \mathbb{R}$ ,  $y \in \mathbb{R}$ ,  $\underline{c} \in \mathbb{R}^n$  e  $\underline{A} \in \mathbb{R}^n \times \mathbb{R}^n$ .

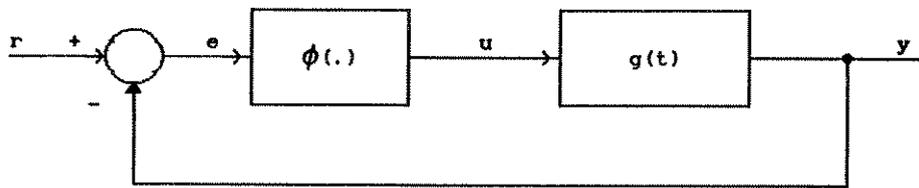


Figura 3.1 Sistema não linear.

Seja a função não linear  $\phi(\cdot)$  contínua e situada no setor  $[0, K)$ , isto é :

$$0 \leq \frac{\phi(e)}{e} \leq K \quad \text{onde } K \text{ é um escalar positivo.}$$

O setor  $[0, K)$  é a região do plano  $(\phi, e)$  compreendida entre as retas  $\phi = 0$  e  $\phi = Ke$ . Isto é mostrado na figura 3.2 .

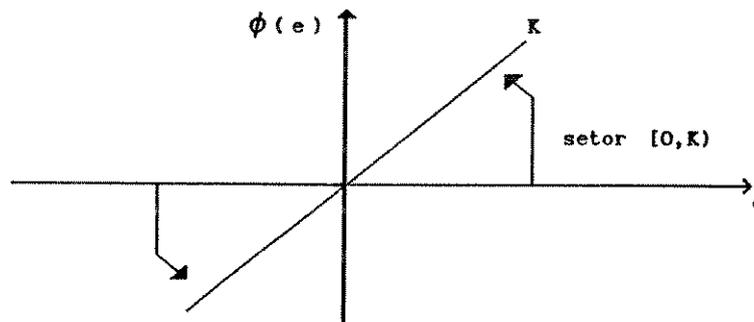


Figura 3.2 Setor  $[0, K)$

Definição 3.1 . Um sistema como o descrito acima tem estabilidade absoluta no setor  $[0, K)$  quando ele apresenta estabilidade assintótica e global para qualquer característica  $\phi(e)$  unívoca, contínua a trechos e pertencente ao setor  $[0, K)$  .

Deseja-se saber para quais condições o sistema especificado possui estabilidade absoluta no setor  $[0, K)$ . A análise será feita para um sistema não excitado e estável na origem. Isto é  $r(t)=0$  , então  $u = -\phi(y)$  e a equação 3.1 transforma-se em :

$$\underline{x} = \underline{A} \cdot \underline{x} - \underline{b} \cdot \phi(y) \quad (3.4)$$

Assume-se que  $\underline{A}$  é assintoticamente estável.

Como possível função de Liapunov, toma-se a função:

$$V(x) = \frac{1}{2} \underline{x}^T \cdot \underline{P} \cdot \underline{x} + \beta \cdot \left( \int_0^y \phi(\zeta) \cdot d\zeta \right) \quad (3.5)$$

sendo  $\underline{P}$  simétrica e definida positiva, solução da equação de Lyapunov  $\underline{A}^T \cdot \underline{P} + \underline{P} \cdot \underline{A} + \underline{Q} = 0$  para  $\underline{Q} \geq 0$ , e  $\beta \geq 0$ .

Como  $V(x)$  é definida positiva, pois  $\underline{P}$  é definida positiva e  $\beta \geq 0$ , deve-se analisar  $\dot{V}(x)$  para se ter informações sobre a estabilidade do sistema.

$$\dot{V}(x) = \frac{1}{2} \dot{\underline{x}}^T \cdot \underline{P} \cdot \underline{x} + \frac{1}{2} \underline{x}^T \cdot \underline{P} \cdot \dot{\underline{x}} + \beta \cdot \dot{y} \cdot \phi(y) \quad (3.6)$$

Substituindo (3.4) em (3.6) e calculando  $\dot{y}$  a partir de (3.2), e substituindo em (3.6) obtem-se :

$$\begin{aligned} \dot{V}(x) = \frac{1}{2} (\underline{A} \cdot \underline{x} - \underline{b} \cdot \phi(y))^T \cdot \underline{P} \cdot \underline{x} + \frac{1}{2} \cdot \underline{x}^T \cdot \underline{P} \cdot (\underline{A} \cdot \underline{x} - \underline{b} \cdot \phi(y)) + \\ + \beta \cdot \underline{C}^T \cdot \dot{\underline{x}} \cdot \phi(y) \end{aligned}$$

$$\begin{aligned} \dot{V}(x) = \frac{1}{2} \left( \underline{x}^T \cdot \underline{A}^T \cdot \underline{P} \cdot \underline{x} \right) - \frac{1}{2} \cdot \phi(y) \cdot \underline{b}^T \cdot \underline{P} \cdot \underline{x} + \frac{1}{2} \cdot \underline{x}^T \cdot \underline{P} \cdot \underline{A} \cdot \underline{x} + \\ - \frac{1}{2} \cdot \underline{x}^T \cdot \underline{P} \cdot \underline{b} \cdot \phi(y) + \beta \cdot \underline{C}^T \cdot \phi(y) \cdot (\underline{A} \cdot \underline{x} - \underline{b} \cdot \phi(y)) \end{aligned}$$

$$\begin{aligned} \dot{V}(x) = \frac{1}{2} \cdot \underline{x}^T \left( \underline{A}^T \cdot \underline{P} + \underline{P} \cdot \underline{A} \right) \cdot \underline{x} - \frac{1}{2} \cdot \phi(y) \cdot \underline{b}^T \cdot \underline{P} \cdot \underline{x} - \\ - \frac{1}{2} \cdot \underline{x}^T \cdot \underline{P} \cdot \underline{b} \cdot \phi(y) + \beta \cdot \underline{C}^T \cdot \phi(y) \cdot \underline{A} \cdot \underline{x} - \beta \cdot \underline{C}^T \cdot \phi^2(y) \cdot \underline{b} \end{aligned}$$

$$\text{Como } \underline{A}^T \cdot \underline{P} + \underline{P} \cdot \underline{A} = -\underline{Q}$$

$$\dot{V}(x) = \frac{1}{2} \cdot \underline{x}^T \cdot \underline{Q} \cdot \underline{x} - \frac{1}{2} \cdot \phi(y) \cdot \underline{b}^T \cdot \underline{P} \cdot \underline{x} - \frac{1}{2} \cdot \underline{x}^T \cdot \underline{P} \cdot \underline{b} \cdot \phi(y) + \\ + \beta \cdot \underline{C}^T \cdot \phi(y) \cdot \underline{A} \cdot \underline{x} - \beta \cdot \underline{C}^T \cdot \underline{b} \cdot \phi^2(y)$$

Escrevendo de forma matricial :

$$\dot{V}(x) = - \begin{pmatrix} \underline{x}^T & \phi(y) \end{pmatrix} \begin{pmatrix} \frac{1}{2} \underline{Q} & \frac{1}{2} \cdot (\underline{P} \cdot \underline{b} - \beta \cdot \underline{A}^T \cdot \underline{C}) \\ \frac{1}{2} (\underline{P} \cdot \underline{b} - \beta \cdot \underline{A}^T \cdot \underline{C})^T & \beta \cdot \underline{C}^T \cdot \underline{b} \end{pmatrix} \begin{pmatrix} \underline{x} \\ \phi(y) \end{pmatrix}$$

( 3.8 )

Se  $\dot{V}(x)$  resultar definida negativa, o sistema é absolutamente estável no setor. No entanto se  $\dot{V}(x)$  não for negativa, não se tem nenhuma informação sobre a estabilidade do sistema.

Para superar este problema, supõem-se que existem as Matrizes  $M = M' \geq 0$  e  $P = P' > 0$ , os vetores  $\underline{q}$ ,  $\underline{h}$  e o escalar  $\psi$  que satisfazem:

$$a) \underline{A}^T \cdot \underline{P} + \underline{P} \cdot \underline{A} = - \underline{Q} = - \underline{q} \cdot \underline{q}^T - \underline{M} \quad (3.9)$$

$$b) \underline{P} \cdot \underline{b} - \underline{h} = \sqrt{\psi} \cdot \underline{q} \quad (3.10)$$

c) o par  $(\underline{q}', \underline{A})$  completamente observável

$$\text{onde : } \frac{1}{2} \psi = \beta \cdot \underline{C}^T \cdot \underline{b} + \frac{1}{K} \quad \text{com } K \text{ constante} \quad (3.11)$$

$$e \quad \underline{h} = \beta \cdot \underline{A}^T \cdot \underline{C} + \underline{C} \quad (3.12)$$

Substituindo as equações (3.9), (3.10), (3.11) e (3.12) na equação 3.8, obtem-se:

$$\dot{V}(x) = - \begin{pmatrix} x^T & \phi(y) \end{pmatrix} \begin{pmatrix} \frac{1}{2} (M + q \cdot q^T) & \frac{1}{2} \cdot (\sqrt{\psi} \cdot q + c) \\ \frac{1}{2} (\sqrt{\psi} \cdot q + c)^T & \frac{1}{2} \cdot \psi - \frac{1}{K} \end{pmatrix} \begin{pmatrix} x \\ \phi(y) \end{pmatrix}$$

Calculando-se  $\dot{V}(x)$  obtem-se:

$$\begin{aligned} \dot{V}(x) = & - \frac{1}{2} \cdot x^T \cdot (M + q \cdot q^T) \cdot x - \frac{1}{2} \cdot \phi(y) \cdot (\sqrt{\psi} \cdot q + c)^T \cdot x - \\ & - \frac{x^T \cdot (\sqrt{\psi} \cdot q + c) \cdot \phi(y)}{2} - \phi(y)^2 \cdot \left( \frac{1}{2} \cdot \psi - \frac{1}{K} \right) \end{aligned}$$

Efetando os produtos:

$$\begin{aligned} \dot{V}(x) = & - \frac{1}{2} \cdot x^T \cdot M \cdot x - \frac{1}{2} \cdot x^T \cdot q \cdot q^T \cdot x - \frac{1}{2} \cdot \phi(y) \cdot c^T \cdot x - \\ & - \frac{1}{2} \cdot \phi(y) \cdot \sqrt{\psi} \cdot q^T \cdot x - \frac{1}{2} \cdot x^T \cdot \sqrt{\psi} \cdot q \cdot \phi(y) - \\ & - \frac{1}{2} \cdot x^T \cdot c \cdot \phi(y) - \frac{1}{2} \cdot \phi(y)^2 \cdot \psi + \frac{1}{K} \cdot \phi(y)^2 \end{aligned}$$

Como  $y = c^T \cdot x$  e  $(x^T \cdot q)^2 = x^T \cdot q \cdot q^T \cdot x$ , e substituindo na equação de  $\dot{V}(x)$ , obtem-se:

$$\begin{aligned} \dot{V}(x) = & - \frac{1}{2} \cdot x^T \cdot M \cdot x - \frac{1}{2} \left( x^T \cdot q + \sqrt{\psi} \cdot \phi(y) \right)^2 - \\ & - y \cdot \phi(y) \cdot \left( 1 - \frac{\phi(y)}{K \cdot y} \right) \end{aligned}$$

Que é semi-definida negativa. Com a condição de que o sistema seja completamente observável, garante-se que  $\dot{V}(x)$  não é nula para nenhuma trajetória do sistema que não seja a origem.

Então se for verificada a existência de  $M$ ,  $\underline{h}$ ,  $\underline{q}$  e  $\psi$ , pode-se garantir a estabilidade do sistema. Para isto usa-se o lema de Kalman-Yakubovich.

**LEMA DE KALMAN-YAKUBOVICH** : Dado  $\underline{A}$  estável e  $(\underline{A}, \underline{\beta})$  completamente controlável, um vetor real  $\underline{h}$  e um escalar real  $\psi$ , existem um vetor real  $\underline{q}$  e matrizes  $\underline{P}$  e  $\underline{M}$  definidas positiva que satisfazem a equação:

$$\begin{aligned} \underline{A}^T \cdot \underline{P} + \underline{P} \cdot \underline{A} &= - \underline{q} \cdot \underline{q}^T - \underline{M} \\ \underline{P} \cdot \underline{b} - \underline{h} &= \sqrt{\psi} \cdot \underline{q} \end{aligned}$$

se e somente se :

$$H(s) \triangleq \frac{1}{2} \cdot \psi + \underline{h}^T \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

FOR REAL POSITIVA.

Definição: Uma função  $H(s)$ , sendo  $s$  a variável complexa  $s \triangleq \tau + j \cdot \omega$ , é real positiva se :

- a)  $H(\tau)$  é real
- b)  $\text{Re}\{H(s)\} \geq 0$ , para todo  $s$  com  $\tau > 0$ .

Resta agora verificar para que situações as condições dadas pelas equações 3.9 à 3.12 se verificam. Calculando  $H(s)$ :

$$H(s) = \frac{1}{2} \cdot \psi + \underline{h}^T \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

Substituindo as equações 3.11 e 3.12 na equação de  $H(s)$ , obtem-se:

$$H(s) = \beta \cdot \underline{C}^T \cdot \underline{b} + \frac{1}{K} + (\beta \cdot \underline{A}^T \cdot \underline{C} + \underline{C})^T \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

$$H(s) = \beta \cdot \underline{C}^T \cdot \underline{b} + \frac{1}{K} + (\beta \cdot \underline{C}^T \cdot \underline{A} + \underline{C}^T) \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

$$H(s) = \beta \cdot \underline{C}^T \left( I + \underline{A} \cdot (sI - \underline{A})^{-1} \right) \cdot \underline{b} + \frac{1}{K} + \underline{C}^T \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

$$\text{Como } I + \underline{A} \cdot (sI - \underline{A})^{-1} = s(sI - \underline{A})^{-1}$$

E definindo a função de transferência em malha aberta

como:

$$G(s) = \underline{C}^T \cdot (sI - \underline{A})^{-1} \cdot \underline{b}$$

Então  $H(s)$  pode ser escrito como:

$$H(s) = \beta \cdot \underline{C}^T \cdot s \cdot (sI - \underline{A})^{-1} \cdot \underline{b} + G(s) + \frac{1}{K}$$

$$H(s) = (1 + \beta \cdot s) \cdot G(s) + \frac{1}{K}$$

Para garantir-se a estabilidade  $H(s)$  deve ser real positiva. Fazendo-se  $s=j\omega$ , obtem-se:

$$\text{Re}\{H(j\omega)\} = \text{Re}\left\{(1 + \beta \cdot j \cdot \omega) \cdot G(j\omega) + \frac{1}{K}\right\} \geq 0 \quad (3.13)$$

A equação 3.13 resume o critério de Popov.

### 3.3 INTERPRETAÇÃO GEOMÉTRICA DO CRITÉRIO DE POPOV.

Seja  $G(j\omega) = G_R(\omega) + j \cdot G_I(\omega)$ , então a parte real de  $H(j\omega)$  dada pela equação 3.13 fica:

$$\text{Re}\{H(j\omega)\} = G_R(\omega) - \beta \cdot \omega \cdot G_I(\omega) + \frac{1}{K}$$

Definindo :

$$X_p = \text{Re}[G(j\omega)] = G_R(\omega)$$

$$Y_p = \omega \cdot \text{Im}[G(j\omega)] = \omega \cdot G_I(\omega)$$

$$W_p = X_p + j \cdot Y_p \quad \text{e substituindo na}$$

equação 3.13, obtem-se a inequação:

$$X_p - \beta \cdot Y_p + \frac{1}{K} \geq 0 \quad (3.14)$$

Para satisfazer a inequação 3.14 no plano  $(X_p, Y_p)$ , deve-se encontrar a linha, chamada Linha de Popov, com inclinação  $\frac{1}{\beta}$ , interceptando o eixo  $x_p$  no ponto  $-\frac{1}{K}$ . Isto é, a curva  $W_p[X_p(\omega), Y_p(\omega)]$ , com  $\omega$  como parâmetro, deve ficar à direita da Linha

de Popov, para o sistema ser estável. A região à esquerda da Linha de Popov é a região proibida.

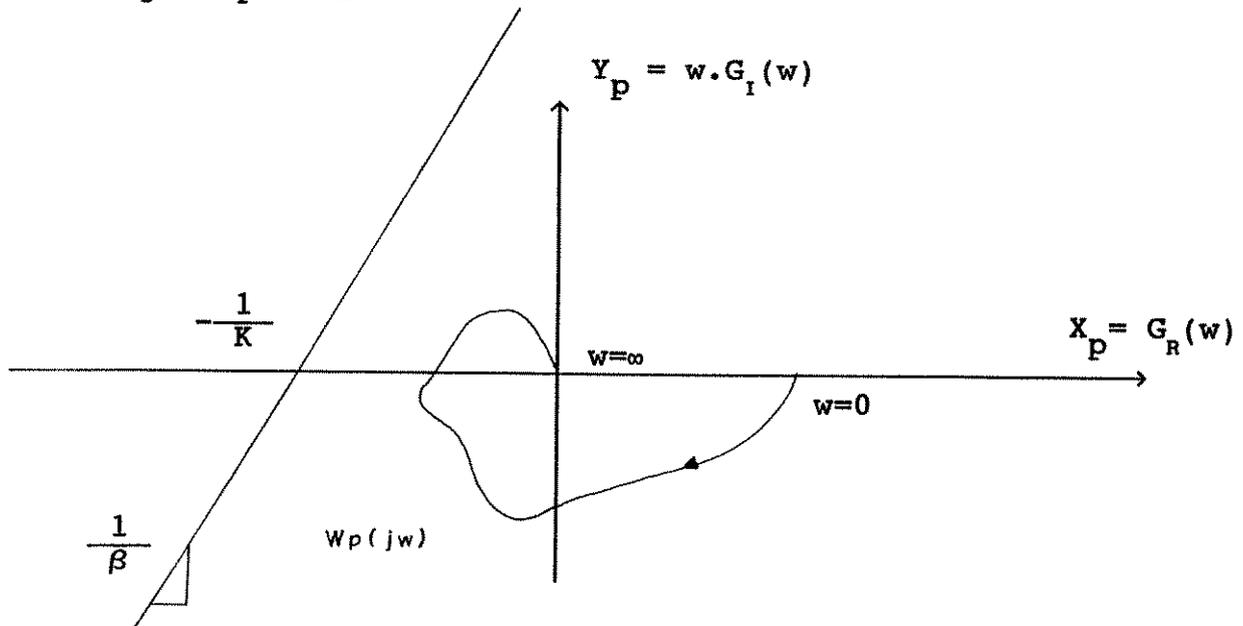


Figura 3.3 Interpretação geométrica do critério Popov.

### 3.4 APLICAÇÃO DO CRITÉRIO DE POPOV PARA O PLL

O diagrama em blocos do sistema nesta situação é mostrado na figura 3.4 .

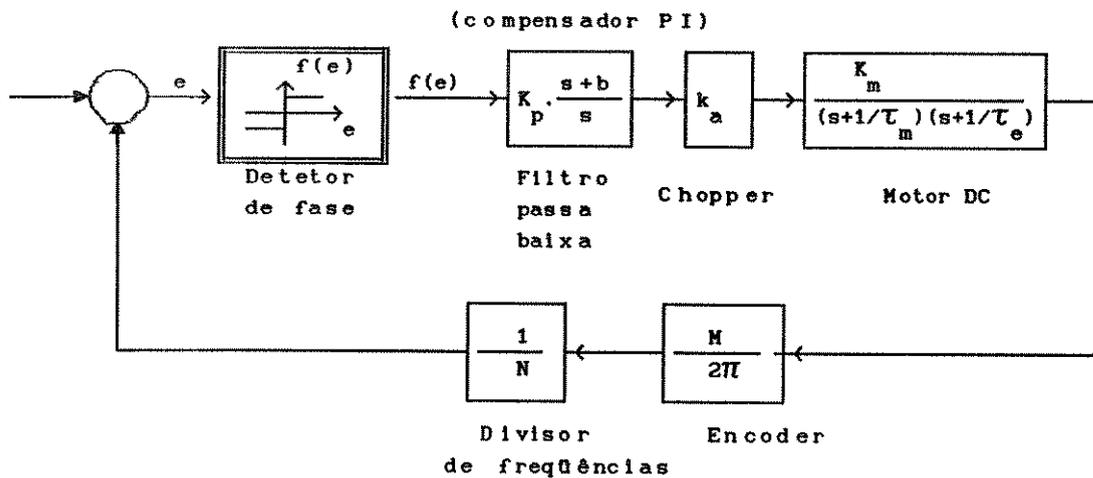


Figura 3.4 PLL na condição sem trancamento.

Nesta situação o detetor de fase-freqüência compara as freqüências dos dois sinais e gera um sinal de erro que depende da relação entre elas.

Como a comparação é de freqüência e não mais de fase, o modelo do encoder é modificado. Não é mais necessário colocar o termo integral no encoder, e ganho é dividido por  $2\pi$  para poder ajustar as unidades.

A estabilidade não pode mais ser analisada pelas técnicas lineares, como o lugar das raízes. Será utilizado o critério de Popov.

Para a aplicação do critério de Popov é necessário que a não linearidade esteja dentro do setor  $(0, K]$ . Isto é mostrado na figura 3.5. O Valor de  $K$  pode ir de 0 à infinito. No caso a ser analisado o setor esta compreendido entre 0 e infinito.

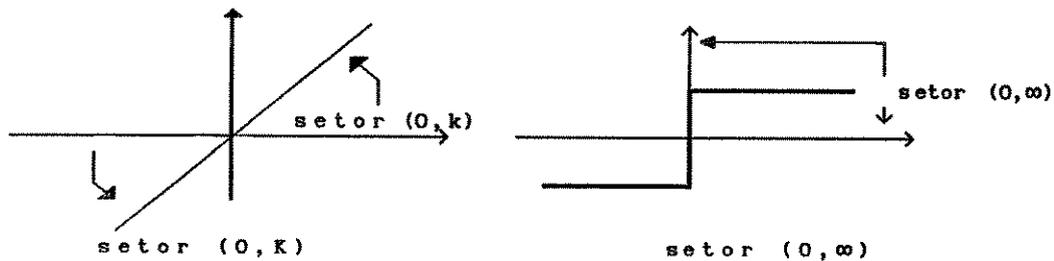


Figura 3.5 Setores.

O gráfico  $X_p$  x  $Y_p$  é obtido a partir da equação :

$$GH(s) = \frac{K_{TC} \cdot (s+b)}{s \cdot (s+a) \cdot (s+c)}$$

onde  $K_{TC} = K_p \cdot K_a \cdot K_m \cdot M / (2 \cdot \pi \cdot N)$

fazendo-se  $s=jw$  , obtem-se:

$$GH(jw) = \frac{K_{TC} \cdot (jw + b)}{jw \cdot (jw + a) \cdot (jw + c)}$$

Que pode ser escrita como:

$$GH(jw) = \frac{-K_{TC} \cdot j \cdot (jw + b) \cdot (a - jw) \cdot (c - jw)}{w \cdot (a^2 + w^2) \cdot (c^2 + w^2)}$$

Desenvolvendo a equação acima obtem-se:

$$GH = \frac{K_{TC} \cdot w \cdot (ac - ab - bc - w^2)}{w \cdot (a^2 + w^2) \cdot (c^2 + w^2)} + j \cdot K_{TC} \cdot \frac{(-abc - cw^2 + bw^2 - aw^2)}{w \cdot (a^2 + w^2) \cdot (a^2 + w^2)}$$

Da equação acima obtem-se:

$$X_p(w) = \text{Re}\{GH(jw)\} = \frac{K_{TC} \cdot (ac - ab - bc - w^2)}{(a^2 + w^2) \cdot (c^2 + w^2)}$$

$$Y_p(w) = w \operatorname{Im}\{GH(jw)\} = \frac{Krc.(w^2.b - abc - cw^2 - aw^2)}{(a^2 + w^2).(c^2 + w^2)}$$

Os valores dos componentes devem ser substituídos nestas equações e o gráfico  $\operatorname{Re}(G(jw) \times W) \cdot \operatorname{Im}(G(jw))$  deve ser desenhado. Após isto faz-se a análise da localização do gráfico em relação à linha de Popov. Isto será feito no capítulo 5, após o levantamento das características do sistema implementado.

## CAPÍTULO 4

### CONTROLE PLL-DUAL

#### 4.1 INTRODUÇÃO.

A aquisição de fase do sistema PLL é excelente. O sistema compensa rapidamente qualquer variação na fase, de modo a mantê-la constante. Desta forma a precisão em regime permanente torna a utilização do sistema PLL atraente.

Por outro lado a aquisição de frequência é um processo lento no sistema PLL. O tempo que o PLL demora para atingir o regime permanente é relativamente grande, de tal forma a tornar sua utilização uma alternativa não muito atraente.

A solução para este problema é usar um circuito externo ao detetor de fase para fazer a aquisição de frequência e fazer o chaveamento para o PLL quando o sistema estiver próximo do regime permanente. Com isto resolve-se o problema da resposta do PLL com relação à aquisição de frequência e utiliza-se sua boa característica de aquisição de fase.

O circuito externo a ser utilizado será um compensador proporcional. Ele rapidamente levará o sistema próximo ao regime permanente. Quando o sistema chegar nesta situação um circuito de detecção de nível fará o chaveamento.

#### 4.2 DIAGRAMA EM BLOCOS DO PLL-DUAL

O diagrama em blocos do circuito PLL-Dual é mostrado na figura 4.1 . Pode-se notar que existem duas malhas, a malha proporcional e a malha PLL.

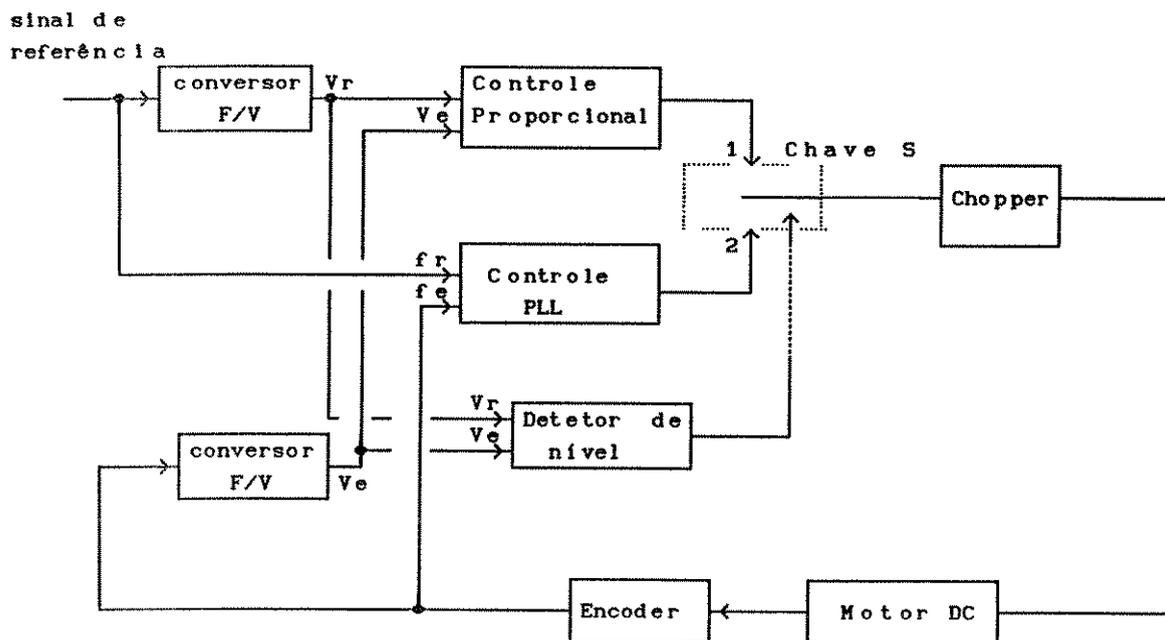


Figura 4.1 Diagrama em blocos do controlador PLL-dual

A definição de qual dos dois circuitos será acionado depende do circuito de detecção de nível. Através de um conversor frequência-tensão, as frequências de referência e do encoder são convertidas para tensão. Estas tensões são aplicadas ao circuito somador que fará a subtração entre as duas tensões, gerando um sinal de erro de frequência ( $e$ ), onde  $e = f_r - f_e$ .

Esta tensão de erro é comparada com uma tensão de referência  $e_m$ . Se  $|e| < |e_m|$ , significa que o erro de frequência está dentro da faixa especificada para o PLL. O sistema é chaveado para que o PLL atue e leve o sistema ao trancamento. Se  $|e| > |e_m|$ , o

erro de frequência é grande. Nesta situação o sistema é chaveado para o controle proporcional, que com ajuste adequado do ganho, conduzirá o sistema rapidamente a um ponto próximo do regime permanente.

É importante lembrar que este ganho pode ser tão grande quanto se deseja, limitado apenas pelo tempo de chaveamento, mesmo que provoque oscilações, pois o chaveamento para o PLL deverá inibir estas oscilações. Deve-se também resaltar que o chaveamento sofre um atraso devido ao atraso intrínscico de alguns componentes. Os componentes que geram este atraso são os seguintes: o conversor frequência-tensão, e o filtro passa baixa colocado após o subtrator para eliminar o ripple do sinal.

A característica do detetor de nível é mostrada na figura 4.2 . O valor da tensão  $e_m$  influencia na velocidade do sistema. Se a tensão  $e_m$  for grande, o PLL deverá fazer a maior parte da aquisição em frequência, e o sistema levará mais tempo para atingir o regime permanente.

Deve-se então fazer  $e_m$  o menor possível desde que se garanta a comutação. A limitação do valor de  $e_m$  é dada pelo tempo que o chaveamento demora para se efetuar e pela característica do controlador proporcional. O sistema proporcional permite um erro em regime permanente. Se  $e_m$  for muito pequeno pode ser que o sistema proporcional com baixos valores de ganho nunca consiga atingir esta região. Deve-se então aumentar o ganho do sistema , diminuindo o erro de regime permanente e permitindo o controle proporcional atingir a região de chaveamento. O limite de ganho que pode ser utilizado será analisado no próximo item.

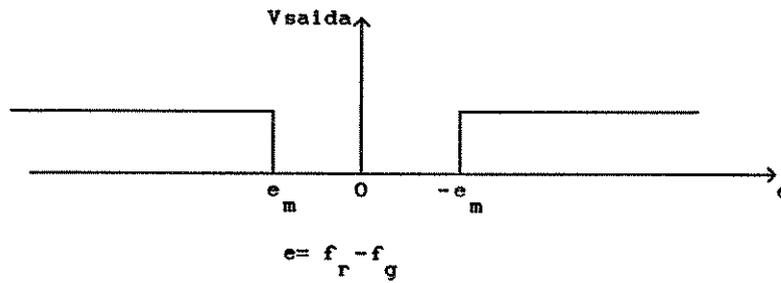


Figura 4.2 Característica do circuito de detecção de nível

### 4.3 CHAVEAMENTO CONTROLADOR PROPORCIONAL - CONTROLADOR

PLL

Quando a diferença entre as frequências estiver na faixa estipulada, ocorre o chaveamento do controlador proporcional para o controlador PLL. Este chaveamento deve ser feito o mais suave possível, evitando que seja gerado ruído e provoque o disparo do motor. Se isto ocorresse significaria que o sistema seria instável, pois ele nunca entraria em regime permanente.

A forma de se obter um chaveamento suave é indicada por Prasad et all [1], e baseia-se no circuito mostrado na figura 4.3.

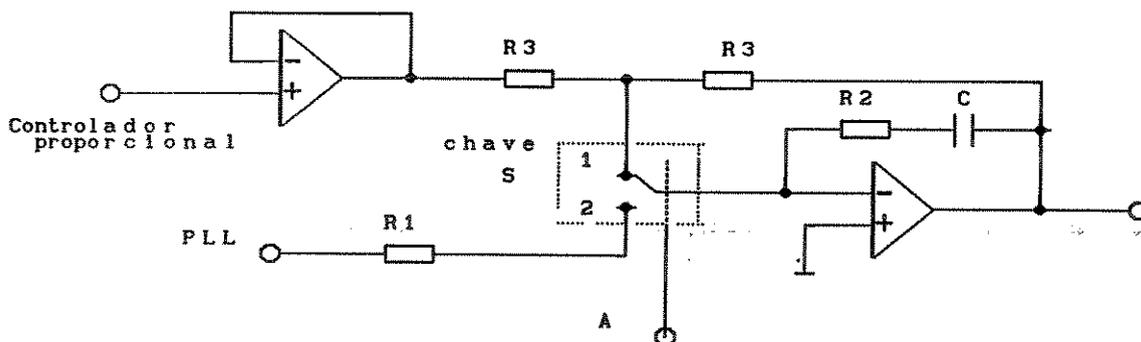


Figura 4.3 Circuito de chaveamento.

Ele é constituído de uma chave de duas posições e dois amplificadores operacionais. A chave S na posição 1 conecta a malha proporcional no circuito. O circuito resultante é mostrado na figura 4.4 . Nesta situação o capacitor é carregado com a tensão de saída. Ao se fazer a comutação para a malha PLL o capacitor manterá a tensão de saída no valor que estava anteriormente. Desta forma a variação de tensão não se fará de forma brusca.

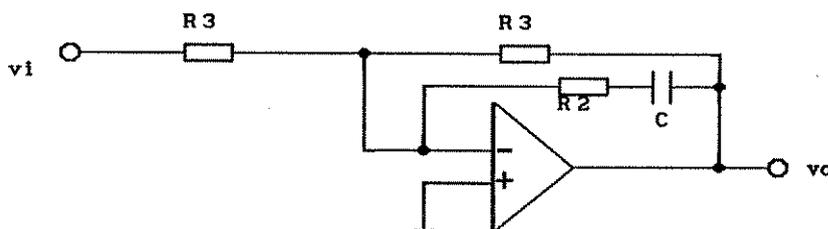


Figura 4.4 Compensador proporcional

A equação do circuito da figura 4.4 é dada por:

$$G(s) = \frac{R2}{R2+R3} \cdot \frac{s + \frac{1}{R2 \cdot C}}{s + \frac{1}{(R2+R3) \cdot C}} \quad ( 4.1 )$$

Os valores de  $R_2$  e  $C$  determinam a localização do zero do filtro no sistema PLL que já foi analisado no capítulo 2. Estes valores não podem mais ser alterados.

Para que o circuito da figura 4.4 comporte-se como um amplificador proporcional, deve-se fazer valor de  $R_3$  muito menor que de  $R_2$ , de tal forma a obter-se  $R_t = R_2 + R_3 \cong R_2$ . A equação 4.1 pode ser escrita da seguinte forma:

$$G(s) = \frac{R_2}{R_2 + R_3} \left( 1 - \frac{1}{s + \frac{1}{R_t \cdot C}} + \frac{1}{s + \frac{1}{R_2 \cdot C}} \right) \quad (4.2)$$

(a)                      (b)

Como  $R_t \approx R_2$ , os termos (a) e (b) da equação 4.2, são simplificados e a equação do ganho será:

$$G(s) = \frac{R_2}{R_2 + R_3} \approx 1$$

Desta forma o ganho proporcional é quem terá maior influência.

#### 4.4 MODELO DO CONVERSOR FREQUÊNCIA TENSÃO

O conversor frequência/tensão é modelado como um bloco de primeira ordem, ou seja um polo. O polo é devido ao filtro passa-baixa próprio do conversor F/V. Este filtro tem a função de eliminar componentes alternadas do sinal de saída.

O conversor F/V utilizado foi o LM 2917. A função de transferência pode ser obtida a partir das equações:

$$i_c = V_{cc} \cdot f_{in} \cdot C_1 \quad (4.3)$$

$$v_o = i_c \cdot (R_1 // X_{c2}) \quad (4.4)$$

Estas equações são fornecidas pelo fabricante do circuito integrado [20].

Substituindo a equação 4.4 na equação 4.3, obtem-se:

$$v_o = (V_{cc} \cdot f_{in} \cdot C_1 \cdot R_1) / (R_1 \cdot C_2 \cdot s + 1)$$

Definindo  $K_c = V_{cc} \cdot R_1 \cdot C_1$  e

$$\tau_c = R_1 \cdot C_2$$

A função de transferência do conversor F/V pode ser escrita como:

$$\frac{V_o}{f_{ln}} = \frac{K_c}{s \cdot \tau_c + 1} \quad (4.5)$$

#### 4.5 ANÁLISE DA ESTABILIDADE DA MALHA PROPORCIONAL

O sistema dual terá 3 regiões de funcionamento. A primeira região é atingida quando o controlador proporcional está ativado. A segunda região é atingida quando o PLL estiver fazendo a aquisição de frequência, e a terceira região é atingida quando o PLL estiver com a fase trancada.

A análise de estabilidade do controlador PLL foi feita nos capítulos 2 e 3. A análise de estabilidade do controlador proporcional será desenvolvida neste item. O diagrama de blocos do sistema com a malha proporcional é mostrado na figura 4.5.

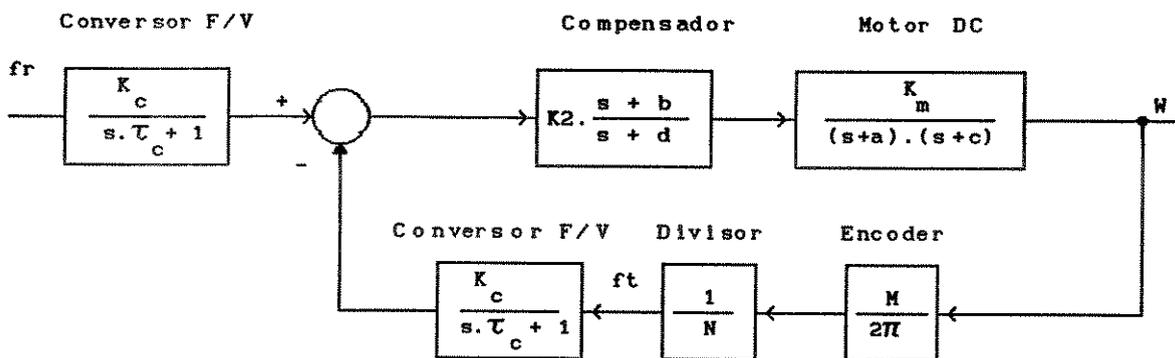


Figura 4.5 controlador proporcional.

O detetor de fase para trabalhar necessita de sinais quadrados compatíveis com a tensão de alimentação do circuito integrado. Mas a malha proporcional necessita que os sinais de referência e do encoder forneçam tensões analógicas. Para isto será

necessário utilizar um conversor freqüência/tensão.

O diagrama em blocos da figura 4.5 pode ser representado de forma mais simplificada, sem modificar a análise, apenas alterando a posição dos conversores freqüência/tensão. Isto é mostrado na figura 4.6.

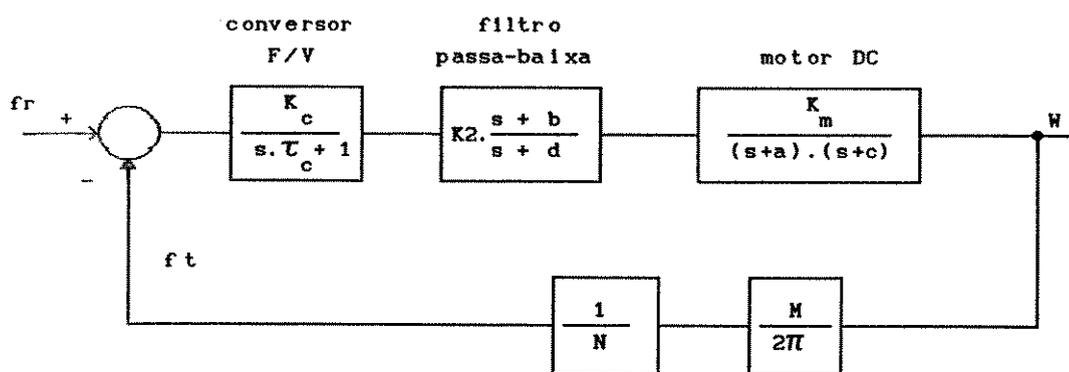


FIGURA 4.6 Malha proporcional

O conversor freqüência/tensão introduz um novo polo à malha direta. A constante de tempo do conversor F/V deve ser bem pequena em relação à dinâmica do sistema a ser controlado. Isto é, qualquer variação na freqüência do encoder deve ser imediatamente convertida para uma variação em tensão, para que o sistema proporcional possa atuar de forma eficiente.

Como a constante de tempo do conversor F/V é escolhida em função da mínima freqüência do encoder, de tal forma que haja uma boa filtragem deste sinal, deve-se escolher para o sinal de referência uma freqüência compatível com a constante de tempo do conversor.

A função de transferência da malha direta é dada pela equação:

$$GH(s) = K_{TD} \frac{(s + b)}{(s + d)} \frac{1}{(s + 1/\tau_c)} \frac{1}{(s + a) \cdot (s + c)}$$

Onde  $K_{TD}$  é o ganho da malha direta, e é dado por:

$$K_{TD} = \frac{K_c \cdot K_2 \cdot K_m \cdot M}{\tau_c \cdot N \cdot 2 \cdot \pi}$$

e  $K_2 = R_2 / (R_2 + R_3)$

$b = 1 / (R_2 \cdot C)$  e  $d = 1 / (R_2 + R_3) \cdot C$

O lugar das raízes da malha direta é mostrado na figura

4.7.

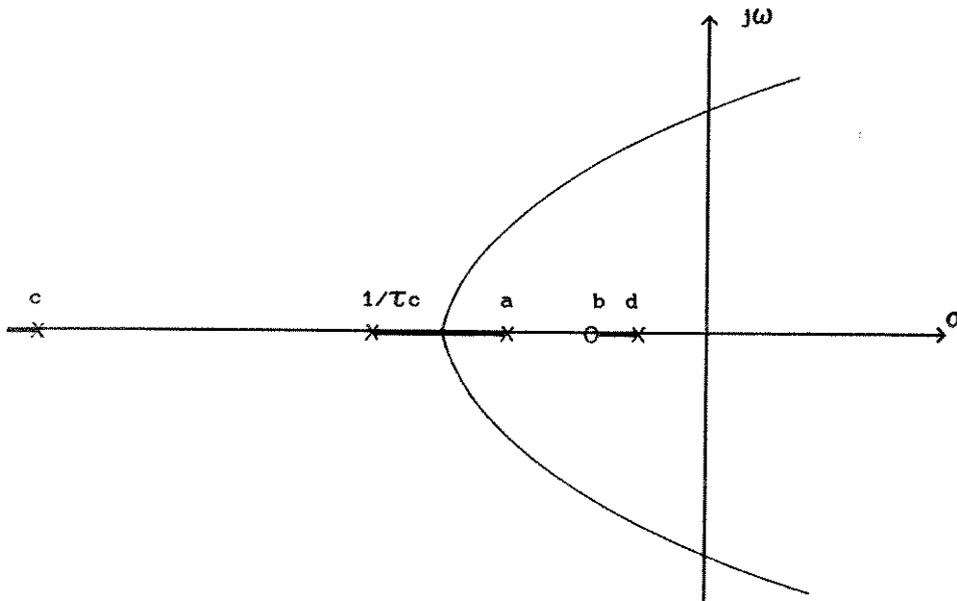


figura 4.7 Lugar das raízes para a malha proporcional

Pelo lugar das raízes mostrado na figura 4.7 pode-se ver que o sistema possui uma região de estabilidade que depende do ganho de malha do sistema.

## CAPÍTULO 5

### CIRCUITOS E RESULTADOS DO PLL DUAL

#### 5.1 INTRODUÇÃO

Neste capítulo serão mostrados os circuitos utilizados na montagem do controlador PLL-DUAL. Primeiramente será mostrado o circuito completo. Em seguida será feita a análise de cada componente utilizado na composição do circuito.

A análise de estabilidade será feita utilizando-se os valores dos componentes, de tal forma a se analisar os valores reais dos polos, zeros e ganhos do sistema.

No final será feita a comparação entre os resultados práticos e o comportamento do sistema previsto teoricamente.

#### 5.2 CIRCUITO COMPLETO

O circuito completo do sistema PLL-DUAL é mostrado nas figuras 5.1 e 5.2 .

##### 5.2.1 CHOPPER

O projeto do Chopper está no Apêndice A.



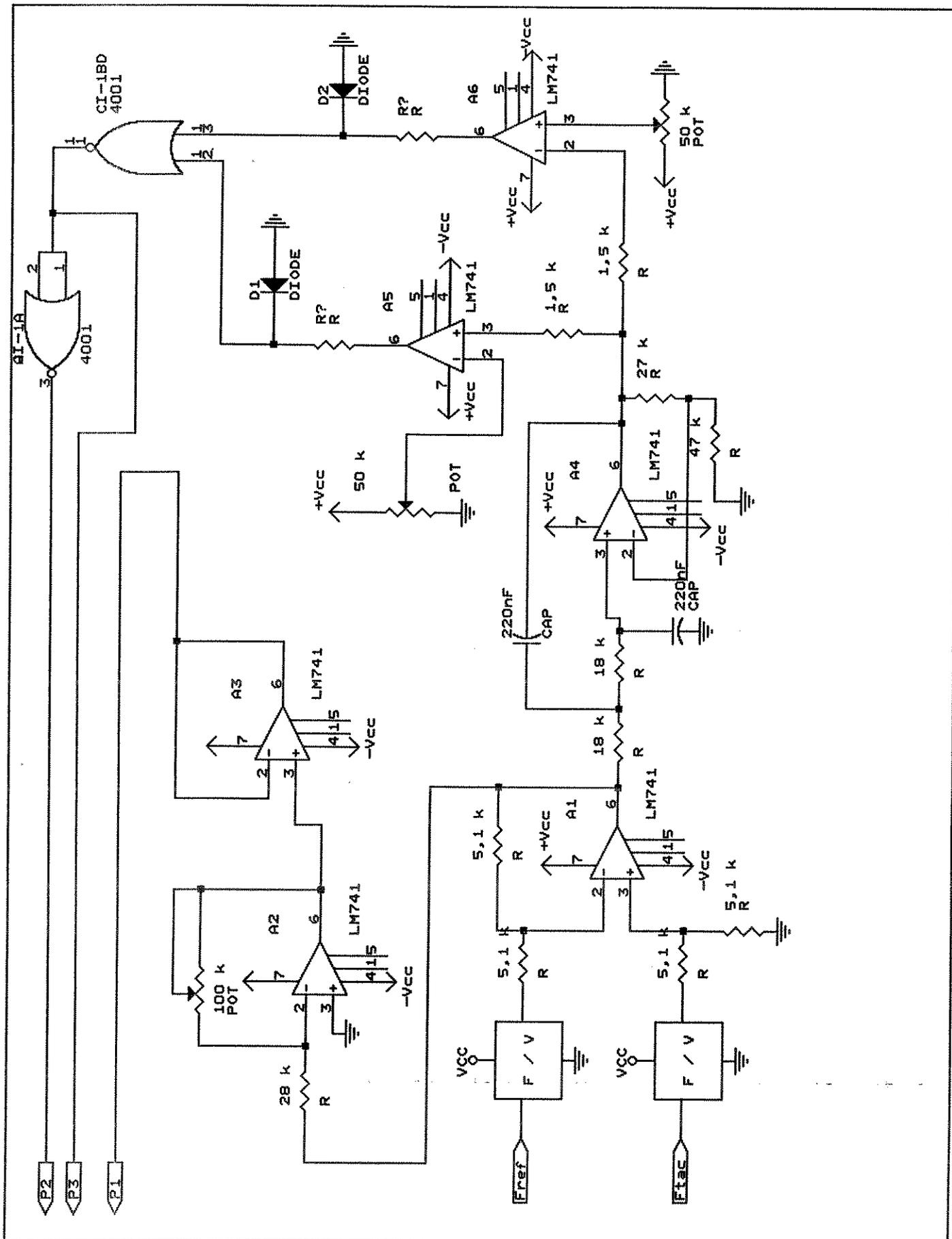


FIGURA 5.2 SISTEMA PLL-DUAL

### 5.2.2 CONVERSOR FREQUÊNCIA-TENSÃO

Foi utilizado o circuito integrado LM 2917 para fazer a conversão de frequência para tensão. O layout do circuito integrado, e as ligações necessárias para seu funcionamento são mostradas na figura 5.3.

O cálculo dos componentes pode ser feito através da equação 5.1 .

$$V_o = f_{in} * V_{cc} * R_1 * C_1 \quad (5.1)$$

onde :  $V_o$  - tensão de saída (V)

$f_{in}$  - frequência do sinal aplicado na entrada  
(Hz)

$V_{cc}$  - tensão de alimentação do CI

$R_1$  - em Ohms

$C_1$  - em Faradays

Neste circuito a tensão de saída é diretamente proporcional à frequência do sinal aplicado na entrada. Para o cálculo dos componentes, define-se a máxima frequência que será aplicada na entrada e qual a tensão máxima que será obtida neste caso. Tendo estes valores arbitra-se um valor para  $C_1$  e calcula-se  $R_1$ .

Por exemplo: Supondo-se a tensão de alimentação  $V_{cc}=5V$ , e frequência máxima do sinal de entrada  $f_{in} = 100$  Hz.

Nesta situação  $V_{o_{max}} = 5V$  para uma frequência de 100 Hz. Substituindo estes valores na equação 5.1, obtem-se:

$$5 = 100 \cdot 5 \cdot R_1 \cdot C_1$$

$$R_1 = 10^{-2} / C_1$$

Arbitrando  $C_1 = 100$  nF , chega-se ao valor  $R_1=100$  k $\Omega$ .

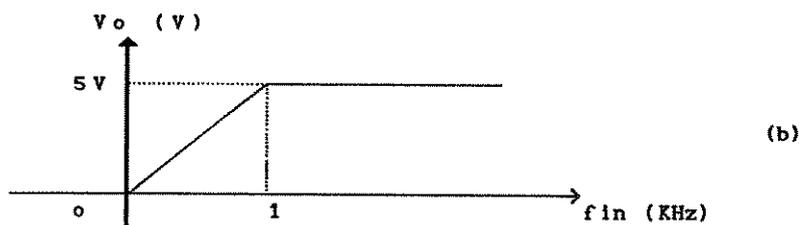
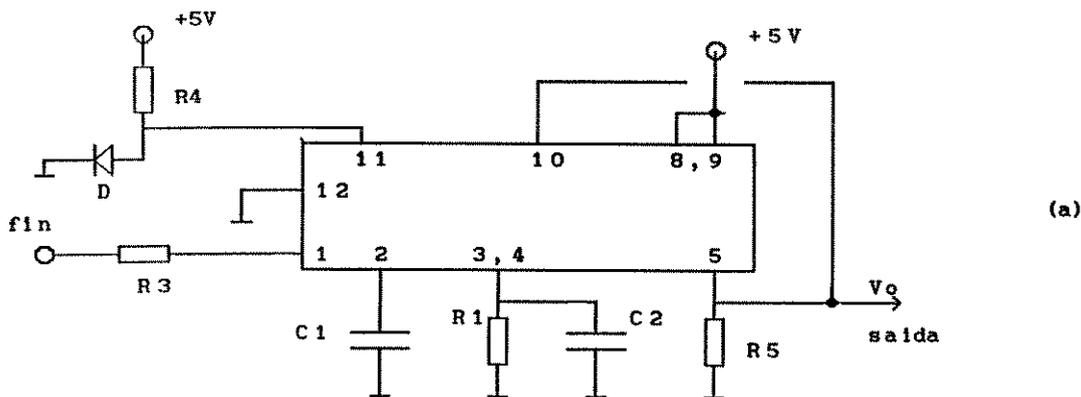


Figura 5.3 Conversor Freqüência - tensão. (a) Circuito  
(b) Curva  $V_0 = F(f_{in})$ .

O capacitor C2 determina o ripple da tensão de saída e o tempo de resposta do conversor F/V. A constante de tempo do conversor é calculada através da equação 4.5 .

O sinal de entrada quando passa por determinado nível de tensão provoca a comutação no estágio de entrada. Este nível de tensão é determinado por R4 e D.

O resistor R3 serve para limitar a corrente de entrada quando a tensão neste pino atingir valores negativos.

Valores dos componentes utilizados: C1 = 100 nF

$$R1 = 100 \text{ k}\Omega$$

$$C2 = 1 \text{ }\mu\text{F}$$

$$R3 = 15 \text{ k}\Omega$$

$$R4 = 3,9 \text{ k}\Omega$$

$$R5 = 10 \text{ k}\Omega$$

### 5.2.3 DETETOR DE NÍVEL

O circuito de detecção de nível recebe uma tensão que é proporcional à diferença entre as frequências de referência e do encoder, e gera níveis lógicos na saída que dependem da relação entre as frequências de referência e do encoder.

O circuito de chaveamento é mostrado na figura 5.4 . Este circuito é formado pelos amplificadores operacionais A5 , A6 , por uma porta lógica NOU, e por componentes passivos.

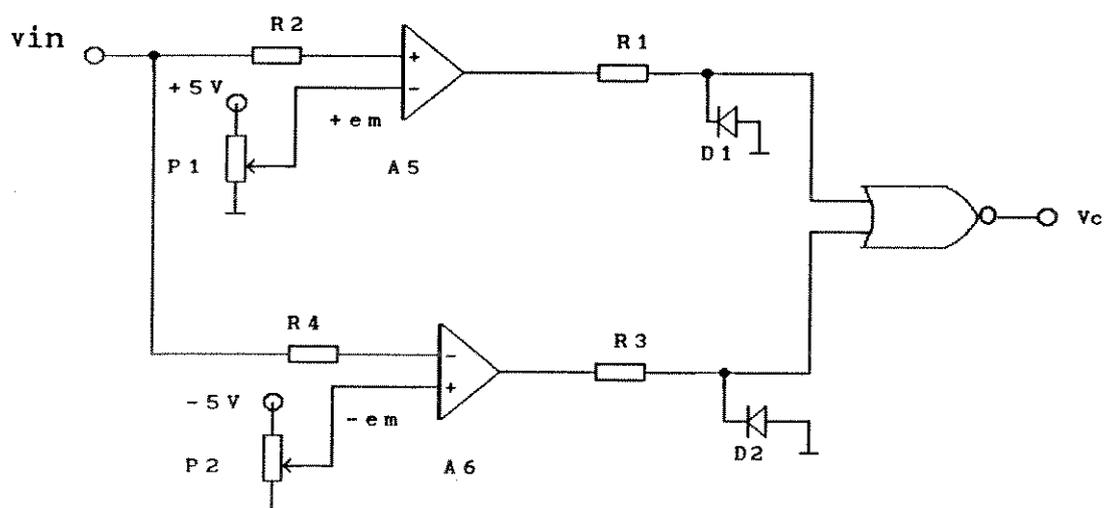


Figura 5.4 Circuito de Chaveamento.

Os componentes R1, D1 e R3, D2 atuam como limitadores de tensão, evitando que tensões negativas sejam aplicadas à entrada da porta lógica NOU.

Os amplificadores operacionais atuam como comparadores de tensão.

O amplificador operacional A5 compara a tensão recebida

na entrada não inversora ( $V_{in}$ ) com a tensão de referência  $+e_m$ , determinada por P1. Se  $V_{in} > e_m$ , a tensão de saída será positiva. A porta NOU identifica esta tensão como nível lógico UM, fazendo com que à sua saída apareça um nível lógico zero. Se  $V_{in} < e_m$ , a tensão na saída do comparador será negativa. Esta tensão será limitada em aproximadamente zero Volt por  $R_1$  e  $D_1$ , e a porta NOU reconhecerá como um nível zero aplicado à sua entrada. Nesta situação o nível lógico na saída da porta NOU dependerá do que existe na outra entrada.

O amplificador operacional A6 compara a tensão recebida na entrada inversora com a tensão de referência  $-e_m$ , gerada por P2. Se  $V_{in} < -e_m$ , a tensão na saída do operacional será positiva e a porta NOU reconhecerá esta tensão como nível lógico UM. Desta forma a porta lógica levará sua saída para nível lógico zero. Se  $V_{in} > -e_m$  a tensão de saída do operacional será negativa. Esta tensão será limitada em aproximadamente zero Volt, por  $R_3$  e  $D_2$ , e a porta lógica reconhecerá à sua entrada um nível lógico zero. O nível lógico na saída da porta lógica dependerá do que existe na outra entrada.

Pode-se resumir o funcionamento deste circuito da seguinte maneira: - Se  $V_{in}$  estiver entre  $+e_m$  e  $-e_m$ , a porta lógica assume nível lógico um à sua saída, fazendo que a chave analógica comute para o controle PLL.- Se  $V_{in}$  estiver fora da faixa  $-e_m$  e  $+e_m$ , a saída da porta lógica assume nível lógico zero, fazendo que a chave analógica comute para o controle proporcional.

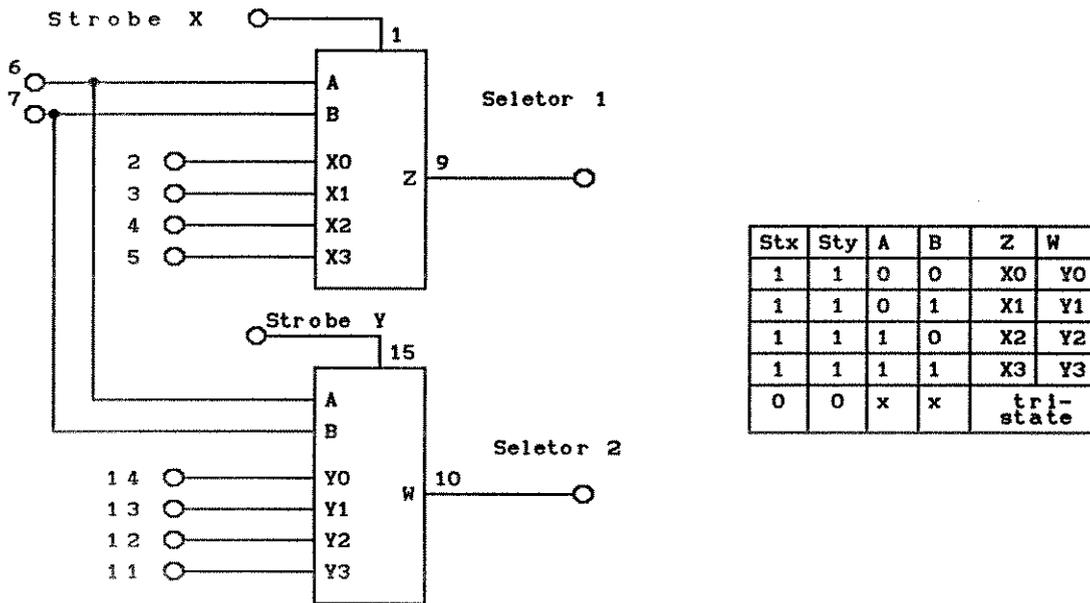
#### 5.2.4 CHAVE ANALÓGICA

Foi utilizado o circuito integrado CD 4529 como chave

analógica. Este circuito integrado possui dois seletores de dados, e cada seletor com 4 canais. O esquema interno do circuito integrado é mostrado na figura 5.5 .

As saídas podem ser desativadas através do terminal strobe. Nesta situação as saídas assumem o terceiro estado.

Para obter-se uma maior isolação, será utilizado o seletor 1 para receber o sinal vindo do detetor de fase, e o seletor 2 para receber o sinal vindo do controlador proporcional.



onde: B - Entradas de seleção  
 X0, X1, X2, X3 ) Entradas de dados  
 Y0, Y1, Y2, Y3 )  
 Z, W - saídas de dados  
 Stx - strobe X ) Habilitação de saída  
 Sty - strobe y )

Figura 5.5 Chave analógica

As saídas dos seletores são conectadas entre si, e a

seleção do sinal será feita através do terminal de Strobe. Desta forma enquanto um dos seletores de dados estiver ativo, o outro estará no terceiro estado, propiciando uma maior isolação entre as saídas. A ligação é mostrada na figura 5.6 .

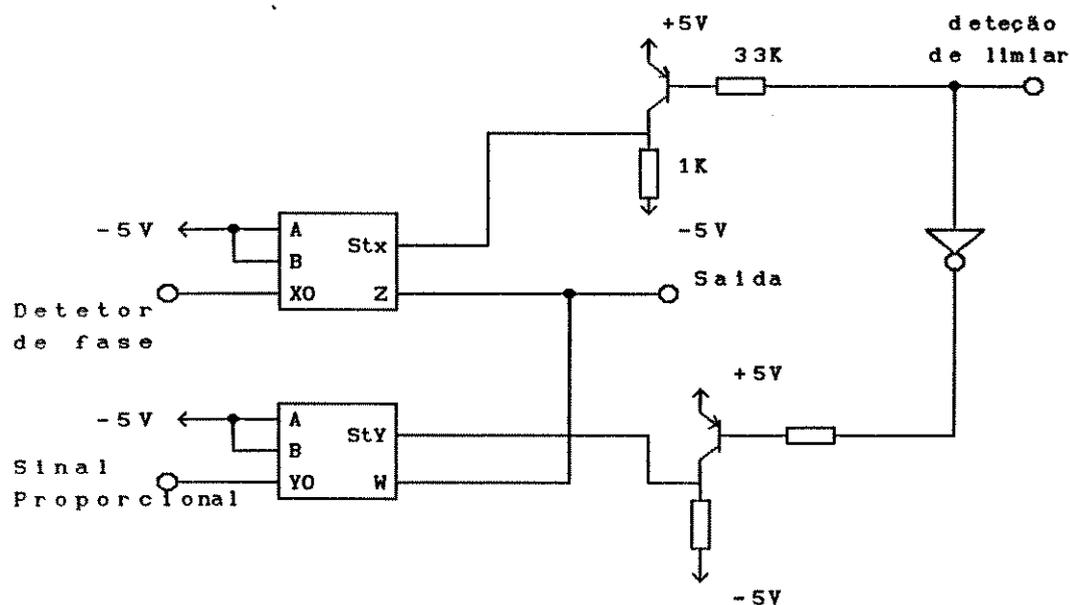


Figura 5.6 Conexão da chave analógica.

Como entradas de dados selecionou-se X0 e Y0 , pois as entradas de seleção foram feitas iguais a zero.

O circuito com transistores tem a função de acoplar o sinal vindo circuito de detecção de limiar, cuja tensão está entre +5V e massa, com a chave analógica que é alimentada com tensões +5V e -5V.

A chave analógica é alimentada com tensões +5V e -5V para permitir a passagem de sinais positivos e negativos, entre esta faixa de tensão.

### 5.2.5 DETETOR DE FASE

Foi utilizado o circuito integrado CD 4046. Este CI possui dois detetores de fase, e um oscilador controlado por tensão.

Na figura 5.7 é mostrada a configuração interna do CI. Este CI possui dois detetores de fase: - um detetor de fase com porta ou exclusiva -  
- um detetor de fase-freqüência.

O detetor de fase com porta ou exclusiva tem a desvantagem de fazer o trancamento em um múltiplo da freqüência de referência (ver apêndice B). Outra característica é que ciclo doce dos sinais deve ser de 50 % .

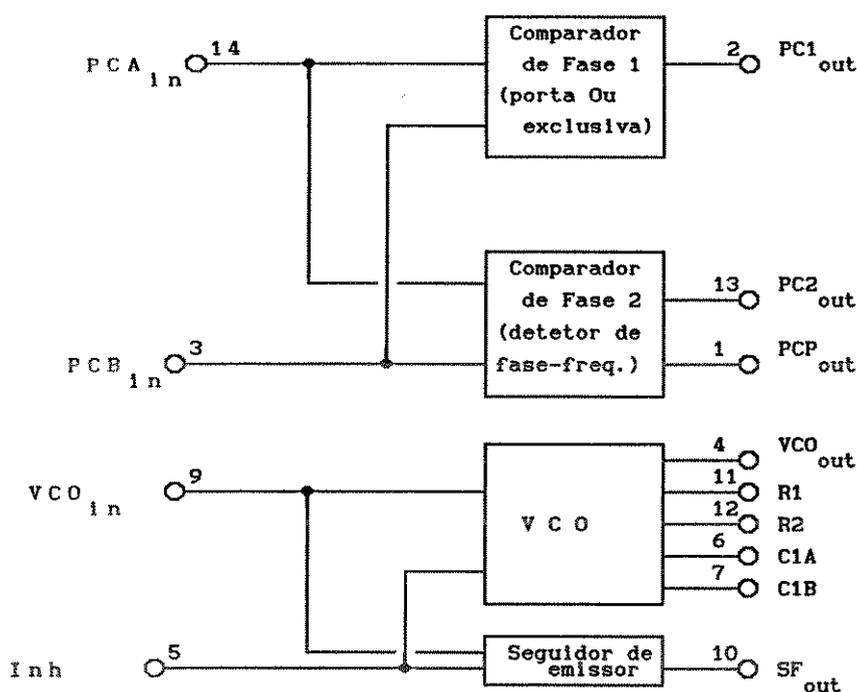


Figura 5.7 Estrutura Interna do CI CD 4046.

O detetor de fase-freqüência não possui estes problemas, pois ele é sensível à rampa de subida dos sinais, e faz o trancamento de fase apenas na freqüência de referência.

O detetor de fase-freqüência possui duas regiões de funcionamento. Quando os dois sinais possuem a mesma freqüência, a tensão média de saída é proporcional à diferença de fase entre os

sinais. Isto é mostrado na figura 5.8 .

Deve-se salientar que o detetor de fase é alimentado com tensões +5V e -5V. Por esta razão o gráfico da figura 5.8 será linear fornecendo tensões positivas ou negativas conforme a diferença de fase.

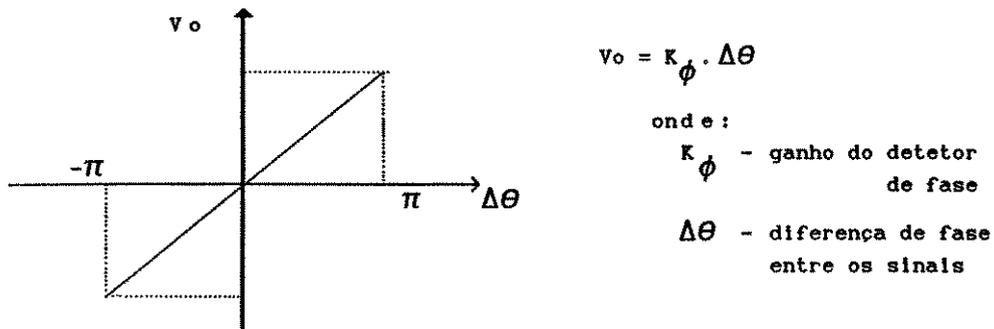


Figura 5.8 Curva característica do detetor de fase na região linear

Quando as frequências dos sinais de entrada forem diferentes, a relação será a seguinte:

se  $f_A > f_B$  a saída assume uma tensão igual a  $V_{dd}$ ,

se  $f_A < f_B$  a saída assume uma tensão de  $-V_{dd}$  V. A

curva característica é mostrada na figura 5.9 .

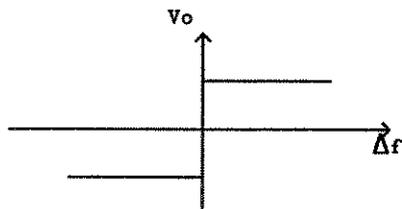


Figura 5.9 Curva Característica do detetor de fase na região não linear.

### 5.2.6 AMPLIFICADOR SUBTRATOR- A1

As frequências dos sinais de referência e do encoder foram convertidas para tensão gerando-se as tensões  $V_r$  e  $V_e$  respectivamente. Este amplificador operacional faz a subtração entre as tensões  $V_r$  e  $V_e$ . O circuito é mostrado na figura 5.10.

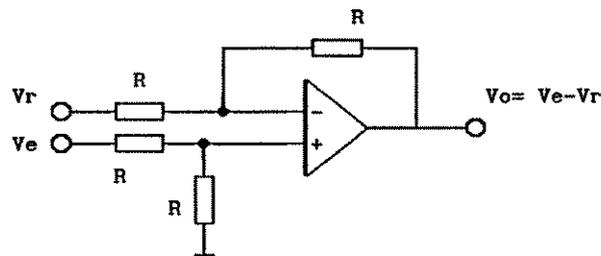


Figura 5.10 Amplificador subtrator.

#### 5.2.7 AMPLIFICADOR INVERSOR - A2 e A8.

Estes circuitos estão na configuração amplificador inversor. Eles simplesmente amplificam o sinal vindo do estágio anterior, invertendo-o com ganho  $R_2/R_1$ . O circuito é mostrado na figura 5.11.

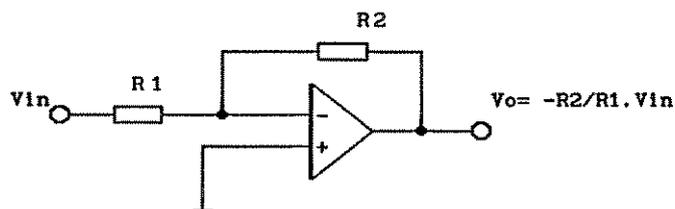


Figura 5.11 Amplificador inversor.

#### 5.2.8 CIRCUITO ISOLADOR

Este amplificador operacional atua como um Buffer, pois

ele isola o estágio anterior de restante do circuito. O circuito é mostrado na figura 5.12 .

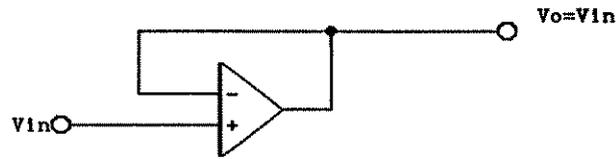


Figura 5.12 Circuito Isolador

### 5.2.9 FILTRO PASSA-BAIXA - A4

Os sinais de tensão nas saídas dos conversores frequência-tensão, não são constantes. Eles possuem uma pequena ondulação (ripple). Se o sinal do subtrator for aplicado diretamente ao circuito de comutação poderá causar algumas transições indesejáveis. Deste modo, o sinal vindo do subtrator deve ser filtrado para eliminar o ripple, garantindo um melhor funcionamento do circuito de comutação.

O filtro passa-baixa , composto pelo amplificador A4, filtra este sinal eliminando o ripple. O circuito é mostrado na figura 5.13 .

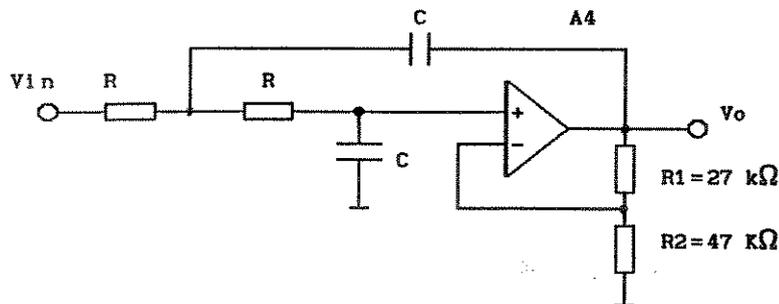


Figura 5.13 Filtro Passa-baixa.

Este filtro foi colocado na saída do subtrator.

A função de transferência é dada por:

$$G = \frac{R_1 + R_2}{R_2} \frac{1/R^2 \cdot C^2}{s^2 + s \cdot \left[ \frac{3}{R \cdot C} - \frac{1}{R \cdot C} \frac{R_1 + R_2}{R_2} \right] + \frac{1}{R^2 \cdot C^2}}$$

Os componentes R e C definem a frequência de corte do filtro. Os resistores R<sub>1</sub> e R<sub>2</sub> definem o ganho e o coeficiente de amortecimento do filtro.

Fazendo R<sub>1</sub>=27KΩ e R<sub>2</sub>=47KΩ, a função de transferência assume a seguinte forma:

$$G = 1,57 \frac{1/R^2 \cdot C^2}{s^2 + 1,42 \frac{s}{R \cdot C} + \frac{1}{R^2 \cdot C^2}}$$

Nesta situação, a frequência de corte é dada por:

$$\omega = 1/R \cdot C \quad \text{ou} \quad f = 1/2\pi \cdot R \cdot C$$

O coeficiente de amortecimento é dado por:

$$2\xi = 1.42 \quad \therefore \quad \xi = 0.71$$

#### 5.2.10 COMPENSADOR PROPORCIONAL-INTEGRAL ( FILTRO PASSA-BAIXA PARA O SINAL DO DETETOR DE FASE ) - A7

Este amplificador operacional atua como um amplificador integrador. Na realidade ele é um filtro passa baixa. Ele irá filtrar o sinal do detetor de fase, para depois ser aplicado ao chopper. O circuito e a função de transferência são mostrados na figura 5.14 .

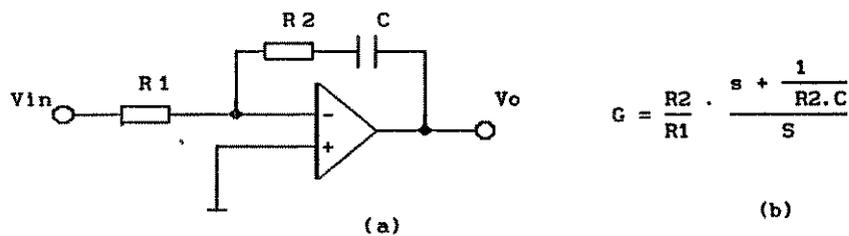


Figura 5.14 (a) Amplificador Proporcional Integral  
(b) Função de transferência

### 5.2.11 DIVISOR DE FREQUÊNCIAS

Pode-se variar a velocidade do motor de duas maneiras.

A primeira é variar diretamente a frequência do sinal de referência. O motor então modifica sua velocidade para que o sinal gerado pelo encoder seja igual à frequência do sinal de referência.

A outra maneira é manter fixa a frequência do sinal de referência, e dividir a frequência do sinal gerado pelo encoder.

O divisor de frequências utilizado foi o circuito integrado CD 4040, que é um divisor de frequências até o valor de 4096, com diversas saídas intermediárias. O circuito é mostrado na figura 5.15 .

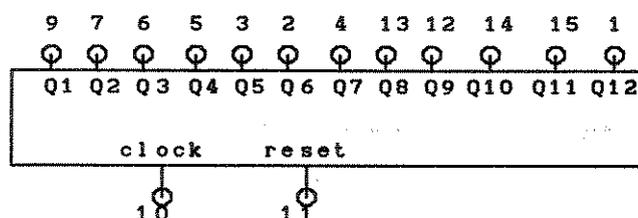


Figura 5.15 Divisor de frequências 4040

#### 5.2.12 ENCODER

Foi utilizado um encoder fabricado pela empresa Veeder Root do Brasil , de 1000 pulsos por rotação ou seja, 152,9 pulsos por radianos.

#### 5.2.13 MOTOR DC

Foi utilizado um motor DC com excitação independente.

Os parâmetros do motor foram obtidos através de um método de medição indireta [Palhares (27)].

Os valores obtidos estão mostrados no apêndice A. Através destes valores obtem-se a função de transferência do motor.

$$G(s) = \frac{1300}{(s + 4.7).(s + 132)}$$

### 5.3 ANÁLISE DE ESTABILIDADE DO PLL NA REGIÃO LINEAR (Controle de fase )

Quando as frequências dos sinais de referência e do encoder forem iguais, o sistema obtém o trancamento de frequência e o modelo do detetor de fase pode ser aproximado por um modelo linear, como já foi visto no capítulo 3.

Nesta situação o modelo linear do sistema é mostrado na figura 5.16 .

Como foi analisado no capítulo 2, para o sistema ser estável o zero do filtro deve estar entre a origem e o polo mecânico do motor ( $s = -4.7 \text{ rad/s}$ ). Para a melhor situação de filtragem o zero do filtro deve estar o mais próximo do polo mecânico do motor. Mas para a melhor situação de estabilidade o zero do filtro deve estar o mais próximo da origem.

Optou-se pelo zero localizado em  $0.67 \text{ rad/s}$ , pois nesta situação otem-se uma boa filtragem e o sistema possui uma boa margem de estabilidade.

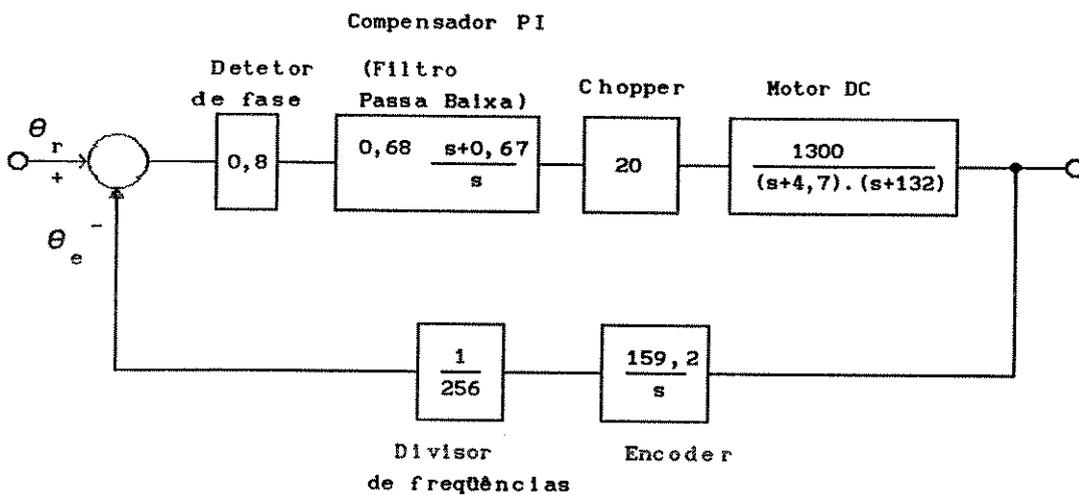


Figura 5.16 Modelo linear do PLL

O ganho do sistema em malha aberta é dado por:

$$GH(s) = 8.796 \cdot \frac{s+0,67}{s^2} \cdot \frac{1}{(s+4,7) \cdot (s+132)}$$

O lugar das raízes para o sistema especificado é mostrado na figura 5.17 .

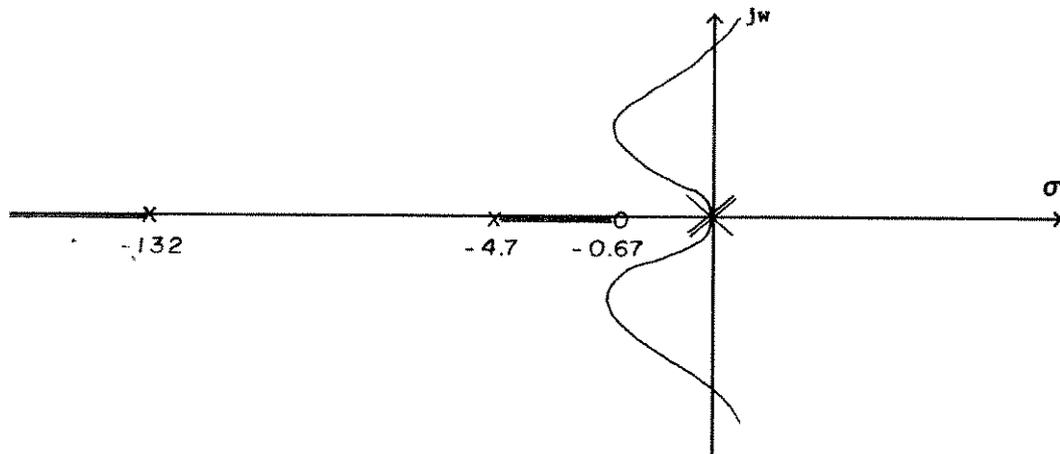


Figura 5.17 Lugar das raízes para o sistema PII na região linear.

O limite de estabilidade do sistema é dado pelo ganho de 72.300 .

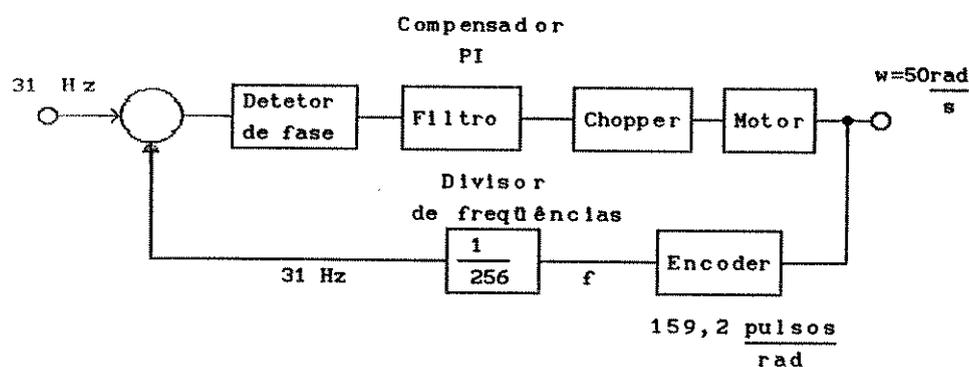
Para o sinal de referência de 20 HZ, o ganho do sistema é de 8.796 . Este ganho está bem abaixo do limite de estabilidade do sistema. Então conclui-se que o sistema para estas condições é estável.

Deve-se notar que o divisor de frequências diminui o ganho total do sistema, deixando-o mais estável. Quanto maior for o fator de divisão, menor o ganho total do sistema.

Se a frequência do sinal de referência fosse aumentada para 200 Hz, e mantendo-se a mesma velocidade do motor, o fator de divisão teria que ser diminuído 10 vezes. Neste caso o ganho total do sistema iria para 87.960 . O sistema deixaria de ser estável.

Devido a esta característica, o sistema fica limitado a trabalhar com fatores de divisão elevados, com a finalidade de diminuir o ganho total do sistema e deixá-lo mais estável. Conseqüentemente o sistema fica limitado a trabalhar com baixos valores de frequência no sinal de referência.

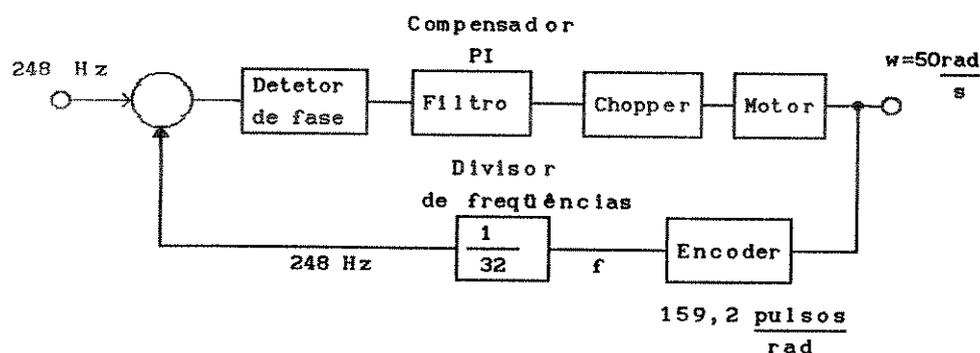
Isto é melhor explicado a seguir. Na figura 5.18a é mostrado o sistema em estudo. Nesta situação supõe-se o motor girando à uma velocidade de 50 rad/s. Como o ganho do encoder é 152,9 pulso por radiano, a frequência obtida na saída do encoder é de 7960 Hz. Supondo-se um sinal de referência com frequência de 31 Hz, o fator de divisão deve ser de 256. O ganho do sistema nestas condições é de 8796. O sistema é estável.



$$f = W \cdot \text{pulsos/rad} = 50 \cdot 159,2 = 7960 \text{ Hz}$$

$$G = 8796$$

(a) Sistema Estável.



$$f = W \cdot \text{pulsos/rad} = 50 \cdot 159,2 = 7960 \text{ Hz}$$

$$G = 72000$$

(b) Sistema Instável.

Figura 5.18 Situações de estabilidade e instabilidade

Na figura 5.18b, a frequência do sinal de referência é

aumentada para 248 Hz. Para manter a mesma velocidade do motor, o ganho do divisor de frequências é diminuído 8 vezes. Com isto o ganho total do sistema passa para 72000, tornando-o instável. Desta forma é possível observar as limitações com relação ao sinal de referência.

#### 5.4 ANÁLISE DA ESTABILIDADE NA REGIÃO NÃO LINEAR. (Controle de frequência)

O critério de Popov já foi analisado no capítulo 3. Aplicando-se este critério para o sistema em análise obtem-se:

$$X_p - Y_p \cdot q + 1/K > 0 \quad (5.2)$$

$$\text{onde } X_p = \text{Re}\{G(jw)\} = \frac{(528 - w^2) \cdot K_{TC}}{(22,1 + w^2) \cdot (w^2 + 17424)}$$

$$Y_p = W \cdot \text{Im}\{G(jw)\} = \frac{(-137 \cdot w^2 - 415) \cdot K_{TC}}{(22,1 + w^2) \cdot (w^2 + 17424)}$$

onde K é o limite do setor. Neste caso  $K = \infty$ , então  $1/K = 0$  e a equação 5.2 fica como:

$$X_p - Y_p \cdot q > 0$$

Para esta situação a linha de Popov irá cruzar o eixo das ordenadas na origem. Apenas a inclinação desta linha pode ser variada.

Variando W de zero à infinito, calculando  $X_p$  e  $Y_p$  para cada valor de W, e plotando os valores obtidos obtem-se o diagrama de Popov mostrado na figura 5.19 .

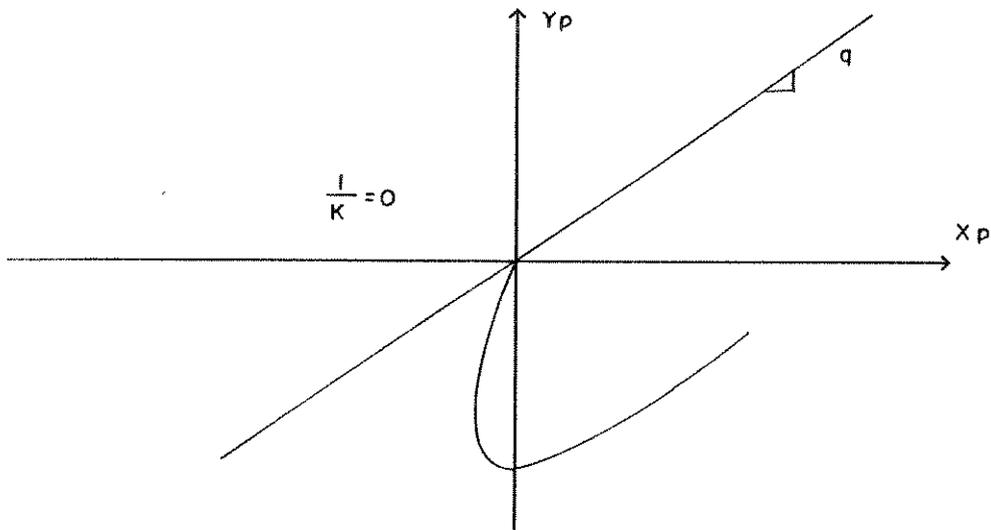


Figura 5.19 Diagrama de Popov.

Como o diagrama está à direita da linha de Popov, o sistema é estável.

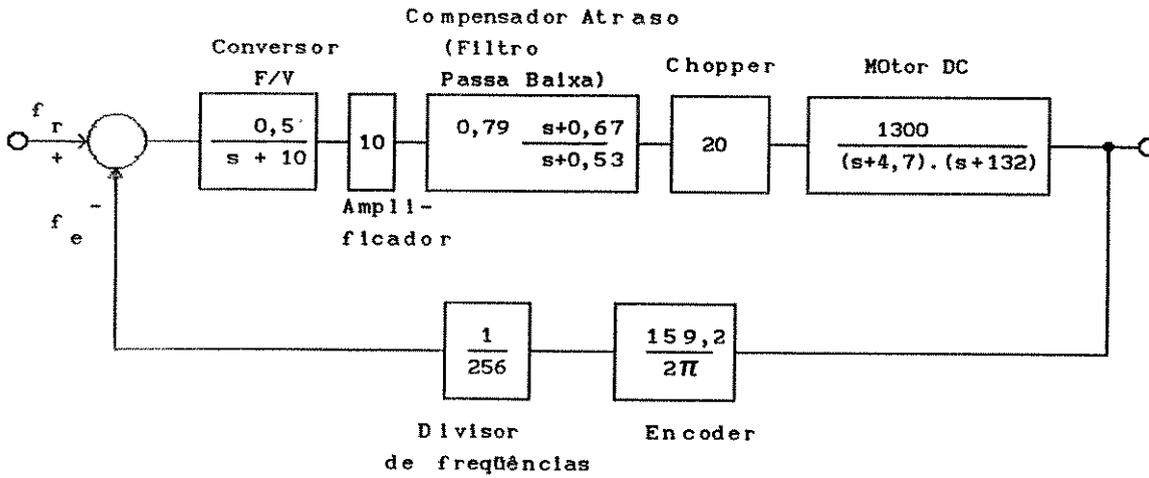
### 5.5 ANÁLISE DE ESTABILIDADE DO SISTEMA PROPORCIONAL. (Sistema Perturbado)

O diagrama em blocos para a malha proporcional é mostrado na figura 5.20a . Na figura 5.20b é mostrado o lugar das raízes para a malha proporcional. O sistema será estável para ganhos de zero até 220000.

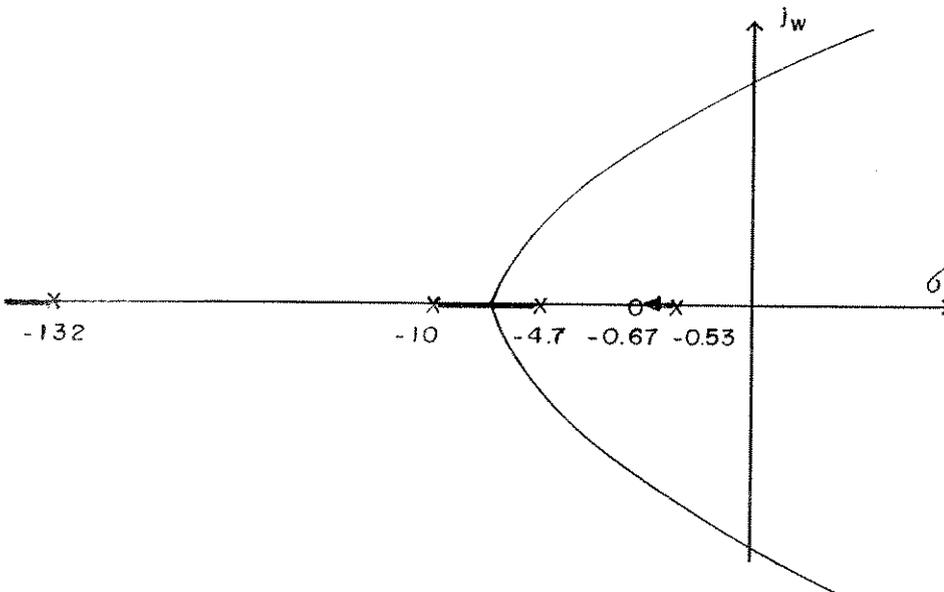
O filtro passa-baixa (compensador atraso de fase) foi explicado no capítulo 4, equação 4.1 . Dos componentes do filtro, apenas o resistor R3 pode ser alterado e o seu valor define a localização do polo deste filtro. O valor de R3 não é crítico.

O amplificador indicado na figura 5.20 é um amplificador operacional, cujo objetivo é possibilitar um variação no ganho do

sistema.



(a) Diagrama em blocos



(b) Lugar das raízes.

Figura 5.20 Malha proporcional.

O ganho do sistema em malha aberta é 10170, portanto dentro da região de estabilidade do sistema.

## 5.6 RESULTADOS

### 5.6.1 COMPARAÇÃO ENTRE OS SISTEMAS PLL, PROPORCIONAL E

PLL-DUAL.

Na figura 5.21 são mostradas as curvas frequência versus tempo para os casos: PLL, Proporcional e PLL - Dual.

Pela figura 5.21b pode-se observar que o sistema proporcional rapidamente atinge o regime permanente, mas não garante que o sistema esteja com a velocidade desejada, pois sistemas proporcionais permitem erro em regime. O sistema PLL embora mais lento que o sistema proporcional garante que a velocidade do motor em regime será praticamente isenta de erro. O sistema PLL-Dual rapidamente leva o sistema ao regime garantindo uma excelente precisão

Na figura 5.22 são mostradas algumas curvas frequência versus tempo, para o mesmo ganho do sistema e diversos valores de tensão de chaveamento do sistema Dual. Nota-se que quanto menor a faixa de chaveamento, mais rapidamente o sistema atinge o regime permanente. Isto acontece porque a malha proporcional leva o sistema próximo do regime permanente rapidamente e só então o PLL faz o trancamento em frequência.

#### 5.6.2 LIMITAÇÕES DA FILTRAGEM

O sinal gerado pelo detetor de fase, antes de ser aplicado ao chopper passa por uma filtragem. Para filtrar este sinal é utilizado um filtro passa-baixa (compensador PI).

Na saída do filtro passa-baixa, teoricamente supõem-se um sinal DC sem ruídos.

Na prática isto não ocorre, pois o zero do filtro é

limitado pelo polo mecânico do motor, como foi mostrado na figura 2.3.

Devido a esta limitação a filtragem será deficiente e causará algumas instabilidades no sistema.

Na figura 5.23 é mostrada a curva da corrente de armadura do motor versus o tempo, para várias posições do zero do filtro.

Na figura 5.23a o zero do filtro está em  $s = -0,035$ . Nesta situação a filtragem é ineficiente e pelo gráfico é possível ver a instabilidade da corrente de armadura.

Pelas curvas a, b, e c, da figura 5.23 é possível ver que quanto maior o valor em módulo do zero, melhor a filtragem e mais estável a corrente de armadura do motor.

Na figura 5.24d o zero do filtro está em  $s = -18$ . A filtragem é muito boa, mas o sistema está globalmente instável, no modo de controle de fase, devido à posição do zero em relação ao polo mecânico do motor. É bom lembrar que a curva 5.24d apresenta uma mudança quase periódica do modo controle de fase (instável) para o modo controle de frequência retornando a esse, caracterizando uma instabilidade local do PLL, ficando limitado a pequenas perturbações. A instabilidade é possível observar pelo picos de corrente neste gráfico.

Mas mesmo respeitando o limite de que o zero do filtro tem que estar à direita do polo mecânico do motor, ocorre um outro problema. Quanto mais próximo o zero do filtro estiver do polo mecânico do motor, melhor a filtragem. Poder-se-ia então deduzir que a melhor situação seria esta. Mas o problema é que, quanto mais próximo o zero do filtro estiver do polo mecânico do motor, menor será a faixa de ganho em que o sistema ainda é estável.

### 5.6.3 RELAÇÃO ENTRE A ESTABILIDADE DO SISTEMA E A FREQUÊNCIA DE REFERÊNCIA DO PLL.

No parágrafo 5.3, deste capítulo foi estudada a relação entre a frequência de referência e a estabilidade do sistema.

Foi visto que quanto maior a frequência de referência, menor é o fator de divisão do circuito divisor binário, e isto ocasiona um maior ganho ao sistema. Este ganho pode levar o sistema à instabilidade.

Nas figuras 5.24 e 5.25 é feita a comparação entre a estabilidade do sistema para duas frequências de referência. Na figura 5.24 a frequência de referência é de 19 Hz, e na figura 5.25 a frequência de referência é de 425 Hz.

A estabilidade do sistema é analisada através da corrente de armadura do motor. Quanto mais estável o sistema, menor variação na corrente de armadura.

Foi utilizado o mesmo filtro para os dois casos. O zero do filtro está em  $s = -3.03$ .

Nas figuras 5.24 e 5.25 são mostradas as curvas da corrente de armadura para diversas frequências do chopper.

Nota-se que as curvas da figura 5.24 são mais estáveis. Isto porque o ganho do sistema é baixo, e o sistema está em uma região estável.

O sistema utilizado para se obter as curvas da figura 5.25 possui um ganho elevado próximo da região de instabilidade.

### 5.6.4 CAOS NO PLL-DUAL

O pll-dual pode apresentar um comportamento caótico. Isto ocorre quando o ganho do sistema se torna elevado. A análise do sistema nesta situação está fora do objetivo deste estudo, e é feito por Adelheid I. M. Alvarez. Nas figuras 5.26a até 5.26e são mostradas diversas curvas da velocidade em função do tempo. Na figura 5.26a o sistema está na faixa de estabilidade.

Na figura 5.26b o sistema possui um ganho elevado, e mesmo atingindo o regime permanente, existe uma pequena oscilação em torno da velocidade de regime.

Na figuras 5.26c e 5.26d o sistema não consegue entrar em regime e fica chaveando continuamente do PLL para o DUAL e vice versa.

Na figura 5.26e o sistema está completamente instável, demonstrando um comportamento caótico.

#### 5.6.5 ANÁLISE DA VARIAÇÃO DO TEMPO DE CHAVEAMENTO DO PROPORCIONAL PARA O PLL.

O circuito detetor de nível, que determina a faixa de chaveamento e gera o sinal para o chaveamento, recebe a informação de um filtro passa-baixa. Variando-se a frequência de corte deste filtro passa-baixa, varia-se o atraso que o sinal sofre ao passar por este filtro. Desta forma é possível variar o tempo de chaveamento do proporcional para o PLL.

Na figura 5.27a a frequência de corte do filtro é 40Hz. O chaveamento é rapidamente feito da malha proporcional para o PLL.

Na figura 5.27b a frequência de corte do filtro é 9Hz,

e o chaveamento também é executado rapidamente.

Nas figuras 5.27c e 5.27d as frequências de corte são respectivamente 0.9Hz e 0.3Hz. O chaveamento é executado com atraso. O sistema proporcional estabiliza e depois é feito o chaveamento para o PLL.

Conclui-se que é melhor esperar o sistema proporcional atingir o regime e só então fazer o chaveamento.

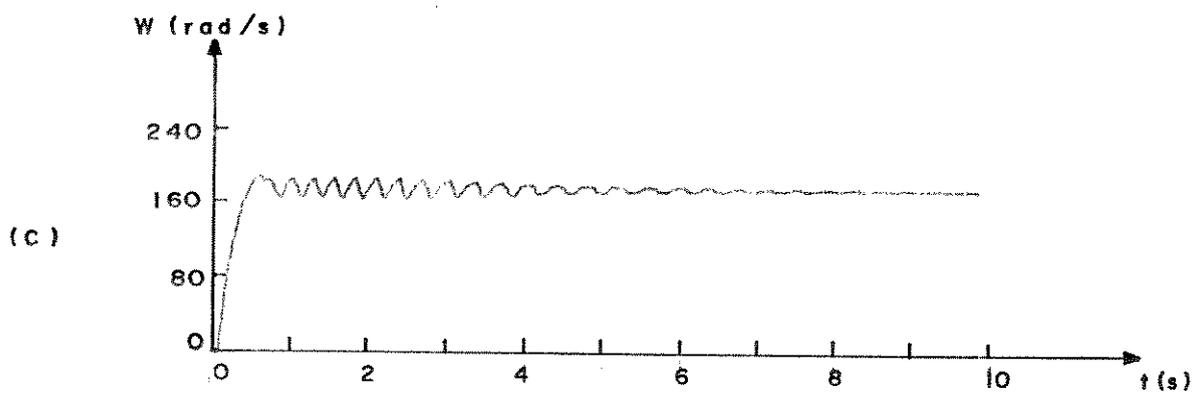
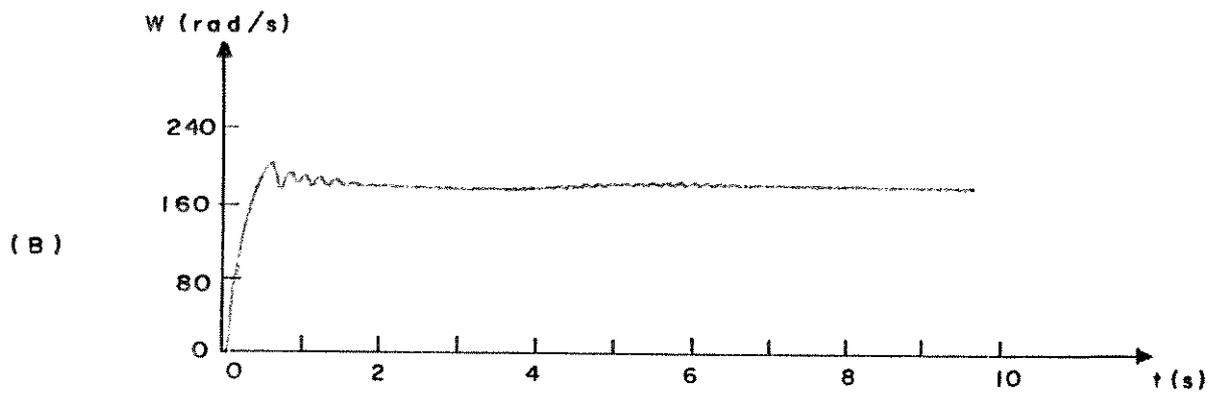
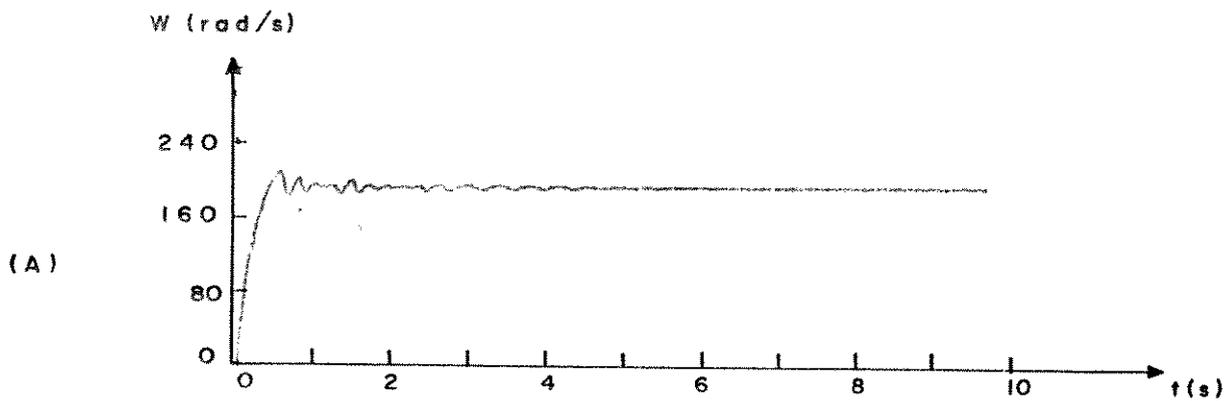


FIGURA 5.22 Curvas  $W = f(t)$  mostrando a resposta do sistema à um degrau.  
 (a) PLL-DUAL (b) Proporcional (c) PLL

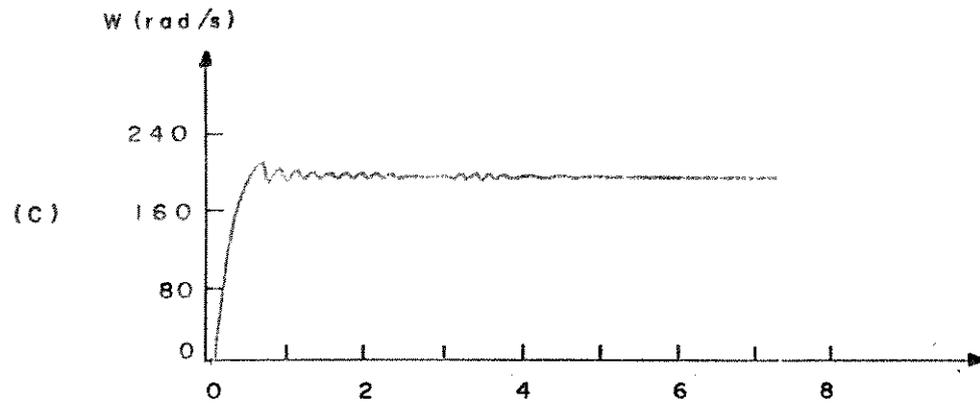
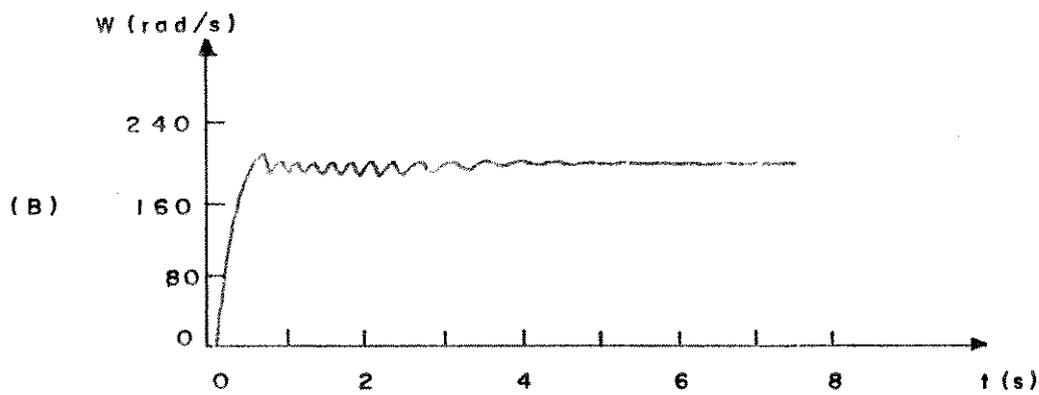
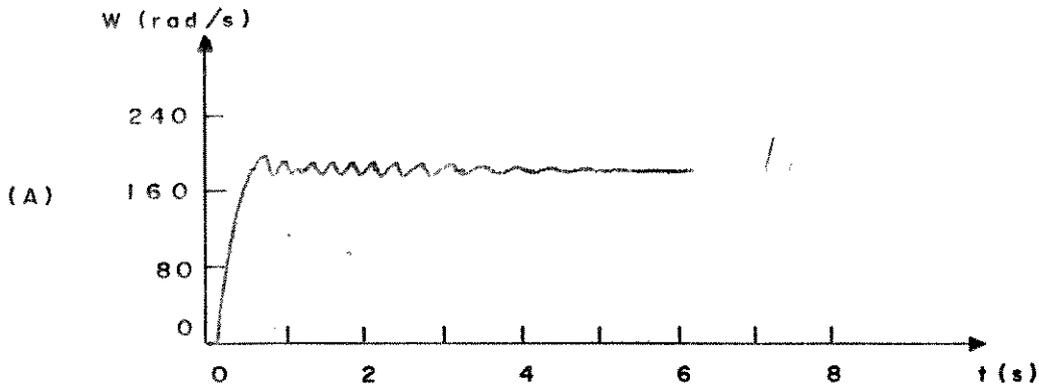


FIGURA 5.23 Curvas  $W = f(t)$  para diversas tensões de chaveamento ( $e_m$ ).  
 (a)  $e_m = 1.1$  V      (b)  $e_m = 0.6$  V  
 (c)  $e_m = 0.2$  V

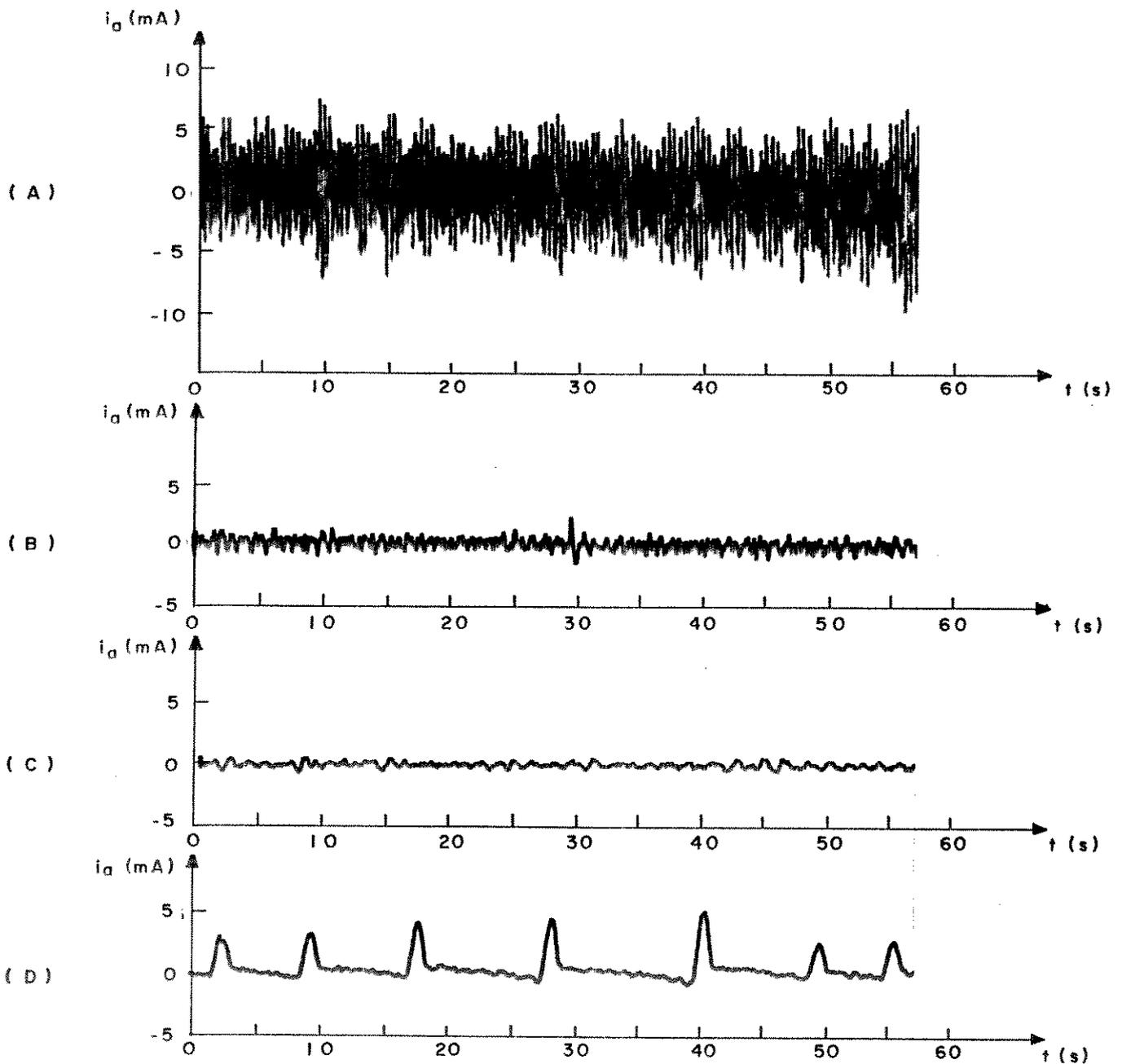


FIGURA 5.24 Curvas da corrente de armadura para diversas situações do zero do filtro  
 $f_{\text{chopper}} = 2.7 \text{ KHz}$        $f_{\text{ref}} = 14 \text{ Hz}$   
 (a)  $s = -0.035$       (b)  $s = -1.04$   
 (c)  $s = -3.03$       (d)  $s = -18$

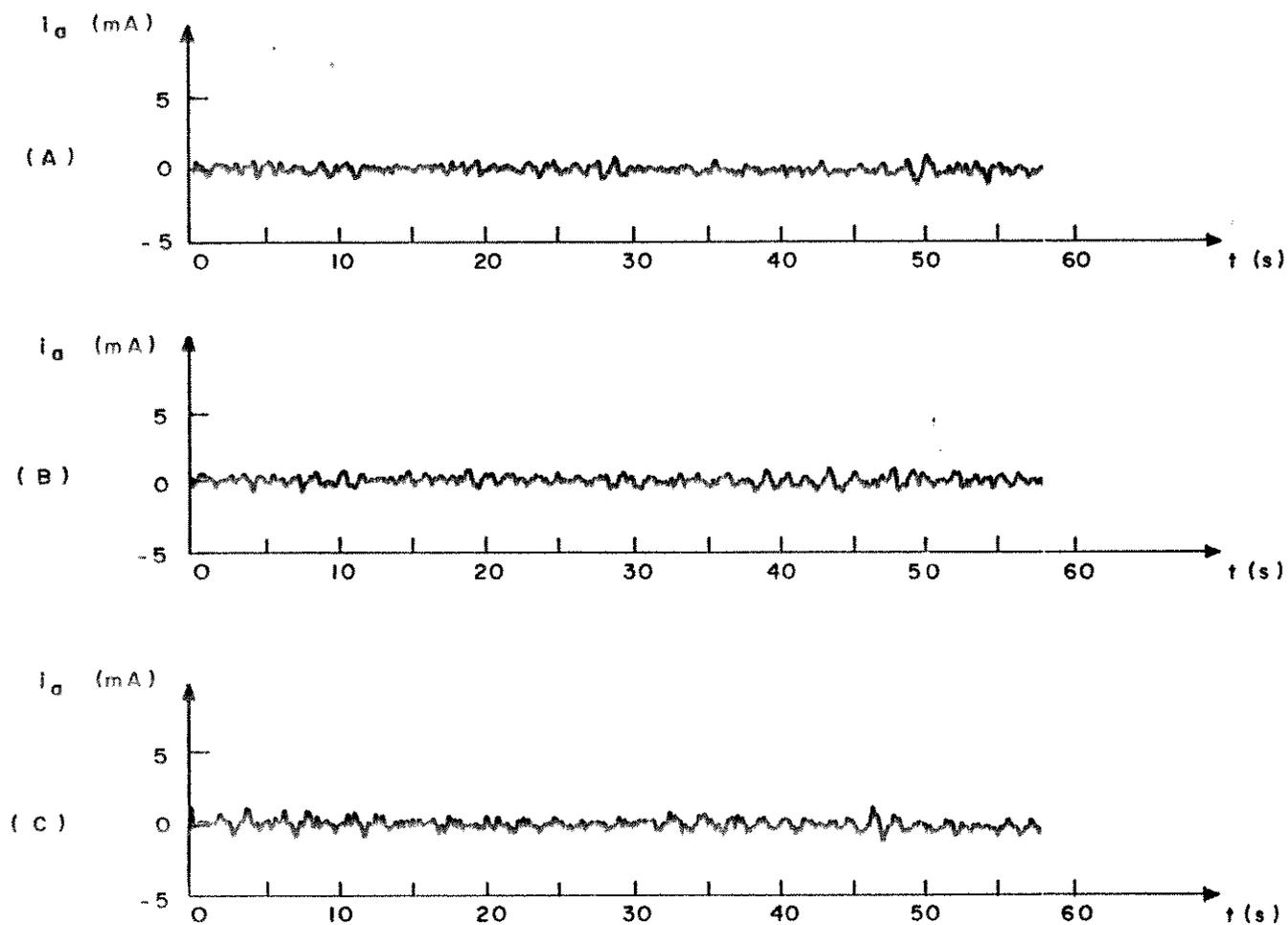


FIGURA 5.25 Curvas da corrente de armadura para diversas frequências do chopper  
 $f_{ref} = 19 \text{ Hz}$       zero do filtro  $s = -3.03$   
 (a)  $f_{chopper} = 1.8 \text{ KHz}$       (b)  $f_{chopper} = 2.7 \text{ KHz}$   
 (c)  $f_{chopper} = 2 \text{ KHz}$

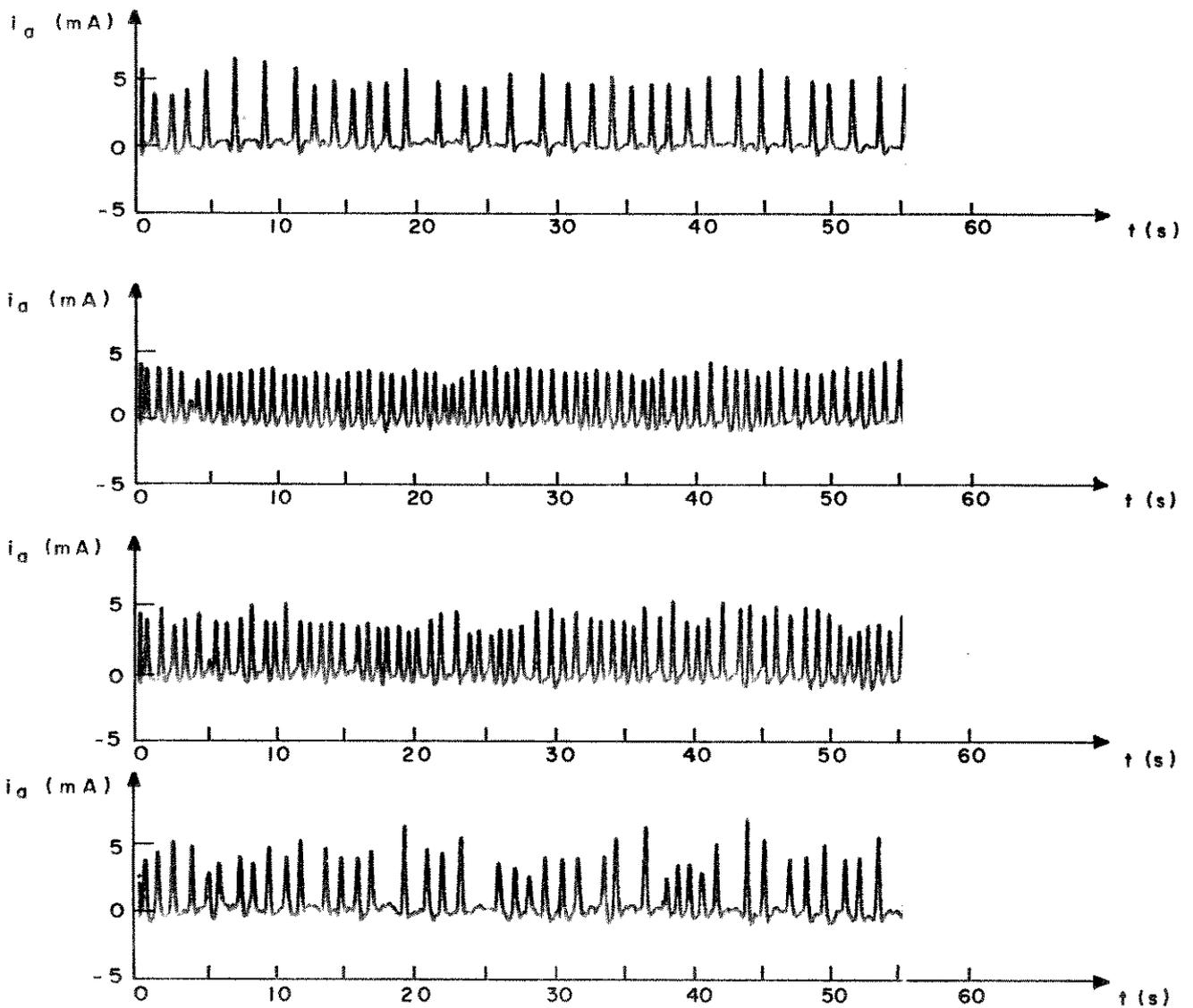


FIGURA 5.26 Corrente de armadura para diversas frequências do chopper.

$f_{ref} = 425 \text{ Hz}$

zero do filtro  $s = -3.03$

(a)  $f_{chopper} = 2.6 \text{ KHz}$

(b)  $f_{chopper} = 2.13 \text{ KHz}$

(c)  $f_{chopper} = 1.71 \text{ KHz}$

(d)  $f_{chopper} = 1.35 \text{ KHz}$

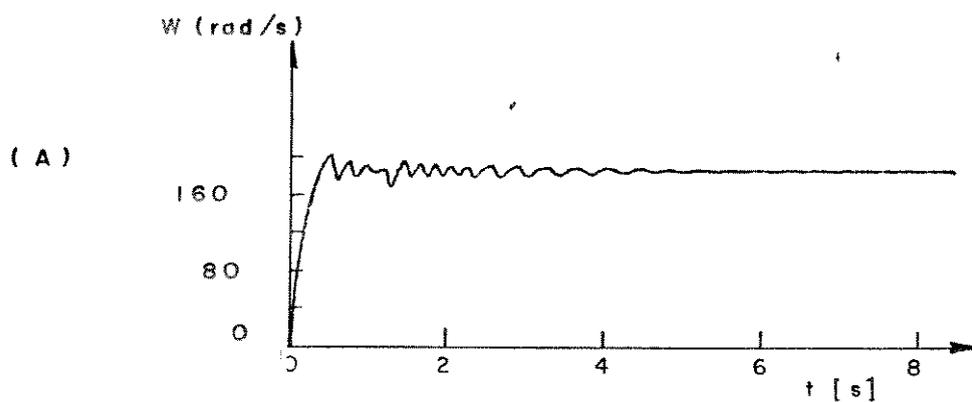
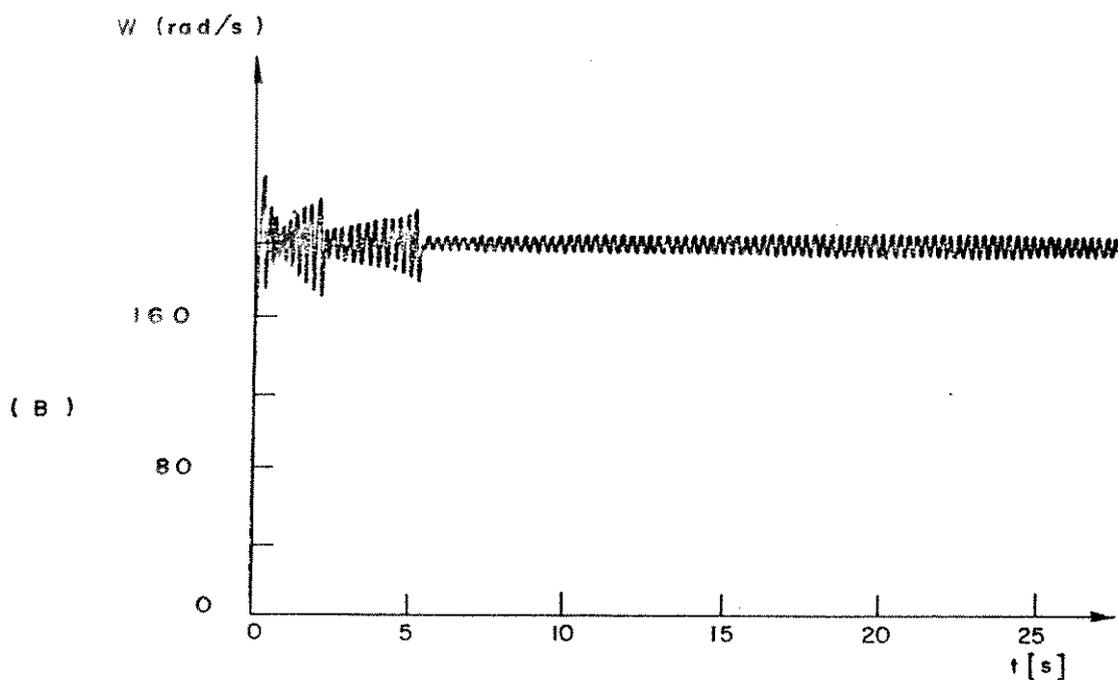


FIGURA 5.27 Diversas situações mostrando a possibilidade de caos no PLL-DUAL.  
 (a) sistema estável  $G=1.5 \cdot K_T$   
 (b) sistema com maior ganho  $G=2.0 \cdot K_T$

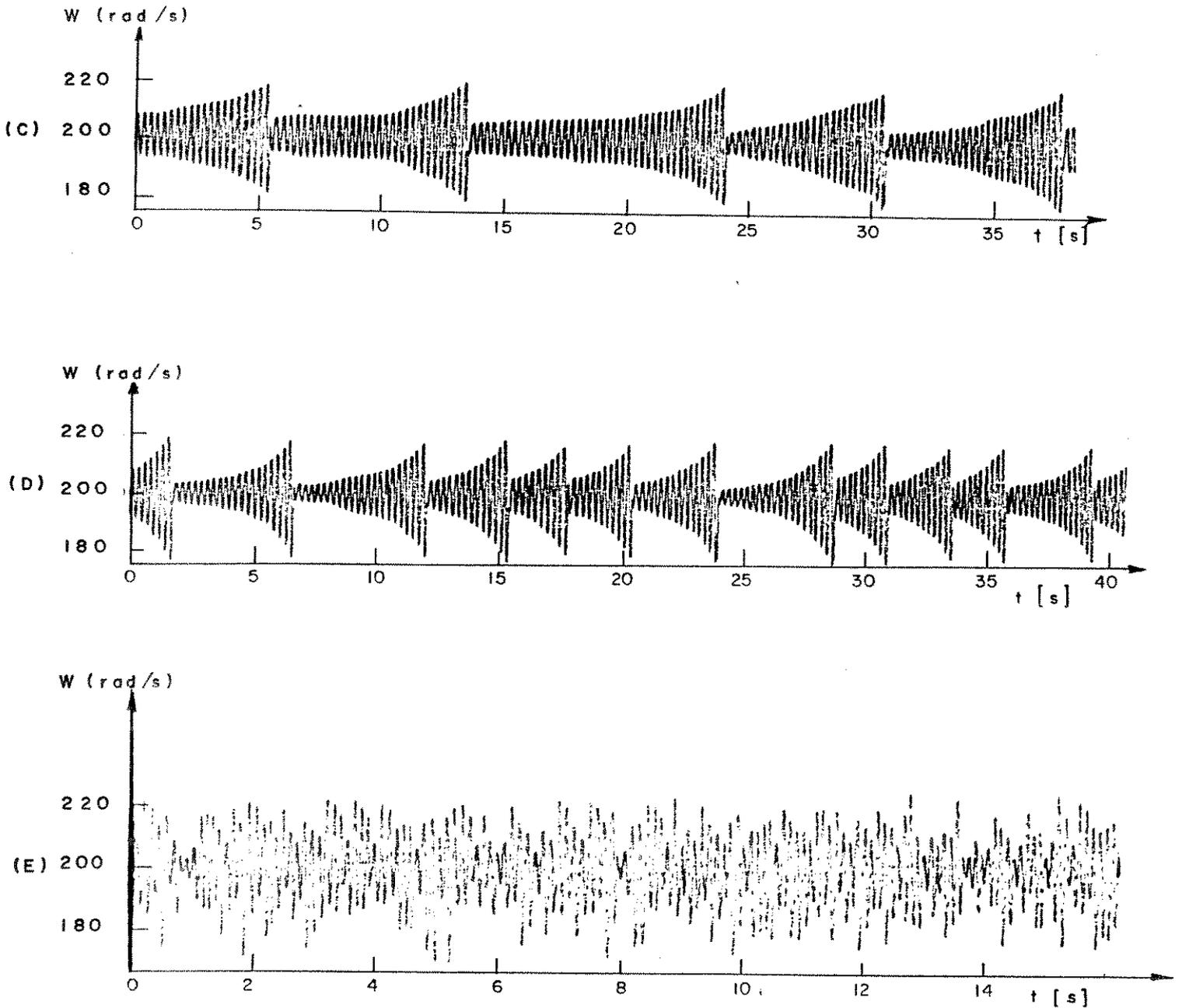


FIGURA 5.27 Possibilidade de caos no PLL-DUAL.  
 (c) O sistema está instável, chaveando PLL para proporcional e vice-versa  $G=2.5 \cdot K_T$   
 (d) sistema instável, chaveando PLL para proporcional e vice-versa  $G=2.7 \cdot K_T$   
 (e) sistema caótico  $G=8.5 \cdot K_T$

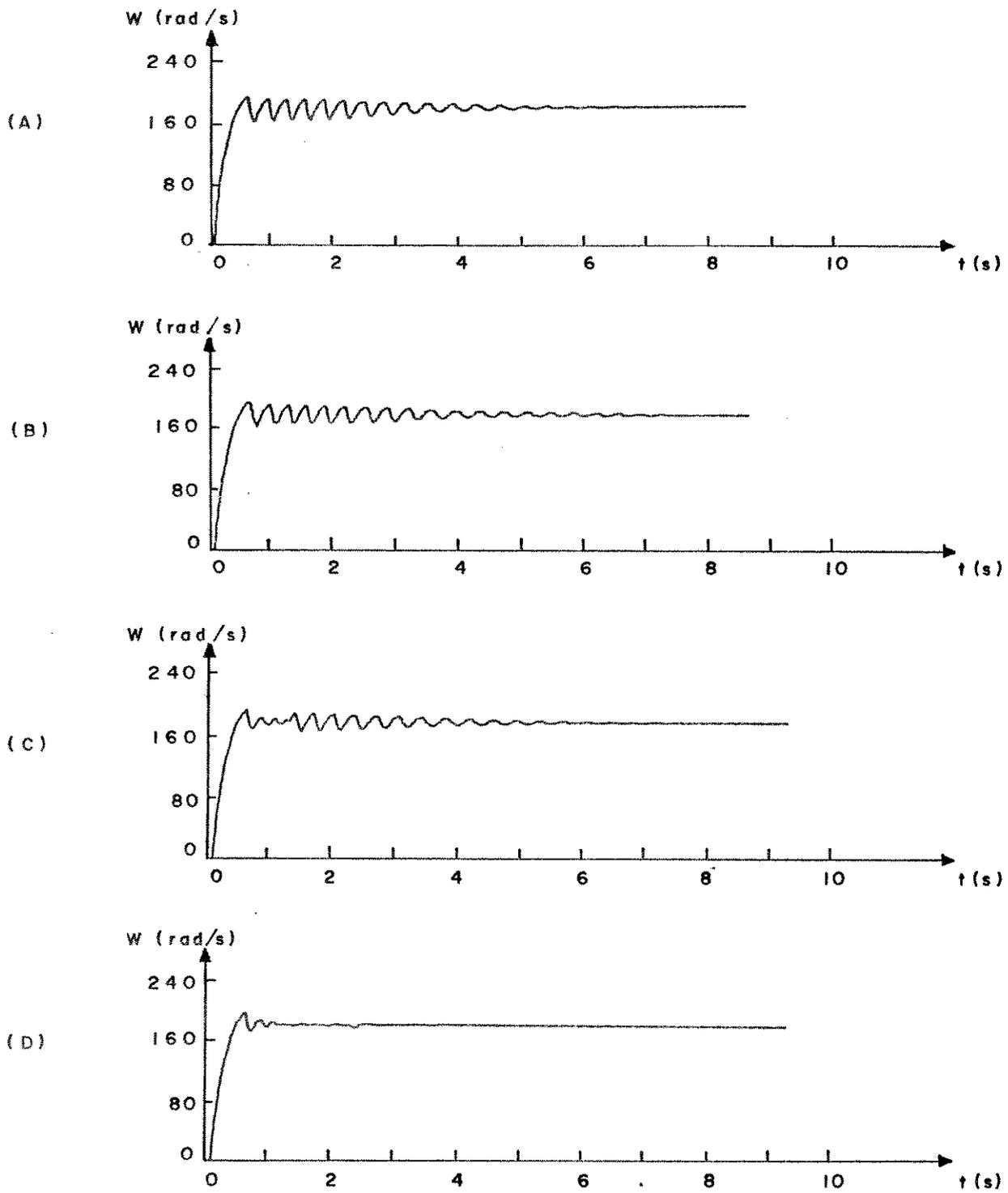


FIGURA 5.28 Variação do tempo de chaveamento do proporcional para o PLL. a)  $t_{ch} = 2.5\text{ms}$  b)  $t_{ch} = 0.1\text{s}$  c)  $t_{ch} = 1.1\text{s}$  d)  $t_{ch} = 3.3\text{s}$

## CAPÍTULO 6

### PLL DIGITAL

#### 6.1 INTRODUÇÃO

O circuito PLL-DUAL teve um comportamento satisfatório. Mas ainda possui um tempo de estabilização maior que o controlador proporcional.

Na tentativa de obter-se melhores resultados, foi implementado um PLL digital. Neste capítulo é feita análise de funcionamento do circuito e a análise de estabilidade do PLL digital.

O PLL digital escolhido foi o tipo Flip-Flop, pois este tipo de PLL não utiliza conversor A/D, e o processamento pode ser implementado com um microcomputador de baixa velocidade. Os tipos básicos de PLL digital são mostrados no apêndice C.

O diagrama em blocos do circuito a ser implementado é mostrado na figura 6.1 . O PLL digital é composto por um detetor de fase digital, um filtro digital, e um oscilador controlado digitalmente. No circuito a ser implementado, o Oscilador Controlado Digitalmente é substituído pelo motor e pelo encoder.

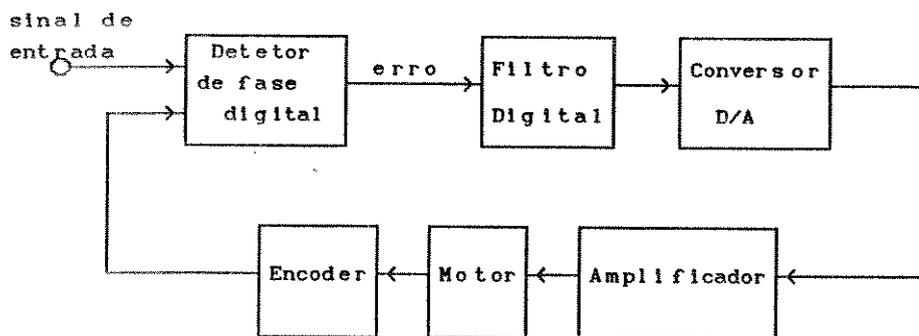


Figura 6.1 PLL digital.

## 6.2 PLL DIGITAL TIPO FLIP-FLOP.

O diagrama em blocos do detetor de fase tipo FLIP-FLOP (FF), é mostrado na figura 6.2 . Neste circuito na rampa de subida do sinal de referência é iniciada uma contagem. Na rampa de subida do sinal do encoder, a contagem é encerrada, e o valor obtido durante o período de contagem é armazenado no registro. Os detetores de rampa são construídos com flip-flops, daí a razão do nome PLL tipo flip-flop.

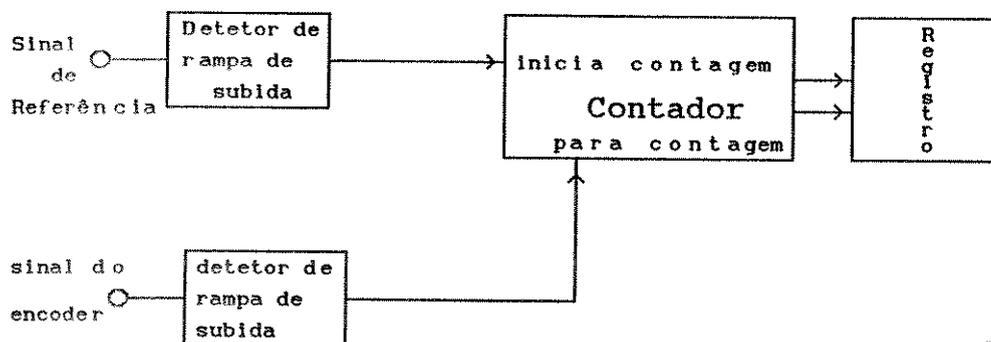


Figura 6.2 Detetor de fase tipo Flip-Flop.

O circuito completo do detetor de fase tipo Flip-Flop é

mostrado nas figuras 6.3 à 6.6. A detecção da rampa de subida dos sinais de referência e do encoder é feita pelos flip-flops tipo D , do CI CD4013. Este CI possui dois flip-flops D. Na condição inicial as saídas dos flip-flops estão em nível zero. A entrada D dos flip-flops esta conectada a um nível lógico Alto.

Na rampa de subida do sinal de referência, a saída Q1 assume nível lógico alto e habilita a contagem.

Na rampa de subida do sinal do encoder a saída Q2 assume nível alto, zerando os flip-flops. Neste instante a contagem é interrompida.

A contagem é feita por dois CIs CD4520, que são contadores módulo 256. Na configuração utilizada o módulo total de contagem é 65.536.

Também na rampa de subida do sinal de referência é gerado, através do flip-flop JK do CI CD4027, o sinal de interrupção para o microprocessador, e o sinal de reset dos contadores. Neste momento recomeça uma nova contagem do defasamento entre os sinais , e o microprocessador faz a leitura da última contagem armazenada nos registros.

Os registros são implementados com flip-flops tipo D. O CI utilizado foi o CD4042 que possui 4 flip-flops tipo D.

A PIO-1 foi utilizada para fazer a interface entre o microcomputador e o detetor de fase.

Na figura 6.7 são mostradas as principais formas de ondas do circuito.

O sinal de referência deve ter nível alto na maior parte do tempo. Isto porque este sinal será também utilizado para registrar a contagem, e a informação é armazenada com nível zero. Na figura 6.8 é mostrada a forma de se obter o sinal de referência.

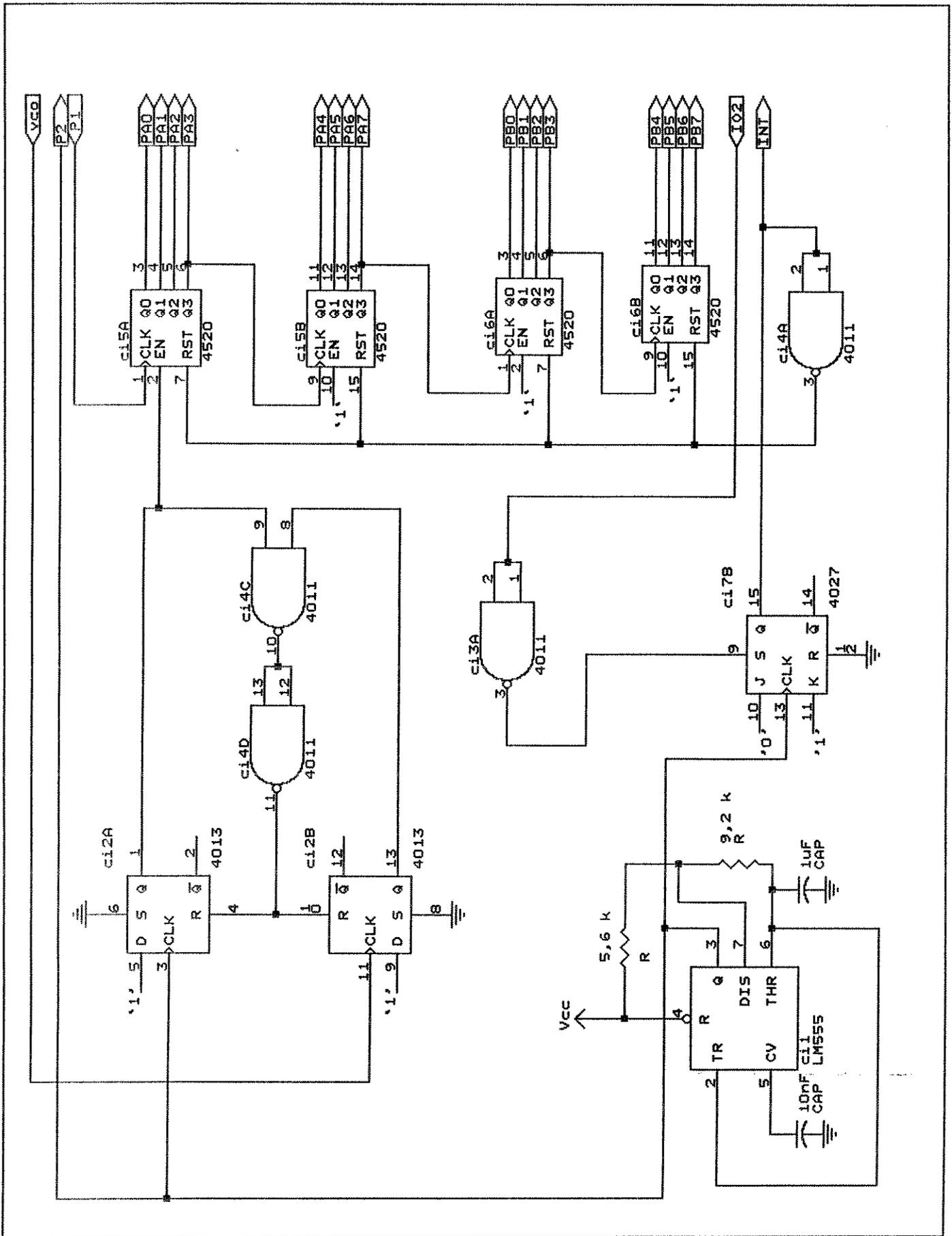


FIGURA 6.3 DETETORES DE RAMPA E CONTADORES

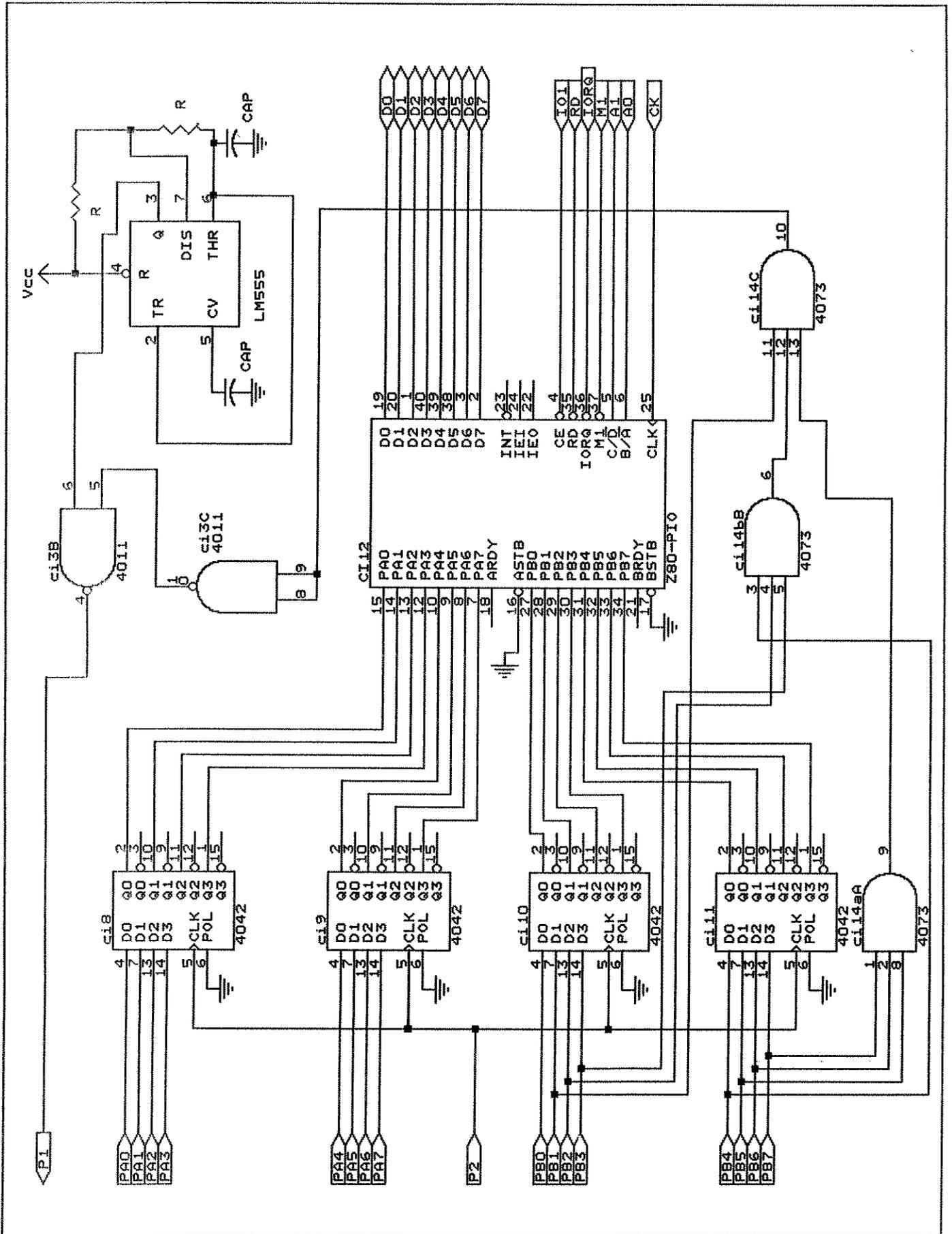


FIGURA 6.4 REGISTROS E INTERFACE DE ENTRADA



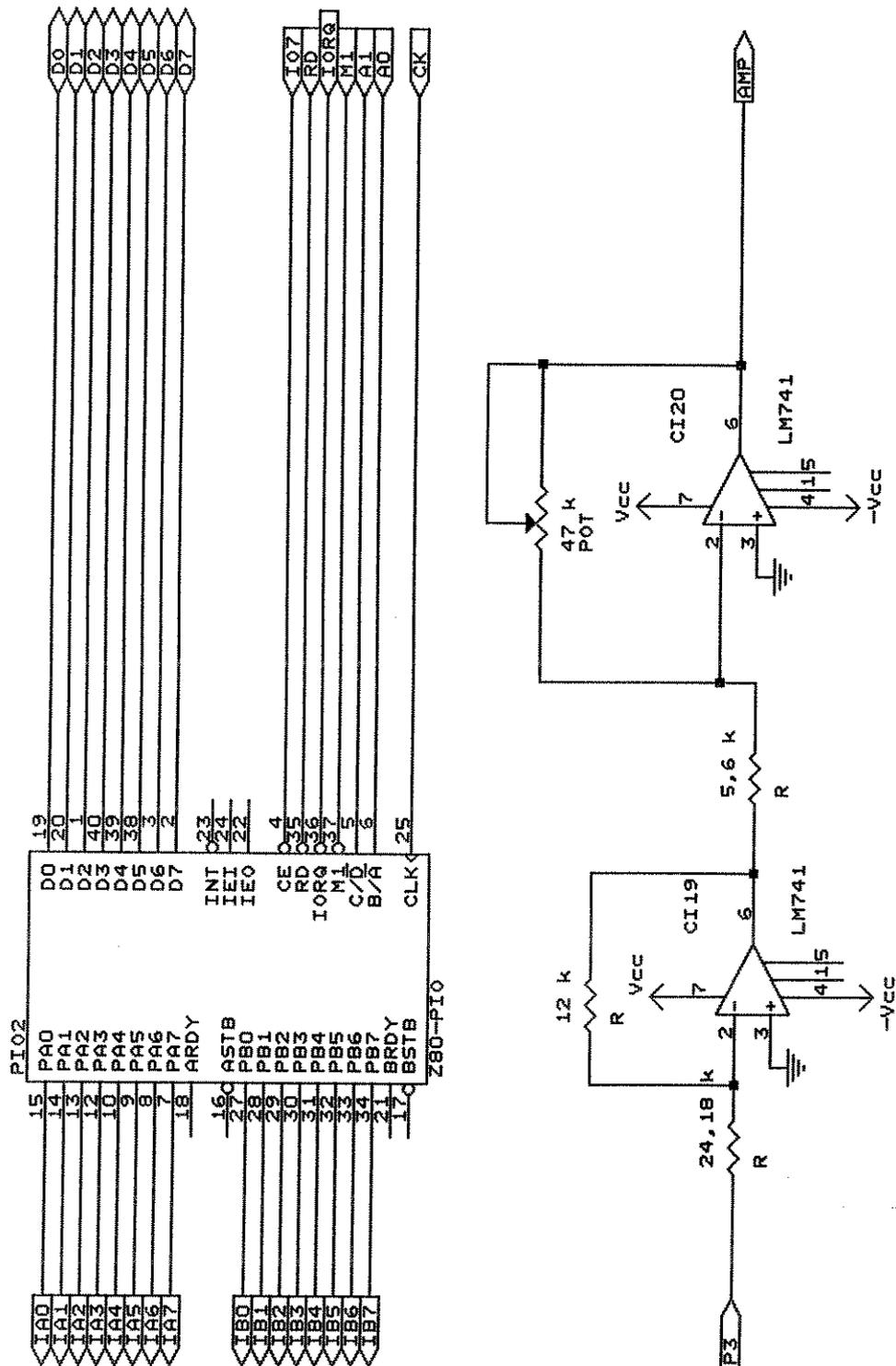


FIGURA 6.6 INTERFACE DE SAIDA

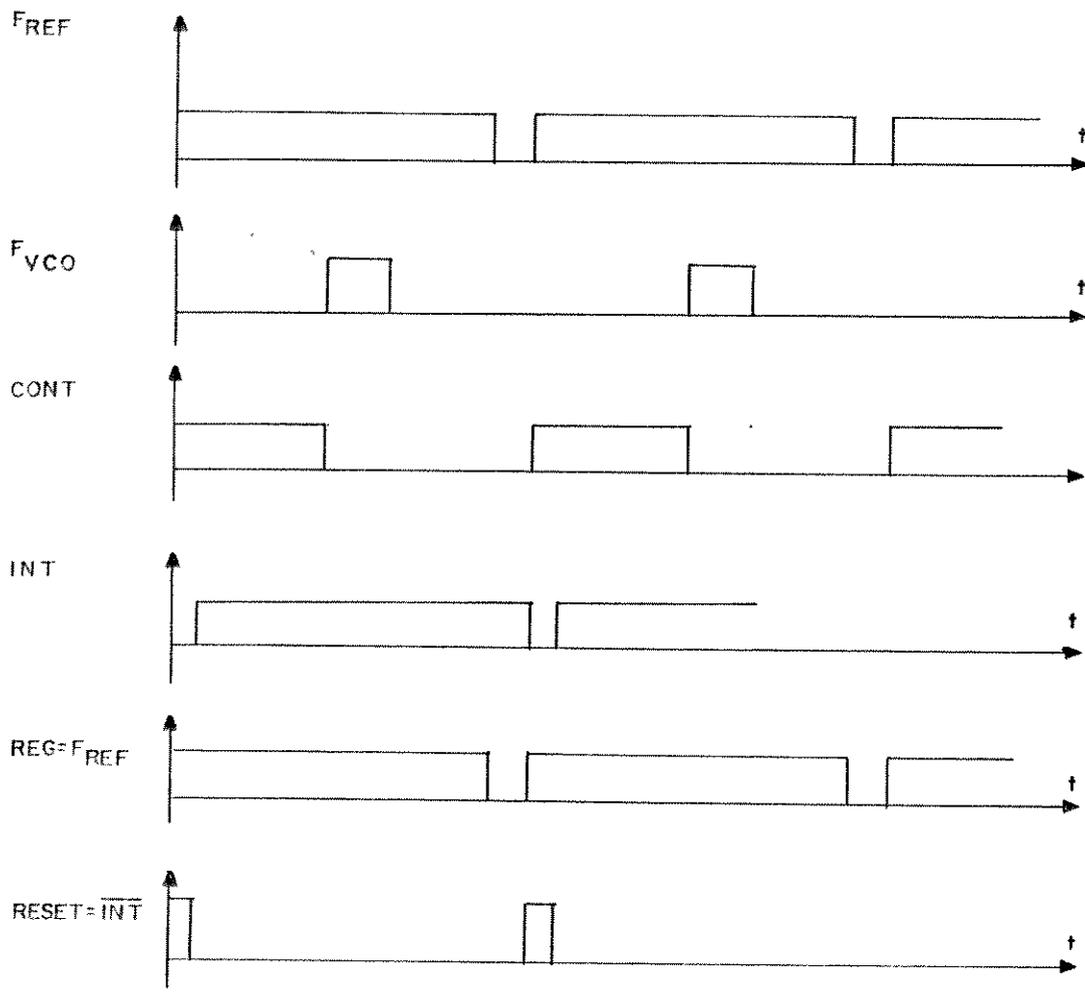


FIGURA 6.7 FORMAS DE ONDA DO PLL DIGITAL

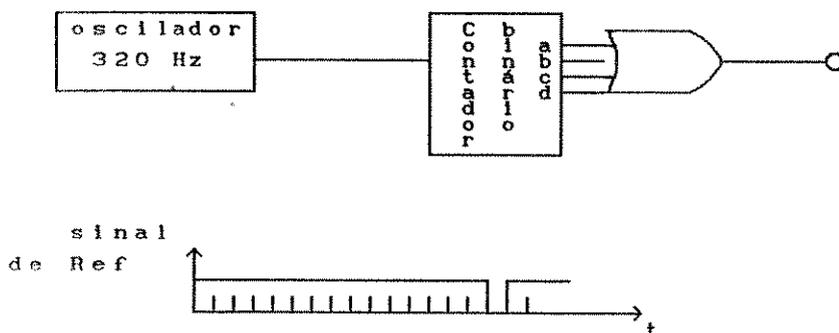


Figura 6.8 Obtenção do sinal de referência.

O circuito do conversor Digital-Analógico (D/A) é mostrado na figura 6.5 . Foi utilizado uma porta paralela (PIO) para fazer a interface entre o microprocessador e a rede R-2R. Para não sobrecarregar a PIO utilizou-se portas E como buffer.

### 6.3 INTERFACE PARALELA ( PIO )

Para fazer a interface entre o microcomputador, o detetor de fase digital e o conversor D/A foram utilizadas interfaces paralelas programáveis. A interface utilizada foi a PIO - Peripheral Input Output.

A PIO possui duas portas de 8 bits, que podem ser utilizadas como entradas ou saídas. A seleção de qual porta será utilizada é feita através do pino  $B/\bar{A}$  SEL existente na PIO. No circuito projetado, o pino  $B/\bar{A}$  SEL foi ligado em Ao.

Se  $B/\bar{A}$  SEL = 0, a porta A é selecionada.

Se  $B/\bar{A}$  SEL = 1, a porta B é selecionada.

Deve-se também selecionar se a informação que está sendo aplicada é um dado ou uma palavra de controle. Esta seleção é feita através do pino C/ $\bar{D}$  SEL da PIO. No circuito implementado o pino C/ $\bar{D}$  SEL foi ligado em A<sub>1</sub> do microprocessador.

Se C/ $\bar{D}$  SEL = 0, a PIO interpreta a informação recebida como dado.

Se C/ $\bar{D}$  SEL = 1, a PIO interpreta a informação recebida como palavra de controle.

Antes de se utilizar a PIO deve-se programá-la. A programação é feita aplicando-se uma palavra de controle que indica o modo que a PIO será utilizada. A forma de se montar a palavra de controle é indicada na figura 6.9 .

$\boxed{M_0 \ M_1 \ X \ X \ 1 \ 1 \ 1 \ 1}$

onde

M0	M1	MODO
0	0	saida
0	1	entrada
1	0	bidirecional
1	1	controle

X - não importa

Figura 6.9 Palavra de controle da PIO.

Os níveis lógicos definidos em M<sub>0</sub> e M<sub>1</sub> determinam a função das portas da PIO.

A PIO 1 será programada como uma interface de entrada, então a palavra de controle a ser utilizada será:

$[01001111]$  ou  $[4F]_H$ .

Para selecionar a PIO 1 será utilizado o endereço:

$[0000 \ 01A_1A_0]$ , onde A<sub>0</sub> seleciona a porta a ser utilizada e A<sub>1</sub> seleciona se é dado ou palavra de controle.

As situações obtidas são as seguintes :

Endereço	Função
04	dado porta A
05	dado porta B

06                    controle porta A  
 07                    controle porta B

A PIO 2 será programada como interface de saída. A palavra de controle neste caso será:

[0000 1111] ou [0F]<sub>H</sub>.

Para selecionar a PIO 2 serão utilizados os endereços 0001 11A<sub>1</sub>A<sub>0</sub>. As situações obtidas são as seguintes :

Endereço	Função
1C	dado porta A
1D	dado porta B
1E	controle porta A
1F	controle porta B

#### 6.4 ANÁLISE DA ESTABILIDADE DO PLL DIGITAL.

O diagrama em blocos do modelo linear do PLL digital é mostrado na figura 6.10 .

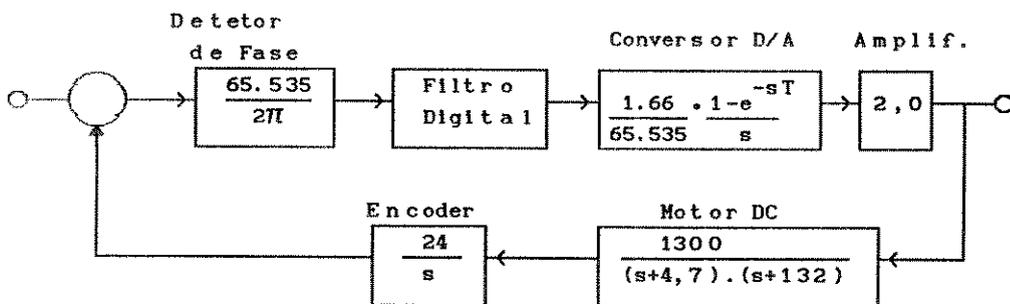


Figura 6.10 Diagrama em blocos do modelo PLL digital

Quando o sistema está trancado, na saída do detetor de fase é obtida uma contagem que é proporcional à diferença de fase dos sinais na entrada. Desta forma o ganho do detetor de fase é dado por:

$$K_d = 65535/2\pi = 10435,5.$$

O valor 65535 é o máximo valor de contagem obtido com o máximo defasamento.

O circuito possui uma parte analógica e uma parte digital. Para fazer a análise da estabilidade, deve-se fazer a discretização dos blocos analógicos. A equação dos blocos a serem discretizados é dada por:

$$G(z) = K_T \cdot (1-z^{-1}) \cdot Z \left( \frac{1}{s^2 \cdot (s + 4,7) \cdot (s + 132)} \right) \quad (6.1)$$

onde  $K_T$  é o ganho total do sistema,

Aplicando-se a transformada  $Z$  na equação (6.1), obtem-se

$$G(z) = K_T \cdot \frac{2,0 \cdot 10^{-6} \cdot (z^2 + 1,9z + 0,144)}{(z - 1) \cdot (z - 0,868) \cdot (z - 1,9 \cdot 10^{-2})} \quad (6.2)$$

O detetor de fase é não linear, pois só responde a defasamentos positivos. Para defasamentos negativos, a saída é zero.

O circuito do sistema PLL digital já discretizado é mostrado na figura 6.11 .

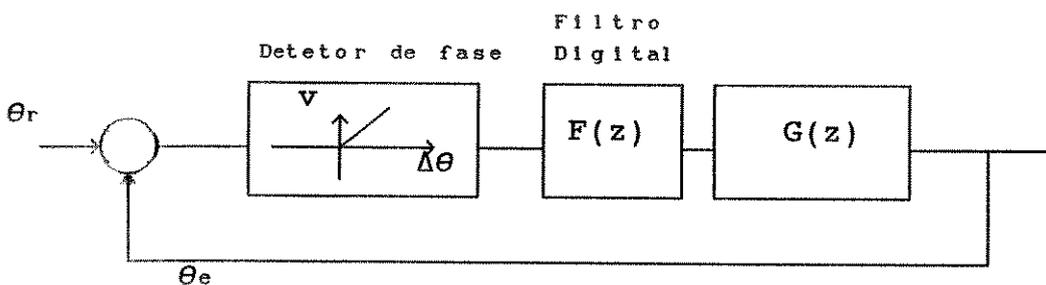


Figura 6.11 Modelo PLL digital

A função de transferência do filtro digital é representada como  $F(z)$ . O sistema a ser controlado é representado como  $G(z)$ .

Para se fazer a análise da estabilidade será utilizado o critério de Popov, pois a não linearidade encontra-se no setor  $[0, K)$ .

O critério de Popov para sistemas digitais é enunciado da seguinte forma: " É condição suficiente para a estabilidade absoluta do sistema da figura 6.11 que

Parte real de  $G(z)F(z) + 1/K > 0$ ,  
sobre a circunferência  $|z| = 1$  ".

A não linearidade está localizada no setor  $[0, 0.27)$ , como é mostrado na figura 6.12 .

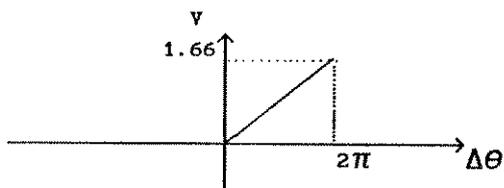


Figura 6.12 Não linearidade do detector de fase

Então a condição suficiente para o sistema ser estável, é que  $\text{Re}[GF(z)] > -3.7$ .

Inicialmente será feita a análise para um sistema sem filtro, isto é  $F(z) = 1$ .

A análise da função é feita apenas sobre a circunferência unitária. Definindo-se a variável complexa como  $z = a + jb$ , e como se quer varrer apenas o círculo unitário será imposta a condição  $b = (1 - a^2)^{1/2}$ .

Após feita a substituição em  $GF(z)$ , obtem-se uma equação na forma:

$$GF(z) = \text{Re}[GF(z)] + j\text{Im}[GF(z)].$$

Para o caso sem filtro, os cálculos indicam que o máximo valor negativo para  $\text{Re}[FG(z)] = -23$ . Neste caso não se pode garantir a estabilidade absoluta do sistema.

Na prática o sistema teve um comportamento instável.

Então será necessário acrescentar um compensador ao sistema buscando-se atingir uma região de estabilidade.

Para fazer a compensação foi utilizado um filtro digital. A equação do compensador digital é mostrada a seguir:

$$F(z) = \frac{z - ze}{z + p} \quad (6.3)$$

Para se determinar quais são os melhores valores para  $ze$  e  $p$ , foi desenvolvida uma equação que fornece o ganho do sistema em função de  $ze$  e  $p$ . Para facilitar a análise, o zero foi representado como uma função do polo, isto é  $ze = K.p$ .

Desta forma o gráfico  $\text{Re}[FG]$  foi obtido para diversos valores de  $p$  e  $k$ , procurando-se a melhor relação entre eles. Os gráficos são mostrados nas figuras 6.17. Por estas curvas pode-se ver que a melhor situação ocorre para  $p=1$  e  $ze=-1$ .

Na prática foi utilizado o filtro:

$$F(z) = \frac{z - 0,6}{z + 1} \quad (6.3a)$$

A equação do sistema, com a compensação, é dada pela equação 6.4.

$$(6.4) \quad G(z) \cdot F(z) = \frac{z - 0,6}{z + 1} \frac{K_T \cdot 2,0 \cdot 10^{-6} \cdot (z^2 + 1,9z + 0,144)}{(z - 1) \cdot (z - 0,868) \cdot (z - 1,9 \cdot 10^{-2})}$$

Para  $G(z)F(z)$  o máximo valor negativo obtido foi,  $\text{Re}[G(z)F(z)] = -6.28$ .

Para o sistema compensado a análise de Popov nos leva para:

$\text{Re}[G(z)F(z)] = -6.28 < -3.7$ . Pelo resultado não se pode dizer nada com relação à estabilidade.

Diminuindo o ganho do sistema, dividindo-o por dois, obtem-se  $\text{Re}[G(z)F(z)] = -3.14 > -3.7$ , e por este resultado pode-se garantir a estabilidade do sistema.

Na prática o sistema permaneceu estável para os dois casos.

A filtragem será feita pelo microcomputador. É necessário escrever a equação do compensador na forma de equação à diferença. A equação do compensador é repetida a seguir:

$$F(z) = \frac{V_0}{V_1} = \frac{z - 0,6}{z + 1} \quad (6.3)$$

A equação (6.3) pode ser escrita na seguinte forma:

$$V_0 + z^{-1} \cdot V_0 = V_1 - z^{-1} \cdot 0,6 \cdot V_1$$

Isolando o termo  $V_0$ , obtem-se a equação recorrente:

$$V_0 = V_1 - 0,6 \cdot V_{1-1} - V_{0-1} \quad (6.5)$$

## 6.5 PROGRAMA

O programa será dividido em duas rotinas. A primeira é a rotina de inicialização. Nesta rotina as PIOs são programadas, e define-se o endereço da rotina de interrupção.

A outra rotina é a de interrupção. Esta rotina lê o valor dos registros, efetua o cálculo da equação à diferenças e envia o valor obtido para o conversor D/A.

A equação à diferenças implementada é a seguinte:

$$V_0 = V_1 - 0,6 \cdot V_{1-1} - V_{0-1} .$$

O valor  $V_1$  é colocado no par HL, o valor  $V_{1-1}$  é colocado no par DE e o valor  $V_{0-1}$  é colocado no par BC.

O programa principal e a rotina de interrupção são listados a seguir :

### Programa de Inicialização

LABEL	OP CODE	OPERANDO	COMENTÁRIO
INIC	LD	A,0F	; palavra de controle da PIO 1 em A
	OUT	(1E),A	; a porta A da PIO 1 é programada.
	OUT	(1F),A	; a porta B da PIO 1 é programada.
	LD	A,4F	; palavra de controle da PIO 2 em A
	OUT	(06),A	; a porta A da PIO 2 é programada.
	OUT	(07),A	; a porta B da PIO 2 é programada.

```

IM 1 ; interrupção MODO 1.
LD A,50 ;
LD (18F8),A ; define o endereço 1950 como o endere-
LD A,19 ; reço da rotina de interrupção.
LD (18F9),A ;
SALTO EI ; habilita a interrupção
JP SALTO ; pula para o endereço Salto e fica
; executando o loop até ser interrom-
; pido.

```

### ROTINA DE INTERRUPÇÃO

LABEL	OP CODE	OPERANDO	COMENTÁRIO
INT	POP		; posiciona a pilha corretamente
	DI		; desabilita a interrupção
	IN	A, (04)	; lê a porta A da PIO 1
	LD	L,A	; armazena o dado lido em L
	IN	A, (05)	; lê a porta B da PIO 1
	LD	H,A	; armazena o dado lido em H
	NOP		; nenhuma operação
	NOP		; nenhuma operação
	LD	(1A00),HL	; carrega o valor de HL em (1A00)
	SRL	D	; rotaciona D
	RR	E	; rotaciona E
	SRL	D	; rotaciona D
	RR	E	; rotaciona E
	OUT	(08),A	; ativa a linha IO2 para setar o FFJK
	SCF		; Cy=0
	CCF		; Cy=0
	SBC	HL,DE	; calcula-se $(V_i - 0,25.V_{i-1})$
	JP	C,PULO	; se resultado negativo vai para PULO
	SBC	HL,BC	; calcula-se $(V_i - 0,25.V_{i-1} - V_{o-1})$
	JP	NC,SALTO1	; se resultado positivo vai para SALTO1
PULO	LD	A,00	; envia zero para o conversor D/A
	LD	H,A	; envia zero para o conversor D/A
	LD	L,A	; envia zero para o conversor D/A
SALTO1	LD	A,H	; envia dado para o conversor D/A
	OUT	(1D),A	; envia dado para o conversor D/A
	LD	A,L	; envia dado para o conversor D/A
	OUT	(1C),A	; envia dado para o conversor D/A
	LD	B,H	; $V_o$ é colocado em BC
	LD	C,L	; $V_o$ é colocado em BC
	LD	DE,(1A00)	; dado lido na entrada é colocado em DE
	EI		; habilita interrupção
	RETI		; retorno da interrupção

As instruções em hexadecimal são listadas a seguir:

INIC	Endereço	Instruções
	1900	3E 0F
	1902	D3 1E
	1904	D3 1F
	1906	3E 4F
	1908	D3 06
	190A	D3 07

190C	ED 56
190E	3E 50
1910	32 F8 18
1913	3E 19
1915	32 F9 18
1918	FB
1919	C3 18 19

INT	1950	E1
	1951	F3
	1952	DB 04
	1954	6F
	1955	DB 05
	1957	67
	1958	00
	1959	00
	195A	22 00 1A
	195D	CB 3A
	195F	CB 1B
	1961	CB 3A
	1963	CB 1B
	1965	D3 08
	1967	37
	1968	3F
	1969	ED 52
	196B	DA 73 19
	196E	ED 42
	1970	D2 77 19
	1973	3E 00
	1975	67
	1976	6F
	1977	7C
	1978	D3 1D
	197A	7D
	197B	D3 1C
	197D	44
	197E	4D
	197F	ED 5B 00 1A
	1983	FB
	1984	ED 4D

## 6.6 ERROS INTRODUZIDOS DEVIDO ÀS LIMITAÇÕES FÍSICAS DO SISTEMA DE CONTROLE DIGITAL

Toda a análise desenvolvida anteriormente supunha um sistema teórico sem limitações. Na prática os sistemas de controle digitais possuem diversas limitações. Uma das mais importantes é o tamanho limitado da palavra binária utilizada. Normalmente o

comprimento da palavra é limitado pelo tamanho da palavra do microprocessador utilizado, ou por um outro fator físico que impeça a utilização de um maior número de bits. Esta limitação pode afetar a controlabilidade e a estabilidade do sistema de controle.

Um outro problema que afeta o desempenho do sistema é o tempo de processamento. No caso ideal o tempo de processamento deveria ser zero. Mas isto é impossível de ser conseguido, então o que se procura obter na prática é um tempo de processamento pequeno em relação à dinâmica do sistema.

A limitação devido ao tamanho finito da palavra binária é explicada a seguir. Suponha um sistema digital com as seguintes equações dinâmicas:

$$X( K + 1 ) = A.X( K ) + B.u( K ) \quad (6.6)$$

onde  $u( K )$  é o sinal de entrada. Será assumido que  $u( K )$  é restrito a um conjunto quantizado de valores, isto é :

$$u( K ) = n_k . q \quad \text{onde } n_k = 0, \pm 1, \pm 2, \dots$$

e  $q$  é o nível de quantização, e

$$y( K ) = C.X( K ) .$$

A solução da equação 6.6 é dada por:

$$X( N ) = A^N . x(0) + q . \sum_{K=0}^{N-1} A^{N-K-1} . B . n_k \quad (6.7)$$

Desde que  $u( K )$  é limitado aos níveis  $n_k . q$  , o estado final  $X( N )$  será limitado a um conjunto de valores. Para que o sistema fosse controlável  $X( 0 )$  deveria atingir qualquer ponto  $X( N )$  no espaço de estados. Como  $u( K )$  é limitado,  $X( N )$  atingirá apenas valores limitados.

Isto significa que para o sistema atingir o regime permanente o sinal de erro deve assumir alguns valores específicos, mas que devido à limitação da palavra binária, estes valores nunca serão obtidos. O sistema ficará oscilando em torno dos valores sem

nunca atingir o regime permanente.

O nível de quantização é obtido através da equação:

$$q = 2^{-\text{comprimento da palavra}}$$

Por exemplo, suponha um sistema com tamanho de palavra de 3 bits ,como o mostrado na figura 6.13 . Neste caso  $q=1/8 = 0,125$ .

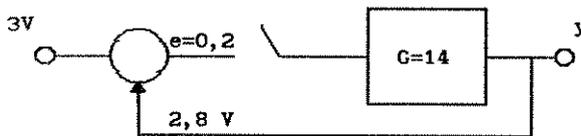


Figura 6.13 Exemplo do erro devido ao tamanho finito da palavra binária

O sistema da figura 6.13 representa um sistema de controle proporcional, em malha fechada. Se o sistema fosse contínuo ele seria estável para um valor de saída de 2,8 V.

Mas se o sistema for digital, o valor do erro deve ser discretizado. Como o sistema é limitado em 3 bits, o valor em binário mais próximo de 0,2 seria 0,001 o que equivale a 0,125 em decimal. O valor obtido na saída seria  $y= 1,75$ .

O novo erro seria de 1,25 , que amplificado e realimentado resultaria em valores que nunca atingiriam o regime permanente. O sistema seria oscilatório.

## 6.7 RESULTADOS

Na figura 6.14 é mostrada o sinal de corrente do motor, com o sistema trancado. Pode-se notar que a corrente fica oscilando em torno de um ponto de equilíbrio devido à característica da palavra binária ter um comprimento limitado. Pode-se notar também que o

sistema é muito influenciado por ruídos. Isto pode ser melhor visto na figura 6.15, onde a escala de corrente foi ampliada.

Na figura 6.16 é mostrada a curva de corrente do motor, mostrando o tempo que PLL digital demora para entrar em trancamento de fase.

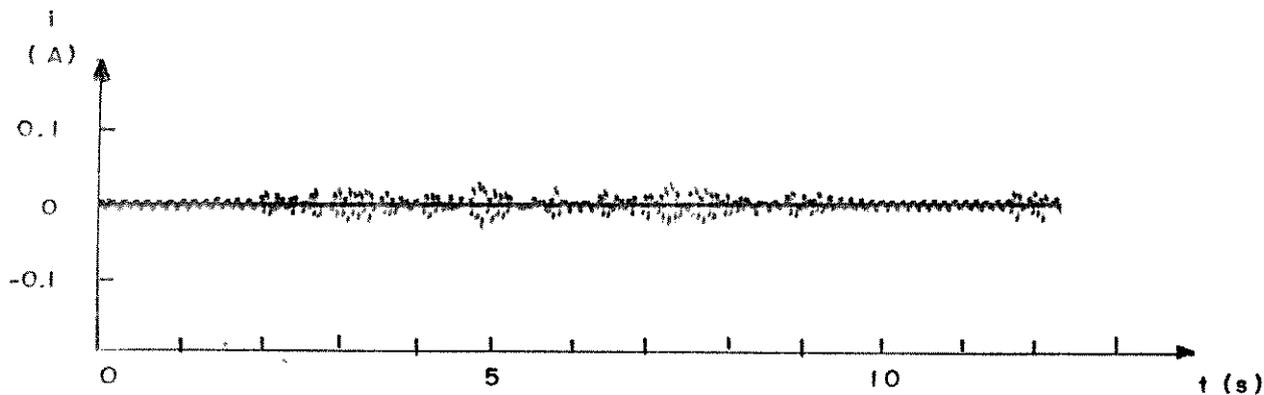


FIG. 6.14

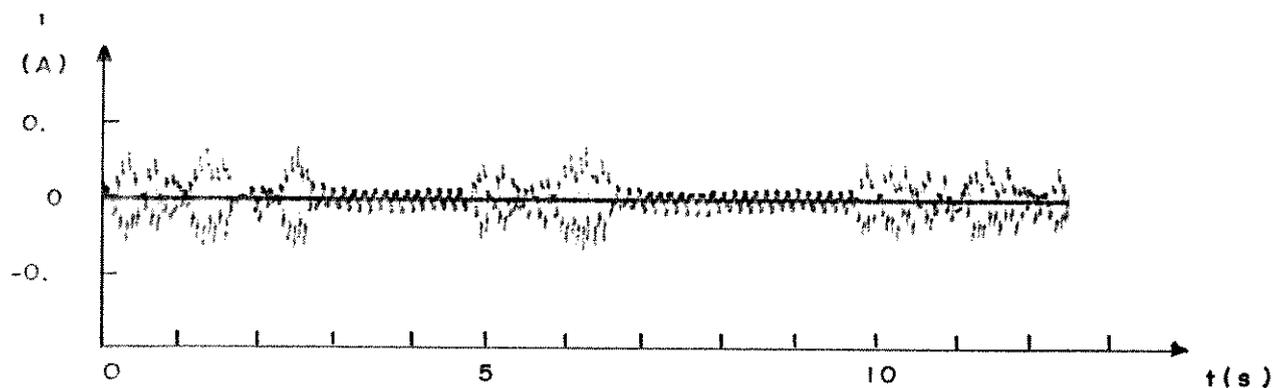


FIG 6.15

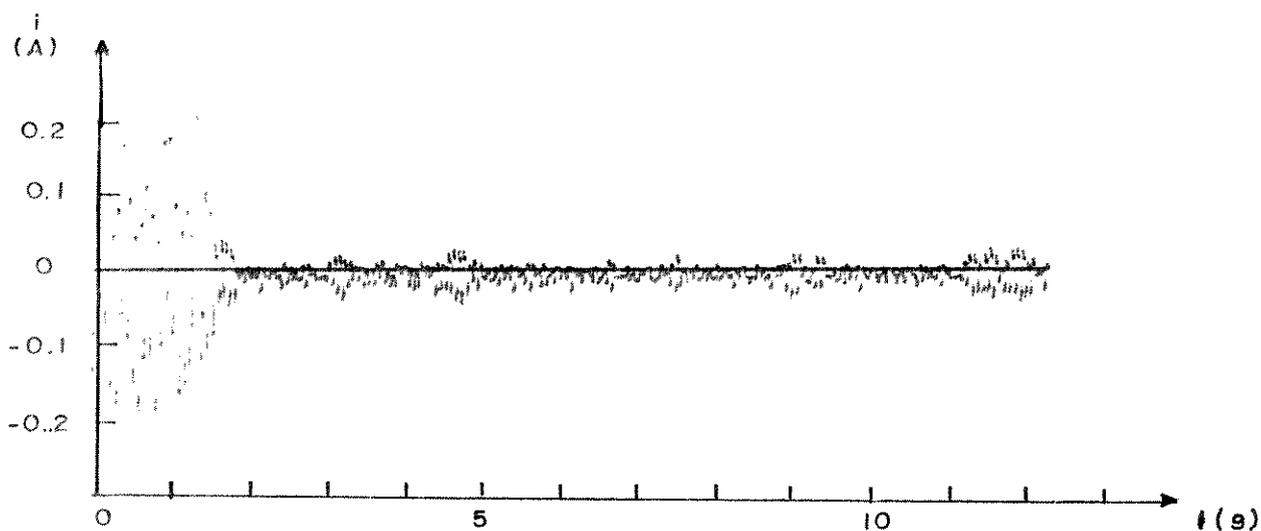


FIG. 6.16

Curvas Corrente de armadura versus tempo.

- FIGURA 6.14 Mesmo o sistema trancado a corrente de armadura fica oscilando em torno do valor de regime. Isto ocorre devido às limitações do microcomputador.
- FIGURA 6.15 Idem figura 6.14, mas com a escala de corrente ampliada
- FIGURA 6.16 Neste gráfico é possível ver o tempo que o PLL demora para entrar em regime

FIGURA 6.17a

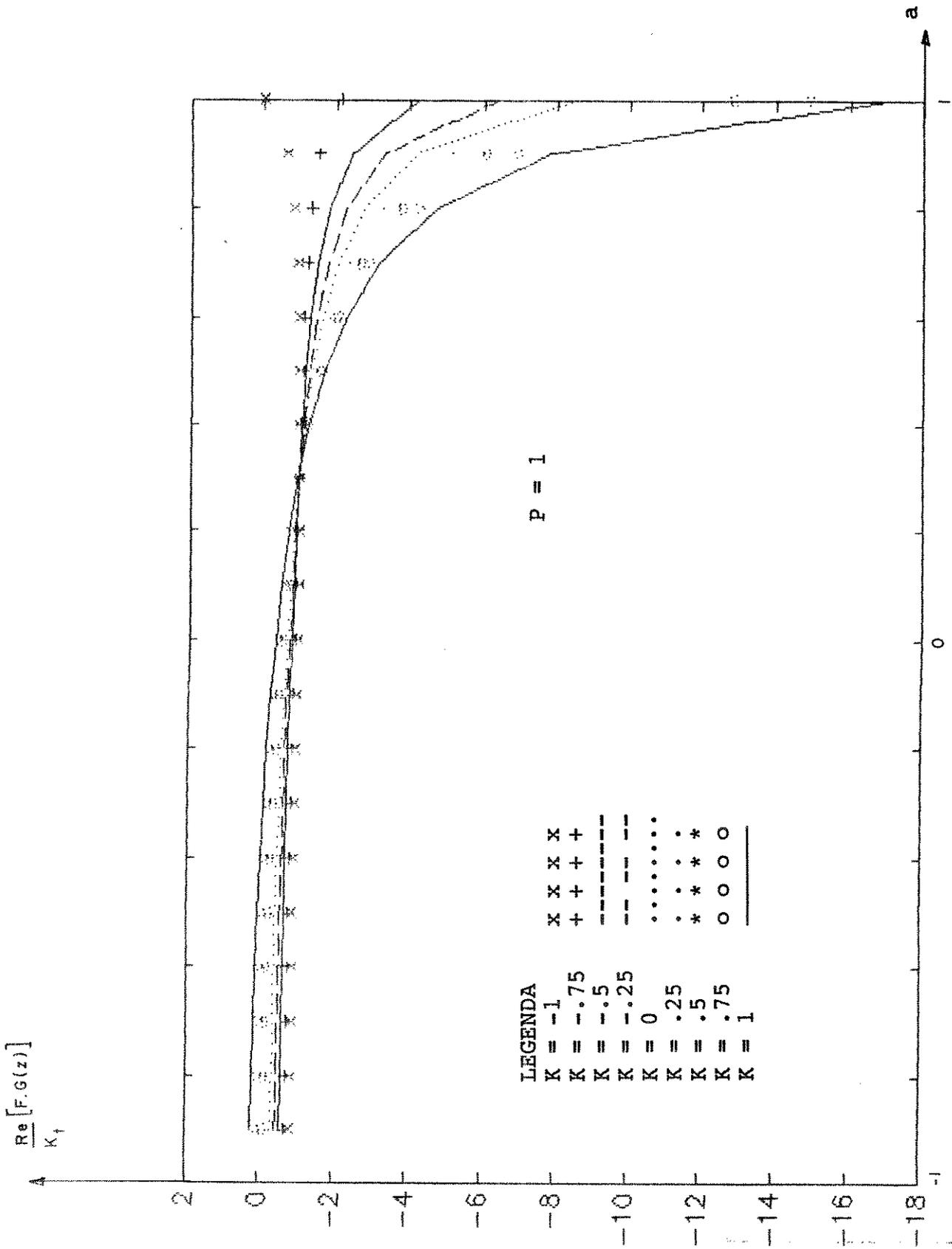


FIGURA 6.17b

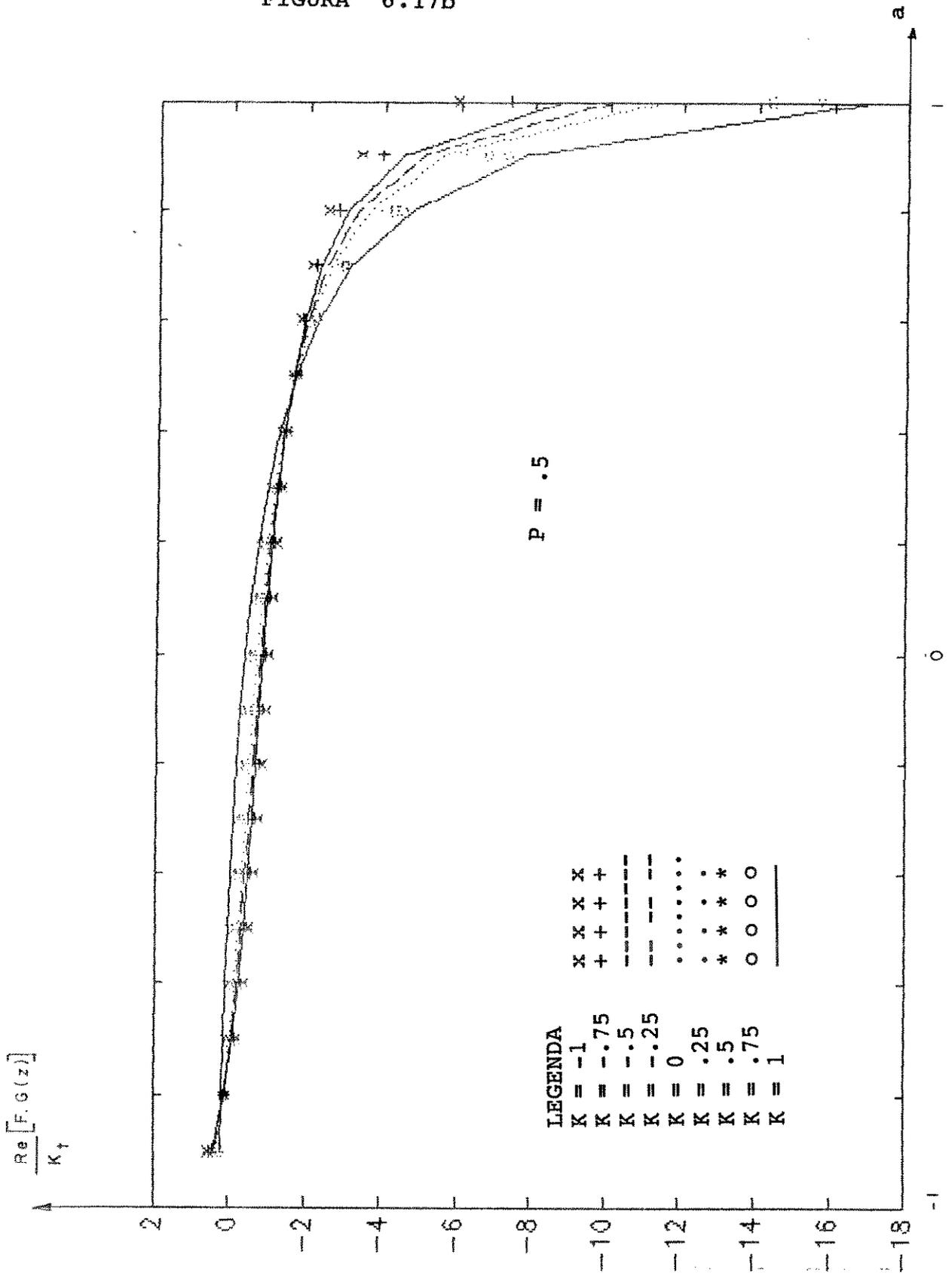


FIGURA 6.17c

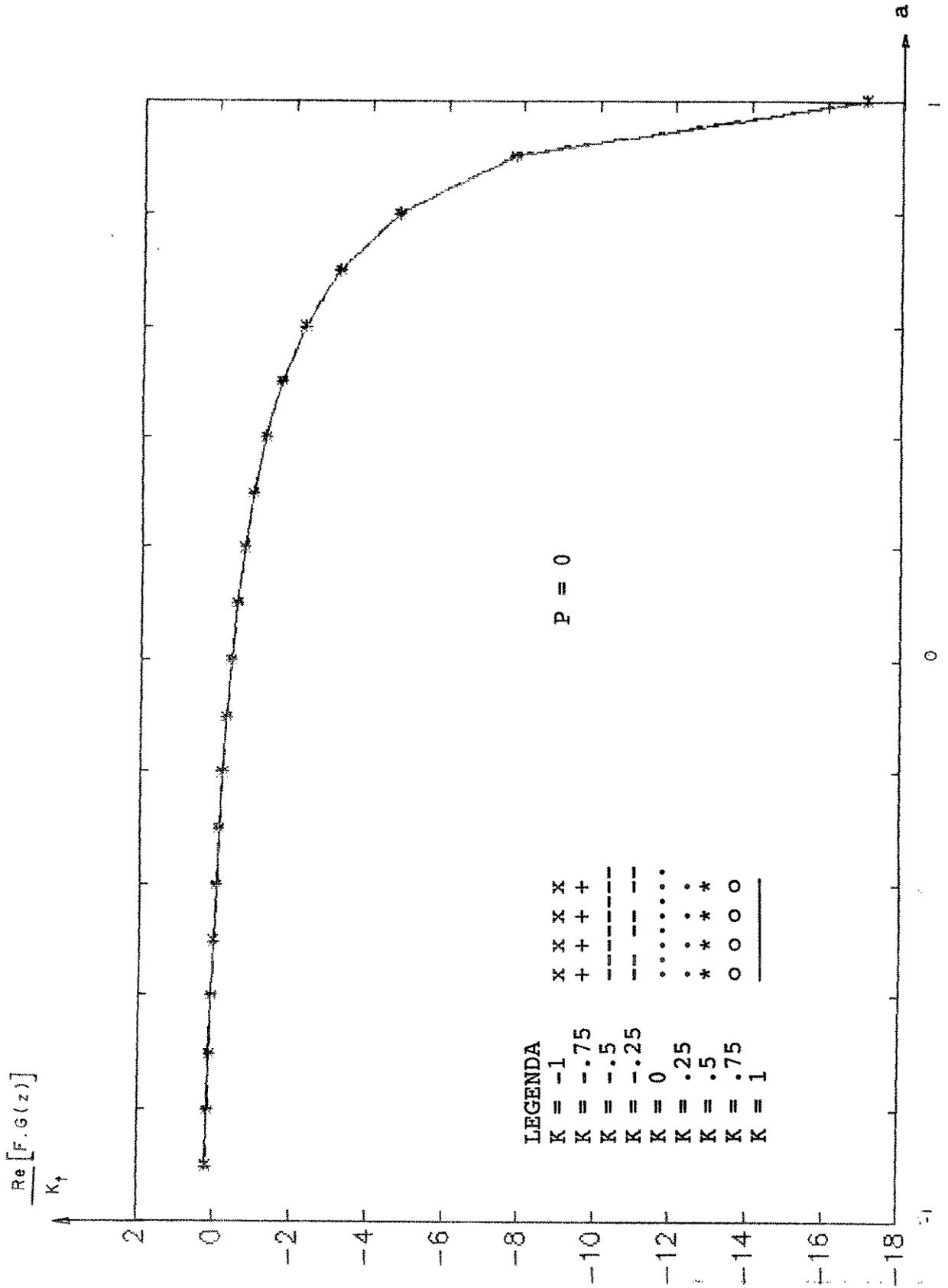


FIGURA 6.17d

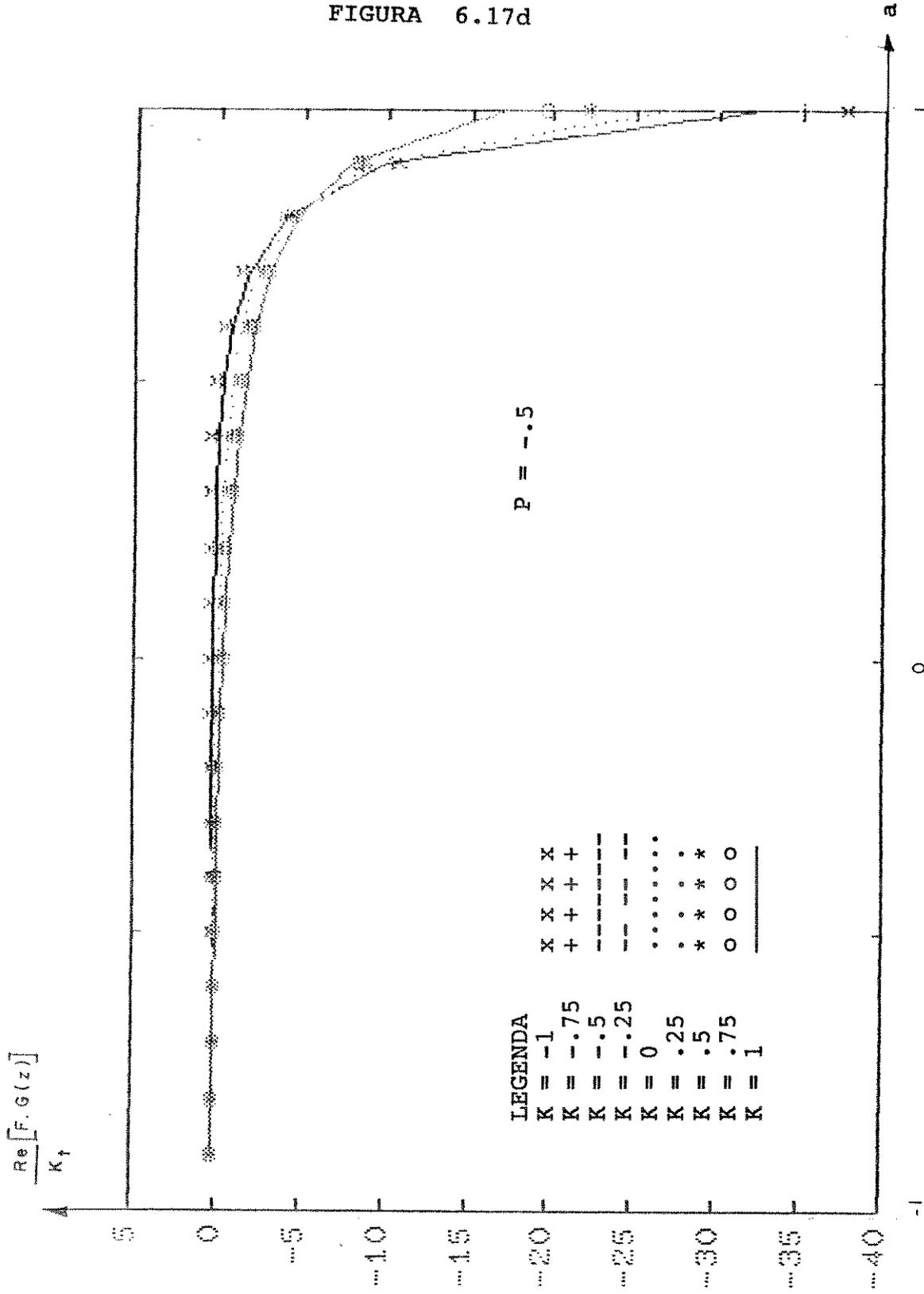
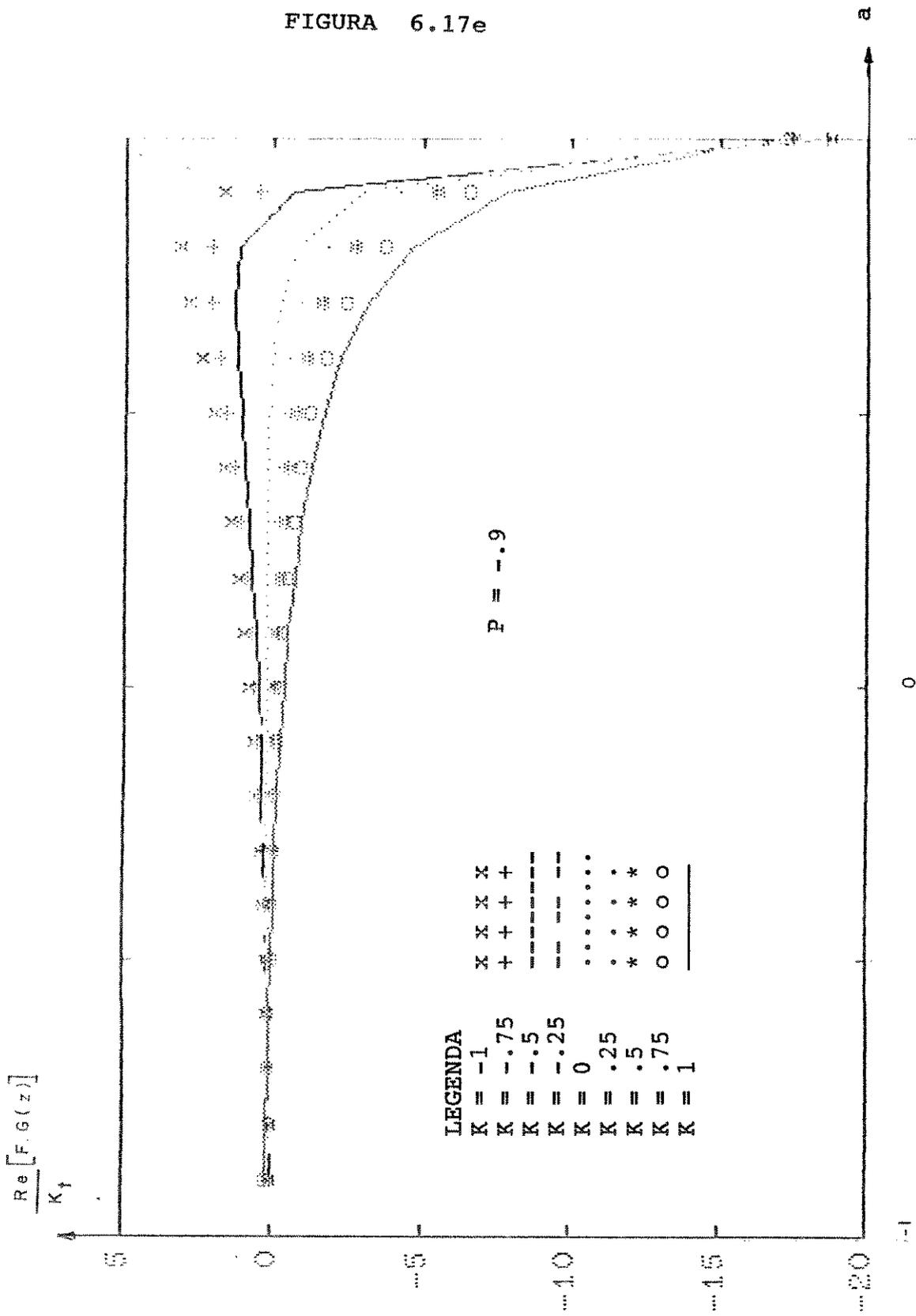


FIGURA 6.17e



## APÊNDICE A

### CHOPPERS - CONVERSORES DC/DC

#### A.1 INTRODUÇÃO

Em diversos processos industriais existe a necessidade de obter-se tensões DC variáveis.

A melhor solução é a utilização de um conversor DC/DC. Este conversor permite obter tensões DC variável diretamente de uma fonte DC. Este tipo de conversor é conhecido como chopper. As vantagens na utilização do chopper são: a suavidade de controle da tensão, grande eficiência, velocidade de resposta e em certos casos permite regeneração de energia, isto é o retorno da energia à fonte DC.

#### A.2 PROJETO DO CHOPPER

O chopper utilizado foi projetado para trabalhar no primeiro e terceiro quadrantes. Para fazer o chaveamento foram utilizados transistores bipolares.

As características do motor DC utilizado são as seguintes:

tensão de armadura - 180 V

corrente de armadura à tensão nominal - 4,45 A

tensão de campo - 180 V

corrente de campo - 0,33 A

Potência = 0,56 kW

Velocidade angular - 3000 rpm

Resistência de armadura - 3,03  $\Omega$

Indutância de armadura - 22 m H

Constante de velocidade - 0,48 V/rad.s<sup>-1</sup>

Momento de inércia do motor sem carga - 1,7 10<sup>-2</sup>kg.m<sup>2</sup>

Na partida a corrente do motor é dada por :

$$i_p = 180 / 3,03 = 60 \text{ A.}$$

O transistor escolhido para o chaveamento foi o TIPL 763, que possui as seguintes características :

$$I_{c_{max}} = 8 \text{ A}$$

$$P_{max} = 120 \text{ W}$$

$$V_{ce_{max}} (I_b = 0) = 350 \text{ V.}$$

Nesta situação será necessário utilizar 8 transistores TIPL 763 em paralelo para suportar a corrente do motor na partida.

A configuração de saída é mostrada na figura A.1 .

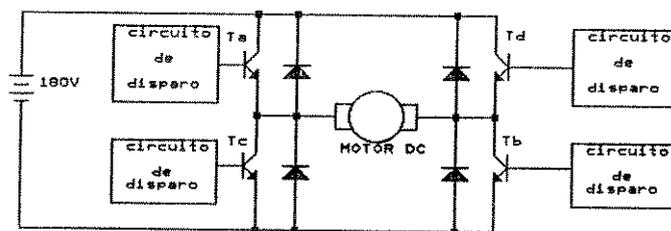


Figura A.1 Configuração de saída do chopper.

O diagrama em blocos do chopper é mostrado na figura A.2

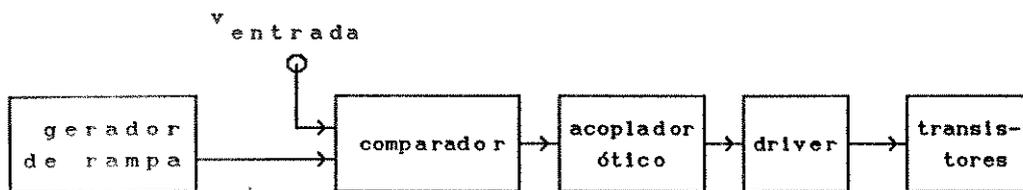
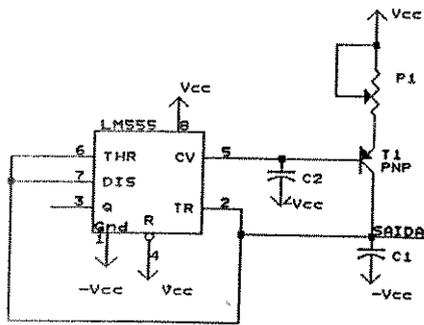


Figura A.2 Diagrama em blocos do chopper.

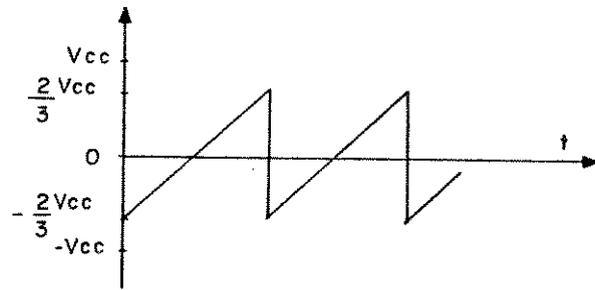
A saída do gerador de rampa é comparado com o sinal de entrada. Enquanto a tensão da rampa for menor que a tensão do sinal de entrada será aplicada uma tensão positiva aos transistores  $T_a$  e  $T_b$  de saída fazendo com que eles conduzam. Enquanto isto  $T_c$  e  $T_d$  estão cortados. Quando a amplitude da rampa for maior que a tensão de entrada os transistores  $T_a$  e  $T_b$  são cortados e os transistores  $T_c$  e  $T_d$  colocados na região de condução.

#### A.2.1 CIRCUITO GERADOR DE RAMPA, COMPARADOR E ACOPLADOR ÓTICO.

O gerador de rampa é mostrado na figura A.3 . Ele é formado pelo circuito integrado NE555 e pelo transistor  $T_1$ . O transistor  $T_1$  atua como uma fonte de corrente constante carregando o capacitor  $C_1$ . A tensão no pino 6 é comparada com uma tensão de referência que nesta configuração é  $2/3$  de  $V_{cc}$ . Quando a tensão no pino 6 for  $2/3$  de  $V_{cc}$ , é acionado um transistor interno ao NE555 que através do pino 7 descarrega o capacitor. O pino 2 é utilizado para inicializar a rampa, quando a tensão no capacitor cair a  $-2/3$  de  $V_{cc}$  o CI recomeça a gerar a rampa e o processo se repete continuamente.



(a)



(b)

Figura A.3 (a) Gerador de rampa (b) forma de onda de saída

Para fazer a ligação de transistores em paralelo é necessário equalizar as tensões de condução dos transistores ( $V_{be}$ ). Para se conseguir isto são conectados resistores de baixo valores nos emissores dos transistores. Isto é mostrado na figura A.4 .

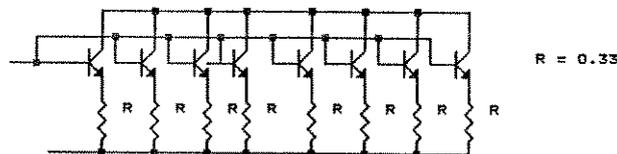


Figura A.4 Transistores em paralelo

Na figura A.5a é mostrado o circuito completo do gerador de rampa, comparador e acoplador óptico. Na figura A.5b são mostradas algumas formas de ondas do circuito.

O amplificador operacional AO1 na figura A.5a, atua como um buffer. Ele é utilizado para garantir uma boa isolamento entre o gerador de rampa e o restante do circuito.

O amplificador operacional AO2 na figura A.5a atua como um comparador. Ele compara a tensão fornecida pelo gerador de rampa com a tensão do sinal de entrada. Enquanto a tensão da rampa for menor que a tensão na entrada, a saída do amplificador operacional estará

com uma tensão positiva. Quando a tensão da rampa for maior que a tensão de entrada a saída assumirá uma tensão negativa. Isto é mostrado na figura A.5b.

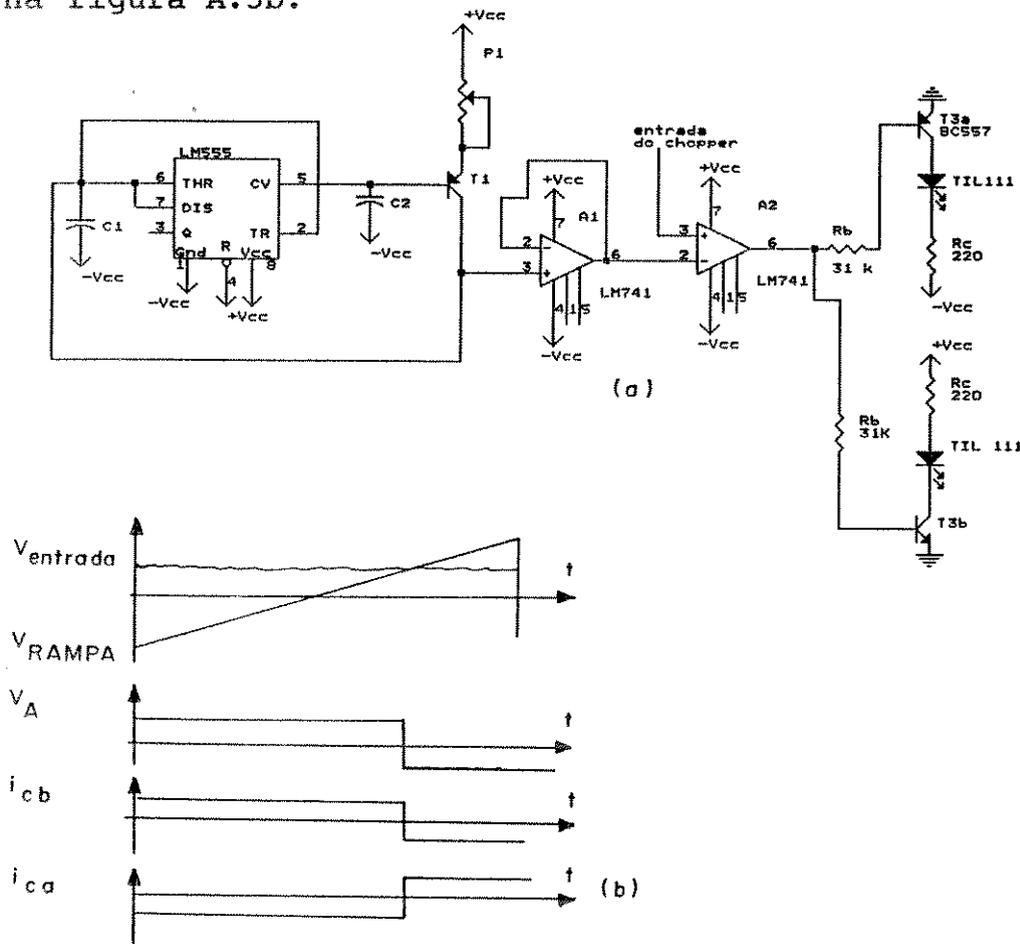


Figura A.5 (a) circuito do gerador de rampa, comparador e acoplador óptico. (b) formas de ondas.

A primeira parte do acoplamento óptico é formado pelo transistor T3 e pelo Led do Opto-acoplador TIL 111. Através da curva de transferência foi escolhida uma corrente de 16 mA para o led do foto-acoplador.

Desta forma a corrente  $I_c$  de T3 é 16 mA. Do manual de transistores, obteve-se  $\beta = 200$ . A corrente de base otida é então de  $80 \mu A$ . Para garantir a saturação foi utilizado  $I_b = 0,3 \text{ mA}$ .

A queda de tensão no Led do fotoacoplador para uma

corrente de 16 mA é de 1,3 V.

Os valores de resistores obtidos foram:

$$R_b = 31 \text{ k}\Omega \quad \text{e} \quad R_e = 220 \text{ }\Omega \text{ .}$$

#### A.2.2 POTÊNCIA DISSIPADA PELOS TRANSISTORES DE POTÊNCIA.

Os transistores utilizados em choppers comportam-se como chaves. Os transistores ou estão cortados, ou estão saturados. No corte não há dissipação de potência pelo transistor. Na saturação a potência dissipada é dada por  $V_{cesat} \times I_c \times T_s/T$ , onde  $T_s$  é o tempo que o transistor está saturado. Como  $V_{cesat}$  é geralmente baixo, o consumo de potência também não é muito grande.

O maior problema ocorre na transição, isto é na passagem do corte à saturação e vice-versa. Nestas situações o transistor passa pela região ativa e há uma grande dissipação de potência. Deve-se então fazer com que os transistores passem de um estado para o outro no menor tempo possível.

A potência dissipada durante o tempo de condução do transistor (TURN-ON) é desprezível, pois o indutor atua como um circuito de alta impedância e  $V_{CE}$ , a tensão de coletor, chega a  $V_{CEsat}$  sem que haja uma corrente considerável no coletor. Para este caso  $P_{on} = 0$ .

Durante o tempo de desligamento do transistor (TURN-OFF) a corrente no indutor é praticamente constante até que o diodo passe a conduzir. A potência dissipada é dada pela fórmula:

$$P_{off} = I_{Cmax} \cdot V_{CEoff} \cdot T_f / T \text{ , onde :}$$

$T_f$  = tempo de descida e  $T$  = período do sinal de chaveamento. Ao utilizar esta fórmula tem-se uma boa margem de

segurança, pois  $I_c$  e  $V_{ce}$  não são máximos ao mesmo tempo.

No projeto foram utilizados 8 transistores de potência em paralelo, sendo que a corrente máxima de coletor que cada transistor deve fornecer é de 7,5 A.

Através do manual do fabricante obtem-se a tensão VCE de saturação dos transistores de potência, que é da ordem de 1 V.

A potência dissipada pelo transistor na saturação é dada por :  $P_s = V_{CEsat} \cdot I_{Cmax} = 1 \cdot 7,5 = 7,5 \text{ W}$  . Nesta situação foi suposto o pior caso, isto é,  $T_s/T = 1$ .

A potência dissipada devido ao chaveamento é dada pela fórmula :  $P_{ch} = I_{Cmax} \cdot V_{ceoff} \cdot T_f / T$  .

Através do manual do transistor obtem-se  $T_f = 0,3 \mu s$ . Será utilizado  $T_f = 1 \mu s$  para se ter uma boa margem de segurança.

Como a frequência de chaveamento é de 3 KHz, o período de chaveamento é de 0,33 ms.

Aplicando-se os dados na fórmula da potência de chaveamento obtem-se:  $P_{ch} = 4,05 \text{ W}$ .

A potência total dissipada por cada transistor é dada por :  $P_t = P_s + P_{ch} = 11,5 \text{ W}$ . Este valor está bem abaixo do limite máximo que cada transistor pode suportar.

Como o ganho do transistor de potência é 10, a corrente máxima de base de cada transistor será  $I_b = 0,75 \text{ A}$ .

Como os transistores são ligados em paralelo, deve-se colocar resistores nos emissores dos transistores para compensar as diferenças que existem nas características de condução de cada transistor. Estas diferenças poderiam fazer que um dos transistores conduzisse mais corrente que os demais e devido a isto fosse danificado. O resistor de emissor compensa as variações em cada

transistor fazendo que todos conduzam da mesma maneira.

Na figura A.6, Ra, Ca e D2 compõem o snubber, que é um circuito utilizado para proteger os transistores de potência quando eles entram na região de corte. Cada transistor terá um circuito igual ao mostrado na figura A.6 .

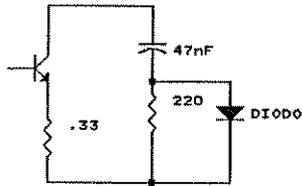


Figura A.6 Snubber

### A.2.3 DRIVER DOS TRANSISTORES DE POTÊNCIA

O circuito completo do driver dos transistores de potência é mostrado na figura A.7 .

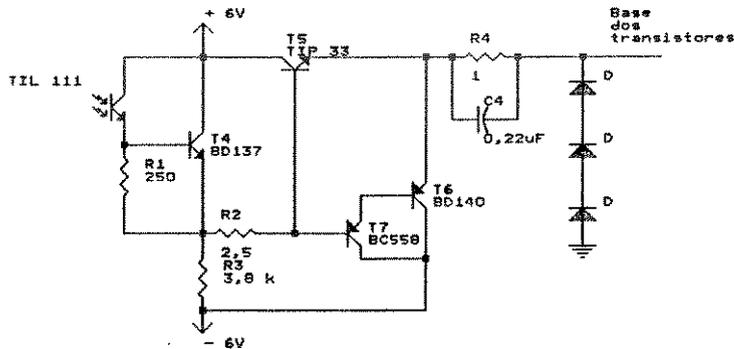


Figura A.7 Circuito do driver dos transistores de potência.

O tempo de comutação dos transistores de potência é influenciado pelo circuito de excitação da base. O circuito de

excitação de base deve satisfazer o seguinte compromisso:

No processo de saturação deve haver uma grande injeção de corrente de base, de modo que a tensão coletor emissor caia rapidamente para a saturação. Mas esta corrente não pode ser muito elevada senão haverá um excesso de portadores na base do transistor, tornando-o mais lento na comutação. A solução é utilizar o circuito mostrado na figura A.8, onde inicialmente o capacitor estando descarregado comporta-se como um curto e  $I_b$  assume um valor de pico. Quando o capacitor estiver carregado a corrente de base será função dos resistores  $R_b$  e  $R_1$ .

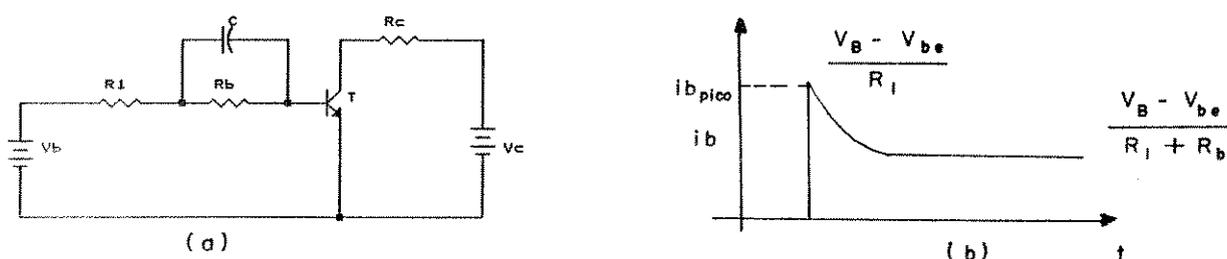


Figura A.8 (a) Circuito para acelerar a saturação do transistor. (b) forma de onda na base do transistor.

No corte deve-se rapidamente retirar os portadores armazenados na base do transistor. Isto é feito aplicando-se uma tensão negativa à base do transistor para levá-lo ao corte.

O circuito mostrado na figura A.7 possui as duas características explicadas acima. Nesta figura é possível observar que a rápida saturação dos transistores de potência é obtida através do capacitor  $C_4$ , e o corte é obtido pela aplicação de um potencial negativo na base dos transistores de potência, através do transistor  $T_6$ .

## APÊNDICE B

### FUNÇÕES DE TRANSFERÊNCIA DO ENCODER

#### B.1 INTRODUÇÃO

Devido ao fato do PLL possuir duas regiões de funcionamento distintas e nestas regiões comparar grandezas distintas, será necessário determinar as funções de transferência do encoder para estas duas regiões. Isto porque numa das regiões são comparadas as frequências dos sinais e na outra são comparadas as fases dos sinais.

Primeiramente será desenvolvida análise para a região de trancamento de fase, e em seguida a análise para a região de aquisição de frequência.

#### B.2 GANHO DO ENCODER NA REGIÃO DE TRANCAMENTO DE FASE.

Na figura B.1 é mostrado o diagrama em blocos do PLL. Nesta situação a comparação é feita entre as fases dos sinais.

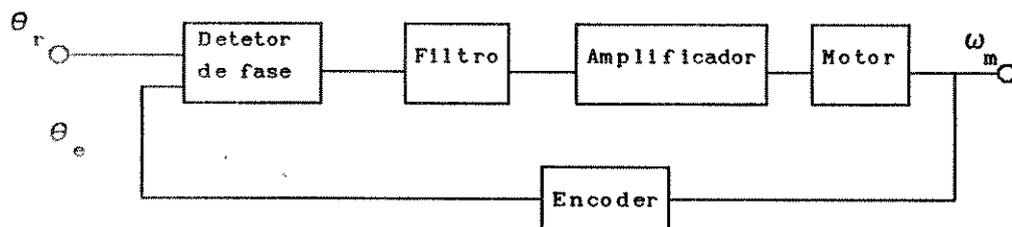


Figura B.1 PLL na região de trancamento de fase

A característica do encoder é definida pelo número de orifícios igualmente espaçados existentes no perímetro de encoder. Se o encoder possui M orifícios no seu perímetro diz-se que o encoder possui M pulsos por rotação.

Estando o PLL na região de trancamento de fase, a fase do sinal do encoder é comparada com a fase do sinal de referência. Nesta situação a saída do encoder é a fase do sinal. Sendo o encoder acoplado ao eixo do motor, ele recebe como informação de entrada a velocidade angular do eixo do motor. A função de transferência do encoder é dada por :

$$H_e = \frac{\theta_e}{\omega_m} \quad ( B.1 )$$

Como a velocidade angular é definida como a variação da fase do sinal no tempo, obtem-se:

$$\omega = d\theta/dt \quad ( B.2 )$$

Aplicando-se a Transformada de Laplace na equação B.2 obtem-se:

$$\omega = s.\theta \quad ( B.3 )$$

A frequência do sinal gerado na saída do encoder é dada pelo produto da velocidade angular do eixo do motor pelo número de pulsos gerados pelo encoder.

$$f_e = M \left[ \frac{\text{pulsos}}{\text{rotação}} \right] \cdot \omega_m \left[ \frac{\text{rad}}{\text{s}} \right]$$

$$f_e = M \left[ \frac{\text{pulsos}}{2\pi \cdot \text{rad}} \right] \cdot \omega_m \left[ \frac{\text{rad}}{\text{s}} \right] = \frac{M}{2\pi} \cdot \omega_m \left[ \frac{\text{pulsos}}{\text{s}} \right]$$

$$\boxed{f_e = \frac{M}{2\pi} \cdot \omega_m \quad [\text{Hz}] \quad ( \text{ B.4 } )}$$

A frequência angular gerada na saída do encoder pode ser obtida a partir da equação B.4 :

$$\omega_e = 2\pi \cdot f_e = M \cdot \omega_m$$

$$\boxed{\omega_e = M \cdot \omega_m \quad ( \text{ B.5 } )}$$

A velocidade angular na saída do encoder como função de sua fase pode ser obtida da equação B.3 , isto é :

$$\omega_e = s \cdot \theta_e \quad ( \text{ B.6 } )$$

Isolando-se  $\omega_m$  da equação B.5 , obtem-se :

$$\omega_m = \frac{\omega_e}{M} \quad ( \text{ B.7 } )$$

Substituindo-se a equação B.6 na equação B.7, obtem-se:

$$\omega_m = \frac{s \cdot \theta_e}{M} \quad ( \text{ B.8 } )$$

Finalmente substituindo-se a equação B.8 na equação B.1, obtem-se :

$$H_e = \frac{\theta_e}{s \cdot \frac{\theta_e}{M}}$$

$$\boxed{H_e = \frac{M}{s} \quad ( \text{ B.9 } )}$$

Chega-se à conclusão que o encoder é modelado nesta

região como um integrador de ganho M.

### B.3 GANHO DO ENCODER FORA DA REGIÃO DE TRANCAMENTO

Nesta região as frequências dos sinais de referência e do encoder são comparadas. Na figura B.2 é mostrado o diagrama em blocos do sistema PLL nesta região.

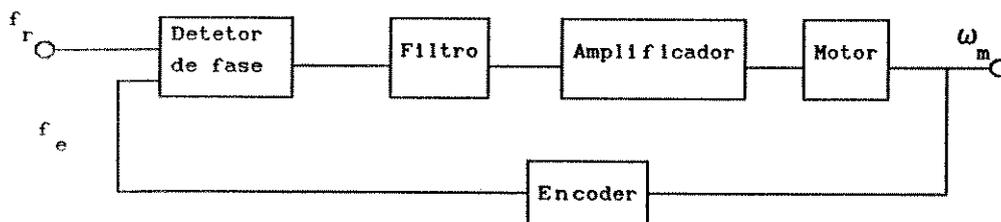


Figura B.2 PLL fora da região de trancamento.

O sinal de entrada para o encoder continua sendo a velocidade angular do eixo do motor. Mas a saída do encoder é um sinal de frequência  $f_e$ , pois nesta região o detetor de fase compara as frequências dos sinais aplicados à sua entrada.

A função de transferência do encoder é dada por :

$$H_e = \frac{f_e}{\omega_m} \quad ( B.10 )$$

A frequência do sinal obtido na saída do encoder é dada pela equação B.4. Substituindo-se a equação B.4 na equação B.10, obtem-se a função de transferência do encoder.

$$H_e = \frac{M \cdot \omega_m}{2 \cdot \pi} \cdot \frac{1}{\omega_m} = \frac{M}{2 \cdot \pi}$$

$$\boxed{H_e = \frac{M}{2 \cdot \pi}} \quad ( B.11 )$$

Nesta região o encoder é modelado como um amplificador de ganho  $M / 2 \cdot \pi$ .

## APÊNDICE C

### DETETORES DE FASE

#### C.1 INTRODUÇÃO

Existem diversas categorias de detetores de fase. Pode-se citar como os principais os seguintes : detetores analógicos, detetores lógicos, detetores seqüenciais, detetores de fase freqüência, e detetores digitais.

Os detetores de fase analógicos são construídos utilizando-se basicamente circuitos multiplicadores de sinais. Os multiplicadores de sinais geram uma tensão média DC como resultado do produto do sinal de entrada pelo sinal do oscilador local. Os multiplicadores são dispositivos sem memória. Um multiplicador possui um ótimo desempenho em presença de ruídos. Estes circuitos não fazem aquisição de freqüência.

Detetores de fase lógicos são construídos basicamente com portas OU exclusivo. Eles não fazem aquisição de freqüência. Fazem apenas aquisição de fase.

Os detetores de fase seqüenciais são construídos com FFs. Eles são sensíveis à transição dos sinais de entrada. Estes detetores também só fazem aquisição de fase.

Os detetores de fase-freqüência são também circuitos seqüenciais. Mas eles além da aquisição de fase, fazem a aquisição

de frequência.

Os detetores de fase que não fazem a detecção de frequência não podem trabalhar sozinhos. Eles necessitam um circuito complementar que detete quando as frequências dos sinais são diferentes. Se isto não for feito, pode ocorrer o trancamento em frequências múltiplas da do sinal de referência.

Os detetores de fase digitais são construídos utilizando-se microprocessador, memórias, interfaces, etc.

Neste apêndice será feita uma análise de cada um dos detetores mencionados.

## C.2 DETETORES ANALÓGICOS.

### C.2.1 MEDIÇÃO DE ÂNGULO E DE FASE

A fase de uma senoide é uma quantidade relativa e para medi-la é necessário definir um ponto como referência. De forma comparativa pode-se utilizar uma roda girante para analisar a fase de um sinal. Pois na realidade a senoide pode ser obtida a partir da projeção de um ponto da roda no eixo x.

Na figura C.1a é mostrada uma roda que está girando a uma velocidade angular constante  $\omega$  rad/s.

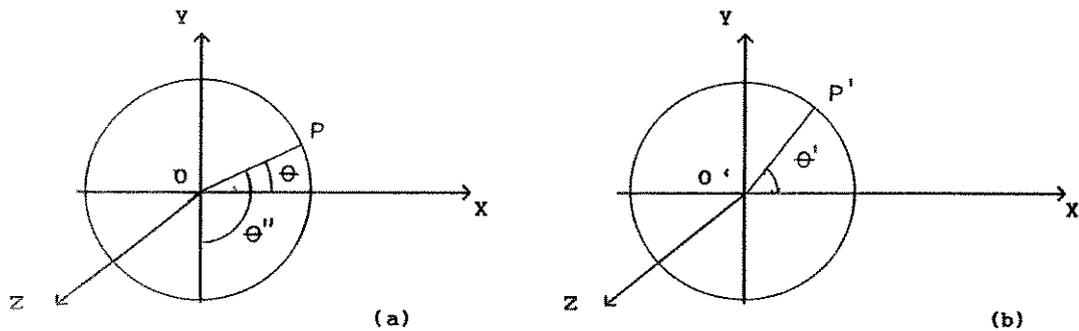


Figura C.1 Ângulo e fase de uma roda

O vetor OP na figura C.1a está com um ângulo  $\theta$  em relação ao eixo x.

Para esta análise considera-se a roda girando com uma velocidade constante, e o ângulo  $\theta$  como uma função linear de t. A representação de  $\theta$  em relação à t é mostrada na equação C.1 .

$$\theta(t) = \omega \cdot t + \theta_0 \quad ( C.1 )$$

Onde  $\theta_0$  é o ângulo inicial. A projeção deste vetor girante no eixo horizontal é a função:

$$\cos \theta(t) = \cos (\omega t + \theta_0) \quad ( C.2 )$$

Considere-se uma segunda roda de mesmo raio, rodando no mesmo sentido com relação ao mesmo eixo mas com velocidade angular diferente  $\omega'$ . Isto é indicado na figura C.1b .

Supondo-se que o vetor O'P', na figura C.1b esteja a um ângulo inicial  $\theta'_0$ , a projeção do vetor O'P' com relação ao eixo x é dado pela função :

$$\cos \theta'(t) = \cos (\omega' t + \theta'_0) \quad ( C.3 )$$

A diferença de ângulos entre o vetor OP da primeira roda e o vetor O'P' da segunda roda é dado por:

$$\cos [\theta(t) - \theta'(t)] = \cos [(\omega - \omega')t + \theta_0 - \theta'_0] \quad ( C.4 )$$

Como o cosseno é uma função par, não é possível dizer através da equação C.4 qual roda está adiantada ou atrasada.

Pode-se resolver este problema medindo-se o ângulo da primeira roda relativamente ao eixo -y. Definindo-se o ângulo entre o vetor OP e o eixo -y como  $\theta''$ , tem-se:

$$\theta'' = \theta + \pi/2 \quad \text{e} \quad \theta''_0 = \theta_0 + \pi/2$$

A equação C.4 pode ser escrita em termos de  $\theta''$ :

$$\begin{aligned} \cos[\theta''(t) - \theta'(t) - \pi/2] &= \text{sen} [\theta''(t) - \theta'(t)] = \\ &= \text{sen} [(\omega - \omega')t + \theta''_0 - \theta'_0] \end{aligned} \quad (\text{ C.5 } )$$

A mesma análise que foi desenvolvida para as rodas será feita para sinais elétricos.

Supondo-se que os dois sinais elétricos tenham amplitudes normalizadas,obtem-se:

$$\cos \theta(t) = \cos (\omega t + \theta_0) \quad (\text{ C.6 } )$$

$$\cos \theta'(t) = \cos (\omega' t + \theta'_0) \quad (\text{ C.7 } )$$

Se estes dois sinais, equações C.6 e C.7 , forem processados por um multiplicador eletrônico, na saída serão obtidos os seguintes sinais:

$$\begin{aligned} \cos(\omega t + \theta_0) \cdot \cos(\omega' t + \theta'_0) &= \frac{1}{2} \cos[(\omega - \omega')t + (\theta_0 - \theta'_0)] + \\ &+ \frac{1}{2} \cos[(\omega + \omega')t + \theta_0 + \theta'_0] \end{aligned} \quad (\text{ C.8 } )$$

Se este sinais forem passados por um filtro passa-baixas, resultará apenas o termo que é a diferença entre as duas frequências.

Para efeito de análise é melhor trabalhar com um dos sinais como sendo uma função seno. Supondo-se que um dos sinais fosse deslocado por uma quantidade  $\Delta t$  , de tal forma que o ângulo de fase  $\omega \cdot \Delta t$  fosse avançado  $\pi/2$  rad, seria obtido o seguinte sinal :

$$\text{sen} \theta(t) = \text{sen} (\omega t + \theta_0) \quad (\text{ C.9 } )$$

O produto dos sinais, equações C.7 e C.9 , após ter passado pelo filtro passa-baixas resulta em :

$$\text{sen } \theta(t) \cdot \cos \theta(t) = \frac{1}{2} \text{sen} [(\omega - \omega')t + \theta_0 - \theta'_0] \quad (\text{C.10})$$

Pela equação C.10 é possível verificar que quando a saída do conjunto multiplicador-filtro estiver com uma tensão de zero volts, os dois sinais estarão sincronizados em freqüência e sua diferença de fase será  $\pi/2$  rad.

### C.2.2 DETETOR DE FASE CHAVEADO

Se dois sinais senoidais forem aplicados a um multiplicador, a tensão DC na saída será proporcional ao produto das amplitudes dos sinais e ao coseno da diferença da fase entre eles.

A multiplicação pode ser implementada fisicamente através de um multiplicador analógico. Mas devido à baixa freqüência de operação , e alto custo destes dispositivos, outros circuitos são mais utilizados que os multiplicadores.

Mas a análise matemática utilizada para o estudo dos multiplicadores pode ser estendida a outros detetores de fase. Na prática usa-se o detetor denominado Detetor de Fase chaveado.

Para simplificar a análise do detetor de fase, em vez de aplicar-se ao multiplicador um sinal senoidal vindo do VCO , aplica-se um sinal quadrado da forma :

$$v_o(t) = \text{sgn} [\cos (\omega_1 \cdot t + \theta_0)] \quad (\text{C.11})$$

onde a função  $\text{sgn}$  é definida como :

$$\text{sgn}(x) = 1 \quad ; \quad x > 0$$

$$\text{sgn}(x) = -1 \quad ; \quad x < 0.$$

Um sinal quadrado pode ser expandido em série de

Fourier. Expandindo-se o sinal  $v_o(t)$  dado pela equação C.11 em série de Fourier, obtem-se :

$$v_o(t) = \frac{4}{\pi} \left[ \cos(\omega_1 \cdot t + \theta_o) - \frac{1}{3} \cos 3(\omega_1 \cdot t + \theta_o) + \frac{1}{5} \cos 5(\omega_1 \cdot t + \theta_o) + \dots \right] \quad ( C.12 )$$

Supondo-se o sinal de entrada definido pela equação :

$v_i(t) = V_s \cdot \text{sen} [\omega_1 \cdot t + \theta_i]$  , e como os sinais de alta frequência são eliminados pelo filtro passa baixa, o resultado do produto  $v_o \cdot v_i$  é dado por :

$$v_d = \frac{2}{\pi} V_s \text{sen} (\theta_i - \theta_o) \quad ( C.13 )$$

A saída é a mesma que seria obtida se fosse aplicado ao multiplicador um sinal senoidal com amplitude  $4/\pi$  .

Como a multiplicação por uma onda quadrada de amplitude unitária é equivalente a um chaveamento periódico do sinal de entrada, o multiplicador pode ser substituído por uma chave de polaridade.

Como a construção da chave de polaridade é mais simples e mais barata do que a construção de um multiplicador linear, usa-se o detetor chaveado.

O funcionamento de um dispositivo de chaveamento é mostrado na figura C.2 .

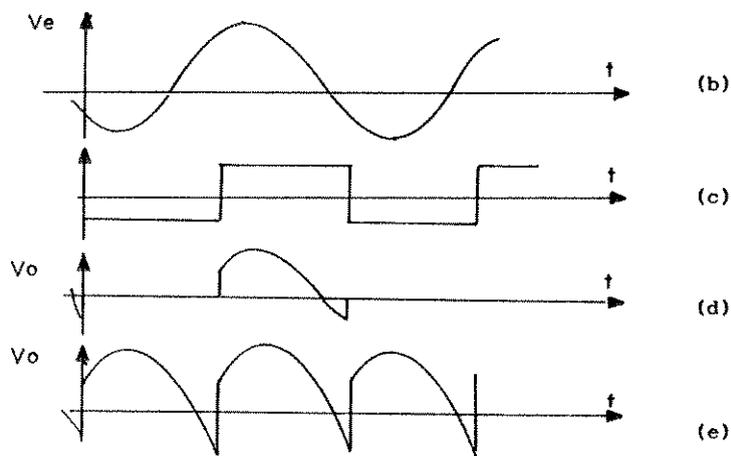
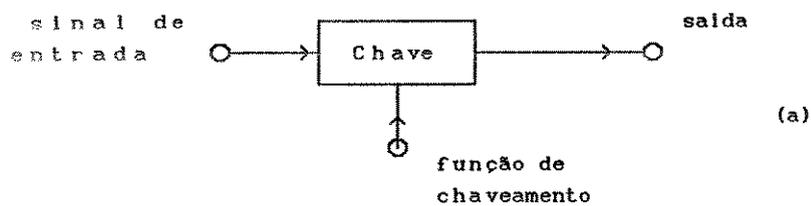


Figura C. 2 (a) Dispositivo de chaveamento.  
 (b) sinal de entrada  
 (c) função de chaveamento  
 (d) saída meia onda  
 (e) saída onda completa

Na figura C.2 são mostradas as formas de ondas do sinal de entrada, do sinal de chaveamento, e de dois tipos de saídas. A saída meia onda e a saída tipo onda completa.

Na figura C.3 são mostrados os circuitos de chaveamento.

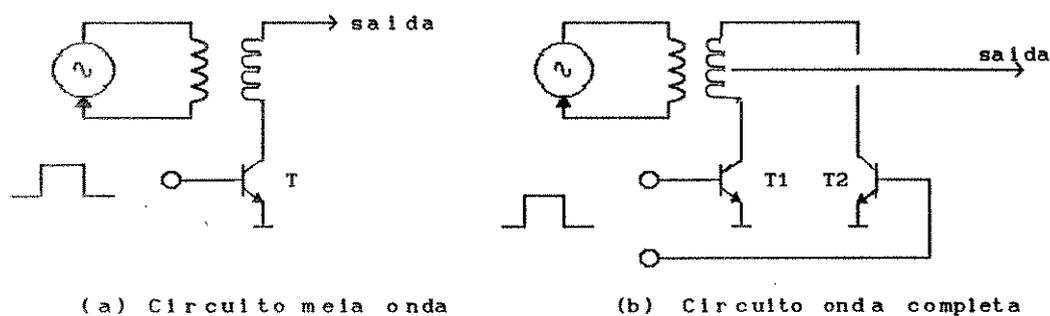


Figura C.3 Circuito de chaveamento

Na figura C.3a pode-se observar que quando o sinal quadrado tiver uma tensão positiva o transistor conduz e o sinal de entrada passa para a saída. Quando o sinal quadrado tiver uma tensão de zero volts, o transistor corta e o sinal de entrada é bloqueado.

Na figura C.3b, no semiciclo positivo, T<sub>2</sub> conduz e T<sub>1</sub> corta. No semiciclo negativo, T<sub>1</sub> conduz e T<sub>2</sub> corta.

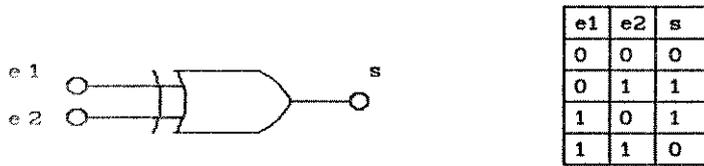
O valor médio na saída do detetor de fase meia onda é dado por :

$$v_d = \frac{V_s}{\pi} \text{sen} ( \theta_1 - \theta_0 )$$

que é exatamente a metade da tensão obtida num detetor de fase onda completa.

### C.3 DETETOR DE FASE LÓGICO.

Os detetores de fase lógicos são construídos basicamente com portas ou exclusivo. Os sinais aplicados na entrada do detetor de fase são sinais binários e devem ser simétricos, isto é, o tempo alto e o tempo baixo de duração do sinal devem ser iguais. Na figura C.4a é mostrado o circuito de um detetor de fase lógico e a tabela verdade é mostrada na figura C.4b.



(a) porta ou exclusivo (b) tabela verdade

Figura C.4 Detetor de fase lógico.

Na figura C.5 mostra-se a saída do detetor de fase para várias condições de defasamento do sinal de entrada.

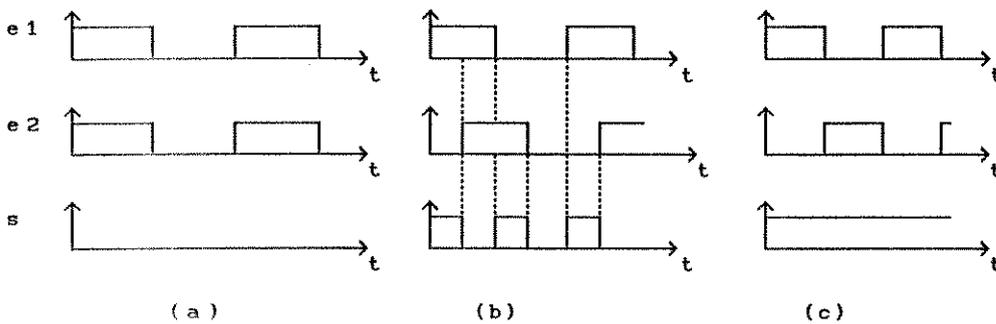


Figura C.5 Exemplos de defasamentos

Na figura C.5a os dois sinais estão em fase. A tensão de saída é zero. Estando  $e_2$  defasado em relação à  $e_1$ , aparece uma tensão na saída do circuito que é proporcional à diferença de fase. Isto é mostrado na figura C.5b. A máxima tensão na saída ocorrerá quando o defasamento for de  $\pi$  radianos. Isto é mostrado na figura C.5c.

Na figura C.6 é mostrada a função de transferência deste detetor, considerando-se a tensão média na saída em função da diferença de fase entre os sinais.

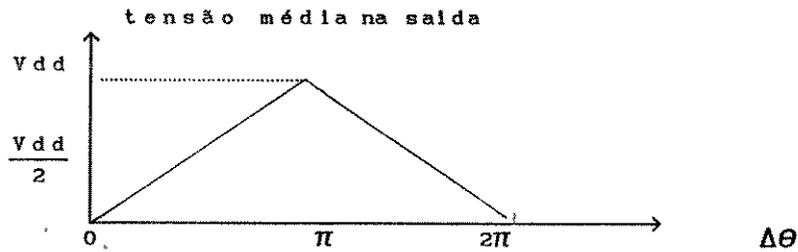


Figura C.6 Função de transferência do detetor de fase

A tensão média na saída é proporcional à diferença de fase, e é dada por :

$$V_o = K_{\theta} \cdot \Delta\theta$$

onde  $V_o$  - tensão média na saída do detetor de fase

$K_{\theta}$  - ganho de conversão do detetor de fase

$\Delta\theta$  - diferença de fase entre os sinais de entrada

O fator  $K_{\theta}$  é calculado através da equação da reta. Através da figura C.6 obtém-se:

$$K_{\theta} = \frac{V_o(\pi) - V_o(0)}{\pi - 0} = \frac{V_{dd}}{\pi}$$

$$\text{então } K_{\theta} = \frac{V_{dd}}{\pi}$$

A desvantagem deste tipo de detetor de fase é que ele pode fazer o trancamento de sinais de entrada em valores múltiplos de frequência.

O Circuito integrado CD4046 possui um detetor de fase com estas características.

#### C.4 DETETORES DE FASE SEQUENCIAIS

Estes tipos de detetores são construídos com elementos sequenciais. Basicamente são construídos com FFs. Na figura C.7 é

mostrado um FF RS e a sua tabela verdade.

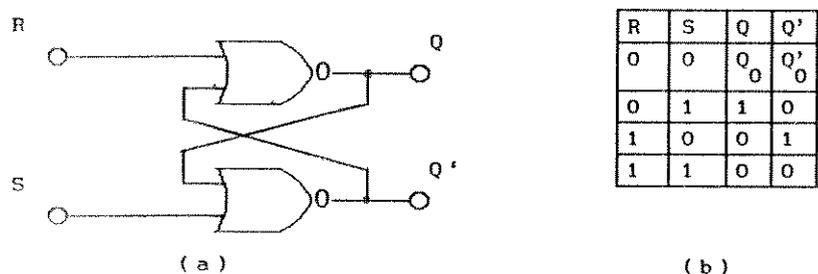


Figura C.7 (a) FF RS (b) Tabela verdade.

Se a entrada S receber um nível lógico alto, a saída Q assumirá nível lógico alto .

Se a entrada R receber um nível lógico alto, a saída  $\bar{Q}$  assumirá nível lógico alto.

Na figura C.8 é mostrada a saída deste tipo de detetor para um determinado defasamento na entrada.

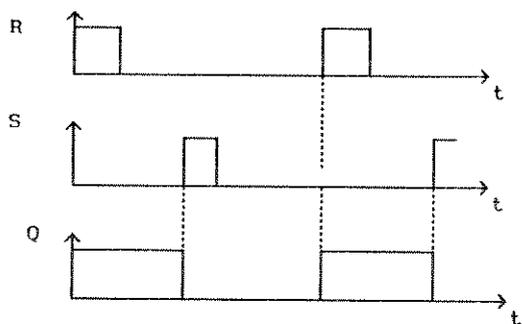


Figura C.8 Formas de onda para o detetor sequencial

Neste caso os sinais de entrada não necessitam ser simétricos, eles podem ser de curta duração.

A máxima tensão de saída será obtida com o defasamento de  $2\pi$  radianos. Na figura C.9 é mostrada a curva de transferência deste detetor.

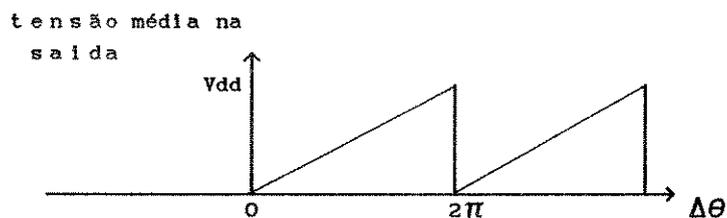


Figura C.9 Curva de transferência do detetor sequencial

Este detetor possui a desvantagem de obter o trancamento entre múltiplos de freqüência dos sinais de entrada.

### C.5 DETETOR DE FASE-FREQÜÊNCIA

O detetor de fase-freqüência é um circuito sequencial de grande complexidade. Ele é chamado detetor de fase-freqüência porque faz aquisição de fase e também de freqüência.

O circuito lógico do detetor de fase-freqüência contido no circuito integrado CD4044 é mostrado na figura C.10 . Este circuito integrado é da família TTL.

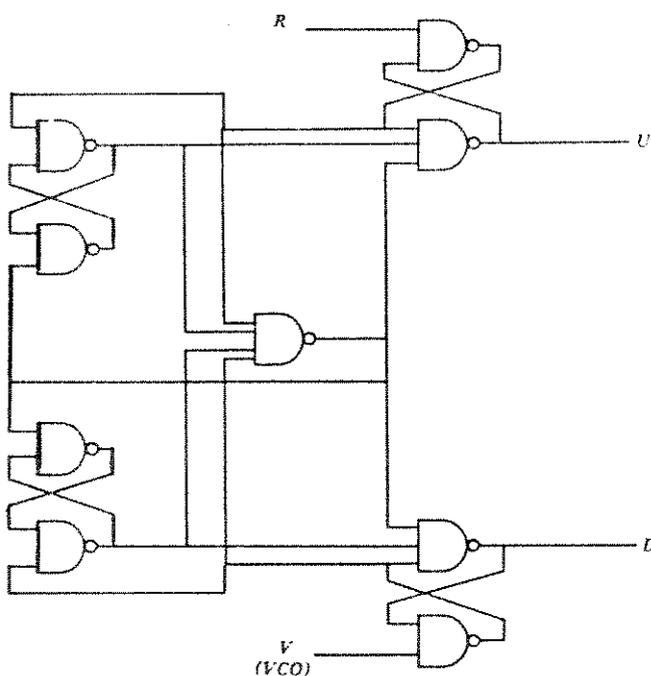


Figura C.10 Detetor de fase-freqüência.

Na figura C.11 são mostrados os sinais de entrada e saída para este detetor de fase-freqüência. Na figura (11a) o sinal V está atrasado em relação ao sinal R, nesta situação o sinal D está inativo ( $D=1$ ) e o sinal U é ativado ( $U=0$ ) indicando que o sinal V está atrasado e que mais energia deve ser enviado ao sistema para compensar esta diferença de fase.

Na figura C.11b o sinal R está atrasado em relação ao sinal V. Nesta situação a saída U está inativa ( $U=1$ ) e a saída D é ativada ( $D=0$ ), indicando que o sinal V está adiantado e deve-se retirar um pouco de energia do sistema para que os sinais entrem em fase.

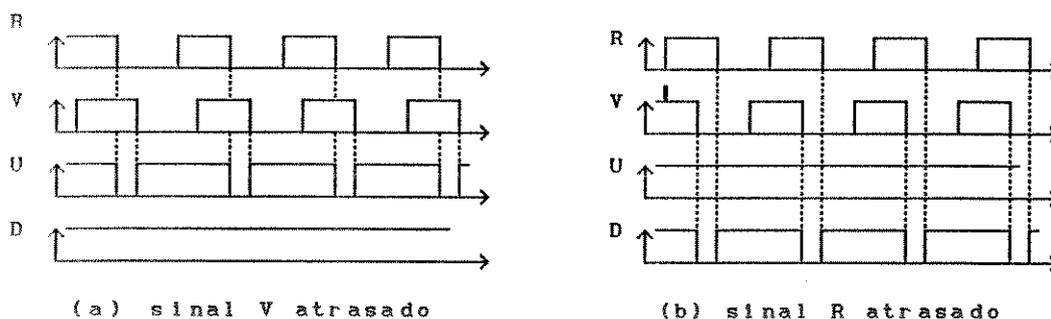


Figura C.11 Formas de ondas do detetor de fase-freqüência.

Na figura C.12a é mostrado o circuito externo ao detetor de fase-freqüência, usado para obter o sinal de erro. Na figura C.12b é mostrado o sinal de saída. Deve-se salientar que a tensão de alimentação é +Vcc e Gnd.

Quando o sinal U estiver ativo será aplicada uma tensão positiva ao filtro. Quando o sinal D estiver ativo será aplicada uma tensão de zero volts ao filtro. Quando U e D estiverem desativados, a

saída estará no terceiro estado (D1 e D2 estarão cortados).

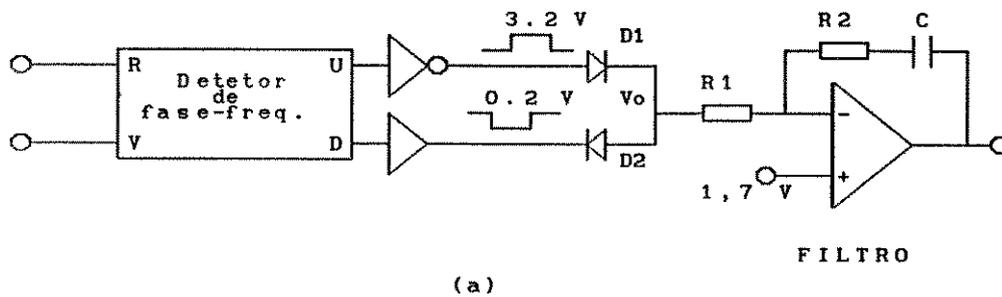


Figura C.12 Detetor de fase-freqüência. (a) circuito de saída e filtro passa baixas (b) formas de ondas de saída

Este detetor não é afetado pelo ciclo doce dos sinais de entrada, pois ele só responde às transições negativas do sinal de entrada.

A característica do detetor de fase-freqüência do circuito integrado 4044 é mostrada na figura C.13 . O ganho do detetor de fase,  $K_{\phi}$  , é dado por :

$$K_{\phi} = \frac{2,25 - 0,75}{4 \cdot \pi} = 0,118 \quad \text{V/rad.}$$

Este circuito não possui o problema de obter o trancamento em freqüências múltiplas. Isto porque quando as freqüências forem diferentes o detetor de fase-freqüência gerará uma

tensão adequada para trazer os dois sinais para a mesma freqüência.

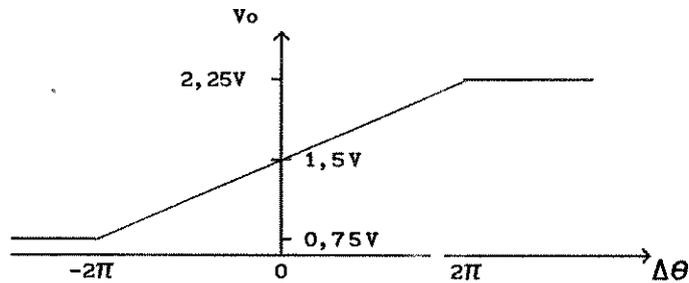


Figura C.13 Característica do detetor de fase-freqüência do CI 4044

Um detetor de fase-freqüência na tecnologia CMOS é encontrado no CI 4046. Este detetor só responde às transições positivas dos sinais de entrada.

Na figura C.14 são mostradas as formas de ondas de saída do CI 4046 quando os sinais de entrada possuem a mesma freqüência. A saída PC2 assumirá nível alto, se a fase do sinal PCA estiver adiantada em relação à fase do sinal PCB. A saída PC2 assumirá tensão negativa, se a fase do sinal PCB estiver adiantada em relação à fase do sinal PCA. Estes sinais foram obtidos alimentando-se o circuito integrado com tensões +Vcc e -Vcc. Isto é necessário pois o motor precisa de um sinal de erro com excursões positivas e negativas para que o sistema se comporte de forma linear. Se o circuito fosse alimentado apenas com tensões +Vcc e Gnd, o sinal de erro só teria excursões positivas.

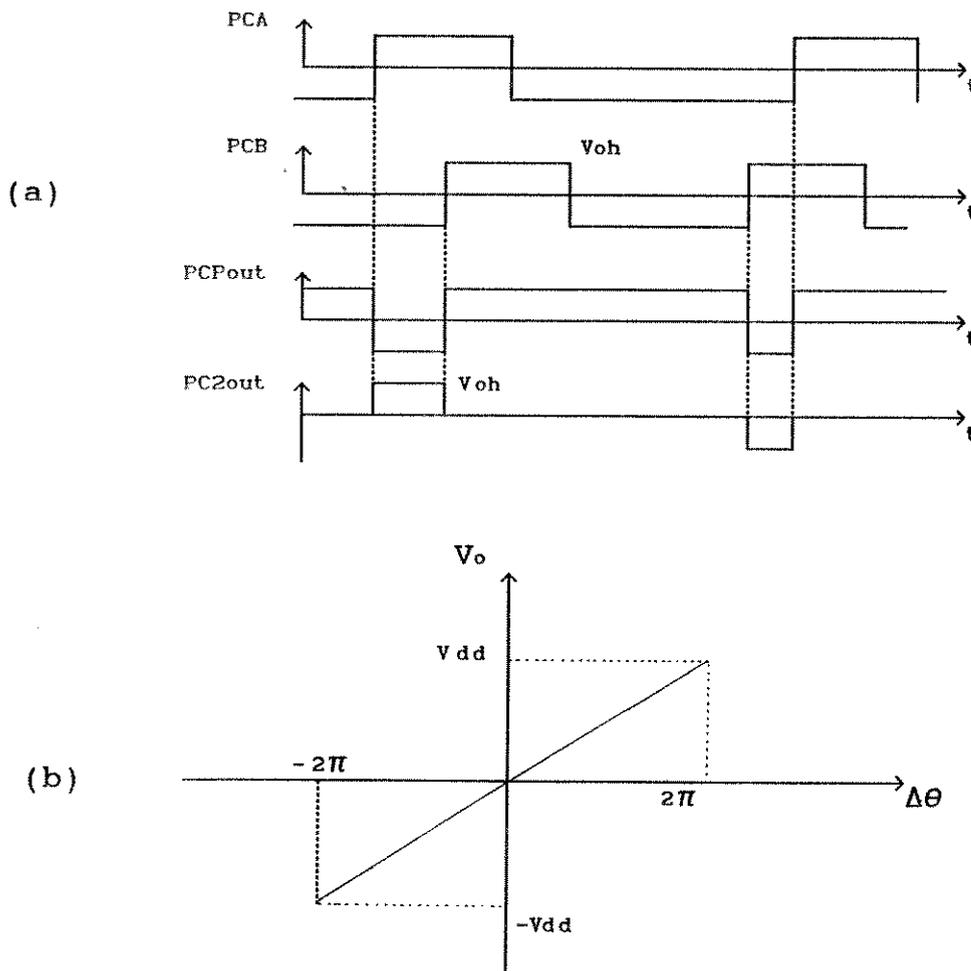
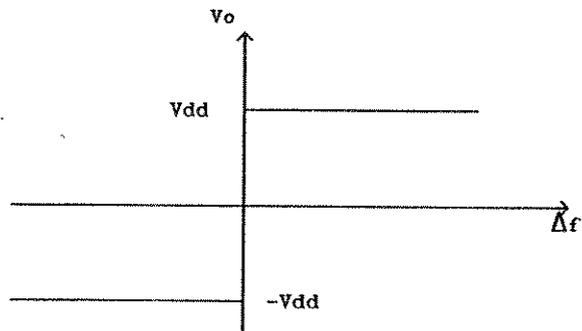


Figura C.14 (a) Formas de ondas do detetor de fase-freqüência do CI 4046.  
 (b) Característica de saída do detetor de fase-freqüência

A saída PC2 assumirá o terceiro estado para o restante do período em que as condições acima não ocorrerem.

A característica de transferência do detetor de fase-freqüência do CI 4046 é mostrada na figura C.14b .

Quando as freqüências de entradas são diferentes, a característica de transferência que o detetor assume é mostrada na figura C.15 . Se a freqüência do sinal A for maior que a freqüência do sinal B, a saída assume tensão positiva. Se a freqüência do sinal A for menor que a freqüência do sinal B, a saída assume tensão negativa.



$V_o$  - tensão média na saída  
 $\Delta f = f_A - f_B$   
 $f_A$  - frequência do sinal de referência  
 $f_B$  - frequência do encoder

Figura C.15 Característica não linear do detetor de fase-frequência.

## C.6 PLL DIGITAL

A estrutura em blocos de um PLL digital é praticamente a mesma de um PLL analógico. A diferença está na implementação dos blocos. Na figura C.16 é mostrado o diagrama em blocos de um PLL digital.

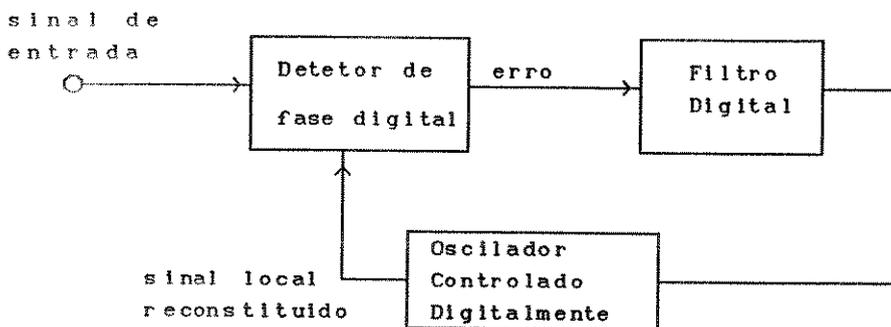


Figura C.16. Diagrama em blocos de um PLL digital (D PLL).

A implementação de um PLL digital pode ser feita de várias maneiras. Basicamente o que difere de um PLL digital (DPLL) para outro é a forma de se implementar o detetor de fase.

Segundo Lindsey and Chie [4] existem 4 formas básicas de se implementar um detetor de fase digital. São elas :

1. DPLL tipo FLIP-FLOP (FF)
2. DPLL tipo NYQUIST RATE (NR)
3. DPLL tipo ZERO CROSSING (ZC)
4. DPLL tipo LEAD-LAG (LL)

No detetor de fase FF-DPLL o erro de fase é obtido da contagem do tempo entre a rampa de subida do sinal de entrada e a rampa de subida do sinal local.

No detetor de fase NR-DPLL o sinal de entrada é amostrado à taxa de Nyquist, isto é, a amostragem do sinal é escolhida de forma a ser possível reconstruir o sinal de entrada de acordo com o teorema de amostragem de Nyquist. As amostras digitais são então multiplicadas digitalmente com as amostras do sinal local para produzir as amostras do erro de fase.

No detetor de fase ZC-DPLL o sinal de entrada é amostrado na rampa de subida, isto é, a amostragem ocorre cada vez que o sinal de entrada cruzar o eixo das abscissas no sentido positivo. ( pode-se também implementar um detetor de fase ZC-DPLL em que a amostragem seja feita na subida e descida do sinal de entrada).

No detetor de fase LL-DPLL, a cada ciclo é feita a análise do sinal de entrada, se ele está adiantado (lead) ou atrasado (lag) em relação ao sinal do oscilador local.

A seguir serão analisados os sistemas tipo FF e NR.

### C.6.1 PLL DIGITAL TIPO FLIP-FLOP

Na figura C.17 é mostrado o diagrama em blocos do DPLL tipo FLIP-FLOP.

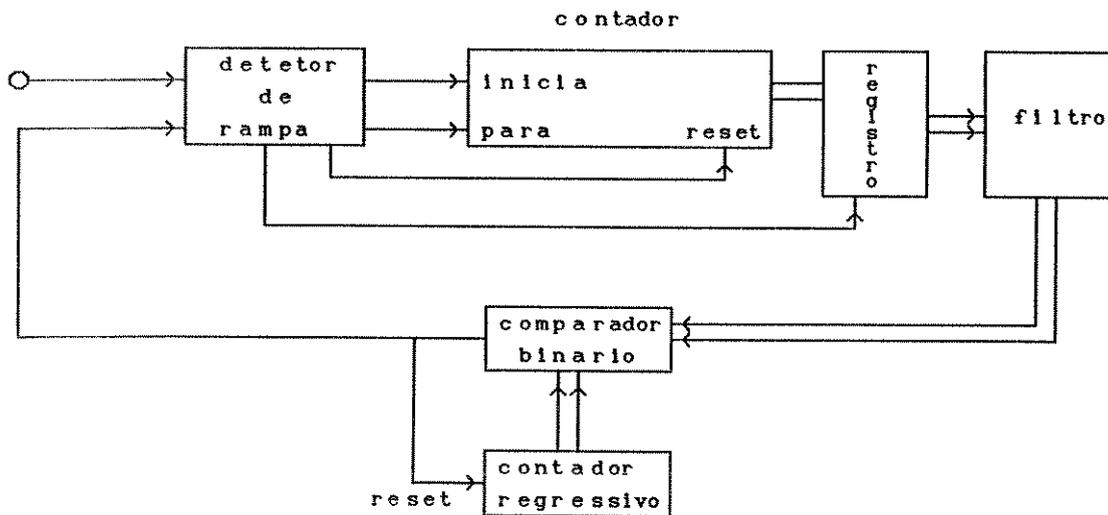


Figura C.17 PLL digital tipo FF.

O bloco detetor de rampa tem a função de detetar a rampa de subida do sinal de entrada e do sinal do oscilador local. Ele gera sinais para iniciar, parar a contagem, zerar o contador e para o armazenamento da informação no registro.

Na rampa de subida do sinal de entrada a contagem é iniciada. Na rampa de subida do sinal do oscilador local inibi-se a contagem. Este valor de contagem indica a diferença de fase entre os sinais. Este valor é armazenado no registro e filtrado digitalmente. O valor filtrado é em seguida aplicado ao oscilador controlado digitalmente (DCO).

O funcionamento do DCO é o seguinte: a informação binária vinda do filtro é comparada com a informação de um contador

regressivo. Quando as duas informações forem iguais gera-se um pulso. Este pulso serve como sinal de saída do DCO e também para zerar o contador. Quanto maior o valor binário aplicado ao DCO, menos tempo o contador leva para atingir este valor e maior a frequência do sinal gerado na saída.

### C.6.2 PLL DIGITAL TIPO NYQUIST RATE (NR).

Na figura C.18 é mostrado o diagrama em blocos de um PLL digital à taxa de Nyquist. O maior problema deste tipo de PLL é o tempo necessário para executar a multiplicação entre as amostras do sinal de entrada e as amostras do oscilador local, que é muito grande.

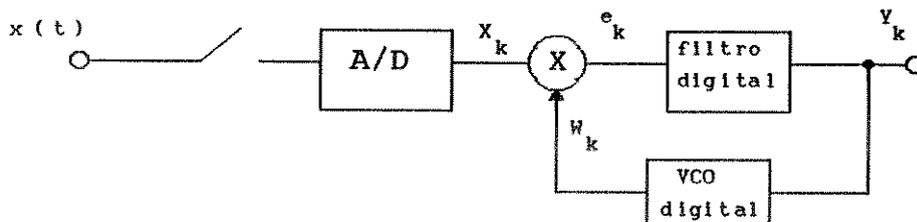


Figura C.18 Um PLL digital tipo NR.

Uma das soluções utilizadas é gerar um sinal quadrado no VCO, e a única função que o microcomputador tem que executar é uma operação lógica E. Isto economiza tempo, embora traga o problema de gerar muitas harmônicas.

## REFERÊNCIAS BIBLIOGRÁFICAS

1. PRASAD E.S.N., DUBEY G.K. AND PRABHU S.S .  
High-performance DC motor drive with Phase-locked Loop regulation.  
IEEE Transaction on Industry Applications. VOL IA-21, N. 1, , pp 192  
- 201, Jan/Feb 1985.
2. MOORE A.W. , Phase-locked Loops for motor speed control, IEEE SPECTRUM, VOL 10, pp 61-67, April 1973.
3. HOANG LE-HUY, A synchronous thyristorized DC motor drive , IEEE Transactions on Industry Applications, VOL 1A-15, N. 2, Mar/Apr 1979
4. LINDSEY W.C. & CHIE C.M., A survey of digital phase-locked loops, Proceedings of the IEEE, VOL 69, N. 4, pp 410-431, April 1981.
5. GARDNER F.M. , Phaselock techniques, , Jonh Wiley Sons, 1979.
6. DC motors, speed control and servo systems,  
engineering handbook, 3rd ed. , Electrocraft Corp, 1975.

7. NARENDRA K.S. & TAYLOR J.H., Frequency domain criteria for absolute stability, Academic Press , 1973.

8. CASTRUCCI P.B.L. & CURTI R., Sistemas Não Lineares, Editora Edgard Blucher Ltda , 1981, volume 2.

9. GEIGER D.F. , Phaselock Loops for DC motor speed control, John Willey & Sons, 1981.

10. ALVAREZ A.I.M., Caos em sistemas de controle de motores CC pela tecnica PLL-DUAL, Campinas, 1991, Tese de Mestrado, FEE, Unicamp.

11. BERLIN H.M., Design of Phase-Locked Loop circuits, with experiments, First Edition, Fifth Printing, Howard W. Sams & Co. Inc, 1982.

12. CHILIKIN M., Eletric Driver, Editora Mir, 1978.

13. POMILIO J.A., Frenagem Regenerativa de Maquinas CC acionadas por recortador: Maximizacao da Energia Regenerada, Campinas, 1986, Tese de Mestrado, FEE, Unicamp.

14. TAL J., Speed Control by Phase-locked servo systems. New possibilities and limitations, IEEE Transaction on Industrial Electronics and Control Instrumentation, Vol IECI-24, n. 1, pp 118 -125, Febr 1977.

15. VITERBI A.J., Principles of coherent communication, McGraw-Hill Book Co, 1966.

16. ALMEIDA J.L.A., Eletronica de potencia, 2nd edição, Livros Érica Editora Ltda, 1986.

17. OGATA K., Engenharia de controle moderno, Prentice Hall do Brasil, 1985.

18. KUO B.C., Digital control systems, Holt Rinehart and Winston Inc, 1980.

19. KATZ P., Digital control using microprocessors, Prentice Hall International, 1981.

20. Linear Data Book, National Semiconductor Corp.

21. Motorola Cmos Integrated Circuits, Motorola Inc, 1978.

22. BARDEN JR W., Manual do microcomputador Z-80, Editora Campus, 1985.

23. FRANKLIN G.F. & POWELL J.D., Digital control of dynamic systems, Addison-Wesley Publising Company, 1981.

24. AGGARWAL J.K., Non Linear Systems, Van Nostrand Reinhold Company, 1972.

25. CYPRIANO L.B. E CARDINALI P.R., Microprocessador Z-80, Livros Érica Editora Ltda, 1983, vol 1.

26. CHEN C.T., Linear system theory and design, Holt Rinehart and Winston Inc, 1984.

27. PALHARES A.G.B., Controle por realimentacao de Estado e modulacao em largura de pulsos de um servo-posicionador Eletro-Hidraulico, Campinas, 1980, Tese de Doutorado, Unicamp.

28. PALHARES A.G.B., EGUNI G., OLIVEIRA A.M., Determination on line DC motors parameters trough ressonance, Telecon 85, Telecommunication and Control, Rio de Janeiro, Dez 1985.