

UNIVERSIDADE ESTADUAL DE CAMPINAS - UNICAMP
FACULDADE DE ENGENHARIA ELÉTRICA - FEE

" MODELAMENTO, PROJETO E
CARACTERIZAÇÃO DE TRANSISTORES
VERTICAIS DMOS DE POTÊNCIA E
ESTRUTURAS DE ALTA TENSÃO
COMPATIVÉIS COM A
TECNOLOGIA CMOS "

FRANK HERMAN BEHRENS

Orientador: Prof. Dr. WILMAR BUENO de NORAES.
DEMIC - FEE - UNICAMP.

Co-orientador: Prof. Dr. PIERRE ROSSEL.
Laboratoire d'Automatique et d'Analyse des Systemes - L.A.A.S.
Toulouse, França.

Dissertação apresentada à
Faculdade de Engenharia Elétrica da
Universidade Estadual de Campinas - UNICAMP
como parte dos requisitos exigidos
para obtenção do título de
MESTRE EM ENGENHARIA ELÉTRICA.

CAMPINAS, 1989

Este exemplar corresponde
à redacção final da Tese
defendida por FRANK HERMAN
BEHRENS e aprovada pela
COMISSÃO JULGADORA em 05/4/89

Wifredo Bruno de 

Ofereço este trabalho aos meus pais Curt e
Alice, pelo início desta aventura.

Ofereço ainda à Ana Maria, pela "força"
de todos estes anos e ao meu irmão Jorge.

O trabalho que ora apresentamos foi resultado do esforço conjunto de diversas pessoas, sem as quais não teríamos tido a oportunidade de concluí-lo.

Sua origem remonta a meados de 1986, por ocasião dos primeiros trabalhos referentes ao convênio CNPq / C.N.R.S. (França), envolvendo o Instituto de Microeletrônica do Centro Tecnológico para Informática e o Laboratoire de Automatique et d'Analyse des Systemes (LAAS - Toulouse) no desenvolvimento de um programa de intercâmbio científico sobre Dispositivos e Circuitos Integrados de Potência e Alta Tensão.

Do lado brasileiro, gostaríamos de agradecer à coordenação deste convênio à nível do CTI, na pessoa do Prof. Carlos Ignácio Zamitti Mammana, Diretor do Instituto de Microeletrônica e à Enga. Ana Maria Pünder Kuniyoshi, Chefe da Linha de Ação B.

Internamente ao IM / CTI, gostaríamos de expressar nossa profunda gratidão ao Prof. Nicolao Januzzi pelo seu interesse e pelo auxílio na fase final de redação e correção deste trabalho, à Luisa, Susete e Nilsa pelo auxílio na edição do texto, ao Sergio pelo excelente trabalho com as figuras e ilustrações e ao Engo. Orlando Volpato pela revisão e pelas sugestões.

Do lado francês, gostaríamos de expressar nosso profundo reconhecimento ao Prof. Pierre Rossel, Diretor de Pesquisa do CNRS e Chefe do grupo de Composants et Circuits a Effect de Champ do LAAS, pelo auxílio excepcional prestado em todas as fases deste trabalho, pelo seu dinamismo e competência científica com os quais nos acolheu amigavelmente por ocasião de nossas duas estadias no LAAS e, acima de tudo, pela amizade desenvolvida nestes anos. Agradecemos também aos amigos do LAAS pela acolhida, e particularmente ao amigo Georges Charitat, com quem trocamos valiosas idéias sobre este trabalho.

Agradecemos particularmente ao Prof. Wilmar Bueno de Moraes, do Departamento de Eletrônica e Microeletrônica (DEMIC) da UNICAMP, pela orientação paciente e criteriosa desta tese e à diretoria do Laboratório de Eletrônica e Dispositivos (LED) pela permissão de uso de instrumentos de medidas utilizados na caracterização dos protótipos.

Finalmente, gostaríamos de agradecer aos amigos do Grupo de Projetos, companheiros de anos de esforços, pelas sugestões e pela " força " e à todos que contribuíram para a realização deste trabalho e que involuntariamente foram omitidos.

Campinas, Janeiro de 1989.

... Por causas ainda
desconhecidas ...

" Visto que os antigos deram muitíssima importância à mecânica na investigação das coisas naturais e os modernos, rejeitando as formas substanciais e as qualidades ocultas, empenham-se por submeter os fenômenos da natureza às leis da matemática (...), a dificuldade precípua da filosofia parece consistir em que se investiguem, a partir dos fenômenos dos movimentos, as forças da natureza, demonstrando-se a seguir, por meio dessas forças, os outros fenômenos (...). Oxalá pudessemos também derivar os outros fenômenos da natureza dos princípios mecânicos, (...), porque muitas razões me levam a suspeitar que todos esse fenômenos podem depender de certas forças pelas quais as partículas dos corpos, por causas ainda desconhecidas, ou se impellem mutuamente, juntando-se segundo figuras regulares, ou são repelidas e retrocedem umas em relação às outras. Ignorando essas forças os filósofos tentaram em vão até agora a pesquisa da natureza. "

Cambridge, Trinity College, 8 de maio de 1686.

Sir Isaac Newton,

in " Philosophiae Naturalis Principia Mathematica ".

Resumo.

Esta tese tem por objetivo a investigação da viabilidade de projeto de transistores VDMOS de potência e alta tensão, construídos num processo CMOS convencional, normalmente utilizado para aplicações de baixa tensão. Visa também verificar a possibilidade de construção monolítica do dispositivo VDMOS de potência integrado a um circuito lógico de controle à baixa tensão.

Primeiramente, são discutidos alguns aspectos teóricos das tecnologias de fabricação disponíveis, da tecnologia CMOS convencional, do modelamento do fenómeno de ruptura de junções P / N planares e do modelamento da resistência de condução de transistores VDMOS.

Em seguida, com base nos aspectos teóricos desenvolvidos, discute-se o projeto e a caracterização elétrica de uma pastilha teste, contendo diodos e transistores VDMOS de alta tensão, fabricados num processo CMOS poço P, 3 micra, com uma camada de silício policristalino e uma camada de metal.

Os resultados experimentais indicam a possibilidade de construção de transistores VDMOS para 100 volts e 75 mohm . cm², que podem ser otimizados em termos da resistência de condução se o processo utilizado permitir o uso de lâminas epitaxiais do tipo N- / N⁺, resultando num desempenho elétrico semelhante aos dispositivos comerciais atualmente existentes.

A construção monolítica de dispositivos VDMOS e circuitos lógicos de controle a baixa tensão também se mostrou favorável.

Palavras-chave: Transistor MOS de potência, ruptura por avalanche, alta tensão, resistência de condução.

Abstract.

The objective of this thesis is to investigate the design viability of power and high-voltage VDMOS transistors, built in a standard CMOS process, usually used for low-voltage applications. Also, the monolithic integration possibility of power VDMOS devices and low-voltage logic control circuitry is verified.

First of all, follows a discussion on some theoretical aspects of the available technologies, specially the CMOS standard technology, P / N planar junction breakdown modeling and the conduction resistance (on - resistance) modeling for VDMOS transistors.

Afterwards, the design of a test chip containing high-voltage diodes and VDMOS transistors is discussed, as well as the electric characterization of the prototypes fabricated in a P-well, 3 micron, single poly and single metal CMOS process.

The experimental results show that 100-volt and 75 mohm . cm² VDMOS transistors can be designed on the standard CMOS process used.

A further optimization leading to an on-resistance reduction is possible if the process could be started with N- / N+ epitaxial silicon wafers, resulting in a device performance similar to the commercial ones available nowadays.

The monolithic fabrication of a VDMOS transistor and some low-voltage control logic was also found to be favorable.

Key words: Power MOS transistor, avalanche breakdown, high-voltage, on-resistance.

Résumé.

Ce travail a été développé dans le but de rechercher une méthode capable de viabiliser le projet d'un transistor VDMOS de puissance et haute tension, en s'utilisant d'un processus CMOS conventionnel, de basse tension; ensuite, par des essais expérimentaux, vérifier la possibilité d'intégration monolithique du dispositif VDMOS et d'un circuit logique de contrôle à basse tension.

Tout d'abord, sont présentés les aspects théoriques des technologies disponibles actuellement, spécialement la technologie CMOS standard, de la tenue en tension de jonctions planar et de la résistance à l'état passant des transistors VDMOS.

En suite, sur la base théorique développée, on discute le projet et la caractérisation électrique d'un prototype de test, contenant des diodes et des transistors VDMOS à haute tension, dans le cadre d'un processus CMOS caisson P, 3 microns, avec une couche de polysilicium et une couche de métal.

Les résultats expérimentaux ont montré la réelle possibilité de construction des transistors VDMOS de 100 volt et 75 mohm . cm². La résistance à l'état passant pourrait être optimisée par l'utilisation des substrats épitaxiaux du type N⁻ / N⁺, résultants des performances similaires aux dispositifs commerciaux actuels.

La construction monolithique des dispositifs VDMOS et des circuits logiques de contrôle à basse tension a été aussi favorable.

Mots clefs: Transistor MOS de puissance, claquage par avalanche, haute-tension, résistance à l'état passant.

ÍNDICE

Página.

Agradecimentos.	ii
Resumo / Abstract / Résumé.	iv
Índice.	vii
Lista de símbolos.	xi
 Introdução.	 1
Capítulo 1 - Tecnologias para fabricação de dispositivos e circuitos integrados MOS de potência.	
INTRODUÇÃO.	6
1.1 - TECNOLOGIAS MOS e MOS-BIPOLARES PARA DISPOSITIVOS E CIRCUITOS INTEGRADOS DE POTÊNCIA E ALTA TENSÃO.	7
1.1.1 - Tecnologias para dispositivos inteligentes de potência.	8
1.1.2 - Tecnologias para circuitos integrados de alta tensão.	11
1.2 - A TECNOLOGIA CMOS CONVENCIONAL.	15
1.2.1 - Sequência das etapas do processo.	16
1.2.2 - Variantes tecnológicas.	23
1.2.3 - Principais parâmetros de processo e regras de projeto.	24
1.2.4 - O transistor VDMOS no processo CMOS convencional.	36
1.3 - CONCLUSÕES.	40

Capítulo 2 - Tensão de ruptura em junções P / N planares.

INTRODUÇÃO.	41
2.1 - A RUPTURA DE JUNÇÕES SEMICONDUTORAS PLANARES.	42
2.1.1 - A junção planar real.	42
2.1.2 - Definição de ruptura.	43
2.2 - MODELOS PARA O CÁLCULO DA TENSÃO DE RUPTURA POR AVALANCHE.	50
2.2.1 - A junção abrupta.	52
2.2.2 - A junção linearmente dopada.	57
2.2.3 - A junção difundida real.	61
2.2.4 - A região cilíndrica de uma junção planar.	66
2.2.5 - A região esférica de uma junção planar.	76
2.2.6 - A transição entre as rupturas esférica e cilíndrica.	84
2.3 - OUTROS MECANISMOS DE RUPTURA DE UMA JUNÇÃO.	88
2.3.1 - " Punch - through ".	88
2.3.2 - Efeitos de superfície.	89
2.2.3 - Ruptura de uma junção plana do tipo P+ / N- / N+.	90
2.4 - TÉCNICAS DE TERMINAÇÃO DE JUNÇÕES P / N-.	96
2.4.1 - Principais tipos de estruturas de terminação.	98
2.4.2 - Terminação por anéis de guarda difundidos.	107
2.5 - CONCLUSÕES.	113

Capítulo 3 - O transistor MOS de potência.

INTRODUÇÃO.	114
3.1 - ASPECTOS BÁSICOS DOS TRANSISTORES MOS DE POTÊNCIA.	115
3.1.1 - Estruturas básicas para potência.	116
3.1.2 - Características de operação.	120
3.1.3 - O transistor vertical DMOS.	124
3.2 - MODELAMENTO DA RESISTÊNCIA DE CONDUÇÃO R_{on} DE DISPOSITIVOS VDMOS.	127
3.2.1 - A resistência de canal R_{ch} .	130
3.2.2 - A resistência de acumulação R_a .	132
3.2.3 - A resistência de volume R_d .	136
3.2.4 - A influência da geometria da célula VDMOS sobre R_{on} .	139
3.2.5 - A otimização de R_{on} .	144
3.3 - A OTIMIZAÇÃO DE R_{on} e V_{br} DE UM TRANSISTOR VDMOS.	147
3.3.1 - Caso de estruturas de baixa tensão.	148
3.3.2 - Caso de estruturas de média tensão.	149
3.3.3 - Caso de estruturas de alta tensão.	149
3.3.4 - O plano $(1 / R_{ons}) \times V_{br}$.	150
3.4 - O EFEITO DE " Punch - Through " ENTRE FONTE E DRENO.	151
3.5 - CONCLUSSES.	157

Capítulo 4 - Realização experimental de dispositivos planares de alta tensão.	
INTRODUÇÃO.	158
4.1 - A PASTILHA DE TESTE POTMOS.	159
4.1.1 - Os diodos de alta e baixa tensão.	160
4.1.2 - Os transistores VDMOS.	167
4.1.3 - O transistor VDMOS de alta tensão acionado por um circuito lógico de baixa tensão.	171
4.1.4 - O circuito integrado POTMOS.	181
4.2 - RESULTADOS EXPERIMENTAIS.	183
4.2.1 - Caracterização visual da pastilha POTMOS.	183
4.2.2 - Comportamento das estruturas projetadas quanto a tensão de ruptura.	189
4.2.3 - Comportamento em condução dos transistores VDMOS.	197
4.2.4 - Funcionamento do circuito lógico de controle do transistor VDMOS - AT.	204
4.2.5 - Interpretação das anomalias encontradas.	206
4.3 - CONCLUSÕES E SUGESTÕES.	214
4.3.1 - Considerações quanto a otimização do desempenho das estruturas projetadas.	214
4.3.2 - Considerações sobre a viabilidade do projeto de dispositivos de potência num processo CMOS convencional.	217
Conclusões gerais.	220
Proposições para trabalhos futuros.	221
Referências.	223
Anexo A - Definição da integral de ionização.	A1
Anexo B - Solução geral das integrais de ionização.	B1

Lista de símbolos.

A	- Constante de ionização de Fulop.
A_n	- Constante de ionização de Fulop para elétrons.
A_p	- Constante de ionização de Fulop para lacunas.
AT	- Designação de Alta Tensão.
BT	- Designação de Baixa Tensão.
C_{ox}	- Capacitância do óxido de porta, por unidade de área.
CMOS	- Tecnologia MOS complementar.
CVD	- Deposição química a partir da fase vapor.
D	- Designação do terminal de dreno.
d	- Distância real entre junções de poço P consecutivos.
d1	- Distância real entre a junção principal P/N- e o primeiro anel de guarda P+.
d2	- Distância real entre as junções P+/N- de anéis de guarda P+ consecutivos.
DMOS	- Transistor MOS de dupla difusão.
DMP	- Distância mínima entre linhas de Si-poli.
dV / dt	- Taxa de variação de tensão no tempo.
E	- Genericamente, intensidade de campo elétrico.
$E(x)$	- Função distribuição de campo elétrico, em coordenadas cartesianas, segundo a direção x.
$E(r)$	- Função distribuição de campo elétrico, em coordenadas cilíndricas ou esféricas, segundo r.

E_{cl}	- Campo elétrico crítico de ruptura de uma junção linearmente dopada.
E_{cp}	- Campo elétrico crítico de ruptura de um junção abrupta plana, equivalente a E_{crit} (plano).
E_{cpp}	- Campo elétrico crítico de ruptura de uma estrutura $P^+/N^-/N^+$.
$E_{crit}(cil)$	- Campo elétrico crítico de ruptura de uma junção abrupta cilíndrica.
$E_{crit}(esf)$	- Campo elétrico crítico de ruptura de uma junção abrupta esférica.
E_{max}	- Valor máximo da intensidade de campo elétrico.
$E_{max}(cil)$	- Valor máximo da intensidade de campo elétrico na região cilíndrica de uma junção planar.
$E_{max}(esf)$	- Valor máximo da intensidade de campo elétrico na região esférica de uma junção planar.
ϵ_{ox}	- Permissividade do óxido de silício.
ϵ_{si}	- Permissividade do silício cristalino.
F	- Designação do terminal de fonte.
FF	- Fator de forma.
FA	- Fator de área.
G	- Gradiente de concentração de impurezas de uma junção linearmente dopada.
g_m	- Transcondutância.
H	- Espessura da lâmina ou da camada epitaxial N^- .
h	- Espessura da região P^+ numa estrutura $P^+/N^-/N^+$.
H_c	- Solução geral da integral de ionização para uma junção abrupta cilíndrica.
H_e	- Solução geral da integral de ionização para uma junção abrupta esférica.
I	- Genericamente, corrente elétrica.
I_n	- Integral de ionização para elétrons.

I_p	- Integral de ionização para lacunas.
I_{ds}	- Corrente entre dreno e fonte.
J_{ds}	- Densidade de corrente entre dreno e fonte.
K	- Largura da fita de Si-poli entre junções de poço P consecutivas (estrutura 2).
K_1	- Largura da fita de Si-poli que recobre a distância entre o primeiro anel $P+$ e a borda da máscara de poço P (estrutura 1).
K_2	- Largura do anel de guarda $P+$ (a nível de máscara) (estrutura 1).
K	- Constante de campo elétrico.
k	- Constante de Boltzmann.
K'	- Parâmetro de transcondutância ($K' = \mu_o \cdot C_{ox}$).
$K(R_a)$	- Coeficiente corretivo da resistência de acesso R_a .
$K(R_d)$	- Coeficiente corretivo da resistência de volume R_d .
K_c	- Constante de campo elétrico cilíndrico.
K_e	- Constante de campo elétrico esférico.
k_{pc}	- Constante de placa de campo.
L	- Comprimento de canal.
L_{pt}	- Comprimento de canal do diodo de proteção por "punch-through".
l	- Distância intercelular (entre células VDMOS).
l_{ot}	- Distância intercelular ótima.
$LD(P+)$	- Difusão lateral da difusão $P+$.
$LD(N+)$	- Difusão lateral da difusão $N+$.
$LDMOS$	- Transistor DMOS lateral.
m	- Coeficiente angular de placa de campo.
MIS	- Estrutura metal-isolante-semicondutor.

MOS	- Tecnologia metal-óxido-semicondutor.
n	- Número de anéis de guarda difundidos.
$N(x)$	- Função distribuição de impurezas dopantes, segundo a direção x.
N_a	- Concentração de impurezas aceitadoras (tipo P).
N_B	- Concentração de impurezas no substrato.
N_d	- Concentração de impurezas doadoras (tipo N).
NMOS	- Transistor MOS de canal tipo N.
N_o	- Solubilidade sólida do material dopante no silício.
N_s	- Concentração de impurezas dopantes na superfície.
OXC	- Óxido de campo.
P	- Designação do terminal de porta.
P_d	- Potência dissipada.
PMOS	- Transistor MOS de canal tipo P.
PSG	- Vidro fósforo-silicato de passivação.
Q	- Densidade volumétrica de cargas.
q	- Carga do elétron.
$Q(x)$	- Função densidade volumétrica de cargas, em coordenadas cartesianas, segundo a direção x.
$Q(r)$	- Função densidade volumétrica de cargas, em coordenadas cilíndricas ou esféricas, segundo r.
Q_{ss}	- Densidade de cargas fixas na interface Si - SiO ₂ .
r	- Largura de célula VDMOS.
R_a	- Resistência de acesso.
R_{as}	- Resistência de acesso específica.
R_c	- Resistência de contato.
R_{ch}	- Resistência de canal.
R_{chs}	- Resistência de canal específica.

Rd	- Resistência de volume.
Rds	- Resistência de volume específica.
Rd (quad)	- Resistência de folha da camada epitaxial N-.
Rj	- Resistência devida ao efeito J - FET.
Rm	- Raio de curvatura dos cantos da máscara de difusão.
RN	- Resistência da difusão N+ de fonte.
rn	- Extensão da região de depleção do lado N, em coordenadas cilíndricas e esféricas.
rp	- Extensão da região de depleção do lado P, em coordenadas cilíndricas e esféricas.
Ron	- Resistência de condução.
*	
Ron	- Resistência de condução Ron por unidade de perímetro.
Rons	- Resistência de condução específica.
(Rons) ⁻¹ _B	- Condutância específica: caso de baixa tensão.
(Rons) ⁻¹ _M	- Condutância específica: caso de média tensão.
(Rons) ⁻¹ _A	- Condutância específica: caso de alta tensão.
Rs	- Resistência do substrato N+.
RS (N+)	- Resistência de folha da difusão N+.
RS (P+)	- Resistência de folha da difusão P+.
S	- Área ativa do dispositivo.
Si	- Silício.
SiO ₂	- Óxido de silício.
Si ₃ N ₄	- Nitreto de silício.

T	- Temperatura absoluta (Kelvin).
t	- Tempo.
t_d	- Tempo de descida (90 % à 10 %).
t_{ox}	- Espessura do óxido de porta
t_{oxc}	- Espessura do óxido de campo.
t_s	- Tempo de subida (10 % à 90%).
u_o	- Mobilidade de elétrons em regime de inversão, a campo fraco.
u_n	- Mobilidade de elétrons no substrato.
u_{na}	- Mobilidade de elétrons em regime de acumulação, a campo fraco.
V	- Genericamente, tensão ou diferença de potencial elétrico.
$V(x)$	- Função distribuição de potencial elétrico, em coordenadas cartesianas, segundo a direção x .
$V(r)$	- Função distribuição de potencial elétrico, em coordenadas cilíndricas ou esféricas, segundo r .
V_a	- Tensão aplicada.
V_{br}	- Genericamente, tensão de ruptura do dispositivo.
V_{brf}	- Tensão de ruptura final, após o processo de degeneração de V_{br} .
V_{ds}	- Tensão aplicada entre dreno e fonte.
V_{ds}^*	- Tensão aplicada entre dreno e fonte, nos extremos do canal.
V_{gd}	- Tensão aplicada entre porta e dreno.
V_{gs}	- Tensão aplicada entre porta e fonte.
V_{gs}'	- Tensão de porta efetiva ($V_{gs} - V_t$).

V_{ic}	- Queda de tensão inter-anel para junções cilíndricas.
V_{ie}	- Queda de tensão inter-anel para junções esféricas.
V_{ih}	- Tensão de entrada em nível lógico "1".
V_{il}	- Tensão de entrada em nível lógico "0".
$VMOS$	- Transistor MOS em gravura V, vertical.
$VDMOS$	- Transistor DMOS vertical.
V_n	- Tensão desenvolvida no lado N de uma junção reversamente polarizada.
V_{oh}	- Tensão de saída em nível lógico "1".
V_{ol}	- Tensão de saída em nível lógico "0".
V_p	- Tensão desenvolvida no lado P de uma junção reversamente polarizada.
V_{pc}	- Tensão aplicada à placa de campo.
V_{pt}	- Tensão de "punch - through" entre dreno e fonte.
V_{rc}	- Tensão de ruptura de uma junção abrupta cilíndrica.
V_{re}	- Tensão de ruptura de uma junção abrupta esférica.
V_{rl}	- Tensão de ruptura de uma junção linearmente dopada plana.
V_{rp}	- Tensão de ruptura de uma junção abrupta plana.
V_{rpp}	- Tensão de ruptura de uma junção abrupta plana limitada por "punch - through".
V_t	- Tensão de limiar de inversão (transistores NMOS).
X_c	- Extensão da região de depleção cilíndrica normalizada.
$X_c (crit)$	- Extensão crítica da região de depleção cilíndrica normalizada.
X_e	- Extensão da região de depleção esférica normalizada.

X_e (crit)	-	Extensão crítica da região de depleção esférica normalizada.
X_d	-	Comprimento de difusão.
X_j	-	Genericamente, profundidade de junção.
X_j (P+)	-	Profundidade de junção da difusão P+.
X_j (poço)	-	Profundidade de junção do poço P.
X_j (N+)	-	Profundidade de junção da difusão N+.
X_p	-	Distância entre fonte e dreno num transistor VDMOS.
Z	-	Largura de canal.
Z_{pt}	-	Largura de canal do diodo de proteção por "punch-through".
W	-	Genericamente, extensão da região de depleção.
W_c	-	Extensão da região de depleção cilíndrica.
W_e	-	Extensão da região de depleção esférica.
W_{cl}	-	Extensão crítica da região de depleção de uma junção linearmente dopada, na situação de ruptura.
W_{cp}	-	Extensão crítica da região de depleção de uma junção abrupta plana, na situação de ruptura.
W_{cpp}	-	Extensão da região de depleção numa estrutura P+/N-/N+.
W_{cc}	-	Extensão crítica da região de depleção de uma junção abrupta cilíndrica, na situação de ruptura.
W_{ce}	-	Extensão crítica da região de depleção de uma junção abrupta esférica, na situação de ruptura.
W_n	-	Extensão da região de depleção do lado N da junção.
W_p	-	Extensão da região de depleção do lado P da junção.
α	-	Coeficiente de ionização por impacto eficaz.
α_p	-	Coeficiente de ionização por impacto para lacunas.
α_n	-	Coeficiente de ionização por impacto para elétrons.

θ	- Ângulo de desfocalização constante da resistência de volume R_d .
ϕ	- Potencial de redução da mobilidade na região de inversão, devido ao campo elétrico transversal.
ϕ_B	- Potencial de corpo ou barreira de potencial de junção.
ϕ_F	- Potencial de Fermi.
ϕ_{MS}	- Diferença de função trabalho entre metal e semicondutor.
Σ_{on}	- Condutância.
Σ_{ons}	- Condutância específica ou por unidade de área.
∇^2	- Operador laplaciano.

Introdução.

Atualmente, a eletrônica de potência faz uso intensivo de dispositivos semicondutores de potência, normalmente transistores bipolares, MOSFET's ou Tiristores, aliados a circuitos de comando realizados com componentes de baixa tensão.

O controle ou acionamento de potência envolve por vezes situações extremas de desempenho do dispositivo de potência quanto à corrente máxima, tensão máxima, dissipação térmica máxima, etc. Condições adversas de funcionamento da carga acionada ou do elemento acionador levam fatalmente ao mau funcionamento ou à destruição do sistema.

O monitoramento " in loco " destas condições adversas, a tomada de decisões visando a proteção da carga e do sistema e a sinalização de eventuais disfunções para o meio externo ao sistema, são funções que por muito tempo os projetistas de circuitos desejaram incorporar ao nível do dispositivo de potência acionador [I.1].

Esta situação tornou-se tecnicamente possível a partir do de processos de fabricação para dispositivos de alta tensão e potência, evoluídos a partir das tecnologias de circuitos integrados de baixa tensão tradicionais, de tipo CMOS ou bipolar [I.2].

A possibilidade de construção monolítica de dispositivos de potência e de circuitos de controle de baixa tensão para o monitoramento das condições de chaveamento resultou no desenvolvimento de uma nova classe de componentes, denominada de Dispositivos Inteligentes de Potência, DIP's (do inglês SPD, Smart Power Devices).

A idéia de inteligência reside na capacidade de detecção de falhas e na " decisão " de sinalizar externamente e bloquear ou reduzir a intensidade do acionamento de potência, ou simplesmente armazenar informações de origem externa que configuram o modo de acionamento. São exemplos típicos os dispositivos para acionamento de cargas indutivas (motores, bobinas, etc), dispositivos para proteção de sobrecarga, os dispositivos automotivos que substituem relês e os conversores de energia.

Os Circuitos Integrados de Alta Tensão, CIAT's (do inglês HVIC, High-voltage IC's), são uma subclasse dos DIP's onde a tecnologia de potência é utilizada para se construir interfaces de alta tensão ou de potência, acoplando diretamente os circuitos de baixa tensão que controlam um certo processo ao processo em si. Contém, portanto, uma certa " inteligência ", pois são executam funções de decodificação, conversão de dados, memorização, etc [1.1]. Como exemplos, tem-se os acionadores de displays vacuo-fluorescentes e eletro-luminescentes, os controladores de motores de passo, os reguladores de tensão, etc [1.3].

A possibilidade de substituição de elementos eletromecânicos, por seus equivalentes eletrônicos, criou uma grande expectativa de mercado, a nível, internacional, considerada por vezes como uma futura revolução tecnológica, todavia não ainda não viabilizada do ponto de vista econômico.

A figura A ilustra uma estimativa de repartição de mercado para os próximos anos, comparando o crescimento dos DIP's ao mercado antes ocupado pelos dispositivos discretos tradicionais [1.4]. A figura B ilustra como o mercado dos circuitos integrados de potência em 1995 será repartido segundo a aplicação em vista [1.5].

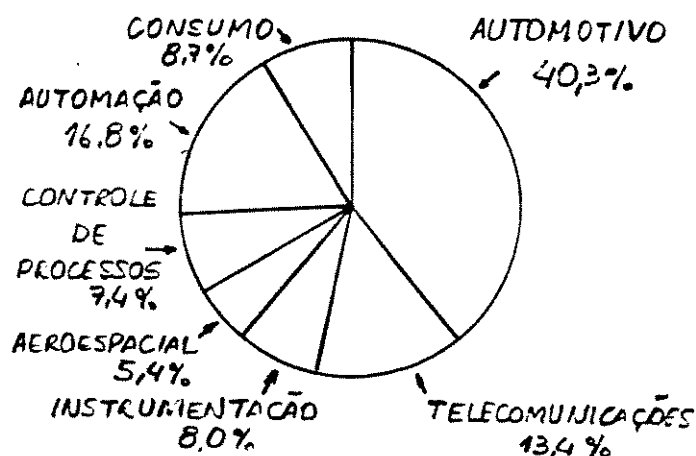


Figura A - Repartição de mercado entre os DIP's e os dispositivos de potência discretos.

Observa-se, portanto, uma grande expectativa de crescimento de utilização da tecnologia dos DIP's, para resolver um número cada vez maior de problemas clássicos do domínio eletromecânico. A indústria automotiva desponta como usuário em potencial de maior peso, em virtude da recente mudança na concepção elétrica dos automóveis com a utilização de eletrônica embarcada.

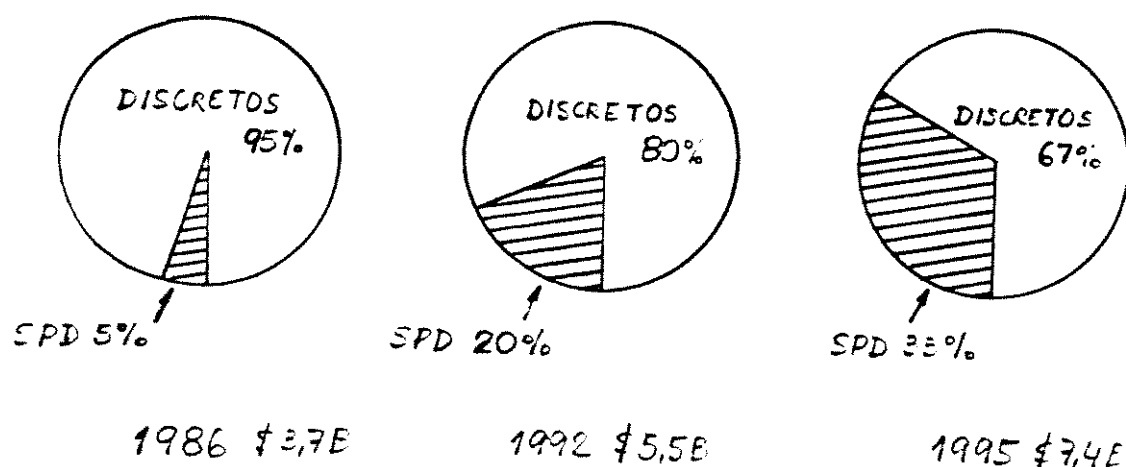


Figura B - Repartição de mercado dos Circuitos Integrados de potência por domínio de aplicação em 1995.

Cabe ressaltar que a adoção da tecnologia dos DIP's tem como vantagem ampliar a controlabilidade dos processos e aumentar a confiabilidade dos sistemas de controle. Por ora, o maior problema reside na eficiência de custo, que depende sobretudo do processo de fabricação a ser utilizado. As tecnologias atualmente disponíveis são muitas e não estão totalmente desenvolvidas.

Do ponto de vista sistêmico, o desenvolvimento de uma metodologia de projeto de DIP's e CIAT's, baseada num processo de fabricação que propicie eficiência de custo, abrirá caminho para o desenvolvimento de Circuitos Integrados de Aplicação Específica, ASIC's (do inglês, Application Specific IC's), permitindo ao projetista se sistemas que envolvam potência especificar e desenvolver os seus componentes, se beneficiando em termos de desempenho, qualidade e competitividade do produto final. Isto já vem sendo feito comercialmente por algumas empresas norteamericanas, que oferecem serviços de projeto utilizando "arrays" de componentes e células padrão, especialmente concebidas para aplicações de potência e alta tensão [I.6] [I.7].

O enfoque brasileiro para o problema de microeletrônica exige, por outro lado, a adoção de soluções simples para a integração de circuitos e sistemas, que viabilizem em termos de custos e tempo de desenvolvimento projetos de CI's de tipo ASIC.

A maior parte das necessidades brasileiras é satisfeita com projetos de CI's semidedicados e totalmente dedicados, digitais ou analógico-digitais, realizados em tecnologia CMOS convencional.

Atualmente, o mercado de eletrônica e informática vem exigindo uma competência nacional crescente quanto à integração de circuitos e sistemas, muitas vezes construídos em torno de microprocessadores de uso geral. Um próximo passo certamente será expandir esta competência do âmbito do controle para o do sensoramento e atuação. É neste último segmento que se insere a tecnologia necessária para o projeto dos DIP's e CIAT's.

Deve-se notar que a predominância de utilização da tecnologia CMOS, por parte da comunidade brasileira de projeto de CI's, justifica a tendência de se implantar fábricas de processamento e difusão nesta tecnologia, que estarão localmente disponíveis num futuro próximo.

Portanto, dados os contextos internacional e nacional acima referidos, cogitou-se da possibilidade de se investigar sob quais condições e limitações é possível utilizar uma tecnologia CMOS convencional para a realização de DIP's e CIAT's. Deseja-se saber, por exemplo, quais são os limites de tensão e de corrente e quais as restrições quanto a realização do dispositivo MOS de potência, isoladamente ou sob controle de um circuito de baixa tensão.

Desta forma, procura-se abrir a perspectiva de projeto dos DIP's ao projetistas já familiarizado ao desenvolvimento de CI's MOS, ampliando o espectro de aplicações.

Julgou-se oportuno abordar o problema do projeto de um transistor MOS vertical de dupla difusão, VDMOS, iniciando por uma visão do processo de fabricação e da estrutura física do dispositivo passível de realização, do problema da ruptura em dispositivos semicondutores e do modelamento do estado de condução de um transistor VDMOS.

Assim, discute-se no capítulo 1 as tecnologias de fabricação para DIP'S e CIAT'S, considerando-se também a possibilidade de uso da tecnologia CMOS convencional na realização do transistor VDMOS. Considera-se a tecnologia CMOS, do tipo a ser descrita no capítulo 1, como sendo convencional devido ao fato deste trabalho ter-se desenvolvido num período em que esta tecnologia era bastante disseminada, tendo sido utilizada nos projetos multiusuários brasileiros.

No capítulo 2, é abordado o fenômeno de ruptura por avalanche de junções P / N reversamente polarizadas, onde são considerados os efeitos da periferia de junções planares cilíndricas e esféricas, bem como discute-se algumas geometrias de terminação para aumento da tensão de ruptura.

O capítulo 3 trata o modelamento da resistência de condução transistor VDMOS multicelular e da otimização deste parâmetro com relação à tensão de ruptura e à geometria das células que o compoem.

Com base nestes três capítulos teóricos, desenvolve-se no capítulo 4 a descrição do projeto e da caracterização de uma pastilha de teste, denominada de CI POTMOS, contendo estruturas planares de alta tensão, realizadas no processo CMOS poço F, 3 micra, disponível por ocasião do primeiro Projeto Multiusuário brasileiro (10 PMU).

A realização deste exercício de projeto, como parte experimental desta tese, teve por objetivo principal colher informações sobre a viabilidade de utilização de um processo CMOS simples, para fins de projeto de DIP's e CIAT's.

Por fim, segue um capítulo de conclusões, que procura refletir sobre os resultados experimentais obtidos, em função do panorama nacional e internacional dos Circuitos Integrados de Potência acima descrito.

Capítulo 1 - Tecnologias para fabricação de dispositivos e circuitos integrados MOS de potência.

INTRODUÇÃO.

Os dispositivos e CI's de potência, disponíveis comercialmente hoje em dia, são construídos segundo tecnologias de fabricação do tipo MOS, Bipolar ou BICMOS, tecnologias estas desenvolvidas e otimizadas para permitir operação em alta tensão, propiciar alta condutividade aos dispositivos, ou mesmo permitir a construção monolítica de circuitos de controle de baixa tensão associados aos dispositivos de potência.

Por outro lado, a tecnologia CMOS convencional, muito utilizada para a realização de circuitos digitais e analógicos de alto desempenho, vem se tornando uma das tecnologias mundialmente dominantes.

Portanto, o presente capítulo tem por objetivo investigar a viabilidade de se utilizar a tecnologia CMOS convencional para a realização de dispositivos de potência tipo DMOS verticais (VDMOS), do ponto de vista estrutural.

Primeiramente, serão analisadas algumas opções de tecnologias MOS e MOS - Bipolares comerciais, desenvolvidas para a realização de dispositivos e circuitos integrados de potência e alta tensão. Em seguida, a tecnologia CMOS, tida neste texto como sendo convencional, será analisada em suas principais características. A estrutura do transistor DMOS vertical passível de implementação no processo CMOS convencional será discutida e comparada com as estruturas comerciais existentes. As limitações impostas pelo processo CMOS convencional serão investigadas mais adiante, no capítulo 3.

1.1 TECNOLOGIAS MOS e MOS - BIPOLARES PARA DISPOSITIVOS E CIRCUITOS INTEGRADOS DE POTENCIA E ALTA TENSÃO.

Pode-se classificar os tipos de dispositivos MOS de potência e alta tensão segundo duas famílias [1,1]:

- a) Os dispositivos inteligentes de potência, também conhecidos como " Smart Power Devices ", realizados em tecnologias que permitam a construção monolítica de uma ou mais chaves MOS de potência, em configuração vertical de dreno comum e integradas com circuitos de controle e proteção de pequena ou média complexidade. A idéia de " inteligência " advém do fato de que a integração torna possível monitorar " in loco " as condições de chaveamento, detetando anormalidades e sinalizando esta situação aos circuitos externos. Desta forma, tanto a carga quanto o dispositivo acionador são protegidos. Este tipo de tecnologia é mais apropriada para aplicações que requeiram altas tensões e altas correntes;
- b) Os circuitos integrados de alta tensão, normalmente constituídos por várias chaves MOS de alta tensão independentes, em configuração lateral, construídas juntamente com circuitos de controle de baixa tensão que podem ser de alta complexidade ou de alto desempenho funcional. Neste caso, as chaves MOS atuam como interfaces de alta tensão e média ou baixa corrente.

Algumas das funções de controle e proteção, realizadas pelos circuitos de controle associados a dispositivos de potência, são:

- Controle do chaveamento de porta, especialmente no caso de chaves à alimentação (" high - side switch ");
- Detecção de carga em aberto;
- Detecção de sobretemperatura;
- Detecção e proteção contra curto-circuito;
- Geração de diagnósticos de defeitos.

Estas duas famílias de dispositivos utilizam tecnologias de fabricação distintas, otimizadas à sua configuração estrutural, quer seja vertical, quer seja lateral.

A integração de potência apresenta como maior problema a isolação elétrica entre as seções de baixa tensão e de alta tensão.

1.1.1 Tecnologias para dispositivos inteligentes de potência.

Esta família tecnológica permite a construção de dispositivos MOS de potência verticais, normalmente do tipo VMOS, associados monoliticamente a circuitos de controle de baixa tensão e pequena complexidade, de forma a melhorar a função de chaveamento.

O fato dos dispositivos de potência serem verticais implica na idéia de que um dos terminais de potência esteja situado na parte baixa do substrato. Isto exige um processo de fabricação que exponha a superfície inferior do substrato e permita um bom contato ôhmico e térmico, por ocasião da montagem da pastilha.

Nesta tecnologia, duas abordagens são utilizadas para resolver o problema de isolamento.

a) Auto-isolação.

A figura 1.1 traz um corte transversal de uma estrutura auto-isolada, que permite a construção de dispositivos tipo "low-side switch". Observa-se que os dispositivos são realizados num substrato epitaxial do tipo N⁻ sobre N⁺, o qual está conectado eletricamente ao potencial mais alto (dreno) através da carga. A seção de baixa tensão, compreendida pelos eletrodos de fonte, porta e pelo circuito de controle, situa-se na superfície da pastilha, estando direta ou indiretamente conectada às difusões P e P⁺.

Portanto, a alta tensão é suportada pela região de depleção das junções reversamente polarizadas, que devem ser adequadamente dimensionadas quanto à dopagem e espessura da camada epitaxial N⁻, profundidade de junção (P e P⁺) e configuração de periferia, de forma a assegurar uma máxima tensão de operação, antes de atingir a ruptura.

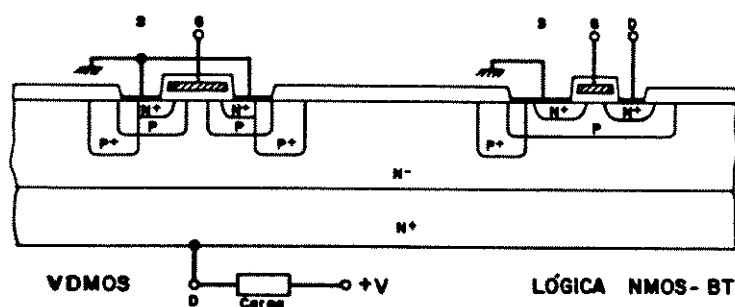


Figura 1.1 - Corte transversal de uma estrutura auto-isolada vertical, em configuração fonte comum.

Desta forma, é possível construir dispositivos para operação na faixa de 50 a 500 volts. Nenhuma etapa do processo de fabricação é crítica quanto à auto-isolação.

As desvantagens inerentes desta tecnologia são:

- i) Limitação da complexidade da parte lógica, que forçosamente deve ser integrada dentro de um poço P, contando somente com transistores tipo NMOS;
- ii) Possibilidade de " latch-up ", devido aos transitórios rápidos de chaveamento do elemento de alta tensão. A variação de tensão dV / dt acarreta o aparecimento de correntes de substrato, devido a carga e descarga das capacitâncias de depleção das junções poço P / substrato N-, reversamente polarizadas.

A estrutura da figura 1.2 é uma forma alternativa de realizar um dispositivo multi-chaves monolítico, do tipo chave à alimentação com dreno comum e cargas ligadas às fontes. O potencial de dreno é fixo, limitado pela fonte de alimentação V_{bat} . O controle de porta deve permitir obter uma tensão V_{gs} maior que $V_{bat} + V_t$, para por o transistor em condução, e menor do que V_{bat} , para cortá-lo.

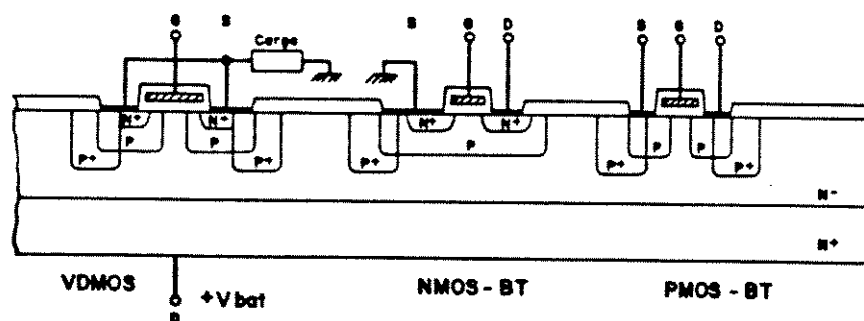


Figura 1.2 - Corte transversal de uma estrutura auto-isolada vertical, em configuração dreno comum.

b) Isolação por meio de junções verticais.

A figura 1.3 mostra o corte transversal de uma estrutura isolada por junções verticais P+. A inovação, em relação à estrutura anterior, reside no tipo de substrato, que possui duas camadas epitaxiais (N- / P / N+), e na difusão enterrada N+, que faz o contato entre a camada superficial N- e o substrato N+. A camada P atua como elemento de isolamento entre os circuitos de controle e o terminal de alta tensão, na parte baixa do substrato.

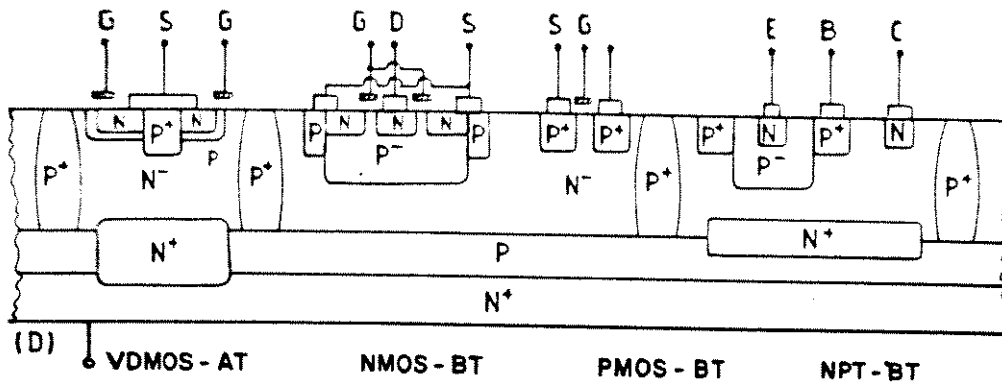


Figura 1.3 - Corte transversal de uma estrutura isolada por junções verticais, para transistores VDMOS de potência.

Nesta tecnologia é possível fazer circuitos analógicos bipolares, para sensoriamento de sobrecorrente ou sobretemperatura, circuitos digitais e analógicos CMOS, para codificação, decodificação e sequenciamento lógico, e transistores VDMOS de potência, único na configuração tipo chave à terra (do inglês, "low-side switch"), ou vários do tipo chave à alimentação, com dreno comum.

As paredes verticais P+, realizadas a partir da superfície, provêm a isolação entre as seções de baixa e alta tensão, ou mesmo entre seções de baixa tensão que requeiram isolação adicional, por questões de desempenho, como é o caso de circuitos analógicos bipolares.

Este processo é sofisticado, contando por vezes com cerca de 12 a 18 níveis de máscara.

Outros tipos de dispositivos verticais de potência podem ser construídos nesta tecnologia. O VDMOS de potência é mais adequado para as aplicações de eletrônica automotiva. O COMFET (do inglês, "conductivity modulation FET"), é um candidato às aplicações em sistemas de alta tensão que requeiram dispositivos com auto-proteção incorporada. O Tiristor - MOS é mais adequado para atuar como proteção tipo "Crowbar", contra transitórios.

A figura 1.4 ilustra uma alternativa estrutural da figura 1.3, onde o substrato é do tipo P+, ao invés de N+, permitindo a realização de dispositivos COMFET e Tiristor - MOS [1.2]. Logo, mudando-se apenas o tipo de substrato e mantendo-se o todas as outras etapas do processo de fabricação, pode-se construir circuitos integrados com diversas opções quanto ao elemento de potência.

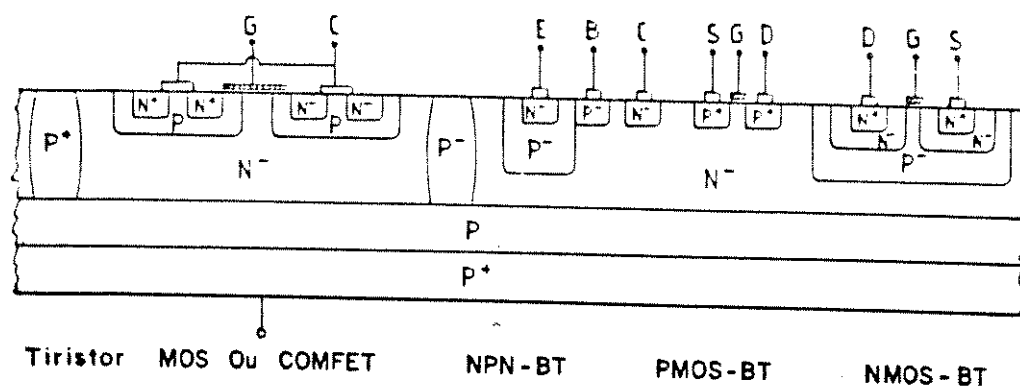


Figura 1.4 - Corte transversal de uma estrutura isolada por junções verticais, adaptada a dispositivos tipo COMFET e Tiristor - MOS.

1.1.2 Tecnologias para circuitos integrados de alta tensão.

Esta família de tecnologias se diferencia da família anterior pelo fato de todos os contatos e eletrodos do circuito, quer sejam de baixa ou de alta tensão, serem feitos pela superfície da pastilha. O substrato não conduz corrente e funciona apenas como embasamento construtivo, propicia isolamento elétrico e permite a dissipação térmica da estrutura.

São três as abordagens disponíveis para isolamento elétrico.

a) Auto-isolação.

A figura 1.5 mostra o corte transversal da estrutura auto-isolada para circuitos integrados de alta tensão. Pelo fato dos transistores MOS serem laterais (LDMOS), a estrutura dispensa o uso de um substrato epitaxial, sendo por isso, mais simples do que a da figura 1.1.

A isolamento elétrico entre as seções de baixa e alta tensão é obtida pela polarização reversa das junções N+ de dreno / substrato P-. Os transistores LDMOS de alta tensão devem ser construídos em geometria fechada, ou seja, o dreno deve ser completamente circundado pela estrutura de porta e fonte. As aplicações estão limitadas às chaves do tipo chave à terra.

Neste processo, é possível a realização monolítica de transistores PMOS dentro de um poço N- e de transistores NMOS, tipo enriquecimento e tipo depleção, no substrato P-.

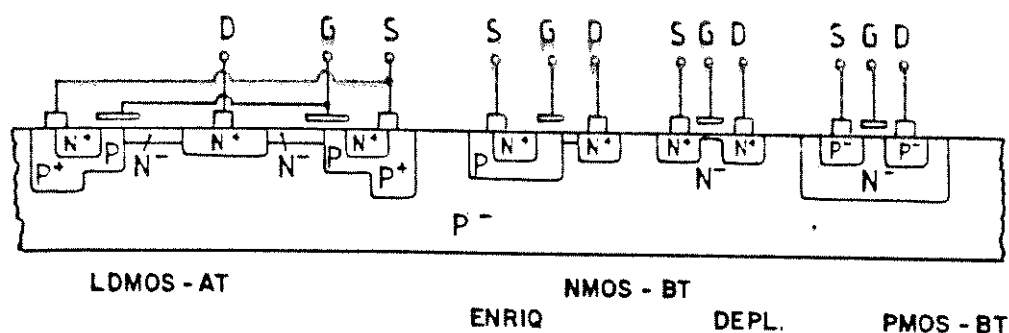


Figura 1.5 - Corte transversal de uma estrutura auto-isolada para dispositivos laterais.

Atualmente, este tipo de tecnologia é muito empregada em aplicações para excitação de "displays", atingindo tensões de ruptura de até 1000 volts.

b) Isolação por meio de junções verticais.

Esta abordagem baseia-se na mesma idéia do item 1.1.1.a, assemelhando-se muito a um processo Bipolar convencional, adaptado à tecnologia MOS, tal como mostra a figura 1.6 [1.5].

O substrato é do tipo N- / P- , de forma que a isolamento é provida por meio das junções P+ , realizadas a partir da superfície, que dão origem a ilhas N- , isoladas entre si, lateralmente, por junções N- epi / P+ e, verticalmente, pela junção plana N- epi / substrato P- .

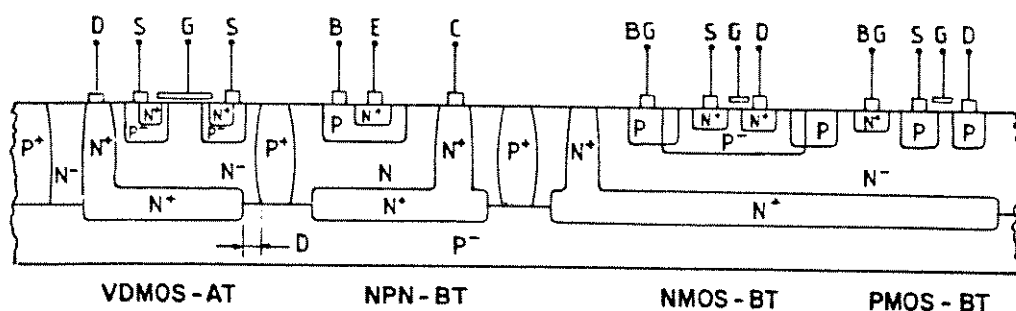


Figura 1.6 - Corte transversal de uma estrutura isolada por junções verticais, para CI's com várias saídas de alta tensão: exemplo de uma saída VDMOS.

é possível a integração de dispositivos bipolares NPN e PNP de baixa tensão e médio ou alto desempenho, circuitos CMOS digitais e analógicos, além de dispositivos de potência LDMOS (não mostrado na figura 1.6) e VDMOS com coleta de corrente na superfície por meio paredes verticais N^+ .

As aplicações limitam-se à faixa de 50 a 150 volts, onde a espessura da camada epitaxial N^- define este limite. Para camadas epitaxiais muito espessas, esta técnica de isolamento implica numa razoável perda de área superficial.

Uma variante desta abordagem de isolamento é mostrada na figura 1.7, onde o dispositivo de potência é do tipo LDMOS - RESURF [1.3], que pode ser realizado sobre substratos epitaxiais pouco espessos.

Esta variante permite a construção dos mesmos circuitos de controle que a abordagem da figura 1.6. Uma vantagem inerente aos dispositivos LDMOS - RESURF é que sua tensão de ruptura pode ser escalada simplesmente em função da distância entre porta e dreno, sem alteração do processo de fabricação. Isto permite a realização de dispositivos operando até a faixa de 1000 volts.

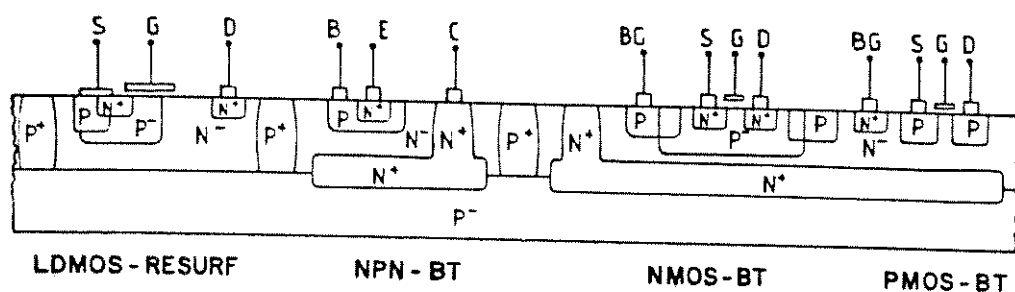


Figura 1.7 - Corte transversal de uma estrutura isolada por junções verticais, para dispositivos LDMOS RESURF.

c) Isolação dielétrica.

Trata-se de uma abordagem que permite a combinação de dispositivos DMOS de potência, tanto verticais como laterais, com circuitos lógicos CMOS resistentes a " latch-up ". Permite também a construção de dispositivos de " dupla injeção " de portadores, tais como os COMFET's e os Tiristores - MOS, de forma totalmente imune à possibilidade de " latch-up ".

A figura 1.8 traz um corte transversal desta tecnologia, cujas principais vantagens são:

- i) Isolação elétrica real, por material dielétrico, normalmente por SiO_2 ;
- ii) Maior densidade de integração, devida a menor perda de área superficial para isolamento;
- iii) Aplicações na faixa de 500 volts ou mais.

No entanto, é uma tecnologia cara, que requer grande número de etapas críticas de processo e necessita de preparo e manuseio não convencionais.

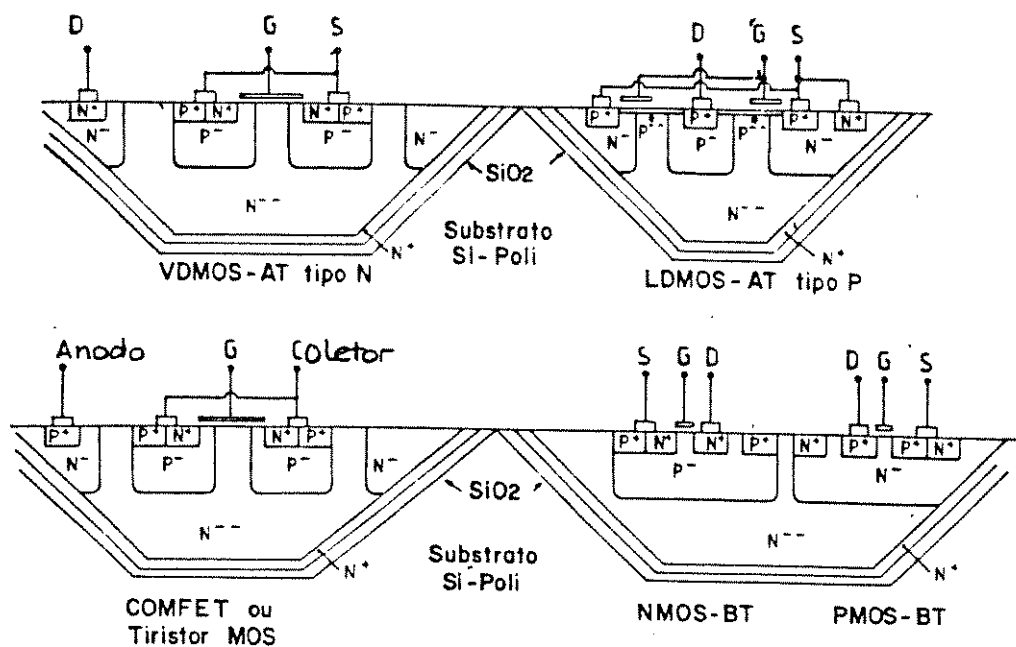


Figura 1.8 - Corte transversal de uma tecnologia de isolamento dielétrico.

1.2 A TECNOLOGIA CMOS CONVENCIONAL.

O processo de fabricação de transistores MOS de tipo complementar, ou seja, transistores PMOS e NMOS num mesmo substrato semicondutor, é conhecido genericamente como processo CMOS ou tecnologia de fabricação CMOS.

Um processo CMOS, considerado como convencional, é aquela que apresenta as seguintes características:

- a) Substrato tipo N, pouco dopado, não epitaxial;
- b) Áreas tipo P, para construção dos transistores NMOS, realizadas por poço P profundo (P - well);
- c) Transistores PMOS construídos diretamente no substrato N pouco dopado;
- d) Isolação por crescimento de óxido de campo tipo LOCOS, com implantação de campo P+ e N+ para evitar a inversão de superfície sob as áreas de isolamento;
- e) Porta de silício policristalino (Si-poli) dopado, tipo N;
- f) Junções de dreno/fonte ou difusões P+ e N+ realizadas por implantação iônica;
- g) A região de canal é auto-alinhada em relação às difusões de dreno e fonte dos transistores, uma vez que o silício poli-cristalino atua como barreira à implantação iônica;
- h) Interconexões internas realizadas na superfície por meio de Si-poli ou alumínio (metal). São permitidos contatos entre metal e difusão e entre metal e Si-poli;
- i) Isolação entre Si-poli e metal por meio de SiO₂ depositado por CVD (vapox);
- j) Passivação final por SiO₂ dopado e/ou Si₃N₄, depositados por CVD. Exposição apenas das áreas de interconexão externa (PAD's);
- k) Dimensões mínimas reprodutíveis pelo processo fotolitográfico de 3,0 micra.

Existem ainda outros aspectos que permitem qualificar o processo acima descrito como sendo "convencional":

- i) Grande disseminação industrial, sendo portanto uma tecnologia disponível internacionalmente, com grande número de fornecedores ("foundries");
- ii) Custos reduzidos frente às tecnologias de fabricação especiais, tais como BICMOS, SOS / SOI, etc;
- iii) Amplamente utilizada para a realização de circuitos integrados, sendo por isso bem conhecida por parte dos usuários da tecnologia.

Em resumo, considerar-se-á como convencional uma tecnologia CMOS poço P, porta Si-poli e dimensões mínimas de 3 micra.

A seguir, serão discutidos aspectos estruturais e de processo desta tecnologia.

1.2.1 Sequência das etapas de processo.

O processo CMOS convencional compoem-se de uma série de etapas de fabricação, baseadas em fenômenos físico-químicos de oxidação, difusão, implantação iônica, deposição e corrosão de filmes de Si-poli, metal, SiO₂ e Si₃N₄, que são sequenciadas de forma a definir camadas com propriedades elétricas diferentes, a partir do substrato de silício monocristalino.

Trata-se de um processo planar, ou seja, todos os circuitos e dispositivos assim construídos são realizados por etapas físico-químicas a partir da superfície do substrato de silício.

As camadas ou regiões com propriedades elétricas específicas são conformadas geometricamente por meio de máscaras, cerca de 10 no processo CMOS convencional. São elas:

1. Máscara de poço P.

Define as regiões de poço P onde podem ser construídos os transistores NMOS, diodos N⁺/P⁻ e resistores P⁻.

2. Máscara de área ativa.

Define áreas onde são localizados os dispositivos ativos (transistores), contatos de substrato e regiões condutivas P⁺ e N⁺. No restante da região em torno das áreas ativas, desenvolve-se o óxido de campo para isolação de dispositivos adjacentes.

3. Máscara de implantação de campo P.

Destina-se a aumentar a concentração de dopante tipo P nas regiões de campo sobre o poço P, aumentando assim o limiar de inversão na superfície destas áreas, de forma a impedir a condução parasita entre regiões N+ dentro do poço e o substrato N-. O negativo desta máscara pode ser utilizado para a implantação de campo sobre o substrato N-, aumentando o limiar de inversão nestas regiões, de forma a impedir a condução parasita entre poço P e difusões P+ externas ao poço.

4. Máscara de silício policristalino (Si-poli).

Define as áreas de canal auto-alinhadas, resistores e interconexões de Si-poli.

5. Máscara de implantação P+.

Define as áreas onde é implantado o dopante P+, usualmente boro, para difusões de dreno e fonte de transistores PMOS, diodos P+/N-, contatos com o poço P, resistores P+ e interconexões realizadas em difusão P+.

6. Máscara de implantação N+.

Define as áreas onde é implantado dopante N+ para difusões de dreno e fonte de transistores NMOS, diodos N+/P-, contatos com o substrato N-, resistores N+ e interconexões realizadas em difusão N+, utilizando fósforo ou arsênio.

7. Máscara de abertura de contatos.

Define áreas onde difusões P+ e N+ (dreno e fonte de transistores, contatos de substrato, resistores ou interconexões) e Si-poli são postas em contato com metal (alumínio).

8. Máscara de metal.

Define configurações geométricas de alumínio, necessárias às interconexões e às áreas de ligação externa (PAD's).

9. Máscara de passivação SiO₂.

Define as áreas sobre os PAD's de alumínio, onde a passivação de SiO₂ é retirada.

10. Máscara de passivação Si₃N₄.

Idem máscara 9, para a passivação de Si₃N₄, dependendo do processo em questão.

O processo físico-químico em Si, que faz uso do conjunto de máscaras acima descrito, compoe-se de cerca de 150 etapas.

A informação geométrica existente em cada máscara é transportada para uma certa camada (difusão, Si-poli, metal, contatos, etc), por meio de um procedimento padrão, denominado de fotogração, constituído basicamente pelas etapas:

- a) Deposição de um filme de polímero fotossensível, denominado genericamente de fotorresiste (FR);
- b) Sensibilização localizada do fotorresiste por meio da interposição de uma das máscaras entre o mesmo e a fonte de radiação sensibilizante (luz U.V., raios X, feixe de elétrons, etc).
- c) Revelação do fotorresiste, de forma que o material restante aderido à superfície venha a atuar como barreira à etapa físico-química diretamente relacionada à máscara em questão;
- d) Ataque químico ou decapagem por meio líquido ou por plasma. O material protegido pelo fotorresiste é mantido enquanto que as áreas expostas são corroídas e removidas. No caso das implantações iônicas P⁺ e N⁺, não há ataque químico, pois o fotorresiste atua diretamente como barreira à implantação;
- e) Remoção do fotorresiste depositado em (a), ainda remanescente.

A figura 1.9 traz o corte transversal da lâmina de silício após a realização das principais etapas de processo. A título de exemplo, a estrutura exibida corresponde ao corte transversal de uma porta lógica inversora CMOS [1.4].

O processo de fabricação inicia-se pelo crescimento de um óxido inicial sobre um lâmina N⁻, orientação cristalina < 100 > e concentração de impurezas doadoras da ordem de:

$$5,0 \cdot 10^{14} < N_D < 5,0 \cdot 10^{15} \text{ átomos por centímetro cúbico.}$$

A primeira máscara é aplicada para que as regiões de poço P sejam implantadas (figura 1.9.a). Uma dose de íons de boro de alta energia é introduzida no substrato semicondutor, através de uma janela aberta no SiO₂, seguida de uma redistribuição térmica de alta temperatura para ativação das impurezas receptoras e penetração das mesmas. Este tratamento é realizado parcialmente em ambiente oxidante, com o intuito de oxidar o substrato e assim criar um degrau no mesmo para fins de alinhamento.

Seguem-se a remoção completa do óxido existente, a oxidação da superfície de Silício para a obtenção de um óxido fino (" pad oxide ") e a deposição de uma camada de Si_3N_4 (nitreto de silício) por CVD, que agirá como máscara de oxidação na definição das regiões ativas e de campo, mediante a aplicação da máscara de área ativa (figura 1.9.b).

A etapa de implantação de campo P é realizada por meio da terceira máscara do processo, que é gerada a partir da máscara de poço P aumentada de cerca de 5 micra para cada lado. A implantação se processa de forma que o limite externo é definido pelo fotorresiste configurado pela máscara 3 e o limite interno pela camada de nitreto, ainda presente. Portanto, a implantação de campo P corresponde a formação de um anel implantado P sobre as bordas das regiões de poço P (figura 1.9.c).

Para o implante de campo N, utiliza-se a mesma máscara anterior, fotografada com fotorresiste de tipo oposto, de forma que a região protegida, após a revelação do fotorresiste, seja exatamente o negativo do caso acima. Procede-se então a implantação N de forma que o limite externo da área implantada seja definido pelo fotorresiste e o limite interno, pela camada de nitreto. O resultado desta etapa é mostrado na figura 1.9.c.

Configurada a forma das regiões ativas e realizados os implantes de campo, procede-se a oxidação de campo. Trata-se de um processo de oxidação a alta temperatura (cerca de 900 a 1.100 graus centígrados) durante um intervalo de tempo suficiente para a obtenção de um óxido de 9.000 a 11.000 angstroms de espessura. Nesta mesma etapa obtém-se ainda o aprofundamento do poço P e das implantações de campo, tal como mostra a figura 1.9.d. Nota-se o empenamento da camada de nitreto na região das bordas, devido a oxidação lateral nesta região, conhecida como " bico de pássaro ".

Segue-se a remoção do nitreto de silício remanescente. Dependendo das concentrações superficiais do substrato N- e do poço P, pode ser necessário uma etapa adicional para ajuste da tensão de limiar (V_t) dos transistores PMOS e NMOS, de forma que ambos exibam V_t 's aproximadamente iguais em módulo, na faixa de 0,7 a 0,9 volt. Isto é normalmente obtido por uma implantação rasa de boro em ambas as regiões de canal. Por vezes, dependendo da variante do processo considerado, há a necessidade de uma máscara adicional, como será visto no item 1.2.2.

Remove-se então o óxido presente sobre as regiões ativas até que o substrato seja exposto (o óxido de campo perde apenas uma pequena fração de sua espessura total). Isto é necessário para garantir a qualidade do futuro óxido de porta, quanto espessura a densidade de estados e de cargas fixas e móveis e a tensão de ruptura.

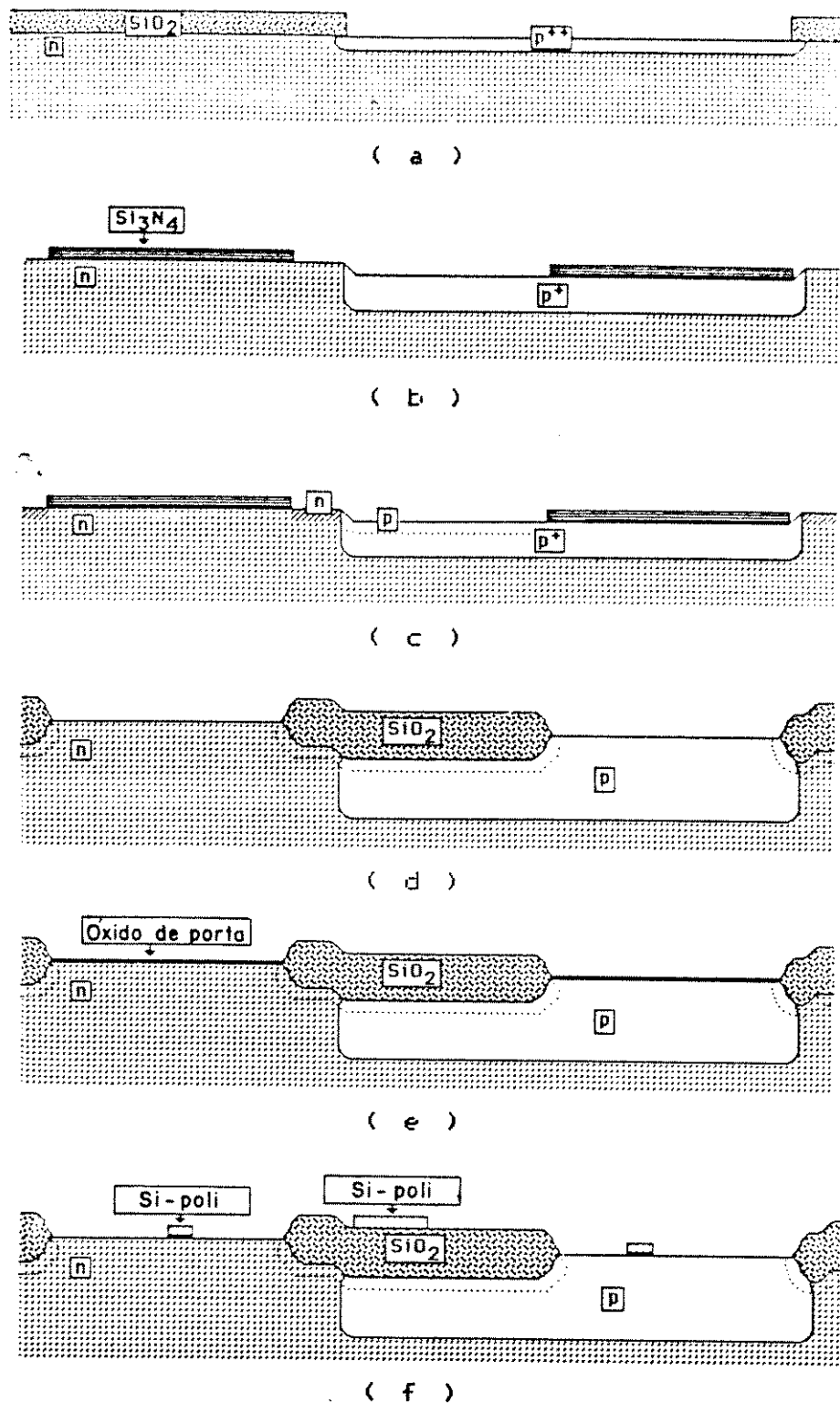


Figura 1.9 - Sequência de etapas de um processo CMOS típico.

Segue então o crescimento do óxido de porta por oxidação seca a cerca de 950 graus centígrados, resultando numa espessura de 500 ± 25 angstroms, tal como mostra a figura 1.9.e.

Antes ou após a oxidação de porta, realiza-se a implantação iônica de Boro para ajuste de V_t . Procede-se, então, à deposição por CVD de silício policristalino tipo N+, altamente dopado, de cerca de 4000 angstroms de espessura, e à aplicação da máscara de Si-poli para definição geométrica desta camada (figura 1.9.f).

Terminada a decapagem do Si-poli, é aplicada a máscara de implantação P+ para definição das difusões ativas P+, como indicado na figura 1.9.g. Segue-se a implantação N+, respectiva às difusões ativas N+, mostrado na figura 1.9.h. Dependendo do processo, a máscara N+ é tomada como sendo o negativo da máscara P+.

As difusões P+ e N+ atingem sua conformação final mediante uma etapa térmica de aprofundamento, de forma que a profundidade de junção e a difusão lateral sob a porta de Si-poli seja de cerca de 0,5 micra. Também o poço P+ atinge sua profundidade final em cerca de 4,5 - 5,0 micra.

A isolamento elétrico entre a camada de Si-poli e a camada superior de alumínio é obtida pela deposição de SiO_2 (PSG), por CVD a baixa temperatura, com cerca de 10.000 angstroms de espessura. A sétima máscara do processo é então aplicada para permitir abrir-se os contatos com as difusões P+, N+ e com o Si-poli em regiões bem definidas, garantindo-se a isolamento elétrica nas demais áreas (figura 1.9.i).

Procede-se a seguir a metalização da superfície da lâmina por evaporação ou pulverização catódica (" sputtering ") de uma liga de alumínio-silício, com espessura de 8.000 a 9.000 angstroms. A configuração das interconexões e áreas para ligação externa (PAD's) é obtida pela aplicação da máscara de metal, como indica a figura 1.9.j.

Por fim, deposita-se por CVD a baixa temperatura camadas de passivação de SiO_2 vítreo e/ou Si_3N_4 , para evitar que a superfície da lâmina seja contaminada por agentes externos (partículas, impurezas alcalinas, umidade, etc). Aplicam-se as máscaras 9 e 10 para permitir contato elétrico com os PAD's de alumínio, tal como mostrado pelas figuras 1.9.k. Certos processos fazem uso de apenas uma máscara nesta etapa.

O corte transversal do processo visto na figura 1.9.k equivale ao corte A - A' da figura 1.10, correspondente a vista de topo do conjunto de máscaras de um inversor CMOS típico.

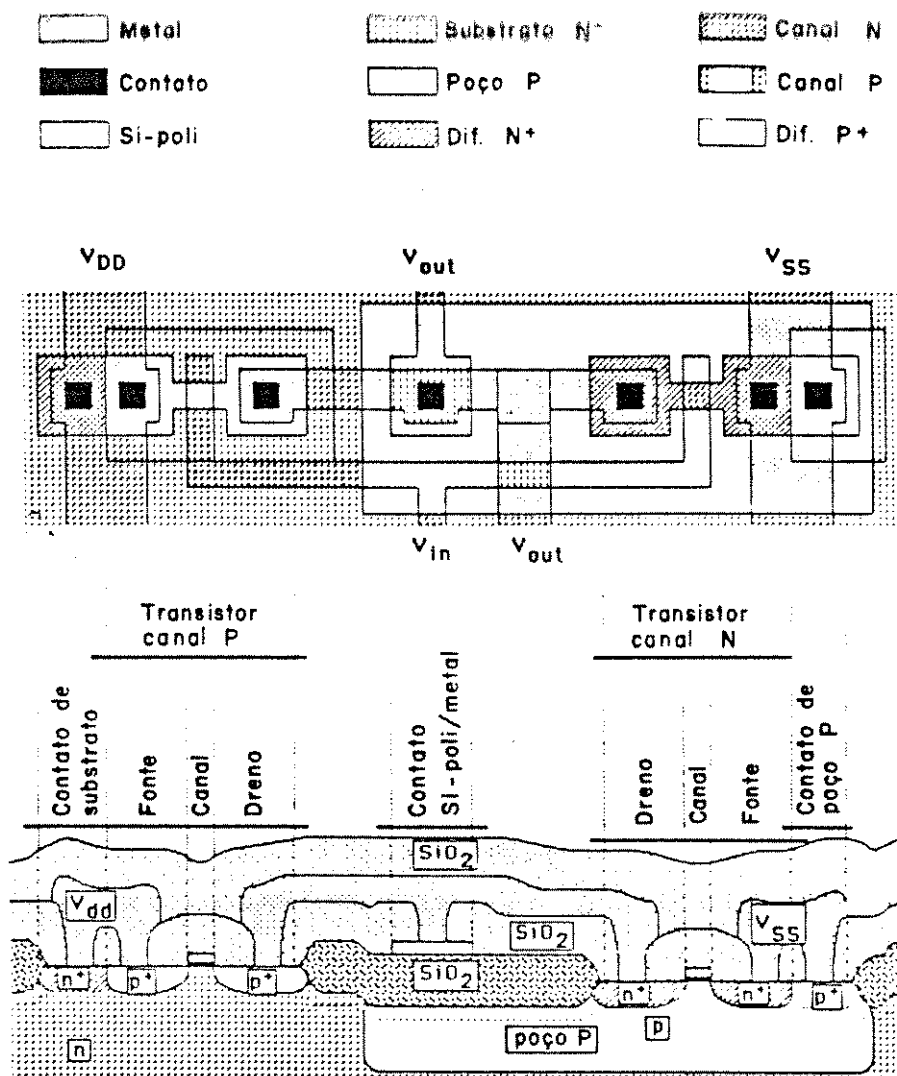


Figura 1.10 - Vista de topo referente ao corte transversal da figura 1.9.k, mostrando o layout de um inversor CMOS.

1.2.2 Variantes tecnológicas.

Os processos CMOS comercialmente disponíveis apresentam, por vezes, algumas modificações na sequência de etapas apresentadas no item 1.2.1, e constituem, por isto, variantes tecnológicas.

As alterações mais frequentemente encontradas na sequência de etapas de processo são:

- a) Implante de campo N realizado sem o auxílio de mascaramento, sobre toda lâmina, de forma que o implantação de campo P compense nas regiões de campo de poço P;
- b) Máscara(s) adicional(is) para a realização do ajuste de V_t , ou total omissão desta etapa;
- c) Definição apenas de máscara de implante P^+ (5ª máscara), de forma que a máscara de implante N^+ seja obtida pelo negativo (tom reverso) da máscara de implante P^+ ;
- d) Utilização de apenas 1 máscara para abertura de janelas na camada de passivação.

Estas alterações no entanto, não são substancialmente significativas, uma vez que a estrutura final, tal como mostrada na figura 1.9.k não é modificada.

Outro tipo de alteração estrutural, esta mais significativa, pode ser originada por variações de parâmetros de processo, tais como concentrações de dopante, profundidade de junção e espessuras de óxidos, por exemplo. Variantes de processo com estas características resultam em estruturas físicas semelhantes às da figura 1.9 , porém com desempenho elétrico diferente.

1.2.3 Principais parâmetros de processo e regras de projeto.

O processo CMOS convencional, discutido nos itens anteriores, será exemplificado pela exposição e comparação dos principais parâmetros de processo e regras de projeto de três processos CMOS comerciais atualmente disponíveis.

Neste texto, referir-se-á aos processos A, B e C, devido ao caráter confidencial desta informação, cujo uso e divulgação é restrito pelas próprias empresas de difusão.

O processo CMOS A, o mesmo utilizado como exemplo na discussão apresentada no item 1.2.1 requer uma sequência de dez (10) máscaras, das quais sete (7) são definidas pelo projetista, como pode ser visto na tabela 1.1. Nota-se que neste processo, não é necessária a definição das regiões de implantação N^+ , uma vez que estas áreas são consideradas complementares às áreas P^+ .

O processo B também necessita de dez (10) máscaras, onde deve-se projetar apenas sete (7), como pode ser visto na tabela 1.2.

Diferentemente do processo A, as áreas de campo, tanto sobre o substrato N-, como sobre o poço P, são implantadas por duas máscaras diferentes. A máscara 2 faz o implante de campo das áreas N- e a máscara 4, o implante das áreas de campo sobre o poço P, ou seja, onde são construídos os dispositivos NMOS. A máscara 2 também tem a função de elevar a tensão de "punch-through" dos dispositivos PMOS.

Por fim, o processo C faz uso de um conjunto total de dez (10) máscaras, onde o projetista deve definir oito (8) delas, de acordo com a tabela 1.3. Neste processo faz uso de uma máscara adicional para o ajuste do V_t dos transistores PMOS, em compensação, é necessária apenas uma (1) máscara de passivação. Os implantes N+ e P+ também podem ser definidos independentemente.

Como se vê nas tabelas 1.1, 1.2 e 1.3, os três processos comerciais possuem em si algumas diferenças quanto ao número e tipo de máscara utilizada em algumas etapas, mas produzem o mesmo tipo de estrutura final, tal como mostrada na figura 1.9.k.

As tabelas 1.4, 1.5 e 1.6 trazem os principais parâmetros dos processos CMOS A, B e C, respectivamente.

Nota-se que não há diferenças sensíveis entre os três conjuntos de parâmetros, quanto às profundidade de junção, espessuras de óxido, difusões laterais, etc. A concentração de impurezas no substrato, Nd, varia dentro de cerca de uma ordem de grandeza. No entanto, os valores da tensão de limiar dos transistores NMOS são praticamente os mesmos, indicando que há etapas de ajuste de V_t , como referido em 1.2.1, e que possivelmente a densidade de cargas de interface, Q_{ss} , diferem nos três processos.

Por fim, as tabelas 1.7, 1.8 e 1.9 relacionam as vinte principais regras de projeto, ou seja, regras de desenho das configurações de máscara, para os três processos em consideração.

Verifica-se aqui também uma sensível correlação dimensional entre eles.

Em resumo, os processos A, B e C apresentados, apesar de distintos, permitem a construção de dispositivos semicondutores com propriedades elétricas e dimensionais muito semelhantes. Por este motivo, cada um destes processos comerciais pode ser considerado como "convencional", segundo o conceito estabelecido no início do item 1.2.1.

Tabela 1.1 - Sequência de máscaras do processo CMOS - A.

Máscara			Tipo de FR	Tom do campo	Alinhar com masc nº
Nº	Nome	Desenho			
1	Poço P	S	POS	escuro	-
2	Area ativa (nitreto)	S	POS	claro	1
3	Implante de campo P	N (1)	POS	escuro	2
4	Silício poli	S	POS	claro	2
5	Implante N+	N (2)	POS	claro	2
6	Implante P+	S	POS	escuro	2
7	Contato	S	POS	claro	4
8	Metal	S	POS	claro	7
9	Passivação SiO ₂	S	POS	escuro	8
10	Passivação Si ₃ N ₄	N (3)	POS	escuro	9

(1) A máscara 3 é definida a partir da máscara 1, por "oversize" de 5,0 micra

(2) A máscara 5 é obtida a partir do tom reverso (negativo) da máscara 6.

(3) A máscara 10 é obtida a partir da máscara 9, por "undersize" de 5,0 micra.

S ≡ máscara desenhada

N ≡ máscara não desenhada

Tabela 1.2 - Sequência de máscaras do processo CMOS - B.

Máscara			Tipo de FR	Tom do campo	Alinhar com masc nº
Nº	Nome	Desenho			
1	Poço P	S	POS	escuro	-
2	Implantação anti "punch-through"	N (1)	POS	claro	1
3	Area ativa	S	POS	claro	1
4	Campo de dispositivos NMOS	N (2)	POS	escuro	1
5	Silício poli	S	POS	claro	3
6	Implante N+	N (3)	POS	claro	3
7	Implante P+	S	POS	escuro	3
8	Contato	S	POS	escuro	5
9	Metal	S	POS	claro	8
10	Passivação	S	POS	escuro	9

(1) A máscara é obtida a partir da máscara 1 por "over-size" de 2,5 micra, seguido da reversão de tom (negativo).

(2) A máscara 4 é obtida a partir da máscara 1 por "over-size" de 2,5 micra.

(3) A máscara 6 é obtida a partir do tom reverso (negativo) da máscara 7.

S ≡ máscara desenhada

N ≡ máscara não desenhada

Tabela 1.3 - Sequência de máscaras do processo CMOS - C.

Máscara			Tipo de FR	Tom do campo	Alinhar com masc nº
Nº	Nome	Desenho			
1	Poço P	S	Neg	claro	-
2	Áreas ativas (nitreto)	S	Neg	escuro	1
3	Implante de campo P	N (1)	Neg	claro	2
4	Ajuste de V _{TP}	N (2)	Neg	claro	2
5	Silício poli	S	Neg	escuro	2
6	Implante N ⁺	S	Neg	claro	2
7	Implante P ⁺	S	Neg	claro	2
8	Contato	S	POS	escuro	2
9	Metal	S	POS	claro	8
10	Passivação	S	Neg	claro	9

(1) A máscara 3 é obtida a partir da máscara 1 por "over-size" de 2,0 micra.

(2) Pode usar a máscara 7 se todos os dispositivos PMOS necessitarem de ajuste de V_{tp}. Esta máscara não é necessária para dispositivos PMOS com V_{tp} de 1,4 volts.

S ≡ máscara desenhada

N ≡ máscara não desenhada

Tabela 1.4 - Principais parâmetros do processo CMOS - A.

Parâmetro	Símbolo	Valor			Unid.
		Mín.	Tip.	Máx.	
Concentração de impurezas no subst.	Nd	1,2	1,9	2,6	15^{-3} cm
Concentração de impurezas no poço P	Na	8,0	9,5	11,0	15^{-3} cm
Profundidade de junção de poço P	Xj (poço)	4,0	4,5	5,0	micra
Profundidade de junção N+	Xj (N+)	0,45	0,55	0,65	micra
Profundidade de junção P+	Xj (P+)	0,50	0,60	0,70	micra
Espessura do óxido de porta	t _{ox}	475	500	525	angstroms
Espessura do óxido de campo	t _{oxc}	9.000	10.000	11.000	angstroms
Espessura da lâmina N-	H	-	(1) 500	-	micra
Capacitância do óxido de porta	C _{ox}	0,66	0,69	0,73	2 fF/micra
Tensão de limiar do transistor NMOS	V _t	0,60	0,75	0,90	volts
Mobilidade de elétrons	u _o	665	695	725	2 cm ² /V.s
Resistência de folha da difusão N+	RS (N+)	20	30	40	ohm/quad
Resistência de folha da difusão P+	RS (P+)	70	90	110	ohm/quad
Difusão lateral N+ (2)	LD (N+)	0,35	0,47	0,60	micra
Difusão lateral P+ (2)	LD (P+)	0,40	0,52	0,65	micra

Tabela 1.5 - Principais parâmetros do processo CMOS - B.

Parâmetro	Símbolo	Valor			Unid.
		Min.	Tip.	Máx.	
Concentração de impurezas no subst.	Nd	1,1	2,2	4,6	15^{-3} cm
Concentração de impurezas no poço P	Na	6,0	13,0	26,0	15^{-3} cm
Profundidade de junção de poço P	Xj (poço)	3,5	3,75	4,0	micra
Profundidade de junção N+	Xj (N+)	0,30	0,40	0,50	micra
Profundidade de junção P+	Xj (P+)	0,30	0,40	0,50	micra
Espessura do óxido de porta	t _{ox}	465	500	535	angstroms
Espessura do óxido de campo	t _{oxc}	6.500	7.000	7.500	angstroms
Espessura da lâmina N-	H	-	(1) 500	-	micra
Capacitância do óxido de porta	C _{ox}	0,64	0,69	0,74	2 fF/micra
Tensão de limiar do transistor NMOS	Vt	0,50	0,70	1,10	volts
Mobilidade de elétrons	u _o	580	640	700	2 cm ² /V.s
Resistência de folha da difusão N+	RS (N+)	15	25	40	ohm/quad
Resistência de folha da difusão P+	RS (P+)	50	75	100	ohm/quad
Difusão lateral N+ (2)	LD (N+)	-	0,28	-	micra
Difusão lateral P+ (2)	LD (P+)	-	0,28	-	micra

Tabela 1.6 - Principais parâmetros do processo CMOS - C (3).

Parâmetro	Símbolo	Valor			Unid.
		Mín.	Típ.	Máx.	
Concentração de impurezas no subst.	Nd		0,87		15 ⁻³ .10 cm
Concentração de impurezas no poço P	Na		3,8		15 ⁻³ .10 cm
Profundidade de junção de poço P	Xj (poço)		(4) 4,5		micra
Profundidade de junção N+	Xj (N+)		0,45		micra
Profundidade de junção P+	Xj (P+)		0,60		micra
Espessura do óxido de porta	t _{ox}		470		angstroms
Espessura do óxido de campo	t _{oxc}		-		angstroms
Espessura da lâmina N-	H		(5) 500		micra
Capacitância do óxido de porta	C _{ox}		(6) 0,74		² fF/micra
Tensão de limiar do transistor NMOS	Vt		0,85		volts
Mobilidade de elétrons	u _o		624		² cm /V.s
Resistência de folha da difusão N+	RS (N+)		30		ohm/quad
Resistência de folha da difusão P+	RS (P+)		60		ohm/quad
Difusão lateral N+	LD (N+)		0,35		micra
Difusão lateral P+	LD (P+)		0,41		micra

Observações:

- (1) Valor medido para lâminas de 5 polegadas.
- (2) Valores derivados de dados sobre comprimento efetivo de canal.
- (3) Disponíveis apenas os parâmetros típicos.
- (4) Calculado a partir de regras de desenho da máscara de poço P.
- (5) Valor estimado.

(6) Calculado $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$

Tabela 1.7 - Principais regras de projeto do processo CMOS - A.

Nº	Regras de projeto	Dimensão (micra)
01	Largura mínima de poço P	3,0
02	Espaçamento mínimo entre poços P em potenciais diferentes	12,0
03	Largura mínima de área ativa (nitreto)	3,0
04	Espaçamento mínimo entre áreas adjacentes P+/P+ N+/N+ (mesmo tipo) ou N+/P+	4,0
05	Espaçamento mínimo de difusão N+, dentro do poço, para a borda do poço	4,0
06	Espaçamento mínimo de difusão N+, fora do poço, para a borda do poço	6,0
07	Espaçamento mínimo de difusão P+ fora do poço, para a borda do poço	10,0
08	Largura/espacamento mínimo de fitas de Si-poli	3,0
09	Extensão mínima de fita de silício-poli sobre o óxido de campo	3,0
10	Separação mínima entre Si-poli e borda da área ativa	3,0
11	Sobreposição mínima da máscara P+ sobre a área ativa	2,0
12	Tamanho mínimo do contato comum	3,0x3,0
13	Tamanho mínimo de contato justaposto	3,0x8,0
14	Espaçamento mínimo entre contatos	3,0
15	Mínima sobreposição de difusão P+ sobre contato justaposto	4,0
16	Espaçamento mínimo entre contato e Si-poli	3,0
17	Espaçamento mínimo entre contato e borda da área ativa	1,5
18	Largura mínima de fita de metal	4,0
19	Espaçamento mínimo entre fitas de metal	3,5
20	Sobreposição mínima de metal sobre contato	1,5

Tabela 1.8 - Principais regras de projeto do processo CMOS - B.

Nº	Regras de projeto	Dimensão (micra)
01	Largura mínima de poço P	3,0
02	Espaçamento mínimo entre poços P em potenciais diferentes	12,0
03	Largura mínima de área ativa (nitreto)	3,0
04	Espaçamento mínimo entre áreas adjacentes P+/P+ N+/N+ (mesmo tipo) ou N+/P+	3,0
05	Espaçamento mínimo de difusão N+, dentro do poço, para a borda do poço	2,5
06	Espaçamento mínimo de difusão N+, fora do poço, para a borda do poço	4,0
07	Espaçamento mínimo de difusão P+ fora do poço, para a borda do poço	9,0
08	Largura/espacamento mínimo de fitas de Si-poli	3,0
09	Extensão mínima de fita de silício-poli sobre o óxido de campo	2,5
10	Separação mínima entre Si-poli e borda da área ativa	4,0
11	Sobreposição mínima da máscara P+ sobre a área ativa	1,5
12	Tamanho mínimo do contato comum	3,0x3,0
13	Tamanho mínimo de contato justaposto	não definido
14	Espaçamento mínimo entre contatos	3,0
15	Mínima sobreposição de difusão P+ sobre contato justaposto	4,0
16	Espaçamento mínimo entre contato e Si-poli	3,0
17	Espaçamento mínimo entre contato e borda da área ativa	2,0
18	Largura mínima de fita de metal	4,0
19	Espaçamento mínimo entre fitas de metal	3,0
20	Sobreposição mínima de metal sobre contato	1,5

Tabela 1.9 - Principais regras de projeto do processo CMOS - C.

Nº	Regras de projeto	Dimensão (micra)
01	Largura mínima de poço P	4,0
02	Espaçamento mínimo entre poços P em potenciais diferentes	12,0
03	Largura mínima de área ativa (nitreto)	3,0
04	Espaçamento mínimo entre áreas adjacentes P+/P+ N+/N+ (mesmo tipo) ou N+/P+	3,5/5,0
05	Espaçamento mínimo de difusão N+, dentro do poço, para a borda do poço	2,5
06	Espaçamento mínimo de difusão N+, fora do poço, para a borda do poço	6,0
07	Espaçamento mínimo de difusão P+ fora do poço, para a borda do poço	8,0
08	Largura/espacamento mínimo de fitas de Si-poli	3,0
09	Extensão mínima de fita de silício-poli sobre o óxido de campo	2,5
10	Separação mínima entre Si-poli e borda da área ativa	4,0
11	Sobreposição mínima da máscara P+ sobre a área ativa	2,5
12	Tamanho mínimo do contato comum	3,0x3,0
13	Tamanho mínimo de contato justaposto	não definido
14	Espaçamento mínimo entre contatos	3,0
15	Mínima sobreposição de difusão P+ sobre contato justaposto	não definido
16	Espaçamento mínimo entre contato e Si-poli	3,0
17	Espaçamento mínimo entre contato e borda da área ativa	2,0
18	Largura mínima de fita de metal	3,0
19	Espaçamento mínimo entre fitas de metal	4,0
20	Sobreposição mínima de metal sobre contato	1,0

1.2.4 A transistor VDMOS no processo CMOS convencional.

O processo CMOS convencional, descrito no item 1.2.1, pode ser utilizado para a realização de estruturas VDMOS multicelulares.

A figura 1.11 ilustra as principais etapas de fabricação do processo, onde a configuração geométrica das máscaras foi adaptada, de modo que a estrutura física resultante seja a de um dispositivo VDMOS.

O processo CMOS convencional não é inteiramente adequado para a construção de transistores VDMOS, uma vez que apresenta as seguintes características:

- a) O substrato N- não é do tipo epitaxial (N- sobre N+). Isto implica numa maior resistência de condução entre dreno e fonte, devido a maior resistividade do substrato N-;
- b) As regiões de fonte e poço P não são produzidas por dupla difusão real, mas sim por uma difusão rasa N+ e pela difusão de poço P. Portanto, existe uma eventual incerteza de posicionamento entre estas duas difusões, devido ao erro de alinhamento entre as máscaras. Isto resulta que o canal do transistor não pode ser curto, tal como seria num processo de dupla difusão real;
- c) A operação em alta tensão requer que não existam junções tipo P+ / N+ (com baixa tensão de ruptura), submetidas às tensões típicas de operação do dispositivo. Isto deve ser entendido da seguinte forma. A junção que suporta a maior tensão reversa é a junção poço P / substrato N-, quando o transistor estiver cortado e a tensão de dreno for alta. Qualquer junção N+ na superfície e em contato com o poço P ou com uma junção P+ resultaria em ruptura precoce do dispositivo. Por isso, a estrutura deve ser projetada de forma que qualquer junção P+ / N+ seja equipotencial e esteja suficientemente afastada da região de células VDMOS. Assim, deve-se fazer uso da máscara de área ativa (nitreto de silício) e da máscara de Si-poli para a definição de uma área de periferia e afastar a difusão N+ de campo, evitando qualquer junção P+/N+ entre a matriz de células VDMOS e a região de campo;

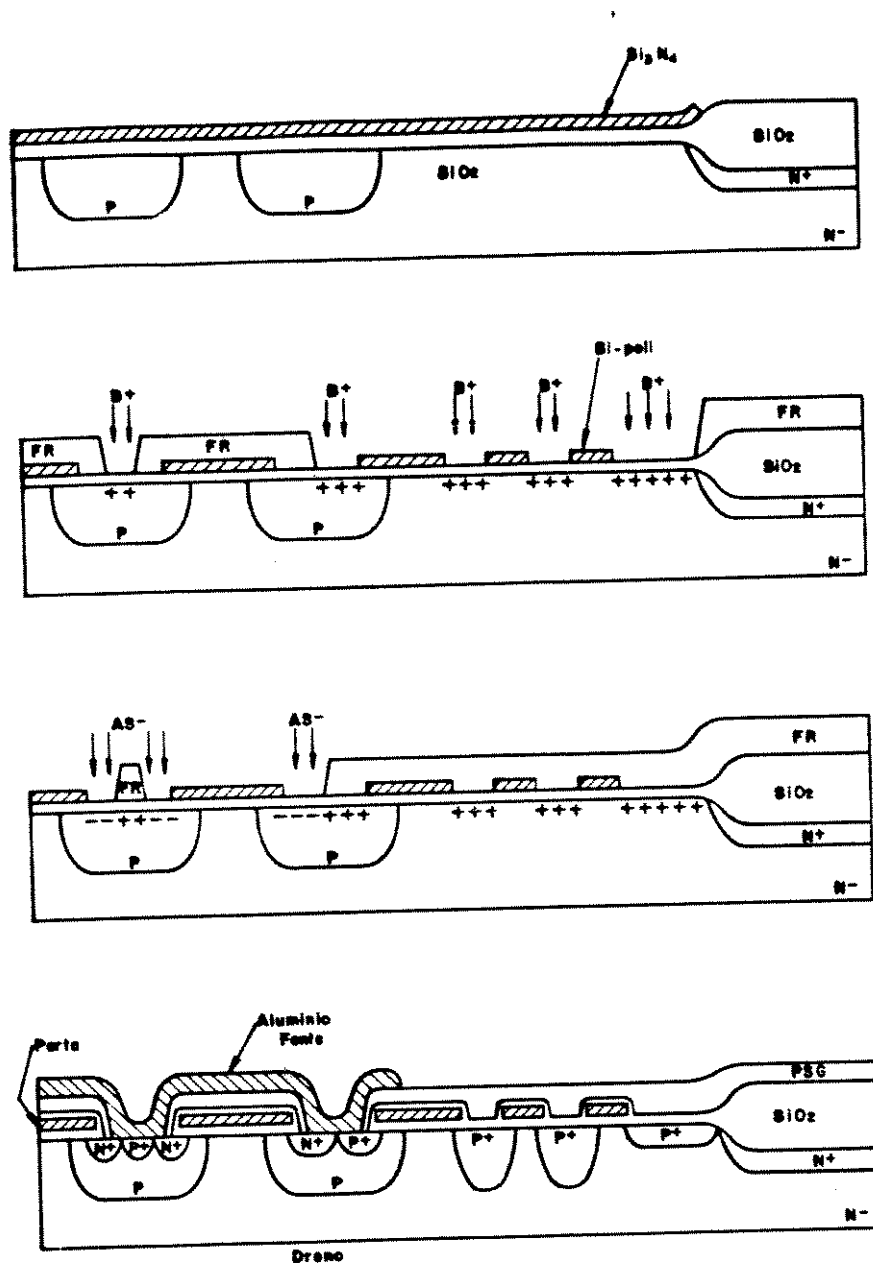


Figura 1.11 - Principais etapas do processo CMOS para construção de transistores VDMOS de potência.

d) Considerando o processo CMOS - A, descrito no item 1.2.3, a camada de Si-poli deve recobrir, por segurança, toda a área da periferia, a fim de evitar as junções P+ e N+ indesejáveis, como descrito acima. Além disto, esta cobertura de Si-poli deve ser eletricamente desconectada do eletrodo de porta, permanecendo flutuante. No entanto, dado que o substrato esteja em alta tensão, as camadas de Si-poli periféricas poderão se polarizar e desta forma, submeter o óxido de porta, que as isola do substrato N-, a tensões excessivas, possibilitando a ruptura do óxido nesta região.

A nova inter-relação de máscaras do processo, proposta na figura 1.11, tem por consequência direta que as regras de projeto, referidas ao item 1.2.3 devem ser re-interpretadas.

É interessante notar que a estrutura de VDMOS ilustrada na figura 1.11 permite ainda inferir a seguinte conclusão. Caso seja necessário obter-se junções N+ eletricamente isoladas dos altos potenciais presentes no substrato N-, tais junções deverão ser construídas dentro de poços P, estes sob o mesmo potencial de fonte do transistor VDMOS. Nesta situação, a alta tensão é absorvida pela junção poço P / substrato N- e as junções internas ao poço estarão referenciadas ao potencial mais baixo da estrutura (virtualmente zero volt).

Logo é viável a realização de circuitos operando sob baixa tensão, construídos nas vizinhanças de um transistor MOS de alta tensão, eventualmente até mesmo controlando o seu eletrodo de porta, desde que estejam dentro de poços P, como descrito acima. Obviamente, tais circuitos de controle deverão ser construídos com transistores NMOS tipo enriquecimento, tal como mostrado na figura 1.12.

As interconexões de baixa tensão e tomadas de contato externo (PAD's) devem também ser realizadas sobre regiões de poço P, como por exemplo, os PAD's para contato de porta e de fonte.

Cabe ressaltar que é viável a realização de áreas de óxido de campo dentro da estrutura VDMOS, como ilustrado na figura 1.13, desde que as mesmas estejam totalmente incluídas sobre regiões de poço P, devidamente polarizadas. Este tipo de construção viabiliza a realização de áreas de PAD's internas à estrutura VDMOS.

O contato de dreno é tomado diretamente da parte baixa do substrato N-, por ocasião do encapsulamento de CI.

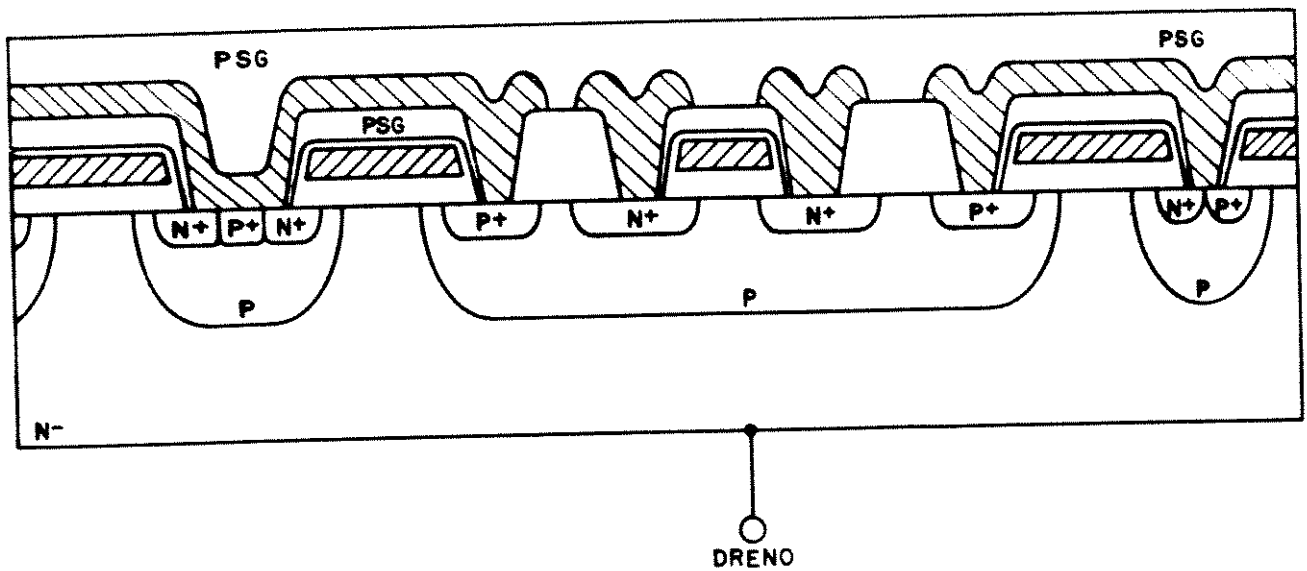


Figura 1.12 - Circuitos de controle NMOS.

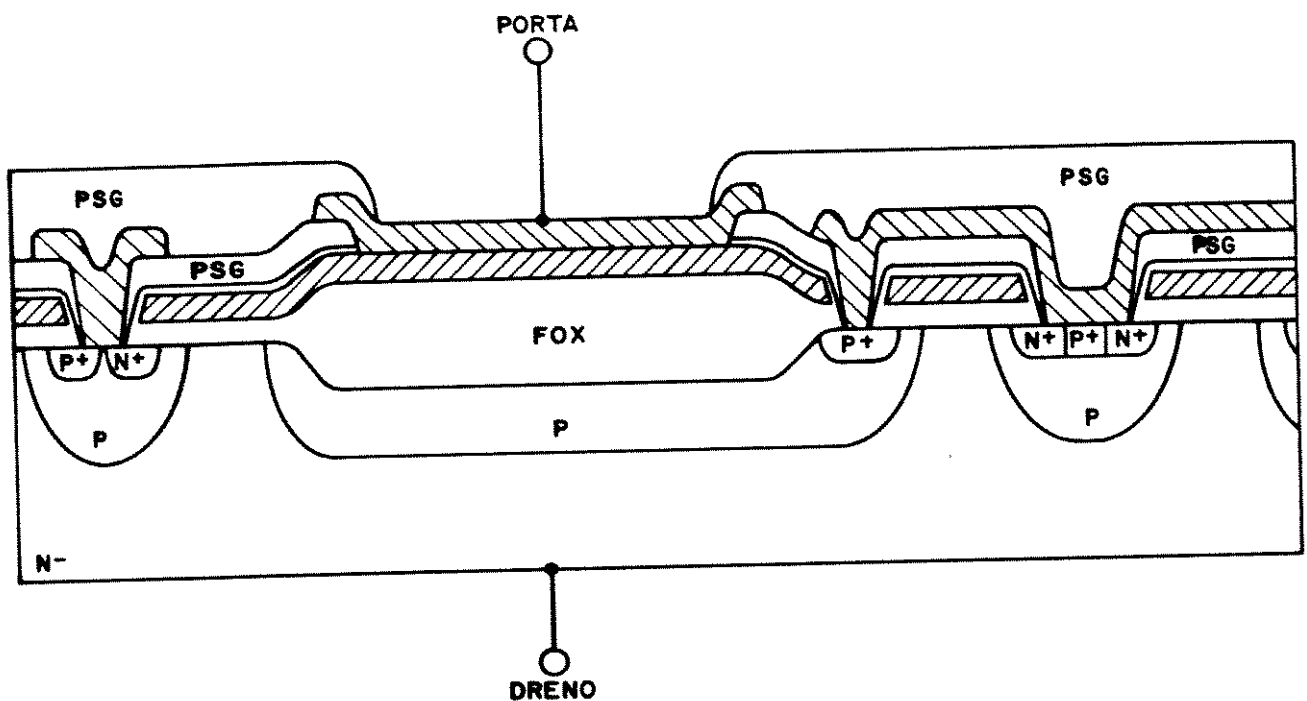


Figura 1.13 - Regiões de óxido de campo dentro da área ativa da estrutura VDMOS.

1.3 CONCLUSÕES.

Neste capítulo, foram discutidas as opções de tecnologias para fabricação de dispositivos e circuitos integrados de potência e alta tensão. Nota-se, a princípio, não haver uniformidade estrutural entre as diversas opções, indicando que este campo de investigação é ainda muito ativo, e irá certamente resultar em algumas poucas tecnologias "padronizadas" para aplicações de potência, como é o caso hoje em dia das tecnologias CMOS e Bipolar.

Por outro lado, discutiu-se detalhadamente a tecnologia CMOS porço P de 3,0 micra, do tipo convencional, com vistas a compará-la às demais tecnologias para potência. Desta comparação estrutural, é possível concluir favoravelmente sobre a possibilidade de se realizar estruturas de potência e alta tensão no processo CMOS convencional.

O processo CMOS convencional, embora não preencha totalmente os requisitos de um processo de fabricação otimizado à construção de dispositivos de potência, permite a realização de estruturas VDMOS experimentais, onde o desempenho quanto a velocidade de comutação, capacidade de corrente (por unidade de área ativa) e tensão de ruptura (ou tensão máxima reversa) poderão ser investigadas.

Um trabalho semelhante foi feito por Z. Parpia [1.6], explorando a potencialidade da tecnologia CMOS para a construção de transistores LDMOS de canal N e P.

Outro ponto de interesse é a possibilidade da integração monolítica de circuitos de controle, alimentados a baixa tensão, para o acionamento direto do eletrodo de porta de um transistor VDMOS multicelular.

Resta ainda analisar, como os parâmetros físicos do processo CMOS, tais como concentração de impurezas, profundidade de junção, espessura do óxido de porta, dentre outras, podem interferir com os parâmetros elétricos do dispositivo, principalmente em relação a máxima tensão reversa suportável e a mínima resistência de condução. Estes dois aspectos serão discutidos em detalhes na parte experimental do capítulo 4.

Capítulo 2 - Tensão de ruptura em junções P / N planares.

INTRODUÇÃO.

A junção semicondutora P/N é a base sobre a qual se desenvolveu a eletrônica de estado sólido. As propriedades de condução em polarização direta são bem conhecidas desde os primeiros trabalhos iniciados na década de 40 [2.1]. Atualmente dispõe-se de uma grande literatura neste assunto [2.2, 2.3].

Por outro lado, o estudo das junções P / N sob polarização reversa, particularmente ao que se refere ao estudo da ruptura por avalanche, iniciou-se na década de 50, com trabalhos baseados na solução da equação de Poisson em uma dimensão para junções abruptas e linearmente dopadas [2.4, 2.5, 2.6]. Estes trabalhos procuram demonstrar modelos matemáticos correlacionados a medidas experimentais [2.7, 2.8, 2.9].

Com a introdução do processo de fabricação planar, no final da década de 60, foram concentrados esforços no estudo dos efeitos de borda das junções planares, ou seja, na influência das regiões cilíndricas e esféricas, normalmente presentes na junção planar real. Tais regiões são responsáveis por uma degradação da tensão máxima suportável por uma junção em cerca de 30 a 90 % do valor máximo teórico.

Atualmente, faz-se uso de modelos analíticos de primeira ordem e modelos numéricos bi e tridimensionais, calculados por computador, que permitem avaliar com bastante precisão como os efeitos de borda interferem na ruptura de uma junção real. Baseado nesta avaliação, é possível se definir critérios de projetos das regiões ditas de periferia da junção, a fim de se obter junções que suportem tensões reversas máximas próximas do limite teórico de uma junção plana real [2.10].

O presente capítulo visa sobretudo dar uma síntese geral do problema de ruptura de uma junção semicondutora, em silício, enfocando modelos analíticos simplificados que permitam a compreensão dos mecanismos pelos quais se processa o fenômeno de ruptura, inclusive nas regiões de borda das junções planares.

Por fim, será discutida uma alternativa de estrutura de terminação para as regiões de periferia, visando elevar a tensão de ruptura a valores próximos dos limites teóricos [2.11].

2.1 A RUPTURA DE JUNÇÕES SEMICONDUTORAS PLANARES.

Neste texto, faz-se uso da terminologia processo de fabricação planar ou difusão planar, enfatizando-se a idéia de que nas tecnologias atualmente existentes a introdução de dopantes se dá a partir da superfície, por difusão ou implantação iônica e de forma seletiva, mediante mascaramento, quer por óxido de silício ou deposição de fotorresiste. Desta forma, torna-se possível a construção monolítica de diversos dispositivos num mesmo substrato, cuja configuração geométrica é definida a partir da superfície.

2.1.1 A junção planar real.

A junção P / N planar real, resultante do uso de um processo de fabricação planar, compoe-se de três regiões, como ilustra a figura 2.1.

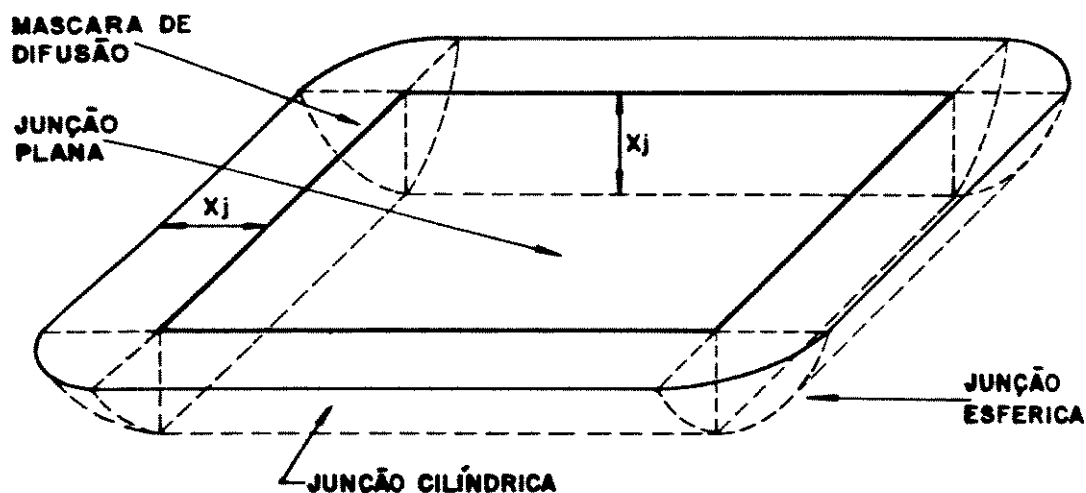


Figura 2.1 - Junção planar real.

A região plana, normalmente predominante em termos de área, localiza-se a profundidade X_j a partir da superfície. Embora o processo de definição de janela de difusão permita excelente definição geométrica na superfície, o material dopante também se difunde lateralmente nas bordas da janela de difusão. Este efeito de difusão lateral atinge cerca de 85 a 90% da profundidade vertical X_j [2.13].

No entanto, para efeito prático pode-se considerar a difusão lateral como igual a profundidade de junção X_j . A partir desta hipótese, pode-se concluir que ao longo das arestas da janela de difusão, a junção planar apresenta regiões cilíndricas e em cada vértice, desenvolvem-se regiões esféricas. Tais regiões serão tratadas como sendo região de periferia da junção.

Quando uma junção real é submetida a uma polarização reversa, desenvolvem-se regiões de depleção em cada um dos lados da junção metalúrgica, que seguem os contornos cilíndricos e esféricos nas respectivas regiões.

Como será visto adiante, a ruptura de uma junção depende da geometria das regiões de periferia, uma vez que a concentração de campo elétrico é mais intensa nas regiões encurvadas do que na região plana.

2.1.2 Definição de ruptura

Considera-se uma junção PN submetida a polarização reversa, isto é, numa situação em que a barreira é elevada pela aplicação de uma tensão externa, de forma a impedir totalmente a passagem de portadores majoritários.

Nesta condição, a corrente que atravessa a junção metalúrgica é composta por [2.2]:

- a) Corrente de fuga devido aos efeitos de superfície;
- b) Corrente reversa devido a difusão de portadores minoritários;
- c) Corrente reversa devido a geração de portadores na região de depleção.

A componente (a) é normalmente desprezível em processos de fabricação que incluem passivação de SiO₂ na superfície. A componente (b) embora exista, é cerca de três ordens de grandeza menor que a componente (c). Esta última depende, dentre outros fatores, do volume compreendido pela região de depleção e varia segundo a raiz quadrada da tensão reversa aplicada, para junções abruptas [2.2].

No entanto, a corrente reversa total é desprezível se comparada a corrente direta, e vale tipicamente cerca de 5,0 fA por centímetro quadrado de área de junção.

Caracteriza-se uma situação de ruptura numa junção reversamente polarizada quando a corrente reversa aumenta abruptamente várias ordens de grandeza. Não há uma definição precisa do valor de corrente reversa para uma junção em ruptura, mas costuma-se definir uma tensão reversa, dita tensão de ruptura, a partir da qual ocorre um forte aumento de corrente. Em termos da curva característica I x V de um diodo, a ruptura é caracterizada por um brusco aumento do coeficiente angular, na região reversa, como mostra a figura 2.2 (a).

Existem dois mecanismos principais, pelos quais ocorre o fenômeno de ruptura. O primeiro deles é conhecido como ruptura Zener [2.2]. A figura 2.2 (b) mostra um diagrama de bandas de energia de uma junção P / N reversamente polarizada. Um elétron no nível de energia E₁ da banda de valência pode fazer uma transição para estados disponíveis na banda de condução, transpondo a região de depleção, por meio de um processo mecânico-quântico de "tunelamento", desde que a barreira de energia seja suficientemente estreita. Fisicamente, ocorre ruptura de ligações covalentes na rede cristalina, que resulta num aumento abrupto de corrente pela junção.

É mais provável ocorrer ruptura Zener para barreiras de energia com espessuras inferiores a 100 angstrons e para intensidades de campo elétrico superiores a 1,0 MV/cm. Por isso, a ruptura Zener é mais provável de ocorrer para junções P / N com ambos os lados muito dopados, resultando em tensões de ruptura inferiores a 5 volts.

Numa junção que apresente tensão de ruptura mais alta, a região de depleção é correspondentemente mais larga, diminuindo assim a possibilidade de "tunelamento". A partir deste ponto, torna-se mais provável um segundo mecanismo de ruptura, conhecido por ruptura por avalanche.

A ruptura por avalanche é definida como a condição na qual o processo de ionização por impacto atinge uma taxa infinita [2.8, 2.13].

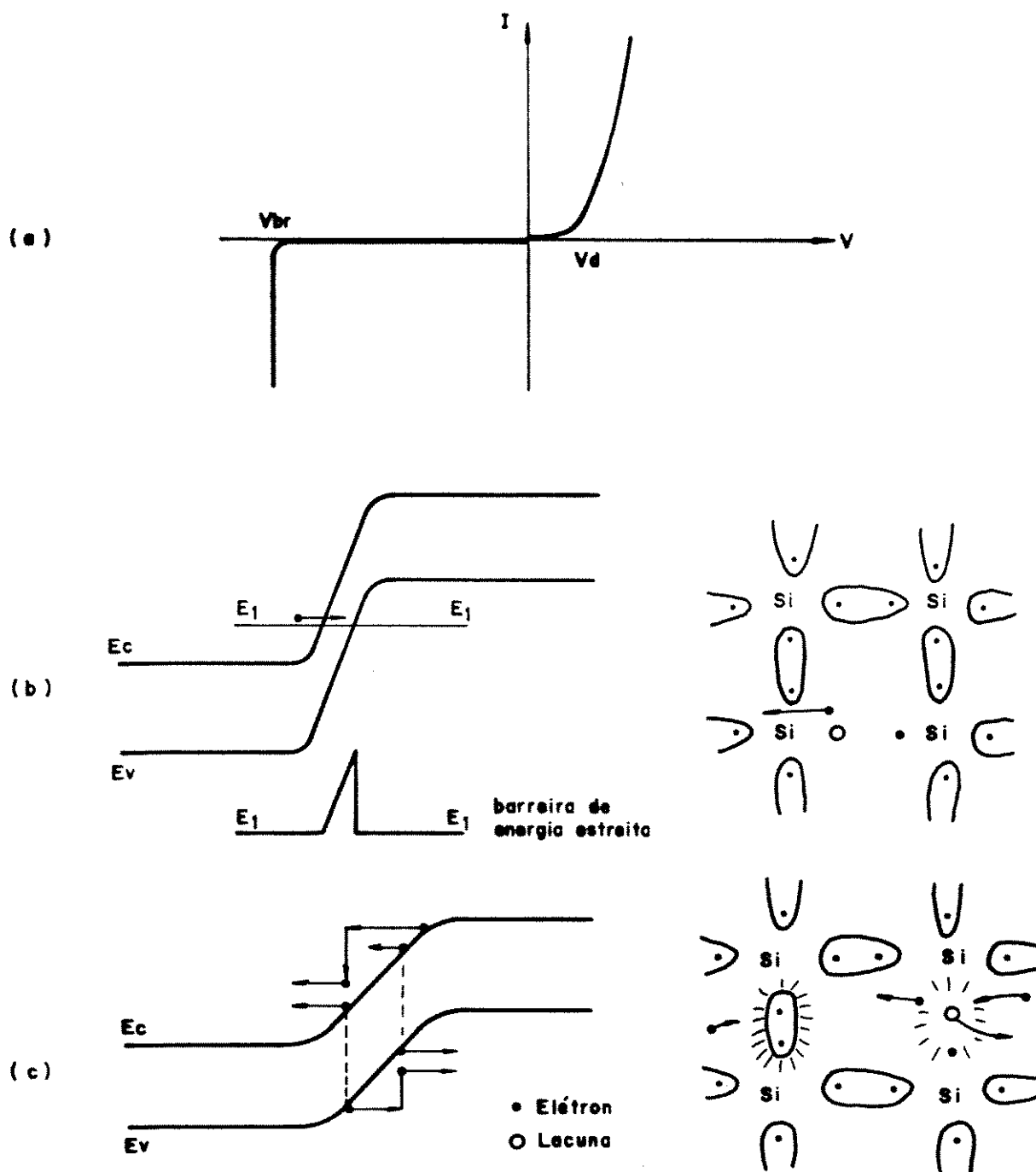


Figura 2.2 - O conceito de ruptura.

- (a) Curva $I \times V$ de um diodo.
- (b) O mecanismo de ruptura Zener.
- (c) O mecanismo de ruptura por avalanche.

Numa junção reversamente polarizada, o campo elétrico intenso que existe através da região de depleção é responsável por repelir qualquer elétron ou lacuna que entre nesta região, quer por geração, quer por difusão a partir das regiões neutras vizinhas. Quanto maior a tensão reversa aplicada à junção, mais intenso torna-se o campo elétrico e os portadores móveis são acelerados a velocidades progressivamente maiores. Assim que o campo elétrico excede cerca de 100 kV/cm, os portadores móveis atingem a velocidade de deslocamento limite de cerca de 100 km/s. Para campos elétricos mais intensos, os portadores móveis, que colidem com os átomos da rede cristalina, passam a ter energia suficiente, correspondente a energia de ionização do silício, para excitar elétrons da banda de valência para a banda de condução. Um átomo de silício ionizado perde um elétron para a banda de condução e se neutraliza tomando um elétron da banda de valência, onde uma lacuna é criada. Este processo de geração de pares de elétron-lacuna é denominado de ionização por impacto.

Desde que o par elétron-lacuna criado pelo processo de ionização por impacto também é submetido à aceleração pelo campo elétrico existente, eles também participam da criação de outros pares elétron-lacuna pelo mesmo processo, tal como ilustra, de forma esquematizada, a figura 2.2 (c).

Consequentemente, a ionização por impacto é um processo multiplicativo, que resulta numa torrente de portadores transportados pelo campo elétrico através da região de depleção. A figura 2.3 ilustra como evolui o campo elétrico crítico em função da concentração de impurezas do substrato em junções abruptas, evidenciando as regiões onde ocorre ruptura Zener e ruptura por avalanche [2,12].

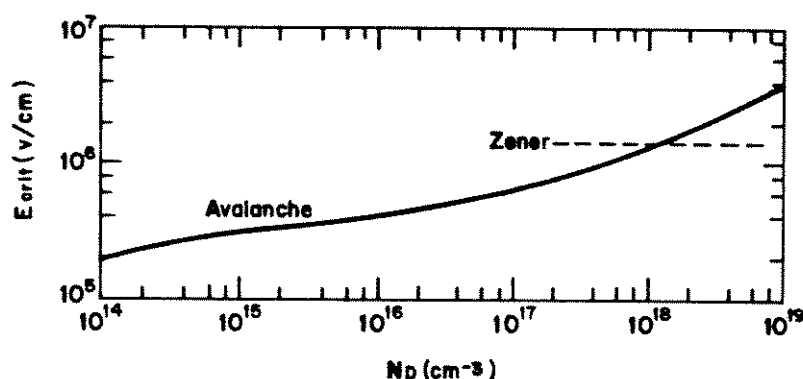


Figura 2.3 - O campo elétrico crítico para ruptura Zener e por avalanche em silício.

Para caracterizar este processo, é necessário definir o coeficiente de ionização por impacto [2.2], [2.13]. O coeficiente de ionização por impacto para elétrons (α_n) é definido como o número de pares elétron-lacuna criados por um elétron que percorra 1 centímetro através da região de depleção, na direção do campo elétrico. O coeficiente de ionização por impacto para lacunas (α_p) é definido similarmente. A unidade dos coeficientes α é [cm⁻¹].

Trabalhos sobre medidas experimentais de tais coeficientes indicaram que:

$$\alpha_n = A_n \cdot \exp(-B_n / E) \quad (2.1)$$

$$\alpha_p = A_p \cdot \exp(-B_p / E) \quad (2.2)$$

onde A_n , A_p , B_n e B_p são constantes e E é a intensidade do campo elétrico.

A tabela 2.1 traz os valores propostos por diversos autores.

Tabela 2.1 - Constantes A_n e B_n para elétrons e A_p e B_p para lacunas

Constante	Referência					Unidade x 10 ⁵
	[2.14]	[2.15]	[2.16]	[2.17]	[2.18]	
A_n	7,03	6,71	5,5	38	12,3	cm ⁻¹
B_n	12,3	16,93	16,5	17,5	14,8	V/cm
A_p	15,82	6,71	1,81	225	178 5,44	cm ⁻¹
B_p	20,36	16,93	16,5	32,6	31,3 16,0	V/cm

A dispersão observada sobre tal conjunto de valores se deve:

- a) Ao método de determinação experimental;
- b) Ao fato de que os coeficientes α são provavelmente função de outros parâmetros além do campo elétrico.

As expressões acima se aplicam para intensidades de campo elétrico na faixa de [2.13]:

$$1,75 \cdot 10^5 < E < 6,00 \cdot 10^5 \text{ V / cm.}$$

Em muitos casos, é interessante manipular os coeficientes α_n e α_p numa forma polinomial aproximada.

Fulop [2.19] propôs a seguinte formulação:

$$\alpha = 1,8 \cdot 10^{-35} \cdot E^7 \quad (2.3)$$

que considera $\alpha_n \approx \alpha_p$.

Também foram propostas as formulações abaixo [2.20]:

$$\alpha_n = 3,6 \cdot 10^{-35} \cdot E^7 \quad (2.4)$$

$$\alpha_p = 0,3 \cdot 10^{-35} \cdot E^7 \quad (2.5)$$

A figura 2.4 compara duas das formulações da tabela 2.1 [2.14], [2.19].

A taxa de ionização por impacto corresponde ao número total de pares elétron-lacuna criados por um único par elétron-lacuna, em toda a extensão da região de depleção. Esta taxa de ionização é também denominada de coeficiente de multiplicação. A ruptura por avalanche ocorre quando o coeficiente de multiplicação tender a infinito. Considera-se que esta condição é satisfeita assim que a integral de ionização é igual a unidade [2.3, 2.8, 2.11, 2.13].

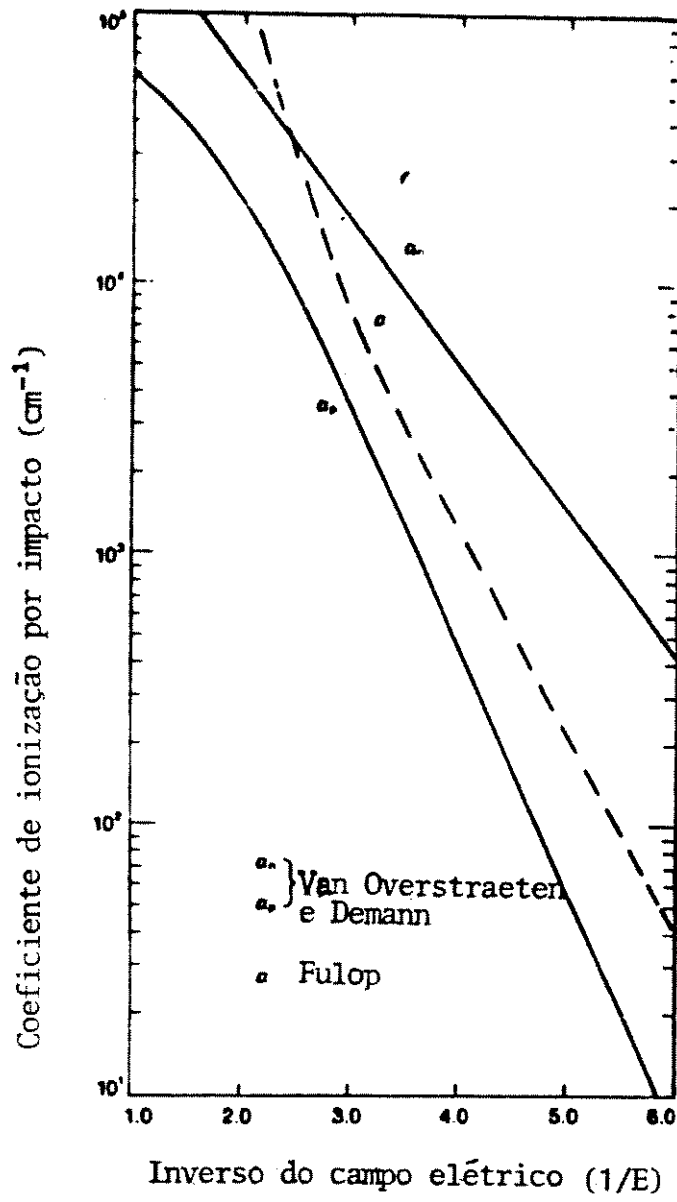


Figura 2.4 - Coeficientes de ionização por impacto em função da intensidade de campo elétrico.

$$I_n = \frac{W_p}{W_n} \exp \left[\int_{W_p}^x (a_p - a_n) dx \right] dx = 1 \quad (2.6)$$

$$I_p = \frac{W_n}{W_p} \exp \left[\int_{W_n}^x (a_n - a_p) dx \right] dx = 1 \quad (2.7)$$

Utilizando a aproximação de $n_n = n_p$ proposta por Fulop, as equações acima se reduzem a:

$$I = \int_{W_n}^{W_p} \alpha \, dx = 1 \quad (2.8)$$

Uma dedução simplificada da equação (2.8), proposta por Ghandhi [2.2], pode ser vista no Anexo A. O Anexo B demonstra uma forma de resolução geral das integrais de ionização [2.11], utilizando as equações (2.4), (2.5), (2.6) e (2.7), cujo resultado será de interesse no decorrer deste capítulo.

2.2 MODELOS PARA O CALCULO DA TENSÃO DE RUPTURA POR AVALANCHE.

O procedimento clássico, usualmente adotado no modelamento matemático de uma junção P / N em ruptura, baseia-se na integração da equação de Poisson [2.21] nas vizinhanças da região de depleção:

$$\nabla^2 V = \frac{-Q}{\epsilon_{si}} \quad (2.9)$$

onde Q é a densidade volumétrica de cargas e ϵ_{si} é a permissividade elétrica do silício.

Algumas condições de contorno são consideradas, tais como:

- a) Campo elétrico nulo fora da região de depleção;
- b) Campo elétrico máximo ocorrendo na junção metalúrgica, que na situação de ruptura coincide com o campo crítico.

Normalmente, faz-se uso de algumas hipóteses simplificadoras quanto ao perfil de distribuição de impurezas dopantes, a homogeneidade do substrato, configuração geométrica da região de integração, simétrias, etc.

Integrações sucessivas da equação de Poisson permitem obter relações matemáticas gerais relacionando a distribuição de campo elétrico, distribuição de potencial e extensão da região de depleção.

Estas relações gerais são particularizadas ao caso de "ruptura" à partir do momento em que as integrais de ionização são resolvidas para uma particular distribuição de campo elétrico. Deste modo, obtém-se uma relação matemática polinomial entre a extensão da região de depleção, na situação de ruptura, e a distribuição de impurezas na região de depleção, que permite então o cálculo da intensidade de campo elétrico crítico e da tensão reversa máxima, passível de ser aplicada à junção.

Uma junção planar, reversamente polarizada, apresenta-se como ilustrada na figura 2.5, constituída por um substrato tipo N-, usualmente pouco dopado, com concentração NB na faixa de:

$$5,0 \cdot 10^{14} < N_B < 5,0 \cdot 10^{15} \text{ átomos/cm}^3,$$

onde se realiza uma difusão P+, a partir da superfície com profundidade Xj. Na região de periferia da junção, desenvolvem-se regiões cilíndricas e esféricas, conforme discutido no item 2.1.1.

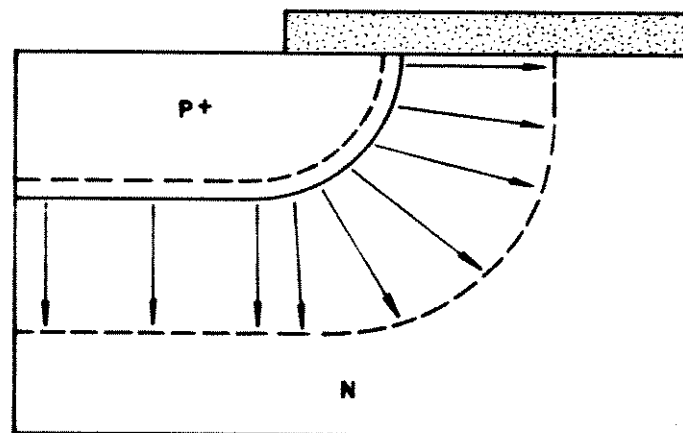


Figura 2.5 - Junção planar reversamente polarizada.

Geralmente, a concentração de impurezas aceitadoras (N_A) na região P+ é muito superior a concentração de impurezas doadoras (N_D) do substrato N-. Portanto, é de se esperar que a região de depleção W extenda sua maior parte na região N- (r_n) e muito pouco na região P+ (r_p). O quanto estas distâncias são diferentes depende diretamente da razão entre as concentrações N_A e N_D e de como se dá a variação de concentração de uma para outra nas imediações da junção metalúrgica.

A figura 2.5 também sugere fisicamente porque as regiões de periferia apresentam ruptura precoce, em comparação com a região central. Note-se que a intensidade de campo elétrico torna-se maior na periferia devido a dois fatores:

- a) O lado P+ da junção, mais dopado, possui região de depleção menos extensa, portanto concentra uma alta densidade de cargas espaciais fixas negativas numa estreita região, inclusive nas regiões encurvadas.
- b) O raio de curvatura das regiões encurvadas da junção acentua o efeito de concentração das linhas de campo elétrico, devido ao efeito convergência radial das mesmas: quanto menor a profundidade de X_j , e portanto o raio de curvatura, mais intenso é este efeito.

2.2.1 A junção abrupta.

Define-se uma junção abrupta como sendo aquela em que um lado é fortemente dopado em relação ao outro, de forma em que o perfil de distribuição de impurezas é extremamente agudo na junção metalúrgica.

Este caso, apesar de aproximativo, representa muito bem situações onde junções rasas de alta concentração são difundidas em substratos homogêneos e pouco dopados.

Considere uma junção abrupta P+/N- plana, polarizada numa tensão reversa V_a , tal como na figura 2.6. A região de depleção se estenderá quase que totalmente do lado N-. Resolvendo a equação (2.9) para o lado N-, em coordenadas cartesianas e considerando por simetria apenas a direção x:

$$\frac{\frac{2}{dx} \frac{dV}{dx}}{2} = - \frac{dE}{dx} = - \frac{Q(x)}{\epsilon_{si}} \quad (2.10)$$

onde $Q(x)$ é a densidade volumétrica da carga do lado N- da região de carga espacial devido aos átomos doadores ionizados (carga positiva) e ϵ_{si} é a constante dielétrica do silício.

Como o substrato é homogêneo, tem-se:

$$Q(x) = q \cdot N_d \quad (2.11)$$

Integrando a equação (2.10) condição de contorno $E(W) = 0$, resulta na distribuição de campo elétrico dentro da região de depleção:

$$E(x) = \frac{-q \cdot Nd}{\epsilon si} \cdot (W - x) \quad (2.12)$$

Nota-se que o campo elétrico varia linearmente com x e possui seu valor máximo para $x = 0$, cujo valor é:

$$E_{max} = \frac{-q \cdot Nd}{\epsilon si} \cdot W \quad (2.13)$$

A integração da equação (2.12) com a condição de contorno $V(0) = 0$, resulta na distribuição de potencial dentro da região de depleção:

$$V(x) = \frac{q \cdot Nd}{2 \epsilon si} (2 \cdot W \cdot x - x^2) \quad (2.14)$$

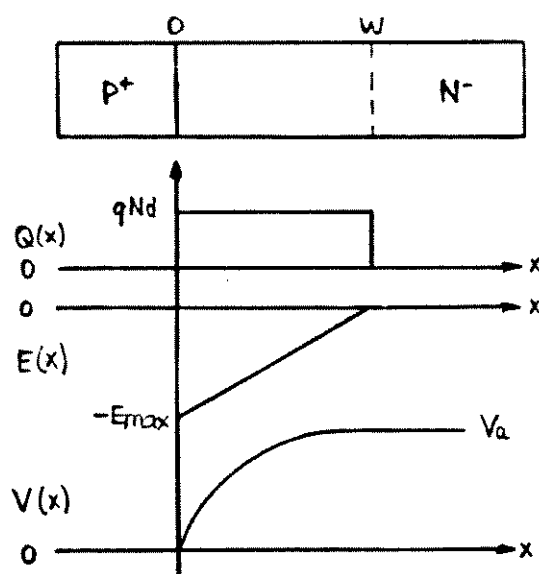


Figura 2.6 - Junção abrupta plana: distribuição de carga, campo elétrico e potencial.

O potencial varia quadraticamente com x . A figura 2.6 representa graficamente as distribuições de carga, campo elétrico e potencial para a junção abrupta considerada. Considerando $V(W) = V_a$, tensão reversa aplicada à junção, da equação (2.14), obtém-se:

$$V_a = \frac{q \cdot Nd}{2 \epsilon si} \cdot W^2 \quad (2.15)$$

Combinando as equações (2.13) e (2.15)

$$E_{max} = - \left[\frac{2 \cdot q \cdot Nd}{\epsilon si} V_a \right]^{0,5} \quad (2.16)$$

As equações 2.12 a 2.16 descrevem a junção abrupta PN da figura 2.6 para toda polarização reversa, inferior a tensão de ruptura V_r . Em particular as equações (2.13), (2.15) e (2.16) relacionam entre si as três grandezas que caracterizam esta junção.

Conhecida uma delas, determina-se as outras duas.

A resolução da integral de ionização propicia um meio de se determinar a extensão máxima da região de depleção na situação de ruptura, W_{cp} , que permite assim a determinação do campo elétrico crítico, E_{cp} , e da tensão de ruptura, V_{rp} .

Utilizando-se a solução geral da integral de ionização, equação (B.6), desenvolvida no Anexo B e que considera a aproximação de Fulop da equação (2.3), e a distribuição de campo elétrico da equação (2.13), tem-se:

$$E(x) = K \cdot h(x) \quad (2.17)$$

$$\text{onde} \quad K = \frac{q \cdot Nd}{\epsilon si} \quad (2.18)$$

$$\text{e} \quad h(x) = - (W - n)^2 = (x - W)^2 \quad (2.19)$$

Logo:

$$H(x) = \int_0^x h(x) dx$$

$$= \frac{1}{8} (W - x)^8 \quad (2.20)$$

Calculando-se $H(x)$ para os extremos da região de depleção, ou seja, $x = 0$ e $x = W_{cp}$ e utilizando a equação (B.6) do Anexo B, obtém-se:

$$W_{cp}^8 = \frac{8}{A \cdot k} \quad (2.21)$$

Substituindo (2.18) em (2.21):

$$W_{cp} = \left[\frac{8}{A} \right]^{1/8} \cdot \left[\frac{esi}{q \cdot Nd} \right]^{7/8} \quad (2.22)$$

Substituindo-se os valores das constantes físicas:

$$W_{cp} = 2,67 \cdot 10^{14} \cdot Nd^{-7/8} \quad [\text{micra}] \quad (2.23)$$

Substituindo-se (2.23) nas equações (2.13) e (2.15):

$$E_{cp} = 4,01 \cdot 10^3 \cdot Nd^{1/8} \quad [\text{volt/cm}] \quad (2.24)$$

$$V_{rp} = 5,34 \cdot 10^{13} \cdot Nd^{-3/4} \quad [\text{volt}] \quad (2.25)$$

onde Nd é dado em átomos por centímetro cúbico.

As equações (2.23) a (2.25) representam um conjunto de equações que caracterizam a ruptura de uma junção abrupta plana em função da concentração de impurezas N_d do substrato N-, ou seja, a concentração de substrato define as propriedades de ruptura. A figura 2.7 mostra graficamente as relações (2.23) e (2.25) por meio das curvas em linha cheia.

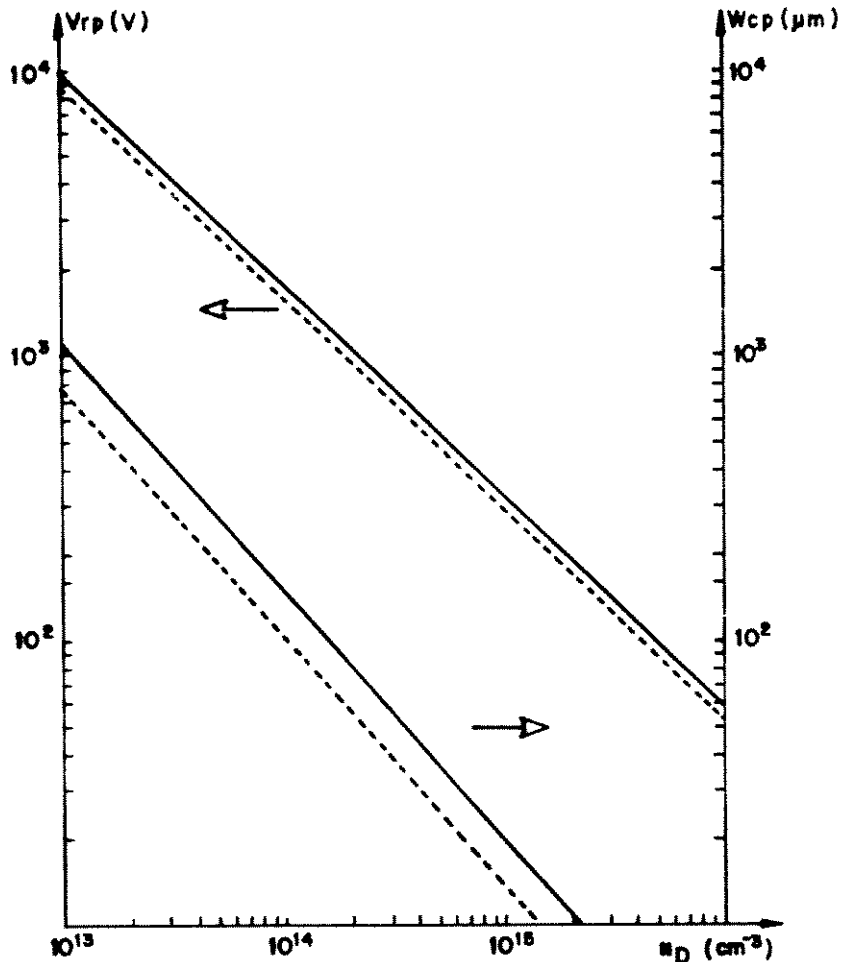


Figura 2.7 - Curvas V_{rp} x N_d e W_{cp} x N_d para uma junção abrupta plana.

As expressões acima permitem o cálculo do que se convencionou chamar de valores máximos teóricos de ruptura. O valor de V_{rp} calculado por (2.25) constitui realmente o melhor resultado a ser alcançado por uma junção PN, dado N_d . Outros fatores tais como efeitos de superfície e a existência das regiões de periferia, cilíndricas e esféricas, tendem tão somente a degradar a máxima tensão reversa a que uma junção real pode ser submetida, sem haver ruptura.

Por outro lado, se for utilizado a equação (B.22) do Anexo B, onde se considera α_n diferente de α_p , tem-se:

$$W_{cp} = \left[\frac{B}{(A_p - A_n)} \ln \left[\frac{A_p}{A_n} \right] \right]^{1/8} \cdot \left[\frac{esi}{q \cdot Nd} \right]^{7/8} \quad (2.26)$$

logo:

$$W_{cp} = 2,70 \cdot 10^{14} \cdot Nd^{-7/8} \quad [\text{micra}] \quad (2.27)$$

$$E_{cp} = 4,18 \cdot 10^3 \cdot Nd^{1/8} \quad [\text{volt/cm}] \quad (2.28)$$

$$V_{rp} = 5,64 \cdot 10^{13} \cdot Nd^{-3/4} \quad [\text{volt}] \quad (2.29)$$

onde N_d é dado em átomos por centímetro cúbico.

Comparando-se as eqs. (2.27) a (2.29) às eqs. (2.23) a (2.25), nota-se que a aproximação de Fulop é bastante razoável, embora o modelo para os coeficientes de ionização α_n e α_p diferentes seja fisicamente mais preciso.

As expressões acima (2.23) a (2.25) ou (2.27) a (2.29) serão úteis posteriormente como parâmetros de normalização.

2.2.2 A junção linearmente dopada.

Define-se uma junção linearmente dopada como sendo aquela em que a concentração de dopante varia linearmente do lado P ao lado N, através e além da região de depleção. Neste caso, define-se um gradiente de concentração G com a distância (unidade de G em átomos por centímetro à quarta potência).

A aproximação de junção linearmente dopada representa muito bem junções P / N cujos ambos os lados são fracamente dopados (junções P- / N- epitaxiais, por exemplo).

A figura 2.8 representa as considerações pertinentes a uma junção P / N linearmente dopada. A densidade volumétrica de carga $Q(x)$, neste caso vale:

$$Q(x) = \pm q \cdot G \cdot x \quad (2.30)$$

onde o sinal positivo refere-se às cargas de átomos de impurezas doadoras ionizadas, do lado N, e o sinal negativo, às impurezas aceitadoras ionizadas, do lado P da junção.

A equação de Poisson (2.9) em coordenadas cartesianas na direção x pode ser escrita como:

$$\frac{d^2 V}{dx^2} = \frac{-dE}{dx} = \frac{-Q(x)}{\epsilon \epsilon_0} = \pm \frac{G \cdot x}{\epsilon \epsilon_0} \quad (2.31)$$

Integrando (2.31) com a condição de contorno de $E(\pm W) = 0$:

$$E(x) = \frac{-q \cdot G}{2 \epsilon \epsilon_0} (W^2 - x^2) \quad (2.32)$$

A distribuição de campo elétrico na região de depleção varia, neste caso, parabolicamente com a distância, possuindo seu máximo valor na junção metalúrgica ($x = 0$):

$$E_{\max} = \frac{-q \cdot G}{2 \epsilon \epsilon_0} W^2 \quad (2.33)$$

A distribuição de potencial pode ser obtida integrando-se a equação (2.32), com a condição de contorno que $V(-W) = 0$:

$$V(x) = \frac{q \cdot G}{6 \epsilon \epsilon_0} \left[\frac{3}{2} W^3 + 3 W^2 x - x^3 \right] \quad (2.34)$$

A distribuição de potencial no interior da região de depleção varia cubicamente com x , como pode ser visto na figura 2.8.

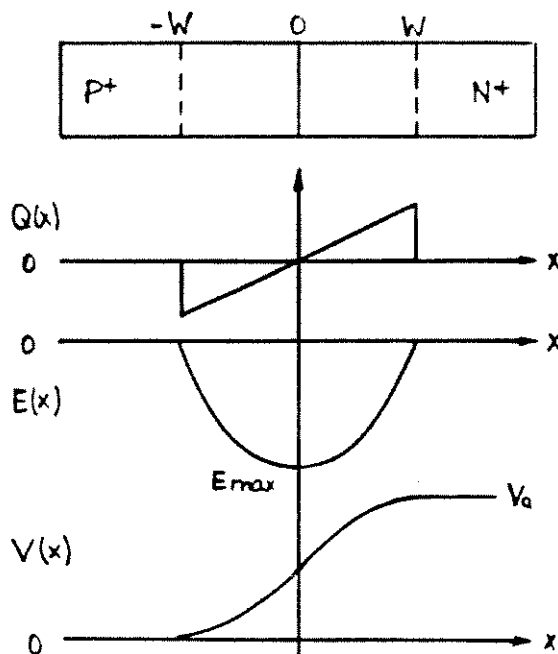


Figura 2.8 - Junção linearmente dopada: distribuição de carga, campo elétrico e potencial;

Da condição $V(+W) = V_a$, seguem as relações:

$$V_a = \frac{2 q \cdot G}{3 \epsilon s i} W^3 \quad (2.35)$$

$$E_{max} = - \left[\frac{9}{32} \cdot \frac{q \cdot G}{\epsilon s i} \right]^{1/3} \cdot V_a^{2/3} \quad (2.36)$$

Da equação (2.32), utilizando (B.6):

$$K = \frac{q \cdot G}{2 \epsilon s i} \quad (2.37)$$

$$h(x) = - \left[\frac{x^2}{W} - x^2 \right]^7 = \left[x^2 - \frac{x^2}{W} \right]^7 \quad (2.38)$$

$$H(x) = \int h(x) dx \quad (2.39)$$

A integração acima é facilmente realizada se o binômio à direita da eq.(2.38) for expandido em soma de produtos, e cada termo for integrado separadamente. Disto resulta o polinômio abaixo:

$$H(x) = \frac{1}{15} x^{15} - \frac{7}{13} \frac{x^2}{W} x^{13} + \frac{21}{11} \frac{x^4}{W^2} x^{11} - \frac{35}{9} \frac{x^6}{W^3} x^9 +$$

$$+ 5 \frac{x^8}{W^4} x^7 - \frac{21}{5} \frac{x^{10}}{W^5} x^5 + \frac{7}{3} \frac{x^{12}}{W^6} x^3 - \frac{x^{14}}{W^7} x \quad (2.40)$$

Calculando $H(x)$ para $x = -W$ e para $x = W$:

$$H(W) - H(-W) = 0,6365 \cdot \frac{W^{15}}{A \cdot k} = \frac{1}{7} \quad (2.41)$$

Substituindo k e as constantes físicas nele contidas, obtém-se a extensão das regras de depleção em cada lado da junção:

$$W_{cl} = 4,44 \cdot 10^9 \cdot G^{-7/15} \quad [\text{micra}] \quad (2.42)$$

Substituindo (2.41) em (2.33) e (2.35) obtém-se:

$$E_{cl} = 1,53 \cdot 10^4 \cdot G^{1/15} \quad [\text{volt/cm}] \quad (2.43)$$

$$V_{r1} = 9,06 \cdot 10^9 \cdot G^{-2/5} \quad [\text{Volts}] \quad (2.44)$$

A figura 2.9 ilustra as variações de W_{cl} e V_{r1} em função do gradiente de concentração G de uma junção linearmente dopada. Pode-se demonstrar que uma junção linearmente dopada exibe uma tensão de ruptura maior do que uma junção abrupta, para a mesma faixa de níveis de dopagem, devido ao fato de que ela pode suportar tensão em ambos os lados da junção.

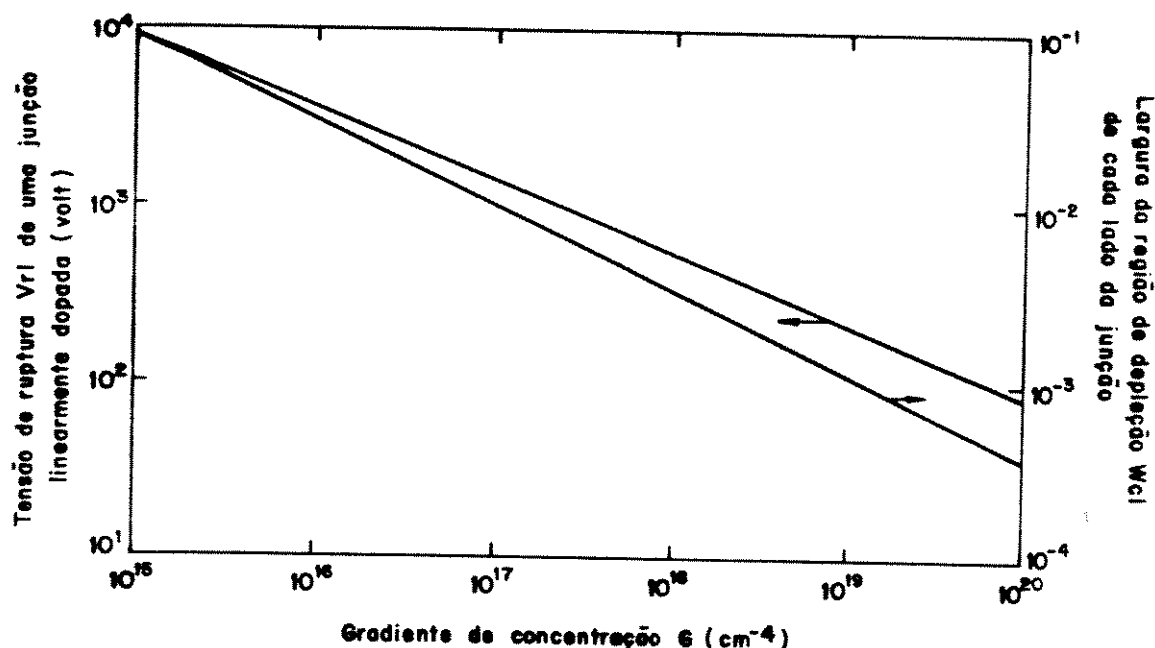


Figura 2.9 - Curvas $V_{r1} \times G$ e $W_{cl} \times G$ para uma junção linearmente dopada.

2.2.3 A Junção difundida real.

Define-se uma junção difundida real como aquela realizável fisicamente pela tecnologia disponível, e que apresenta um certo perfil de distribuição de impurezas, tal que não seja nem abrupto, nem linear com a profundidade.

As técnicas modernas de fabricação de junções P/N baseiam-se em dois métodos para a introdução de impurezas doadoras e aceitadoras, através da superfície do substrato, compatíveis portanto como o processo planar. São elas:

- a) Transporte e deposição através da fase vapor;
- b) Implantação iônica.

A técnica (a) baseia-se na deposição de dopante na superfície semicondutora, até o limite de sua solubilidade sólida, por meio da imersão do substrato semicondutor num ambiente aquecido a alta temperatura (1000 a 1200 graus centígrados), sob a ação de um gás carregador, contendo uma certa pressão parcial do material dopante [2.22]. Este processo é também conhecido por pré-deposição do material dopante.

A técnica de implantação iônica (b), baseia-se na introdução de material dopante, através do bombardeamento da superfície semicondutora por átomos ionizados e acelerados a energias na faixa de 3 a 500 KeV, que assim podem atingir profundidades desde 100 até 10.000 angstroms. Após a implantação, segue-se uma etapa de recozimento a alta temperatura, visando recuperar eventuais danos da estrutura cristalina e ativar as impurezas.

A técnica de implantação iônica permite um controle muito preciso do número de átomos implantados bem como do perfil de distribuição dos mesmos [2.23].

Após a introdução de impurezas, pode haver a necessidade de se ajustar o seu perfil de distribuição, visando obter uma maior profundidade de junção ou uma menor concentração de superfície. Isto é obtido por meio de etapas de alta temperatura para penetração das impurezas.

Qualquer que seja a técnica utilizada para a realização física de uma junção, o perfil de dopagem resultante pode ser modelado de duas formas:

- a) Assumindo que o dopante é introduzido sob concentração de superfície constante, situação própria do processo de pré-deposição, o perfil de dopagem é da forma de uma função erro-complementar:

$$N(x) = N_0 \operatorname{erfc} \left[\frac{x}{\sqrt{\chi_d}} \right] - N_B \quad (2.45)$$

onde N_0 é a concentração de superfície, normalmente igual à solubilidade sólida do material dopante no substrato, N_B é a concentração de impurezas do substrato e x_d é o comprimento de difusão [2.23].

- b) Assumindo que a quantidade de material dopante, inicialmente introduzido por pré-deposição ou por implantação iônica de baixa energia, é constante e localizada muito próxima à superfície, situação própria do processo de penetração, o perfil de dopagem toma a forma de uma função gaussiana:

$$N(x) = N_s \exp \left[-\frac{x^2}{x_d^2} \right] - N_B \quad (2.46)$$

onde N_s é a concentração de superfície, final função da quantidade de átomos de dopantes e do tempo transcorrido para a penetração.

É interessante ressaltar que no caso de implantações iônicas de alta energia seguidas de etapas de penetração, o perfil de dopagem final pode diferir totalmente de (2.44) e (2.45), situação que não será considerada neste estudo.

Na figura 2.10 tem-se uma comparação, em escala linear, dos perfis de dopagem normalizados por função erro-complementar e gaussiana. Em ambos os casos, verifica-se que a concentração aumenta gradualmente perto da junção metalúrgica, como no caso de uma junção linearmente dopada. No entanto, nas regiões profundas do substrato, a compensação de dopagem do material difundido sobre a concentração N_B é desprezível, de forma que a concentração resultante é homoganeamente distribuída, como no caso de uma junção abrupta.

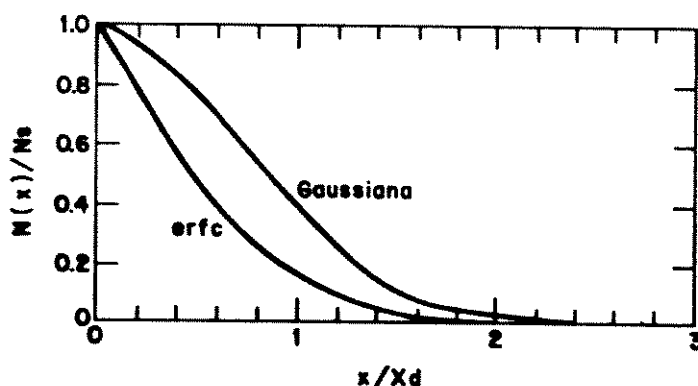


Figura 2.10 - Perfis de distribuição de impurezas por função gaussiana e erro-complementar.

Portanto, uma junção difundida real pode ser tratada como estando entre os casos abrupto e linearmente dopado.

É impossível obter-se formas analíticas fechadas na solução da equação de Poisson, considerando perfis de dopagem tais como a função erro-complementar e função gaussiana [2.34].

No entanto, utilizando técnicas de integração numérica é possível o cálculo da tensão de ruptura e da extensão da região de depleção em ambos os lados da junção. Um exemplo típico é mostrado nas figuras 2.11 e 2.12, onde são comparados os desvios entre dois casos extremos de junções difundidas reais [2.13]:

- a) Alta concentração de superfície ($\approx 10^{20} \text{ cm}^{-3}$) e profundidade de junção rasa (1 micra), representando uma "junção abrupta realizável";
- b) Baixa concentração de superfície ($\approx 10^{17} \text{ cm}^{-3}$) e junção profunda (10 micra), representando uma "junção linearmente dopada realizável".

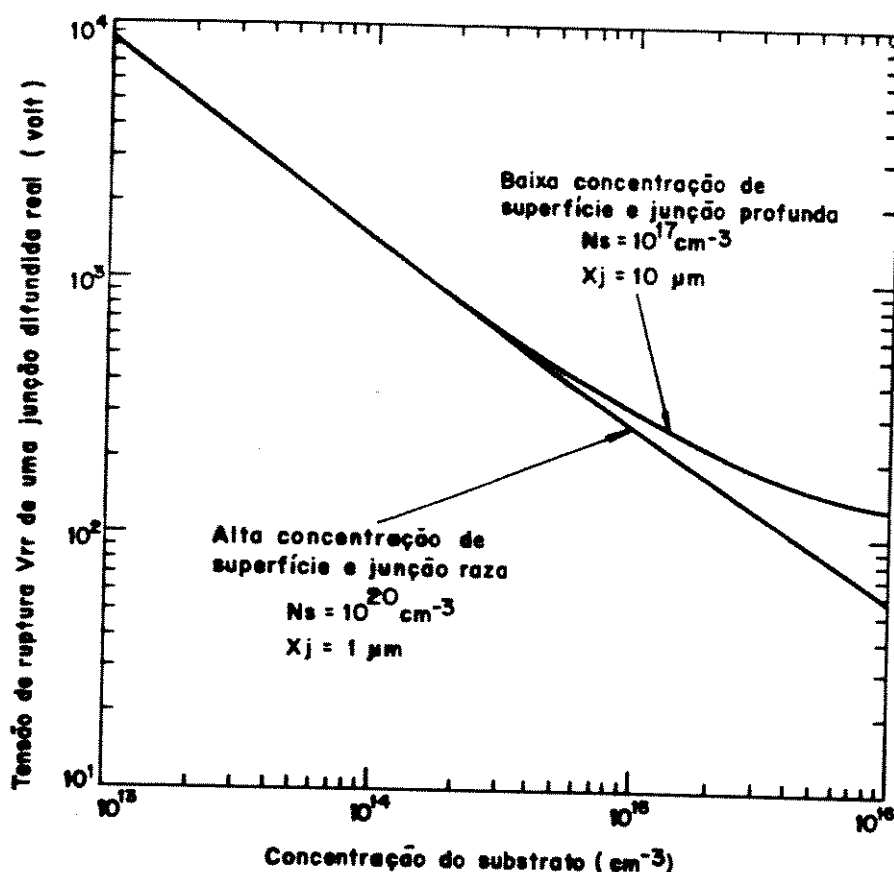
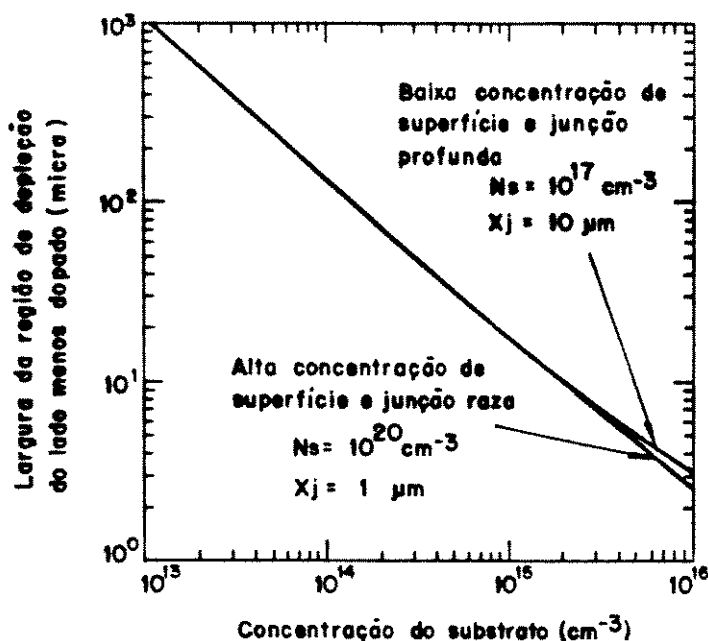
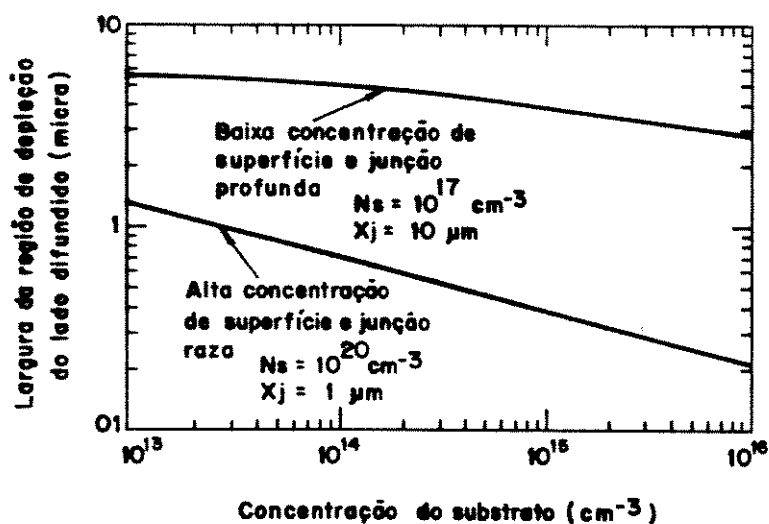


Figura 2.11 - Tensão de ruptura V_{rr} em função da concentração de impurezas N_d do lado mais dopado e da profundidade de junção X_j , em uma junção difundida real.



(a) - Lado menos dopado.



(b) - Lado mais dopado.

Figura 2.12 - Extensão da região de depleção W_{cr} numa junção real.

Observa-se que a extensão da região de depleção do lado menos dopado da junção é pouco sensível em relação ao perfil de concentração (figura 2.12.a), enquanto que do lado mais dopado, há uma influência mais pronunciada (figura 2.12.b). Devido a isto, no caso (b) observa-se um aumento da tensão de ruptura em relação ao caso (a) (figura 2.11). Estas curvas permitem uma estimativa de como a tensão de ruptura de uma junção real pode variar, quando se altera seu perfil de difusão.

As equações que caracterizam a ruptura de uma junção abrupta constituem um modelo de primeira ordem de pior caso para junções planas reais, pois sub-avaliam a tensão de ruptura, ou seja, a tensão de ruptura de uma junção plana real deverá ser igual ou maior que o valor calculado pelo modelo de junção abrupta.

2.2.4 A região cilíndrica de uma junção planar.

Considere-se as bordas laterais de uma junção planar abrupta, tais quais as da figura 2.1. Assumindo que a difusão lateral da junção seja igual a profundidade de junção X_j , a região de depleção se estende a partir desta junção, na direção do lado menos dopado, como ilustra a figura 2.13.a.

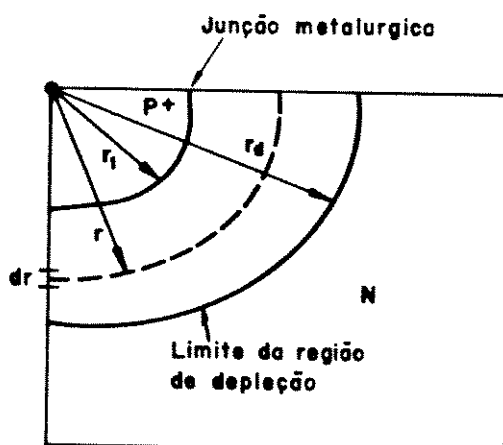


Figura 2.13 - Região de depleção nas regiões de periferia cilíndrica e esférica de uma junção planar.

Dado que neste caso há simetria radial para a distribuição de cargas, distribuição de campo elétrico e distribuição de potencial, a equação de Poisson pode ser escrita em coordenadas cilíndricas:

$$\frac{1}{r} \frac{d}{dr} \left[r \frac{dV}{dr} \right] = \frac{1}{r} \frac{d(rE)}{dr} = \frac{-Q(r)}{\epsilon_{si}} \quad (2.47)$$

$$\text{onde:} \quad Q(r) = q \cdot Nd \quad (2.48)$$

Nota-se na figura 2.13.a, que a origem do sistema de coordenadas cilíndrico se situa na superfície, e não na junção metalúrgica. Logo:

$$X_j < r < W_c \quad (2.49)$$

onde W_c é a extensão da região de depleção cilíndrica.

Integrando a equação (2.47) com a condição de contorno $E(W_c) = 0$, obtém-se:

$$E(r) = - \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \left[\frac{W_c^2 - r^2}{r} \right] \quad (2.50)$$

O campo elétrico máximo se situa na junção metalúrgica, ou seja, $r = X_j$:

$$E_{\max}(\text{cil}) = - \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \left[\frac{W_c^2 - X_j^2}{X_j} \right] \quad (2.51)$$

A figura 2.14 demonstra como varia o campo elétrico com a distância radial r , para o caso $X_j / W_c = 0,1$.

Integrando a eq. (2.50) como condição de contorno $V(X_j) = 0$, obtém-se a seguinte distribuição de potencial:

$$V(r) = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \left[\frac{(X_j^2 - r^2)}{2} + W_c \cdot \ln \left[\frac{r}{X_j} \right] \right] \quad (2.52)$$

Fazendo-se:

$$X_c = \frac{W_c}{X_j} \quad (2.53)$$

o campo elétrico máximo do eq. (2.51) vale:

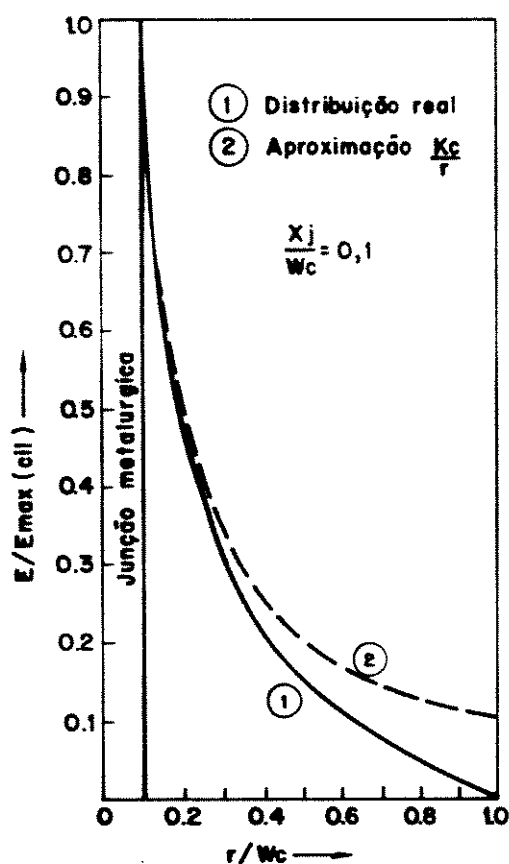


Figura 2.14 - Distribuição de campo elétrico normalizado para uma junção cilíndrica.

$$E_{\max} (cil) = - \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} X_j \cdot (X_c^2 - 1) \quad (2.54)$$

e considerando que $V(X_c)$ é o valor da tensão reversa V_c aplicada a junção, tem-se:

$$V_c = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} X_j \left[\frac{(1 - X_c^2)}{2} + X_c \cdot \ln X_c \right] \quad (2.55)$$

Na condição de ruptura, em que o campo elétrico atinge o seu valor crítico $E_{crit} (cil)$, X_c crítico vale:

$$X_c (crit) = \frac{W_{cc}}{X_j} \quad (2.56)$$

onde W_{cc} é a extensão da região de depleção crítica.

A integral de ionização pode ser resolvida, considerando na solução geral da eq. (B.6) a distribuição de campo elétrico dada na eq. (2.50), onde:

$$K = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \quad (2.57)$$

$$h(r) = - \left[\frac{W_c^2 - r^2}{r} \right] = \left[r - \frac{W_c^2}{r} \right] \quad (2.58)$$

Logo:

$$H(r) = \int h(r) dr \quad (2.59)$$

cuja solução pode ser obtida se o termo a direita da eq. (2.58), considerado como binômio de grau 7, for expandido em soma de produtos, e cada termo integrado separadamente como resultado, obtém-se o seguinte polinômio:

$$\begin{aligned}
 H(r) = & \frac{1}{8} r^8 - \frac{7}{6} W_c^2 r^6 + \frac{21}{4} W_c^4 r^4 - \frac{35}{2} W_c^6 r^2 + \\
 & + 35 W_c^8 \ln(r) + \frac{21 W_c^{10}}{2 r^2} - \frac{7 W_c^{12}}{4 r^4} + \frac{W_c^{14}}{6 r^6} \quad (2.60)
 \end{aligned}$$

Utilizando-se a eq. (B.6) do Anexo B, tal que $r_p = X_j$ e $r_n = W_c$:

$$H(X_j) - H(W_c) = \frac{1}{A \cdot K^7} = H_c \quad (2.61)$$

Logo:

$$\begin{aligned}
 H_c = & \frac{1}{8} (X_j^8 - W_c^8) + \frac{7}{6} (W_c^2 X_j^6 - W_c^8) - \\
 & - \frac{21}{4} (W_c^4 X_j^4 - W_c^8) + \frac{35}{2} (W_c^6 X_j^2 - W_c^8) - \\
 & - 35 W_c^8 \ln \left[\frac{X_j}{W_c} \right] - \frac{21}{2} \left[\frac{W_c^{10}}{X_j^2} - W_c^8 \right] + \\
 & + \frac{7}{4} \left[\frac{W_c^{12}}{X_j^4} - W_c^8 \right] - \frac{1}{6} \left[\frac{W_c^{14}}{X_j^6} - W_c^8 \right] = 0 \quad (2.62)
 \end{aligned}$$

O conjunto de eqs. (2.55), (2.56), (2.61) e (2.62) permite a determinação da tensão de ruptura cilíndrica, V_{rc} , como segue:

- Calcula-se o valor de H_c em (2.61);
- Resolve-se a eq. (2.62) para W_{cc} ;
- Calcula-se $X_c(\text{crit})$ na eq. (2.56);
- Calcula-se V_{rc} na eq. (2.55), tal que $V_{rc} = V_c [X_c(\text{crit})]$.

Nota-se na eq. (2.62) a impossibilidade de se obter uma solução explícita para W_{cc} , e assim obter uma expressão analítica para o cálculo da tensão de ruptura V_{rc} . Entretanto, considerando que é a distribuição de campo elétrico nas imediações da junção metalúrgica que determina a condição do campo elétrico crítico, Baliga [2.13] propõe uma aproximação hiperbólica para $E(r)$, mostrada em linha tracejada na figura 2.14. Assumindo que para r próximo a X_j tem-se $r \ll W_c$, a eq. (2.50) pode ser aproximada para:

$$E(r) = - \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \cdot W_c \cdot \left[\frac{1}{r} \right]$$

$$= - \frac{K_c}{r} \quad (2.63)$$

$$\text{onde: } K_c = \frac{q \cdot Nd \cdot W_c^2}{2 \cdot \epsilon_{si}} \quad (2.64)$$

Note-se que a aproximação (2.63) prevê uma distribuição de campo elétrico se estendendo até o infinito, sendo precisa apenas nas imediações da junção metalúrgica.

Assim, as eqs. (2.57) e (2.58) se modificam para:

$$K = K_c \quad (2.65)$$

$$h(r) = - \left[\frac{1}{r} \right]^7 \quad (2.66)$$

Logo:

$$H(r) = \int h(r) dr = \frac{1}{6r} \quad (2.67)$$

Fazendo uso da eq. (B.6) do Anexo B e considerando que o extremo inferior da integral de ionização para a aproximação (2.63) deva ser infinito, obtém-se:

$$H(X_j) - H(\text{infinito}) = \frac{1}{6 \cdot X_j} = \frac{1}{A \cdot K_c} \quad (2.68)$$

Logo:

$$A \cdot K_c = 6 \cdot X_j \quad (2.69)$$

Explicitando-se W_{cc} , na condição de ruptura:

$$W_{cc} = \left[\frac{2 \cdot \epsilon_s}{q \cdot N_d} \right]^{1/2} \cdot \left[\frac{6 \cdot X_j}{A} \right]^{1/14} \quad (2.70)$$

Substituindo K_c , obtido da eq. (2.69), na aproximação (2.63), o campo elétrico crítico em $r = X_j$ pode ser explicitado:

$$E_{crit}(cil) = - \frac{K_c}{X_j} = - \left[\frac{6}{A \cdot X_j} \right]^{1/7} \quad (2.71)$$

Com W_{cc} em (2.70), pode-se calcular $X_c(\text{crit})$ em (2.56) e assim obter o valor da tensão de ruptura V_{rc} por meio da eq. (2.55). Note-se que a solução por este caminho, embora aproximada, é mais simples.

é interessante relacionar os campos elétricos críticos na região cilíndrica e na região plana da junção. Das eqs.(2.13) e (2.22):

$$E_{crit(plano)} = - \left[\frac{8}{A \cdot W_{cp}} \right]^{1/7} \quad (2.72)$$

Logo, de (2.71) e (2.72), resulta:

$$\begin{aligned} \frac{E_{crit(cil)}}{E_{crit(plano)}} &= \left[\frac{3}{4} \frac{W_{cp}}{X_j} \right]^{1/7} = \\ &= 0,96 \left[\frac{W_{cp}}{X_j} \right]^{1/7} \end{aligned} \quad (2.73)$$

A figura 2.15.a ilustra esta relação.

Das relações (2.13) e (2.15), é possível expressar a tensão de ruptura plana V_{rp} em função de $E_{crit(plano)}$ e W_{cp} :

$$V_{rp} = \frac{1}{2} E_{crit(plano)} \cdot W_{cp} \quad (2.74)$$

A ruptura cilíndrica pode ser escrita, a partir da eq. (2.55):

$$V_{rc} = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \left[\frac{X_i^2 - W_{cc}^2}{2} + W_{cc}^2 \cdot \ln \left[\frac{W_{cc}}{X_j} \right] \right] \quad (2.75)$$

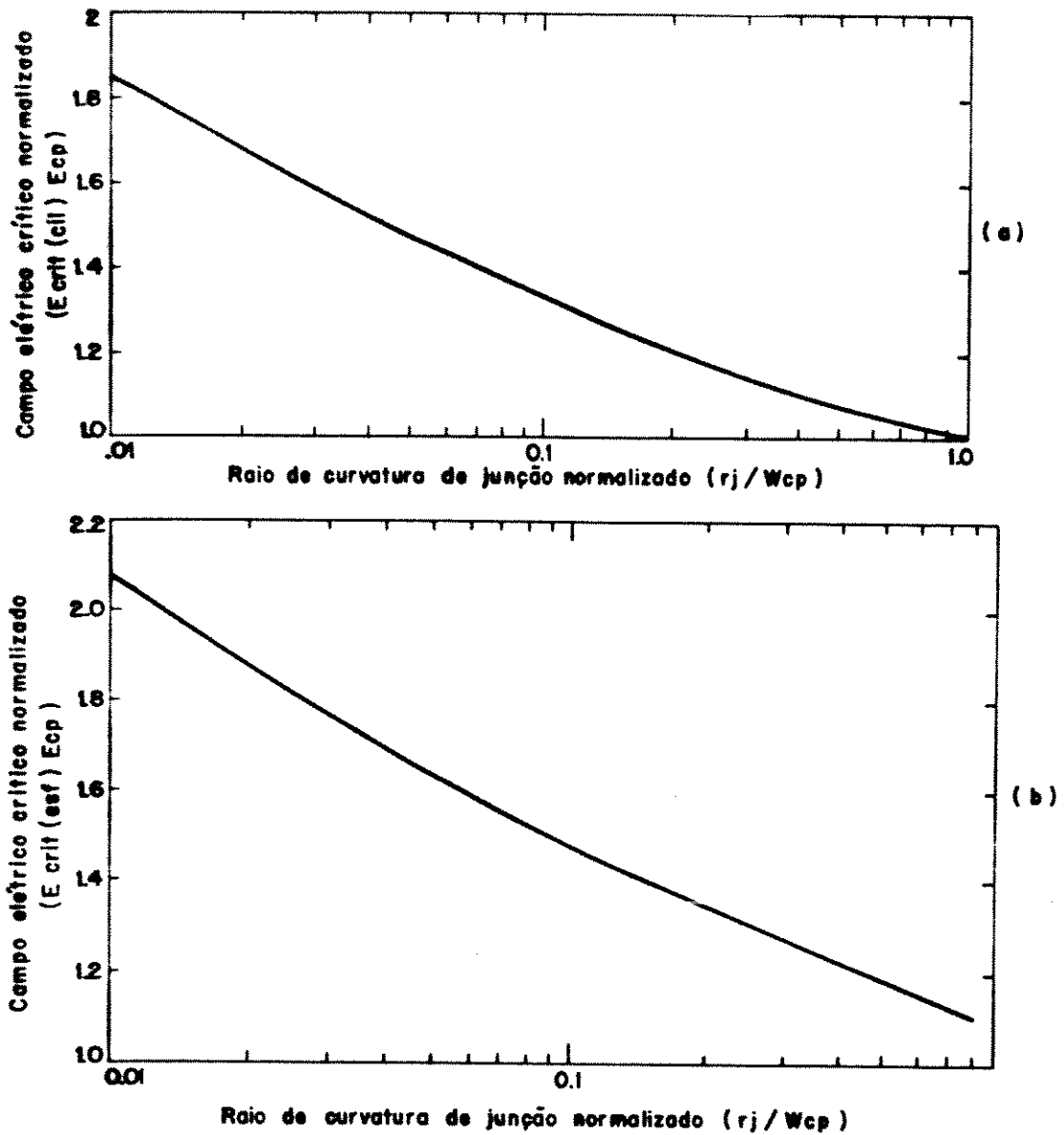


Figura 2.15 - Campo elétrico normalizado de junções cilíndricas (a) e esféricas (b), em função do raio de curvatura normalizado.

Explicitando-se W_{cc} em (2.51) na situação de ruptura:

$$W_{cc} = X_j \left[1 - \frac{2 \cdot \epsilon_{si} \cdot E_{crit} (cil)}{q \cdot N_d \cdot X_j} \right]^{1/2} \quad (2.76)$$

Dividindo-se (2.75) por (2.74) com o auxílio de (2.76) primeiramente, e de (2.73) posteriormente, obtém-se uma relação que independe de N_d e W_{cp} e das intensidades dos campos elétricos críticos [2.29]:

$$\frac{V_{rc}}{V_{rp}} = \frac{1}{2} \left[\frac{2}{a} + 1,92 \cdot a^{6/7} \right] \cdot \ln \left[1 + 1,92 \cdot a^{-8/7} \right] - 0,96 a^{6/7} \quad (2.77)$$

onde: $a = \frac{X_j}{W_{cp}} \quad (2.78)$

A figura 2.16 ilustra a relação (2.77).

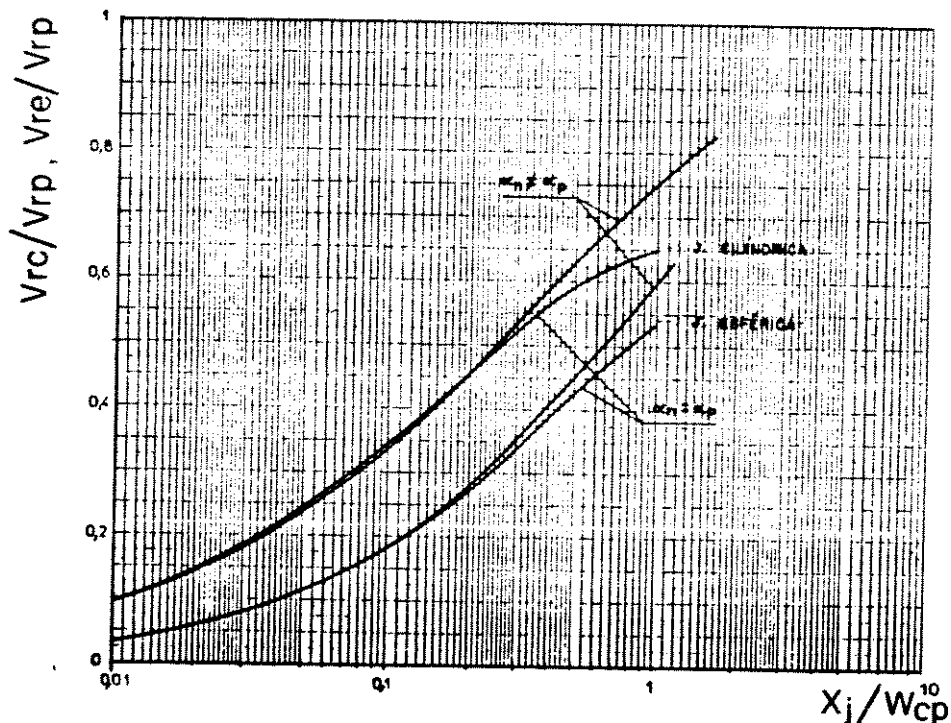


Figura 2.16 - Tensão de ruptura normalizada de junções cilíndricas e esféricas, em função do raio de curvatura normalizado.

De acordo com a literatura existente [2.11, 2.13], a relação (2.77) apresenta boa concordância com resultados calculados numericamente por intermédio da equação (2.62), mesmo se considerando que n_n seja diferente de n_p . Também apresenta boa concordância para resultados numéricos que incluem perfis de dopagem reais.

A análise da figura 2.16 permite concluir que a tensão de ruptura cilíndrica é sempre menor do que a tensão de ruptura plana, numa razão entre 10 a 70%, dependendo da dopagem do substrato e da profundidade de junção.

A equação (2.77) dá uma avaliação preliminar da potencialidade de uma dada junção resistir a uma certa tensão reversa. Dada uma junção P+ com profundidade X_j , cuja concentração de superfície seja bem maior que a concentração de substrato N_d :

- a) De posse de N_d , calcula-se W_{cp} e V_{rp} a partir das eqs. (2.27) e (2.29);
- b) Calcula-se " a " em (2.78);
- c) Calcula-se a razão V_{rc} / V_{rp} em (2.77);
- d) Determina-se V_{rc} .

2.2.5 A região esférica de uma junção planar.

Numa junção planar como a mostrada na figura 2.1, os cantos em ângulo reto da máscara de difusão definem, devido a existência da difusão lateral, regiões de formato equivalente a um-oitavo de uma esfera de raio X_j , assumindo que a difusão lateral seja igual a profundidade de junção. Nesta situação, verifica-se também a existência de simetria radial para a distribuição de carga, campo elétrico e potencial. A equação de Poisson deve então ser escrita em coordenadas esféricas, seguindo a orientação da figura 2.13:

$$\frac{1}{r^2} \frac{d}{dr} \left[r^2 \frac{dV}{dr} \right] = - \frac{1}{r} (r E) = - \frac{Q(r)}{\epsilon \epsilon_0} \quad (2.79)$$

onde $Q(r)$ é dado pela eq. (2.48).

Neste caso, a região de interesse situa-se nos limites:

$$X_j < r < W_e \quad (2.80)$$

onde W_e é a extensão da região de depleção esférica.

Integrando (2.79) com a condição de contorno $E(W_e)=0$, obtém-se:

$$E(r) = - \frac{q \cdot Nd}{3 \cdot \epsilon_{si}} \left[\frac{W_e^3 - r^3}{r^2} \right] \quad (2.81)$$

O campo elétrico máximo situa-se em $r = X_j$, ou seja:

$$E_{\max}(\text{esf}) = - \frac{q \cdot Nd}{3 \cdot \epsilon_{si}} \left[\frac{W_e^3 - X_j^3}{X_j^2} \right] \quad (2.82)$$

A figura 2.17 mostra como o campo elétrico varia com a distância r , para o caso em que $X_j / W_e = 0,1$.

Integrando-se a eq. (2.81), com a condição $V(X_j) = 0$, obtém-se a seguinte expressão:

$$V(r) = \frac{q \cdot Nd}{3 \cdot \epsilon_{si}} \left[\frac{(X_j^2 - r^2)}{2} + W_e^3 \left[\frac{1}{X_j} - \frac{1}{r} \right] \right] \quad (2.83)$$

Fazendo-se:

$$X_e = \frac{W_e}{X_j} \quad (2.84)$$

a eq. (2.82) pode ser escrita como:

$$E_{\max}(\text{esf}) = - \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} X_j \left[\frac{3}{2} X_e - 1 \right] \quad (2.85)$$

e considerando que para X_e corresponde uma tensão reversa V_e aplicada, tem-se:

$$V_e = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} X_j^2 \left[\frac{2}{3} X_e^3 - X_e^2 - \frac{1}{3} \right] \quad (2.86)$$

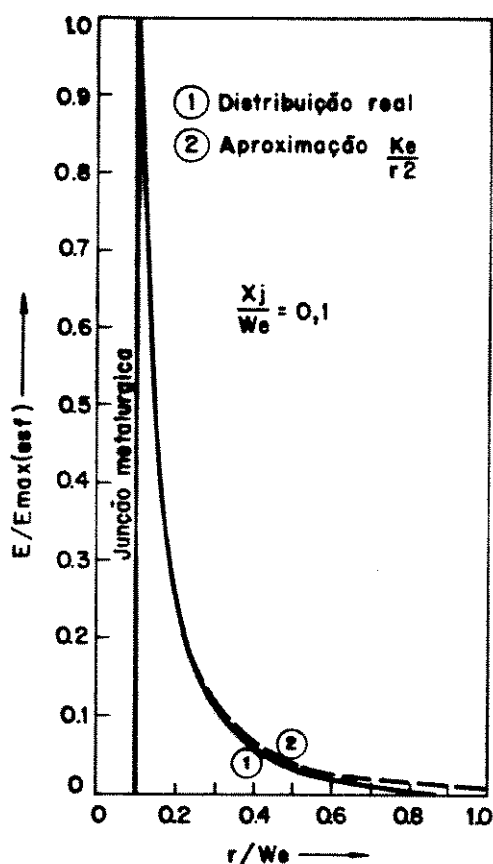


Figura 2.17 - Distribuição de campo elétrico normalizado para uma junção esférica.

Na condição de ruptura, $E(X_j) = E_{\text{crit}}(\text{esf})$. Logo:

$$X_e(\text{crit}) = \frac{W_{ce}}{X_j} \quad (2.87)$$

onde W_{ce} é a extensão da região de depleção crítica.

Dada a distribuição de campo elétrico da eq. (2.81), tem-se:

$$K = \frac{q \cdot Nd}{3 \cdot \epsilon s i} \quad (2.88)$$

$$h(r) = - \left[\frac{\frac{3}{We} - r^3}{r^2} \right]^7 = \left[r - \frac{We^3}{r^2} \right]^7 \quad (2.89)$$

Da mesma forma como no caso cilíndrico, a integração é facilitada se o binômio a direita de (2.89) for expandido em soma de produtos, cada termo sendo integrado separadamente. Como resultado, obtém-se o polinômio:

$$\begin{aligned} H(r) = & \frac{1}{8} r^8 - \frac{7}{5} \frac{We^3}{r^5} + \frac{21}{2} \frac{We^6}{r^2} + \\ & + \frac{35}{r^9} - \frac{35}{4} \frac{We^{12}}{r^4} + \frac{3}{7} \frac{We^{15}}{r^7} - \\ & - \frac{7}{10} \frac{We^{18}}{r^{10}} + \frac{We^{21}}{13 r^{13}} \end{aligned} \quad (2.90)$$

Fazendo uso da eq. (B.6) do anexo B, tal que $r_p = X_j$ e $r_n = W_{ce}$:

$$H(X_j) - H(W_{ce}) = H_e = \frac{1}{A \cdot K^7} \quad (2.91)$$

Logo:

$$\begin{aligned}
 H_e &= -\frac{1}{8} (X_j^8 - W_e^8) + \frac{7}{5} (W_e^3 X_j^5 - W_e^8) - \\
 &= -\frac{21}{2} (W_e^6 X_j^2 - W_e^8) + \frac{35}{4} \left[\frac{W_e^9}{X_j} - W_e^8 \right] - \\
 &= -\frac{35}{4} \left[\frac{W_e^{12}}{X_j^4} - W_e^8 \right] + 3 \left[\frac{W_e^{15}}{X_j^7} - W_e^8 \right] - \\
 &= -\frac{7}{10} \left[\frac{W_e^{18}}{X_j^{10}} - W_e^8 \right] + \frac{1}{13} \left[\frac{W_e^{21}}{X_j^{13}} - W_e^8 \right] = 0
 \end{aligned} \tag{2.92}$$

Neste caso, o conjunto de eqs. (2.86), (2.87), (2.91) e (2.92) permite o cálculo da tensão de ruptura esférica, V_{re} , como segue:

- Calcula-se o valor de H_e em (2.91);
- Resolve-se a eq. (2.92) para W_{ce} ;
- Calcula-se $X_{e(crit)}$ em (2.87);
- Calcula-se V_{re} na eq. (2.86).

Da mesma forma que no caso cilíndrico, a eq. (2.92) não permite obter W_{ce} explicitamente e, portanto, é impossível o cálculo de V_{re} de forma analítica.

A distribuição de campo elétrico em (2.81) também pode ser aproximada se for considerado que $r \ll W_{ce}$. A aproximação adotada adotada [2.13] está mostrada na figura 2.17, em linha tracejada, e é definida por:

$$\begin{aligned}
 E(r) &= - \frac{q \cdot Nd}{3 \cdot \epsilon_{si}} \cdot W_e^3 \cdot \left[\frac{1}{r} \right] \\
 &= - \frac{K_e}{r^2} \quad (2.93)
 \end{aligned}$$

onde:

$$K_e = \frac{q \cdot Nd \cdot W_e^3}{3 \cdot \epsilon_{si}} \quad (2.94)$$

A aproximação (2.93) determina que a distribuição de campo elétrico se estende ao infinito, ao passo que a eq. (2.81) limita-se a W_e .

Resolvendo a integral de ionização de forma análoga ao caso cilíndrico, obtém-se:

$$A \cdot K_e^7 = 13 \cdot X_j^{13} \quad (2.95)$$

Explicitando-se W_{ce} , na condição de ruptura:

$$W_{ce} = \left[\frac{3 \cdot \epsilon_{si}}{q \cdot Nd} \right]^{1/3} \cdot \left[\frac{13 X_j^{13}}{A} \right]^{1/21} \quad (2.96)$$

Substituindo-se (2.96) em (2.93) para o cálculo do campo elétrico crítico em $r = X_j$:

$$E_{crit}(esf) = - \frac{K_e}{X_j^2} = - \left[\frac{13}{A \cdot X_j} \right]^{1/7} \quad (2.97)$$

Calculando-se W_{ce} pela eq. (2.96), posteriormente $X_{e(crit)}$ na eq. (2.87), pode-se determinar V_{re} por meio da eq. (2.86).

Relacionando os campos elétricos nas regiões esférica e plana da junção, com o auxílio das expressões (2.72) e (2.97), obtém-se:

$$\begin{aligned} \frac{E_{crit} (esf)}{E_{crit} (plano)} &= \left[\frac{13}{8} \frac{W_{cp}}{X_j} \right]^{1/7} \\ &= 1,07 \left[\frac{W_{cp}}{X_j} \right]^{1/7} \end{aligned} \quad (2.98)$$

A figura 2.15.b ilustra graficamente a relação acima.

A partir da eq. (2.83), a ruptura esférica pode ser escrita como:

$$V_{re} = \frac{q \cdot Nd}{2 \cdot \epsilon_{si}} \left[\frac{2}{3} \frac{W_{ce}^3}{X_j} - W_{ce}^2 + \frac{1}{3} X_j^2 \right] \quad (2.99)$$

Explicitando-se W_{ce} em (2.82), na situação de ruptura:

$$W_{ce} = X_j \left[1 - \frac{3 \cdot \epsilon_{si} \cdot E_{crit} (esf)}{q \cdot Nd \cdot X_j} \right]^{1/3} \quad (2.100)$$

Dividindo-se (2.99) por (2.74), substituindo-se primeiramente (2.100) e depois (2.98), obtém-se, da mesma forma que no caso cilíndrico, uma expressão que independe de N_d , W_{ce} e das intensidades dos campos elétricos críticos [2.29]:

$$\frac{V_{re}}{V_{rp}} = \frac{2}{b} + 2,14 \cdot b^{6/7} - \left[\frac{3}{b} + 3,21 \cdot b^{13/7} \right]^{2/3} \quad (2.101)$$

onde:

$$b = \frac{X_j}{W_{cp}} \quad (2.102)$$

A relação (2.101) também está ilustrada na figura 2.16, para comparação com o caso cilíndrico. Nota-se que a ruptura esférica é cerca de duas vezes menor do que a ruptura cilíndrica. Em relação a ruptura plana, a junção esférica apresenta um valor entre 5 a 50 por cento, dependendo da dopagem do substrato e da profundidade da junção.

A eq. (2.101) permite uma avaliação preliminar do valor da tensão de ruptura de uma junção planar com cantos esféricos:

- Dado N_d , calcula-se W_{cp} e V_{rp} a partir das eqs. (2.27) e (2.29);
- Calcula-se " b " em (2.102);
- Calcula-se a razão V_{re} / V_{rp} em (2.101);
- Determina-se V_{re} .

É interessante ainda se comparar os campos elétricos críticos nas regiões esféricas e cilíndricas de uma junção planar. Dividindo-se a eq. (2.97) pela eq. (2.71), tem-se:

$$\frac{E_{crit} (esf)}{E_{crit} (cil)} = \frac{\left[\frac{13}{A \cdot X_j} \right]^{1/7}}{\left[\frac{6}{A \cdot X_j} \right]^{1/7}} = \left[\frac{13}{6} \right]^{1/7} = 1,117 \approx 112 \% \quad (2.103)$$

Ou seja, o campo elétrico crítico é cerca de 12 % mais intenso nas regiões esféricas do que nas regiões cilíndricas, qualquer que seja a concentração do substrato ou a profundidade da junção.

2.2.6 Transição entre as rupturas esférica e cilíndrica.

JÁ foi visto em 2.1.1 que uma junção planar, define regiões de periferia cilíndricas, ao longo das arestas retilíneas e regiões esféricas, nos cantos em ângulo reto da Área de difusão, conforme mostra a figura 2.1.

Na figura 2.18 vê-se uma situação diferente da figura 2.1, onde o canto acima referido é arredondado segundo um raio de curvatura R_m :

- Se $R_m = 0$, o canto será em ângulo reto e se desenvolverá uma região esférica, devido a difusão lateral;
- Se R_m tender a infinito, a região se aproximará de uma região cilíndrica.

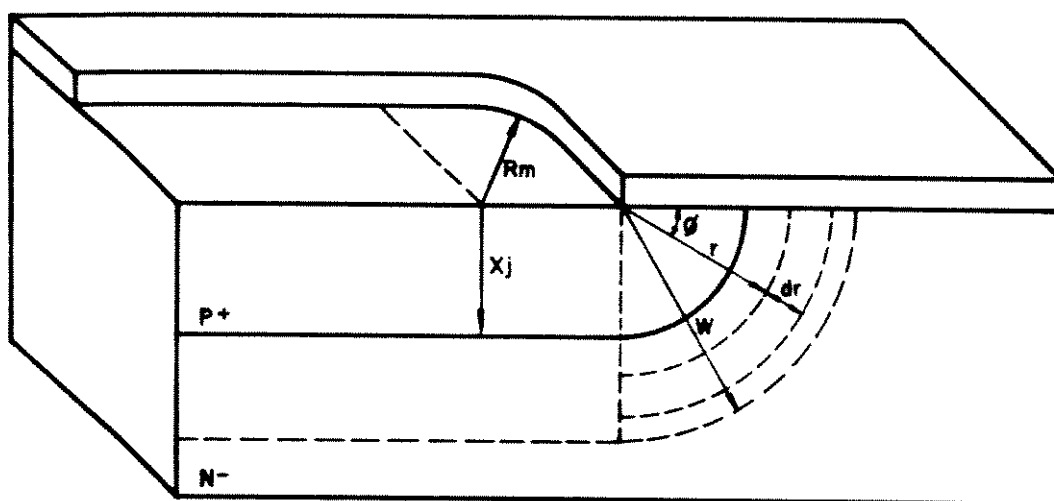


Figura 2.18 - Junção planar com canto arredondado.

Logo, é de se esperar que se a camada superficial, que define a área difundida de uma junção (SiO_2 , fotorresiste, etc.), tiver cantos arredondados segundo um certo raio de curvatura R_m , a região de periferia desenvolvida em torno deste canto apresentará uma tensão de ruptura compreendida entre as tensões cilíndrica e esférica.

Este fato foi observado experimentalmente por Basavanagoud e Bhat [2.24], que propuseram uma forma de cálculo para a distribuição de campo elétrico numa região com canto arredondado segundo um raio R_m .

A figura 2.18 mostra o sistema de coordenadas e as variáveis envolvidas para o cálculo de $E(r)$.

A Lei de Gauss [2.21], aplicada à estrutura da figura 2.18, considerando a junção P / N- como sendo abrupta e o lado N- menos dopado com concentração N_d , resulta:

$$\text{esi} \int_S E(r) dS = q = \int_V Q(r) dV \quad (2.104)$$

Pela simetria do problema apresentado, $E(r)$ é constante numa dada superfície S situada em r . Sendo o substrato homogêneo, a densidade volumétrica de cargas é dada pela eq. (2.11). Assim:

$$\text{esi} \cdot E(r) \int_S dS = -q \cdot N_d \int_V dV \quad (2.105)$$

Como visto na figura 2.18, a área e o volume incremental valem:

$$dS = (2 \cdot \pi \cdot R) \cdot r d\phi \quad (2.106)$$

$$dV = (2 \cdot \pi \cdot R) \cdot r d\phi dr \quad (2.107)$$

$$\text{onde:} \quad R = R_m + r \cdot \cos \phi \quad (2.108)$$

Logo, substituindo as expressões acima em (2.105):

$$\begin{aligned} \text{esi} \cdot E(r) \int_{\phi=0}^{\pi/2} 2 \pi (R_m + r \cos \phi) r d\phi &= \\ &= -q \cdot N_d \int_r^W \int_{\phi=0}^{\pi/2} 2 \pi (R_m + r \cos \phi) r d\phi dr \end{aligned} \quad (2.109)$$

Realizando as integrais acima:

$$\begin{aligned}
 & \text{esi} \cdot E(r) \cdot 2\pi r \left(R_m \cdot \varphi + r \cos \varphi \right) \Big|_0^{\pi/2} = \\
 & = -q \cdot Nd \cdot 2\pi \left[\frac{R_m \cdot \varphi \cdot r^2}{2} + \frac{r^3}{3} \sin \varphi \right] \Big|_0^{\pi/2} \Big|_r^W \quad (2.110)
 \end{aligned}$$

Substituindo-se os limites de integração e rearranjando os termos, obtém-se:

$$E(r) = - \frac{q \cdot Nd}{2 \cdot \text{esi}} \left[\frac{\frac{2}{3} (W^3 - r^3) + \frac{R_m \pi}{2} (W^2 - r^2)}{r (r + R_m \cdot \pi/2)} \right] \quad (2.111)$$

É interessante notar que a expressão (2.111):

- a) Transforma-se na eq. (2.50) se R_m tende a infinito;
- b) Transforma-se na eq. (2.81) se R_m tende a zero.

Portanto, a eq. (2.111) unifica os casos cilíndrico e esférico discutidos nos itens anteriores deste capítulo. No entanto é impossível obter uma solução analítica para a integral de ionização, como nos casos anteriores. A referência [2.24] relata resultados da solução numérica da integral de ionização (2.8), aplicando a distribuição de campo elétrico da eq. (2.111). Também, a eq. (2.111) foi integrada numericamente para o cálculo da tensão de ruptura V_r .

A figura 2.19 ilustra os resultados de Basavanagoud, que nos casos extremos de $R_m = 0$ e R_m infinito, coincide com as curvas da figura 2.16.

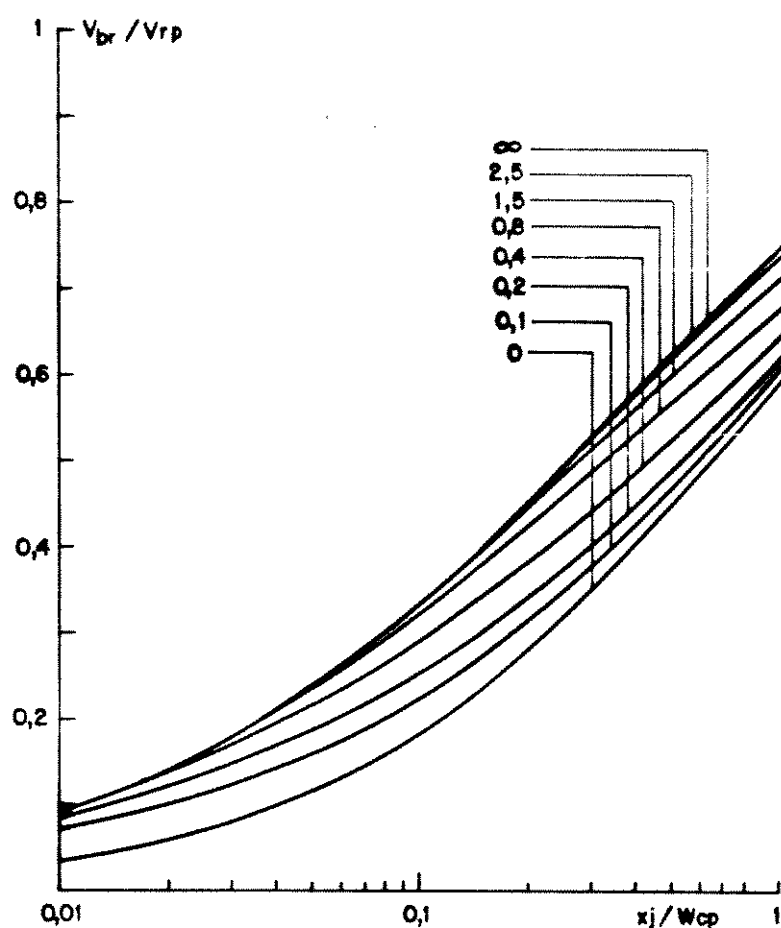


Figura 2.19 - Tensão de ruptura normalizada em função do raio de curvatura de junção normalizado, tendo o raio de curvatura do canto de máscara como parâmetro.

Nota-se a existência de uma família de curvas, para diversos valores da razão R_m / W_{cp} . Uma análise da figura 2.19 revela que para R_m / W_{cp} maior que 5, a região de periferia de uma junção planar já se comporta como se fosse uma junção cilíndrica.

Portanto, torna-se possível inferir algumas regras referentes ao projeto geométrico das máscaras ou camadas, que definem a configuração superficial de uma junção:

- a) Deve-se evitar cantos em ângulo reto, a fim de não permitir a existência de regiões esféricas na periferia da junção.
- b) O arredondamento de todo o canto realmente necessário, segundo o critério:

$$\frac{R_m}{W_{cp}} \geq 5,0 \quad (2.112)$$

permite garantir um comportamento de ruptura próximo ao cilíndrico, e assim, tirar proveito do fato da tensão de ruptura cilíndrica ser cerca de duas vezes maior do que a correspondente esférica.

- c) O fator limitante à obtenção de junções com tensões de ruptura próximas ao valor plano V_{rp} resume-se na existência de regiões cilíndricas.

2.3 OUTROS MECANISMOS DE RUPTURA DE UMA JUNÇÃO.

Uma junção planar fabricada para operar a tensões reversas de até algumas centenas ou milhares de volts, normalmente apresenta ruptura por avalanche, cujo mecanismo e modelamento foi discutido no item 2.2.

Entretanto, outros fatores adversos comprometem o comportamento de uma junção reversamente polarizada, fazendo com que ela apresente uma tensão de ruptura menor do que a esperada. Estes fatores estão relacionados a configuração geométrica do dispositivo do qual a junção faz parte, ou seja, outras junções nas imediações, efeitos de superfície devido a interface Si-SiO₂, influência de eletrodos metálicos ou camadas condutivas sobre a junção, etc.

2.3.1 "Punch - through".

A figura 2.20 ilustra uma situação de ruptura conhecida pelo termo em inglês de "punch - through".

Esta situação ocorre quando a região de depleção de uma junção reversamente polarizada A atinge uma outra junção B, sob potencial diferente. Neste caso, o material semiconductor intermediário encontra-se totalmente depletado de portadores e sob a ação de um campo elétrico intenso, que na situação de punch-through estende-se entre as duas junções em consideração. Assim, portadores existentes de um lado podem cruzar esta região depletada sob ação do campo elétrico, estabelecendo-se uma corrente muito intensa através da junção A.

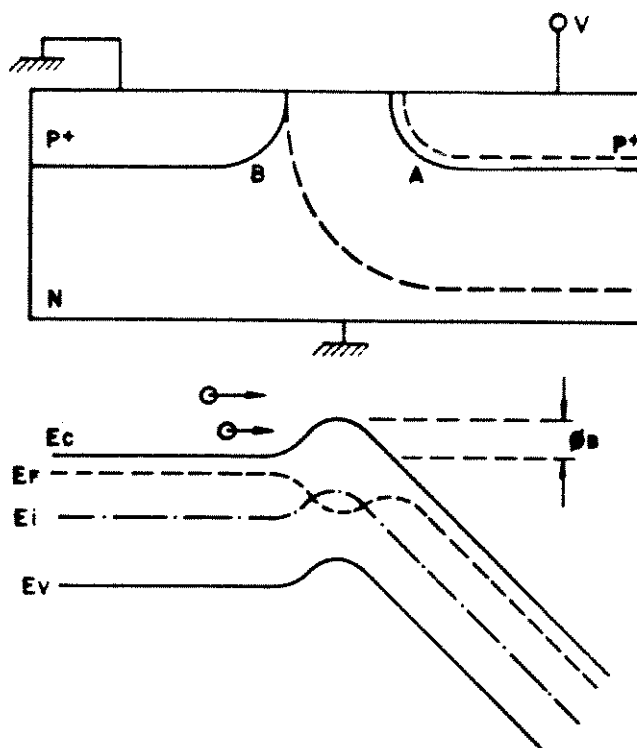


Figura 2.20 - Mecanismo de "punch - through".

A situação de "punch-through" assemelha-se muito à ruptura por avalanche, embora o mecanismo de ionização por impacto não seja o fator predominante.

O modelamento matemático para o cálculo da tensão de ruptura por punch-through é derivado a partir da equação de Poisson. Resultados interessantes podem ser encontrados em algumas referências [2.25, 2.13]. Um caso específico, da ocorrência de "punch-through" entre dreno e fonte de um transistor DMOS será discutido no capítulo 3.

2.3.2 Efeitos de superfície.

O processo planar já mencionado faz uso de uma camada superficial de óxido de silício (SiO_2) para a isolamento das interconexões e para a passivação da rede cristalina do material semicondutor que compõe o substrato.

O processo de crescimento desta camada de óxido dá origem a cargas fixas e móveis, presentes na interface Si-SiO₂ ou mesmo localizadas no interior do óxido. Estas cargas, normalmente positivas e da ordem de:

$$5,0 \cdot 10^{10} < Q_{ss} < 5,0 \cdot 10^{11} \quad [\text{coulomb} / \text{cm}^2]$$

portadores por centímetro quadrado, interferem superficialmente na tensão de ruptura de uma junção.

A figura 2.21.a demonstra o comportamento de uma junção P+ / N- sob o efeito de cargas positivas presentes na interface. Observa-se que nesta situação, há uma tendência a diminuir a tensão de ruptura na superfície. O efeito oposto ocorre se as cargas forem negativas, tal como na figura 2.21.b [2.13].

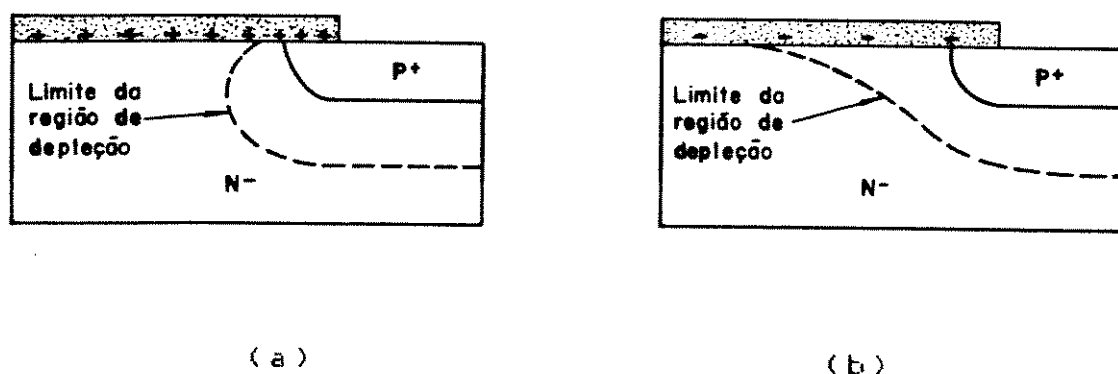


Figura 2.21 - Junção P+ / N- sob efeito de cargas de interface positivas (a) e negativas (b).

2.3.3 Ruptura de uma junção plana do tipo P+ / N- / N+.

No item 2.2.1 foi estudada a junção plana P+ / N- infinita, onde se considerou o lado N- como possuindo espessura infinita. A figura 2.22 ilustra uma estrutura do tipo P+ / N- / N+, denominada diodo "punch-through", onde se deseja verificar a influência da espessura da camada N- sobre a tensão de ruptura por avalanche.

Esta estrutura é particularmente útil na construção de dispositivos semicondutores de potência verticais, que conduzem corrente pelo substrato, a fim de minimizar a resistência de condução no substrato.

Na figura 2.22, uma estrutura $P^+ / N^- / N^+$ é comparada com a junção P^+ / N^- normal. Observa-se que embora a extensão da região de depleção seja menor e limitada pelo substrato N^+ , a tensão reversa desenvolvida continua a mesma se a dopagem N_d for um pouco menor do que no caso normal discutido no item 2.3.1. Isto significa que é possível obter uma estrutura epitaxial $P^+ / N^- / N^+$ com a mesma tensão de ruptura de uma junção P^+ / N^- , com a espessura H da camada epitaxial adequada, mas que minimize a resistência ôhmica vertical pelo fato do substrato N^+ apresentar menor resistividade do que a camada N^- .

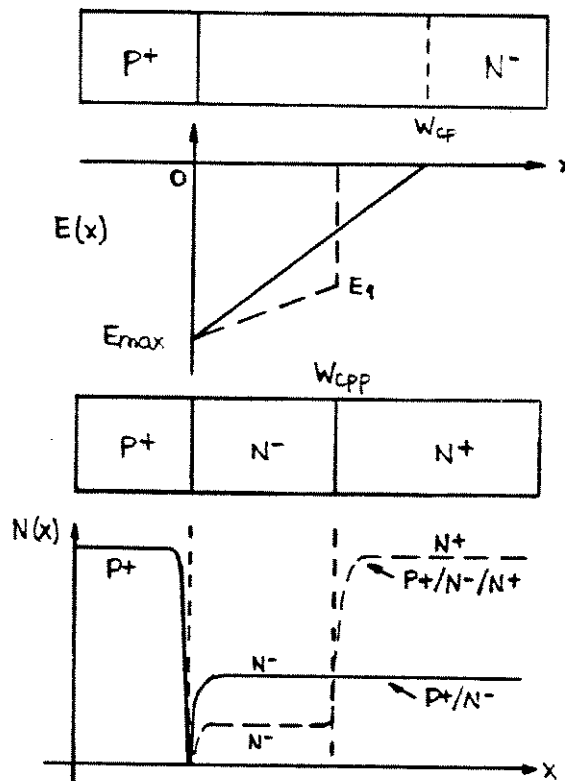


Figura 2.22 - Estrutura $P^+ / N^- / N^+$.

A figura 2.23 ilustra a distribuição trapezoidal de campo elétrico no diodo "punch - through". A região de carga espacial depleta totalmente a camada epitaxial N^- .

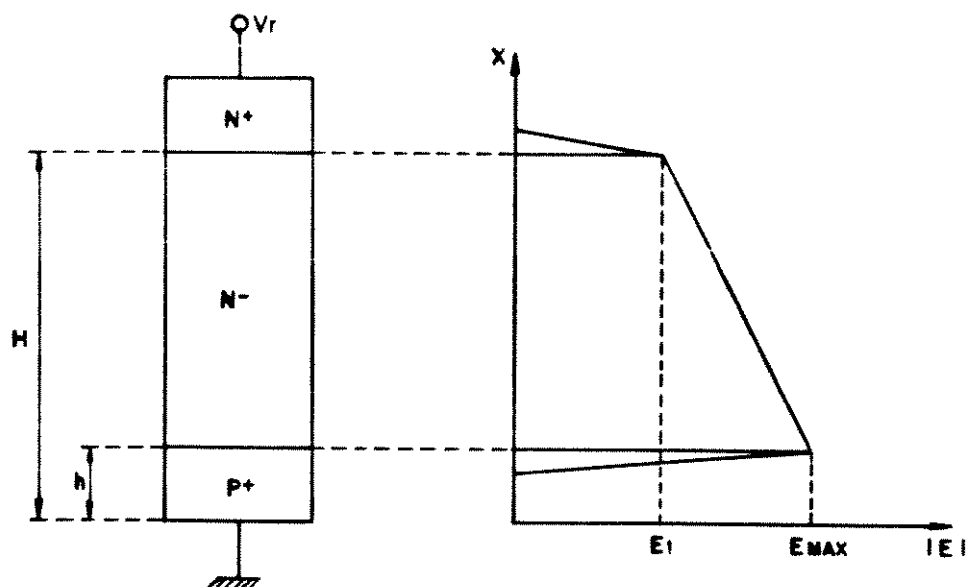


Figura 3.23 - Distribuição de campo elétrico de um diodo "punch - through".

Como a tensão reversa aplicada à junção equivale numericamente à área sob a curva de distribuição de campo elétrico da figura 3.23, desprezando-se as contribuições das regiões P+ e N+, tem-se:

$$V_r = \frac{1}{2} \cdot (E_{\max} + E_1) \cdot (H - h) \quad (2.113)$$

onde h corresponde à profundidade de junção do lado P+.

Fazendo uso das relações (2.12) e (2.13), em módulo:

$$E_1 = E_{\max} - \frac{q \cdot Nd}{\epsilon s i} \cdot (H - h) \quad (2.114)$$

Substituindo (2.114) em (2.113):

$$V_r = E_{\max} (H - h) - \frac{q \cdot Nd}{\epsilon s i} (H - h)^2 \quad (2.115)$$

Considerando que na situação de ruptura o campo elétrico atinge o seu valor crítico, definido pela eq. (2.28), V_r tende à tensão de ruptura plana por "punch-through", V_{rpp} . Substituindo (2.28) em (2.115), obtém-se uma expressão para V_{rpp} em função de N_d :

$$V_{rpp} = 4,18 \cdot 10^3 \cdot N_d^{1/8} (H - h) - \frac{q \cdot N_d}{\epsilon \epsilon_i} (H - h)^2 \quad (2.116)$$

A figura 2.24 ilustra graficamente a relação (2.116) acima, comparando-a à relação (2.29). Observa-se que dado um valor da tensão de ruptura V_{rpp} , há um grau de liberdade na escolha do par espessura / dopagem da camada epitaxial N^- . Se a camada epitaxial for pouco espessa, a dopagem N_d deve ser baixa, e vice-versa.

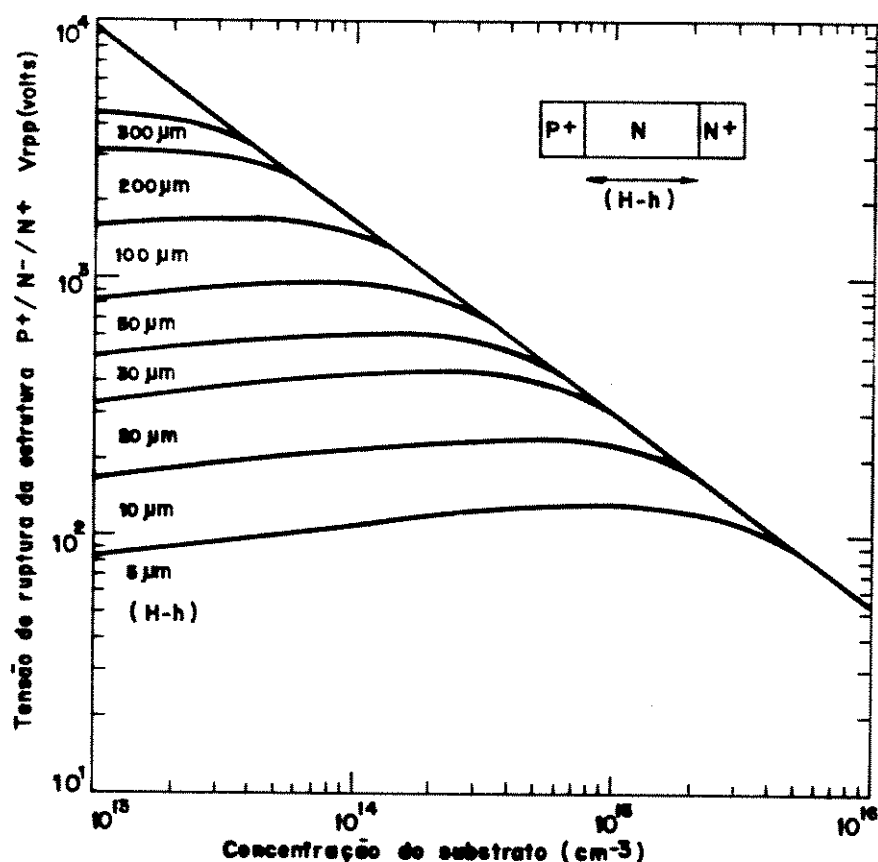


Figura 2.24 - Variação da tensão de ruptura plana por "punch-through" V_{rpp} em função do par espessura - dopagem da camada epitaxial.

Pode-se procurar um valor ótimo de espessura H e de dopagem N_d , tal que a resistência de folha $R_d(\text{quad})$ da camada epitaxial seja mínima. Definindo:

$$R_d(\text{quad}) = \frac{H - h}{q \cdot u_n \cdot N_d} \quad [\text{ohm} / \text{quadrado}] \quad (2.117)$$

Explicitando N_d na eq. (2.115):

$$N_d = \frac{2 \cdot \epsilon_{si}}{q \cdot (H - h)} \left[E_{cp} - \frac{V_{rpp}}{H - h} \right] \quad (2.118)$$

Substituindo (2.118) em (2.117):

$$R_d(\text{quad}) = \frac{(H - h)^3}{2 \epsilon_{si} u_n \left[E_{cp} (H - h) - V_{rpp} \right]} \quad (2.119)$$

A expressão (2.119) acima depende apenas da espessura efetiva $(H - h)$, fixos E_{cp} e V_{rpp} . Derivando (2.119) e igualando a zero, obtém-se a condição para a qual $R_d(\text{quad})$ é mínimo:

$$(H - h) = \frac{3 \cdot V_{rpp}}{2 \cdot E_{cp}} \quad (2.120)$$

Com o auxílio de (2.115) e de (2.13), pode-se relacionar a espessura H da camada epitaxial com a extensão da região de depleção crítica W_{cp} :

$$(H - h) = \frac{2}{3} \cdot W_{cp} \quad (2.121)$$

Partindo de (2.115) e considerando as eqs. (2.121), (2.15) e (2.16), pode-se escrever:

$$V_{rpp} = \frac{8}{9} \cdot V_{rp} \quad (2.122)$$

As eqs. (2.121) e (2.122) estão ilustradas na figura 2.24 por meio das linhas tracejadas.

Logo, a situação de ruptura por avalanche para uma estrutura do tipo P+ / N- / N+, é caracterizada pelo seguinte conjunto de equações:

$$W_{cpp} = H - h = 1,80 \cdot 10^{14} \cdot N_d^{-7/8} \quad [\text{micra}] \quad (2.123)$$

$$E_{cpp} = 4,18 \cdot 10^3 \cdot N_d^{1/8} \quad [\text{volt/cm}] \quad (2.124)$$

$$V_{rpp} = 5,01 \cdot 10^{13} \cdot N_d^{-3/4} \quad [\text{volt}] \quad (2.125)$$

onde N_d é dado em átomos por centímetro cúbico .

é útil expressar N_d e $(H - h)$ em função de V_{rpp} . Combinando as eqs. (2.123) e (2.125), tem-se:

$$N_d = 1,85 \cdot 10^{18} \cdot V_{rpp}^{-4/3} \quad [\text{cm}^{-3}] \quad (2.126)$$

$$H - h = 1,87 \cdot 10^{-2} \cdot V_{rpp}^{7/6} \quad [\text{micra}] \quad (2.127)$$

Dada uma estrutura epitaxial P+ / N- / N+, para a qual deseja-se uma tensão de ruptura plana V_{rpp} , porém minimizando-se a resistência de folha R_d (quad):

- A dopagem da camada epitaxial N- é calculada por (2.126), obtendo-se um valor um pouco menor do que por meio da eq. (2.29);
- A espessura da camada epitaxial N- é obtida da relação (2.123);
- O campo elétrico crítico E_{cp} mantém-se o mesmo, qualquer que seja a estrutura.

2.4 TÉCNICAS DE TERMINAÇÃO DE JUNÇÕES P / N-.

No item 2.2 foram discutidos modelos para determinação da tensão de ruptura por avalanche de junções P / N- planares.

Os modelos para junções abruptas e linearmente dopadas, desenvolvidos nos itens 2.2.1 e 2.2.2, permitem uma avaliação do que se denomina " limite plano ideal ", ou seja, o máximo valor de tensão de ruptura passível de ser realizado.

No entanto, a tecnologia de fabricação planar impede que se atinja este limite, dado a existência de regiões de periferia, em formato cilíndrico e esférico. A tensão de ruptura nestas regiões pode reduzir-se a cerca de 10 a 20 % do caso plano ideal, como visto nos itens 2.2.4 e 2.2.5.

Como os efeitos de redução da tensão de ruptura se originam na periferia das junções, houve necessidade de se desenvolver técnicas de terminação destas regiões, visando impedir ou ao menos reduzir o efeito dos mecanismos pelos quais o limite plano ideal não é atingido.

Basicamente, deseja-se construir estruturas que modifiquem a distribuição de campo elétrico na periferia das junções principais, reduzindo-o abaixo de seu valor crítico.

Neste sentido, foram inicialmente desenvolvidas técnicas de conformação de bordas das pastilhas dos dispositivos, por meio de processos mecânicos de jateamento, serra ou desbaste em ângulo, conhecidas como técnicas de terminação em bisel.

Estas técnicas são mais aplicáveis à dispositivos de alta tensão e de grande tamanho de pastilha, tais como tiristores e retificadores de uso industrial.

Uma variante deste processo é a técnica de ataque químico de contorno, melhor adaptada à realização de dispositivos e circuitos integrados fabricados em processos de difusão do tipo planar, resultando em estruturas tipo " mesa ".

Entretanto, foram pesquisadas outras técnicas de terminação, compatíveis com os processos de fabricação de alta integração, e portanto, melhor controladas do ponto de vista estrutural, tais como as técnicas de placa de campo equipotencial, anéis de guarda difundidos e implantação iônica de superfície.

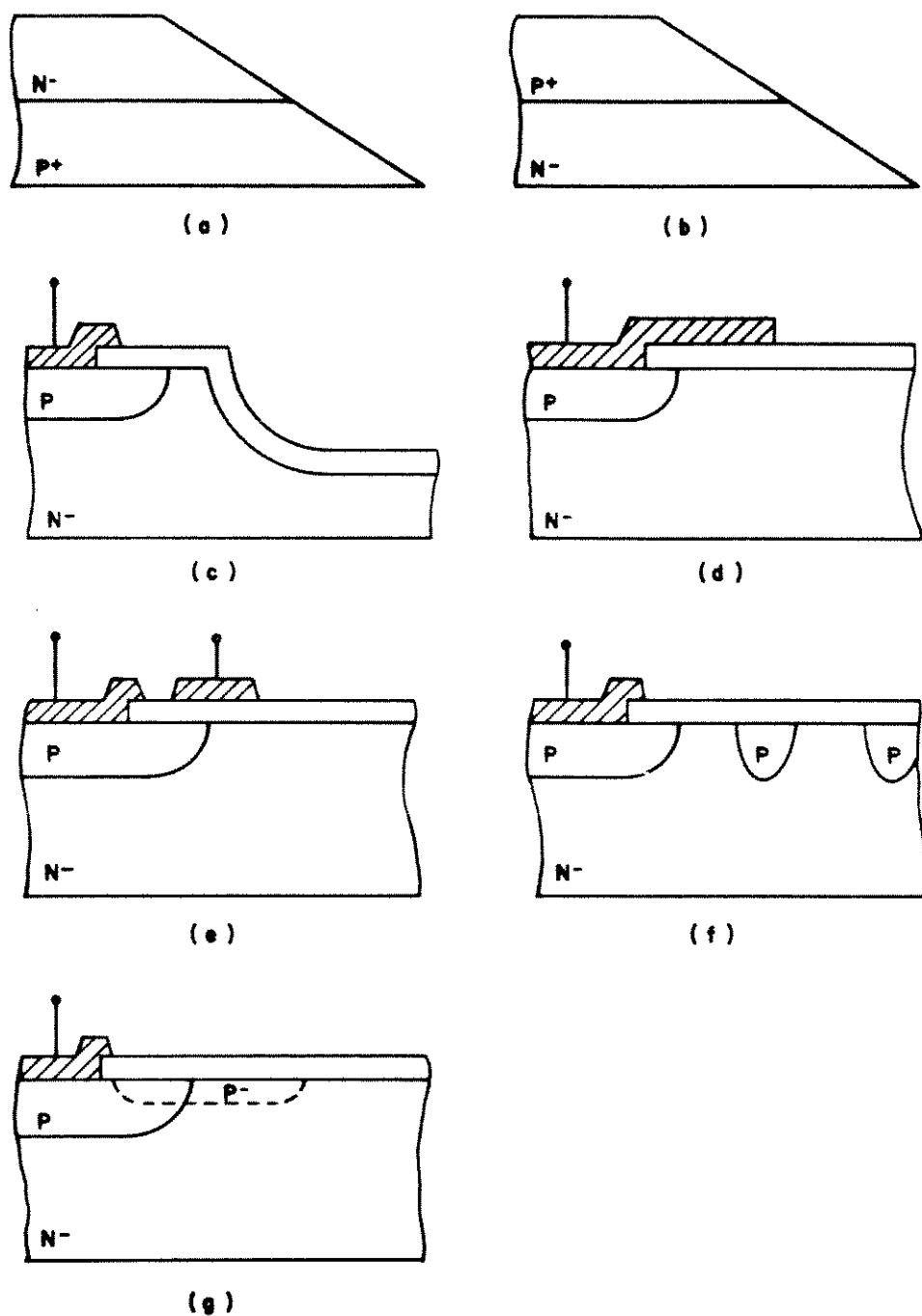


Figura 2.25 - Estruturas de terminação para alta tensão.

2.4.1 Principais tipos de estrutura de terminação.

A figura 2.25 traz uma vista geral das técnicas de terminação atualmente disponíveis.

As técnicas de terminação em bisel se baseiam na idéia de que as extensões das regiões de depleção, de ambos os lados da junção P / N, se ajustam para balancear as cargas de ambos os lados, em função da forma geométrica da borda da pastilha. Desta forma, a densidade de campo elétrico na periferia pode também ser ajustada.

Considere-se a figura 2.25.a, onde a seção transversal da estrutura diminui em direção ao lado menos dopado, caracterizando a terminação em bisel com ângulo positivo. Para manter o balanceamento de cargas, a região de depleção do lado menos dopado deve se expandir perto da superfície, resultando na redução da densidade de linhas de campo elétrico na periferia. Portanto, a tensão ruptura é aumentada, podendo atingir cerca de 90 a 100 % da tensão de ruptura plana.

Se a borda da junção for conformada em ângulo negativo, tal como na figura 2.25.b, ocorre o efeito oposto. A diminuição da tensão de ruptura se dá devido a uma maior concentração de linhas de campo elétrico na superfície.

A terminação em bisel com ângulo negativo deve ser evitada, exceto para ângulos muito pequenos. A figura 2.26 ilustra a dependência do campo elétrico de superfície com o ângulo de bisel, desde valores positivos até negativos, passando pelo corte vertical (90 graus) [2.13].

A tensão de ruptura depende também das condições de polimento da superfície em bisel, do número de defeitos gerados e da qualidade da passivação de superfície após a realização da estrutura de terminação.

A técnica de terminação por ataque químico de contorno, mostrada na figura 2.25.c, baseia-se na mesma idéia da terminação em bisel. Basicamente, substitui-se o processo mecânico de conformação de periferia da pastilha por um processo de corrosão química, por via úmida ou por plasma.

Neste caso, não é de todo necessário que a região quimicamente atacada interseccione a junção principal, bastando somente garantir a remoção do material menos dopado nas suas imediações da, tal como na figura 2.27.

Com esta técnica de terminação, pode-se obter até 90 % da tensão de ruptura plana.

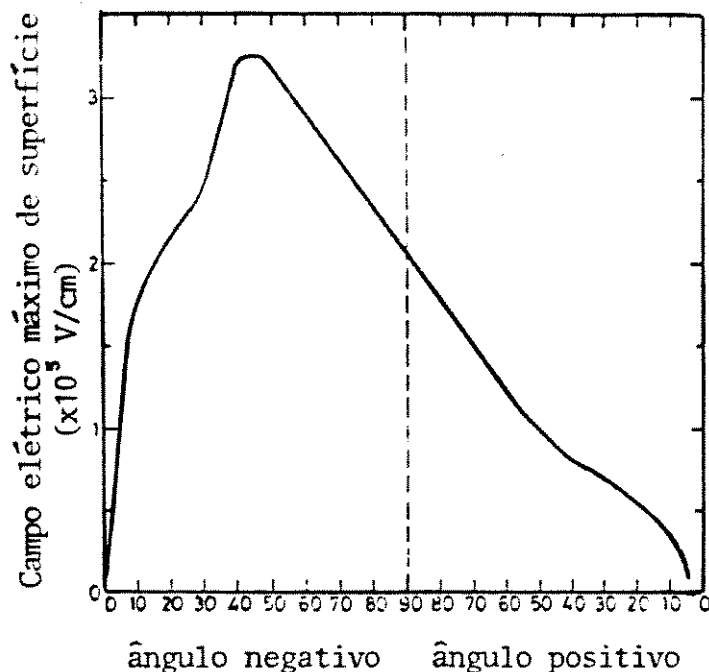


Figura 2.26 - Variação do campo elétrico de superfície com o ângulo de bisel.

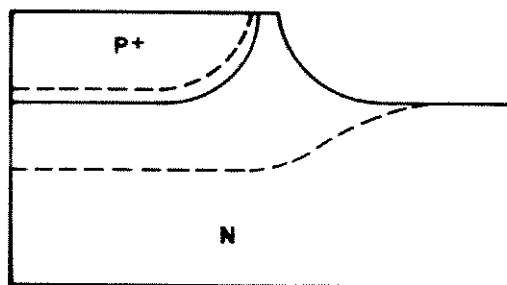


Figura 2.27 - Técnica de ataque químico de contorno.

A utilização da terminação por placa de campo, flutuante ou polarizada, é esquematizada nas figuras 2.25.d e 2.25.e. Foi demonstrado teórica e experimentalmente [2.29], que controlando o potencial de superfície nas bordas de uma junção, obtém-se um aumento da sua tensão de ruptura.

O efeito de cargas superficiais descrito em 2.3.2, embora ocorra naturalmente em decorrência do processo de fabricação, pode ser induzido por meio de eletrodos metálicos ou de silício policristalino, localizados na superfície sobre a junção metalúrgica.

Observa-se que potenciais positivos atraem elétrons do lado N-, estreitando localmente a região de depleção e, portanto, diminuindo a tensão reversa máxima suportável neste ponto. Para potenciais negativos, ocorre o fenômeno oposto, correspondendo a um aumento da tensão de ruptura da junção na superfície.

Se a placa de campo possuir potencial livre, ela certamente se polarizará num potencial intermediário aos potenciais aplicados aos lados P+ e N-, o que equivale a uma polarização negativa em relação ao lado N-. Outra possibilidade é a conexão da placa de campo ao potencial do lado P+, resultando na maior polarização negativa possível para a estrutura, sem o uso de uma tensão externa para polarização.

Desta forma, pode-se utilizar placas de campo como estruturas adicionais para se aumentar a tensão de ruptura de uma junção planar na superfície. Pode-se assim compensar, mesmo que parcialmente, o efeito de diminuição da tensão de ruptura nas regiões de periferia cilíndrica e esférica [2.26].

Grove demonstrou que a tensão de ruptura de uma junção com placa de campo polarizável segue a relação:

$$V_r = m \cdot V_{pc} + K_{pc} \quad (2.128)$$

onde m é um coeficiente empírico de ajuste angular, normalmente próximo de 1 para óxidos pouco espessos, K_{pc} é uma constante de proporcionalidade e V_{pc} é a tensão aplicada entre a placa de campo e o substrato.

O comportamento elétrico de um sistema com placa de campo é bastante difícil de se prever, devido a natureza tridimensional da estrutura. Fatores tais como a espessura do óxido, a existência de cargas de superfície, o perfil de dopagem da junção principal, o seu raio de curvatura e a extensão da placa de campo influenciam diretamente a distribuição de campo elétrico, e portanto, a máxima tensão de ruptura.

A figura 2.25.f mostra a estrutura de terminação por anéis de guarda difundidos. O funcionamento deste tipo de terminação baseia-se no princípio de que um anel de guarda difundido, presente nas imediações de uma junção P / N-, interage com esta a partir do momento em que a região de depleção da junção principal o alcança. Nesta situação, ocorre "punch-through" entre as junções, levando o anel de guarda a se polarizar numa tensão intermediária. A região de depleção evolui conforme mostrado na figura 2.28, resultando na diminuição da intensidade de campo elétrico na superfície (junção metalúrgica).

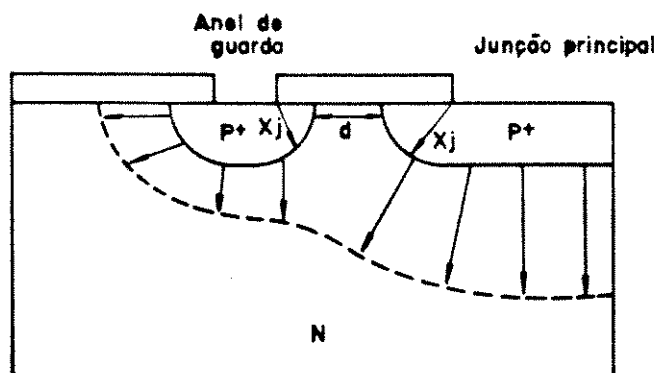


Figura 2.28 - Funcionamento de um anel de guarda difundido.

O espaçamento do anel de guarda, em relação a junção principal, define a tensão para a qual ocorre o "punch-through" acima referido. O exato posicionamento do anel de guarda é crucial para se obter um aumento efetivo da tensão de ruptura [2.30].

Se o anel está localizado muito longe da junção principal, haverá um efeito muito tenue no encurvamento da região de depleção e o fenômeno de avalanche acabará ocorrendo na própria junção principal, sem um aumento substancial na tensão de ruptura. Por outro lado, se o anel estiver localizado muito perto, o "punch-through" se dá precocemente e o seu potencial acompanha de perto o potencial da junção principal, de forma que a ruptura ocorrerá no anel de guarda, numa tensão muito próxima da ruptura de uma junção sem terminação.

A tensão de ruptura de junções planares, terminadas por um único anel de guarda difundido, foi analisada numericamente por Baliga [2.13], em relação ao posicionamento do anel. A figura 2.29 mostra o resultado deste estudo, de forma normalizada ao caso de uma junção abrupta plana ideal.

Observa-se que o posicionamento ótimo de um anel de guarda equivale a cerca de 25 % da extensão da região de depleção plana W_{cp} , definido pela eq. (2.27). Aquém ou além do posicionamento ótimo, a influência da estrutura de terminação diminui drasticamente, tal como descrito acima.

Isto significa que para se obter bons resultados de terminação, é necessário se controlar as dimensões de máscara da estrutura, bem como a difusão lateral e a profundidade de junção do anel.

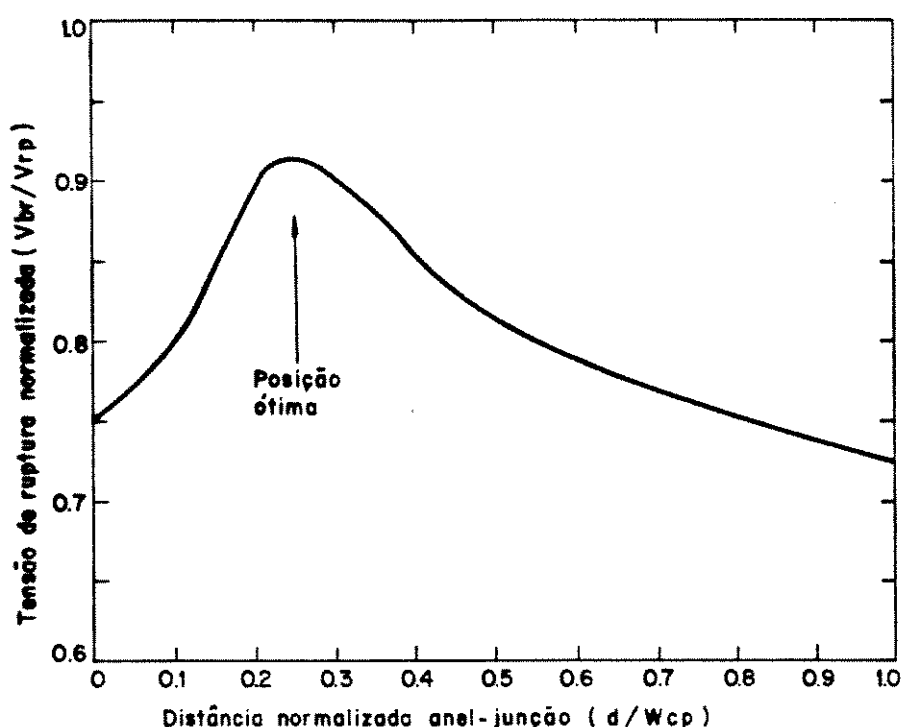


Figura 2.29 - Tensão de ruptura de uma junção planar terminada por um anel de guarda difundido, em função da distância normalizada anel-junção.

Normalmente, utiliza-se a mesma etapa de difusão da junção principal para a realização do anel. Devido a isto, todas as difusões envolvidas estarão alinhadas entre si e com espaçamentos bem definidos. A estabilidade e a precisão dimensional são garantidas pela boa qualidade e reprodutibilidade dos processos fotolitográficos atuais.

A figura 2.30 ilustra como se comporta a tensão de ruptura normalizada de uma junção cilíndrica terminada por um anel de guarda, otimamente posicionado, em comparação com o caso de uma junção cilíndrica não terminada (vide figura 2.16 do item 2.2.4). Nota-se que há situações onde a tensão de ruptura praticamente dobra de valor.

Outro fator importante nesta estrutura é a largura do anel de guarda, que deve ser aproximadamente igual à largura da região de depleção desenvolvida pela junção principal [2.13].

Desde que um único anel de guarda aumenta a tensão de ruptura, tal como mostrado na figura 2.30, espera-se que vários anéis consecutivos, operando em conjunto, possam aumentá-la ainda mais aproximando-se do limite plano ideal.

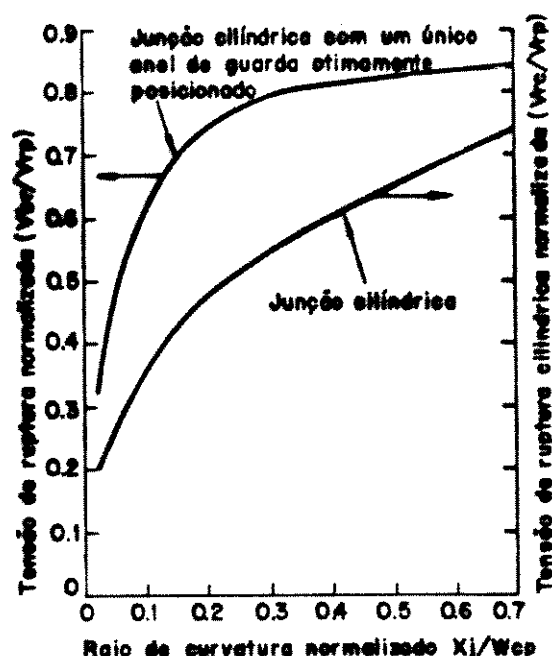


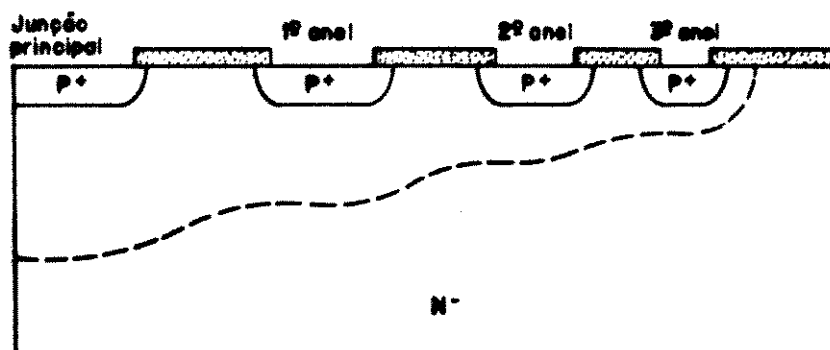
Figura 2.30 - Tensão de ruptura cilíndrica normalizada de uma junção terminada por um anel de guarda otimamente posicionado.

A referência [2.13] faz menção a duas filosofias de projeto de estruturas de terminação com vários anéis de guarda:

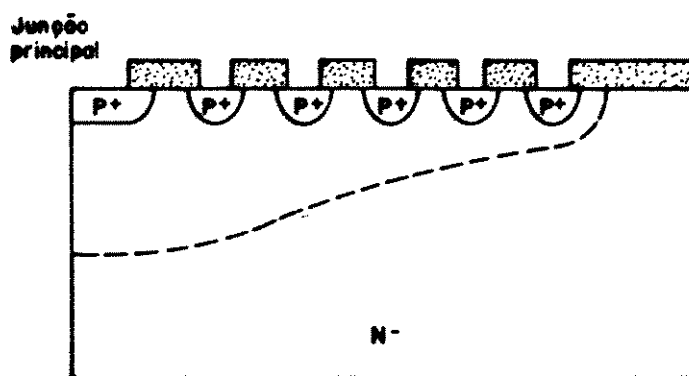
- a) Múltiplos anéis com espaçamentos progressivamente decrescentes, a partir da junção principal, e larguras dos anéis também decrescentes (figura 2.31.a);
- b) Múltiplos anéis com espaçamentos e larguras de anéis constantes (figura 2.31.b).

Em qualquer caso, esta estrutura é muito sensível às cargas de superfície no óxido.

Um único anel pode elevar a tensão de ruptura à valores de cerca de 80 % do limite plano ideal. No entanto, tal estrutura utiliza muita área de superfície. A figura 2.32 ilustra uma terminação interessante, envolvendo alguns anéis de guarda difundidos com o último conectado eletricamente a uma placa de campo. Esta estrutura é bastante utilizada industrialmente.



(a)



(b)

Figura 2.31 - Estrutura de anéis de guarda múltiplos com espaçamentos decrescentes (a) e constante (b).

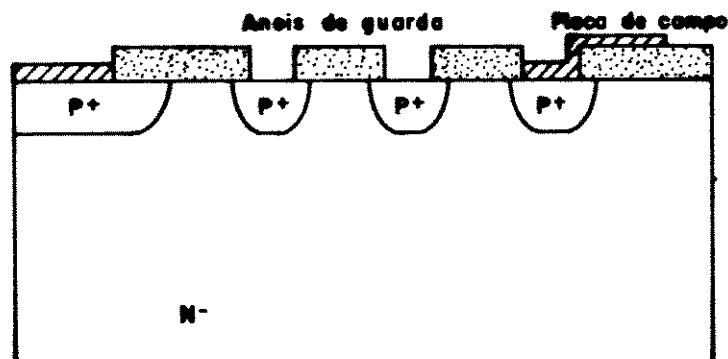


Figura 2.32 - Terminação compreendendo anéis de guarda e placa de campo.

No item 2.4.2 será discutido um procedimento de projeto para uma estrutura de terminação de anéis múltiplos.

Por fim, a figura 2.25.g mostra a estrutura de terminação por implantação iônica.

Nesta estrutura, uma quantidade de impurezas bem determinada é implantada na superfície, como extensão do lado mais dopado da junção principal. Controla-se a dose e a profundidade de implantação, de forma que a região implantada seja totalmente depletada quando a junção principal for polarizada reversamente, nas proximidades do ponto de ruptura. Como resultado, a região de depleção se espalha na periferia, indicando que a densidade de linhas de campo elétrico é menor, aumentando assim a tensão de ruptura.

A figura 2.33 ilustra o princípio de proteção exercido pela terminação por implantação iônica, numa junção planar comum e em combinação com a técnica de ataque químico de contorno.

O controle da quantidade da dose de implantação é crítico, ocasionando ainda fuga de corrente pela superfície. No entanto, sua realização prática é muito fácil nos processos de fabricação atuais, além de utilizar pouca área de superfície. A tensão de ruptura pode ser aumentada a valores cerca de 95 % do limite plano.

A tabela 2.2 traz um resumo das características de todas as técnicas de terminação discutidas, atualmente disponíveis.

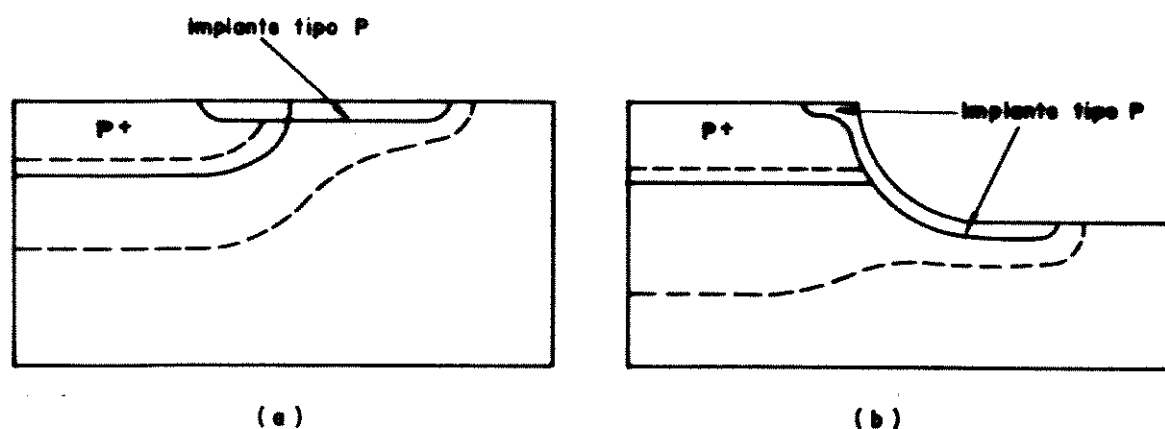


Figura 2.33 - Terminação por implantação iônica numa junção planar (a) e juntamente com a técnica de ataque químico de contorno (b).

Tabela 2.2 - Comparação entre as estruturas de terminação.

Técnica	% V _{rp}	Tamanho do dispositivo	Observações
Junção planar normal	50	pequeno	Não usado para dispositivos de alta tensão
Placa de campo	80	pequeno médio	Adequado para um grande número de dispositivos por lâmina.
Anel de guarda difundido	60 - 80	pequeno médio	Adequado para um grande número de dispositivos por lâmina, em conjunto com placas de campo.
Terminação em bisel	90 - 100	grande	Adequado para a construção de um único dispositivo por lâmina.
Ataque químico de contorno	80 - 90	qualquer tamanho	Adequado para um grande número de dispositivos por lâmina.
Terminação por implantação iônica	95	qualquer tamanho	Adequado para vários e para um único dispositivo por lâmina; corrente de fuga.

Em decorrência da discussão desenvolvida acima, pode-se concluir:

- Os dispositivos discretos de alta tensão e de grande área de pastilha são melhor terminados por meio de estruturas em bisel ou por ataque químico de contorno;
- Dispositivos ou circuitos integrados, de média tensão e pequeno tamanho de pastilha, são melhor terminados por estruturas tipo placa de campo e anéis de guarda difundidos;
- Existem técnicas promissoras, tais como a terminação por implantação iônica ou combinações de diversas técnicas de terminação, que estão por viabilizar novas possibilidades;

- d) Para dispositivos e circuitos integrados de baixa e média tensão basta utilizar uma placa de campo, ou um único anel de guarda, ou uma combinação de ambos, tal como na figura 2.32. Desta forma, obtém-se uma estrutura simples, facilmente projetada e que não desperdiça área de periferia;
- e) Baliga [2.10] salienta que a escolha da técnica de terminação deveria ser baseada no tamanho da pastilha, na sensibilidade das outras características do dispositivo à estrutura de terminação (por exemplo, corrente de fuga), na tensão de ruptura pretendida e na facilidade de passivação das bordas da pastilha. Técnicas de terminação realizadas pela superfície são interessantes, pois evitam etapas mecânicas de conformação de bordas e aproveitam a própria camada de passivação superficial disponível no processo de fabricação.

2.4.2 Terminação por anéis de guarda difundidos.

Considere-se uma junção plana em cuja periferia se desenvolva regiões cilíndricas ou esféricas. A distribuição de campo elétrico nas vizinhanças da junção pode ser aproximada por uma " distribuição triangular ", na qual o campo elétrico varia linearmente. Desde que a junção seja considerada abrupta, a extensão da região de depleção, W_c , se desenvolve predominantemente do lado menos dopado.

O campo elétrico máximo se desenvolve na região cilíndrica, exatamente na junção metalúrgica. A figura 2.34 ilustra a configuração geométrica de uma junção P / N- terminada por um anel de guarda, indicando ainda o formato da distribuição de campo elétrico.

Considerando as seguintes hipóteses:

- a) A periferia da junção principal é perfeitamente circular;
- b) Não existem cargas de superfície na interface Si-SiO₂;
- c) Não existe condução de corrente pela superfície;
- d) Não há descontinuidade do vetor indução elétrica na interface Si-SiO₂;
- e) O campo elétrico é horizontal na superfície e assume seu valor máximo na junção metalúrgica (ponto O da figura 2.34).

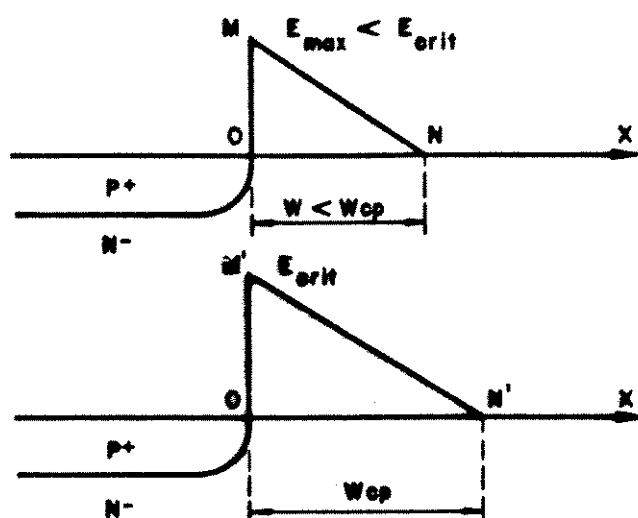


Figura 2.34 - Distribuição de campo elétrico numa junção planar terminada por um anel de guarda difundido.

Para uma certa tensão aplicada, inferior à tensão de ruptura cilíndrica V_{rc} , o campo elétrico máximo E_{max} neste ponto é inferior ao campo elétrico crítico E_{crit} , e está associado a uma extensão da região de depleção W menor do que a extensão crítica cilíndrica W_{cc} . Quando a tensão aplicada é elevada ao seu valor de ruptura, o campo elétrico atinge o seu valor crítico E_{crit} e a região de depleção se estende até W_{cc} .

O princípio de funcionamento de um anel de guarda pode ser entendido com o auxílio da figura 2.35. Se for utilizado o artifício de limitar a extensão da região de depleção por meio da interposição de uma anel difundido, situado a uma distância d menor do que W_{cc} , a distribuição de campo elétrico será impedida de se alterar, limitando E_{max} a um valor inferior a E_{crit} . Ocorrendo "punch-through" entre a junção principal e o primeiro anel de guarda, este se polariza. Qualquer aumento da tensão aplicada à estrutura é transferido da junção principal ao primeiro anel, e assim sucessivamente no caso de múltiplos anéis. A figura 2.35 mostra ainda a situação de ruptura do último anel, onde o campo elétrico desenvolvido finalmente ultrapassa E_{crit} .

Desta forma, pode-se admitir que fixando a extensão máxima das regiões de depleção, as quedas de tensão entre a junção principal e o primeiro anel, ou entre anéis consecutivos, permanecem constantes. Logo, uma estrutura de terminação por anéis de guarda difundidos comporta-se como um divisor de tensão de superfície, limitando cada componente de tensão a um valor inferior à tensão de ruptura da respectiva junção.

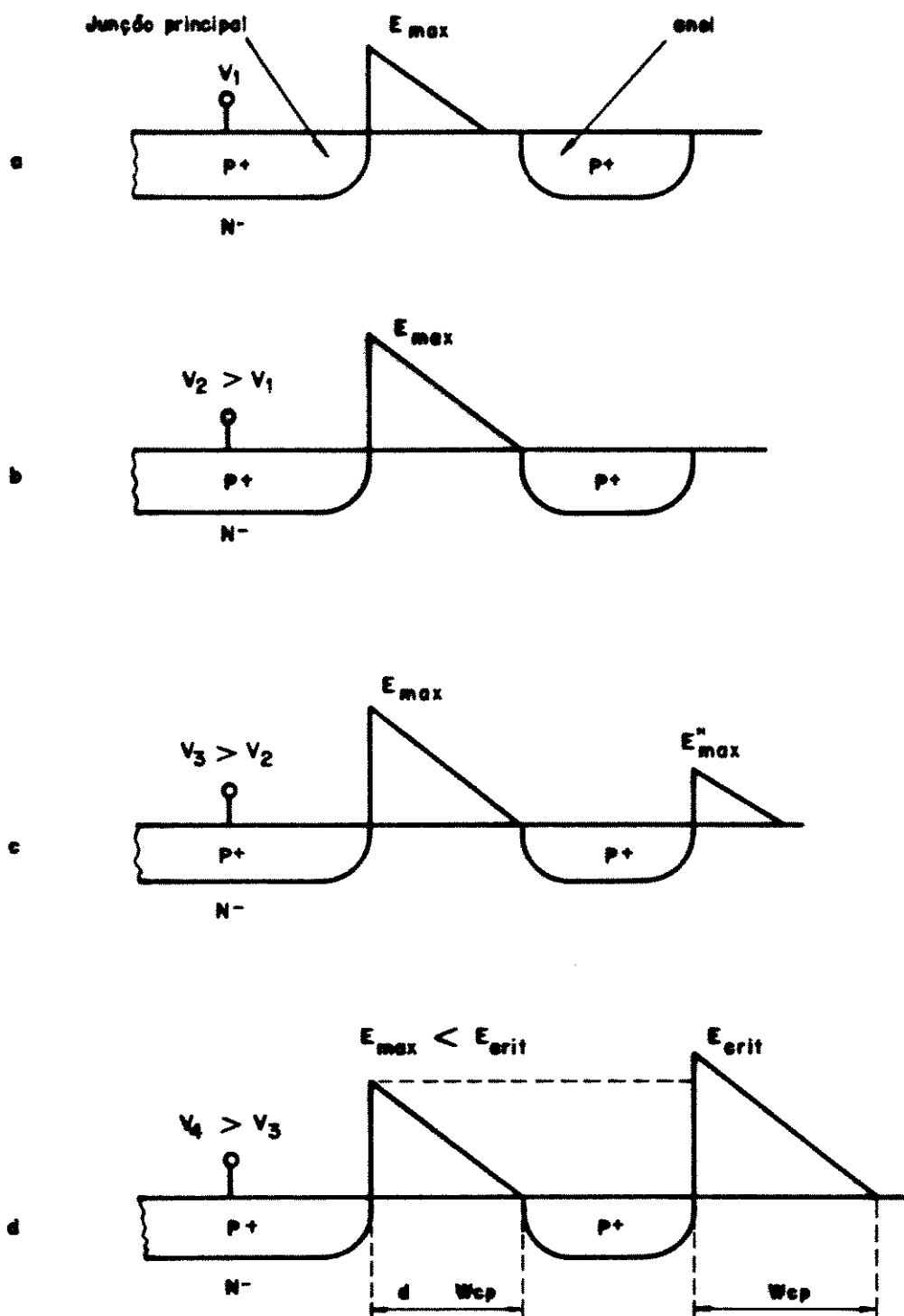


Figura 2.35 - Princípio de funcionamento de uma estrutura de anéis de guarda difundidos:

- (a) A região de depleção ainda não atinge o anel.
- (b) A região de depleção atinge o anel.
- (c) Uma segunda região de depleção se desenvolve à direita do anel.
- (d) A ruptura ocorre à direita do anel.

Este modelo de translação e repartição de potencial pela estrutura de anéis de guarda não é rigorosamente exata, tal como indica a análise bidimensional efetuada por Boisson [2.30], que demonstra haver uma divergência de cerca de 20 %. No entanto, este modelo permite uma avaliação qualitativa de primeira ordem da estrutura.

O modelo de translação e repartição de potencial pode ser analisado quantitativamente, mediante o emprego das seguintes hipóteses simplificadoras [2.11]:

- a) Se a extensão crítica da região de depleção da junção principal, cilíndrica ou esférica (W_{cc} ou W_{ce}), é inferior a distância d , a terminação não funciona e a ruptura ocorre na junção principal;
- b) Se a distância d é escolhida como sendo menor do que W_{cc} ou W_{ce} , a diferença de potencial entre junções consecutivas é limitada a um valor inferior à tensão de ruptura, o mesmo ocorrendo ao campo elétrico máximo;
- c) As propriedades (a) e (b) acima, válidas para a região entre a junção principal e o primeiro anel, são também supostas válidas para anéis consecutivos;
- d) A tensão de ruptura de uma estrutura de múltiplos anéis será atingida logo que o último anel se polarize numa tensão correspondente à sua tensão de ruptura cilíndrica ou esférica normal;
- e) Supõe-se que não haja outros mecanismos de ruptura na estrutura de terminação, tais como o efeito de "reach-through" em substratos epitaxiais, "punch-through", ruptura de óxidos, etc;
- f) Considera-se a filosofia de projeto de anéis múltiplos com espaçamentos e larguras constantes, tal como descrito no item 2.4.1.

A seguir, descreve-se um procedimento para o dimensionamento de estruturas de terminação por anéis de guarda difundidos, baseado na referência [2.11]. Este procedimento é válido para junções planares contendo segmentos cilíndricos e esféricos.

Considere-se o projeto de uma junção P / N-, construída sobre um substrato com dopagem N_d e cuja profundidade de junção é, X_j , a qual deve suportar uma tensão reversa máxima V_{br} .

Primeira etapa:

Deve-se verificar, primeiramente, se a tensão V_{br} desejada é inferior ou igual à tensão de ruptura plana V_{rp} . Calcula-se então:

i) V_{rp} pela eq. (2.29);

ii) W_{cp} pela eq. (2.27).

Segunda etapa:

Conhecendo-se X_j , determina-se as tensões de ruptura cilíndrica e/ou esférica. Para tanto, pode-se utilizar os procedimentos descritos nos itens 2.24 e 2.25, referentes às eqs. (2.62) e (2.92), ou às eqs. (2.77 / 2.78) e (2.101 / 2.102).

As tensões V_{rc} e/ou V_{re} podem também ser calculadas com o auxílio da figura 2.16.

Determina-se ainda a extensão da região de depleção crítica, W_{cc} e/ou W_{ce} , por meio das eqs. (2.70) e (2.96). A largura dos anéis de guarda é tomada como sendo igual a W_{cc} ou W_{ce} , conforme discutido em [2.13].

Terceira etapa:

Com base nos valores de W_{cc} e/ou W_{ce} calculados, escolhe-se a distância d inter-anéis (vide figura 2.34), por meio de algum critério, por exemplo, tal que a tensão desenvolvida entre cada anel seja uma certa fração (80 - 90 %) da tensão V_{rc} ou V_{re} .

Escolhido d , calcula-se a queda de tensão inter-anel cilíndrica V_{ic} e/ou esférica V_{ie} , por meio das eqs. (2.75) ou (2.99), onde se substitui W_{cc} ou W_{ce} por d , calculando-se respectivamente V_{ic} ou V_{ie} .

Quarta etapa:

De posse da queda de tensão inter-anel V_{ic} e/ou V_{ie} , escolhe-se o número de anéis de guarda n necessários, tal que a especificação de tensão de ruptura seja alcançada:

$$V_{br} \leq n \cdot V_{ic} + V_{rc} \quad (2.129)$$

ou
$$V_{br} \leq n \cdot V_{ie} + V_{re} \quad (2.130)$$

Neste cálculo, n regiões inter-anéis desenvolvem uma tensão V_{ic} e/ou V_{ie} , e somente o último anel rompe por avalanche.

A utilidade do procedimento acima descrito pode ser demonstrado por meio de um exemplo. Considere-se uma junção P / N-, com profundidade de junção de 5,0 micra, destinada a suportar 1000 volts de tensão reversa, apresentando na sua periferia segmentos esféricos de junção:

a) Primeira etapa:

Escolhe-se $N_d = 2,0 \cdot 10^{14}$ átomos / cm³
 resultando em $V_{rp} \approx 1050$ volts
 $W_{cp} \approx 83,0$ micra.

b) Segunda etapa:

Calcula-se $V_{re} \approx 136$ volts
 $W_{ce} \approx 16,8$ micra.

c) Terceira etapa:

Escolhe-se $d = 15,0$ micra
 tal que $V_{ie} \approx 104$ volts.

d) Quarta etapa:

Escolhe-se $n = 9$
 tal que $V_{br} \approx 1072$ volts > 1000 volts.

Logo, a estrutura de terminação deste exemplo deverá possuir 9 anéis, espaçados entre si de 15,0 micra e com largura final de difusão de aproximadamente 15,0 micra.

2.5 CONCLUSÕES.

Neste capítulo, foram desenvolvidos modelos de primeira ordem para o cálculo da tensão de ruptura por avalanche de junções planares, considerando os efeitos de curvatura nas regiões cilíndrica e esférica da periferia.

Foram discutidas três tipos de junções, abrupta, linearmente dopada e a junção difundida real. A situação real requer cálculo numérico para se obter informações quanto à tensão de ruptura e a extensão da região de depleção crítica. Por outro lado, os modelos abrupto e linearmente dopado são de fato os limites inferior e superior, respectivamente, quanto às propriedades de ruptura de uma junção planar, enquanto que a junção difundida real apresenta um resultado intermediário aos dois primeiros. O modelo abrupto pode ser usado como estimativa de pior caso, sendo o seu formalismo matemático extremamente simples.

O comportamento de ruptura nas regiões cilíndrica e esférica foi unificado, segundo um modelo que considera a influência do raio de curvatura dos cantos da máscara de difusão. Demonstrou-se, assim, que o comportamento esférico tende ao cilíndrico se a máscara de difusão for definida com cantos adequadamente arredondados.

A estrutura $P^+ / N^- / N^+$ foi analisada do ponto de vista da ruptura por avalanche, visando sua otimização quanto a escolha da espessura da camada epitaxial N^- que minimize a resistência vertical da estrutura. Este resultado é muito importante para o projeto de dispositivos verticais de potência, como será visto adiante no capítulo 3.

Em complemento ao estudo das propriedades de ruptura de junções semicondutoras, foram discutidas algumas técnicas de terminação de junções, que objetivam atenuar a influência degenerativa das regiões de periferia sobre a tensão de ruptura.

Por fim, a técnica de terminação de anéis de guarda difundidos foi investigada em detalhes, visando a obtenção de um procedimento de projeto aplicável ao dimensionamento de estrutura de anéis múltiplos.

Capítulo 3 - O transistor MOS de potência.

INTRODUÇÃO.

Até recentemente, o termo dispositivo de potência era considerado como sinônimo de dispositivo bipolar.

Os dispositivos bipolares de três camadas (NPN ou PNP), bem como as estruturas regenerativas de quatro camadas (SCR's, DIAC's e TRIAC's, etc) estiveram disponíveis por muitos anos e apresentam ainda desempenhos de potência satisfatórios, cobrindo a faixa de 100 - 1000 volts e 1 - 10 amperes.

Por outro lado, a tecnologia MOS foi e vem sendo utilizada para aplicações de baixa tensão, baixa corrente e alta densidade de integração, sendo por isso considerada como sinônimo de tecnologia VLSI [3.1].

A partir de 1980, houve uma alteração significativa no panorama da indústria de semicondutores de potência, devido a adoção de processos de fabricação MOS melhorados, permitindo a construção de dispositivos alternativos. Com isso, o transistor MOS pôde ser reestruturado, a fim de fazê-lo ser competitivo em termos de tensões e correntes mais elevadas, comparativamente aos dispositivos bipolares tradicionais.

Basicamente, as alterações nos dispositivos MOS compreenderam:

- a) Alterações estruturais do dispositivo em si, visando menor resistência de condução e maior capacidade de resistir à altas tensões reversas quando cortado. Cabe ressaltar que o transistor MOS comumente utilizado em circuitos VLSI é extremamente limitado quanto à operação em alta tensão;
- b) Alterações tecnológicas no processo de fabricação do dispositivo, visando otimizar o seu desempenho quanto à condução de corrente e operação em altas tensões.

A reestruturação dos dispositivos MOS permitiu a incorporação de estruturas de alta tensão e alta corrente em circuitos integrados convencionais, monoliticamente construídos com circuitos lógicos MOS ou outras funções eletrônicas de controle à baixa tensão. Isto tornou possível a realização de sistemas eletrônicos complexos, que englobam o acionamento de cargas significativas e o controle inteligente deste acionamento. Os dispositivos assim construídos são conhecidos internacionalmente como Dispositivos Inteligentes de Potência ou Circuitos Integrados de Alta Tensão.

Este capítulo descreve primeiramente os aspectos básicos dos transistores MOS de potência e alta tensão, particularmente quanto a sua evolução estrutural, características de operação e tecnologia de fabricação. Em seguida, são discutidos alguns aspectos do projeto de transistores MOS do tipo VDMOS, referentes ao cálculo da resistência de condução R_{on} , da influência da geometria do transistor sobre R_{on} e sua otimização quanto ao compromisso com a tensão de ruptura. Por fim, é analisado o efeito de "punch - through" entre dreno e fonte e sua relação com a estrutura do transistor VDMOS.

3.1 ASPECTOS BASICOS DOS TRANSISTORES MOS DE POTÊNCIA.

O princípio fundamental de operação de um transistor MOS de potência baseia-se na formação de uma camada condutiva na superfície do material semiconductor do substrato, induzida pelo campo elétrico resultante da aplicação de uma tensão sobre o eletrodo condutivo de porta, este separado do semiconductor por uma fina camada de material isolante. A figura 3.1 ilustra a estrutura MIS (do inglês, "metal - insulator - semiconductor").

Os princípios físicos envolvidos na operação das estruturas MIS, e particularmente nos dispositivos MOS, estão bem descritos na literatura existente [3.3 , 3.4]. Particularmente, a ref. [3.5] trata de forma criteriosa o modelamento do dispositivo MOS em inversão, bem como desenvolve o equacionamento da corrente I_{ds} de um transistor MOS operando em sublimiar e em inversão forte.

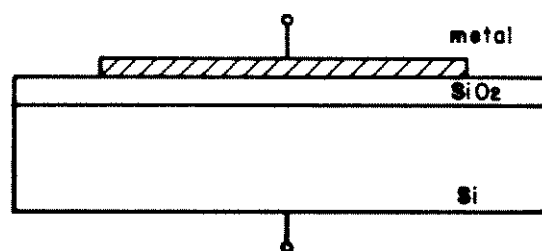


Figura 3.1 - Estrutura MIS.

3.1.1 Estruturas básicas para potência.

Até recentemente, o desenvolvimento de dispositivos MOS discretos seguiu o conceito básico de estrutura de canal lateral, utilizada desde os primeiros circuitos MOS. Tais dispositivos possuem os terminais de fonte, dreno e porta coplanares, construídos na superfície da lâmina de silício, um arranjo perfeitamente natural uma vez que a inversão do canal se dá na superfície. Embora esta configuração seja ideal do ponto de vista da integração via um processo de fabricação planar, ela não é ideal para suportar altas tensões em aplicações de potência.

A figura 3.2 mostra a estrutura coplanar tradicional de um transistor MOS. Nela pode-se observar porque tal dispositivo não é adequado para operar à altas tensões de dreno, devido à possibilidade de ocorrer um ou mais dos seguintes fenômenos:

- " Punch-through " entre dreno e fonte, caso a região de depleção do dreno atinja a junção de fonte para uma dada polarização reversa da junção dreno / substrato (região A na figura 3.2);
- Ruptura do óxido de porta, na região entre porta e dreno, devido a concentração de linhas de campo elétrico na região E da figura 3.2, causando perfuração do óxido;
- Ruptura da junção dreno / substrato, região C da figura 3.2, devido ao fato desta possuir um pequeno raio de curvatura (profundidade de junção entre 0,5 e 1,0 micra), e portanto apresentar um valor baixo da tensão de ruptura na região esférica ou cilíndrica, tal como visto no capítulo 2.

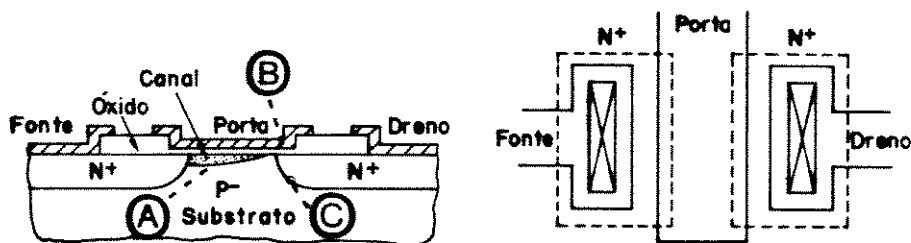


Figura 3.2 - Estrutura MOS coplanar tradicional.

Tais fenômenos degenerativos podem ser evitados se o transistor MOS for construído tal como mostra a figura 3.3.

Nesta estrutura, a ocorrência de "punch-through" pode ser evitada se as difusões de fonte e dreno forem convenientemente espaçadas. A tensão de ruptura da junção dreno / substrato é aumentada pelo emprego de uma junção de dreno mais profunda. A concentração de linhas de campo elétrico na borda do eletrodo de porta é diminuída com a inclusão de uma difusão rasa pouco dopada entre o canal e a junção de dreno principal, conhecida como LDD (do inglês, "light - doped drain").

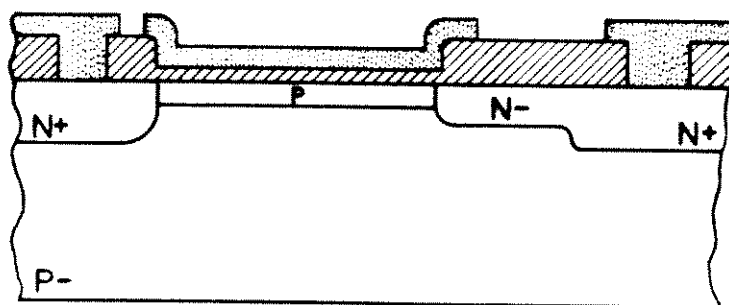


Figura 3.3 - Estrutura MOS lateral do tipo LDD.

Com estas medidas corretivas, baseadas não só na mudança estrutural do dispositivo como também na inclusão de uma etapa de fabricação a mais, o transistor MOS lateral da figura 3.3 pode manipular tensões mais elevadas do que o dispositivo da figura 3.2. No entanto, a resistência de condução R_{on} do transistor torna-se maior, devido ao maior espaçamento entre dreno e fonte e à maior resistividade da região P- pouco dopada.

Portanto, ao se melhorar o desempenho em tensão do transistor MOS lateral, prejudica-se o seu desempenho em corrente, e vice-versa.

Uma estrutura alternativa, desenvolvida para otimizar o dispositivo MOS, tanto do ponto de vista de tensão como de corrente, está mostrada na figura 3.4.a. Trata-se do transistor LDMOS, similar ao da figura 3.3, diferindo quanto ao emprego de uma dupla difusão para realizar a região de canal e de fonte.

O processo de dupla difusão [3.1] baseia-se na execução de um processo de difusão sequencial de dopantes para as regiões de canal e de fonte, utilizando-se para isto a mesma janela ou máscara de difusão. Desta forma, é possível controlar a concentração máxima de dopante na superfície, bem como a profundidade e a difusão lateral das difusões.

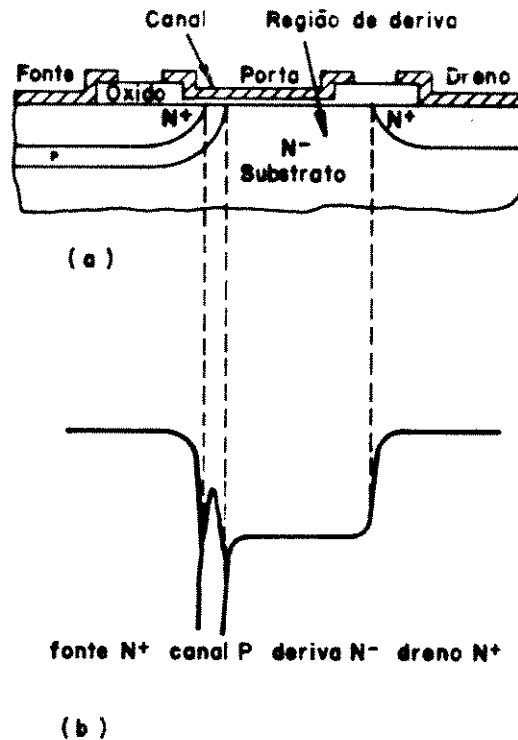


Figura 3.4 - Estrutura LDMOS (a) e respectivo perfil horizontal de impurezas (b).

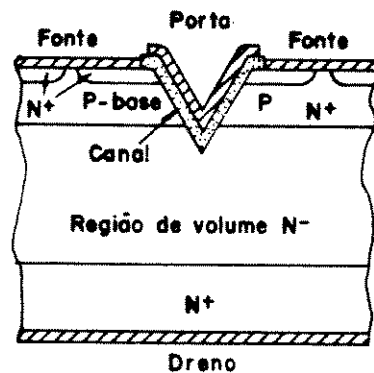
Assim, pode-se obter canais bem curtos da ordem de 1 a 2 micra. O perfil de impurezas horizontal do dispositivo está mostrado na figura 3.4.b. A difusão de canal é também denominada de poço P.

O transistor LDMOS difere do transistor MOS convencional da figura 3.2 quanto:

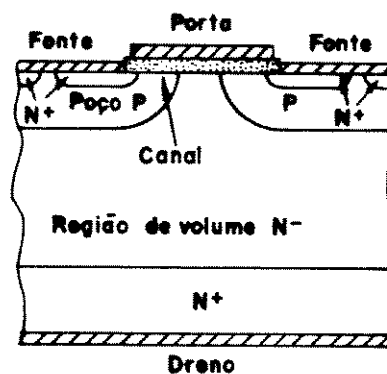
- O comprimento de canal L pode ser dimensionado para valores bem pequenos, na faixa de 1 a 2 micra, dependendo do apenas do processo de dupla difusão;
- O poço P é mais dopado do que o substrato N-, de forma que quando o dispositivo for polarizado em alta tensão de fonte / dreno, a região de depleção se estenderá predominantemente do lado N-, não perturbando significativamente o comprimento de canal do transistor;

- c) O substrato N^- está polarizado no potencial de dreno. Logo, dispositivos LDMOS num mesmo substrato possuem o terminal de dreno em comum. Para a utilização de dispositivos em separado, de forma isolada, seriam necessárias algumas etapas adicionais no processo de fabricação, tais como uma camada epitaxial N^- sobre substrato P e uma difusão de isolamento realizada a partir da superfície, tal como no processo bipolar tradicional [3.6].

A estrutura LDMOS pode ser ainda modificada visando evitar problemas de ruptura de dreno-porta e aumentar a ocupação da superfície com a área ativa do dispositivo. Isto pode ser obtido mediante o emprego de estruturas não coplanares, do tipo VMOS e VDMOS, tais como as da figura 3.5.



(a)



(b)

Figura 3.5 - Estruturas tipo VMOS (a) e VDMOS (b).

O transistor VMOS é construído com base na gravação de sulcos em " V " na superfície do substrato por ataque químico anisotrópico do silício com estrutura cristalina tipo (1 0 0), tal como indicado na figura 3.5.a.

A região de canal também é formada por dupla difusão, como no LDMOS. A região N- suporta a alta tensão do dispositivo enquanto que o dreno é constituído pelas regiões N- / N+ da lâmina de silício.

A estrutura VDMOS é similar a estrutura LDMOS, exceto pelo fato da corrente fluir verticalmente assim que a região de canal é transposta. Com o dimensionamento adequado da espessura da camada epitaxial N- , pode-se garantir um baixo valor da resistência de condução, bem como um alto valor da tensão de ruptura da junção poço P / substrato N- (vide figura 3.5.b).

Os transistores DMOS verticais do tipo VMOS e VDMOS apresentam algumas vantagens sobre os transistores LDMOS [3.1]:

- a) O contato de dreno, realizado na parte baixa da lâmina, favorece as interconexões de porta, fonte e poço P na superfície;
- b) A região de depleção da junção dreno / poço P estende-se verticalmente, não desperdiçando área de superfície para espaçamento entre junções;
- c) Torna-se mais fácil o emprego de estruturas de terminação, para conformação do campo elétrico na periferia do dispositivo, tais como placas de campo ou anéis de guarda difundidos, mencionados no item 2.4.1.

Atualmente, os transistores VDMOS são mais utilizados comercialmente do que os transistores VMOS, devido a sua realização tecnológica mais simples. Assim, vem sendo realizado um trabalho intenso no modelamento e otimização das estruturas VDMOS e no estudo da viabilidade de sua integração com circuitos de controle em baixa tensão.

3.1.2 Características de operação.

Um transistor MOS de potência é capaz de suportar altas tensões reversas em somente um quadrante de sua característica $I \times V$, como mostra a figura 3.6.

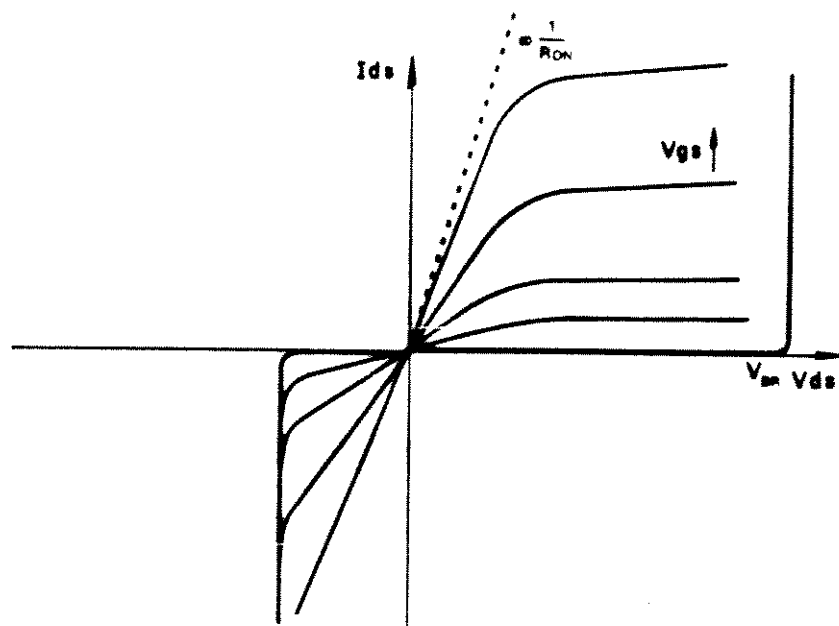


Figura 3.6 - Característica $I \times V$ de um transistor MOS.

Nas estruturas das figuras 3.4 e 3.5, a junção P / N entre a região do canal (poço P) e o substrato proporciona esta capacidade de suportar tensões reversas, cujo valor máximo é determinado pela tensão de ruptura por avalanche desta junção. A tensão de ruptura final é também dependente da estrutura de terminação do dispositivo, como visto no capítulo 2.

Para uma tensão de porta V_{gs} nula, o dispositivo não conduz, embora sempre haja uma certa corrente de fuga muito pequena, que aumenta sensivelmente em altas temperaturas.

Nestas condições, dado que a difusão P que forma a região de canal está conectada à fonte, qualquer tensão V_{ds} positiva polarizará reversamente a junção poço P / substrato N-. Portanto, o máximo valor de V_{ds} corresponderá à tensão de ruptura desta junção.

Quando uma tensão V_{gs} positiva é aplicada, o canal torna-se condutivo. A tensão V_{gs} modula a condutividade da região de canal devido à imposição de um campo elétrico intenso, normal à superfície do material semiconductor. A intensidade de campo elétrico nesta situação é tal que atrai elétrons para a superfície, na região do eletrodo de porta, de modo que sua concentração compensa e inverte a concentração de lacunas do poço P.

Forma-se assim, uma fina camada de material tipo N, denominada canal, que proporciona um caminho de condução entre dreno e fonte.

Com a aplicação de uma tensão positiva entre dreno e fonte, V_{ds} , flui uma corrente através do canal e da região de deriva, ou de volume N-, que é inversamente proporcional a soma das resistências destas regiões.

Nota-se que o fluxo de corrente se deve somente ao transporte de portadores majoritários, elétrons no caso dos transistores NMOS e lacunas no caso de transistores PMOS. Não há participação de portadores minoritários.

Para valores de V_{ds} baixos, a resistência de canal diminui conforme a tensão V_{gs} aumenta, enquanto que a resistência de volume permanece constante. Logo, espera-se que a resistência de condução, R_{on} , diminua com o aumento da tensão V_{gs} . No entanto, para valores de V_{gs} muito grandes, a resistência de canal torna-se muito pequena em comparação à resistência de volume, de modo que R_{on} tende a um valor constante.

A resistência R_{on} é um parâmetro importante do transistor MOS, pois determina uma medida da sua capacidade de manipular corrente, ou de outra forma, a sua dissipação de potência durante a condução.

Logo, define-se R_{on} como sendo o inverso do coeficiente angular das curvas características $I \times V$, à baixa tensão V_{ds} , tal como mostra a figura 3.6:

$$R_{on} = \frac{d V_{ds}}{d I_{ds}} \quad \left| \begin{array}{l} \\ V_{gs} = cte \end{array} \right. \quad (3.1)$$

Outro parâmetro importante do transistor MOS de potência é a sua transcondutância, g_m , definida por:

$$g_m = \frac{d I_{ds}}{d V_{gs}} \quad \left| \begin{array}{l} \\ V_{ds} = cte \end{array} \right. \quad (3.2)$$

Um grande valor de g_m é desejável sempre que se queira obter uma boa resposta em frequência ou um bom ganho de tensão do dispositivo.

Para valores de V_{ds} altos, R_{on} aumenta. A corrente I_{ds} atinge o seu valor de saturação, de forma a tornar-se praticamente independente de V_{ds} . Este efeito de saturação de corrente em dispositivos de potência MOS é bastante útil como mecanismo de limitação de corrente.

Desde que o dispositivo MOS seja do tipo de enriquecimento, tensões V_{gs} negativas mantêm o transistor cortado.

A figura 3.6 mostra ainda como um transistor MOS de potência pode operar em condução com tensões V_{ds} negativas, no terceiro quadrante de suas curvas características $I \times V$. Nota-se que para V_{gs} nula, a característica $I \times V$ assemelha-se à de um diodo P / N comum. Nesta situação, a junção P / N formada pela difusão de poço P e o substrato N- torna-se polarizada diretamente e injeta portadores minoritários. Se V_{gs} for positiva e maior do que V_t , tem-se a formação de um caminho alternativo de corrente entre dreno e fonte, limitado pela resistência R_{on} do dispositivo. Se R_{on} for suficientemente pequeno, a queda de tensão em polarização direta será significativamente menor do que numa junção P / N comum. Portanto, um transistor MOS pode ser utilizado como retificador quase ideal, se for polarizado com tensões V_{ds} negativas, desde que o eletrodo de porta seja adequadamente controlado.

Existem ainda outros aspectos operativos importantes dos transistores MOS de potência, quais sejam:

- a) Resposta em frequência [3.7],[3.9];
- b) Resposta a transitórios de chaveamento [3.8],[3.9];
- c) Susceptibilidade à dV / dt [3.9],[3.35];
- d) Susceptibilidade à segunda ruptura [3.9],[3.36];
- e) Problemas térmicos e área de operação segura (SOA) [3.9].

Estes assuntos não serão objeto deste trabalho, uma vez que constituem hoje em dia aspectos de pesquisa ainda em curso. Entretanto, alguns detalhes podem ser encontrados nas referências citadas.

3.1.3 O Transistor vertical DMOS.

Os transistores MOS de potência, fabricados especialmente para aplicações em controle de energia e amplificação, começaram a ser utilizados já em 1968. No entanto, a tecnologia de fabricação desta época não permitia um desempenho satisfatório, em comparação com os dispositivos de potência bipolares, já maduros desde 1960 [3.18, 3.19].

Por outro lado, para aplicações em potência, ou seja, no domínio de médias e altas tensões (100 - 1000 volts) e altas correntes (1 - 10 amperes), o transistor MOS apresenta características atraentes frente ao transistor bipolar, quais sejam:

- a) Alta impedância de entrada, necessitando portanto pouca potência para ser controlado;
- b) Grande velocidade de comutação, que é uma característica inerente a transistores MOS, pois não apresentam o fenômeno de armazenamento de portadores minoritários;
- c) Controlabilidade por tensão, implicando na total compatibilidade com outras tecnologias e circuitos integrados MOS;
- d) Coeficiente de temperatura negativo, isto é, o dispositivo não se destrói por excesso de dissipação de potência, originada por uma sobrecarga de tensão ou corrente, permitindo com que vários transistores possam ser ligados em paralelo.

A partir de 1974, novas tecnologias de fabricação foram desenvolvidas, permitindo melhorar o desempenho dos transistores MOS de potência, principalmente no tocante à tensão de ruptura, à capacidade de corrente e à velocidade de comutação do dispositivo.

Tal desenvolvimento procurou tirar vantagem da emergente tecnologia MOS LSI e VLSI, quanto à definição de integração, alto rendimento do processo em extensas áreas de óxido, autoalinhamento das difusões de dreno e fonte, graças a utilização do silício-policristalino como eletrodo de porta, possibilidade de realizar dupla difusão, utilização de ataque químico por plasma visando um processo mais limpo e com melhor definição geométrica, além de permitir alta densidade de integração estrutural.

Concomitante com a evolução da tecnologia de fabricação, o transistor MOS também evoluiu estruturalmente. Passou-se a utilizar a configuração vertical aliada a dupla difusão ou ao ataque anisotrópico em forma de "V" ou "U", de forma a reduzir o comprimento do canal e aumentar a capacidade de corrente.

Utilizou-se também substratos epitaxiais com camadas pouco dopadas, capazes de suportar altas tensões.

Os dispositivos MOS de potência, atualmente fabricados, podem ser classificados em duas categorias, cujas estruturas básicas estão mostradas nas figuras 3.4.a e 3.5 :

- a) Transistores coplanares LDMOS (" lateral double-diffusion MOS ");
- b) Transistores verticais VDMOS ("vertical double-diffusion MOS ") ou VMOS (" V-groove MOS ").

Os transistores LDMOS são mais adequados para aplicações onde diversos dispositivos independentes devem ser integrados no mesmo substrato, desde que a tecnologia permita realizar o isolamento entre os mesmos. No entanto, o desempenho dos LDMOS é limitado em termos da corrente e da tensão reversa máximas.

Por outro lado, os transistores VDMOS permitem otimizar os limites de corrente e tensão máximas em função da tecnologia disponível, mediante a adoção de estruturas especialmente projetadas para esta finalidade, como foi visto no item 3.1.2.

Infelizmente, dado que o terminal de dreno situa-se no próprio substrato, torna-se assim impossível a construção monolítica de mais de um dispositivo eletricamente isolado.

Existem hoje em dia diversos fabricantes internacionais de dispositivos VDMOS. Apenas para citar alguns: Motorola, Siemens, International Rectifier, RCA, Siliconix, Toshiba, NEC, Hitachi, General Electric, Thomson CSF, SGS, dentre outros.

O corte transversal do transistor VDMOS, mostrado na figura 3.7, reflete apenas a estrutura vertical do dispositivo. Nota-se que as regiões de fonte e "substrato" (poço P) podem ser repetidas lateralmente, de forma a aumentar a capacidade de corrente. Isto significa que se pode definir um transistor unitário e repeti-lo num arranjo geométrico adequado por toda a área ativa do dispositivo, desde que o transistor unitário, ou célula, possua em sua estrutura os acessos aos eletrodos de porta, fonte e dreno.

A célula VDMOS pode ter superficialmente diferentes formas geométricas, tais como triangular, quadrada, hexagonal, circular ou mesmo na forma de faixas paralelas interdigitadas.

As figuras 3.8.a e 3.8.b ilustram dois exemplos de estruturas VDMOS comerciais.

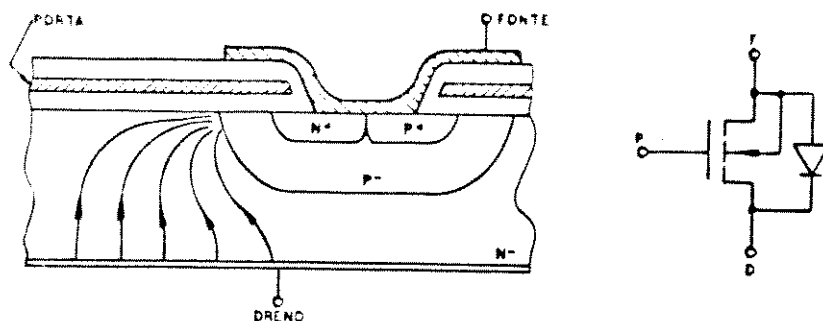


Figura 3.7 - Corte transversal de transistor VDMOS.

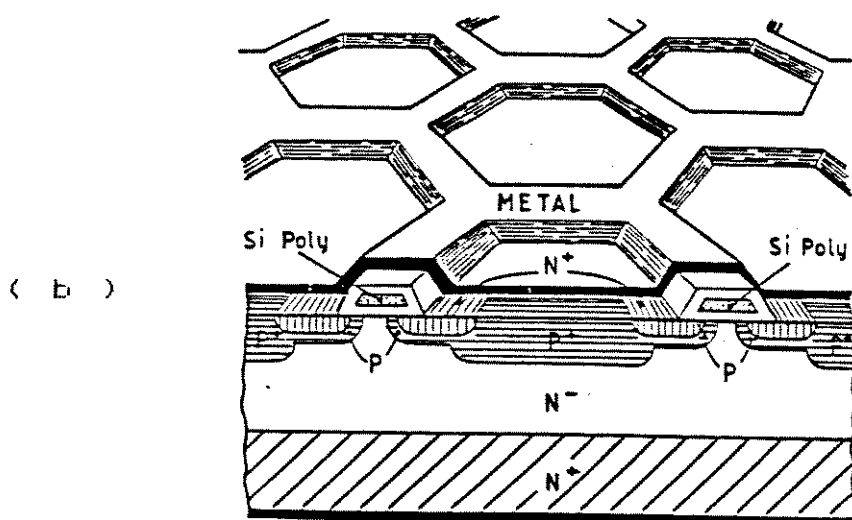
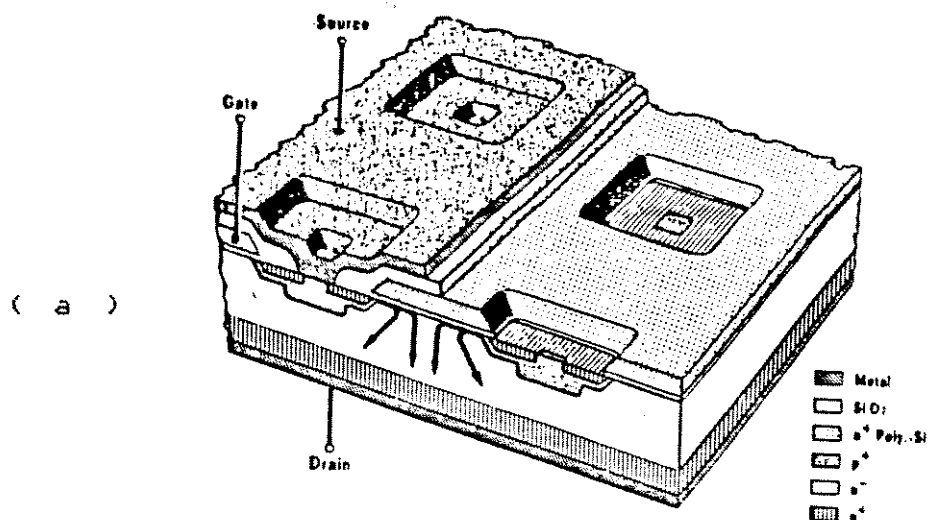


Figura 3.8 - Estruturas VDMOS comerciais: SIPMOS, Siemens (a) e HEXFET, International Rectifier (b).

A primeira (figura 3.8.a) faz uso de células VDMOS quadradas, dispostas num arranjo matricial alinhado. Trata-se de um dispositivo conhecido como SIPMOS (Siemens A.G., Alemanha Ocidental). A segunda estrutura (figura 3.8.b) utiliza um arranjo planar de hexágonos encaixáveis, conhecido como HEXFET (International Rectifier Inc, EUA). Nota-se que o corte transversal, presente nas estruturas acima, assemelha-se ao da figura 3.7.

Como será discutido em detalhe no item 3.2.4, a forma geométrica da célula VDMOS tem influência direta sobre a condutância máxima por unidade de área do dispositivo. Da mesma forma, as dimensões da célula, o espaçamento entre células vizinhas, a espessura e a dopagem da camada epitaxial N- têm papel importante na otimização desta condutância.

3.2 MODELAÇÃO DA RESISTÊNCIA DE CONDUÇÃO R_{on} DE DISPOSITIVOS VDMOS.

A resistência de condução R_{on} de um transistor VDMOS de potência é definida como a resistência total, presente entre os terminais de fonte e dreno, quando o transistor estiver em condução e a tensão V_{ds} for bem menor do que V_{gs} .

A resistência R_{on} é um parâmetro importante do dispositivo, pois determina a máxima corrente que pode passar pelo dispositivo (" maximum current rating "), para uma dada queda de tensão V_{ds} máxima tolerável e uma dada potência dissipada máxima permisi-
sível.

A potência dissipada P_d é dada por:

$$P_d = I_{ds} \cdot V_{ds} = R_{on} \cdot I_{ds}^2 \quad (3.3)$$

onde I_{ds} é a corrente que circula pelos terminais de fonte e dreno, V_{ds} é a tensão entre fonte e dreno e R_{on} é a resistência de condução existente entre fonte e dreno.

Expressando em termos da área ativa S do transistor, obtem-se:

$$\frac{P_d}{S} = R_{on} \cdot S \cdot I_{ds}^2 = R_{ons} \cdot I_{ds}^2 \quad (3.4)$$

onde P_d / S é a potência dissipada por unidade de área, R_{ons} é definido como a resistência de condução específica, ou produto $R_{on} - \text{área ativa}$, e J_{ds} é a densidade de corrente no estado de condução.

As expressões acima são válidas para o caso do transistor VMOS estar operando na sua região linear, ou seja, para valores de V_{ds} próximos a zero volt.

A máxima potência dissipada por unidade de área está limitada pela máxima temperatura de junção admissível e pela impedância térmica do encapsulamento, que tipicamente é da ordem de 100 Watts por centímetro quadrado para cápsulas de potência.

Logo, a máxima densidade de corrente em operação varia inversamente com a raiz quadrada de R_{ons} :

$$J_{ds}(\max) = K \cdot R_{ons}^{-0,5} \quad (3.5)$$

A figura 3.9 ilustra as parcelas componentes de R_{on} , a saber:

- a) R_N é a contribuição devida à difusão N^+ de fonte, dado que a corrente I_{ds} deve percorrer uma certa extensão desta difusão entre o contato de fonte e a extremidade do poço P ;
- b) R_{ch} é a resistência de canal do transistor, dentro do poço P ;
- c) R_a é a resistência da região de acumulação, entre células DMOS vizinhas do transistor;
- d) R_j é a resistência introduzida por efeito de pinçamento da região N^- entre poços P , devido à polarização reversa dos mesmos (efeito $J - PET$). Este efeito é mais pronunciado quanto maior for a tensão V_{ds} aplicada;
- e) R_d é denominada resistência de deriva, ou de volume da região epitaxial N^- localizada sob os poços P ;
- f) R_s é a resistência do substrato N^+ ;
- g) R_c é a parcela de R_{on} que agrupa às resistências devido aos contatos de fonte e dreno e às interconexões da pastilha de silício com os terminais do encapsulamento.

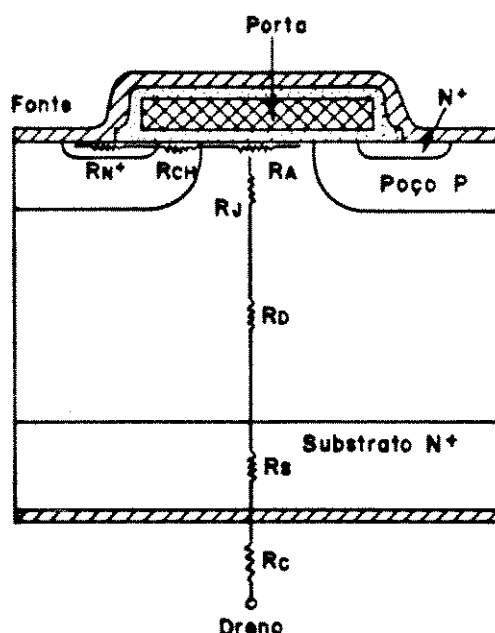


Figura 3.9 - Parcelas componentes de R_{on} .

Portanto, R_{on} pode ser escrita como:

$$R_{on} = R_N + R_{ch} + R_a + R_j + R_d + R_s + R_c \quad (3.6)$$

As parcelas R_N , R_s e R_c são normalmente desprezíveis frente às demais parcelas.

A componente R_j , embora importante, pode ser desprezada se for considerado que o transistor VDMOS opere, em condução, com valores de V_{ds} baixos, inferiores a 0,5 volts. Nesta situação, as junções poço P / substrato N- estão ligeiramente polarizadas em modo reverso, de forma que a extensão das regiões de depleção é mínima, sendo então desprezível o efeito de pinçamento.

Em casos que o transistor VDMOS opere com tensões V_{ds} mais elevadas, R_j pode dar origem a um efeito de quase-saturação [3.10], que degrada a capacidade de corrente do dispositivo.

Numa primeira aproximação, a resistência de condução R_{on} pode ser descrita como possuindo apenas três componentes, como mostra a figura 3.10:

$$R_{on} = R_{ch} + R_a + R_d \quad (3.7)$$

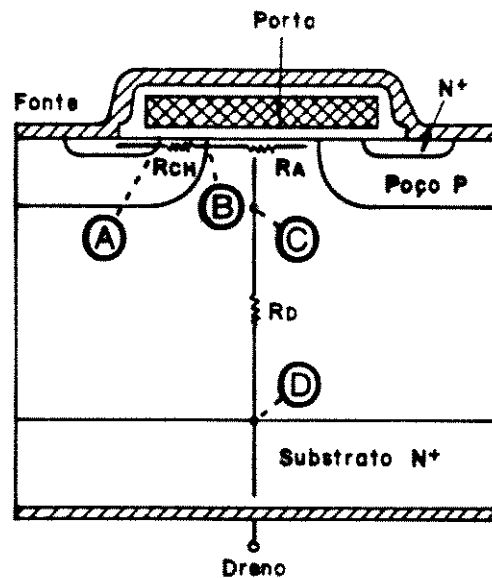


Figura 3.10 - Componentes principais de R_{on} .

A seguir, serão desenvolvidos modelos específicos para cada uma destas componentes de R_{on} .

3.2.1 A resistência de canal R_{ch} .

A resistência de canal é definida abaixo:

$$R_{ch} = \frac{d V_{ds}^*}{d I_{ds}} \quad \left| \begin{array}{l} V_{gs} = \text{cte} , V_{ds}^* \approx 0 \end{array} \right. \quad (3.8)$$

onde V_{ds}^* é a diferença de potencial presente nos extremos do canal, pontos A e B da figura 3.10

Considerando o modelo de primeira ordem do transistor MOS [3.11], na região linear de operação, tem-se:

$$I_{ds} = \frac{Z}{L} \mu_o \text{Cox} \left[(V_{gs} - V_t) V_{ds}^* - \frac{V_{ds}^{*2}}{2} \right] \quad (3.9)$$

logo:

$$R_{ch} = \frac{L}{Z \cdot \mu_o \text{Cox} \cdot V_{gs}'} \quad (3.10)$$

onde $V_{gs}' = (V_{gs} - V_t)$.

A expressão (3.10) permite uma avaliação aproximada de R_{ch} . Um modelo mais preciso, proposto por Granadel [3.12], permite incluir o efeito do campo elétrico transversal sobre a mobilidade na região do canal, por meio do potencial ϕ . Logo:

$$V_{gs}' = \frac{(V_{gs} - V_t) \cdot \phi}{\phi + (V_{gs} - V_t) + [2 \cdot \phi_F \cdot \phi_B]^{0,5}} \quad (3.11)$$

onde ϕ_F é o potencial de Fermi e ϕ_B é o potencial de corpo, dado por:

$$\phi_B = \frac{2 \cdot q \cdot N_a \cdot e s_i}{2 \text{Cox}} \quad (3.12)$$

O potencial ϕ vale tipicamente 25 volts, para uma espessura de óxido de 1000 angstroms [3.12].

A dependência da mobilidade de elétrons à campo elétrico fraco, em relação à concentração de impurezas aceitadoras N_A do canal e à densidade de cargas de interface Q_{ss} , pode ser levada em conta segundo a equação proposta por Sun e Plummer [3.13]:

$$\mu_o = \frac{3490 - 164 \log(N_A)}{1 + \left[1,93 \cdot 10^{-2} \log(N_A) - 0,104 \right] Q_{ss} \cdot 10^{-11}} \quad (3.13)$$

μ_o em unidades $[cm^2 / V \cdot s]$

As eqs. (3.12) e (3.13) podem ser consideradas no cálculo de (3.11), a fim de permitir avaliar R_{ch} de forma mais precisa.

3.2.2 A resistência de acesso R_a .

A resistência de acesso R_a é definida como sendo a componente de R_{on} compreendida entre as difusões de poço P, pontos B e C da figura 3.10, região esta denominada de acumulação / desfocalização. Na figura 3.11, considera-se a linha B - B' como sendo equipotencial e situada a uma profundidade h da interface Si - SiO₂, igual a profundidade de junção do poço P.

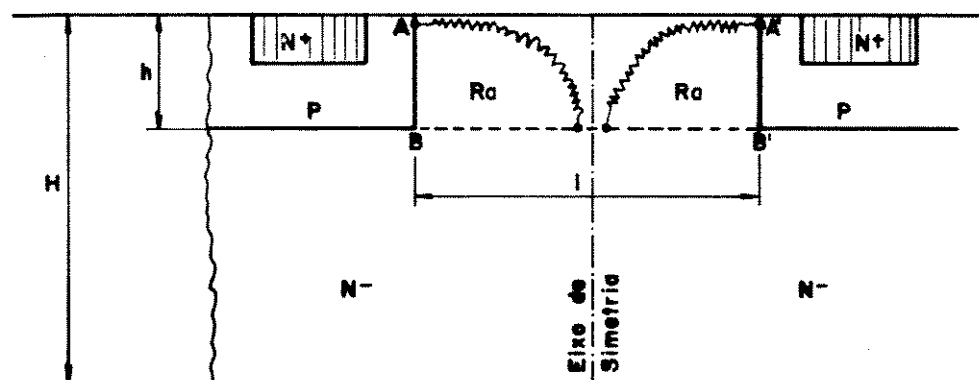


figura 3.11 - Resistência de acesso R_a .

A resistência R_a origina-se devido a dois efeitos principais:

- a) A existência de uma camada acumulada, induzida pela polarização de porta, na superfície do substrato N- sob o eletrodo de porta (linha A - A' da figura 3.11);
- b) A existência da resistência de volume, ou de corpo, do material N- situado logo abaixo da camada acumulada.

Fisicamente, R_a corresponde ao caminho " ôhmico " percorrido pela corrente I_{ds} ao se encurvar em direção ao contato de dreno, logo que sai do canal do transistor.

A região compreendida pelo polígono (A A' B B') na figura 3.11 pode ser modelada por um esquema de resistências distribuídas segundo as direções x e y , como mostra a figura 3.12.a. Na direção y , considera-se o efeito de modificação da resistência superficial da camada acumulada, devido à tensão V_{gd} aplicada entre porta e dreno. Na direção x , considera-se a contribuição da resistência de volume do substrato.

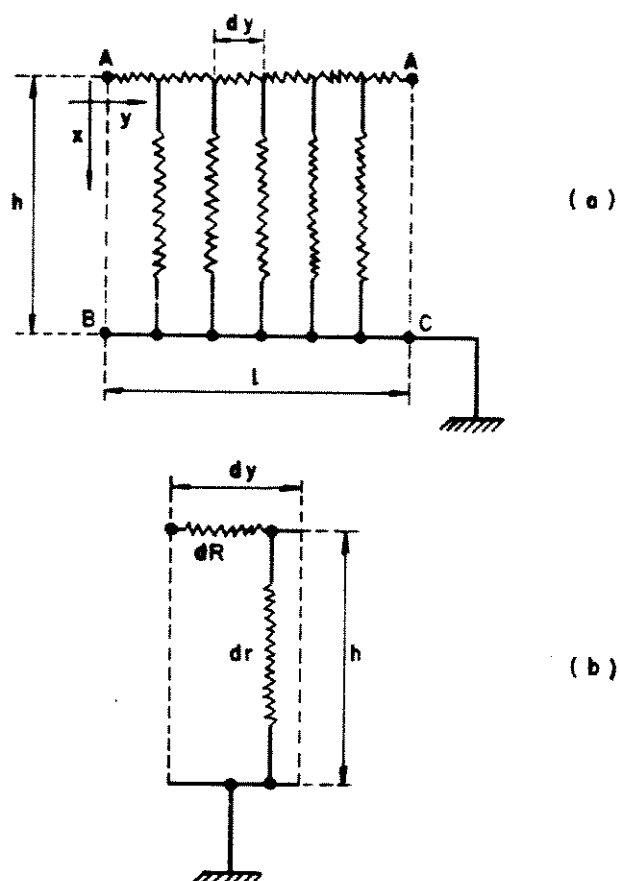


Figura 3.12 - Esquema de resistências distribuídas para R_a (a) e esquema elétrico equivalente (b).

No caso de tensões V_{ds} muito próximas de zero, V_{gd} é aproximadamente igual a V_{gs} . A figura 3.12.b mostra o esquema elétrico equivalente de uma fatia infinitesimal dy , da região de acumulação / desfocalização, composto pelas resistências incrementais dR e dr . A resistência dR é função da tensão V_{gd} aplicada ao eletrodo de porta enquanto dr depende das propriedades do material semiconductor N^- .

As referências [3.14 , 3.15] tratam em detalhe o desenvolvimento da expressão de R_a , que resulta:

$$R_a = \left[\frac{1}{q \cdot u_{na} \cdot N_d} \right] \cdot \frac{2 \cdot h}{Z \cdot 1} \cdot K(R_a) \quad (3.14)$$

onde: u_{na} $\equiv$ mobilidade de elétrons a campo fraco, na região de acumulação,

$$K(R_a) = \frac{\frac{1}{2} \left[\frac{q \cdot N_d}{C_{ox} \cdot h \cdot f(V_{gd})} \right]^{\frac{1}{2}}}{\tanh \left[\frac{1}{2} \left[\frac{q \cdot N_d}{C_{ox} \cdot h \cdot f(V_{gd})} \right]^{\frac{1}{2}} \right]} \quad (3.15)$$

Na eq. (3.15), definem-se ainda:

$$f(V_{gd}) = V_{gd}' - \frac{kT}{q} \cdot \ln \left[1 + \frac{q}{kT} \cdot \frac{V_{gd}'^2}{\phi_B} \right] \quad (3.16)$$

$$V_{gd}' = V_{gd} + \frac{Q_{ss}}{C_{ox}} - \phi_{MS} \quad (3.17)$$

$$V_{gd} = V_{gs} - V_{ds} \quad (3.18)$$

Desta forma, pode-se considerar a resistência R_a como sendo a resistência de uma barra de material semiconductor de seção transversal $Z = l/2$, comprimento h e dopagem N_d , multiplicada por um coeficiente $K(R_a)$, que depende da geometria da região de acumulação, da dopagem do substrato e das tensões aplicadas.

Verifica-se que o coeficiente $K(R_a)$ é sempre maior do que 1 e que para valores de l maiores do que 10 micra, $K(R_a)$ tende a um limite assintótico dado por [3.15]:

$$K(R_a) = \frac{1}{2} \left[1 + \frac{q \cdot N_d}{C_{ox} \cdot h \cdot f(V_{gd})} \right] \quad (3.19)$$

A figura 3.13 ilustra a forma como o coeficiente $K(R_a)$ varia em função do espaçamento intercelular l e da dopagem N_d [3.15].

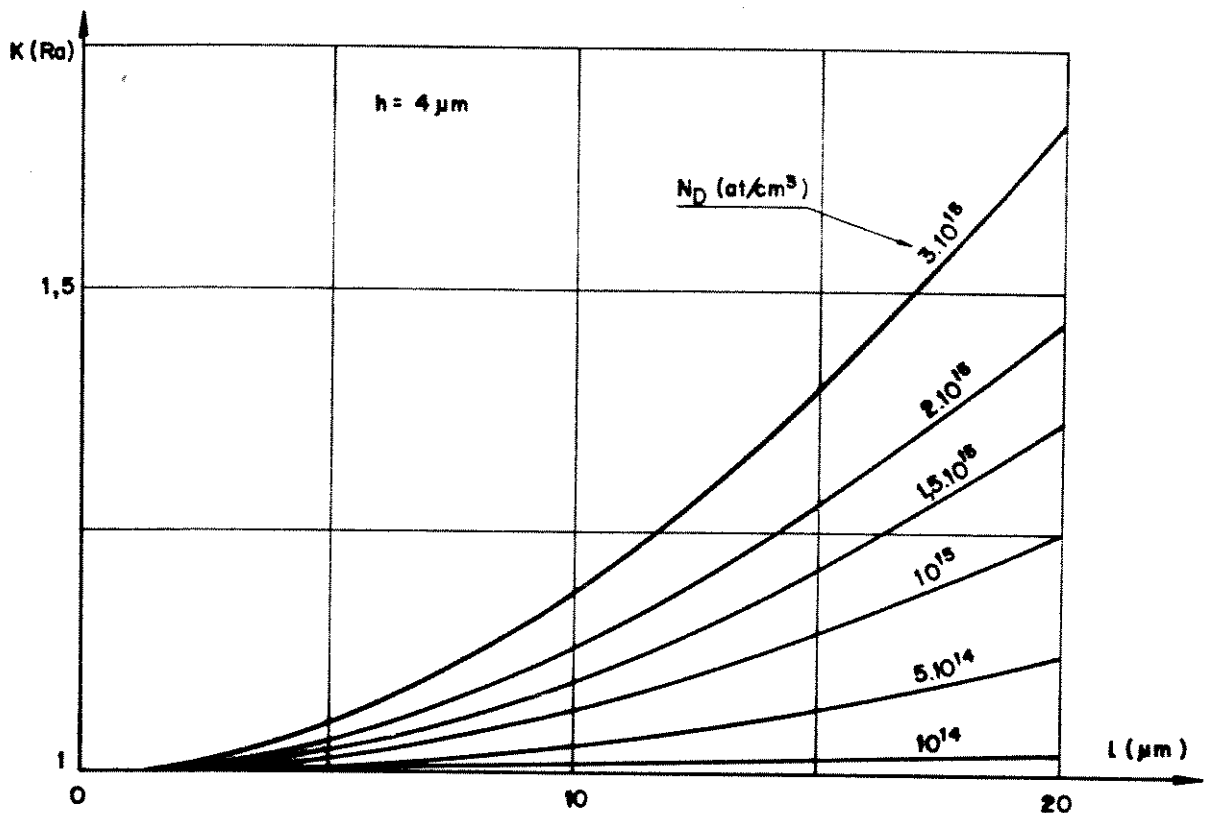


Figura 3.13 - Variação de $K(R_a)$ com l e N_d , para um valor fixo de $h = 4$ micra.

3.2.3 A resistência de volume R_d .

A resistência de deriva, ou volume, R_d , é a parcela correspondente ao trecho imediatamente inferior à região de acumulação-desafocalização, logo embaixo das difusões de poço P , entre os pontos C e D da figura 3.10.

A figura 3.14 esquematiza a região onde se desenvolve a resistência R_d , indicando ainda como se dá o fluxo de portadores entre a equipotencial $B - B'$, de largura 1 , e a linha $C - C'$, de largura $r + 1$.

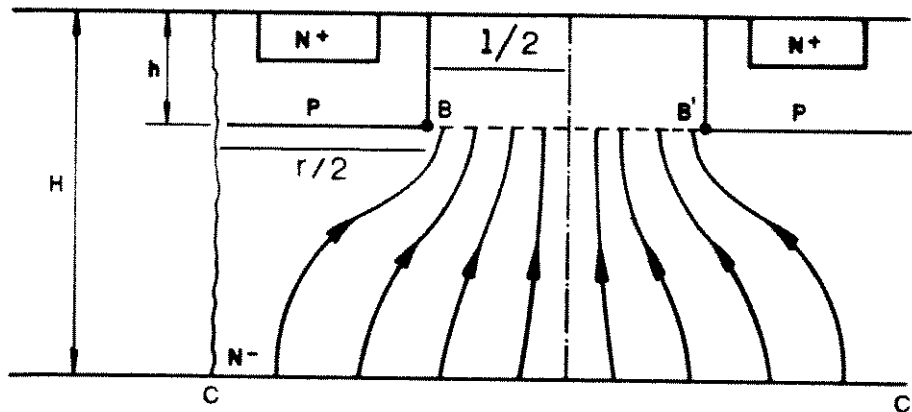


Figura 3.14 - A resistência de deriva ou de volume R_d .

Na referência [3.14] encontra-se uma forma de modelamento para R_d , dada por:

$$R_d = \left[\frac{1}{q \cdot u_n \cdot N_d} \right] \cdot \frac{2 \cdot (H - h)}{Z \cdot (r + 1)} \cdot K(R_d) \quad (3.20)$$

onde u_n $\equiv$ mobilidade de elétrons no substrato N^- ,

e $K(R_d)$ é um coeficiente maior ou igual a 1, que representa o quanto a resistência compreendida pela região $(B - B' - C - C')$ da figura 3.14 se desvia da resistência de uma barra semicondutora de seção $Z \cdot (r + 1) / 2$ e comprimento $(H - h)$.

O termo entre colchetes na eq. (3.20) corresponde a resistividade do material semiconductor N- que compõe o substrato. O coeficiente $K(Rd)$ vale:

$$K(Rd) = \frac{x(y+1)}{\pi} \left[\text{arc sh} \frac{\text{sh} \left[\frac{\pi}{x(1+y)} \right]}{\text{sen} \left[\frac{\pi}{2(1+y)} \right]} \right] \quad (3.21)$$

onde:

$$x = \frac{1}{H-h} \quad (3.22)$$

$$y = \frac{r}{l} \quad (3.23)$$

A figura 3.15 mostra como o coeficiente $K(Rd)$ varia em função de χ e χ_r .

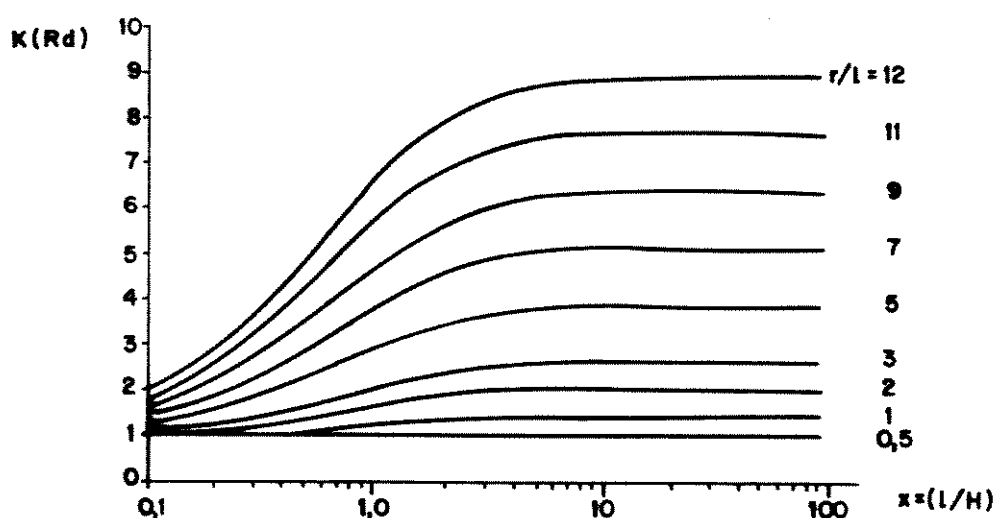


Figura 3.15 - Variação $K(Rd)$ com χ e χ_r .

Um modelo mais simples foi proposto por Granadel [3.12], baseado na hipótese formulada por C. Hu [3.16], que considera uma divergência das linhas de corrente segundo um ângulo constante θ . A figura 3.16 ilustra esta hipótese para duas situações geométricas possíveis.

Tomando o ângulo θ igual a 45 graus, obtém-se segundo [3.12] as seguintes expressões:

$$R_d = \frac{1}{q \cdot u_n \cdot Nd} \cdot \frac{1}{Z} \ln \left[1 + \frac{2(H-h)}{1} \right]$$

para $(H-h) < r/2$;

$$= \frac{1}{q \cdot u_n \cdot Nd} \cdot \frac{1}{Z} \left[\ln \left[1 + \frac{r}{1} \right] + \frac{2(H-h) - r}{r+1} \right]$$

para $(H-h) \geq r/2$. (3.24)

Nota-se que se $r/1$ tender a zero, as eqs. (3.20) e (3.24) se equivalem.

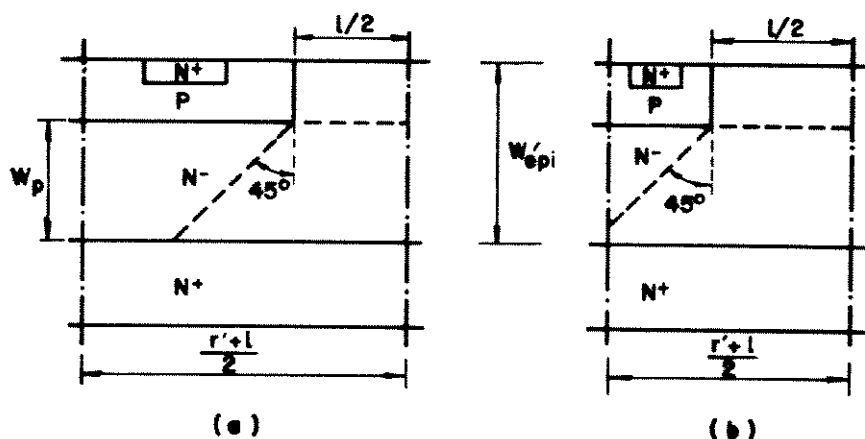


Figura 3.16 - Hipótese da divergência de linhas de corrente segundo um ângulo constante θ .

3.2.4 A influência da geometria da célula VDMOS sobre R_{on} .

Considerando as parcelas de R_{on} definidas pelas eqs. (3.10), (3.14) e (3.20), a eq. (3.7) pode ser reescrita como:

$$R_{on} = \frac{1}{Z} f(r, l, h, H) = \frac{R_{on}^*}{Z} \quad (3.25)$$

onde:

$$R_{on}^* = \frac{L}{\mu_o \cdot Cox \cdot V_{gs}'} + \frac{1}{q \cdot \mu_{na} \cdot Nd} \cdot \frac{2 \cdot h}{1} \cdot K(Ra) +$$

$$+ \frac{1}{q \cdot \mu_n \cdot Nd} \cdot K(Rd) \quad (3.26)$$

Os termos V_{gs}' , $K(Ra)$ e $K(Rd)$ são dados respectivamente pelas eqs. (3.11), (3.19) e (3.21). Costuma-se definir a condutância por unidade de área como sendo:

$$\Sigma_{ons} = \frac{\Sigma_{on}}{S} = \frac{1}{R_{on} \cdot S} = \frac{1}{R_{ons}} \quad (3.27)$$

onde S é a área ativa do transistor e R_{ons} é a resistência de condução específica, ou produto "resistência de condução - área ativa".

A eq.(3.27) pode ser posta na forma:

$$R_{ons} = \frac{S}{Z} \cdot R_{on}^* = \frac{R_{on}^*}{FF} \quad (3.28)$$

Define-se FF como a razão entre a largura de canal Z e a área ativa S , denominado fator de forma da estrutura multicelular do transistor VDMOS. Quanto maior for FF , menor será a resistência de condução numa determinada área ativa.

Efetivamente, o fator de forma FF pode ser calculado para cada forma geométrica da célula VDMOS, em função dos parâmetros n e l , que serão diferentes para cada geometria.

Um modo de se comparar as diversas formas geométricas que podem ser utilizadas para realização da área ativa de um transistor, é por meio da minimização da componente R_{ch} .

Escrevendo R_{ch} com base na eq. (3.27), obtém-se:

$$\begin{aligned}
 R_{ch} &= \frac{L}{Z \cdot u_o \cdot Cox \cdot V_{gs'}} \cdot S \\
 &= \frac{L \cdot l}{u_o \cdot Cox \cdot V_{gs'}} \cdot \left[\frac{Z \cdot l}{S} \right]^{-1} \quad (3.29)
 \end{aligned}$$

Define-se o fator de área FA :

$$FA = \frac{Z \cdot l}{S} \quad (3.30)$$

como sendo um fator que mede o aproveitamento de área para condução de corrente (área de canal), em relação a área ativa total da célula VDMOS.

A figura 3.17 ilustra os resultados de [3.14] e [3.15] para FA em função da razão n / l , segundo diversas geometrias de célula, sendo as mais importantes [3.2]:

- a) Triângulos equiláteros encaixáveis;
- b) Quadrados alinhados;
- c) Hexágonos encaixáveis;

- d) Círculos deslocados (disposição semelhante aos hexágonos encaixáveis);
- e) Retângulos de lados p e np , alinhados;
- f) Faixas paralelas.

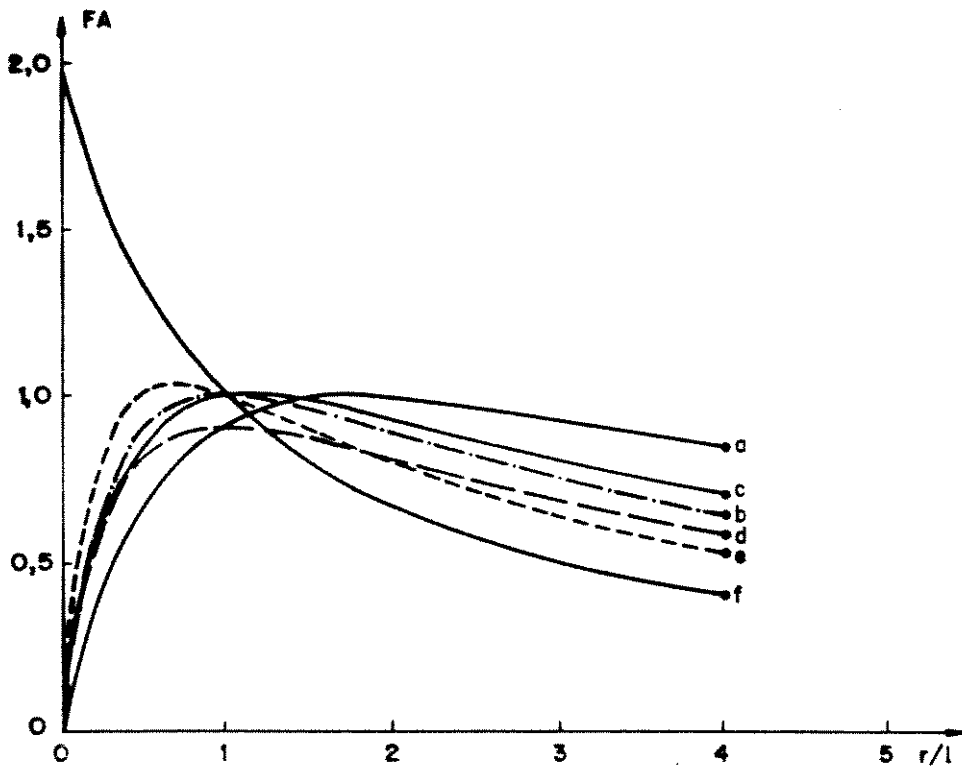


Figura 3.17 - Variação de FA em função da razão r/l (índices a a f conforme definição no texto).

A tabela 3.1 resume as expressões de FA para estas geometrias e a figura 3.18 ilustra as configurações geométricas e seus parâmetros.

Nota-se que todas as geometrias, exceto a (f), apresentam um máximo próximo a $FA = 1$, para valores de r/l entre 0,5 e 2,0, significando haver a possibilidade de uma escolha ótima da forma da célula VDMOS. O resultado da figura 3.17 não é definitivo, uma vez que não considera as componentes R_a e R_d para efeito de otimização global do transistor.

O fator FF relaciona-se a FA por meio da expressão:

$$FF = \frac{FA}{1} \quad (3.31)$$

Tabela 3.1 - Relações geométricas das células VDMOS.

Forma geométrica	F A	F F
Triângulos equiláteros encaixáveis	$\frac{6,93 \quad r / 1}{(r / 1 + 1,73)^2}$	$\frac{6,93 \quad r}{(r + 1,73 \quad 1)^2}$
Quadrados alinhados	$\frac{4 \quad r / 1}{(1 + r / 1)^2}$	$\frac{4 \quad r}{(r + 1)^2}$
Hexágonos encaixáveis	$\frac{3,46 \quad r / 1}{(1 + 0,87 \quad r / 1)^2}$	$\frac{3,46 \quad r}{(1 + 0,87 \quad r)^2}$
Círculos deslocados	$\frac{2 \pi \quad r / 1}{1,73 (1 + r / 1)^2}$	$\frac{2 \pi \quad r}{1,73 (r + 1)^2}$
Retângulos de lados r e nr	$\frac{2 (1 + n) \quad r / 1}{(1 + r/1) (1 + nr/1)}$	$\frac{2 (1 + n) \quad r}{(1 + r) (1 + nr)}$
Faixas paralelas	$\frac{2}{1 + r / 1}$	$\frac{2}{r + 1}$

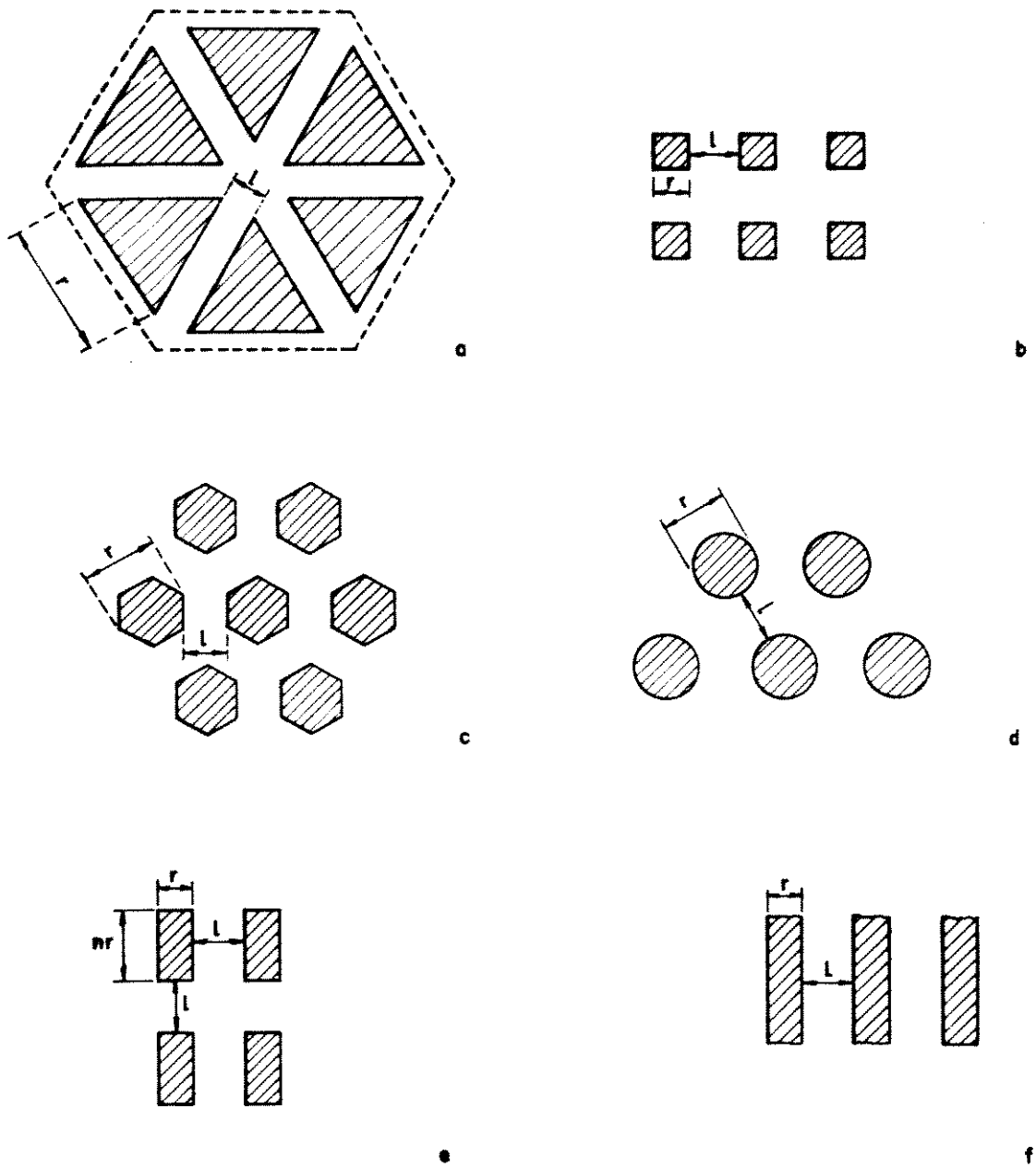


Figura 3.18 - Configurações geométricas de células VDMOS.

A tabela 3.1 traz também as equações de FF para as diversas geometrias analisadas. A figura 3.19 mostra graficamente como evolue FF em função de l nestas relações [3.14].

Existem outras geometrias que podem ser estudadas, tais como os losângos, quadrados deslocados, círculos deslocados, hexágonos alinhados, etc. No entanto, o fator FA obtido é sensivelmente menor [3.15].

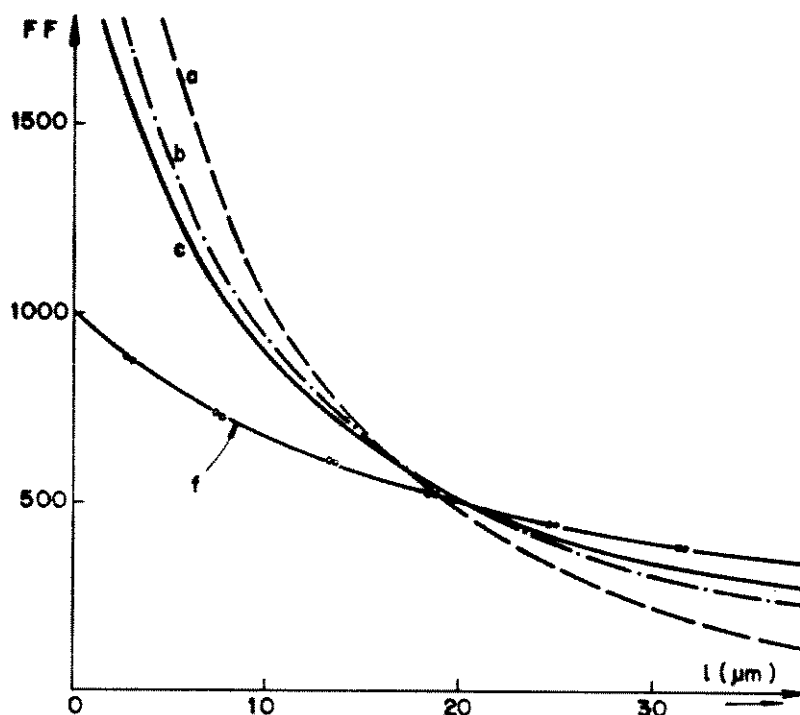


Figura 3.19 - Variação de FF com a razão r/l (índices a a f referem-se às geometrias descritas no texto).

3.2.5 A otimização de Ron.

A partir da eq. (3.27), pode-se definir as seguintes resistências específicas:

$$R_{chs} = R_{ch} \cdot S \quad (3.32)$$

$$R_{as} = R_a \cdot S \quad (3.33)$$

$$R_{ds} = R_d \cdot S \quad (3.34)$$

Observa-se que o valor mínimo ideal de R_{on} ocorreria na situação hipotética de condução vertical por toda a área superficial do material semicondutor do substrato, tal que os variáveis geométricas r e h tendessem a zero e R_{on} tendesse à resistência de uma barra semicondutora de seção $Z \cdot l / 2$ e comprimento H . Logo:

$$R_{on} (min) = \frac{1}{q \cdot u_n \cdot Nd} \cdot \frac{2 \cdot H}{Z \cdot l} \quad (3.35)$$

Portanto:

$$R_{ons} (min) = \frac{2}{q \cdot u_n \cdot Nd} \cdot H \quad (3.36)$$

A figura 3.20 demonstra como variam as componentes R_{chs} , R_{as} e R_{ds} em relação à distância intercelular l , mantendo r , h e H fixos.

Nota-se que:

- a) R_{chs} é crescente com l , dado que R_{ch} é constante mas a área ativa S cresce com l ;
- b) R_{as} aumenta com l , pois apesar de R_a tornar-se independente de l para valores grandes, a área ativa S aumenta;
- c) R_{ds} , por outro lado, diminui com l , devido ao aumento da seção transversal de condução S .

Logo, duas das componentes de R_{on} aumentam enquanto uma delas diminui em função de l . Portanto, é de se esperar que existam combinações de parâmetros de processo, polarizações de terminais e variáveis geométricas da estrutura que permitam obter um valor ótimo para a distância intercelular, l_{ot} , tal que o valor de R_{ons} seja mínimo, tal como mostra o exemplo da figura 3.20.

Assim:

$$R_{ons} = f(l_{ot}) \quad (3.37)$$

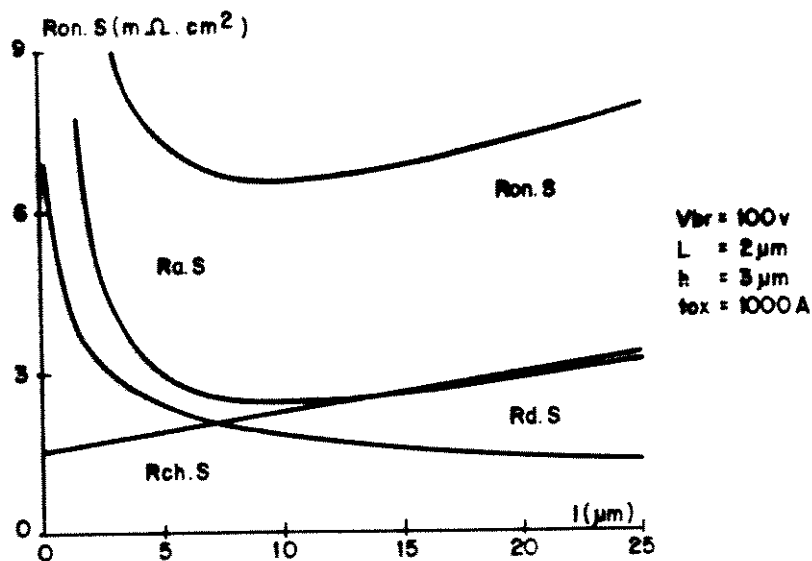


Figura 3.20 - Variação das componentes de R_{ons} em função de l .

Dado que R_{ons} é uma função complexa de l , l_{ot} é mais facilmente calculado por um método iterativo. Sugere-se o seguinte procedimento:

- Inicia-se o processo de cálculo com $l = 0$, incrementando-o de um valor adequado, por exemplo 0,5 micra, que normalmente é a menor variação de dimensão permitida pelo processo de fabricação;
- Calcula-se R_{on} pela eq. (3.26), para cada valor de l ;
- Obtem-se FF para a forma da célula elementar escolhida, por meio da tabela 3.1, ou procedendo-se ao cálculo da razão perímetro de canal / área ativa da célula;
- Calcula-se R_{ons} pela eq. (3.28);
- Observa-se o ponto em que R_{ons} assume o seu valor mínimo. Para este ponto, tem-se $l = l_{ot}$, que é o espaçamento intercelular que minimiza a resistência de condução do transistor, para o tipo de célula adotado.

3.3 A OTIMIZAÇÃO DA RESISTÊNCIA DE CONDUÇÃO R_{on} E DA TENSÃO DE RUPTURA V_{br} PARA UM TRANSISTOR VDMOS.

Considerando nas eqs. (3.10) e (3.11) que V_{gs} tenda a um valor muito grande, a componente R_{ch} tende para:

$$R_{ch} = \frac{L}{Z \cdot u_o \cdot Cox \cdot \phi} \quad (3.38)$$

Portanto, R_{on} pode ser escrito como:

$$R_{on} = \frac{L}{Z \cdot u_o \cdot Cox \cdot \phi} + \frac{2 \cdot h}{q \cdot u_{na} \cdot Nd \cdot Z \cdot 1} \cdot K(R_a) + \frac{H - h}{q \cdot u_n \cdot Nd \cdot Z \cdot (r + 1)} \cdot K(R_d) \quad (3.39)$$

Phan - Phan [3.15] demonstrou que substituindo na eq. (3.39) as relações (2.127) e (2.128), dimensionalmente ajustadas:

$$Nd = 1,85 \cdot 10^{24} \cdot V_{br}^{-4/3} \quad [\text{metro}^{-3}] \quad (3.40)$$

$$H - h = 1,87 \cdot 10^{-8} \cdot V_{br}^{7/6} \quad [\text{metro}] \quad (3.41)$$

e a relação para mobilidade u_n proposta por C. Hu [3.16]:

$$u_{na} \approx u_n \approx 0,07 \cdot V_{br}^{0,1} \quad [\text{m}^2 / \text{V.s}] \quad (3.42)$$

obtem-se uma expressão aproximada para R_{on} que depende apenas de V_{br} , das variáveis geométricas do transistor e dos parâmetros ϕ , $K(Ra)$ e $K(Rd)$:

$$R_{on} = \frac{L}{u_o \cdot Z \cdot Cox \cdot \phi} + 9,61 \cdot 10^{-5} \cdot \frac{h \cdot K(Ra)}{Z \cdot 1} \cdot V_{br}^{1,23} + 8,98 \cdot 10^{-13} \cdot \frac{K(Rd)}{S} \cdot V_{br}^{2,4} \quad (3.43)$$

onde se considera: $S = (r + 1) \cdot Z$

Pode-se estudar o compromisso de V_{br} com R_{on} na eq. (3.43) segundo três casos: estruturas VDMOS de baixa tensão, média tensão e alta tensão.

3.3.1 Caso de estruturas de baixa tensão.

Phan - Phan [3.15] demonstrou que no caso de estruturas VDMOS de baixa tensão, onde V_{br} é inferior a 100 volts, o primeiro termo da eq. (3.43) é predominante, de forma que se pode escrever o inverso de R_{ons} como:

$$\left(R_{ons} \right)_B^{-1} \approx u_o \cdot Cox \cdot \phi \cdot \frac{1}{1 \cdot L} \cdot FA \quad (3.44)$$

O estudo sobre as geometrias da célula VDMOS demonstrou que FA pode no máximo ser igual a 1. Tem-se, portanto, apenas um grau de liberdade de escolha para o produto $(1 \cdot L)$, entre o espaçamento intercelular e o comprimento de canal, desde que $r / 1$ seja próximo a 1 (figura 3.17).

Logo:

$$(R_{ons})_E^{-1} < \frac{u_o}{\phi} \cdot C_{ox} \cdot \phi \cdot \left[\begin{matrix} 1 \\ 1 \end{matrix} \cdot L \right]^{-1} \quad (3.45)$$

3.3.2 Caso de estruturas de média tensão.

As estruturas de média tensão são aquelas compreendidas entre 100 e 400 volts. Neste caso, todos os termos da eq. (3.43) seriam comparáveis entre si. Considerando apenas a contribuição do segundo termo, pode-se escrever [3.15]:

$$(R_{ons})_M^{-1} \approx 1,04 \cdot 10^4 \cdot F_A \cdot K(R_a) \cdot h^{-1} \cdot V_{br}^{-1,23} \quad (3.46)$$

Em condições ideais, tal que F_A e $K(R_a)$ tendam a 1, a eq. (3.46) toma a forma:

$$(R_{ons})_M^{-1} < 1,04 \cdot 10^4 \cdot \frac{1}{h^{1,23} \cdot V_{br}^{1,23}} \quad (3.47)$$

onde há também apenas um grau de liberdade na escolha de h .

3.3.3 Caso de estruturas de alta tensão.

Para tensões de ruptura acima de 400 volts, a utilização de camadas epitaxiais espessas faz com que o terceiro termo da eq. (3.43) torne-se predominante [3.15]:

$$\left(\frac{R_{ons}}{A} \right)^{-1} \approx 1,11 \cdot 10^{12} \cdot K (R_d) \cdot V_{br}^{-2,4} \quad (3.48)$$

O coeficiente $K (R_d)$ pode no máximo assumir um valor igual a 1, de modo que (3.48) reduz-se a:

$$\left(\frac{R_{ons}}{A} \right)^{-1} < 1,11 \cdot 10^{12} \cdot V_{br}^{-2,4} \quad (3.49)$$

onde não há grau de liberdade algum em relação às variáveis geométricas.

3.3.4 O plano $1 / R_{ons}$ versus V_{br} .

Os limites assintóticos de $1 / R_{ons}$, definidos pelas eqs. (3.45), (3.47) e (3.49) são mostrados na figura 3.21, denominada como plano $1 / R_{ons}$ x V_{br} .

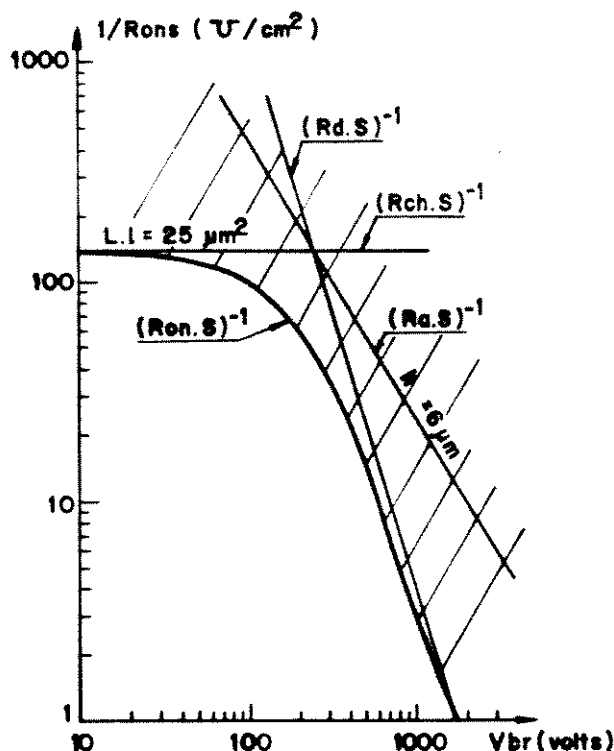


Figura 3.21 - Limites assintóticos de $1 / R_{ons}$ x V_{br} .

Esta curva define os limites teóricos máximos para transistores VDMOS otimizados em desempenho, segundo a mínima resistência de condução e a máxima tensão de ruptura permitidas pelo processo de fabricação e pela configuração geométrica do dispositivo.

É interessante notar que fisicamente as variáveis geométricas e os parâmetros de processo, comuns às grandezas R_{on} e V_{br} , são a profundidade de junção do poço P da célula VDMOS, a espessura da camada epitaxial N- e a dopagem da região epitaxial N-. Estes parâmetros interferem tanto no cálculo das componentes R_a e R_d , como no cálculo da tensão de ruptura do dispositivo.

A figura 3.22 ilustra, como exemplo, a curva $1 / R_{on} \times V_{br}$, considerada hoje em dia como estado da arte em termos de transistores VDMOS comerciais [3.17], fabricados pela Motorola e Interntinal Rectifier. A linha cheia corresponde ao limite teórico ideal [3.12 , 3.17].

3.4 O EFEITO DE " Punch - Through " ENTRE FONTE E DRENO.

Devido ao fato dos transistores DMOS laterais e verticais serem atualmente construídos por meio de dupla difusão, tal como descrito no item 3.1.1, existe a possibilidade de ocorrer ruptura por " punch - through " entre fonte e dreno, quando a tensão V_{ds} for alta. Como foi dito, a junção poço P / substrato N- da estrutura DMOS suporta toda a tensão V_{ds} , que a polariza reversamente. A região de depleção desenvolve-se em ambos os lados da junção P / N, extendendo-se mais acentuadamente do lado menos dopado N-, porém extendendo-se também do lado P, como foi visto no item 2.2.3.

A situação de " punch - through " entre fonte e dreno ocorre a partir do momento em que a região de depleção do lado P, dentro do poço P, atinge a junção N+ de fonte, como mostra a figura 3.23. Nesta situação, fonte e dreno estarão curto-circuitados pela região de depleção, resultando num estado de condução do dispositivo não controlado pelo eletrodo de porta.

Devido ao processo de dupla difusão, a distância entre as junções N+ / poço P e poço P / substrato N- é bem pequena, da ordem de algumas micra. O fenômeno de " punch - through " é pouco provável de ocorrer nas regiões laterais (ponto A da figura 3.23), devido à interferência eletrostática do eletrodo de porta. O problema restringe-se, portanto, às zonas planas da estrutura (ponto B da figura 3.23).

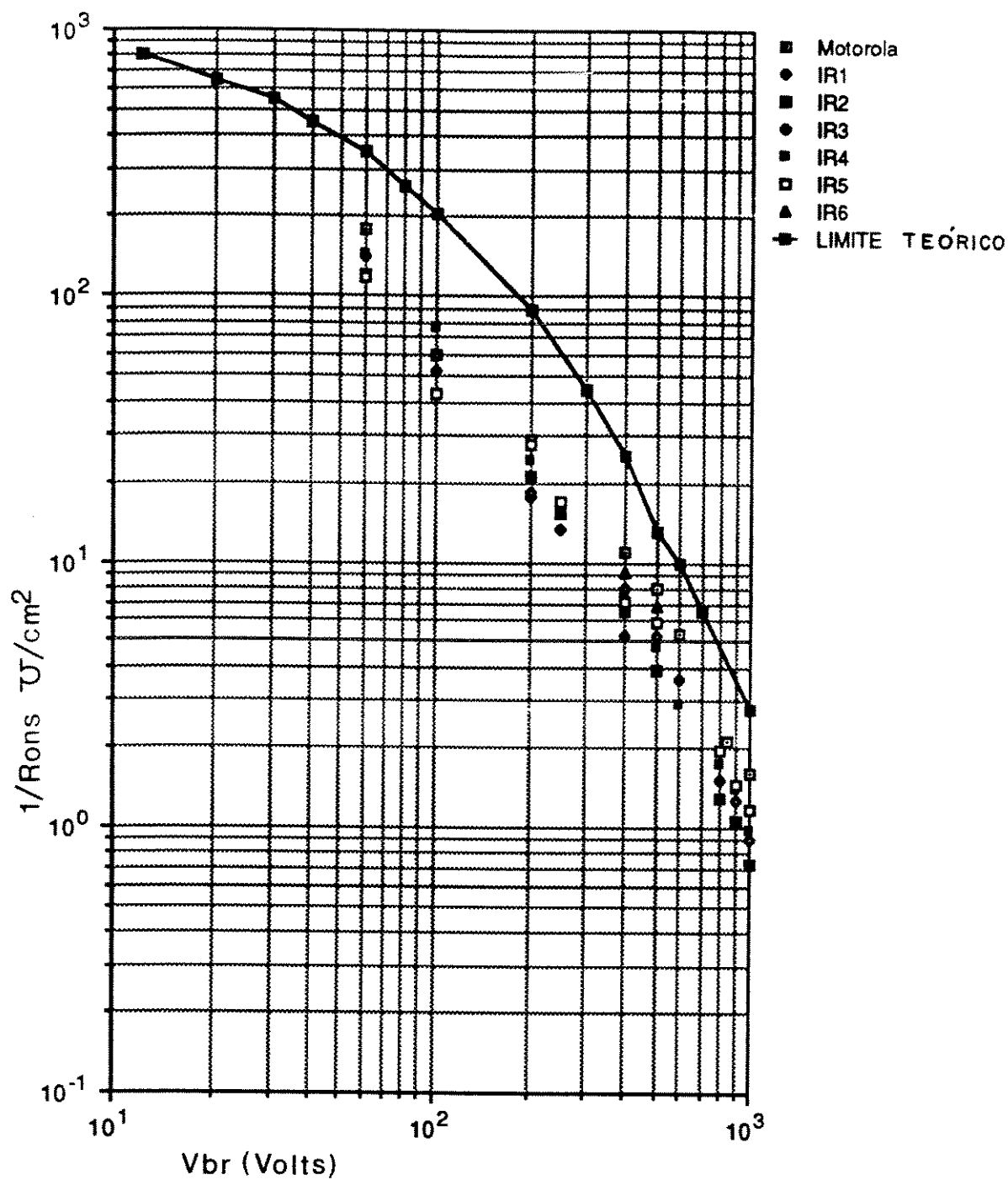


Figura 3.22 - Estado da arte para transistores VDMOS canal N de potência.

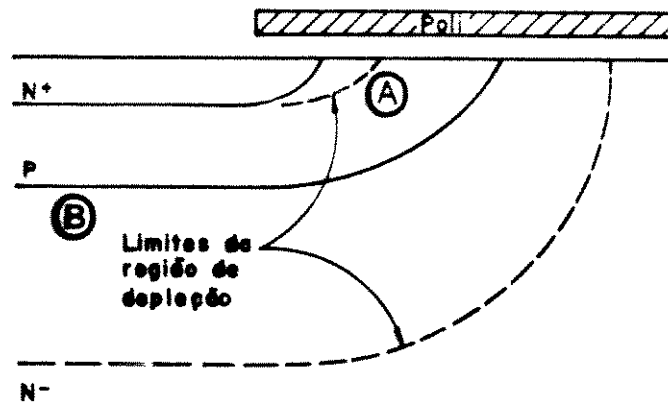


Figura 3.23 - Condição de ocorrência de "punch - through".

Deseja-se, então, determinar a distância mínima entre a borda da junção de fonte N^+ e a borda da junção de poço P , definida como X_P , para uma determinada tensão de "punch - through" V_{pt} especificada, que seja maior ou igual à tensão de ruptura do dispositivo.

Este problema pode ser analiticamente tratado se o perfil de difusão do poço P for aproximado por uma relação linear, tal como mostrada na figura 3.24.

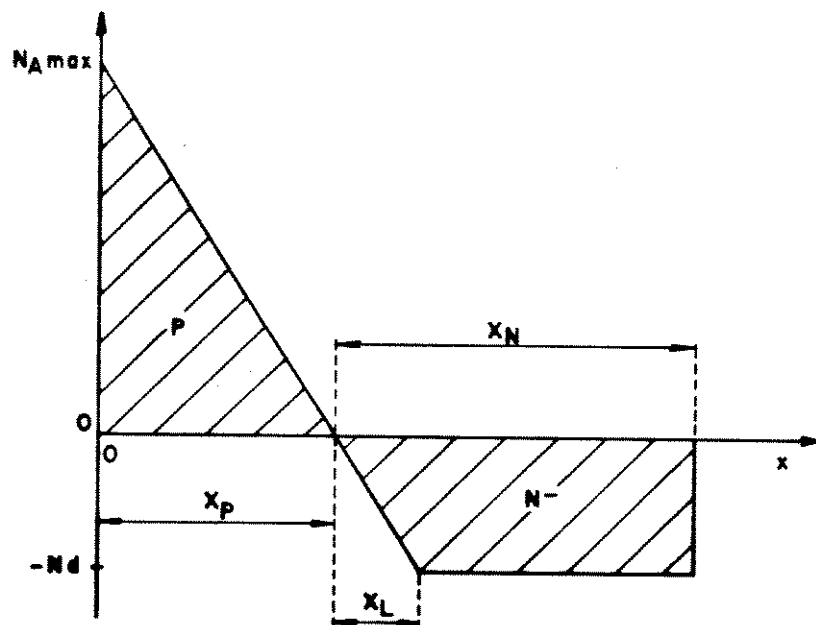


Figura 3.24 - Perfil de difusão para o poço P .

A expressão do perfil de dopagem do lado P, baseado na figura 3.24, é dado por:

$$N_a(x) = N_a(\max) \cdot \left[1 - \frac{x}{X_p} \right] \quad (3.50)$$

Considere-se que na situação de "punch-through", a região P é totalmente depletada. Desta forma, a integração da equação de Poisson (2.9) permite obter a seguinte expressão para o campo elétrico:

$$E_1(x) = - \frac{q \cdot N_a(\max)}{esi} \cdot \left[x - \frac{x^2}{2 \cdot X_p} \right] \quad (3.51)$$

Integrando novamente a eq.(3.51), entre $x = 0$ e $x = X_p$, obtém-se a tensão V_p , que se desenvolve através da região de depleção do lado P:

$$V_p = \frac{q \cdot N_a(\max)}{3 \cdot esi} \cdot X_p^2 \quad (3.52)$$

Por outro lado, na figura 3.24 pode ser visto que a região de depleção do lado N- se desenvolve em parte segundo um perfil de dopagem linear, em parte segundo uma região de dopagem uniforme. X_n é a extensão total da região de depleção, enquanto que X_1 corresponde à distância na qual o perfil de dopagem é linear.

Da figura 3.24, segue a relação:

$$\frac{N_a(\max)}{X_p} = \frac{N_d}{X_1} \quad (3.53)$$

O perfil de dopagem do lado N- é definido pelas relações:

$$\begin{aligned}
 N_d(x) &= N_d, & 0 \leq x \leq (X_n - X_1) \\
 &= \frac{N_d}{X_1} \cdot (X_n - x), & (X_n - X_1) < x \leq X_n
 \end{aligned}
 \tag{3.54}$$

Neste caso, a integração da equação de Poisson deve ser feita por partes, resultando:

$$\begin{aligned}
 E(x) &= \frac{q \cdot N_d}{2 \epsilon_{si}} \cdot x, & 0 \leq x \leq (X_n - X_1) \\
 &= \frac{q \cdot N_d}{2 \cdot \epsilon_{si} \cdot X_1} \left[\frac{1}{2} X_n^2 \cdot x - \frac{x^3}{6} - (X_n - X_1) \frac{x^2}{2} \right], & (X_n - X_1) < x \leq X_n
 \end{aligned}
 \tag{3.55}$$

A integração do campo elétrico acima definido, entre $x = 0$ e $x = X_n$, permite obter a tensão suportada pela região de depleção do lado N-. Integrando (3.55) por partes e considerando a continuidade de campo elétrico na junção metalúrgica, tem-se:

$$V_n = \frac{q \cdot X_p^2}{\epsilon_{si}} \left[\frac{N_a(\max)^2}{8 N_d} + \frac{N_d}{4} - \frac{N_d^3}{24 N_a(\max)^2} \right] \tag{3.56}$$

A tensão de "punch-through" V_{pt} é obtida pela soma das quedas de tensão de ambos os lados da junção, V_p e V_n :

$$V_{pt} = \frac{q \cdot X_p^2}{\epsilon s i} \left[\frac{N_a(\max)^2}{8 N_d} + \frac{N_a(\max)}{3} + \frac{N_d}{4} - \frac{N_d^3}{24 N_a(\max)^2} \right] \quad (3.57)$$

Considerando que X_p é a distância compreendida entre as junções de fonte N^+ / poço P e poço P / substrato N^- , obtém-se:

$$X_p = \frac{\left[\frac{\epsilon s i \cdot V_{pt}}{q} \right]^{0,5}}{\left[\frac{N_a(\max)^2}{8 N_d} + \frac{N_a(\max)}{3} + \frac{N_d}{4} - \frac{N_d^3}{24 N_a(\max)^2} \right]^{0,5}} \quad (3.58)$$

A eq. (3.57) é uma forma de se determinar a tensão de "punch-through" de uma estrutura DMOS, dados X_p , $N_a(\max)$ e N_d . A eq. (3.58) permite o cálculo da distância X_p para uma dada tensão V_{pt} desejada. Um bom critério para a escolha de X_p é considerar que V_{pt} seja maior ou igual à máxima tensão para a qual o transistor foi projetado, ou seja, a tensão de ruptura por avalanche:

$$V_{pt} \geq V_{br} \quad (3.59)$$

Por outro lado, a avaliação de X_p serve como critério de escolha das profundidades de junção das difusões N^+ de fonte e de poço P , dado uma tensão de ruptura V_{br} mínima desejada.

3.5 CONCLUSÕES.

Nos itens anteriores deste capítulo foram estudados a evolução estrutural dos transistores MOS de potência, alguns aspectos operativos do transistor DMOS e algumas particularidades estruturais do transistor VDMOS.

O modelo desenvolvido para R_{on} no item 3.2 é de primeira ordem e permite uma avaliação preliminar de uma estrutura multicelular a ser projetada. Um estudo mais detalhado, que leva em conta aspectos bi-dimensionais das componentes de R_{on} e propõe modelos numéricos mais completos, pode ser encontrado na referência [3.12].

No item 3.3 foi estudado o compromisso da otimização da resistência de condução R_{on} com a tensão de ruptura V_{br} , que apesar de ser um estudo aproximativo, permite definir os limites da tecnologia e, assim, situar um determinado dispositivo projetado relativamente aos limites teóricos ideais e compará-lo também a outros dispositivos.

Por fim, foi realizado no item 3.4 o desenvolvimento de um modelo matemático para previsão da ocorrência de "punch-through" entre fonte e dreno. Deste modo, é possível dimensionar as variáveis geométricas envolvidas, de forma a evitar que o transistor VDMOS seja limitado por "punch-through".

Capítulo 4 - Realização experimental de dispositivos planares de alta tensão.

INTRODUÇÃO.

Este capítulo tem por objetivo descrever o projeto e a caracterização de uma pastilha teste, denominada CI POTMOS, destinada à avaliação experimental da viabilidade de construção no processo CMOS convencional, de dispositivos ativos de potência e alta tensão, particularmente os transistores VDMOS.

Portanto, deseja-se neste capítulo discutir um exemplo prático de projeto, que faça uso dos conceitos desenvolvidos nos capítulos anteriores, definindo assim uma metodologia de aplicação das teorias referentes à utilização do processo de fabricação, às técnicas de projeto das estruturas de terminação para alta tensão e às técnicas de projeto das áreas ativas de transistores VDMOS.

Primeiramente, será apresentado o projeto da pastilha teste POTMOS quanto às estruturas que a compõem.

A seguir, serão discutidos os resultados experimentais da caracterização dos protótipos POTMOS, tanto do ponto de vista estrutural, quanto do comportamento elétrico.

Por fim, serão feitas considerações quanto à otimização de desempenho dos dispositivos projetados e a viabilidade do projeto de dispositivos de potência num processo CMOS convencional.

4.1 A PASTILHA DE TESTE POTMOS.

O projeto POTMOS objetiva o desenvolvimento de transistores VDMOS de alta tensão (100 - 150 V) compatíveis com um processo CMOS poço P, 3 micra convencional [4.1], semelhante ao processo CMOS - A, discutido no capítulo 1. Para tanto, foi desenvolvida uma pastilha teste para a avaliação de estruturas resistentes à alta tensão e de geometrias de transistores VDMOS compatíveis com este processo. A avaliação das possibilidades de realização de estruturas de alta tensão foi feita por meio de dispositivos simples, como diodos P / N.

A título de investigar a viabilidade de projeto de circuitos integrados de potência, foi também incluído na pastilha um circuito contendo um transistor VDMOS de potência, acionado por um latch tipo D, em lógica NMOS, de baixa tensão.

O projeto POTMOS foi realizado na pastilha do IM / CTI do primeiro Projeto Multiusuário (PMU), ocupando uma área de 1,5 x 2,0 milímetros. A figura 4.1 traz uma vista geral do CI projetado.

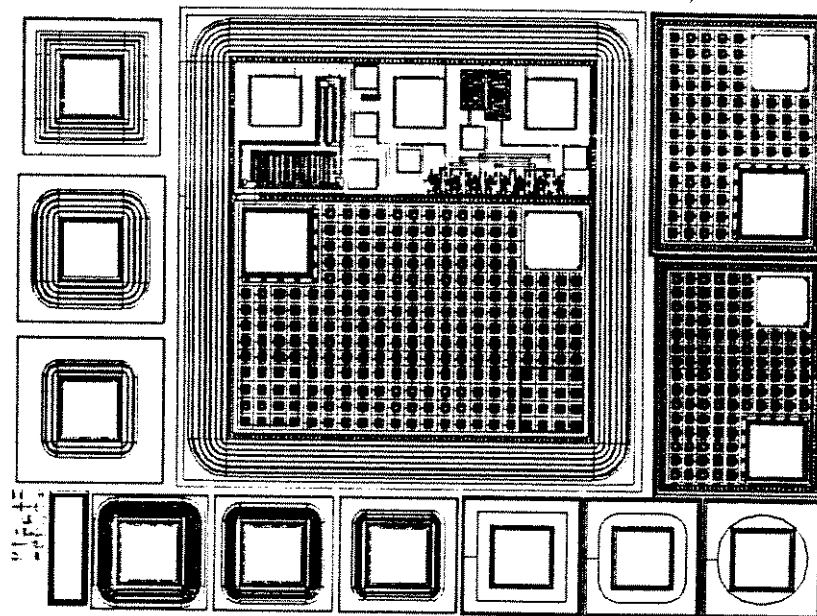


Figura 4.1 - Vista geral do CI POTMOS.

4.1.1 Os diodos de alta e baixa tensão.

Com o objetivo de se determinar a viabilidade de construção de junções P / N resistentes à alta tensão, foram projetados seis diodos com anéis de guarda difundidos, em duas estruturas diferentes (vide figura 4.1):

- 3 diodos com 4, 6 e 8 anéis P+, realizados com a difusão P+ rasa, (estrutura 1) e cantos arredondados;
- 2 diodos com 2 e 4 anéis P, realizados com a difusão de poço P (estrutura 2) e cantos arredondados;
- 1 diodo com 4 anéis P, realizados com a difusão de poço P (estrutura 2) cantos abruptos (90 graus);
- 1 diodo com 6 anéis (estrutura 2) pode ainda ser medido no transistor VIMOS-AT, como será visto adiante.

As figuras 4.2 e 4.3 mostram, respectivamente, os cortes transversais referentes às estruturas 1 e 2 de anéis de guarda difundidos.

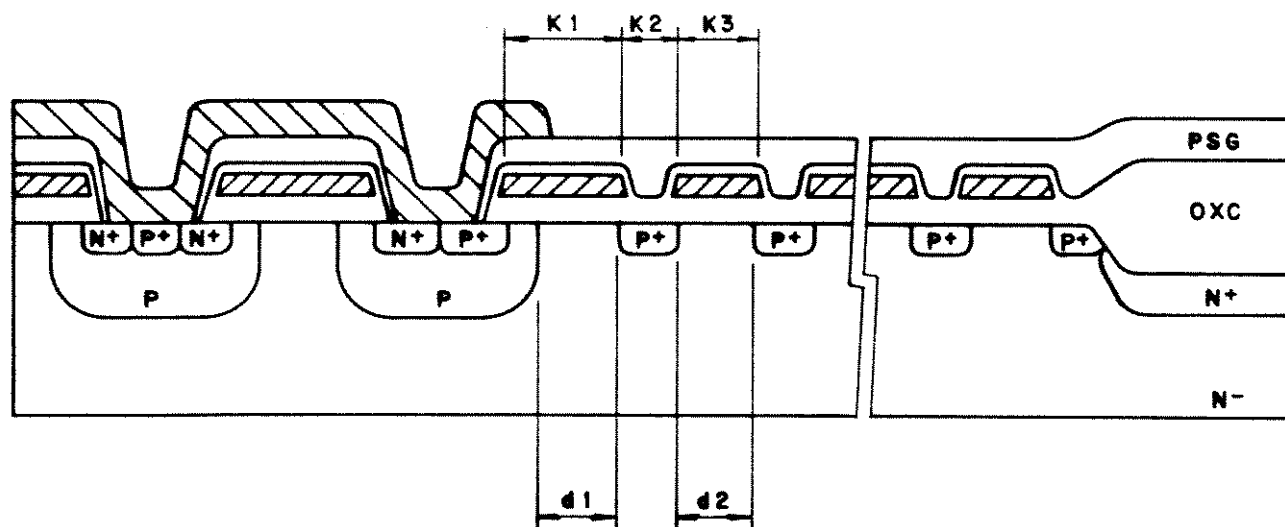


Figura 4.2 - Corte transversal da estrutura 1.

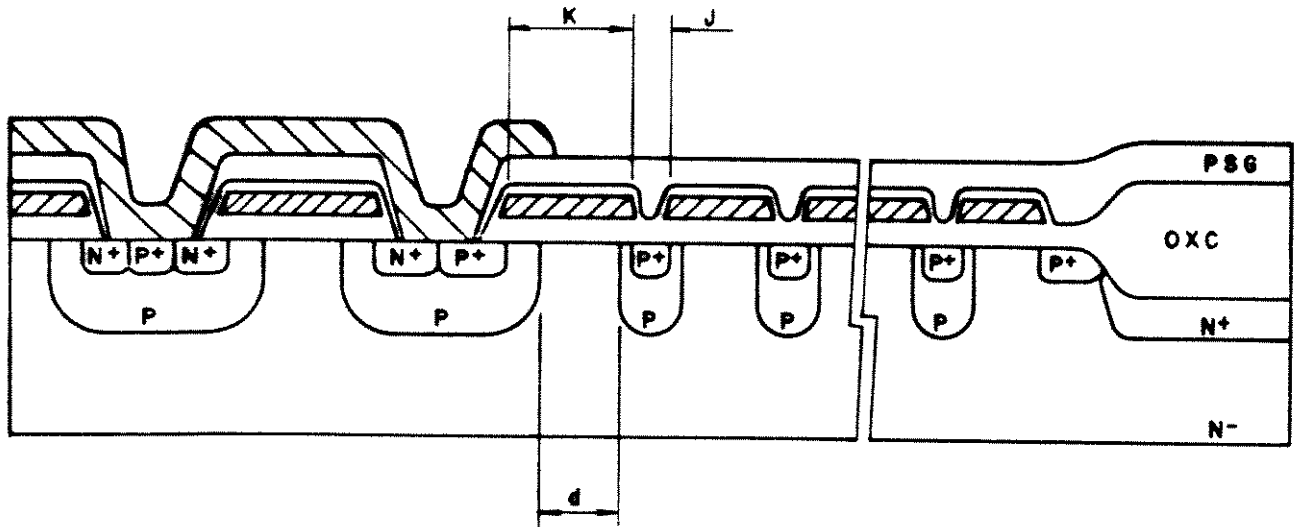


Figura 4.3 - Corte transversal da estrutura 2.

Para o dimensionamento da estrutura 1, os parâmetros mais importantes são (vide figura 4.2):

- K1 $\equiv$ largura da fita de Si-poli que recobre a distância entre o primeiro anel P+ e a borda da máscara de poço P;
- K2 $\equiv$ largura do anel de guarda P+ (a nível de máscara);
- K3 $\equiv$ largura da fita de Si-poli que define o espaçamento entre anéis de guarda P+, consecutivos (a nível de máscara);
- d1 $\equiv$ distância real entre a junção principal P/N- e o primeiro anel de guarda P+;
- d2 $\equiv$ distância real entre as junções P+/N- de anéis de guarda P+ consecutivos.

Os parâmetros acima se relacionam segundo as equações:

$$K1 = d1 + DL(P+) + DL(\text{poço}) \quad (4.1)$$

$$K2 = DMP \quad (4.2)$$

$$K3 = d2 + 2 \cdot DL(P+) \quad (4.3)$$

onde, DMP $\equiv$ distância mínima entre linhas de Si-poli = 3,0 micra, e as difusões laterais DL(poço) e DL(P+) são consideradas como sendo iguais as profundidades de junção:

$$DL(\text{poço}) = X_j(\text{poço}) \quad (4.4)$$

$$DL(P+) = X_j(P+) \quad (4.5)$$

Para o dimensionamento da estrutura 2 são importantes os parâmetros (Vide figura 4.3):

K = largura da fita de Si-poli entre junções de poço P consecutivas;

J = largura da janela de difusão de poço P e distância entre fitas de Si-poli consecutivas (a nível de máscara);

d = distância real entre junções de poço P consecutivos.

A relação entre os parâmetros acima é dada por:

$$K = d + 2 \cdot DL(\text{poço}) \quad (4.6)$$

$$J = DMP \quad (4.7)$$

onde, DMP e DL(poço) foram definidos acima.

As distâncias "d1", "d2" e "d" são obtidas pela metodologia de cálculo descrita no cap. I-2 da referência [4.2] e discutida no item 2.4.2.

Por meio desta metodologia calculam-se:

- a) Tensão de ruptura por avalanche na região plana da junção poço P / substrato N-:

$$155 < V_{rp} < 277 \text{ volts} \quad (4.8)$$

- b) Extensão da região de carga espacial da região plana da junção poço P / substrato N-, na situação de ruptura:

$$8,8 < W_{cp} < 17,3 \text{ micra} \quad (4.9)$$

- c) Tensão de ruptura por avalanche e extensão da região de carga espacial na região esférica junção poço P / substrato N- :

$$66,6 < V_{re1} < 95,6 \text{ volts} \quad (4.10)$$

$$4,4 < W_{ce1} < 7,0 \text{ micra} \quad (4.11)$$

- d) idem (c), para a junção P+ / substrato N- :

$$19,4 < V_{re2} < 27,7 \text{ volts} \quad (4.12)$$

$$1,7 < W_{ce2} < 2,8 \text{ micra} \quad (4.13)$$

Dados os valores calculados em (c) e (d), escolhe-se d_1 e d_2 menores do que o respectivo W_{ce} , porém de forma a maximizar a queda de tensão inter-anel sem que ocorra a ruptura de qualquer junção. Ou seja:

$$d_1 < W_{ce1} \text{ ----} > V_{ie1}(\text{max}) < V_{re1} \quad (4.14)$$

$$d_2 < W_{ce2} \text{ ----} > V_{ie2}(\text{max}) < V_{re2} \quad (4.15)$$

De forma semelhante, a distância "d" é escolhida como sendo menor do que W_{ce1} :

$$d < W_{ce1} \text{ ----} > V_{ie1}(\text{max}) < V_{re1} \quad (4.16)$$

A tabela 4.1 resume os parâmetros geométricos para ambas as estruturas.

Tabela 4.1 - Parâmetros geométricos das estruturas de anéis de guarda difundidos.

Estrutura	Parâmetro	Valor			Unid.
		Mín	Típ	Máx	
1	d1	2,8		4,0	micra
	d2	1,7		2,2	
	K1		8,0		
	K2		3,0		
	K3		3,0		
2	d	2,5		4,3	micra
	K		11,5		
	J		3,0		

A mesma metodologia de cálculo descrita em 2.4.2 permite ainda avaliar a máxima tensão suportável por uma junção P / N guardada por "n" anéis de guarda difundidos:

i) Queda de tensão inter-anel para a estrutura 1 :

$$15,0 < V_{ie1} < 70,9 \text{ volts} \quad (4.17)$$

ii) Idem (i), para a estrutura 2 :

$$6,9 < V_{ie2} < 38,1 \text{ volts} \quad (4.18)$$

iii) A tensão suportada pelo último anel de guarda equivale aos valores de V_{re} , calculados em (c) e (d) conforme o caso.

O cálculo da máxima tensão V_{br} suportável por uma junção protegida por "n" anéis de guarda difundidos é dada, respectivamente para as estruturas 1 e 2, pelas expressões:

$$V_{br1} = V_{ie1} + (n - 1) \cdot V_{ie2} + V_{re2} \quad (4.19)$$

$$V_{br2} = n \cdot V_{ie1} + V_{re1} \quad (4.20)$$

A tabela 4.2 resume os resultados de dimensionamento de diodos P / N protegidos por anéis de guarda difundidos, onde é mostrada a tensão de ruptura V_{br} calculada em função do número de anéis de guarda e do tipo da estrutura utilizada.

Tabela 4.2 - Dimensionamento de diodos de alta tensão.

Diodo	Estr.	No. anéis	V _{br} (1)		Unid.
			Mín (2)	Típ (3)	
D1	1	4	63	112	V
D2		6	77	148	
D3		8	91	183	
D4	2	2	111	129	V
D5		4	126	180	
D6 (4)		4	?	180	
VDMOS-AT		6	141	196	

(1) Tensão máxima entre 155 e 277 volts;

(2) Situação de pior caso quanto aos parâmetros de processo e desvios dimensionais;

(3) Valor típico, considerando os valores médios de todas as variáveis envolvidas;

(4) Diodo com cantos em ângulo reto; não se pode prever o valor mínimo de V_{br} .

Segundo a referência [4.2], a ruptura de uma junção planar real ocorre preferencialmente nas regiões de maior curvatura da junção. Máscaras de difusão (ou que definam regiões P / N difundidas ou implantadas) com cantos em ângulo reto, resultam em junções com regiões esféricas e cilíndricas, conforme mostrado na figura 2.1 do capítulo 2.

A região esférica da junção corresponde àquela de maior curvatura, que rompe nas tensões definidas pelas equações (4.10) e (4.12), respectivamente para as difusões de poço P e P+.

As regiões esféricas de uma junção real podem ser evitadas se a máscara de difusão apresentar cantos arredondados, com raios de curvatura maiores que 5 vezes o valor de W_{cp} da equação (4.9). Isto equivale a dizer que a região esférica tende para cilíndrica, tal como foi demonstrado no item 2.2.6.

A ruptura em modo cilíndrico também pode ser calculada pela metodologia desenvolvida no item 2.4.2, e vale:

a) Junção poço P / substrato N- :

$$94,5 < V_{rc1} < 145,5 \text{ volts} \quad (4.21)$$

b) Junção P+ / substrato N- :

$$41,0 < V_{rc2} < 61,0 \text{ volts} \quad (4.22)$$

Os valores das equações (4.21) e (4.22) são sensivelmente maiores, do que aqueles em (4.10) e (4.12), e se fossem utilizados no dimensionamento das estruturas de anéis de guarda levariam a uma redução do número de anéis dos diodos de alta tensão na tabela 4.2.

Com vistas à avaliação da transição da tensão de ruptura do modo esférico para o modo cilíndrico, foram planejados quatro diodos P / N de baixa tensão com raios de curvatura R_m dos cantos da máscara de Si-poli (que limita a implantação P+) progressivamente maiores. A tabela 4.3 relaciona as características de tais diodos.

Tabela 4.3 - Diodos de baixa tensão.

Diodo	R_m (micra)	V_{br} mínimo calculado (volt)
D7	0	19,4
D8	50	(2)
D9	100	(2)
D10	150	40,0 (1)

(1) Valor estimado, supondo que seja atingido o limite mínimo de ruptura cilíndrica.

(2) Valor intermediário a 19,4 e 41,0 volts.

As medidas experimentais a serem realizadas sobre tais diodos permitirão avaliar de que forma se efetua a transição modo esférico / modo cilíndrico e propor um modelo para este comportamento, de modo que o dimensionamento das estruturas de anéis de guarda difundidos, descrito acima, possa ser otimizado.

4.1.2 Os transistores VDMOS.

Como visto no item 2.4.1, a tensão de ruptura de uma junção P / N é definida pela estrutura de periferia que a circunda. No caso do projeto POTMOS, foi utilizada a terminação por anéis de guarda difundidos em diodos P / N. Esta estrutura se aplica também aos transistores DMOS, cuja junção dreno / "substrato" (poço P) é polarizada reversamente.

Quanto à capacidade de corrente do transistor, o modo mais simples de aumentá-la é por meio da utilização de diversos dispositivos unitários, conectados em paralelo. Isto sugere uma arquitetura multicelular da parte ativa do transistor, onde cada célula é dimensionada de forma a minimizar a área ocupada e a maximizar sua condutância.

A célula VDMOS, vista da superfície, pode ser construída com diversas geometrias diferentes, tais como triângulos, quadrados, retângulos, losangos, hexágonos, círculos, etc.

As formas mais utilizadas industrialmente são os triângulos equiláteros, quadrados e hexágonos. A figura 3.8 do item 3.1 mostra dois exemplos de transistores VDMOS industriais. Do ponto de vista da fabricação de máscaras, a forma quadrada é a mais facilmente executada, pois resulta numa representação em coordenadas numéricas ortogonais, minimizando a quantidade de dados necessários para descrevê-la.

Para o projeto PDMOS, utilizou-se células quadradas regularmente espaçadas e alinhadas numa disposição matricial. A figura 4.4.a mostra as duas variáveis que definem a matriz de células:

"r" $\equiv$ largura da célula;

"l" $\equiv$ espaçamento entre células.

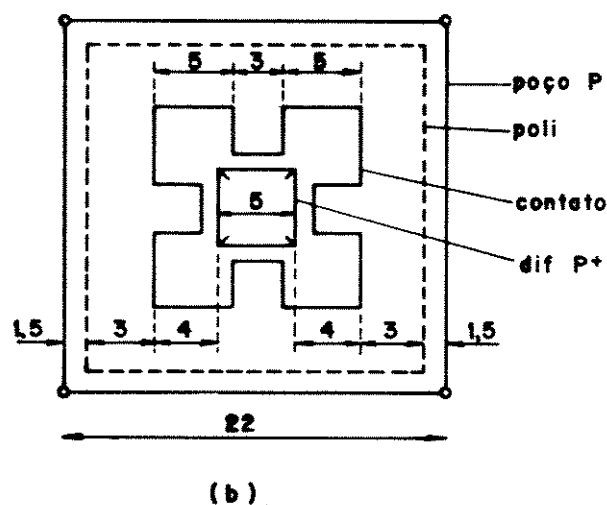
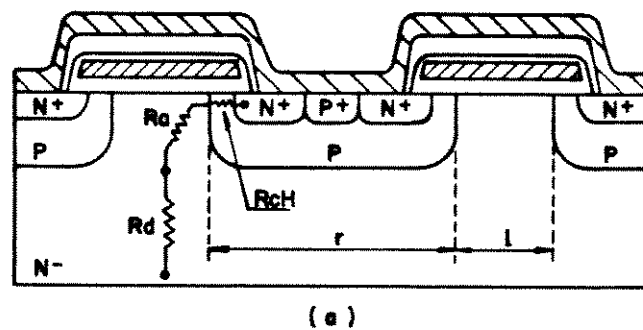


Figura 4.4 - Matriz VDMOS: vistas de corte (a) e de topo (b).

A variável r é definida em função das Regras de Projeto do fornecedor do processo e de critérios para definição do comprimento de canal do transistor.

A figura 4.4.b mostra a vista de topo da célula VDMOS projetada, segundo as regras de projeto do processo CMOS - A da tabela 1.7. A área desenhada possui largura de 22 micra, mas considerando a difusão lateral do poço P (máscara mais externa), tem-se:

$$29,2 < r < 31,0 \text{ micra} \quad (4.23)$$

$$r \text{ (típ)} = 30 \text{ micra} \quad (4.24)$$

A variável l é escolhida em função de critérios de desempenho do transistor, como foi visto no item 3.2.5.

A figura 4.4.a mostra as componentes de R_{on} , segundo o modelo desenvolvido no item 3.2. Neste cálculo, considerou-se:

$$R_{ons} = R_{chs} + R_{as} + R_{ds} \quad (4.25)$$

$$R_{on} = R_{ons} / S \quad (4.26)$$

No item 3.2.5 foi demonstrado que R_{on} pode ser minimizado em função da forma da célula e dos parâmetros " r " e " l ".

O procedimento de cálculo proposto no item 3.2.5 [4.3] foi implementado em BASIC num microcomputador Apple - Unitron. Foram realizados cálculos considerando $r = 30 \text{ micra}$ e os valores típicos dos parâmetros do processo CMOS - A do capítulo 1, permitindo obter os seguintes resultados:

a) Espaçamento ótimo " l " entre 3,0 e 5,0 micra;

b) Resistências mínimas na condição do espaçamento ótimo:

$$\begin{aligned} R_{chs} &= 0,002 \text{ ohm.cm}^2 \\ R_{as} &= 0,011 \text{ ohm.cm}^2 \\ R_{ds} &= 0,085 \text{ ohm.cm}^2 \\ R_{ons} &= 0,098 \text{ ohm.cm}^2 \end{aligned} \quad (4.27)$$

c) Para $l = 10$ micra:

$$R_{ons} = 0,108 \text{ ohm.cm}^2 \quad (4.28)$$

Portanto, o espaçamento entre células "1" que minimiza R_{on} foi escolhido como sendo 5,0 micra.

No projeto POTMOS foram incluídas duas matrizes de transistores VDMOS de baixa tensão, com as seguintes características:

a) Matriz M1:

$$r = 30 \text{ micra}$$

$$l = 5 \text{ micra}$$

$$\text{Número de células} = 109$$

$$Z = 10.470,0 \text{ micra}$$

$$L = 5,0 \text{ micra}$$

$$S = 183.750 \text{ micra}^2$$

$$R_{ons} (\text{calculado}) = 0.098 \text{ ohm.cm}^2$$

$$R_{on} = 53,3 \text{ ohm} \quad (4.29)$$

b) Matriz M2:

$$r = 30 \text{ micra}$$

$$l = 10 \text{ micra}$$

$$\text{Número de células} = 76$$

$$S = 7.840,0 \text{ micra}$$

$$L = 5,0 \text{ micra}$$

$$S = 187.200 \text{ micra}^2$$

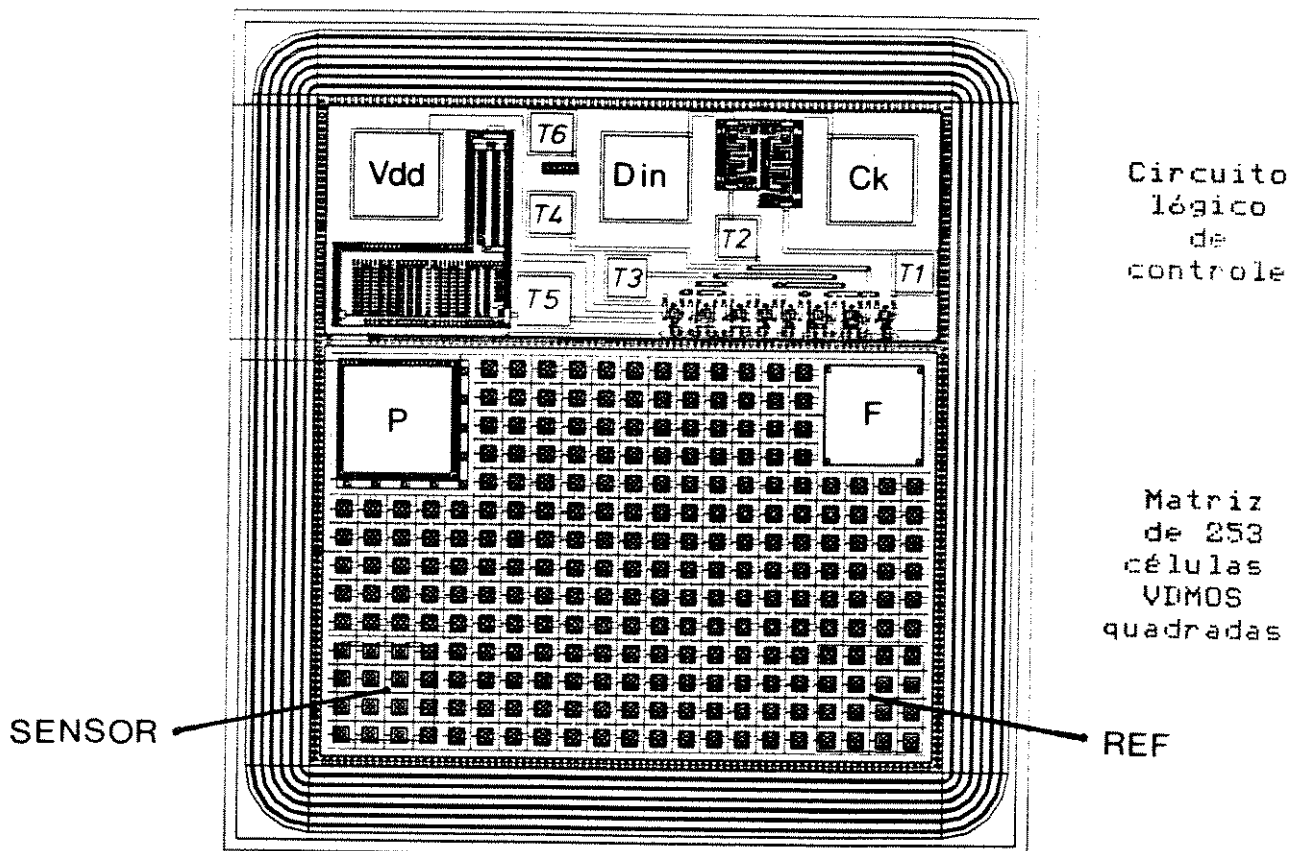
$$R_{ons} (\text{calculado}) = 0,108 \text{ ohm.cm}^2$$

$$R_{on} = 57,7 \text{ ohm} \quad (4.30)$$

As medidas experimentais a serem realizadas sobre M1 e M2 permitirão avaliar o modelo matemático desenvolvido no item 3.2, com relação a otimização de R_{on} .

4.1.3. O transistor VDMOS de alta tensão acionado por um circuito lógico de baixa tensão.

O projeto POTMOS inclui ainda um transistor VDMOS para alta tensão (VDMOS-AT), mostrado na figura 4.5, que foi concebido para ser utilizado como transistor MOS discreto ou como parte de um sistema mais complexo de acionamento ON-OFF, pois possui um circuito digital de controle a baixa tensão embutido na própria área ativa do dispositivo.



* Terminal de DRENO no substrato.

Figura 4.5 - O transistor VDMOS - AT.

A figura 4.6.a ilustra o diagrama elétrico do transistor VDMOS-AT, onde se nota a inclusão de terminais adicionais, denominados SENSOR e REF [4.4, 4.5], que correspondem respectivamente aos terminais "sense" e "kelvin" dos dispositivos comerciais:

- a) SENSOR - terminal de acesso à fonte de algumas células DMOS, para coletar uma amostra proporcional da corrente total que circula pelo transistor principal;
- b) REF - terminal de acesso ao eletrodo de fonte, interno à pastilha, com a finalidade de permitir coletar o potencial de fonte sem a influência da queda ôhmica presente no eletrodo de fonte principal.

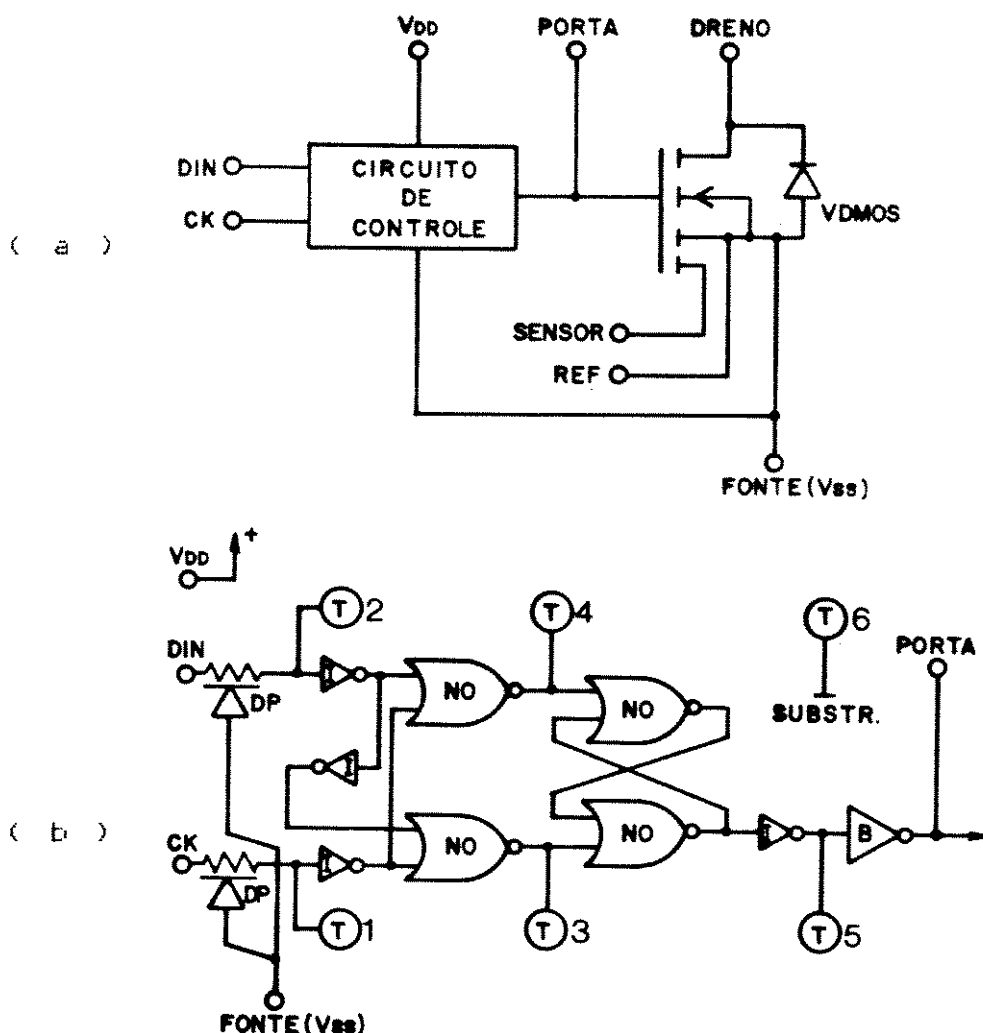


Figura 4.6 - Diagrama elétrico do transistor VDMOS - AT (a) e diagrama lógico do circuito de controle (b).

A alimentação do circuito de controle se faz pelos terminais VDD e FONTE, esta última normalmente conectada à terra (VSS). Os terminais IN e CK correspondem aos pontos de entrada de dados e de sinal de relógio do latch-II, respectivamente.

O transistor VDMOS-AT está protegido por seis anéis de guarda construídos segundo a estrutura 2 (ver item 4.1.1), o que permite teoricamente alcançar uma tensão reversa V_{br} na faixa de 141 a 196 volts, segundo a tabela 4.2. A tensão de ruptura deste dispositivo pode ser medida como se o mesmo fosse um diodo de alta tensão, fazendo a tensão de porta V_{gs} nula e medindo-se o diodo poço P / substrato N-.

A estrutura de anéis de guarda foi construída em torno de uma matriz de células DMOS e de uma região que contém o circuito de controle de baixa tensão, de forma a proteger toda a área ativa, submetida a tensões baixas, em relação ao eletrodo de dreno (parte N- do substrato), suscetível às altas tensões.

A matriz de células DMOS do transistor possui as seguintes características:

$$r = 30 \text{ micra}$$

$$l = 10 \text{ micra}$$

$$\text{Número de células} = 237$$

$$Z = 21.760,0 \text{ micra}$$

$$L = 5,0 \text{ micra}$$

$$S = 404.800 \text{ micra}^2 \quad (840 \times 560 \text{ micra})$$

$$R_{on} = 26,7 \text{ ohm} \quad (4.31)$$

A área destinada à conexão com o terminal SENSOR possui as seguintes características:

$$r = 30 \text{ micra}$$

$$l = 10 \text{ micra}$$

$$\text{Número de células} = 16$$

$$Z = 1.280,0 \text{ micra}$$

$$L = 5,0 \text{ micra}$$

$$S = 25.600 \text{ micra}^2$$

$$R_{on} = 421,9 \text{ ohm} \quad (4.32)$$

A tomada de contato do eletrodo de porta foi construída segundo o corte transversal da figura 4.7.a. A figura 4.7.b mostra o corte transversal para o eletrodo de fonte. As tomadas de contato para os terminais SENSOR e REF são feitas diretamente sobre a camada de alumínio que recobre as células IMOS.

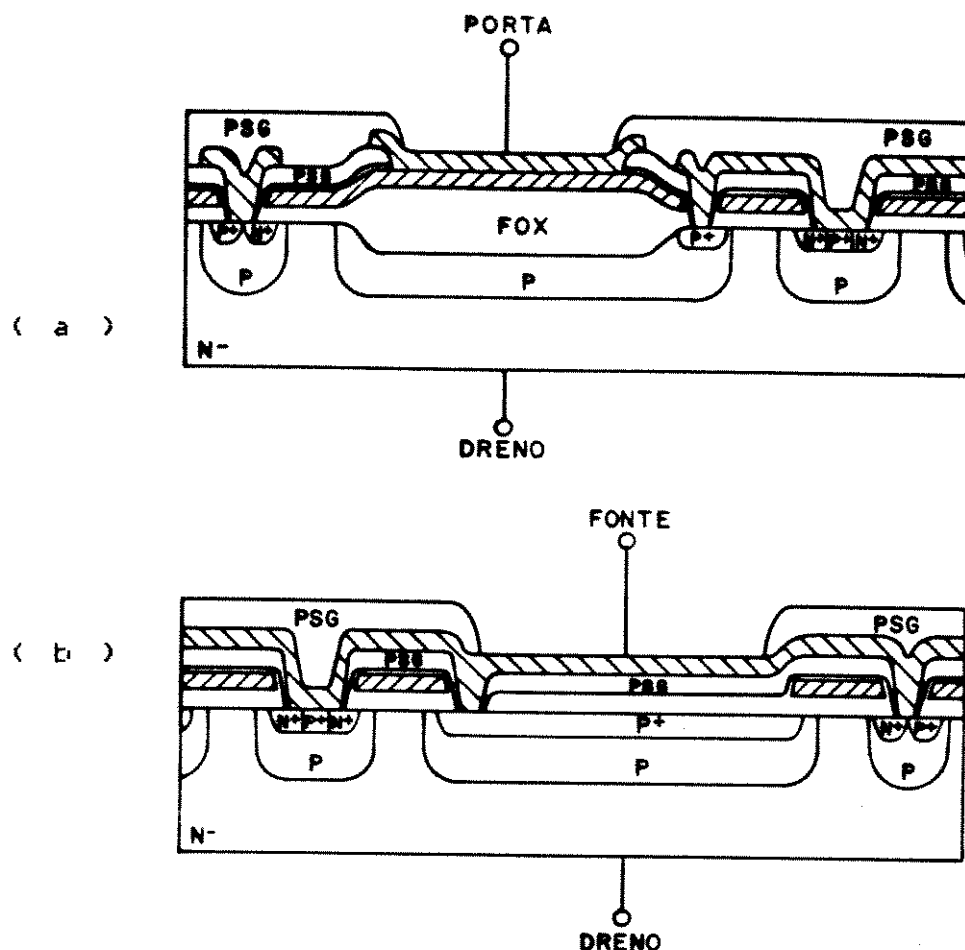


Figura 4.7 - Cortes transversais das tomadas de contato de porta (a) e de fonte (b).

O processo de fabricação CMOS - A impõe uma restrição quanto à implementação do circuito de controle do VDMOS-AT. Como visto em 1.2.4, qualquer circuito de baixa tensão deve ser circundado pelos anéis de guarda difundidos. Por outro lado, o substrato N- constitui o eletrodo de dreno, de forma que qualquer junção que opere em potencial diferente do de dreno, deve ser isolada e construída dentro de um poço P, polarizado no potencial de fonte (0 volt). Isto implica que qualquer circuito de controle deve ser do tipo NMOS, com transistor de carga tipo enriquecimento, dado que o processo não permite a construção de transistores tipo depleção.

A figura 4.6.b mostra o diagrama lógico do circuito de controle idealizado. Trata-se de um latch-II seguido de inversores "buffer" para o acionamento do eletrodo de porta do transistor.

Este circuito funciona como uma chave ON - OFF eletrônica, que memoriza a informação de "liga" ou "desliga".

Apesar de simples, este circuito de controle é particularmente útil para o estudo do efeito de chaveamento de um transistor de potência sobre circuitos bi-estáveis, principalmente quando grandes variações de tensão provocam correntes de substrato que são injetadas no poço P e coletadas pelas junções dos circuitos de controle NMOS.

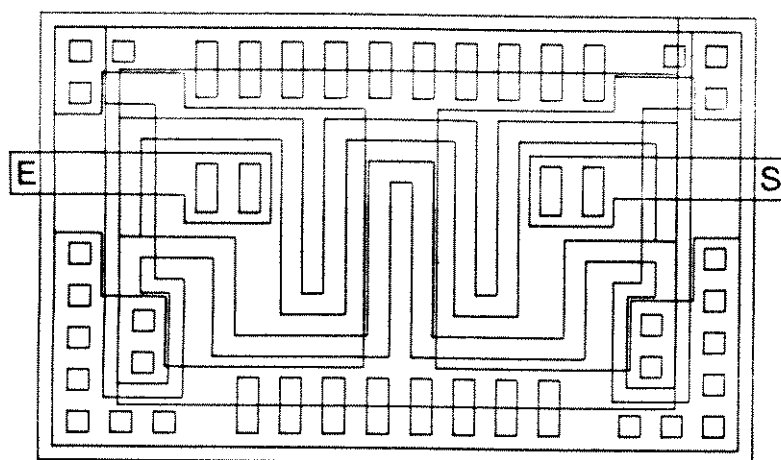
A figura 4.6.b mostra também seis PAD's para verificação do funcionamento do circuito. O contato de "substrato" (poço P) permite, por exemplo, detetar correntes injetadas por efeito do chaveamento do transistor VDMOS-AT.

Foram utilizadas cinco células NMOS diferentes para o projeto do circuito de controle. O dimensionamento dos circuitos ativos NMOS foi realizado de acordo com o cap. 4 da referência [4.6], utilizando uma relação "driver" / carga maior que 20 para garantir um nível lógico "0" menor que 0,4 volts. Seguem algumas características das células projetadas:

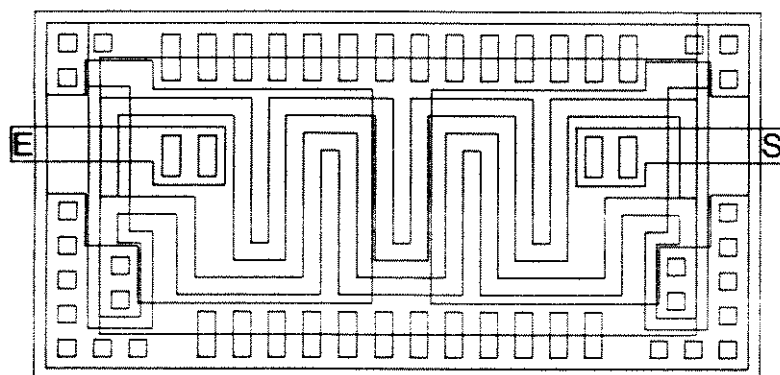
- a) PROT 1 - circuito de proteção de entrada (versão 1), constituído por diodos N+ / P para o terra (VSS) e por efeito "punch-through" para VSS. A proteção contra ESD positivo se dá por avalanche dos diodos N+ / P e "punch-through" do resistor difundido N+. Para ESD negativo, ocorre condução direta das junções N+/P.

A figura 4.8.a mostra a célula PROT 1 , que possui as seguintes características:

- área de diodo = 965 micra²
- resistência série = 1,0 K ohm (tip)
- Zpt = 314,0 micra
- Lpt = 3,0 micra
- área da célula = 6.175 micra² (95x65 micra)



(a)



(b)

Figura 4.8 - Layout dos circuitos PROT 1 (a) e PROT 2 (b).

b) PROT 2 - versão 2 do circuito PROT 1, com W_{pt} maior, como mostra a figura 4.8.b. Possui as seguintes características:

- Área de diodo = $1,175 \text{ micra}^2$
- resistência série = $1,7K \text{ ohm (tip)}$
- $Z_{cpt} = 462,0 \text{ micra}$
- $L_{pt} = 3,0 \text{ micra}$
- Área da célula = $8,125 \text{ micra}^2$ ($125 \times 65 \text{ micra}$)

c) INV - inversor elementar NMOS. A figura 4.9 mostra a célula inversora, que apresenta as seguintes características:

- Z (driver) = 16,5 micra
- L (driver) = 3,0 micra
- Z (carga) = 3,0 micra
- L (carga) = 12,0 micra
- razão driver / carga = 22
- área da célula = 1,944 micra² (36x54 micra)
- passo da grade = 6,0 micra
- t (subida) = 45 ns (simulado)
- t (descida) = 15 ns (simulado)
- C (carga) = 0,1 pF (Fan-Out = 2)

d) 2NOR - porta lógica NOR de duas entradas, cujo layout mostrado na figura 4.10:

- Z (driver) = 16,5 micra (cada entrada)
- L (driver) = 3,0 micra (cada entrada)
- Z (carga) = 3,0 micra
- L (carga) = 12,0 micra
- razão driver / carga = 22
- área da célula = 2,592 micra² (48 x 54 micra)
- passo da grade = 6,0 micra
- t (subida) = 45 ns (simulado)
- t (descida) = 15 ns (simulado)
- C (carga) = 0,05 pF (Fan-Out = 1)

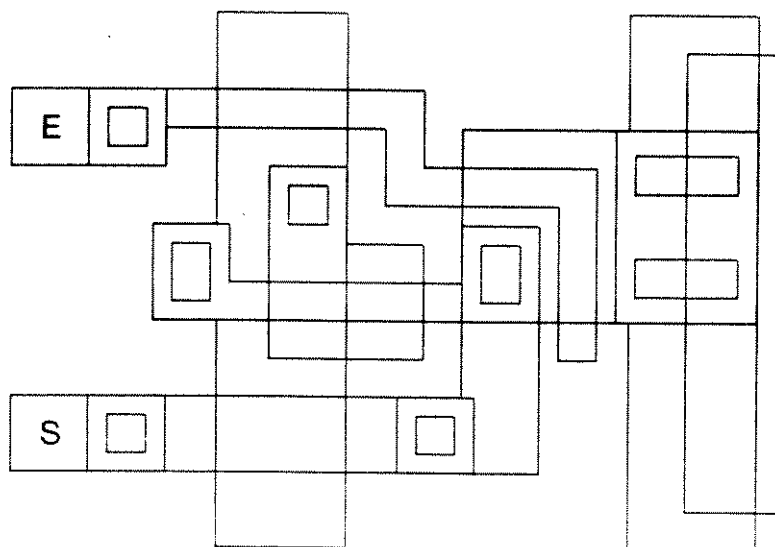


Figura 4.9 - Layout da célula inversora INV.

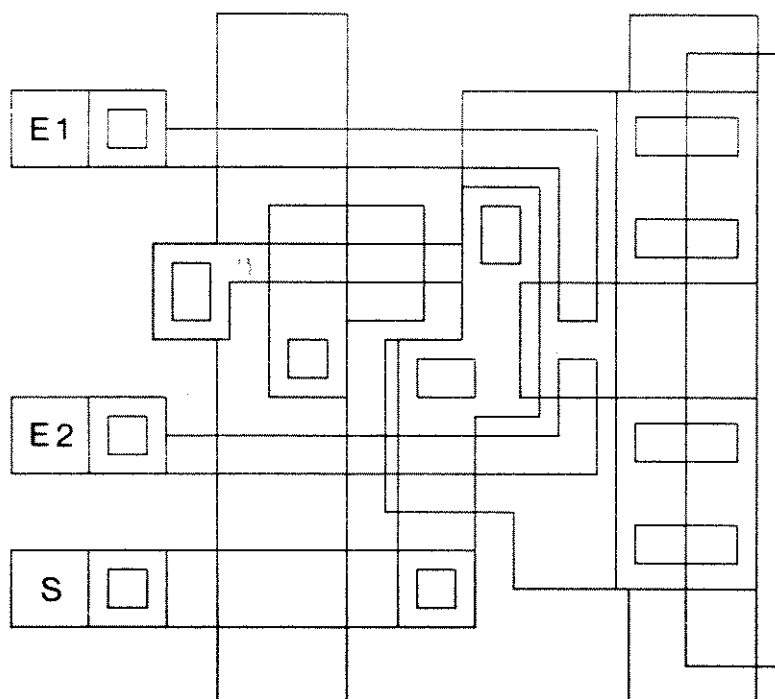


Figura 4.10 - Layout da célula 2NOR.

e) INVBUF - inversor "buffer" para acionar cargas capacitivas acima de 100 pF. A figura 4.11 mostra esta célula, cujas características são:

- Z (driver) = 1.235,0 micra
- L (driver) = 3,0 micra
- Z (carga) = 136,0 micra
- L (carga) = 9,0 micra
- razão driver / carga = 27
- área da célula = 74.100 micra² (260 x 285 micra)
- t (subida) = 1.300 ns (simulado)
- t (descida) = 300 ns (simulado)
- C (carga) = 180 pF (tip)

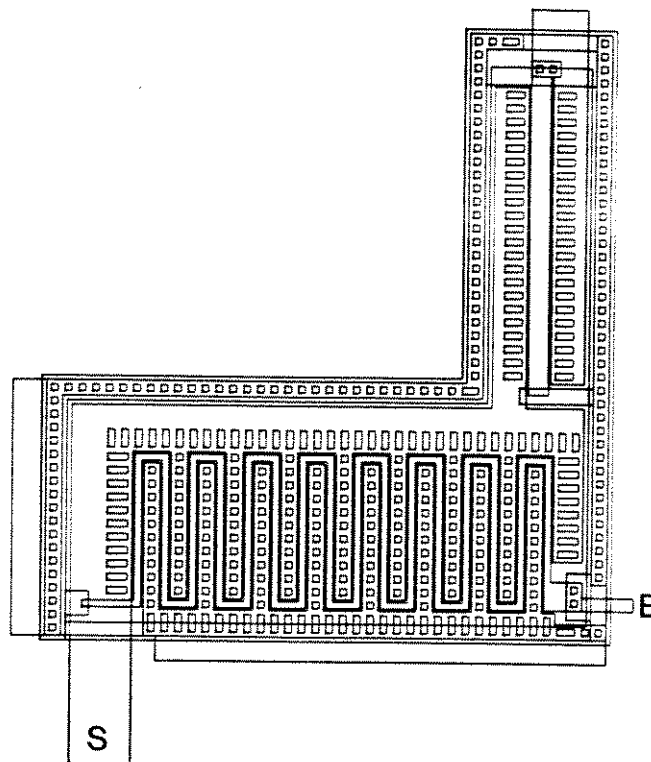


Figura 4.11 - Layout da célula INVBUF.

As informações relativas ao desempenho das células INV, 2NOR e INVRUF foram obtidas de simulações SPICE (versão 2G6) utilizando parâmetros de simulação fornecidos no Projeto Multi-usuário (PMU) [4,7].

A figura 4.12 mostra o layout do circuito de controle. O latch tipo D foi montado a partir dos blocos lógicos 2NOR e INV e o posicionamento das células foi realizado manualmente, de forma a:

- a) Evitar cruzamentos desnecessários entre linhas de clock e sinais da malha de realimentação do latch;
- b) Equalizar as distâncias das linhas de Si-poli na malha de realimentação.

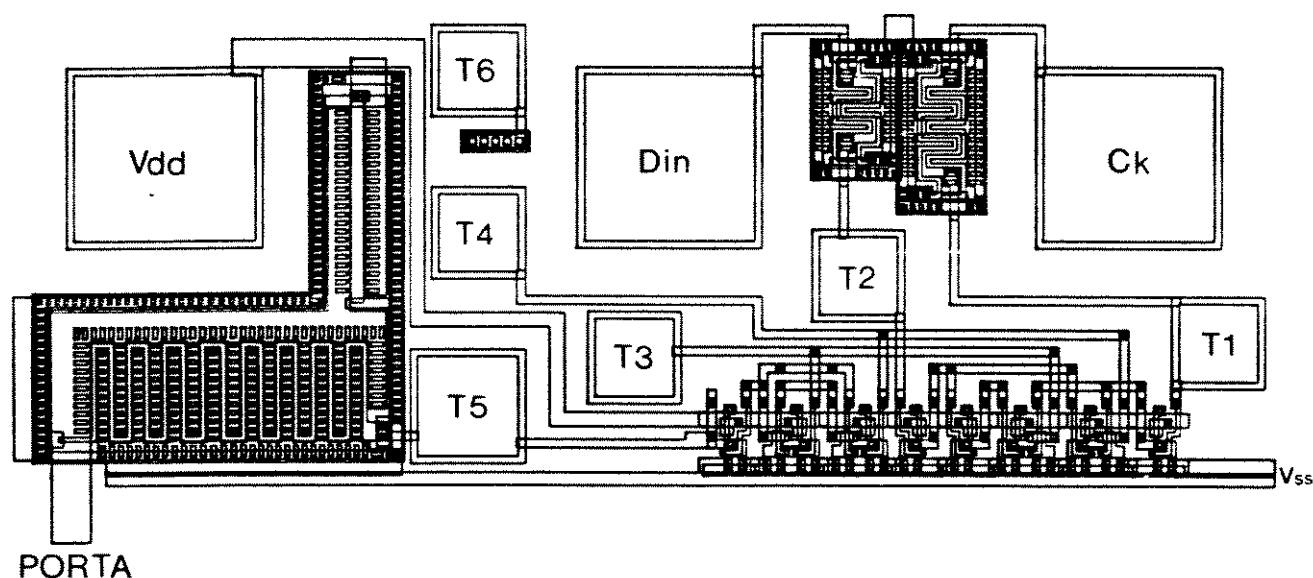


Figura 4.12 - Layout completo do circuito de controle do transistor VDMOS - AT.

Os PAD's principais do circuito (CK, DIN e VDD) foram posicionados nas extremidades do CI, de forma a facilitar a soldagem de fios de interligação durante o encapsulamento, e possuem dimensão de 128 x 128 micra.

Os PAI's adicionais para caracterização dos blocos do circuito foram posicionados internamente e possuem dimensões mínimas de 65 x 65 micra, destinando-se ao uso de microprovetores. Os acessos permitidos por estes PAI's podem ser vistos no diagrama da figura 4.6.b.

As células INV e 2NOR foram concebidas segundo uma altura padrão de 54 micra e largura variável. Esta medida abre uma perspectiva à expansão do número de células disponíveis, permitindo a criação de uma biblioteca de células segundo a metodologia de células-padrão.

4.1.4 O circuito integrado POTMOS.

A figura 4.13 mostra a planta baixa do CI POTMOS, indicando o posicionamento dos diversos elementos de circuito descritos nos itens anteriores. É mostrada a posição dos diodos de alta tensão D1 a D6, dos diodos de baixa tensão D7 a D9, das matrizes de transistores M1 e M2 e do transistor VDMOS-AT. O diodo D10 foi posicionado na área do CI de Estruturas de Caracterização de Processo ETP-1 (vide ref. [4.8]).

O elemento LEG corresponde à legenda de identificação do CI POTMOS. O elemento CAP é um capacitor MOS para caracterização do parâmetro de processo N_d , discutido em detalhe no Documento Técnico do Projeto do CI ETP-1 [4.8].

A figura 4.14 faz o diagrama de solda referente aos 10 protótipos encapsulados numa cápsula cerâmica DIP (Cerdip) de 24 pinos.

O procedimento de medida e caracterização do CI POTMOS está discutido na ref. [4.9].

O restante dos PAI's não encapsulados podem ser medidos por meio de um sistema microprovetor.

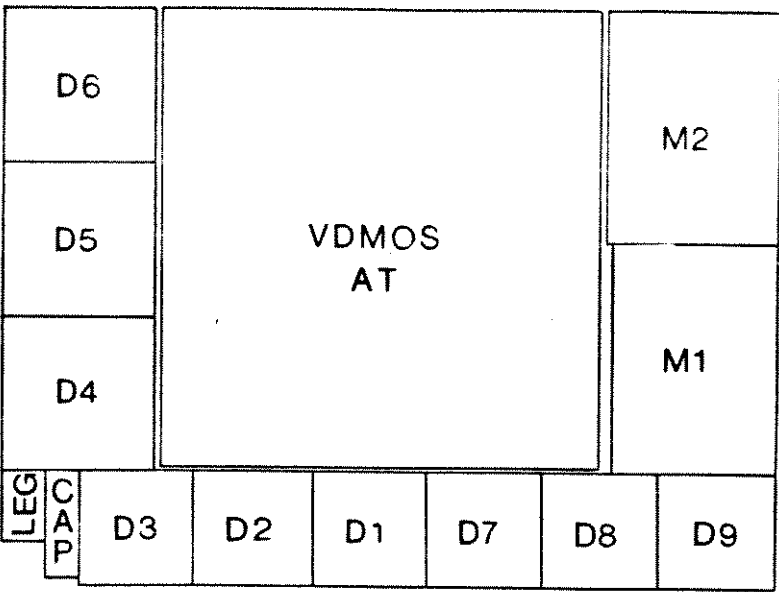


Figura 4.13 - Planta baixa do CI POTMOS.

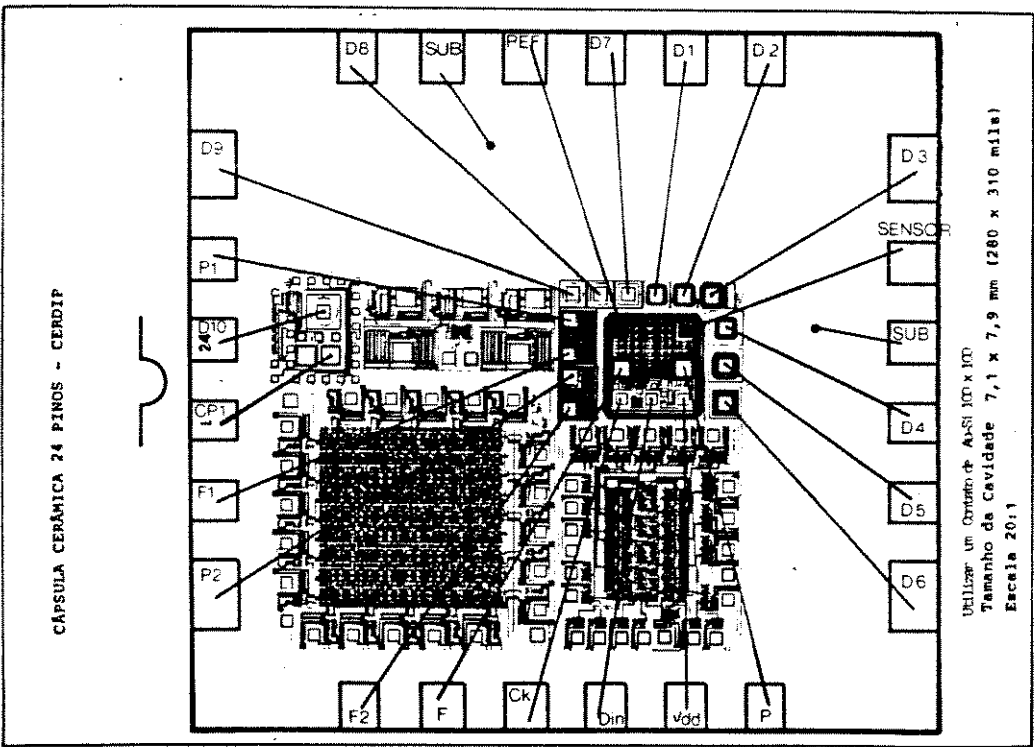


Figura 4.14 - Diagrama de solda do CI POTMOS.

4.2 RESULTADOS EXPERIMENTAIS.

São descritos a seguir os resultados da caracterização visual e elétrica, realizadas sobre 10 protótipos do CI POTMOS.

4.2.1 Caracterização visual da pastilha POTMOS.

A figura 4.1 traz uma vista geral do desenho de layout original da pastilha POTMOS. A figura 4.15 mostra uma fotografia obtida sobre a pastilha real, após fabricação. Observa-se inicialmente que todas as estruturas foram reproduzidas fielmente pelo processo CMOS.

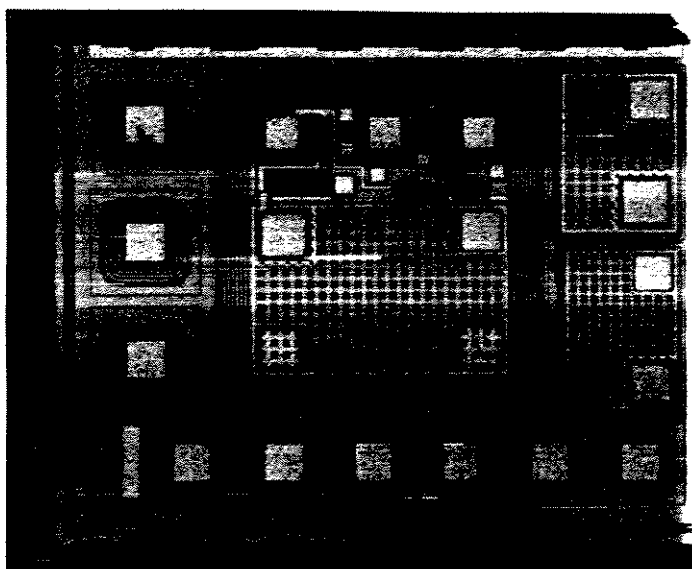


Figura 4.15 - Fotografia de vista geral do CI POTMOS.

As figuras 4.16 e 4.17 mostram detalhes dos diodos D1 a D5, respectivamente para as estruturas de terminação tipo 1 e 2. Nota-se claramente que não houve distorções dimensionais perceptíveis nos contornos curvos dos anéis de guarda. A segmentação das curvas em 4 segmentos de reta foi bem reproduzida pela litografia do processo.

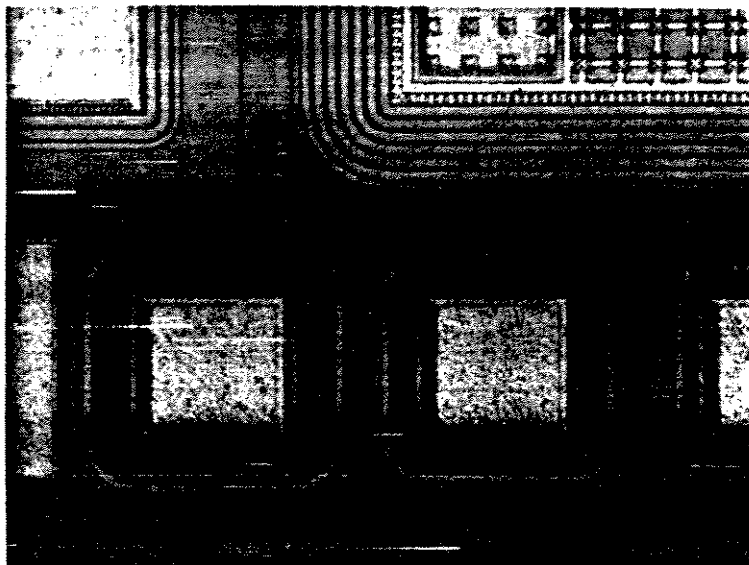


Figura 4.16 - Fotografia dos diodos D1, D2 e D3, estrutura 1.

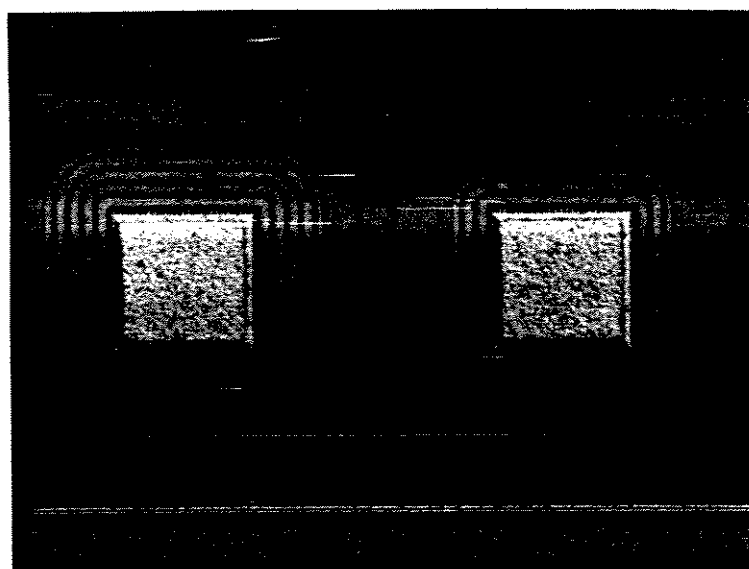


Figura 4.17 - Fotografia dos diodos D4 e D5, estrutura 2.

A figura 4.18 traz uma vista do transistor VDMOS M1, tendo ao lado parte da estrutura do transistor M2, que exceto pela distância inter-celular e pelo número de células, possui as mesmas características estruturais. Nota-se, nesta figura, que não são visíveis quaisquer defeitos estruturais quanto à matriz de transistores DMOS.

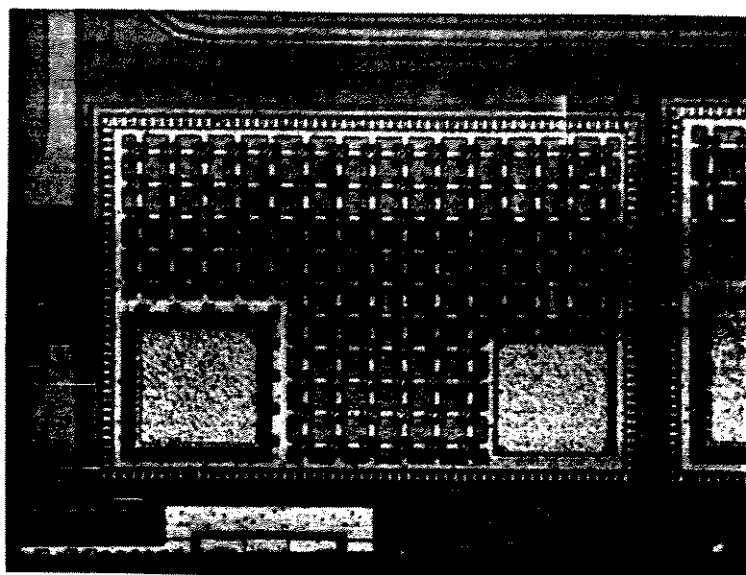


Figura 4.18 - Fotografia do transistor M1.

As figuras 4.19, 4.20 e 4.21 trazem, respectivamente, detalhes dos PAD's de interconexão de FONTE, SENSOR e PORTA do transistor VDMOS - AT, esta última mostrando também a interligação do eletrodo de porta com o estágio de "buffer" de excitação. A figura 4.20 mostra ainda em detalhe a estrutura de anéis de guarda utilizada no VDMOS-AT, que confirma a boa reprodutibilidade da segmentação das curvas.

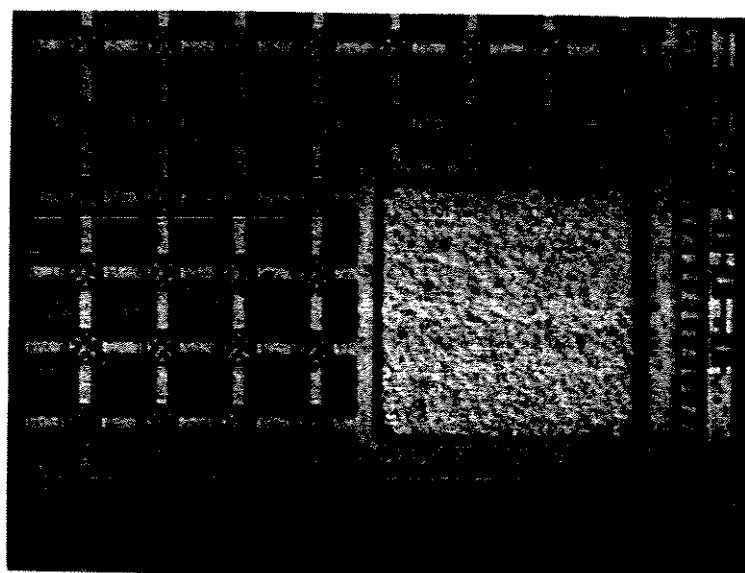


Figura 4.19 - Detalhe fotográfico do PAD de fonte do VDMOS - AT.

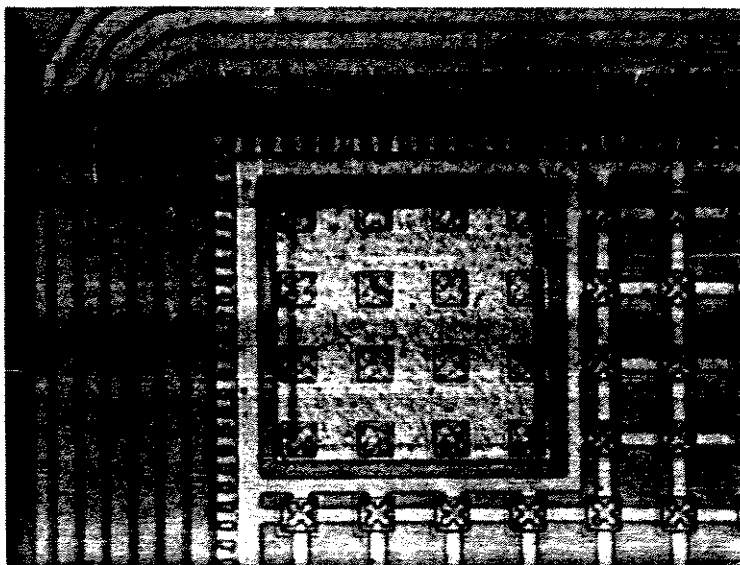


Figura 4.20 - Detalhe fotográfico do PAD sensor do VDMOS - AT.

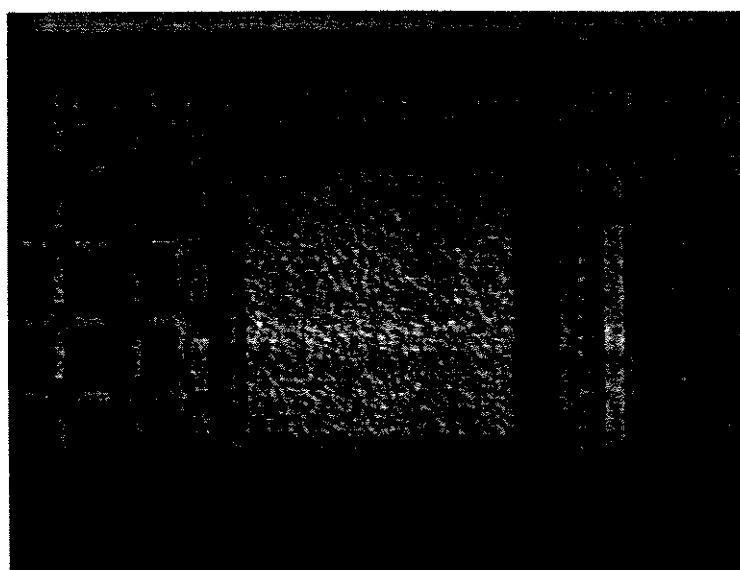


figura 4.21 - Detalhe fotográfico do PAD de porta do VDMOS - AT.

As figuras 4.22 e 4.23 ilustram detalhes fotográficos do estágio "buffer" saída e do circuito lógico de controle. Este último foi projetado por meio de regras mínimas de desenho, tal como mostra o detalhe da figura 4.24, na qual pode-se comparar as estruturas existentes com uma referência de 10 micra.

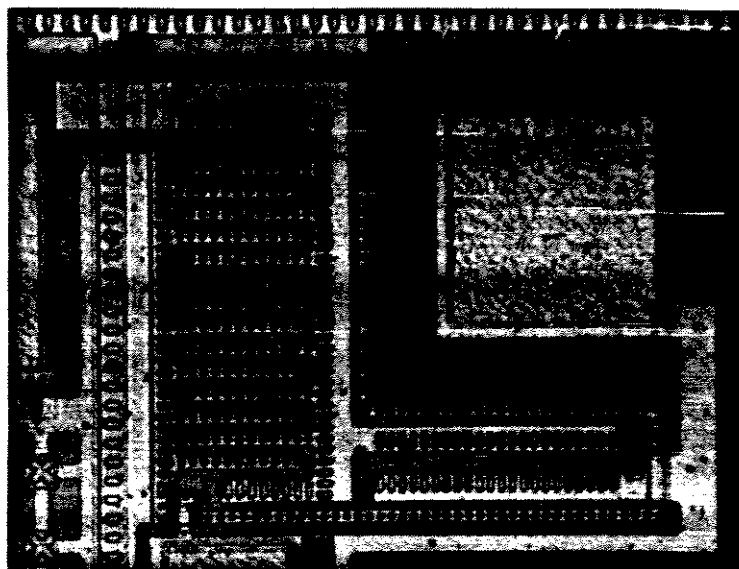


Figura 4.22 - Detalhe fotográfico do estágio "buffer".

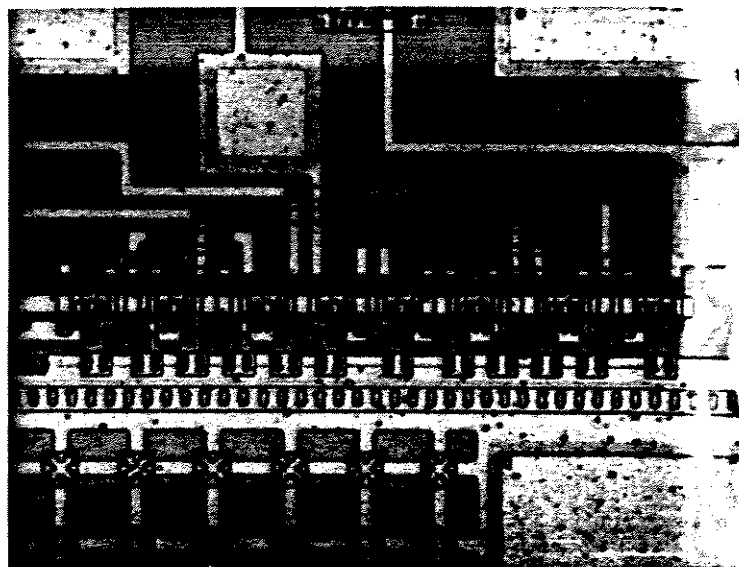


Figura 4.23 - Detalhe fotográfico do circuito lógico de controle.

Por fim, a figura 4.25 traz uma vista ampliada da matriz de células VDMOS tipo M2 utilizadas no transistor VDMOS-AT, onde pode-se observar o desalinhamento de máscara típico do processo.

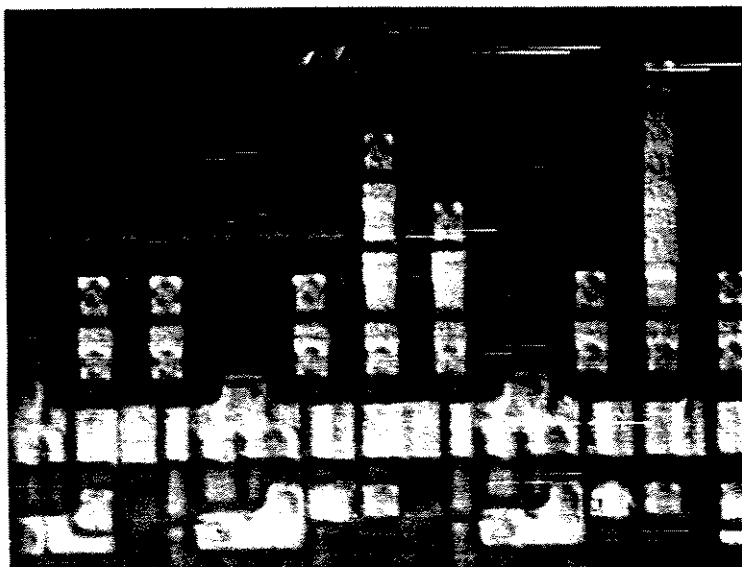


Figura 4.24 - Detalhe fotográfico evidenciando a resolução fotolitográfica do processo CMOS - A.



Figura 4.25 - Detalhe fotográfico da matriz de células M2 evidenciando o desalinhamento do processo.

Uma inspeção visual desta fotografia permite avaliar os desalinhamentos entre alguns níveis de máscara:

- a) Desalinhamento poço P / Si-poli: $\approx 1,3$ micra
- b) Desalinhamento Si-poli / contato: $\approx 0,7$ micra
- c) Desalinhamento contato / metal: (imperceptível)

Na figura 4.25 está indicada a direção resultante do desalinhamento. Não se pôde observar nenhum desalinhamento rotacional.

De qualquer forma, o dimensionamento da célula VDMOS, definida no item 4.1.2 foi suficiente para acomodar os desalinhamentos observados. O desempenho elétrico, por fim, poderá comprovar que a estrutura VDMOS proposta é plenamente funcional.

4.2.2 Comportamento das estruturas projetadas quanto à tensão de ruptura.

As figuras 4.26 a 4.28 trazem as curvas $I \times V$ de ruptura dos diodos D1, D2 e D3, que possuem anéis de guarda em difusão rasa P+ , em número de 4, 6 e 8, respectivamente, construídos segundo a estrutura de terminação 1, tal como mostra a figura 4.33.a.

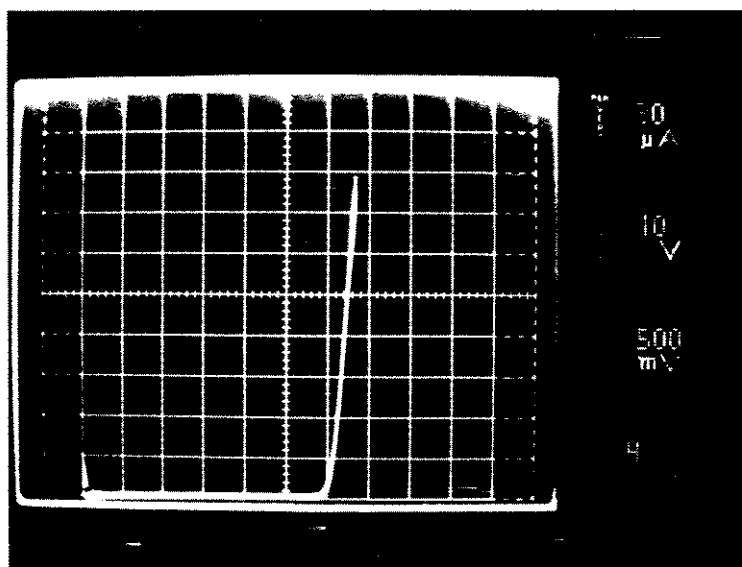


Figura 4.26 - Curva $I \times V$ típica do diodo D1.

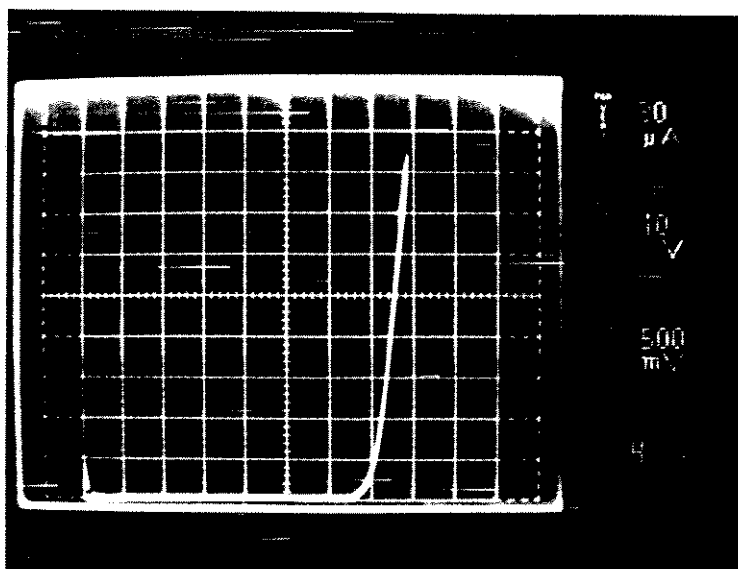


Figura 4.27 - Curva $I \times V$ típica do diodo D2.

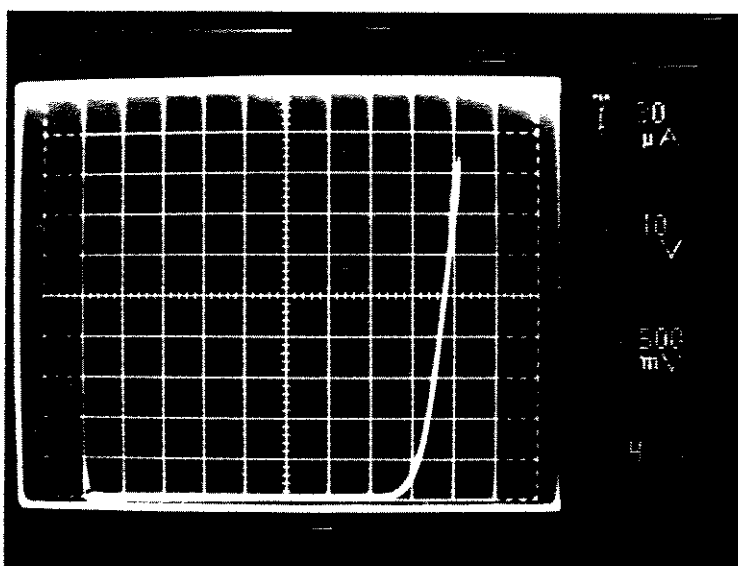


Figura 4.28 - Curva $I \times V$ típica do diodo D3.

As figuras 4.29 e 4.30 trazem, respectivamente, as curvas $I \times V$ para os diodos D4 e D5, com 2 e 4 anéis de guarda de poço P, segundo a estrutura de terminação 2 da figura 4.33.b.

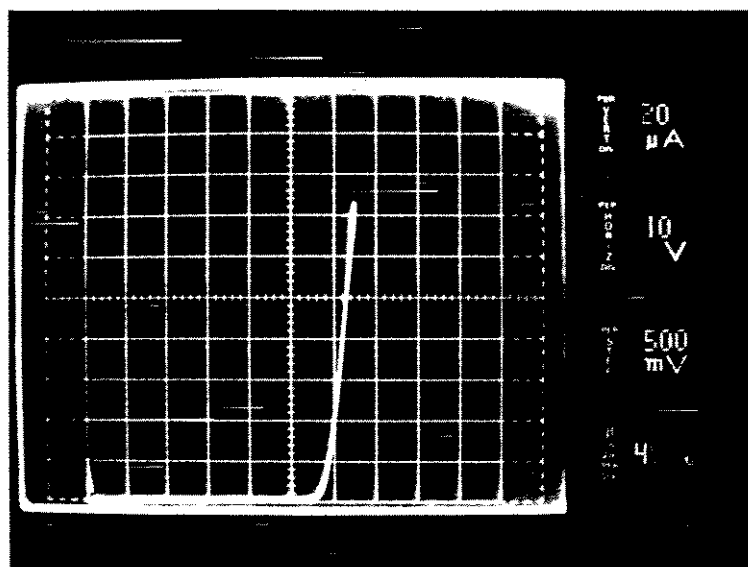


Figura 4.29 - Curva $I \times V$ típica do diodo D4.

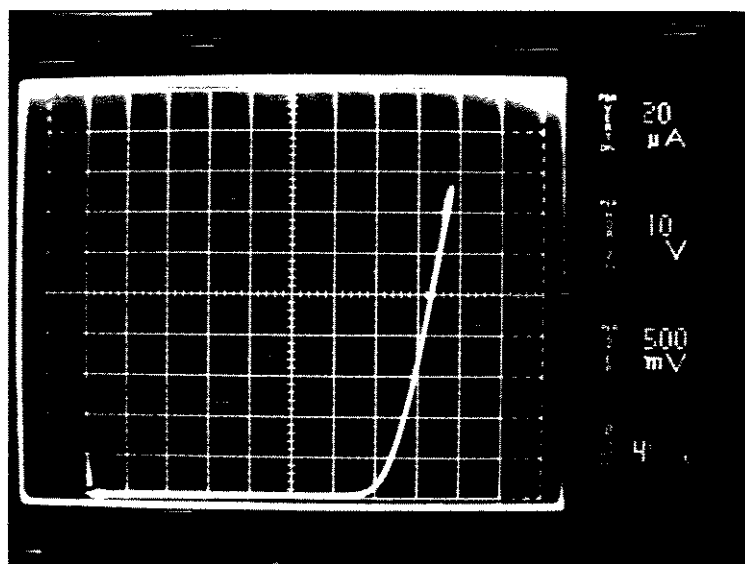


Figura 4.30 - Curva $I \times V$ típica do diodo D5.

A figura 4.31 ilustra as curvas $I \times V$ típicas dos transistores VDMOS M1 e M2, que não possuem anéis de guarda, mas têm somente uma placa de campo de Si-poli se estendendo até a região de óxido de campo, mostrado na figura 4.33.d.

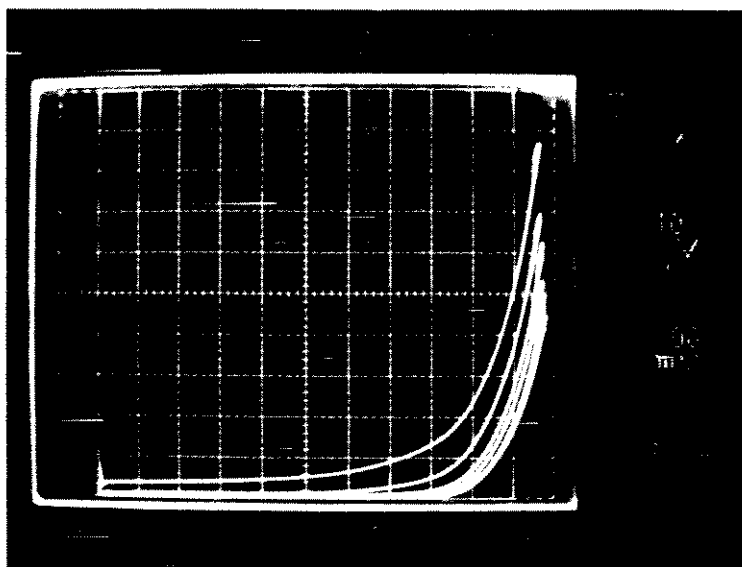


Figura 4.31 - Curvas $I \times V$ típicas dos transistores M1 e M2.

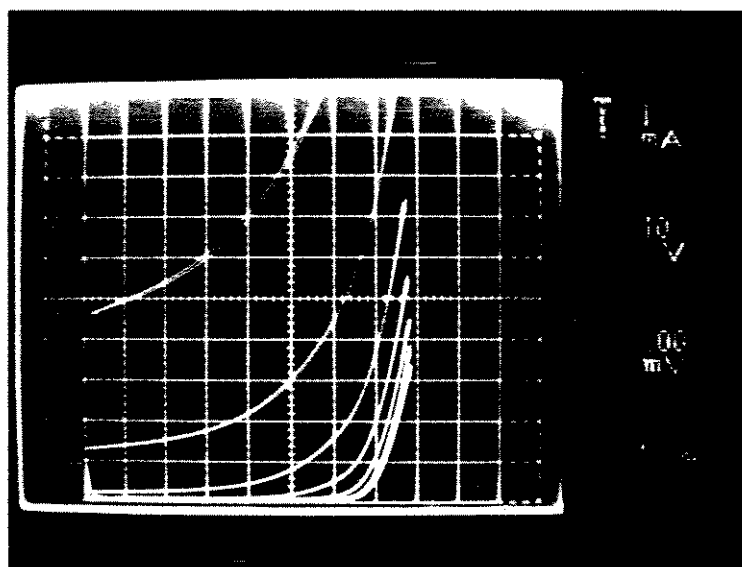
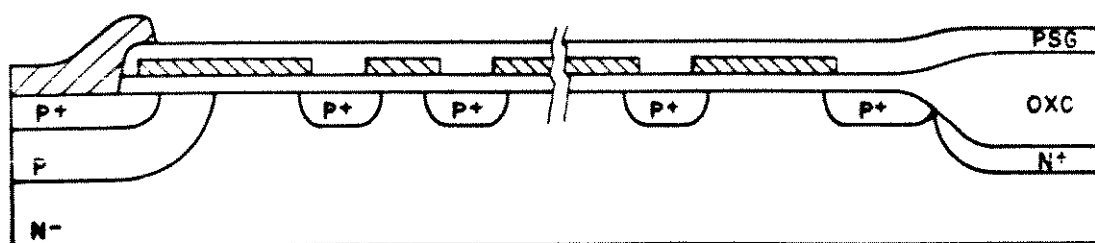
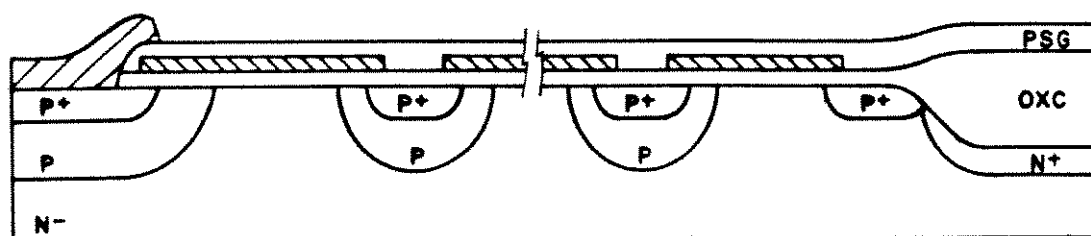


figura 4.32 - Curvas $I \times V$ típicas do transistores VDMOS - AT.

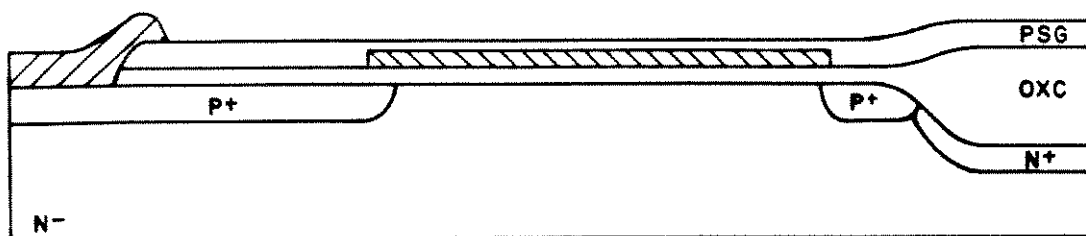
A figura 4.32 ilustra as curvas $I \times V$ típicas do transistor VDMOS - AT, cuja estrutura é dada na figura 4.33.e.



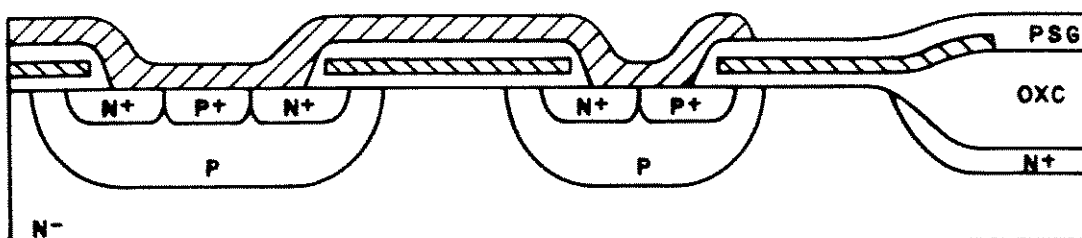
(a) DIODOS COM ESTRUTURA 1 = D1 e D3



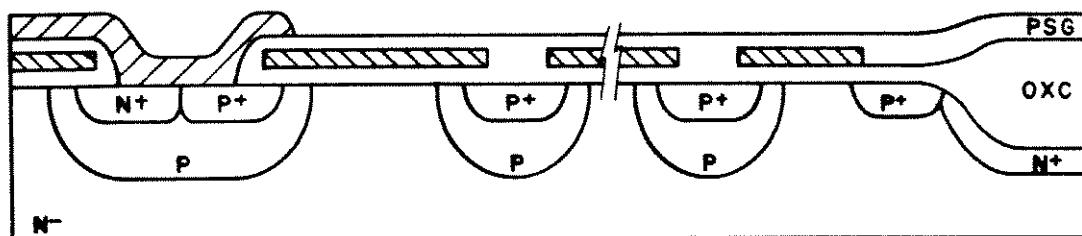
(b) DIODOS COM ESTRUTURA 2 = D4 e D6



(c) DIODOS SIMPLES D7 e D10



(d) TRANSISTORES M1 e M2



(e) TRANSISTOR VDMOS - AT

Figura 4.33 - Cortes transversais das estruturas do CI POTMOS.

O comportamento de ruptura dos diodos D6 a D10 será discutido no item 4.2.5, pelo fato dos mesmos não terem apresentado resultados dentro do previsto. A estrutura destes diodos pode ser vista na figura 4.33.c.

A tabela 4.4 resume os valores obtidos de medidas experimentais da tensão de ruptura V_{br} , realizadas sobre 10 protótipos do CI POTMOS.

Fez-se uso do seguinte critério para medida de V_{br} , por meio de um Traçador de Curvas Tektronix 576:

a) Para diodos D1 a D10, V_{br} é a tensão reversa aplicada V_a tal que a corrente reversa do diodo I_d vale 20 micro-amperes;

b) Para transistores, idem quando I_d valer 1,0 miliamperes.

As estruturas de terminação 1 e 2 não funcionaram como previsto pela teoria desenvolvida no item 2.4.2, como pode ser visto na tabela 4.4.

Os diodos D1 a D3 apresentam V_{br} progressivamente crescente com o número de anéis, o mesmo ocorrendo com os diodos D4 e D5. Isto indica haver alguma influência da estrutura de terminação no valor da tensão de ruptura final.

Para a estrutura 1, cada anel contribui com um acréscimo de V_{br} entre 4 a 5 volts, em média. Para a estrutura 2, este valor foi cerca de 1,5 a 4 volts. Em ambos os casos, o incremento da tensão de ruptura foi muito inferior ao previsto, como mostra a tabela 4.5.

Os diodos D1 a D3 apresentaram resultados de tensão de ruptura próximos à faixa de valores esperados, significando que a estrutura de terminação tipo 1 funciona parcialmente.

Já os diodos D4 e D5 apresentaram resultados totalmente fora da faixa de valores esperados, indicando que a estrutura de terminação 2 colabora muito debilmente para aumentar V_{br} , prevalecendo a tensão de ruptura cilíndrica da junção P+ dos anéis de guarda, na faixa de 41 a 61 volts.

A estrutura de terminação do diodo D6 não apresentou o efeito de aumento de aumento da tensão de ruptura V_{br} , tal nos diodos D4 e D5 (estrutura 2), indicando assim a existência de algum efeito não previsto no cálculo de V_{br} , relacionado ao fato dos cantos dos anéis de guarda serem em ângulo reto.

Tabela 4.4 - Resumo das Medidas de Vbr.

Estrutura	Vbr calculado (volt)		Vbr medido *		
	Mín	Máx	Mín	Méd	Máx
D1	63	112	56	61	63
D2	77	148	64	69	73
D3	91	183	72	79	84
D4	111	129	41	47	56
D5	126	180	44	52	64
D6	7	180	41	42	44
D7	19	(2)	-	(1)	-
D8	(2)	(2)	-	(1)	-
D9	(2)	(2)	-	(1)	-
D10	(2)	61	-	(1)	-
M1	67	96	64	89	106
M2	67	96	50	84	98
VDMOS-AT	141	196	48	51/74	88

* Medidas sobre 10 amostras, utilizando um traçador de curvas Tektronix 576.

(1) Durante a medida, os diodos D7-D10 apresentaram valores de Vbr maiores, porém sobrevinha um " efeito de joelho " fazendo a tensão de ruptura diminuir para cerca de 44 volts, como será visto no item 4.2.5.

(2) Valores teóricos intermediários a 19 e 41 volts.

Tabela 4.5 - Incremento de V_{br} .

Estrutura	Tensão Inter-anel Calculada		Tensão Inter-anel Medida *	
	Mín	Máx	Mín	Máx
1	15	71	4,0	5,0
2	7	38	1,5	4,0

* Medidas sobre 10 amostras, considerando a tensão de ruptura V_{br} para uma corrente reversa I_d de 1,0 microamper em diodos.

Os diodos D7 a D10 se comportaram de modo semelhante ao D6, e não evidenciaram o efeito do raio de curvatura de máscara R_m , apresentando todos o mesmo valor da tensão de ruptura. Ambos os efeitos acima citados serão discutidos no item 4.2.5.

A tensão de ruptura dos transistores M1 e M2 situou-se em média dentro da faixa de valores previstos, ou seja, entre os valores mínimo e máximo da tensão de ruptura esférica da junção de poço P, cerca de 67 a 96 volts.

Os valores de V_{br} acima desta faixa podem ser explicados pelo efeito de placa de campo, devido ao anel flutuante de Si-poli presente no extremo da estrutura, que normalmente tende a aumentar V_{br} na superfície (vide figura 4.33,d).

O transistor VDMOS-AT apresentou V_{br} menor do que esperado, além de um efeito de joelho, como mostra a figura 4.48. O mesmo raciocínio usado para os diodos D4 e D5 é aqui válido. No entanto, o transistor pode suportar, de forma estável, tensões reversas de até 110 a 120 volts, como mostra a figura 4.38, embora a ruptura se inicie suavemente a partir de 50 volts. Desconhece-se a priori a origem do efeito de joelho da figura 4.48.

4.2.3 Comportamento em condução dos transistores VDMOS.

As figuras 4.34 e 4.35 trazem, respectivamente, as curvas $I_{ds} \times V_{ds}$ do transistor VDMOS tipo M2 (M1 é estruturalmente semelhante) e do VDMOS-AT, nas imediações da origem do plano $I \times V$, onde é possível caracterizar a resistência de condução R_{on} dos dispositivos.

Nota-se que o aspecto das curvas $I_{ds} \times V_{ds}$ é normal, assemelhando-se em muito às curvas de transistores MOS comuns de baixa tensão. O inverso da declividade da curva $I \times V$, para V_{gs} a 5,0 volts, pode ser tomada como o valor de R_{on} , desde que V_{ds} esteja na faixa de 0 a 3,0 volts (região triodo). A tabela 4.6 resume os valores de R_{on} obtidos graficamente por meio de um Traçador de Curvas Tektronix 576.

Deve-se notar que o modelo de cálculo de R_{on} desenvolvido no item 3.2 superavalia o valor da resistência de condução em cerca de 20 a 25%, conforme verificado por Granadel [4.10].

A tabela 4.7 demonstra os valores de R_{ons} obtidos experimentalmente para os transistores VDMOS projetados.

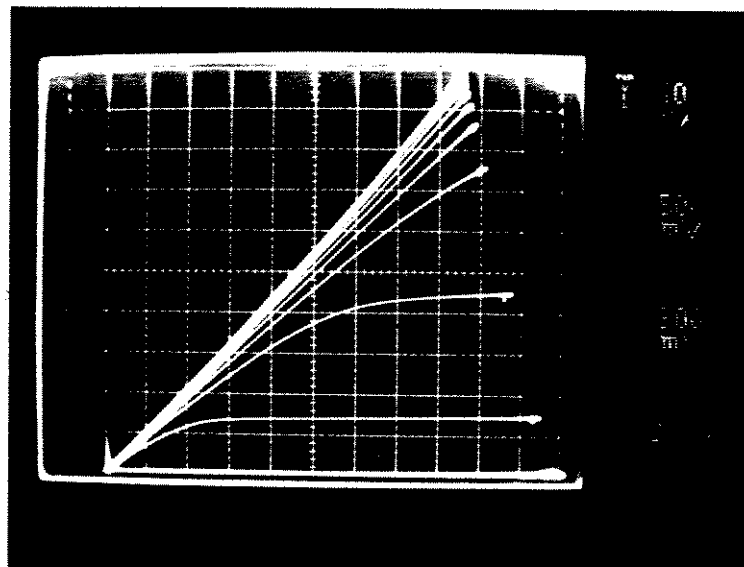


Figura 4.34 - Curvas $I \times V$ do transistor M2 para determinação de R_{on} .

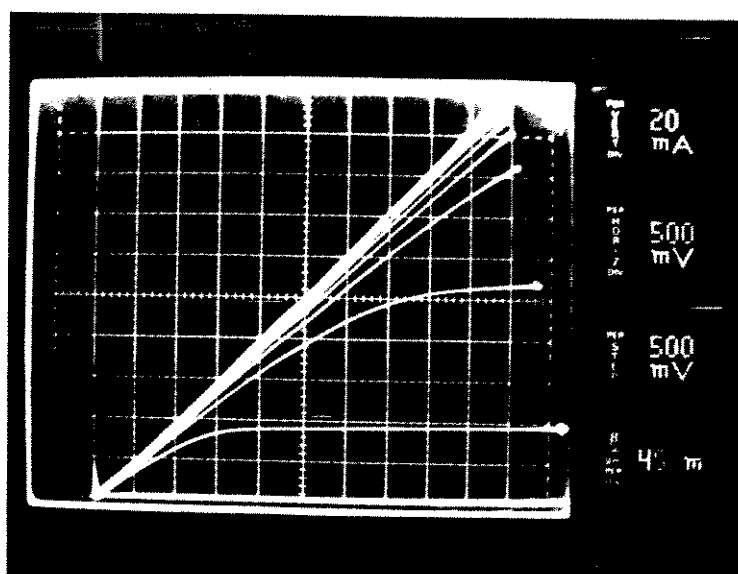


Figura 4.35 - Curvas $I \times V$ do transistor VDMOS - AT para determinação de R_{on} .

Tabela 4.6 - Resumo das medidas de R_{on} .

Transistor	R_{on} calculado (ohm)	R_{on} medido * (ohm)			Variação (%)
		Mín	Méd	Máx	
M1	53	34	41	50	-24
M2	58	31	38	48	-34
VDMOS-AT	28	17	19	23	-32

* Medidas sobre 10 amostras, utilizando um traçador de curvas Tektronix 576.

Tabela 4.7 - Valores experimentais de R_{ons} .

Transistor	$R_{ons} *$ (ohm . cm ²)
M1	0,075
M2	0,071
VDMOS-AT	0,077

* Valores calculados sobre os dados experimentais da tabela 4.6, considerando a área ativa de cada dispositivo.

Pode-se prever para as estruturas M1 , M2 e VDMOS-AT um valor de R_{ons} na faixa de:

$$R_{ons} = 75 \pm 5 \text{ mohm} . \text{cm}^2 \quad (4.33)$$

A figura 4.36 mostra a localização no plano $1 / R_{ons} \times V_{br}$ dos transistores VDMOS projetados, em comparação com estado da arte em termos de produtos comerciais e do limite teórico atualmente possível. Observa-se que os pontos experimentais obtidos não estão bem situados frente aos produtos comerciais. Isto se deve basicamente a dois fatores:

- O processo de fabricação não dispõe de camada epitaxial N-/N+, resultando num valor de resistência R_d elevado;
- A estrutura de anéis de guarda do transistor VDMOS-AT não funcionou adequadamente.

Medidas corretivas envolvendo o processo de fabricação e o projeto das estruturas de terminação, que permitiriam a otimização dos dispositivos, serão discutidas no item 4.3.

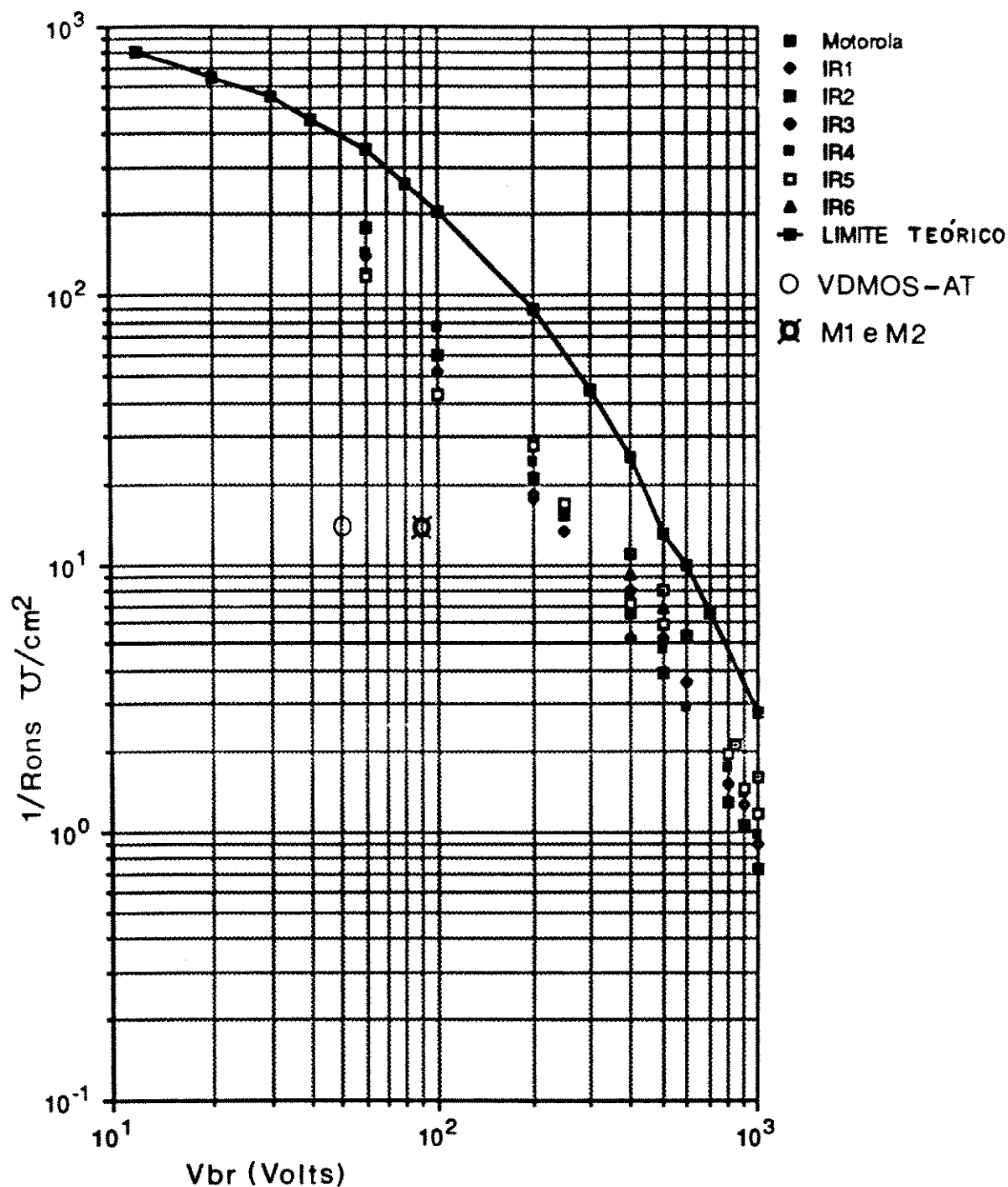


Figura 4.36 - Localização dos transistores VDMOS do projeto POTMOS no plano $1 / R_{ons} \times V_{br}$.

As figuras 4.37 e 4.38 mostram vistas gerais das curvas características $I_{ds} \times V_{ds}$, respectivamente para transistores M1 e VDMOS-AT (M2 é semelhante a M1). Pode-se assim observar o comportamento dos dispositivos, desde a região linear (V_{ds} menor que 10 volts) até as proximidades da região de ruptura.

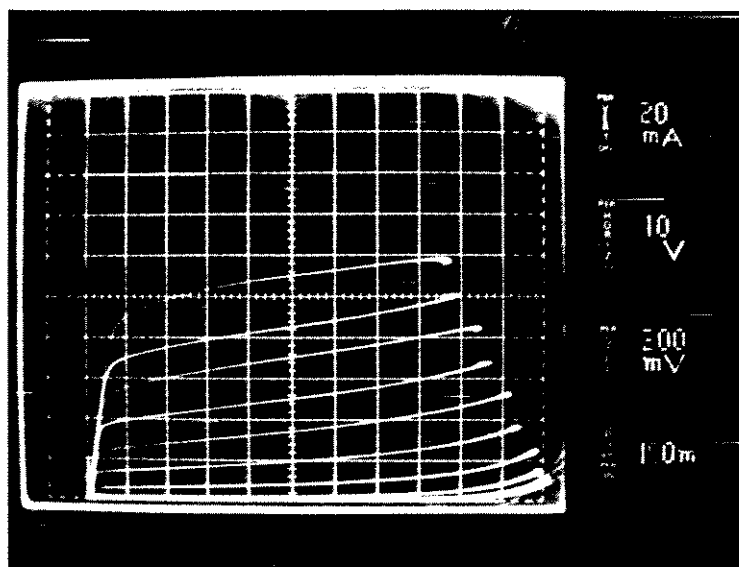


Figura 4.37 - Curvas $I \times V$ típicas dos transistores M1 e M2 (vista geral).

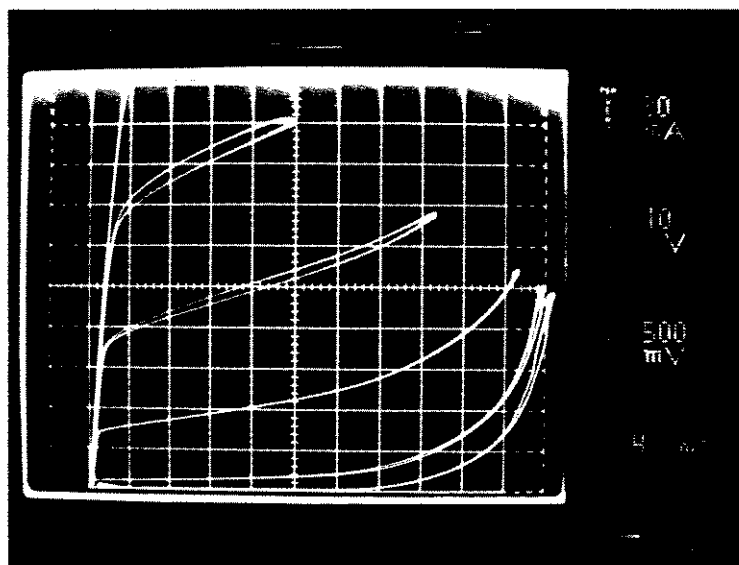


Figura 4.38 - Curvas $I \times V$ típicas dos transistores VDMOS - AT (vista geral).

Foram realizadas ainda algumas medidas adicionais, para determinação dos parâmetros V_t , μ_n e K' .

A figura 4.39 traz uma curva típica de $(I_{ds})^{1/2} \times V_{gs}$, para os transistores M1 e M2 saturados, das quais é possível obter os parâmetros acima citados. A tabela 4.8 resume os resultados obtidos.

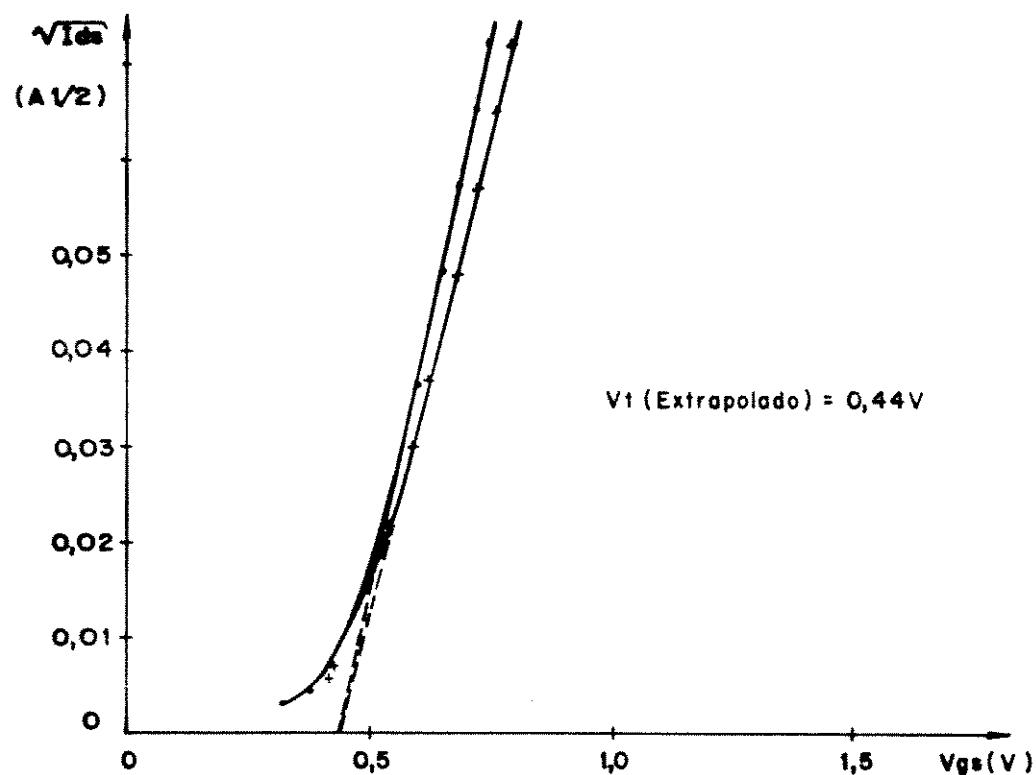


Figura 4.39 - Curva $(I_{ds})^{1/2} \times V_{gs}$ típica dos transistores M1 e M2 saturados.

Tabela 4.8 - Parâmetros V_t , μ_n e K' .

Transistor	V_t (volt)	μ_n (volt)	K' $\mu A/V^2$
M1	0,44	710	25,7
M2	0,44	740	26,5

A figura 4.40 ilustra uma curva típica de $I_{ds} \times V_{gs}$, a V_{ds} igual a 0,3 volts, para os transistores M1 e M2. Desta curva, é possível obter $R_a + R_d$, a partir das assintotas indicadas. O comportamento assintótico indica que a resistência R_{on} assume um valor mínimo e aproximadamente constante, para valores altos de V_{gs} , limitando também a corrente I_{ds} a um valor constante.

Assumindo que a parcela R_{ch} de R_{on} é muito pequena em relação a $R_a + R_d$, o que é particularmente verdade para as estruturas VDMOS projetadas, tem-se:

$$R_{on} \approx R_a + R_d = \frac{0,3}{I_{ds} \text{ (assintota) }} \quad (3.34)$$

Da figura 4.40, obtém-se os seguintes resultados:

a) Transistores M1:

$$R_{on} \approx R_a + R_d = 55 \text{ ohm} \quad (3.35)$$

b) Transistores M2:

$$R_{on} \approx R_a + R_d = 45 \text{ ohm} \quad (3.36)$$

A figura 4.40 corresponde ao dispositivo cujas curvas $I \times V$ estão mostradas na figura 4.34. Os resultados obtidos estão de acordo com a tabela 4.6.

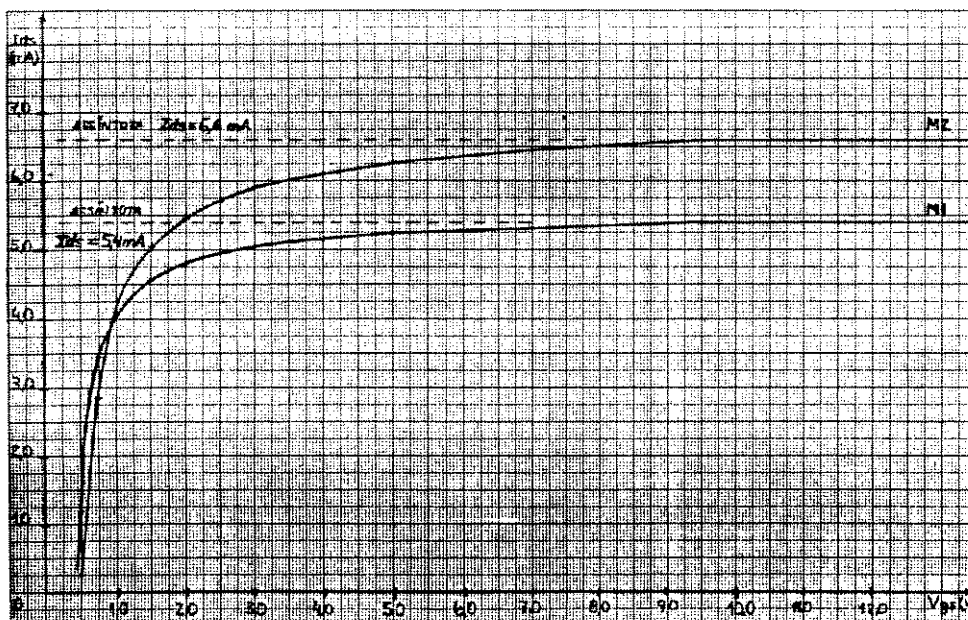


Figura 4.40 - Determinação gráfica de $R_a + R_d$.

4.2.4 Funcionamento do circuito lógico de controle do transistor VDMOS - AT.

A figura 4.41 ilustra o comportamento do circuito de controle do transistor VDMOS-AT. Observa-se que estando o pino CK ativo em nível lógico "1", o sinal DIN pode ser chaveado até uma frequência de 700 kHz. Os sinais internos ao circuito de controle também estão mostrados na figura 4.41 (sinais T1 a T5). A montagem de teste utilizada está ilustrada na figura 4.42. Não foi observada a perda de estado lógico do latch-D, devido as correntes parasitas de poço P₊ originadas pelo chaveamento do transistor.

Observou-se que o sinal de saída do circuito excitador "buffer" não excursiona dentro dos limites previstos, como visto na figura 4.41. O nível de tensão V_{oh} não ultrapassa 0,92 volts, embora externamente pode-se forçar até 3,0 volts, por meio de um resistor ligado a V_{dd} .

Isto, no entanto, não impede que o transistor funcione em corte e em condução, embora R_{on} seja alto. A tabela 4.9 ilustra os níveis de tensão obtidos em alguns pontos de teste do circuito de controle do VDMOS-AT, bem como os respectivos tempos de subida e descida.

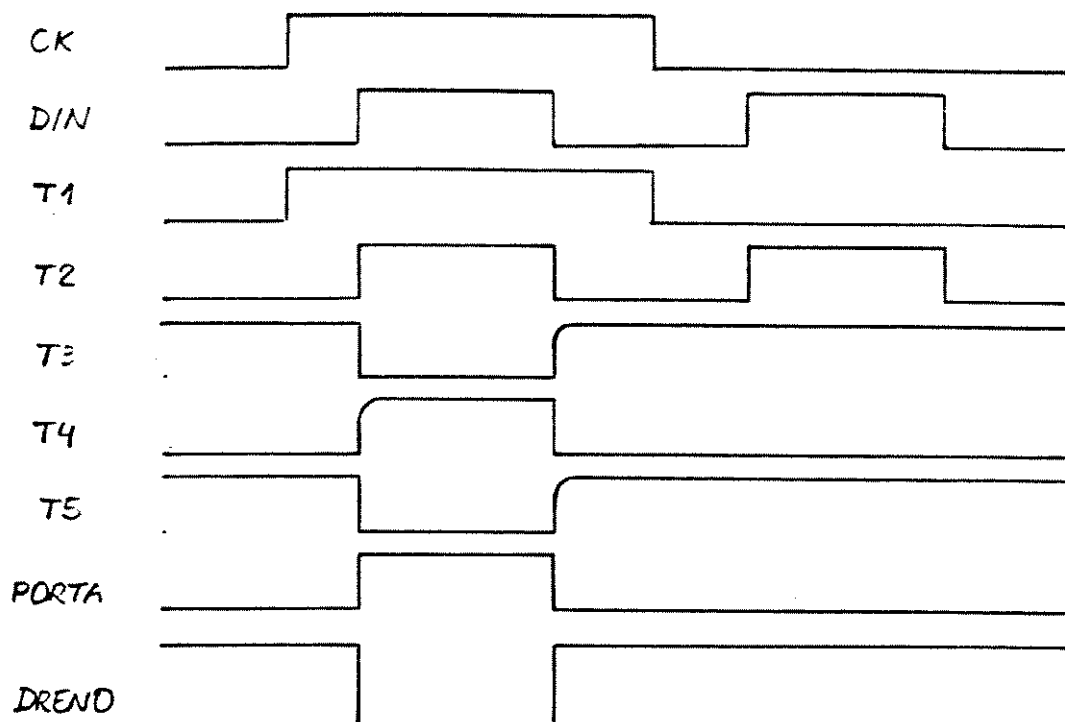


Figura 4.41 - Sinais lógicos do circuito de controle do transistor VDMOS - AT.

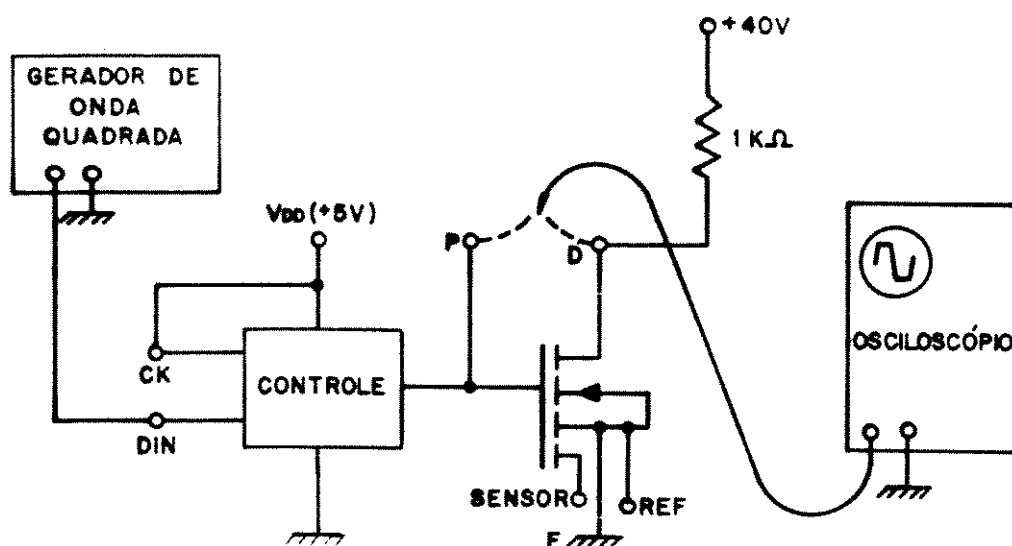


Figura 4.42 - Montagem de teste do VIMOS - AT.

Tabela 4.9 - Níveis lógicos e tempos de atraso de propagação do circuito lógico de controle NMOS (1).

Sinal	Voh (V)	Vol (V)	tphl(ns)	tplh(ns)
T1 e T2	5,0	0,0	(2)	(2)
T3	2,8	0,1	(2)	(2)
T4	2,8	0,1	(2)	(2)
T5	2,8	0,1	(2)	(2)
Porta	0,92	0,09	500	350

(1) Sinal de entrada nos pinos DIN e CK de tipo onda quadrada, com frequência de 10 kHz, $V_{ih} = 5,0$ volts e $V_{il} = 0$ volts, com tempos de subida e descida menores que 5,0 ns.

(2) Pinos sensíveis à carregamento capacitivo imposto pela ponta de prova do osciloscópio utilizado (10 pf).

Qualitativamente, o circuito funciona como o previsto. O problema verificado no circuito "buffer" quanto ao nível de tensão V_{oh} será discutido a seguir no item 4.2.5.

4.2.5 Interpretação das anomalias observadas.

Com relação ao comportamento das estruturas projetadas quanto à ruptura, foram observados três problemas principais:

- a) Todas as estruturas, diodos e transistores apresentaram ruptura suave a partir dos níveis de tensão medidos em 4.2.1. Isto pode ser facilmente visto nas figuras 4.31 e 4.32, no caso dos transistores VDMOS;
- b) Variação da tensão de ruptura em função da corrente reversa, no caso dos diodos D1 a D10;
- c) Aparecimento de uma variação de declividade das curvas $I \times V$ dos transistores VDMOS-AT, para valores de tensão acima de cerca de 50 volts, que denominou-se de efeito de joelho.

O fenômeno de ruptura suave, pode ser atribuído a diversas causas. Grove [4.11] cita no cap. 6 a possibilidade de iniciar-se um processo de ruptura suave a tensões baixas, bem inferiores à tensão de ruptura normalmente esperada, devido a presença de precipitados metálicos de cobre, ferro, etc, dentro da estrutura cristalina do silício.

Tais precipitados seriam regiões pontuais de campo elétrico intenso, onde ocorreria ruptura localizada, mesmo a baixas tensões, dando origem a uma corrente de fuga.

Outra possibilidade está associada ao fato de todas as estruturas presentes no CI POTMOS apresentarem placas de campo parasitas, nas extremidades de toda junção, como pode ser visto nos cortes transversais da figura 4.33. Grove também cita no capítulo 10 de [4.11] e na ref. [4.12] a possibilidade de haver ruptura modulada por tensão, sempre que algum eletrodo condutivo existir sobre uma junção P / N. Se for lembrado que as placas de campo de Si-poli da figura 4.33 possuem potencial flutuante, então é possível também que a partir de uma dada tensão reversa aplicada ao dispositivo, inicie-se um caminho de fuga de corrente pela superfície, sob a placa de campo, como mostra a figura 4.43.

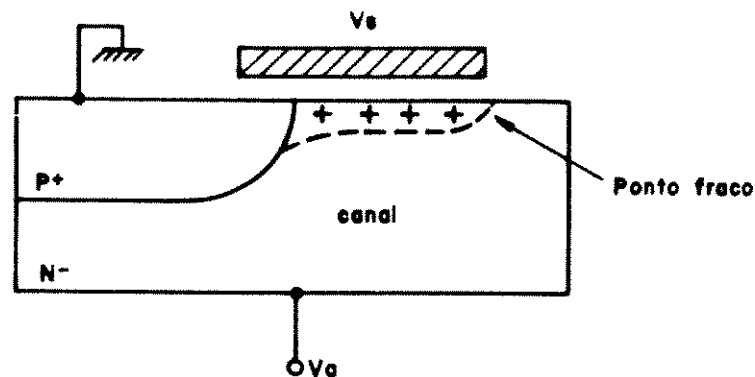


Figura 4.43 - Mecanismo de fuga sob a placa de campo.

O processo de ruptura inicia-se num ponto fraco sob o Si-poli, mas a corrente é limitada pelo canal invertido. Com o aumento progressivo da tensão reversa V_{br} , o potencial da placa de campo, intermediário entre os potenciais dos lados P e N, também aumenta, diminuindo assim a resistência do canal sob o Si-poli. Desta forma, explica-se porque a corrente reversa do dispositivo cresce suavemente.

Por outro lado, observou-se um fenômeno de variação da tensão de ruptura dos diodos, em função da corrente reversa, que se processa normalmente em duas etapas:

- A tensão de ruptura, tal como vista nas figuras 4.26 a 4.32, aumenta ligeiramente (cerca de 5%), quando a corrente reversa atinge valores entre 10 a 60 microamperes;
- Attingido o ponto de aumento máximo de V_{br} , a tensão de ruptura passa a diminuir drasticamente, bem como modifica-se a curva característica $I \times V$ dos diodos, que passa a apresentar uma característica anômala, tal como ilustra a série fotográfica da figura 4.44, que retrata a degeneração de V_{br} para um diodo D3 típico, cuja curva $I \times V$ inicial foi semelhante à figura 4.28. Cabe ressaltar que todos os diodos com as três estruturas descritas nas figuras 4.33.a, 4.33.b, e 4.33.c, apresentaram o mesmo tipo de degeneração, sendo que para os diodos D7 a D10 esta foi instantânea, enquanto que para os demais, ela foi progressiva com o aumento da tensão e da corrente reversas.

As figuras 4.45 e 4.46 resumem o comportamento de ruptura dos diodos.

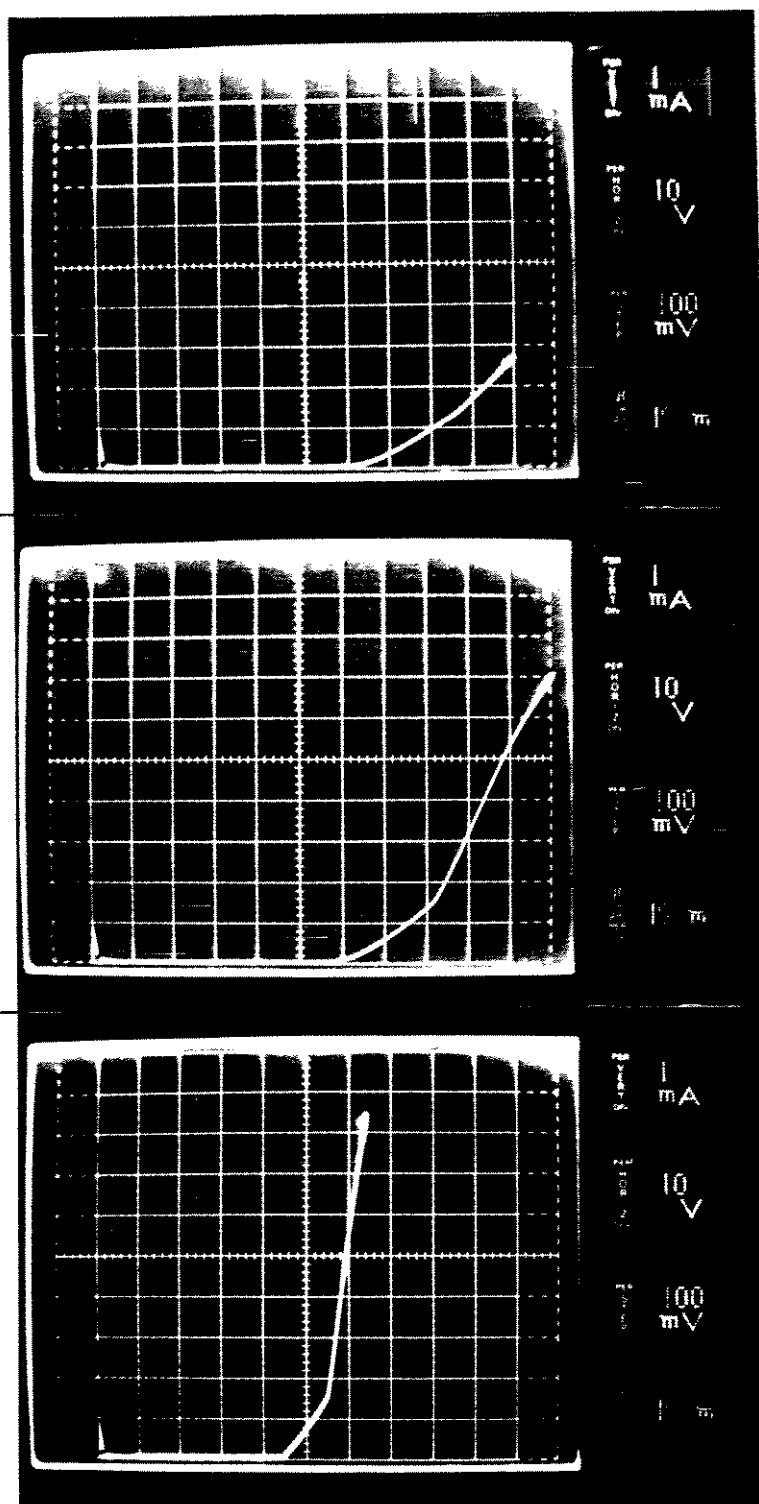
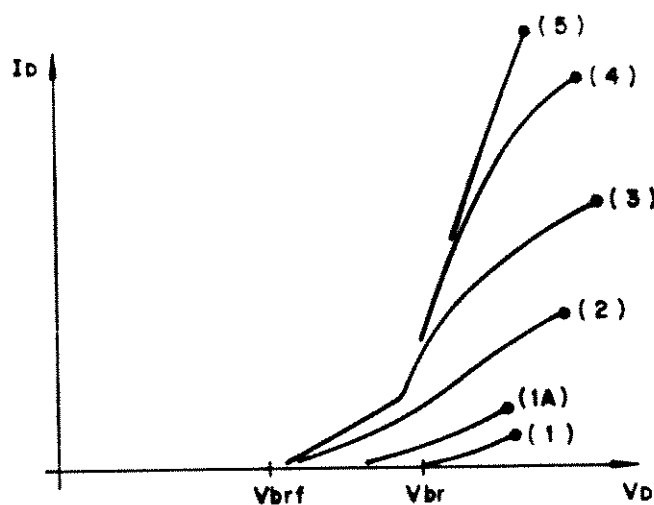
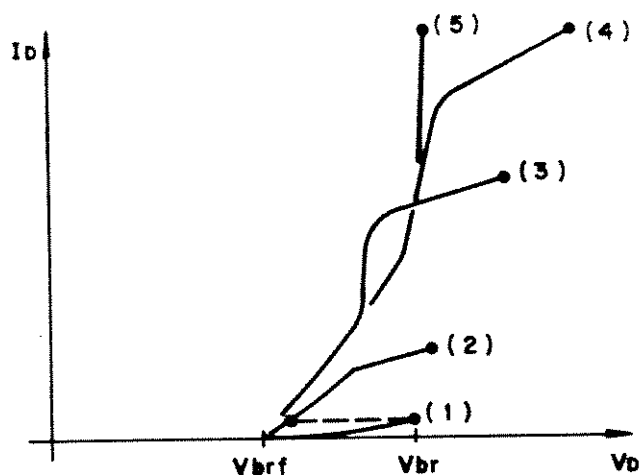


Figura 4.44 - Série fotográfica evidenciando o fenômeno de degeneração da tensão de ruptura em diodos.



- (1) - Polarização reversa sem corrente I_d excessiva;
- (1A) - Redução de V_{br} com o aumento de I_d ("esforço");
- (2) a (4) - Aumento progressivo da corrente;
- (5) - Situação extrema, onde V_{brf} vale 42 volts.

Figura 4.45 - Comportamento dos diodos D1 a D6.



- (1) - 1ª Polarização reversa;
- (2) a (4) - "esforço" de corrente progressivo;
- (5) - Situação extrema, onde V_{brf} vale 42 volts;
- * - passagem de (1) a (2) é súbita.

Figura 4.46 - Comportamento dos diodos D7 a D10

Na figura 4.47, observa-se que o comportamento de ruptura típico dos transistores M1, M2 e VIMOS-AT não apresenta o fenômeno da variação de V_{br} , tal como nos diodos, particularmente o transistor VIMOS-AT, que possui a mesma estrutura de terminação dos diodos D4 e D5.

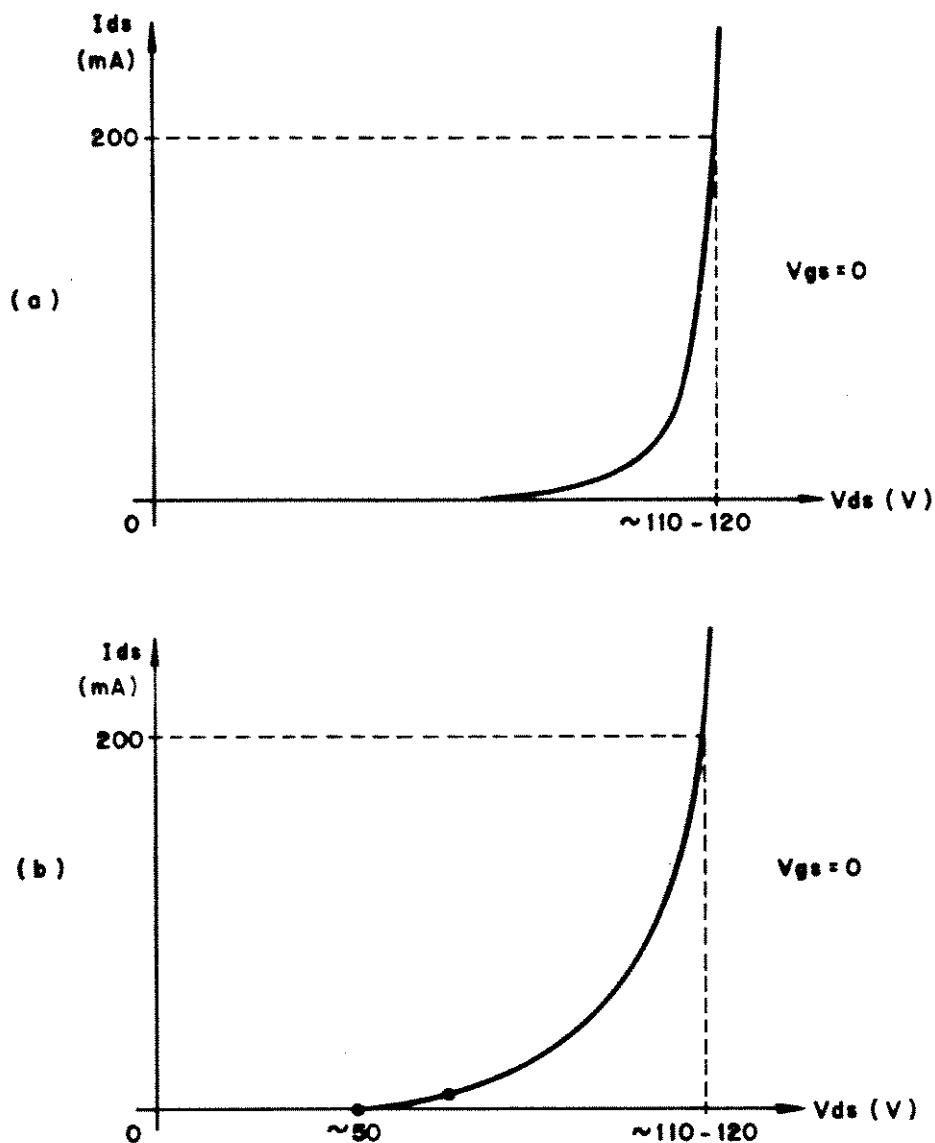


Figura 4.47 - Comportamento de ruptura dos transistores tipo M1 e M2 (a) e VIMOS - AT (b).

Frente aos resultados obtidos, é possível levantar algumas hipóteses referentes a este fenômeno de variação e degeneração da tensão de ruptura V_{br} , tal como descrita nas figuras 4.45 e 4.46:

- a) A passagem das curvas (1) para as curvas (2), quer seja lentamente, quer seja instantaneamente, se daria devido a injeção de elétrons na camada de SiO_2 entre os anéis de guarda ou entre as junções e as placas de campo. Isto equivaleria à placa de campo adquirir um potencial negativo;
- b) As curvas (3) a (5) indicam um tipo de degeneração típica das curvas $I \times V$, que ocorre à medida que a injeção de elétrons se processe a níveis de tensão e correntes maiores [4.15];
- c) As curvas $I \times V$ vão se degenerando progressivamente, até o tipo (5), que equivaleria a uma injeção de elétrons intensa, resultando num alto potencial negativo das placas de campo;
- d) A redução de V_{br} para um valor menor e bem determinado, está de acordo com os trabalhos de Grove [4.11];
- e) Atribui-se a ocorrência deste efeito ao fato do processo CMOS utilizado exigir que se coloque estruturas de Si-poli em regiões onde não se deseje nem implantação P^+ , nem N^+ . É, portanto, uma estrutura parasita totalmente dispensável, que no entanto foi responsável pelo efeito observado na figura 4.44 e que talvez tenha mascarado o comportamento real de ruptura das estruturas projetadas;
- f) Este efeito de redução de V_{br} possui memória, ou seja, uma vez obtida uma das curvas das figuras 4.45 e 4.46, ele se reproduz a qualquer instante, desde que não ocorra um novo "esforço" de corrente ou tensão.

Se realmente for um problema de injeção de elétrons, um tratamento térmico, ou a exposição da pastilha à luz ultra-violeta poderão desmemorizar a estrutura.

A figura 4.48 traz as curvas $I \times V$ típicas de transistores VDMOS - AT, que apresentaram o efeito de joelho, ou seja, a partir de uma certa tensão reversa aplicada, que observou-se ser em torno de 50 volts, inicia-se uma condução de corrente cujo gradiente dI / dV é constante. Após este efeito, inicia-se a ruptura suave já mencionada.

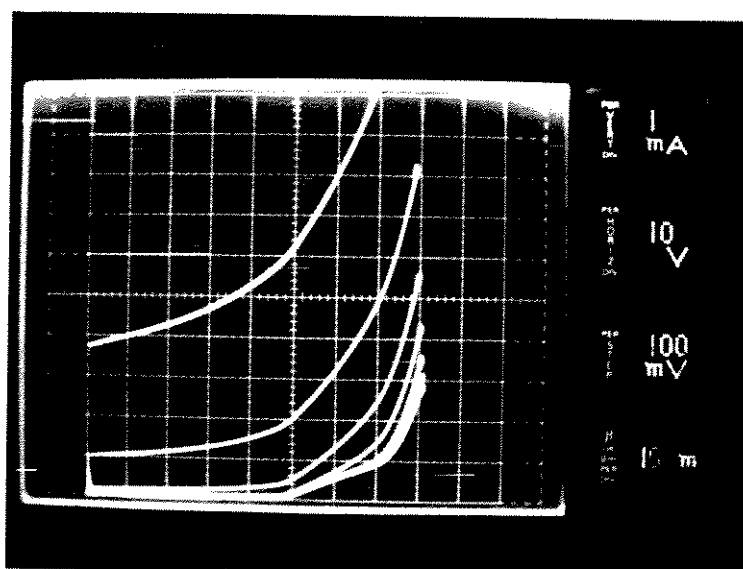


Figura 4.48 - Curvas $I \times V$ do transistor VDMOS - AT evidenciando o "efeito de joelho".

Estranhamente, não se notou a ocorrência do fenômeno da variação da tensão de ruptura, como no caso dos diodos D4 e D5, embora os dispositivos sejam semelhantes em termos de estrutura de terminação. As curvas $I \times V$ dos transistores VDMOS são estáveis com a tensão e a corrente aplicadas, tal como mostra a figura 4.47.

Com relação ao comportamento em condução dos transistores VDMOS, observou-se apenas a ocorrência de uma não linearidade na origem, tal como mostra as figuras 4.49 e 4.50.

Este é um fenômeno muito frequente na produção de dispositivos MOS de potência e tem origem na formação de um contato tipo "Schottky" entre o substrato de silício e a base do encapsulamento, por problemas na liga eutética entre o silício e o metal, normalmente ouro ou alumínio. Forma-se assim uma pequena barreira de potencial para correntes muito pequenas.

Comparando-se as figuras 4.34 e 4.35 com as figuras 4.49 e 4.50, observa-se que nem sempre a barreira Schottky é formada. Trata-se portanto de um problema facilmente sanado pelo processo de encapsulamento, que deve ser ajustado visando suprir ou ao menos minimizar este problema.

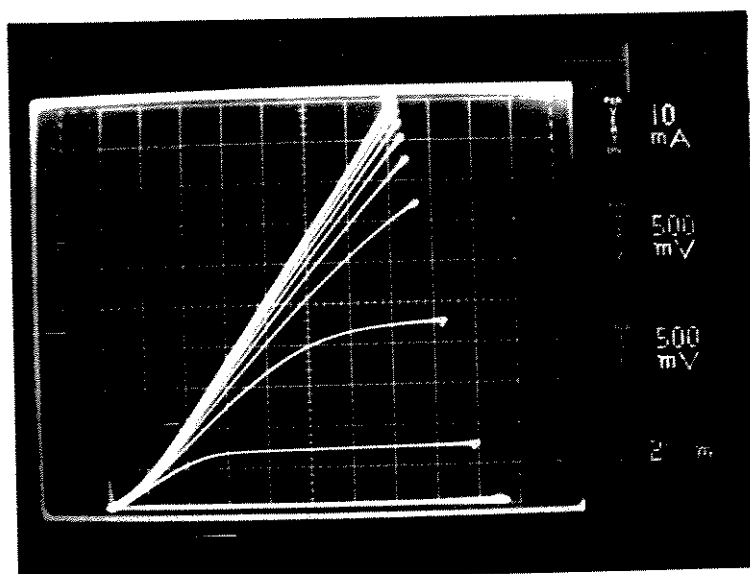


Figura 4.49 - Não linearidade de R_{on} na origem nos transistores tipo M1 e M2.

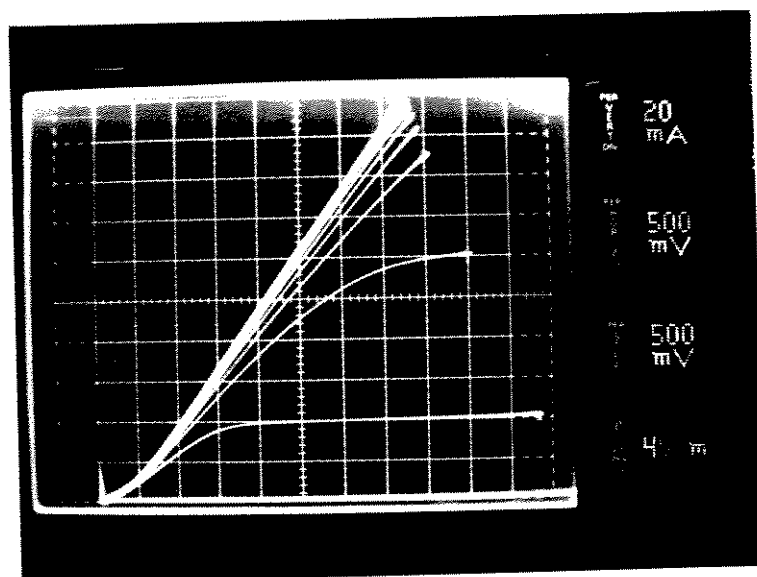


Figura 4.50 - Não linearidade de R_{on} na origem nos transistores VDMOS - AT.

Quanto ao circuito lógico de controle do transistor VDMOS-AT, observou-se um problema quanto ao nível de tensão V_{oh} do circuito de excitação "buffer". Medidas elétricas da capacidade de corrente I_{oh} e I_{ol} deste circuito, realizadas no PAD de porta evidenciaram a existência de uma fuga de corrente proveniente de VDD, tal como se houvesse um diodo P / N em ruptura ou diretamente polarizado. Desta forma, quando a saída do circuito "buffer" atinge 0,92 volts, esta fica grampeada nesta tensão, devido a este diodo parasita. Este problema pode ser resolvido por meio de um "layout" mais cuidadoso do circuito "buffer".

4.3 CONCLUSÕES E SUGESTÕES.

Seguem algumas considerações sobre quais modificações do processo de fabricação e da estrutura dos dispositivos seriam necessárias para otimizar o desempenho dos transistores VDMOS, bem como sobre a viabilidade dos mesmos serem realizados num processo CMOS convencional.

4.3.1 Considerações quanto a otimização do desempenho das estruturas projetadas.

O processo CMOS - A permite, a princípio, tensões de ruptura ideais na faixa de 155 a 277 volts. Se for considerado algum efeito de segregação de impurezas doadoras na superfície, devido às etapas de oxidação, pode-se assumir que a concentração N_d na superfície poderia aumentar de até 50 % [4.2]. Neste caso, o valor máximo de N_d seria cerca de:

$$N_d (\text{máx}) = 3.9 \cdot 10^{15-3} \text{ cm}^{-3} \quad (4.37)$$

resultando num valor de tensão de ruptura na superfície de cerca de 120 volts.

Se também for considerado que as estruturas de anéis de guarda difundidos permitem alcançar valores de ruptura de no máximo 80 % da ruptura plana ideal [4.13], a máxima tensão suportável por estruturas planares construídas neste processo seria de:

$$95 \leq V_{br} (\text{máx}) \leq 125 \text{ volts} \quad (4.38)$$

ou seja, trata-se de obter uma otimização de desempenho para transistores VDMOS cuja tensão de ruptura se encontre na faixa dos 100 volts.

Calculando-se a mínima espessura da camada epitaxial N⁻, tal que a mesma suporte uma tensão reversa na faixa acima, segundo a equação (2.123), definida no capítulo 2, têm-se para o valor típico de Nd:

$$W_{cpp} = 7,7 \text{ micra} \quad (4.39)$$

Com este valor de W_{cpp} , equivalente ao parâmetro $H-h$ das eqs. (3.20), (3.26) e (3.36), vide capítulo 3, teria-se os seguintes parâmetros para a estrutura de células VDMOS:

$$\begin{aligned} r &= 30 \text{ micra} \\ lot &= 10 \text{ micra} \\ R_{chs} &= 0,0033 \text{ ohm} \cdot \text{cm}^2 \\ R_{as} &= 0,0067 \text{ ohm} \cdot \text{cm}^2 \\ R_{ds} &= 0,0075 \text{ ohm} \cdot \text{cm}^2 \\ R_{ons} &= 0,0175 \text{ ohm} \cdot \text{cm}^2 \end{aligned} \quad (4.40)$$

Portanto, o novo valor de R_{ons} seria cerca de 4,3 vezes menor do que o valor experimental obtido (tabela 4.7), simplesmente com a adição de uma camada epitaxial N⁻ sobre uma lâmina N⁺, que deveria então ter a seguinte especificação:

Lâmina tipo	:	N ⁻ epitaxial sobre N ⁺
Espessura da camada N ⁻	:	13 a 15 micra
Dopagem da camada N ⁻	:	$1,9 \pm 0,7 \cdot 10^{15} \text{ cm}^{-3}$
Dopagem da camada N ⁺	:	$> 2,0 \cdot 10^{18} \text{ cm}^{-3}$
Espessura da lâmina	:	400 - 500 micra
Diâmetro da lâmina	:	4 ou 5 polegadas
Estrutura cristalina	:	(100)

A figura 4.51 mostra onde estaria situado o dispositivo assim projetado, em relação aos transistores VDMOS atualmente fabricados pela International Rectifier e pela Motorola. Observa-se que, em termos de tensão e corrente, o transistor VDMOS construído no processo CMOS convencional pode vir a ter um desempenho comparável aos melhores dispositivos comerciais, desde que seja otimizado.

Quanto à estrutura de periferia a ser utilizada, os resultados demonstram que é necessário dispor de um processo CMOS tal que não seja necessário fazer uso da camada de Si-poli como barreira à implantação iônica P⁺ e N⁺, como por exemplo os processos CMOS B e C do capítulo 1.

A possibilidade de eliminação das estruturas de Si-poli entre anéis, ou na periferia dos dispositivos, permitirá uma melhoria significativa quanto à "ruptura suave" observada e também permitirá minimizar os efeitos de degeneração de V_{br}, tais como descritos no item 4.2.5.

Devem ser evitadas também as estruturas de Si-poli flutuantes, sobre junções submetidas a altas tensões, que devem estar ligadas ou ao eletrodo de porta, ou ao potencial de fonte, como se fossem placas de campo polarizadas [4.13].

Por outro lado, devido aos parâmetros do processo CMOS - A utilizado, tais como os que constam das tabelas 1.4, 1.5 e 1.6 do capítulo 1, as estruturas de periferia tipo 1 e 2 resultaram em anéis de guarda muito próximos. Como foi visto no item 4.1.1, a tensão suportada por cada anel varia muito quando a distância entre anéis consecutivos é afetada apenas por variações de profundidade de junção ou de difusão lateral. Em outras palavras, as estruturas de periferia assim projetadas são muito sensíveis à posição e ao espaçamento, e podem não funcionar como esperado.

No entanto, os resultados de tensão de ruptura dos transistores M1 e M2 foram excelentes se for considerado que os mesmos possuem somente uma placa de campo sobre a junção poço P / substrato N-.

Isto permite concluir que para o processo CMOS em consideração, o melhor resultado em termos de tensão de ruptura seria obtido para dispositivos com terminação por placa de campo. Assim, obter-se-ia facilmente rupturas em torno de 100 volts, sem necessidade de anéis de guarda difundidos.

Por fim, quanto ao circuito lógico de controle, as células NMOS projetadas parecem adequadas ao uso em circuitos mais sofisticados. Pode-se assim, construir outras portas lógicas utilizando a mesma filosofia de concepção.

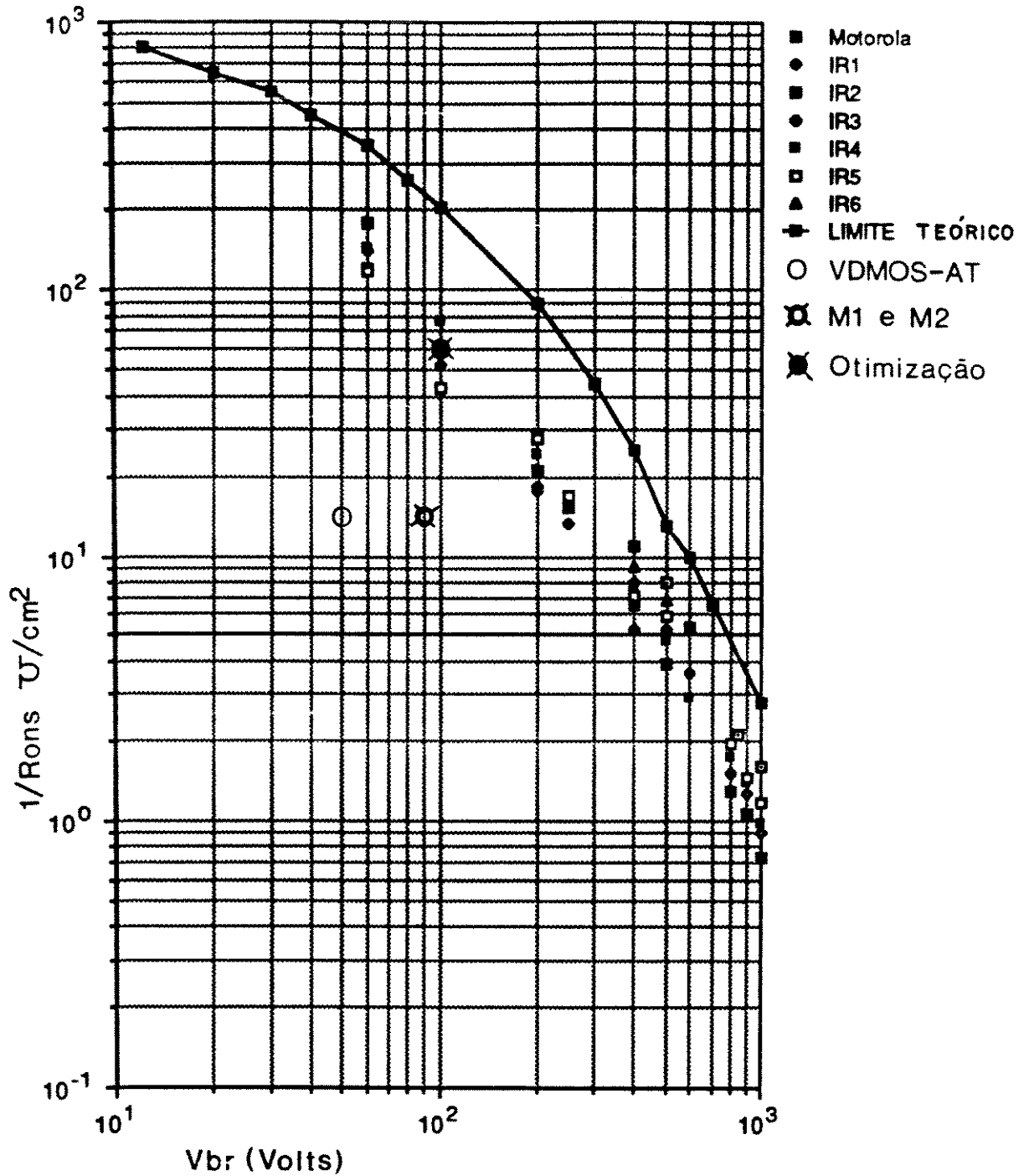


Figura 4.51 - Otimização de desempenho dos transistores VDMOS de potência e alta tensão realizados no processo CMOS - A , do tipo convencional.

Quanto a velocidade de chaveamento dos elementos que compõem o circuito de controle, pode-se dizer que é mais do que suficiente para aplicações usuais de controle do transistor VDMOS. Não se viltumbra, hoje em dia, aplicações de controle de potência que nequeiram alta velocidade de processamento digital [4.14].

Quanto ao circuito de excitação "buffer", cabe investigar as reais necessidades de comutação do eletrodo de porta, a fim de que os seus transistores sejam bem dimensionados. Os transistores M1 e M2 podem ser caracterizados para o programa SPICE [4.16] e assim permitir uma melhor avaliação do circuito de excitação de porta, por meio de simulação.

Resta apenas corrigir o problema referente ao nível lógico V_{oh} , que acredita-se ser originário do layout da célula "buffer".

4.3.2 Considerações sobre a viabilidade do projeto de dispositivos de potência num processo CMOS convencional.

Face as considerações do item 4.3.1 e aos resultados experimentais obtidos, resta ainda um certo caminho a ser percorrido em direção à otimização da estrutura do transistor VDMOS para 100 volts, com R_{ons} de cerca de 15 a 20 m Ω .cm², ou seja, uma pastilha com área ativa de 5 x 5 milímetros, teria uma resistência de condução final de 0,1 Ω , poderia suportar uma corrente de 10 amperes, com uma queda de tensão V_{ds} de 1,0 volts, dissipando assim 10 watts no controle de uma potência de pico de 1000 watts.

A possibilidade de se colocar algum circuito lógico de controle integrado na mesma pastilha, abre caminho para a chave MOS inteligente, que pode ser adaptada às necessidades de cada aplicação.

A configuração do transistor VDMOS - AT é, portanto, útil para desenvolvimento de chaves MOS inteligentes de potência, insere-se no contexto dos produtos ASIC's (do inglês, " application specific integrated circuits ").

Nada se sabe ainda da possibilidade de construção de circuitos analógicos NMOS dentro da estrutura VDMOS-AT, o que deve ainda ser investigado.

Portanto, conclui-se que o projeto de dispositivos ou circuitos integrados de potência é viável tecnicamente, desde que se possa obter o processo CMOS convencional sobre lâminas epitaxiais, tais como descrito no item 4.3.1.

Sugere-se então a continuidade dos estudos sobre as estruturas de terminação para alta tensão, quanto ao uso de placas de campo ou de anéis de guarda difundidos, sobre a otimização de R_{on} , desde que seja possível a utilização de lâminas epitaxiais N-/N+ e sobre a possibilidade de projeto de circuitos de baixa tensão NMOS, digitais e analógicos, que estejam envolvidos em ambiente suscetível ao chaveamento de altas tensões e correntes e à dissipação de potência.

Particularmente, o problema de temperatura da pastilha e de como a potência é dissipada em relação ao ciclo de funcionamento do dispositivos, pode colocar severas limitações sobre os circuitos analógicos de controle, que pelo fato de serem do tipo NMOS, não permitem esquemas complexos de compensação de efeitos térmicos.

Do ponto de vista econômico, a viabilidade aqui discutida torna-se uma questão complexa. A proposta de se encarar a estrutura VDMOS como uma solução flexível para projetos ASIC's, pode ser viável por comparação às soluções que utilizam componentes discretos. Cabe aqui um estudo mais detalhado, que considere também os problemas de encapsulamento dos CI's de potência e de confiabilidade.

Conclusões gerais.

O objetivo desta tese foi estudar a viabilidade de projeto e construção de dispositivos e circuitos e integrados de potência VDMOS, realizados num processo CMOS convencional.

O estudo de viabilidade demonstrou que as estruturas projetadas e construídas na pastilha POTMOS possuem diversos problemas de desempenho elétrico, que no entanto podem ser sanados mediante a modificação da estrutura de periferia dos dispositivos e mediante a utilização de lâminas epitaxiais de tipo N- / N+ no processo convencional.

Os resultados experimentais obtidos, descritos no capítulo 4, demonstram ser viável a construção de transistores VDMOS para 100 volts, com uma resistência específica de condução R_{ons} da ordem de 15 a 20 mohm . cm² . É viável também a realização de circuitos lógicos de controle, monoliticamente construídos com um transistor VDMOS , que constitui em si uma solução para a integração de circuitos integrados de potência do tipo ASIC's.

Este panorama adapta-se bastante bem àquele descrito na Introdução desta tese, referente aos Dispositivos Inteligentes de Potência e aos Circuitos Integrados de Alta Tensão.

Cabe ressaltar que a utilização de uma tecnologia CMOS convencional, embora não otimizada para aplicações em potência, é uma opção interessante do ponto de vista estratégico, pois permite ao projetista de CI's digitais, familiarizado a esta tecnologia, estender seu raio de ação às aplicações de controle e interfaceamento de média potência.

No capítulo 1, procurou-se descrever as opções de processos de fabricação atualmente em desenvolvimento, para aplicações de potência e alta tensão. A tecnologia CMOS convencional foi discutida em detalhe, visando estudar a possibilidade de realização da estrutura de dispositivos VDMOS. As características elétricas principais do dispositivo, quais sejam a tensão de ruptura e a resistência de condução, foram calculadas no item 4.1 do capítulo 4, onde também estão descritos os procedimentos de cálculo.

Por fim, os capítulos 2 e 3 foram elaborados com o objetivo de servir como embasamento teórico preliminar ao projeto de transistores VDMOS de alta tensão, e buscam sobretudo reunir, de modo sintético, informações hoje disponíveis sobre o assunto.

O capítulo 2 faz uma síntese da teoria existente sobre o modelamento de junções P / N quanto à ruptura por avalanche e à possibilidade de ocorrer " punch - through " entre as regiões de dreno e fonte de um transistor VDMOS. O modelo de uma junção P / N planar abrupta é suficiente para uma avaliação de primeira ordem, pois superavalia a tensão de ruptura por ele calculada. Também, são modeladas como junções abruptas as regiões de periferia de uma junção planar real, ou seja, as regiões cilíndricas e esféricas. O capítulo traz ainda um estudo sobre as técnicas de terminação de uma junção planar, que visam sobretudo aumentar a tensão de ruptura das regiões de periferia, para valores próximos ao limite plano ideal. Em particular, a estrutura de terminação por anéis de guarda difundidos é discutida e modelada, visando o seu emprego na parte experimental do capítulo 4.

O capítulo 3 resume o modelamento necessário ao cálculo da resistência de condução R_{on} de transistores VDMOS e à otimização da geometria da célula VDMOS a fim de minimizar R_{on} e maximizar a tensão de ruptura V_{br} . O equacionamento matemático neste capítulo não foi detalhado como no capítulo 2, uma vez que dispõe-se de literatura a respeito em português (ref. [3.5]).

Proposições para trabalhos futuros.

Dando continuidade ao trabalho iniciado neste tese, sugere-se que os seguintes assuntos deveriam ser desenvolvidos futuramente:

- 1) Do ponto de vista do transistor VDMOS construído no processo CMOS convencional:
 - a) Estruturas de terminação por anéis de guarda difundidos, sem influência das linhas de silício-policristalino inter-anéis, a fim de verificar a validade das técnicas de projeto da estrutura de terminação descritas no item 2.4.1;
 - b) Efeito de placas de campo, fixas e polarizadas, sobre a tensão de ruptura de junções, e aplicação ao projeto de transistores VDMOS;
 - c) Técnicas de projeto de circuitos lógicos e analógicos de tipo NMOS, de baixa tensão, para controle de transistores VDMOS;
 - d) Influência do uso de substratos epitaxiais tipo N- / N+ no desempenho dos transistores VDMOS. Definição da especificação do substrato epitaxial para otimização de R_{on} e V_{br} ;
 - e) Aplicação prática dos princípios estudados na presente tese, e nos itens (a) a (d) anteriores, visando a obtenção de um CI protótipo para verificação de requisitos funcionais, da viabilidade econômica e da confiabilidade desta tecnologia para aplicações comerciais.

f) As anomalias observadas na pastilha POTMOS e discutidas no item 4.2.5, quais sejam:

- i) Variação da tensão de ruptura nos diodos D1 a D6;
- ii) " Efeito de joelho " nas curvas $I \times V$ dos transistores VDMOS - AT;
- iii) Ruptura suave, observada em todos os dispositivos medidos;
- iv) Problema do nível de tensão de saída V_{oh} do circuito " buffer " de excitação de porta.

devem ser estudadas em detalhe, a fim de que os possíveis mecanismos de origem sejam corretamente identificados.

2) Do ponto de vista geral:

- a) Avaliação de como as tecnologias de fabricação futuras modificarão o comportamento dos circuitos integrados de potência;
- b) Evolução dos campos de aplicação dos circuitos integrados de potência e das necessidades futuras quanto à tecnologia de fabricação.
- c) Estudos de processos de fabricação mistos MOS - Bipolar, visando a realização de circuitos integrados de potência de múltiplas saídas, e com funções analógicas de precisão.

Referências

Introdução.

- [I.1] D. Pryce - "Smart Power IC's", EDN vol. 33, nº 7, pp. 113 - 126, Mar. 1988.
- [I.2] R. Roop - "Trends in high-voltage integrated circuit technology", Solid State Technology, pp. 147 - 151, Mai. 1984.
- [I.3] A. P. Ransey - "High-voltage analog semicustom IC's", VLSI Systems Design, vol. nº pp. 36 - 49, Mai. 1988.
- [I.4] -- , -- "Smart power markets and applications", Electronic Trends Pub., Saratoga, CA, 1988.
- [I.5] P. Rossel - documentação pessoal.
- [I.6] F. Goodenough - "H-V arrays adds semicustom chips to a power designer's toolbox", Electronic Design, vol. 35, nº 18, pp. 54 - 58, Ago 1987.
- [I.7] H. Abramowitz - "Power-cell library brings high voltage to semicustom IC's", Electronic Design, vol. 35, nº 14, pp. 93 - 100, Jun 1987.

Capítulo 1.

- [1.1] P. Rossel - "MOS technologies for smart power and high-voltage circuits", L'Onde Electronique, vol. 67, nº 6, Nov. 1987.
- [1.2] P. Rossel, J. Buxo - "Discrete and integrated MOS power technologies", Physica B, vol. 129, nº 1, pp. 33 - 52, Abr. 1985.
- [1.3] J. A. Appels et al. - "Thin layer high-voltage devices (RESURF devices)", Philips Journal of Research, vol. 35, nº 1, 1980.

- [1.4] W. Maly - "Atlas of IC technology: an introduction to VLSI process", cap. 8, The Benjamin / Cummings Pub. Co. Inc., 1987.
- [1.5] S. Krishna et al. - "An analog technology integrates bipolar, CMOS and high-voltage DMOS transistors", IEEE Transactions on Electron Devices, vol. ED - 31, nº 1, pp. 89 - 95, Jan. 1984.
- [1.6] Z. Parpia et al. - "Modeling and characterization of CMOS - compatible high-voltage device structures", IEEE Transactions on Electron Devices, vol. ED - 34, nº 11, pp. 2335 - 2343, Nov. 1987.

Capítulo 2.

- [2.1] M. S. Adler et al. - "The evolution of power device technology", IEEE Trans. Electron Dev., ED - 31, no. 11, pp. 1570 - 1591, Nov. 1984.
- [2.2] S. K. Ghandhi - "The theory and practice on micro-electronics", cap. 13, pp. 258 - 317, Robert E. Krieger Pub. Co., 1984.
- [2.3] S. M. Sze - "Physics of semiconductor devices", cap. 2, pp. 96 - 108, 2a. edição, 1981.
- [2.4] K. G. McKay - "Avalanche breakdown in silicon", Physics Review, vol. 94, pp. 877 - 884, Mai. 1954.
- [2.5] H. L. Armstrong - "A theory of voltage breakdown of cylindrical PN junctions with applications", IRE Trans. Electron Devices, vol. ED - 4, pp. 15 - 16, Jan. 1957.
- [2.6] D. P. Kennedy, R. R. O'Brien - "Avalanche breakdown characteristics of a diffused P-N junction", IRE Transactions on Electron Devices, vol. ED - 9, pp. 478 - 483, Nov. 1962.
- [2.7] O. Leistiko Jr. et al. - "Breakdown voltage of planar silicon junctions", Solid State Electronics, vol. 9, pp. 847 - 852, 1966.
- [2.8] S. M. Sze et al. - "Effect of junction curvature on breakdown voltage of semiconductors", Solid State Electronics, vol. 9, pp. 831 - 845, 1966.

- [2.9] V. A. K. Temple - "Calculation of the diffusion curvature related breakdown in high voltage P N junctions", IEEE Transactions on Electron Devices, vol. ED - 22, nº 10, pp. 910 - 916, Out. 1975.
- [2.10] R. J. Baliga - "High voltage device termination techniques - a comparative review", IEE Proc. Pt. 1, vol. 129, no. 5, pp. 173 - 179, Out. 1982.
- [2.11] M. Gharbi - "La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme des moyennes tensions (300 a 1000 volts)", Université Paul Sabatier, Toulouse, França, tese nº 3223 , Rapport LAAS no. 85224, Out. 1985.
- [2.12] A. S. Grove - "Physics and technology of semiconductor devices", cap. 6, pp. 191 - 201, John Wiley & Sons, 1967.
- [2.13] R. J. Baliga - "Modern power devices", cap. 3, pp. 62-131, John Wiley & Sons, 1987.
- [2.14] R. Van Overstraeten et al. - "Measurement of the ionization rates in diffused silicon P N junctions", Solid State Electronics, vol. 13, pp. 583 - 608, 1970.
- [2.15] A. G. Chynoweth - "Ionization rates for electrons and holes in silicon", Physics Review, vol. 109, pp. 1537 - 1540, 1958.
- [2.16] J. L. Moll et al. "Charge multiplication in silicon P N junctions", Solid State Electronics, vol. 6, pp. 147 - 157, 1963.
- [2.17] A. Lee et al. - "Ionization rates of holes and electrons in silicon", Physics Review, vol. 134, pp. 761 - 773, 1964.
- [2.18] P. Leturcq - "Comportement électrique des transistors bipolaires aux forts niveaux de tension ou courant: application au phénomène de second claquage", tese nº 366, Université Paul Sabatier, Toulouse, França, 1969.
- [2.19] W. Fulop - "Calculation of avalanche breakdown of silicon P N junctions", Solid State Electronics, vol. 10 nº 1, pp. 39 - 43, 1967.
- [2.20] H. Tranduc et al. - "Premier et second claquage dans les transistors MOS", Revue Physique Appliquée, vol. 19, pp. 859 - 878, 1984.
- [2.21] W. H. Hayt - "Eletromagnetismo", cap. 7, pp. 207 - 242, Livros Técnicos e Científicos Editora, 1978.

- [2.22] Idem ref. [2.12], cap. 3, pp. 35 - 88.
- [2.23] T. E. Sidel - "Ion implantation", in VLSI Technology, cap. 6, pp. 291-265, S. M. Sze editor, McGraw Hill Co., 1984.
- [2.24] C. Basavanagoud et al. - "Effect of lateral curvature on the breakdown voltage of planar diodes", IEEE Electron Devices Letters, vol. EDL - 6, nº 6, pp. 276 - 278, Jun. 1985.
- [2.25] P. Granadel - "Evolution des structures des transistors MOS de puissance vers le domaine des petites dimensions" tese nº 3392, Université Paul Sabatier, Toulouse, França, Rapport LAAS nº 87050, Mar. 1987.
- [2.26] Idem ref. [2.12], cap. 10, pp. 311- 315.
- [2.27] F. Conti et al. - "Surface breakdown in silicon planar diodes equipped with field plate", Solid State Electronics, vol. 15, pp. 93 - 105, 1972.
- [2.28] J. Urgell - "Effets de multiplication par avalanche dans les jonctions au silicium", tese nº 345, Université Paul Sabatier, Toulouse, França, Mai. 1969.
- [2.29] B. J. Baliga - "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junctions", Solid State Electronics, vol. 19, nº 9, pp. 789 - 744, 1976.
- [2.30] Y. C. Kao, E. D. Woley - "High-voltage planar P-N junctions", Proceedings of IEEE, vol. 55, nº 8, pp. 1409 - 1414, Ago. 1967.
- [2.31] M. S. Adler et al. - "Theory and breakdown voltage for planar devices with a single field limiting ring", IEEE Transactions on Electron Devices, vol. ED - 24, nº 2, pp. 107 - 113, Fev. 1977.
- [2.32] K. P. Brieger et al. - "Blocking capability of planar devices with field limiting rings", Solid State Electronics, vol. 26, nº 8, pp. 739 - 745, 1983.
- [2.33] V. Boisson et al. - "Analytical expression for the potential of guard rings of diodes operating in punch-through mode", IEEE Transactions on Electron Devices, vol. ED - 32, nº 4, pp. 838 - 840, Abr. 1985.
- [2.34] D. C. Meyers, D. L. Kwong - "Breakdown voltages of ion-implanted junctions", J. Applied Physics, vol. 57, nº 12 pp. 5380 - 5385, Jun. 1985.

- [2.35] D. S. Kuo et al. - "dV / dt breakdown in power MOSFET's" IEEE Electron Devices Letters, vol. EDL - 4, nº 1, pp. 1 - 2, Jan. 1983.
- [2.36] H. Tranduc, P. Rossel - "Protection des transistors MOS en regime de deuxième claquage", Revue Physique Appliquee, vol. 17, pp. 389 - 391, Jun. 1982.

Capítulo 3.

- [3.1] J. D. Plummer, R. A. Blanchard - "Power MOS devices in discrete and integrated circuits" in "Power integrated circuits", P. Antognetti (editor), capítulo 3, pp. 3.1 McGraw - Hill Book Co., 1986.
- [3.2] P. L. Hower, M. J. Geisler - "Comparison of various source-gate geometries for power MOSFET's", IEEE Transactions on Electron Devices, vol. ED - 28, nº 9, pp. 1098 - 1101, Set. 1981.
- [3.3] E. H. Nicollian J. R. Brews - "MOS physics and technology", John Wiley and Sons, 1982.
- [3.4] S. M. Sze - "Physics of semiconductor devices", caps. 7 e 8, 2ª edição, John Wiley and Sons, 1981.
- [3.5] W. Bueno de Moraes - "Contribuição à otimização da estrutura de transistores MOS de estrutura não coplanar", cap. 2, tese de doutorado, Universidade Estadual de Campinas, Nov. 1982.
- [3.6] -- , -- Processo bipolar SB1, documentos RLB 01 e PEP 2, Vértice Sistemas Integrados / SID Microeletrônica, 1988.
- [3.7] M. Belabadia - "Proprietes dynamiques des transistors MOS de puissance", cap. 1, tese de doutorado, Université Paul Sabatier, Toulouse, França, Jul. 1988.
- [3.8] M. I. Castro Simas - "Caracterização e proteção de transistores MOS em conversores eletrônicos de potência em regimes de comutação", cap. 3, tese de doutorado, Instituto Superior Técnico, Lisboa, Portugal, 1988.
- [3.9] Idem ref. [2.13], cap. 6.
- [3.10] Idem ref. [2.11], cap. 3.

- [3.11] W. N. Carr, J. P. Mize - "MOS / LSI design and application", cap. 1, McGraw - Hill Book Co., 1972.
- [3.12] F. Granadel - "Evolution des transistors MOS de puissance vers le domaine des petites dimensions", tese de doutorado, Université Paul Sabatier, Toulouse, França Mar. 1987.
- [3.13] S. Sun, J. D. Plummer - "Modeling the on-resistance of LDMOS, VDMOS and VMOS power transistors", IEEE Transactions on Electron Devices, vol. ED - 27, nº 2, pp. 356 - 367, Fev. 1980.
- [3.14] Idem ref. [3.5], cap. 3.
- [3.15] T. Phan Phan - "Le compromis entre la resistance a l'état passant et la tenue en tension dans les transistors MOS de puissance: application a la definition des regles de conception des structures VDMOS", tese de doutorado, Université Paul Sabatier, Toulouse, França, Jul. 1982.
- [3.16] C. Hu - "Optimum doping profile for minimum ohmic resistance and high breakdown voltage", IEEE Transactions on Electron Devices, vol. ED-26, nº 3, pp. 243 - 244, Mar. 1979.
- [3.17] P. Rossel, H. Tranduc - "Etat de l'art des transistors MOS de puissance et des circuits integres de puissance", Rapport LAAS nº 88.202, Jun. 1988.
- [3.18] M.S. Adler et al. - "The evolution of power device technology", IEEE Transactions on Electron Devices, vol. ED-31, nº 11, pp. 1570 - 1591, Nov. 1984.
- [3.19] P. Rossel, J. Buxo - "Discrete and integrated MOS power technology", Physica B, vol. 129, nº 1, pp. 33 - 52, Abr. 1985.
- [3.20] M. D. Focha et al. - "Tradeoff between threshold voltage and breakdown in high-voltage double-diffused MOS transistors", IEEE Transactions on Electron Devices, vol. ED - 25, nº 11, pp. 1325 - 1327, Nov. 1978.

Capítulo 4.

- [4.1] F. H. Behrens - "Transistores DMOS verticais de potencia em tecnologia CMOS convencional", anais do II Congresso da SBMicro, pp. 497 - 507, Jul. 1987.

- [4.2] Idem ref. [3.10], cap.2.
- [4.3] Idem ref. [3.5], cap. 3.
- [4.4] S. Young - "Integrated current sensing simplifies MOSFET's design", EDN vol. 31, nº 23, pp. 215 - 220, Nov. 1986.
- [4.5] W. Schultz - "Sense-cell MOSFET eliminates losses in source circuit", EDN vol. 31, nº 13, pp. 169 - 178, Jun. 1986.
- [4.6] -- , -- "MOS integrated circuits: theory, fabrication, design and system applications of MOS LSI", American Microsystems Inc, Van Nostrand Reinholds Co., 1972.
- [4.7] -- , -- "Manual do Projeto Multiusuário", Centro Tecnológico para Informática, 1986.
- [4.8] F. H. Behrens - "Projeto ETP - 1", Documento Técnico 003/88, Instituto de Microeletrônica, Centro Tecnológico para Informática, Mar. 1988.
- [4.9] F. H. Behrens - "Documento de especificação de testes do CI POTMOS", Documento Técnico nº 002/88, Instituto de Microeletrônica, Centro Tecnológico para Informática, Fev. 1988.
- [4.10] Idem ref. [3.12], cap. 3.
- [4.11] Idem ref. [2.12], caps. 6 e 10.
- [4.12] A. S. Grove - "Effect of surface fields on the breakdown voltage of planar silicon P N junctions", IEEE Transactions on Electron Devices, vol. ED - 14, nº 3, pp. 157 - 162, Mar. 1967.
- [4.13] B. J. Baliga - "High - voltage device termination techniques", IEE Proceedings, vol. 129, Part. I, nº 5, pp. 173 - 179, Out. 1982.
- [4.14] E. S. Oxner - "Power FET's and their applications", caps. 5, 6, 7, 8 e 9, pp. 123 - 261, Prentice Hall inc, 1982.
- [4.15] E. H. Nicollian, A. Goetzberger - "Avalanche injection currents and charging phenomena in thermal SiO₂", Applied Physics Letters, vol. 15, nº 6, pp. 174 - 176, Set. 1969.
- [4.16] Idem ref. [3.8].

ANEXO A

Definição da integral de ionização.

A seguir, será demonstrada a origem matemática da integral de ionização, com base num modelo físico simples proposto por Ghandhi [2,21].

Considere-se na figura A.1 um diodo P / N na iminência de ocorrer ruptura por avalanche. Na análise a seguir, considerar-se-á apenas a contribuição devida a corrente de elétrons, dado que cada impacto destes portadores gera um par elétron-lacuna e define, assim, uma corrente de lacunas de igual intensidade à de elétrons.

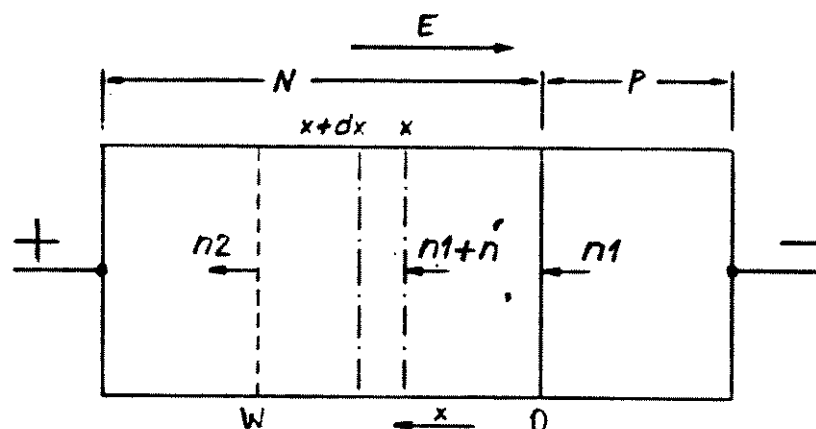


Figura A1 - Diodo P / N reversamente polarizado.

Na figura A.1, o número de elétrons que entram à direita da região de espessura infinitesimal dx vale $n_1 + n$. O número de elétrons gerados na região entre x e W vale $n_2 - n_1 - n$. Portanto, o número de lacunas que entram à esquerda da região infinitesimal dx também vale $n_2 - n_1 - n$. Ambas as parcelas de portadores contribuem para a geração de pares elétron-lacuna no intervalo entre x e $x + dx$. O número de elétrons produzidos por impacto neste intervalo é dado por:

$$\begin{aligned}
 dn &= (n_1 + n) \alpha \cdot dx + (n_2 - n_1 - n) \alpha \cdot dx \\
 &= n_2 \cdot \alpha \cdot dx
 \end{aligned}
 \tag{A.1}$$

Integrando (A.1) entre 0 e W, obtém-se:

$$\int_{n_1}^{n_2} dn = \int_0^W n_2 \cdot \alpha \cdot dx
 \tag{A.2}$$

$$n_2 - n_1 = n_2 \cdot \int_0^W \alpha \cdot dx
 \tag{A.3}$$

$$1 - \frac{n_1}{n_2} = \int_0^W \alpha \cdot dx
 \tag{A.4}$$

Define-se o coeficiente de multiplicação M como sendo a razão entre o número de portadores que saem da região de depleção e o número de portadores que entram nesta região:

$$M = \frac{n_2}{n_1}
 \tag{A.5}$$

O fenômeno de avalanche ocorre quando M se torna infinito. Na eq. (A.4), essa condição é satisfeita se:

$$\int_0^W \alpha \cdot dx = 1
 \tag{A.6}$$

O termo à esquerda da eq. (A.6) é denominado integral de ionização. O mesmo resultado seria obtido se fosse considerada a contribuição de lacunas.

O modelo da eq. (A.6) implicitamente considera os coeficientes de ionização para elétrons e lacunas como sendo iguais. Um modelo mais completo é citado na ref. [2.13], para o caso de uma junção N^+ / P onde a_n e a_p são diferentes. Neste modelo, o coeficiente de multiplicação M em função da posição x é dado por:

$$M(x) = \frac{\exp \left[\int_0^x (a_n - a_p) dx \right]}{1 - \int_0^W a_p \cdot \exp \left[\int_0^x (a_n - a_p) dx \right] dx} \quad (A.7)$$

O fenômeno de avalanche ocorrerá se $M(x)$ tornar-se infinito. Portanto, o denominador da eq. (A.7) deverá tender a zero, ou seja:

$$\int_0^W a_p \cdot \exp \left[\int_0^x (a_n - a_p) dx \right] dx = 1 \quad (A.8)$$

Nota-se que se a_n e a_p são considerados iguais, a eq. (A.8) transforma-se na eq. (A.6).

Gharbi [2.11] generaliza a definição das integrais de ionização para elétrons e lacunas, segundo a orientação apresentada na figura A.2, que considera uma junção do tipo P^+ / N .

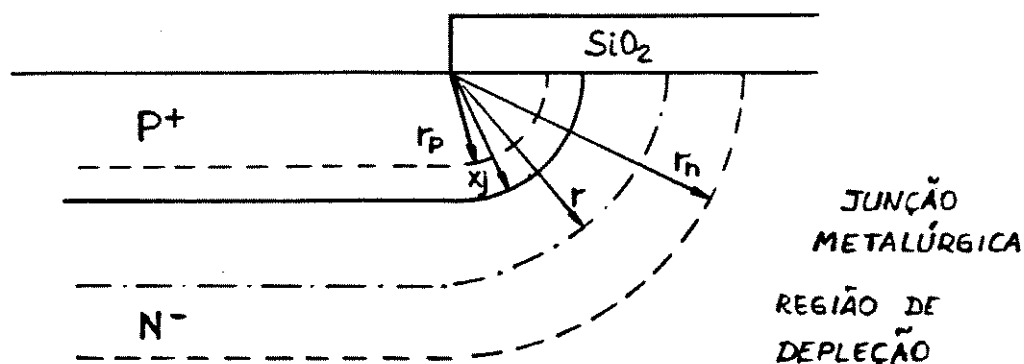


Figura A.2 - Definição de variáveis numa junção P^+ / N .

A utilização de um sistema de coordenadas cilíndrico não invalida a aplicação deste resultado a qualquer conformação de junção. Assim:

$$I_n = \int_{r_n}^{r_p} \alpha_n \cdot \exp \left[- \int_{r_n}^{r_p} (\alpha_n - \alpha_p) dr \right] dr = 1 \quad (A.9)$$

$$I_p = \int_{r_n}^{r_p} \alpha_p \cdot \exp \left[- \int_{r_n}^{r_p} (\alpha_p - \alpha_n) dr \right] dr = 1 \quad (A.10)$$

onde r_n e r_p são respectivamente os limites de extensão da região de depleção dos lados N e P, segundo a orientação da figura A.2.

No caso de α_n e α_p serem aproximados por um coeficiente de ionização α eficaz, as eqs. (A.9) e (A.10) tornam-se:

$$I = I_n = I_p = \int_{r_n}^{r_p} \alpha \cdot dr = 1 \quad (A.11)$$

Ungell apresenta nos capítulos 1 e 2 da ref. [2.28] um formalismo adequado para a definição das integrais de ionização, de um modo especialmente aplicável ao estudo do fenómeno de ruptura por avalanche em junções semicondutoras.

ANEXO B

Solução geral das integrais de ionização

Considere-se a forma matemática proposta por Fulop [2.19] para os coeficientes α :

$$\alpha = A \cdot E(r)^7 \quad [\text{cm}^{-1}] \quad (\text{B.1})$$

onde:

$$A = 1,8 \cdot 10^{-35} \quad [\text{volt}^{-7} \cdot \text{cm}^6]$$

e $E(r)$ é a distribuição de campo elétrico. A seguinte definição é utilizada:

$$E(r) = K \cdot h(r) \quad (\text{B.2})$$

onde K é uma constante, que será determinada para cada caso, e $h(r)$ é uma função da variável r , tal que a igualdade em (B.2) seja satisfeita.

Define-se também a existência de uma função $H(r)$ como sendo a primitiva de $h(r)$, ou seja:

$$H(r) = \int h(r) dr \quad (\text{B.3})$$

CASO 1: Coeficientes α_n e α_p aproximados por um único coeficiente α eficaz, ou seja:

Solução geral das integrais de ionização.

Anexo B

$$a_n = a_p = a \quad (B.4)$$

Nesta situação, fazendo-se uso de (A.11), tem-se:

$$\begin{aligned} I &= \int_{r_n}^{r_p} a \, dr = \int_{r_n}^{r_p} A \cdot E(r)^7 \, dr = \\ &= \int_{r_n}^{r_p} A \cdot K^7 \cdot h(r) \, dr = A \cdot K^7 \int_{r_n}^{r_p} h(r) \, dr = \\ &= A \cdot K^7 \cdot H(r) \Big|_{r_n}^{r_p} \end{aligned} \quad (B.5)$$

Substituindo-se os limites e considerando que a integral de ionização vale 1:

$$H(r_p) - H(r_n) = \frac{1}{A \cdot K^7} \quad (B.6)$$

CASO 2: Coeficientes a_n e a_p diferentes.

Neste caso, a eq. (B.1) se desmembra em duas:

$$a_n = A_n \cdot E(r)^7 \quad (B.7)$$

$$a_p = A_p \cdot E(r)^7 \quad (B.8)$$

Tem-se também duas integrais de ionização, definidas pelas eqs. (A.9) e (A.10).

Considere-se primeiramente a integral de ionização para elétrons (A.9):

$$I_n = \int_{r_n}^{r_P} a_n \cdot \exp \left[- \int_{r_n}^r (a_n - a_p) dr' \right] dr = 1 \quad (B.9)$$

Substituindo-se (B.7) e (B.8), e considerando-se a definição em (B.2), obtém-se:

$$\begin{aligned} I_n &= K \cdot A_n \int_{r_n}^{r_P} h(r) \cdot \exp \left[- K (A_n - A_p) \int_{r_n}^r h(r') dr' \right] dr = \\ &= K \cdot A_n \int_{r_n}^{r_P} h(r) \cdot \exp \left[- K (A_n - A_p) [H(r) - H(r_n)] \right] dr \end{aligned} \quad (B.10)$$

Como $H(r_n)$ é constante, pode-se escrever:

$$\begin{aligned} I_n &= \frac{A_n}{A_n - A_p} \exp \left[K (A_n - A_p) H(r_n) \right] \cdot \\ &\cdot \int_{r_n}^{r_P} K (A_n - A_p) h(r) \cdot \exp \left[- K (A_n - A_p) H(r) \right] dr = 1 \end{aligned} \quad (B.11)$$

Fazendo-se:

$$u = -k^7 (A_n - A_p) \cdot H(r) \quad (B.12)$$

$$du = -k^7 (A_n - A_p) \cdot h(r) dr \quad (B.13)$$

e considerando que:

$$- \int \exp(u) du = -\exp(u) \quad (B.14)$$

a eq. (B.11) pode ser integrada:

$$I_n = \frac{A_n}{A_n - A_p} \exp \left[\int K^7 (A_n - A_p) H(rn) \right] \cdot$$

$$\cdot - \exp \left[-K^7 (A_n - A_p) \left[H(rp) - H(rn) \right] \right] = 1 \quad (B.15)$$

Fazendo:

$$s = K^7 (A_n - A_p) \cdot H(rn) \quad (B.16)$$

$$t = K^7 (A_n - A_p) \cdot H(rp) \quad (B.17)$$

$$I_n = \frac{A_n}{A_n - A_p} \left[-\exp(s - t) + \exp(0) \right] = 1 \quad (B.18)$$

Logo:

$$\exp(s - t) = 1 - \frac{A_n}{A_n - A_p} = \frac{A_p}{A_n} \quad (B.19)$$

Aplicando o **L**ogaritmo natural em ambos os termos de (B.18):

$$(s - t) = \ln \left[\frac{A_p}{A_n} \right] \quad (B.20)$$

Substituindo (B.16) e (B.17) em (B.19):

$$K \cdot (A_n - A_p) \left[H(r_n) - H(r_p) \right] = \ln \left[\frac{A_p}{A_n} \right] \quad (B.21)$$

Portanto:

$$H(r_p) - H(r_n) = \frac{1}{(A_p - A_n) \cdot K} \cdot \ln \left[\frac{A_p}{A_n} \right] \quad (B.22)$$

Resolvendo-se a integral de ionização para lacunas, eq. (A.10), obtem-se a mesma expressão acima, indicando que há uma equivalência de resultados se o processo de multiplicação de portadores se iniciar por elétrons ou por lacunas, dado que a ionização por impacto sempre gera um par elétron-lacuna.

Pode-se facilmente demonstrar que caso a_n e a_p tendam a ter valores iguais ou muito próximos, a eq. (B.22) tende à eq. (B.6).