

PROJETO E IMPLEMENTAÇÃO FÍSICA
DE UM CODIFICADOR NÃO-LINEAR PARALELO-SÉRIE-PARALELO
PARA SISTEMA MCP DE 30 CANAIS

HERNANI JOSÉ GUILHERME DE TOLOSA
Orientador - REGE R. SCARABUCCI

Tese apresentada à Faculdade de
Engenharia de Campinas -UNICAMP
como parte dos requisitos exigi-
dos para obtenção do título de
MESTRE EM CIÊNCIAS.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
SETEMBRO 1977

UNICAMP
BIBLIOTECA CENTRAL

Durante a execução deste trabalho, muitas foram as pessoas que contribuíram e a elas desejo expressar o meu agradecimento.

Agradeço:

Ao Prof. Dr. Rege Romeu Scarabucci, pela orientação, apoio e pelo tema para desenvolvimento que me foram oferecidos;

Aos Eng^{os} Antonio Vivaldi Rodrigues, José Geraldo Chiquito, da UNICAMP e Dagoberto Agenor de Souza do Centro de Pesquisas da Telebrás, pelas valiosas discussões e ajudas;

Ao Eng^o Oswaldo Alvaro S. Croquevielle da Elebra, pela ajuda prestada durante os testes práticos e pelas muitas discussões em torno do trabalho;

Às srtas. Maria Julia Dini e Maria Angela Sgrist pelos trabalhos de datilografia e desenho, respectivamente;

Aos técnicos do LCD da FEC-UNICAMP pelos diversos trabalhos durante a implementação física do conversor;

À Sra. Matilde Bulkowski de Tolosa, minha esposa, pela correção da redação dos originais manuscritos;

A todas outras pessoas que de alguma forma contribuíram para a realização deste trabalho.

De uma forma muito especial, agradeço ao Eng^o Yuzo Yano, que me acompanhou em todas as fases deste trabalho.

O trabalho contou com o apoio financeiro da UNICAMP, TELEBRÁS, e FAPESP.

RESUMO

O trabalho consta do projeto, implementação física e análise de desempenho de um conversor A/D Não-Linear Paralelo/Série/Paralelo para sistema de transmissão MCP com capacidade para 30 canais de voz.

O desempenho do conversor na presença de alguns tipos de erros que podem ocorrer, é obtido por simulação digital e comparado com o desempenho especificado pelo CCITT*. Alguns desses resultados também são deduzidos analiticamente.

A curva de relação (S/N) para o conversor implementado é obtida e também comparada com o desempenho especificado pelo CCITT.

* CCITT - Comitté Consultatif International de Telegraphie et Telephonie.

ÍNDICE

INTRODUÇÃO

CAPÍTULO I -

II.1 - Característica de compressão

II.1.1 - Codificação

II.1.2 - Decodificação

II.2 - Codificador Proposto

II.2.1 - Parte não linear

II.2.2 - Parte linear

CAPÍTULO II - IMPLEMENTAÇÃO FÍSICA DO CODIFICADOR

II.1 - Introdução

II.2 - Amostrador-segurador, Retificador e detetor de polaridade

II.2.1 - Amostrador-segurador

II.2.2 - Retificador e detetor de polaridade

II.3 - Parte não linear

II.3.1 - Fontes de referência

II.3.2 - Malha de comparação

II.3.3 - Lógica da parte não linear

II.3.4 - Malha de ganho ou atenuação, chaveamento e seguidor

II.4 - Parte linear

II.4.1 - Comparação

II.4.2 - Lógica linear

II.5 - Conversor paralelo-série

II.6 - Modificações introduzidas no projeto original

II.6.1 - Multiplexador de oito canais

II.6.2 - Codificador de prioridade

- II.7 - Estudo de tempo no codificador
- II.8 - Cálculo dos parâmetros do codificador
 - II.8.1 - Retificador e amplificadores de sinais
 - II.8.2 - Fonte regulada e tensões de referência
- II.9 - Potência consumida
- II.10 - Esquema completo do codificador

CAPÍTULO III - ESTUDO DE ERRO E DA RELAÇÃO (S/N) PARA O CODIFICADOR IMPLEMENTADO

- III.1 - Introdução
- III.2 - Modelos adotados
 - III.2.1 - Recursos de computação utilizados
 - III.2.2 - Modelo para amostragem do sinal
 - III.2.3 - Modelo para simulação do codificador ideal
- III.3 - Codificação Uniforme de 12 bits
- III.4 - Erros de retificação
 - III.4.1 - Retificação não ideal
 - III.4.2 - Retificação com "off-set" adicionado à saída
- III.5 - Erros nos níveis de referência do codificador
 - III.5.1 - Modelo para simulação
 - III.5.2 - Resultado da simulação
- III.6 - Determinação da precisão dos resistores necessária para o desempenho do codificador atingir o limite imposto pelo CCITT
 - III.6.1 - Modelo estatístico
 - III.6.2 - Modelo para simulação
 - III.6.3 - Resultado da simulação

CAPÍTULO IV - RESULTADO DOS TESTES E CONCLUSÃO

- IV.1 - Resposta do retificador
- IV.2 - Resposta do codificador a uma varredura
- IV.3 - Ondas de controle e saída MCP
- IV.4 - Curvas de relação (S/N) para o codificador implementado
 - IV.4.1 - Equipamento de teste
 - IV.4.2 - Resultado dos testes
- IV.5 - Conclusão

APÊNDICE I - DIAGRAMAS DE BLOCOS DAS SIMULAÇÕES

APÊNDICE II- PROGRAMAS FORTRAN DAS SIMULAÇÕES

BIBLIOGRAFIA

INTRODUÇÃO

Desenvolve-se no Departamento de Engenharia Elétrica da FEC-UNICAMP, um sistema MCP com capacidade para 30 canais. Tal sistema terá capacidade de transmitir e receber 30 canais telefônicos mais dois canais de sincronismo e sinalização / supervisão através de multiplexagem em tempo. Cada canal é amostrado a 8 KHz. Tais amostras são comprimidas, segundo a lei $A=87,6$) e quantizadas em 256 níveis e, em seguida, codificadas binariamente em palavras de 8 dígitos. Cada quadro do sinal MCP contará com 30 canais para sinais de voz e 2 canais que serão utilizados para transmissão de sinalização dos canais, sincronismo de quadro, mensagens de alarme, sincronismo da sinalização e indicação de transmissão de dados.

Para maior flexibilidade, o sistema MCP também poderá ser usado na transmissão de dados digitais. A frequência máxima de repetição dos pulsos na saída do sistema e ao longo da linha de transmissão, será:

$$f_p = (8 \text{ dígitos}) \times (8\text{KHz}) \times (32 \text{ canais}) = 2.048\text{KHz}$$

o que significa uma capacidade instalada de 2048 Kbits/segundo.

Cada palavra digital terá um tempo de duração:

$$t_p = (8 \text{ dígitos}) \times \frac{1}{f_p} \approx 3,9 \mu s$$

O trem de pulsos na saída será bipolar. Isto tem por finalidade eliminar o termo contínuo do trem de pulsos e maximizar a densidade espectral em torno de $0,5 f_p = 1024 \text{ KHz}$.

Outros dados referentes ao sistema podem ser encontrados em (1,2,3,4, e 10).

Neste trabalho é projetado o codificador a ser implementado para a construção do protótipo PDI-A do sistema.

No primeiro capítulo se faz um estudo do princípio de codificação a ser usado, incluindo uma discussão a respeito da curva de compressão e das idéias básicas do codificador.

No segundo capítulo é feito o projeto do codificador (implementação física), e são apresentadas as modificações surgidas durante o seu desenvolvimento.

No terceiro capítulo se faz um estudo da deterioração da relação Sinal/Ruído (S/N), devido à vários parâmetros do codificador que podem resultar em erro de codificação. Neste capítulo ainda se faz um estudo estatístico afim de se determinar qual deve ser a precisão exigida para os resistores das diversas partes do codificador. Todo o estudo é feito por simulação no computador.

Os resultados dos testes experimentais e a conclusão do trabalho, estão apresentados no Capítulo IV. Nesse capítulo também se apresenta a curva da relação (S/N), obtida em laboratório, para o codificador implementado.

CAPÍTULO I

PROJETO TEÓRICO

I.1 - Característica de Compressão.

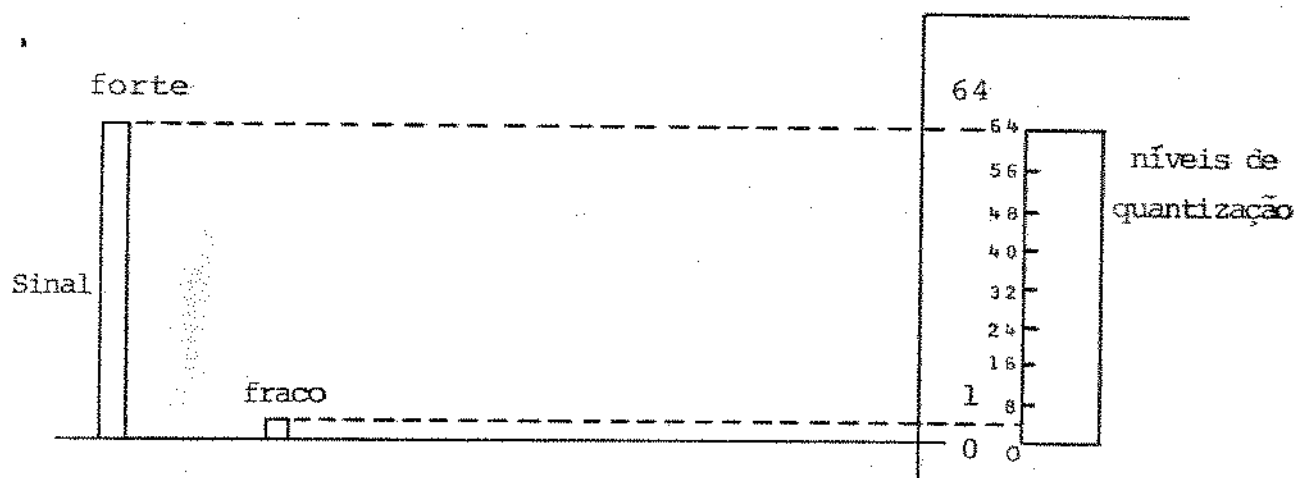
O objetivo do codificador é transformar em digital a mensagem análoga de entrada afim de que possa ser enviada para a linha. O procedimento utilizado quantiza as amostras da mensagem em níveis discretos de tal forma que seja possível uma posterior decodificação. Surge então o "Ruído de quantização", característico do processo. Nas altas amplitudes tal característica discreta não afeta o desempenho global sinal transmitido - codificador - decodificador - sinal recebido (1) de forma muito destrutiva. Porém em pequenas amplitudes o ruído de quantização é limitador do desempenho do sistema (ver Fig. I.1 a).

Como primeira solução pode-se aumentar a potência do sinal e aumentar o número de níveis de quantização, passando a uma codificação uniforme. Neste caso o número de bits de codificação aumenta, requerendo decisões mais rápidas e precisas do codificador, além do aumento da banda de passagem da linha.

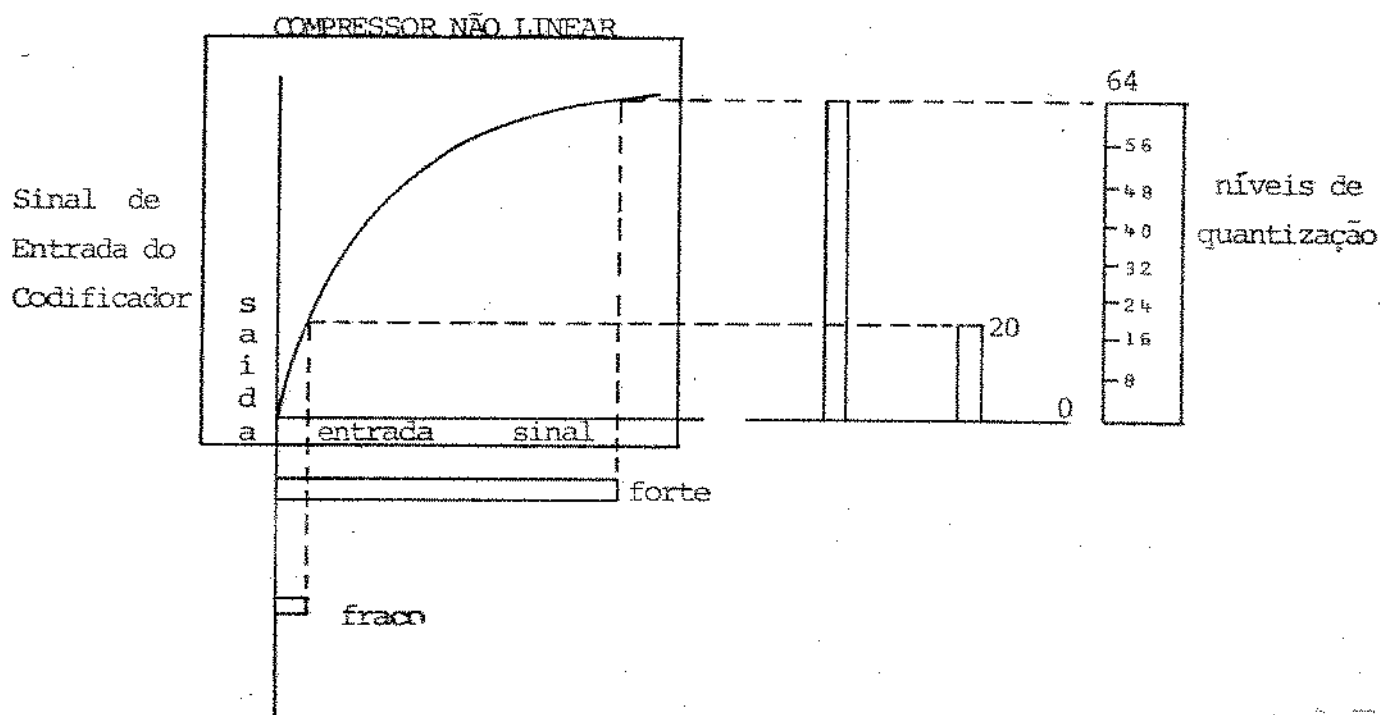
Como segunda solução pode-se adotar o processo de codificação não linear, dando-se maior nº de níveis de quantização às baixas amplitudes (ver Fig. I.1 b).

A segunda solução pode ser implementada de duas formas:

- a) usar um compressor de sinais e passar a uma codificação uniforme.
- b) usar codificação não linear (Solução adotada para o sistema em desenvolvimento (2)).



a. Codificação Uniforme.



b. Codificação não Linear

Fig. I.1 - Codificação do Sinal Análogo

Qualquer que seja o método adotado, o sinal será processado de modo que o número de níveis de quantização dos sinais de baixas amplitudes aumenta em detrimento daqueles com altas amplitudes.

Usa-se então uma curva de compressão a fim de se proceder à codificação dos sinais. As curvas de compressão padronizadas pelo C.C.I.T.T. são as chamadas "Lei A" e "Lei μ ". No caso do sistema MCP em desenvolvimento no DEE - FEC (1), (2) e (3) usa-se a Lei "A = 87.6". A aproximação da curva desejada é obtida por intermédio de uma característica segmental multilinear. Um estudo da relação Sinal-Ruído com e sem compressão é feito em (1).

A expressão analítica que relaciona a saída y com a entrada normalizada x é dada pela eq. I.1; a curva da compressão aparece na fig. I.2 e a aproximação segmental multilinear em 13 segmentos na Fig. I.3.

$$|Y| = \begin{cases} \frac{1 + \ln A |x|}{1 + \ln A} & p/ 1/A \leq |x| \leq 1 \\ \\ \frac{A |x|}{1 + \ln A} & p/ 0 \leq |x| \leq 1/A \end{cases} \quad \text{eq. I.1}$$

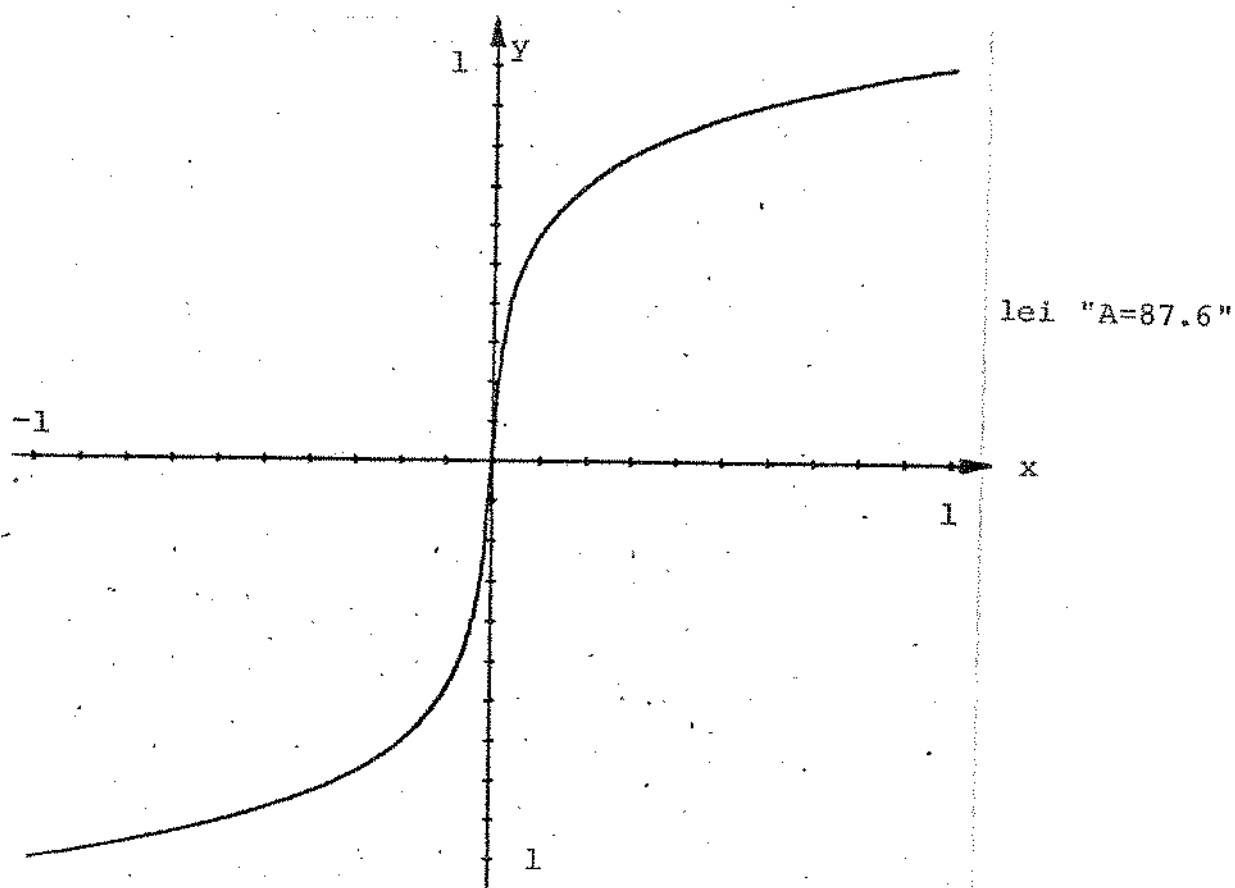


Fig. I.2 - Curva de Compressão para lei "A = 87.6" normalizada.

I.1.1 - Codificação.

A entrada varia entre $-V_0$ e $+V_0$, onde V_0 corresponde a 4096 unidades ponderadas de entrada. O primeiro bit da palavra digital dará a polaridade do sinal, ou em unidades ponderadas, se o sinal está abaixo do ponto "o" ou acima deste. Os 3 bits seguintes corresponderão à localização do segmento em que o sinal está contido, (observe-se que dividindo-se o segmento 7 da fig. I.3 em 4 partes iguais, o total de segmentos obtidos para o lado positivo da curva ou para o lado negativo será 8). Os 4 últimos bits correspondem à localização do sinal dentro de uma das 16 partes iguais em que se divide cada segmento; esta é a parte linear da codificação. A fig. I.4 mostra a divisão em 8 segmentos do lado positivo da curva linearizada. A nomenclatura usada na fig. I.4, é a que será adotada até o fim do trabalho para os segmentos da curva de compressão, independente da polaridade do sinal. Os segmentos receberão os nomes de A a G⁻, correspondentes respectivamente aos de maior e de me

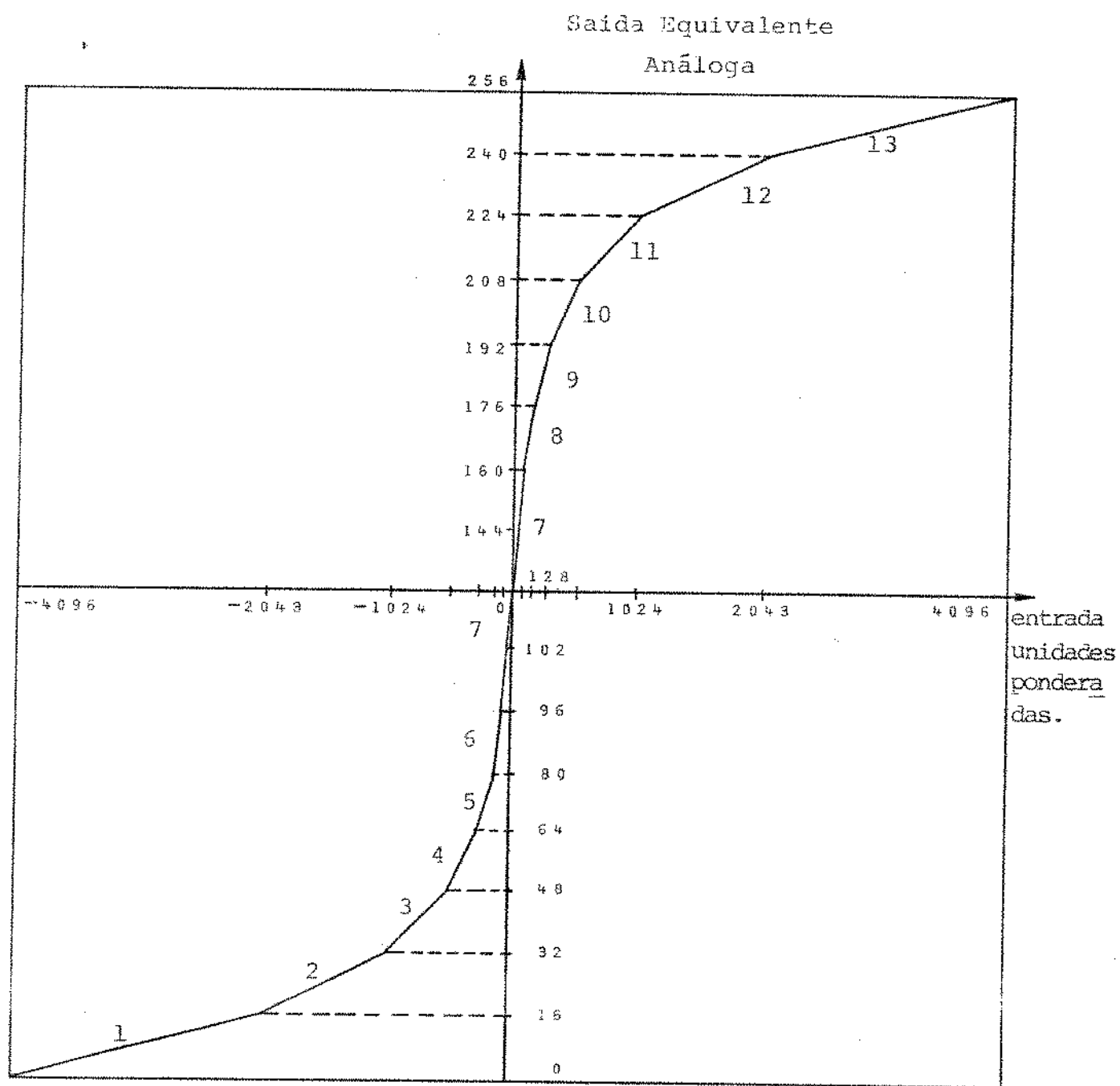


Fig. I.3 - Aproximação sequencial multilinear em
13 segmentos para a Lei "A = 87.6".

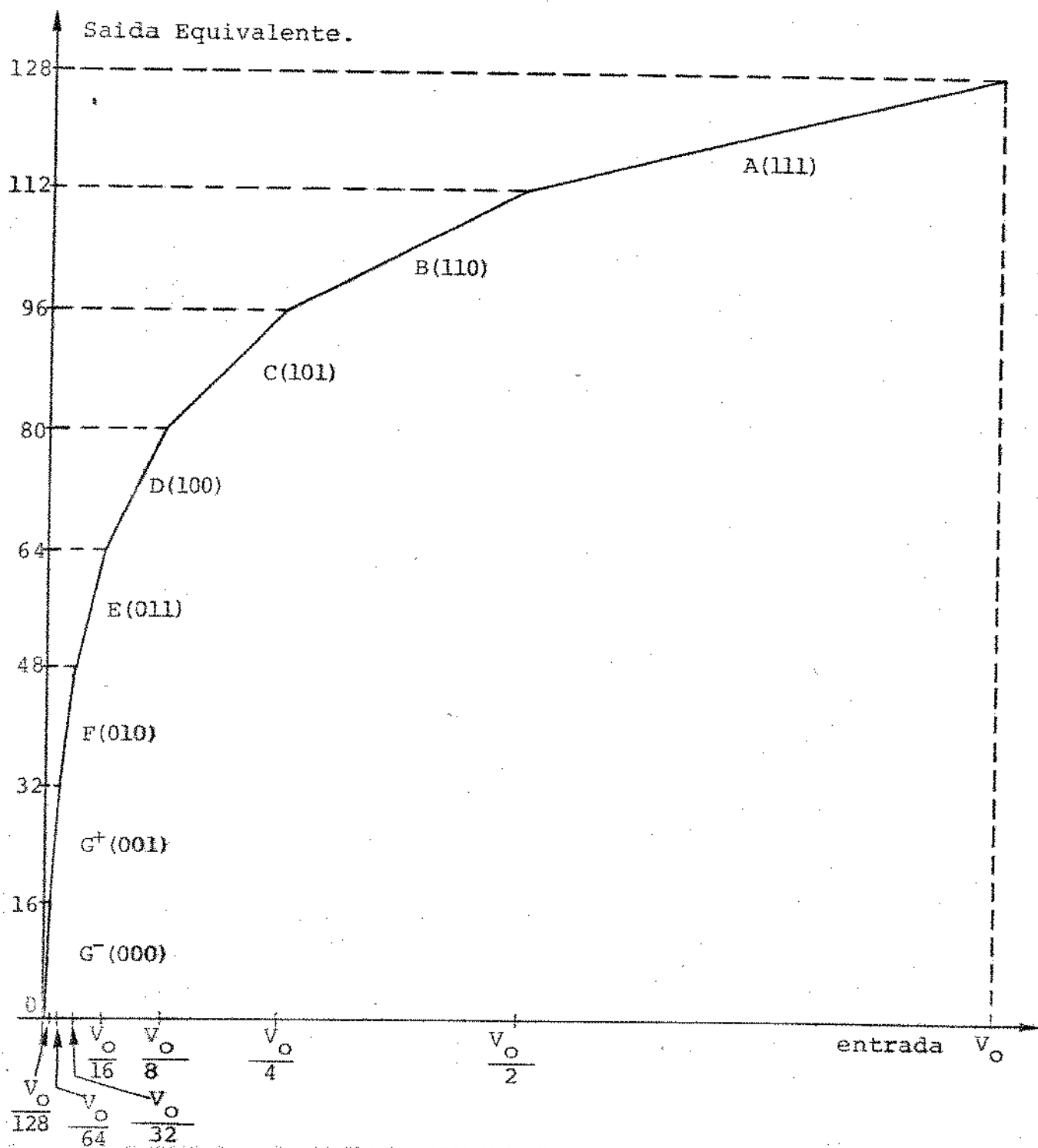


Fig. I.4 Lei "A = 87.6" Linearizada - Parte Positiva.

nor amplitude. Na tabela I.1 é dada a palavra digital correspondente a cada segmento da curva de compressão linearizada por partes.

Segmento	palavra digital
A	111
B	110
C	101
D	100
E	011
F	010
G ⁺	001
G ⁻	000

Tab. I.1 - Palavras Digitais para os segmentos da curva de compressão.

Em (2) e (3) todas as principais características das leis "A" e "μ" são estudadas. Observe no caso da eq. I.1 que as duas curvas possuem a mesma derivada e valor em $X = 1/A$ e portanto, o casamento das curvas é suave e no caso da aproximação segmental multilinear, em cada ponto de quebra a inclinação muda de um fator 2, à exceção dos segmentos G⁻ e G⁺ que possuem a mesma inclinação.

O procedimento acima descrito é padronizado pelo CCITT (5) e pela Telebrás (6). A tabela I.2 resume as padronizações dos dois órgãos para cada nível de sinal de entrada, quando se trata do uso da Lei de compressão A com $A = 87.6$.

As colunas da tab.I.2 correspondem a:

- 1a. coluna : Segmento a que pertence o sinal amostrado.
- 2a. coluna : O número de intervalos de cada segmento multiplicado pelo nº de unidades ponderadas utilizadas em cada intervalo de codificação em tal segmento.
- 3a. coluna : O número total de unidades ponderadas correspondente ao valor final de cada segmento.
- 4a. coluna : Nº do valor de decisão.
- 5a. coluna : Valor de decisão em unidades ponderadas.
- 6a. coluna : Palavra PCM correspondente ao intervalo a que pertence o sinal, antes da inversão dos bits pares.
- 7a. coluna(*): Valor do sinal y_n , em unidades ponderadas, na saída do decodificador.
- 8a. coluna : Nº do valor de decodificação.

I.1.2 - Decodificação

A codificação do sinal, que fornece um sinal digital de 8 bits, corresponde à localização do sinal de entrada dentro de um dos 256 intervalos possíveis de codificação (Fig. I.5)

A notação da fig. I.5 é válida para os segmentos de G^+ a A, que assumem os valores $i = 2$ a 8 respectivamente.

(*) Veja item I.1.2 - Decodificação

TABELA 1-2 a

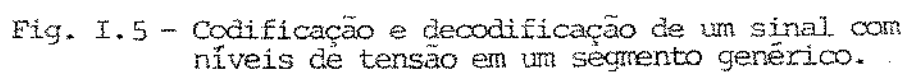
VALORES DE ENTRADA POSITIVOS

1	2	3	4	5	6	7	8
SECTO	Nº DE INTERVALOS x TAMNIO DO INTERVALO	VALOR DO PONTO FINAL DO SECTO	Nº (n) DO VALOR DE DECISÃO	VALOR DE DECISÃO x_n	PALAVRA PCM ANTES DE IN- VERSÃO DOS BITS PARES BITS	VALOR y_N NA SAL- DA DO DECODIFI- CADOR.	VALOR DO NÚMERO NA SAÍDA DO DECO- DIFICADOR.
					1234 5678		
A	16 x 128	4096	128	4096		4032	128
			127	3968	1111 1111		
B	16 x 64					2112	113
		2048	113	2176	1111 0000		
C	16 x 32					1056	97
		1024	112	2048	1110 0000		
D	16 x 16					528	81
		512	97	1098	1101 0000		
E	16 x 8					264	65
		256	96	1024	1100 0000		
F	16 x 4					132	49
		128	81	544	1011 0000		
G ⁺	32 x 2					66	33
		64	80	512	1010 0000		
G ⁻						1	1
		0	33	68	1000 0000		
			32	64			
			1	2			
			0	0			

TABELA I-2 b

VALORES DE ENTRADA NEGATIVOS

1	2	3	4	5	6	7	8
SEGMENTO	Nº DE INTERVALOS x TAMANHO DO INTERVALO	VALOR DO PONTO FINAL DO SEGMENTO	Nº (n_c) DO VALOR DE DECISÃO	VALOR DE DECISÃO x_n	PALAVRA PCM AN- TES DE INVERSÃO DOS BITS PARES BITS 12345678	VALOR YN NA SAÍDA DO DECODIFICADOR	VALOR (n_d) DO NÚMERO NA SAÍDA DO DECODIFI- DOR.
G ⁻ + G ⁺	32 x 2	0 - 1	0 1	0 - 2	00000000	- 1	1
F	16 x 4	- 64	32 33	-64 -68	00100000	-66	33
E	16 x 8	-128	48 49	-128 -136	00110000	-132	49
D	16 x 16	-256	64 65	-256 -272	01000000	-264	65
C	16 x 32	-512	80 81	-512 -544	01010000	-528	81
B	16 x 64	-1024	96 97	-1024 -1088	01100000	-1056	97
A	16 x 128	-2048	112 113	-2048 -2176	01110000	-2112	113
		-4096	127 128	-3968 -4096	01111111	-4032	128



Para o segmento G^- o início será "0" e o fim será $2^5 = 32$ unidades ponderadas e os intervalos de codificação serão idênticos ao G^+ , ou seja, 2 unidades ponderadas.

O valor do intervalo de codificação no caso do segmento genérico será $2^{(i-1)}$ unidades ponderadas.

Desta forma, qualquer sinal com nível de tensão compreendido entre dois níveis de decisão (j) e ($j + 1$), será codificado com a mesma sequência binária.

O processo inverso da codificação, a decodificação, que transformará em análogo novamente o sinal, pode ser visualizado pela tab. I.2 e pela fig. I.5.

Observe pela tabela I.2 e pela Figura I.5, que para cada palavra binária a saída do decodificador corresponderá ao ponto médio entre os níveis de decisão do codificador.

Como um exemplo, usamos a palavra binária correspondente aos dois primeiros níveis de decisão do segmento genérico = $b_1 b_2 b_3 b_4 0 0 0 0$. Em unidades ponderadas, temos:

nível de decisão inferior	2^{i+3}
" " " superior	$2^{i+3} + 2^{i-1}$

então a saída decodificada, em unidades ponderadas será:

$$\frac{2^{i+3} + 2^{i+3} + 2^{i-1}}{2} = 2^{i+3} + 2^{i-2}$$

Significa, então, que a decodificação introduz um nível de off-set fixo, para cada palavra binária, ao nível de tensão correspondente ao valor do nível de decisão inferior de codificação da palavra. Esse nível fixo de off-set corresponde à metade do intervalo de codificação e é então variável para cada segmento.

Em outras palavras, a saída decodificada para sinais compreendidos entre os níveis de decisão, na codificação, j e $j+1$, corresponderá ao valor médio entre esses dois níveis.

I.2 - Codificador Proposto

O codificador proposto utiliza a principal característica de curva linearizada por partes da fig. I.4, que é ser não linear no conjunto, mas linear em cada segmento. O processamento da codificação ocorrerá em 4 fases, descritas a seguir e ilustradas na fig. I.6.

a) Amostragem e armazenamento do sinal.

Nesta fase o sinal PAM é obtido por intermédio de um amostrador e segurador. O seu valor é mantido constante durante o intervalo de tempo de um canal, que é o máximo de tempo disponível para a codificação de uma amostra.

b) Retificação do sinal análogo e detecção do primeiro bit do sinal codificado.

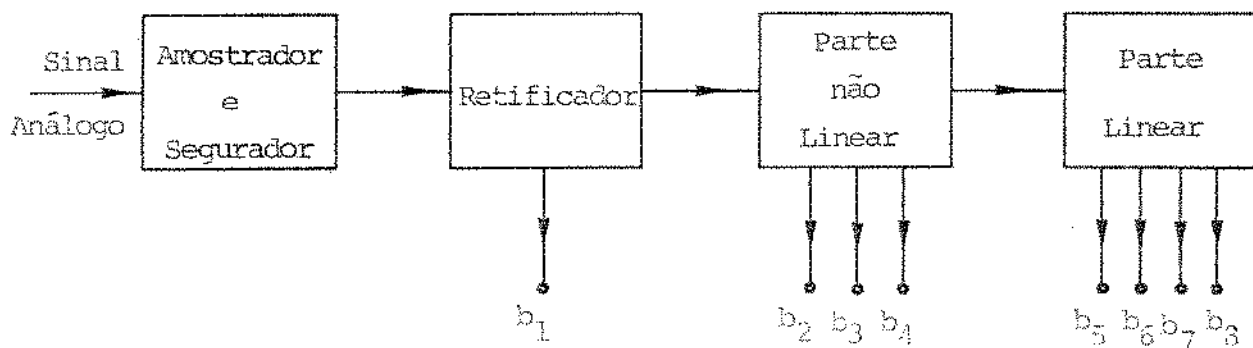


Fig. I.6 - Processamento da Codificação.

c) Codificação Não Linear

Nesta fase localiza-se o segmento a que pertence o valor do sinal análogo e determina-se os bits b_2, b_3 e b_4 do sinal codificado, além de dar-se ganhos ou atenuações ao sinal, de acordo com o segmento detetado, com

a finalidade de levar todos os sinais a um intervalo comum a fim de se processar a codificação uniforme.

d) Codificação Uniforme

Nesta fase já com todos os sinais em um intervalo comum, processa-se a codificação uniforme, obtendo-se então os bits b_5 , b_6 , b_7 e b_8 .

Várias são as possibilidades para implementação das partes descritas. Em (2), vários codificadores são apresentados como sugestão para implementação. Dentre eles, aparece como sendo um dos mais simples e rápidos aquele que usaria 255 comparadores atuando simultaneamente e uma lógica conveniente para a codificação. A grande desvantagem está no alto número de componentes que se deveria utilizar na implementação.

O que se propõe para o codificador a ser projetado é usar na parte não linear e na parte linear o princípio da comparação simultânea e obter os bits da codificação de forma semi-sequencial, o que reduziria em muito o número de componentes e proporcionaria um desempenho bastante alto do ponto de vista de precisão e rapidez.

A fig. I.7 mostra o diagrama de blocos do codificador semi-sequencial ou paralelo-série-paralelo proposto.

As idéias para implementação das partes não linear e linear são dadas a seguir.

I.2.1 - Parte Não Linear

O sinal proveniente do retificador é submetido a uma comparação simultânea com níveis de tensão fornecidos pelas fontes de referência. As saídas dos comparadores são utilizadas por uma lógica que também fornece simultaneamente os bits b_2 , b_3 e b_4 , além dos sinais de controle que irão ativar as chaves S_A , S_B , S_C , S_D , S_E , S_F , S_{G+} e S_{G-} (veja Fig. I.8). Um dos extremos de cada chave está ligado a um ponto da malha de atenuação ou ganho, com exceção da chave S_{G-} que está ligada à saída de um somador que eventualmente também poderá dar

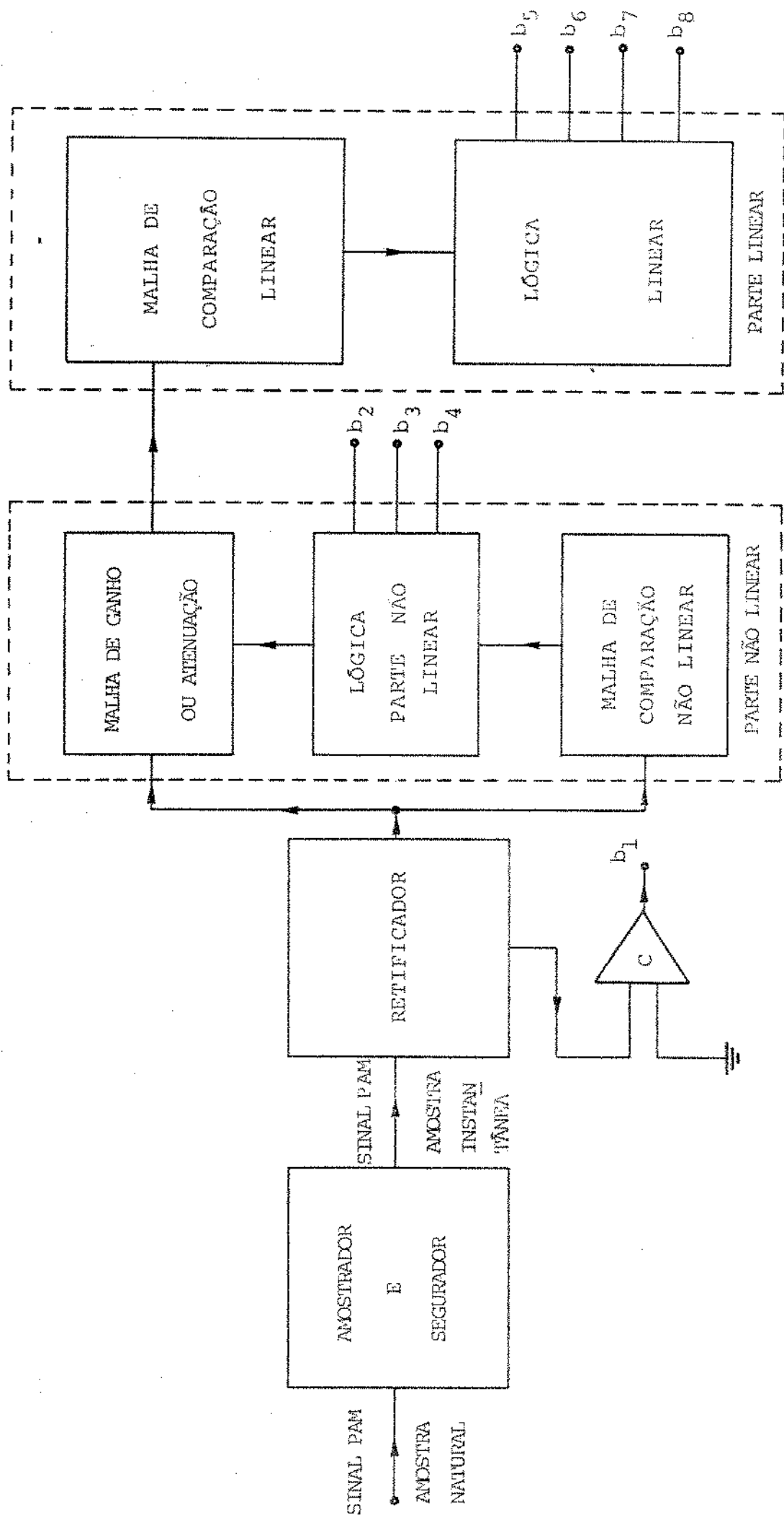


Fig. I.7 - Diagrama de Blocos do Codificador Proposto.

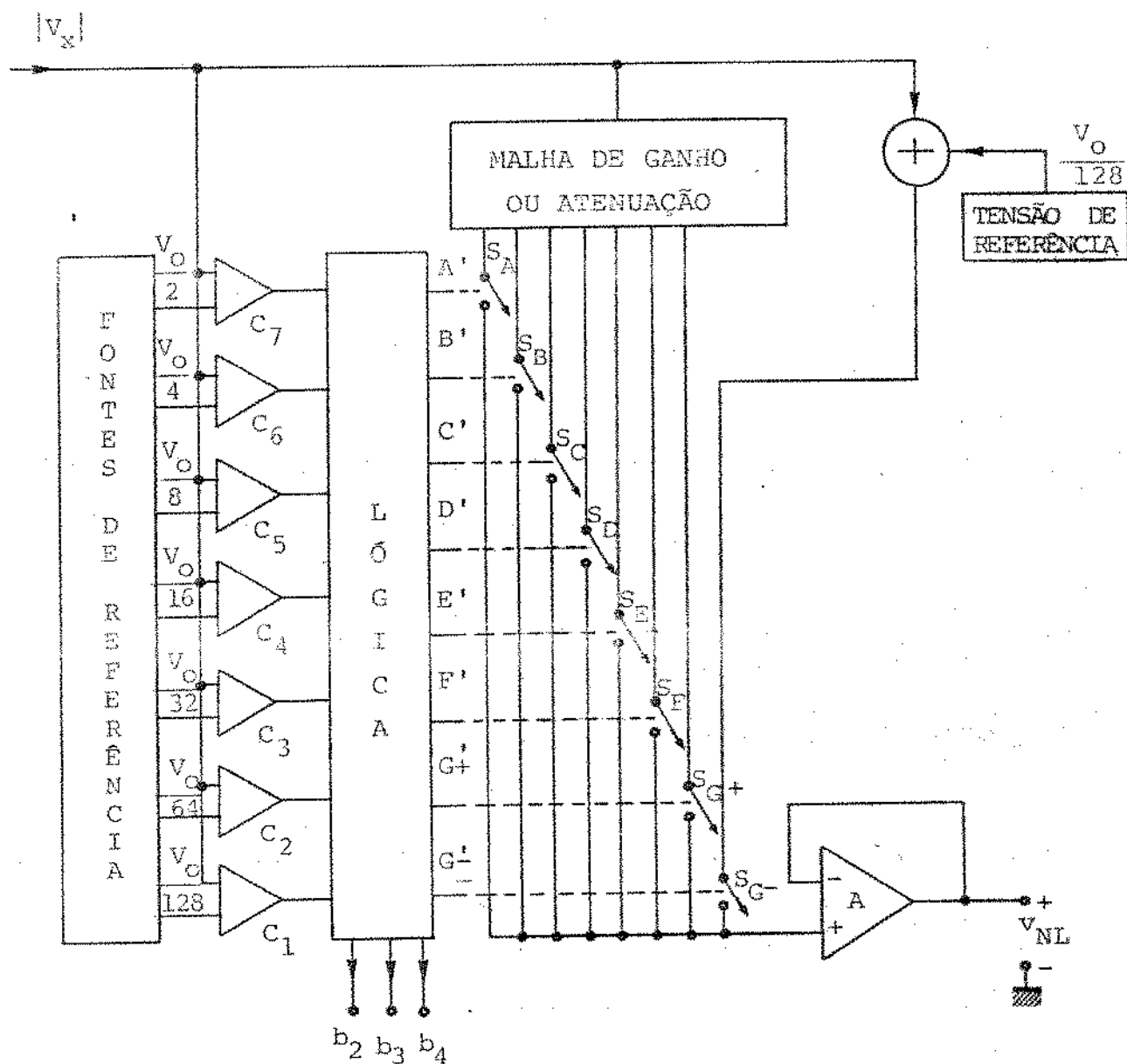


Fig. I.8 - Esquema da Parte Não Linear.

C_i ($i = 1 \dots 7$) → Comparadores.

$S_A, S_B, \dots, S_G^-$ → Chaves Analógicas.

$A', B', \dots, G^-$ → Sinais de Controle das Chaves.

A → Amplificador Operacional.

$|V_x|$ → Saída do Retificador.

V_{NL} → Saída da Parte Não Linear.

um ganho ao sinal. Os outros extremos de todas as chaves estão ligados em um ponto comum. O controle fornecido pela lógica deve ser tal que num intervalo de codificação, só se feche a chave correspondente ao segmento em que se encontra o sinal de entrada $|V_x|$. Desta forma, só uma chave fecha de cada vez.

A fim de não afetar a precisão das malhas e evitar a influência ôhmica das chaves, liga-se a saída comum das mesmas à entrada de um amplificador operacional na configuração seguidor, possuindo, desta forma, alta impedância de entrada.

A saída do A. O. vai para a parte linear.

A escolha do segmento comum na saída da parte não linear, pode recair sobre qualquer um dos segmentos da curva de compressão. Tal escolha deve levar em consideração fatores tais como: minimização de componentes, codificador linear utilizado, ruído, limitação dos componentes disponíveis no mercado. Para cada segmento há vantagens e desvantagens. No próximo capítulo se chegará à escolha do segmento apropriado.

Para ilustrar o processamento dos sinais na parte não linear, escolhemos aqui o segmento G^+ como comum. Isto permitirá que usemos somente uma malha de atenuação e que não tenhamos componentes ativos nas malhas. Pode-se ver na tabela I.3 as atenuações necessárias para que todos os sinais passem para níveis de tensão, compreendidos entre os correspondentes aos do segmento G^+ . No caso do G^- é necessária uma adição.

Segmentos	A	B	C	D	E	F	G^+	G^-
Atenuação	64	32	16	8	4	2	1	1
Adição	-	-	-	-	-	-	-	$\frac{V_O}{128}$

Tab. I.3 - Atenuação dos segmentos quando se escolhe o segmento G^+ como comum.

E, desta forma, os seguintes casos podem ocorrer:

$$1. \quad 0 \leq |V_x| \leq \frac{V_o}{128} \Rightarrow |V_x| \text{ está no segmento } G^-, \text{ as saídas } v_{ci}$$

dos comparadores c_i serão $v_{ci} = 0$ (nível lógico zero) p/ $i = 1, \dots, 7$ então a chave S_{G^-} fecha

e todas as outras abrem. Desta forma

$$v_{NL} = |V_x| + \frac{V_o}{128}$$

e então $\frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64}$ e o sinal passará para o segmento G^+

$$2. \quad \frac{V_o}{128} \leq |V_x| \leq \frac{V_o}{64} \Rightarrow |V_x| \text{ está no segmento } G^+$$

teremos $v_{c1} = 1$ e $v_{ci} = 0$, $i = 2, \dots, 7$

Neste caso fecha a chave S_{G^-} e todas as outras abrem

$$\Rightarrow v_{NL} = |V_x| \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

$$3. \quad \frac{V_o}{64} \leq |V_x| \leq \frac{V_o}{32} \Rightarrow |V_x| \text{ está no segmento } F$$

teremos $v_{c1} = v_{c2} = 1$ e $v_{ci} = 0$, $i = 3, \dots, 7$

Neste caso fecha a chave S_F e todas as outras abrem

$$\Rightarrow v_{NL} = \frac{|V_x|}{2} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+.$$

4. $\frac{V_o}{32} \leq |V_x| \leq \frac{V_o}{16} \Rightarrow |V_x| \text{ está no segmento E, teremos:}$

$$v_{c1} = v_{c2} = v_{c3} = 1 \text{ e } v_{c4} = v_{c5} = v_{c6} = v_{c7} = 0$$

então fecha a chave S_E e todas as outras abrem

$$\Rightarrow v_{NL} = \frac{|V_x|}{4} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

5. $\frac{V_o}{16} \leq |V_x| \leq \frac{V_o}{8} \Rightarrow |V_x| \text{ está no segmento D}$

$$\Rightarrow v_{ci} = 1 \text{ p/ } i = 1, \dots, 4 \text{ e } v_{c5} = v_{c6} = v_{c7} = 0$$

então fecha a chave S_D e todas as outras abrem

$$\Rightarrow v_{NL} = \frac{|V_x|}{8} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

6. $\frac{V_o}{8} \leq |V_x| \leq \frac{V_o}{4} \Rightarrow |V_x| \text{ está no segmento C}$

$$\Rightarrow v_{ci} = 1 \text{ p/ } i = 1, \dots, 5 \text{ e } v_{c6} = v_{c7} = 0$$

então fecha a chave S_C e todas as outras abrem.

$$\Rightarrow v_{NL} = \frac{|V_x|}{16} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

$$7. \quad \frac{V_o}{4} \leq |V_x| \leq \frac{V_o}{2} \Rightarrow |V_x| \text{ está no segmento B}$$

$$\Rightarrow v_{ci} = 1 \quad p/ \quad i = 1, \dots, 6 \text{ e } v_{c7} = 0$$

então fecha a chave S_B e todas as outras abrem

$$\Rightarrow v_{NL} = \frac{|V_x|}{32} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

$$8. \quad \frac{V_o}{2} \leq |V_x| \leq V_o \Rightarrow |V_x| \text{ está no segmento A}$$

$$\Rightarrow v_{ci} = 1 \quad p/ \quad i = 1, \dots, 7$$

então fecha a chave S_A e todas as outras abrem

$$\Rightarrow v_{NL} = \frac{|V_x|}{64} \Rightarrow \frac{V_o}{128} \leq v_{NL} \leq \frac{V_o}{64} \Rightarrow v_{NL} \text{ está em } G^+$$

Os resultados acima estão contidos na TAB. I.4 e na Fig. I.9 visualiza-se o que acontece com cada nível de sinal.

Como se pode observar, em qualquer nível que esteja o sinal, este passará a pertencer ao intervalo de tensões $\frac{V_o}{128} \leq V_{NL} \leq \frac{V_o}{64}$ e irá para a parte de codificação linear.

I.2.2 - Parte Linear

Na parte linear de codificação, submete-se o sinal V_{NL} , fornecido em um intervalo comum, a uma codificação linear de 4 bits, utilizando o mesmo princípio de comparação simultânea.

Os 4 bits lineares são obtidos por intermédio de lógica conveniente, que utiliza os níveis lógicos fornecidos em paralelo pelos comparadores.

Os valores das tensões de referência dos comparadores são obtidos, dividindo-se em 16 partes iguais o intervalo comum a que pertence o sinal.

Segmentos	Limites do Segmento	Saída Lógica dos Comparadores							Chave que Liga	Saída Digital $b_2 b_3 b_4$	Saída V_{NL}
		V_{c1}	V_{c2}	V_{c3}	V_{c4}	V_{c5}	V_{c6}	V_{c7}			
A	$\frac{V_o}{2} \leq V_x \leq V_o$	1	1	1	1	1	1	1	S_A	1 1 1	$ V_x /64$
B	$\frac{V_o}{4} \leq V_x \leq V_o/2$	1	1	1	1	1	1	0	S_B	1 1 0	$ V_x /32$
C	$\frac{V_o}{8} \leq V_x \leq V_o/4$	1	1	1	1	1	0	0	S_C	1 0 1	$ V_x /16$
D	$\frac{V_o}{16} \leq V_x \leq V_o/8$	1	1	1	1	0	0	0	S_D	1 0 0	$ V_x /8$
E	$\frac{V_o}{32} \leq V_x \leq V_o/16$	1	1	1	0	0	0	0	S_E	0 1 1	$ V_x /4$
F	$\frac{V_o}{64} \leq V_x \leq V_o/32$	1	1	0	0	0	0	0	S_F	0 1 0	$ V_x /2$
G^+	$\frac{V_o}{128} \leq V_x \leq V_o/64$	1	0	0	0	0	0	0	S_{G^+}	0 0 1	$ V_x $
G^-	$0 \leq V_x \leq V_o/128$	0	0	0	0	0	0	0	S_{G^-}	0 0 0	$ V_x + \frac{V_o}{128}$

Tab. I.4 - Resumo do Processamento na PARTE NÃO LINEAR.

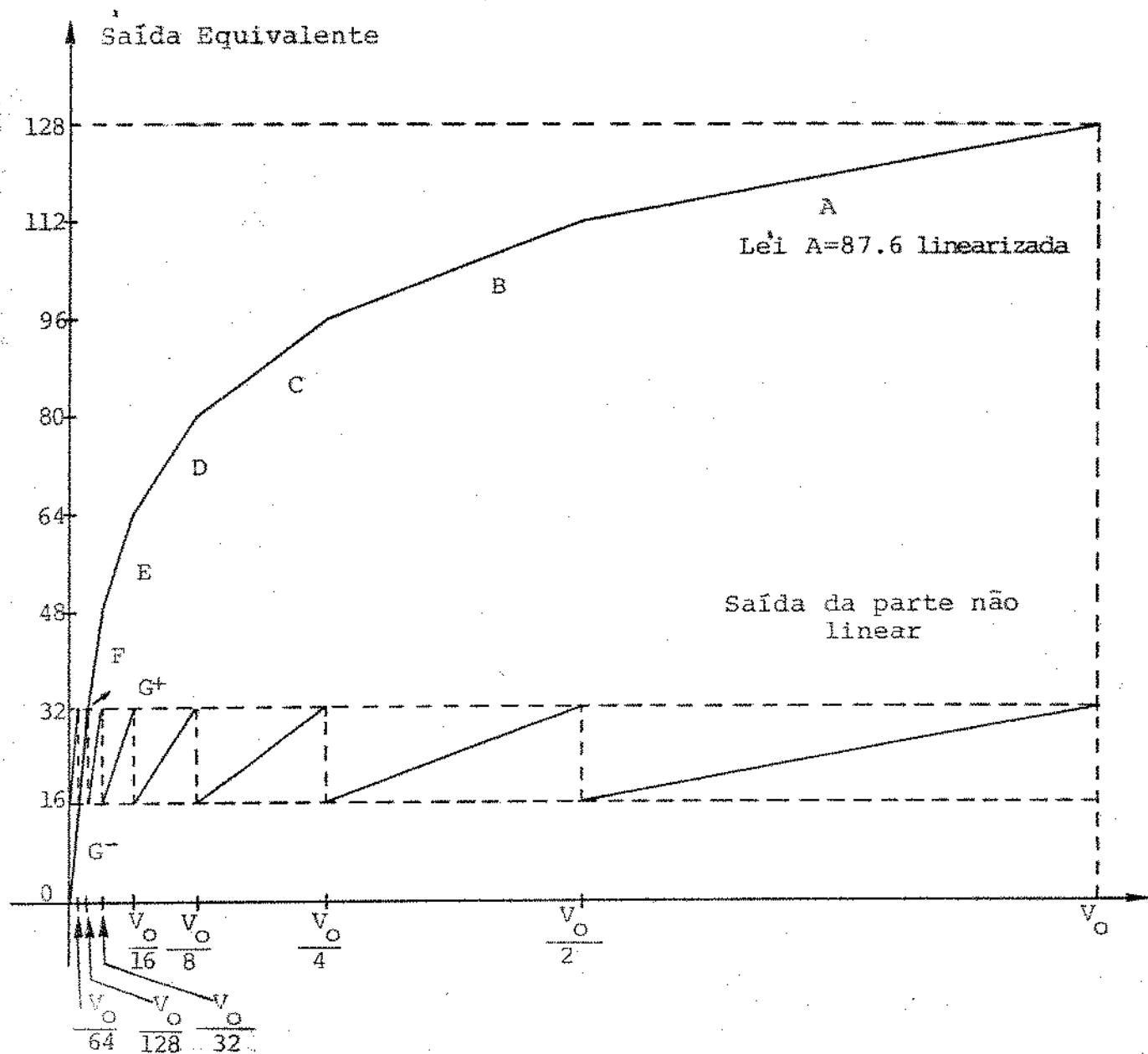


Fig. I.9 - Processamento do sinal na parte não linear quando $G+$ é o segmento comum.

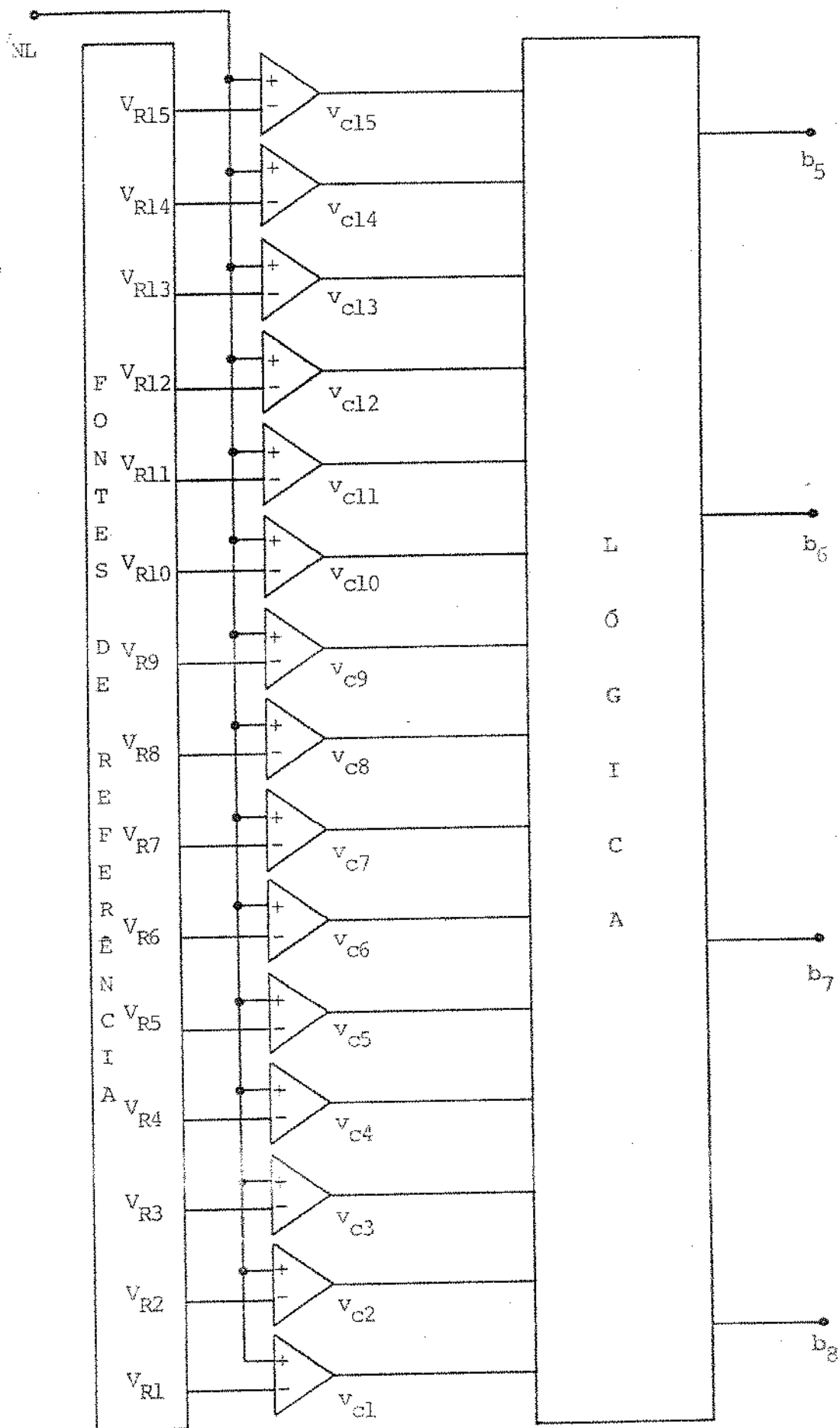


Fig. 1.10 Esquema da Parte Linear

Na fig. I.10 mostra-se o esquema proposto para a parte linear e na fig. I.11 o processamento da codificação linear. A tabela I.5 resume o mesmo processamento, com os respectivos resultados dos bits b_5 , b_6 , b_7 e b_8 .

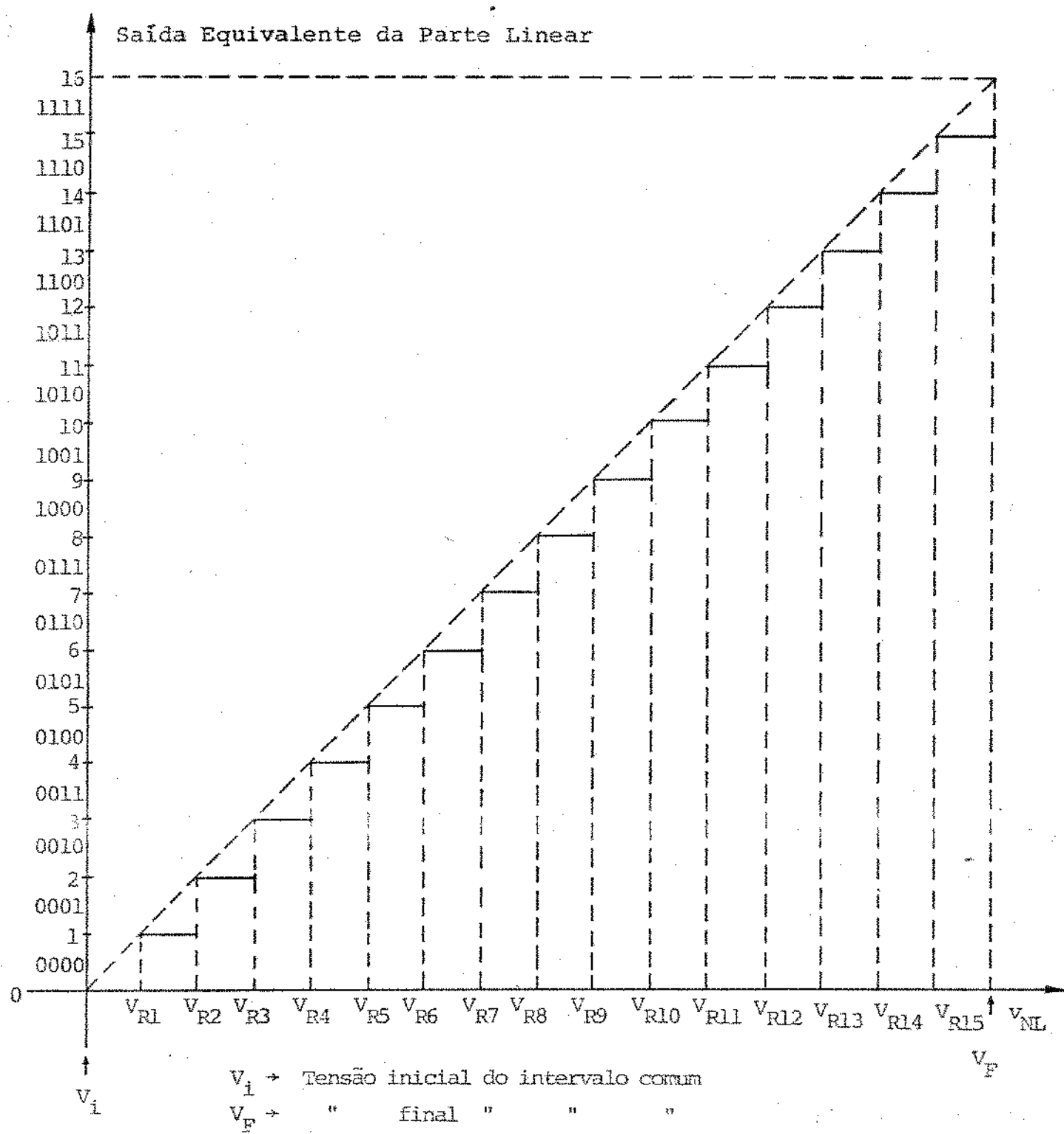


Fig. I. 11 - Processamento da Codificação Linear.

Após a codificação linear, os oito bits já obtidos entram em paralelo em um conversor paralelo-série e são enviados para o meio de transmissão.

No próximo capítulo é feita a implementação física do codificador.

Limites da Divisão	SAÍDA LÓGICA DOS COMPARADORES															Saída Equivalente	Saída Digital $b_5b_6b_7b_8$
	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}	C_{11}	C_{12}	C_{13}	C_{14}	C_{15}		
$V_1 - V_{R1}$	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 0 0 0
$V_{R1} - V_{R2}$	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0 0 0 1
$V_{R2} - V_{R3}$	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	2	0 0 1 0
$V_{R3} - V_{R4}$	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	3	0 0 1 1
$V_{R4} - V_{R5}$	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	4	0 1 0 0
$V_{R5} - V_{R6}$	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	5	0 1 0 1
$V_{R6} - V_{R7}$	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	6	0 1 1 0
$V_{R7} - V_{R8}$	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	7	0 1 1 1
$V_{R8} - V_{R9}$	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	8	1 0 0 0
$V_{R9} - V_{R10}$	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	9	1 0 0 1
$V_{R10} - V_{R11}$	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	10	1 0 1 0
$V_{R11} - V_{R12}$	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	11	1 0 1 1
$V_{R12} - V_{R13}$	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	12	1 1 0 0
$V_{R13} - V_{R14}$	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	13	1 1 0 1
$V_{R14} - V_{R15}$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	14	1 1 1 0
$V_{R15} - V_F$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	15	1 1 1 1

Tab. I.5 - Processamento da codificação Linear.

CAPÍTULO II

IMPLEMENTAÇÃO FÍSICA DO CODIFICADOR

II.1 - Introdução

Apresenta-se inicialmente uma primeira sugestão para os circuitos a serem utilizados. Em seguida, devido a restrições particulares a cada caso, são sugeridas e feitas algumas modificações que visam melhorar o desempenho.

A escolha dos componentes deverá ser feita de acordo com o que houver disponível no mercado interno e ainda deverá levar em consideração, principalmente, os seguintes fatores que irão influenciar na precisão e custo do codificador:

1. Resposta em frequência
2. Ruído
3. Potência consumida
4. Nível de integração dos componentes
5. Lay-out dos circuitos.

O intervalo de tempo para cada amostra do sinal a ser codificado é $3,9\mu s$. Este é o tempo total que o codificador dispõe para produzir os 8 bits de codificação. No amostrador-segurador são gastos $1,2\mu s$ aproximadamente, o que significa que restam $2,7\mu s$ para se processar o restante da codificação, incluindo as outras três partes; retificação, codificação não linear e codificação linear.

O nível máximo de codificação após o amostrador-segurador, foi escolhido como sendo

$$V_O = 5,12 \text{ V ,}$$

por ser uma tensão máxima razoável para os dispositivos que são encontrados no mercado. Desta forma, os menores intervalos de codificação estão contidos nos segmentos G^- e G^+ , cada um deles com 2,5 mV (após a divisão dos segmentos em 16 partes), sendo portanto, os mais sensíveis a ruído. Os outros segmentos são menos problemáticos em relação a este fator, pois cada novo intervalo a partir do segmento G^+ até o segmento A, possui um fator multiplicativo 2 em relação ao anterior, conforme o que nos dá a tabela II.1. Desta forma, a maior preocupação quanto ao fator ruído será nos segmentos G^- e G^+ .

Sempre que possível, procura-se minimizar para cada esquema sugerido, a potência a ser consumida e ainda procura-se a maior escala de integração possível para os componentes, a fim de diminuir-se o tamanho físico do sistema. Um cuidado especial deve ser tomado, durante a confecção do "lay-out".

segmento	Tamanho do segmento (mV)	Divisão dos segmentos em 16 partes (mV)
A	2560	160
B	1280	80
C	640	40
D	320	20
E	160	10
F	80	5
G^+	40	2.5
G^-	40	2.5

Tabela II.1 - Valor dos intervalos de tensão para a codificação.

do circuito impresso, com a separação dos terras analógico (Alimentação), digital (Alimentação) e daqueles tomados como "referência".

Um outro ponto de bastante interesse é o número de ajustes do codificador. Deve-se minimizar o número destes, de tal forma que venham a se localizar nas fontes de referência e no ajuste de "off-set" de amplificadores operacionais, somente.

A implementação física do codificador, é feita a seguir.

II.2 - Amostrador-segurador, Retificador e detetor de polaridade.

II.2.1 - Amostrador-segurador

O amostrador-segurador está sendo construído à parte do codificador, em conjunto com as unidades de canal, as quais fornecem as amostras PAM na forma natural.

O esquema a ser usado (10), é o apresentado na fig. II.1. Seu modo de operação pode ser entendido com o auxílio da fig. II.2.

Na fig. II.2.a aparece a amostra PAM natural, - fornecida pela chave de fechamento de um canal genérico i. As amostras PAM de cada canal apresentam uma duração finita, que corresponde ao tempo em que permanece fechada a chave respectiva na unidade de canal (10), veja fig. II.2.b (onda de controle de ação da chave que dá a amostra PAM, referente ao canal i). Durante este tempo o sinal de áudio sofre uma variação.

A finalidade do amostrador-segurador, é armazenar o valor obtido no início do tempo de codificação (amostra PAM instantânea (fig. II.2.a)), transformando a amostragem natural, em amostragem instantânea. Desta maneira, o sinal submetido à codificação, permanecerá em valor constante durante o

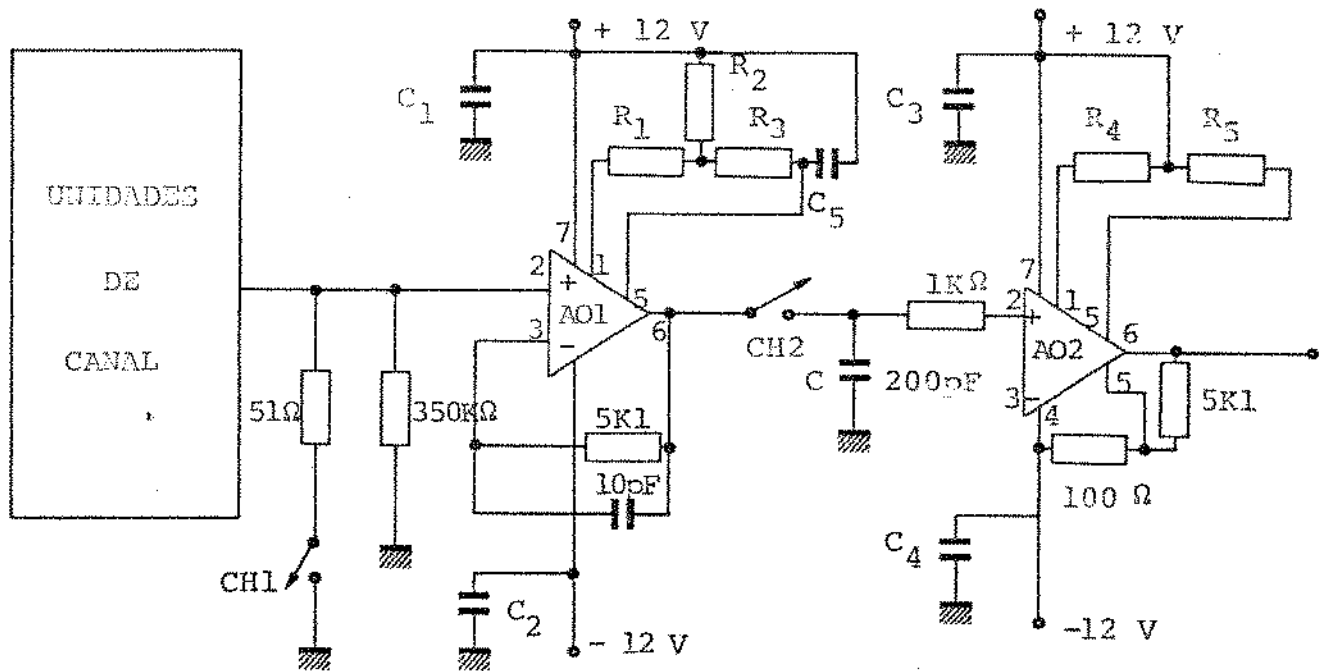


Fig.II.1 - Esquema do amostrador - segurador (10)

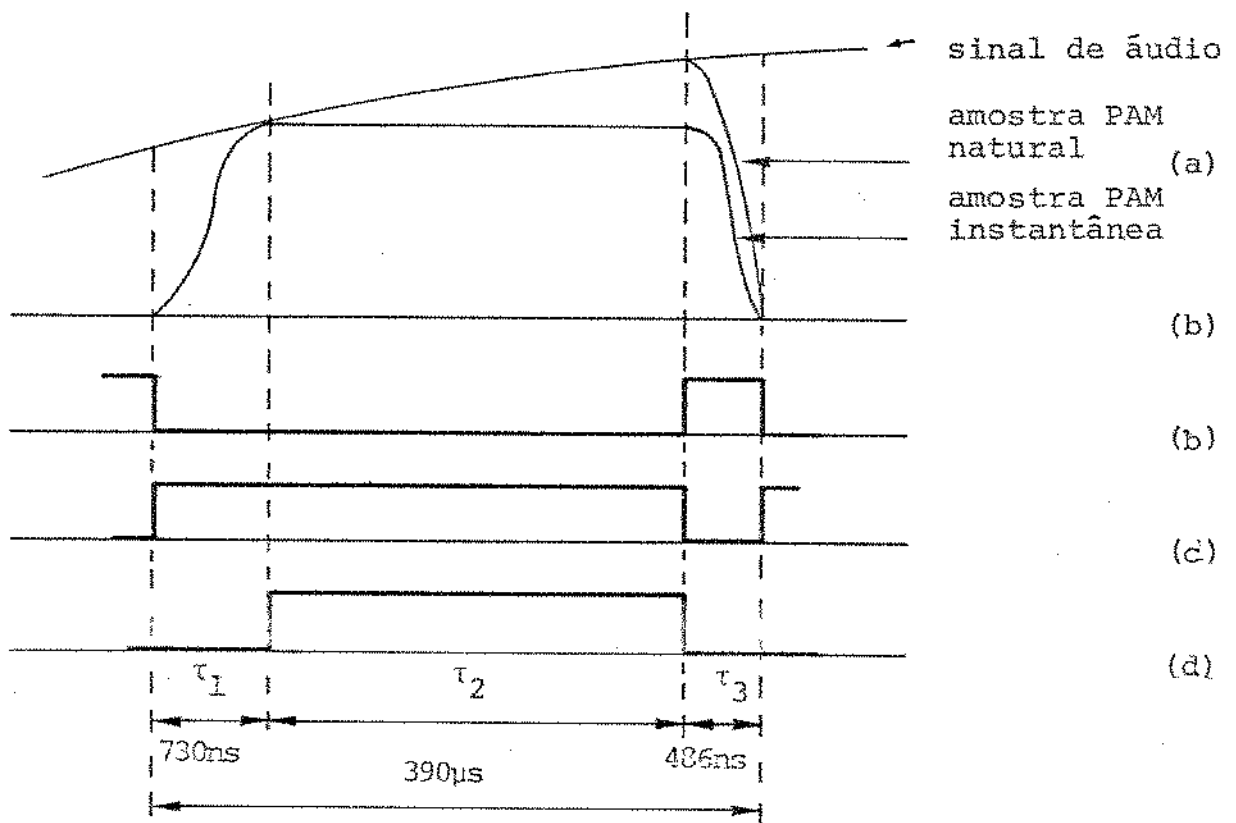


Fig.II.2 - a) sinal de áudio, amostra PAM natural e amostra PAM instantânea
 b) onda de controle para o canal genérico i
 c) onda de controle da chave CH1
 d) onda de controle da chave CH2

tempo em que esta se processa.

Note pela fig. II.2.a que a amostra PAM natural acompanha o valor do sinal de áudio, durante o tempo necessário à codificação somente.

Nos últimos 486ns (τ_3) do espaço temporal para a codificação, a chave CH1 é fechada para providenciar um caminho de baixa impedância, de modo que se permita um desligamento rápido das chaves de amostragem de canal. A onda de controle que ativa esta chave, é mostrada na fig. II.2.c .

A chave CH2 estará fechada durante os primeiros 730ns (τ_1), que será o tempo suficiente para o armazenamento da amostra PAM. No fim do ciclo, esta também estará fechada (durante τ_3) para providenciar a descarga do capacitor C do amostrador-segurador. A onda de controle que ativa esta chave, é mostrada na Fig. II.2.d .

O valor da amostra PAM instantânea é armazenado no capacitor C (Fig. II.1) durante o tempo restante (τ_2) e disponível para o codificador.

Os componentes do amostrador-segurador (Fig.II.1), que não estão ali especificados, são os seguintes (10) :

A.0.1 - LM 318

A.0.2 - LM 310

CH1 e CH2 - CD 4053 (chaves integradas em um único C.I.)

R_1 , R_2 e R_3 - ajuste de "off-set" do A.0.1.

onde $R_2 = 200K$ e $R_1 + R_3 = 200K$

R_4 e R_5 - ajuste de "off-set" do A.0.2

onde $R_4 + R_5 = 200K$

C_1 , C_2 , C_3 e C_4 - Capacitores de .01 μF (disco) para desacoplamento das tensões de alimentação.

C_5 - Capacitor para compensação A.0.1 - (.01 μF , disco).

II.2.2 - Retificador e detetor de polaridade

O retificador a ser usado no projeto (veja Fig. II.3) foi amplamente estudado em (4) e será utilizado com pequenas modificações. O seu funcionamento é descrito a seguir.

O sinal de entrada já é fornecido com níveis de tensão compreendidos no intervalo $[-V_0, V_0]$.

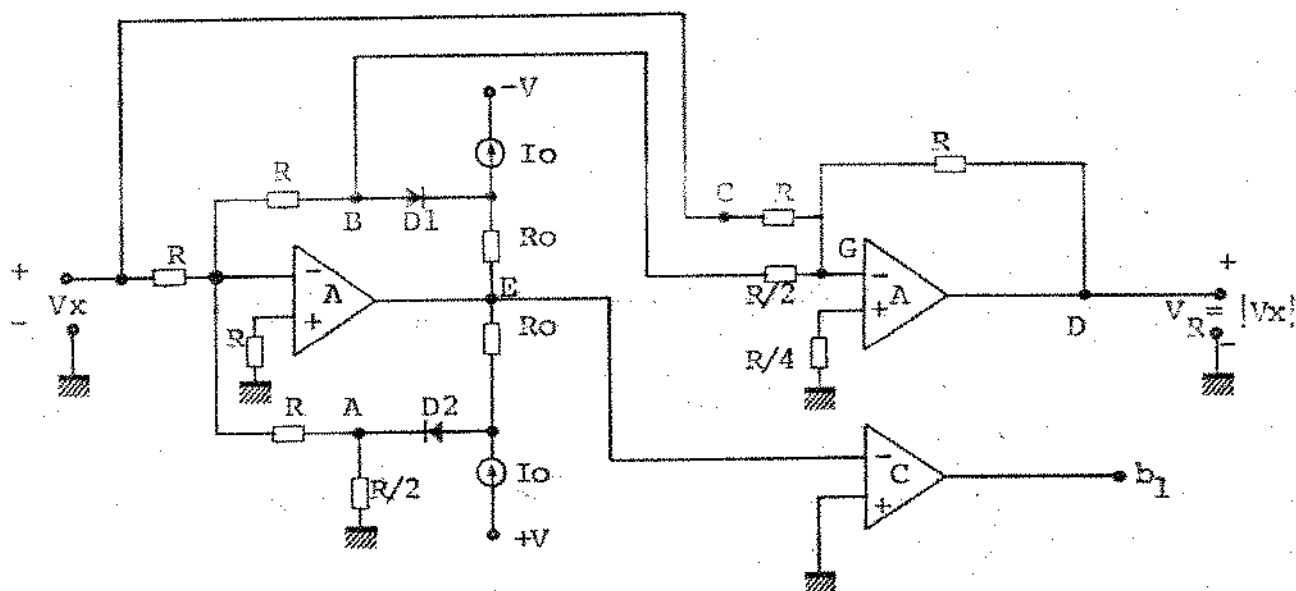


Fig. II.3 - Retificador com pré-polarização dos diodos de silício e detetor de polaridade

onde: C - comparador

A - amplificador operacional

Supondo o sinal de entrada V_x negativo com $-v$ volts, haverá condução pelo diodo $D2$ e no ponto A teremos $+v$ volts, no ponto B 0 volts, em C $-v$ volts e portanto, no ponto D, a tensão será $+v$ volts.

Supondo o sinal positivo na entrada com valor $+v$ volts, o diodo a conduzir será $D1$ e em A teremos 0 volts, em B $-v$ volts, em C $+v$ volts e em G teremos uma corrente, devido às entradas, dada por:

$$\left[-\frac{v}{R/2} + \frac{v}{R} \right] = -\frac{v}{R} < 0 \text{ e portanto, na saída do 2º}$$

operacional (ponto D) teremos $+v$ volts.

Do ponto D o sinal segue para ser processado na parte não linear do codificador.

O comparador C utiliza a saída do ponto E para a detecção da polaridade do sinal. A fig. II.4 nos dá a forma de onda neste ponto, no caso de se ter uma onda triangular na entrada. Note que a saída do ponto E é bastante apropriada para a obtenção de b 1 (bit de polaridade do sinal), devido à queda dos diodos.

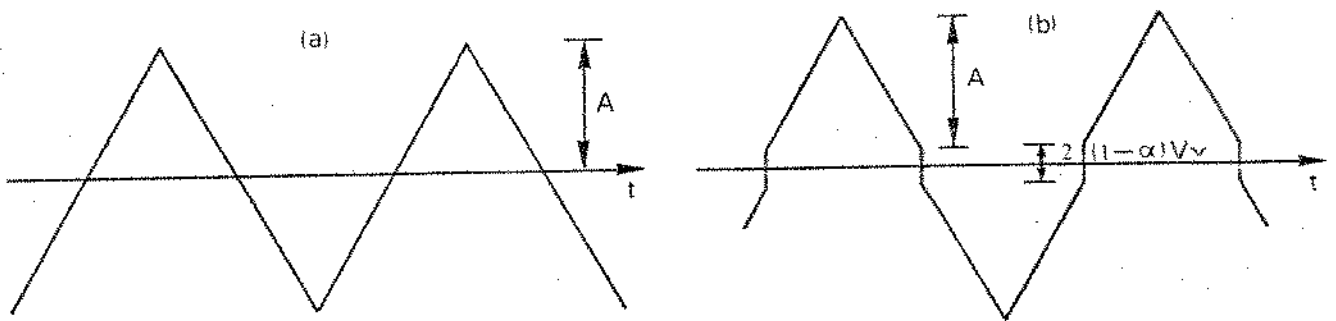


Fig. II.4 - a) Onda triangular de entrada do retificador.

b) Forma de onda no ponto E da Fig.II.3 .

V_V = queda nos diodos 1 e 2 (Fig.II.3), supostos iguais.

αV_V = queda devido à pré-polarização dos diodos (Fig.II.3)
(veja discussão a seguir)

O retificador foi originariamente construído com diodo de Germanio, que possui uma boa resposta em frequência . No entanto, o diodo de Germanio apresenta duas desvantagens quando há necessidade de precisão:

1. A corrente reversa do diodo de Ge é maior que a do diodo de Si.
2. A variação com a temperatura da mesma corrente no diodo de Ge, é maior que no diodo de Si.

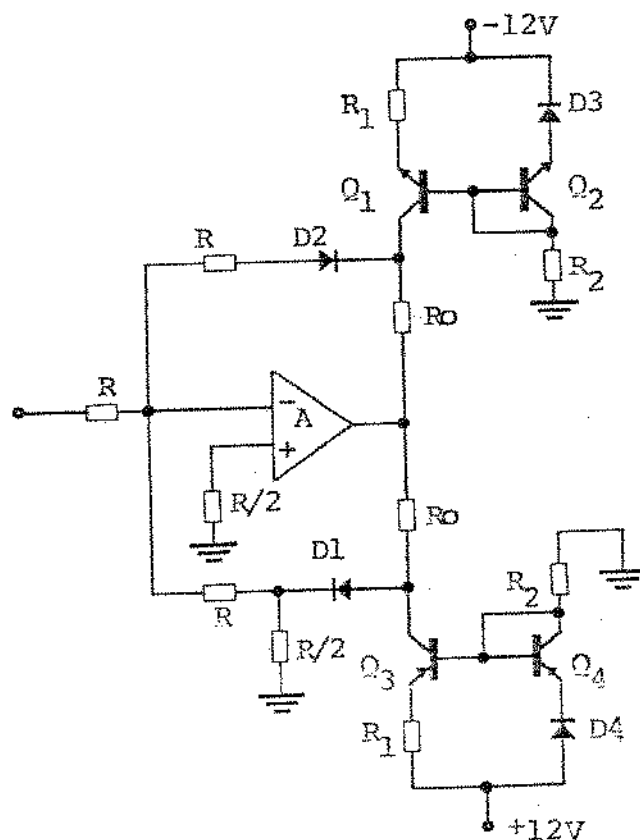


Fig.II.5 - Primeiro estágio do Retificador com a prẽ-polarização dos diodos

onde: Q_3 e Q_4 - par PNP casado
 Q_1 e Q_2 - par NPN casado
 D_1 e D_3 - diodos casados
 D_2 e D_4 - diodos casados

A fim de evitar os dois problemas, usaremos um diodo de Si, que no caso será o 1N4244. No entanto, com isso, o funcionamento do retificador ficará comprometido em baixas amplitudes de entrada, pois o diodo de Si tem $V_\gamma = 0,7V$ ao invés de $V_\gamma = 0,2V$ do diodo de Ge. Como a retificação deve estender-se até a amplitude de $2,5mV$, adotou-se a idéia de usar-se os diodos de Si prẽ-polarizados como aparece na fig.II.5.

A prẽ-polarização de D_1 e D_2 é obtida passando-se uma corrente I_o através dos resistores R_o , obtendo-se

$$R_o I_o = \alpha V_\gamma \quad \text{com} \quad 0 \leq \alpha \leq 1$$

onde $V_\gamma = 0,7V$ para 1N4242 com $I_o \approx 5mA$

No caso do diodo 1N4244, usando-se $\alpha = 50\%$ obtem-se uma resposta em frequência boa, até aproximadamente 5mV de tensão de entrada. O erro nos baixos níveis é devido à corrente direta do diodo (aproximadamente 1 μ A para uma tensão de .5V γ).

A fonte de corrente I_o pode ser obtida a partir de várias configurações. A fig. II.5 mostra aquela que após testes experimentais apresentou o melhor desempenho. Os pares PNP e NPN casados a serem usados, são encontrados em um circuito integrado CA3096AE (11), bem como os diodos (CA3039 (11)).

II.3 - Parte não Linear

II.3.1 - Fontes de Referência

Conforme apresentado na Fig. I.8, sete são os valores das fontes de referência necessárias:

$$\frac{V_o}{2}, \frac{V_o}{4}, \frac{V_o}{8}, \frac{V_o}{16}, \frac{V_o}{32}, \frac{V_o}{64} \text{ e } \frac{V_o}{128}$$

Os valores de tensão de referência acima, serão obtidos a partir de uma única fonte regulada com tensão de saída $V_o/2$. Os demais valores podem ser obtidos por uma divisão em uma malha de resistores de precisão, conforme fig.II.6.

A fonte regulada de valor $V_o/2$ pode ser obtida conforme o esquema da fig.II.7. Tal esquema é sugerido pelos fabricantes do dispositivo $\mu A723$ (LM723). Algumas condições são recomendadas por estes (7 e 8), a fim de que o desempenho especificado nos manuais possa ser obtido. Dentre estas condições, destacam-se:

a) $(V+) - (V-) > 9,5 \text{ Volts}$

b) $R_1 + R_2 + P_1 > 1K5$

c) $V_c - V_{out} > 3,0 \text{ Volts}$

II.1

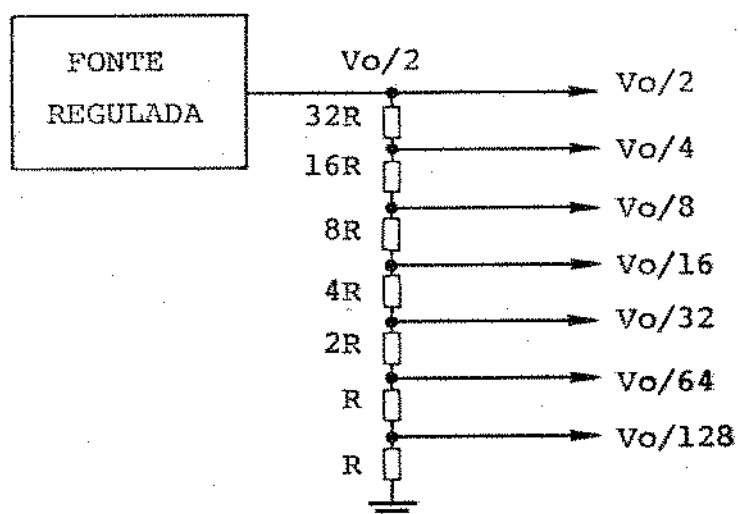


Fig. II.6 - Obtenção das fontes de referência

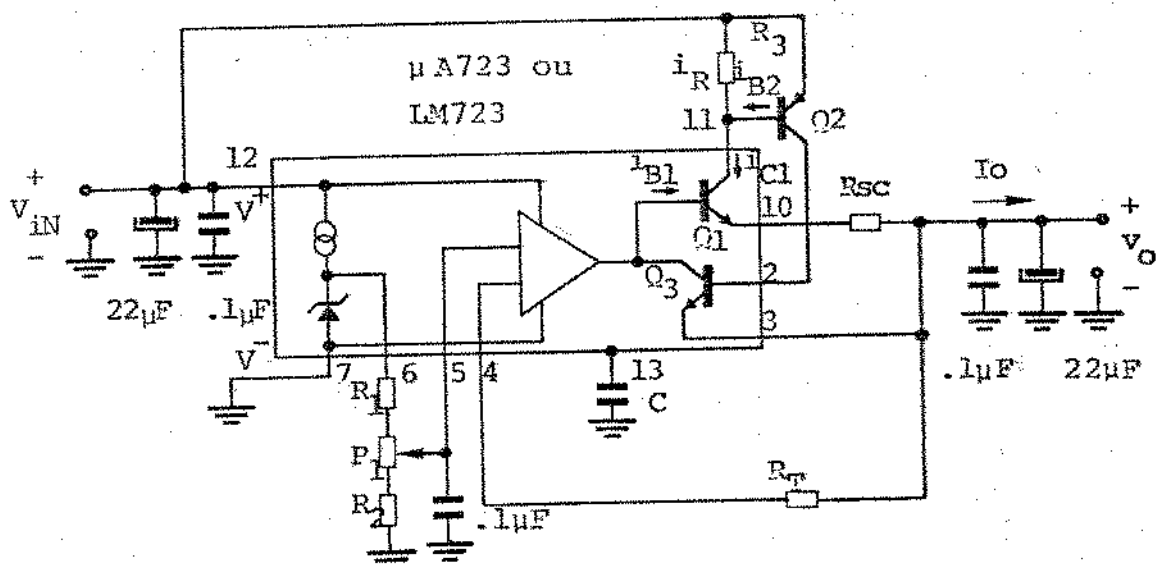


Fig. II.7 - Fonte Regulada

correspondência entre pinos:

pino	2	-	CL
pino	3	-	CS
pino	4	-	entrada "inverting"
pino	5	-	entrada "non inverting"
pino	6	-	V_{REF}
pino	7	-	V^-
pino	10	-	Vout (saída)
pino	11	-	V_C
pino	12	-	V^+
pino	13	-	compensação

o valor da resistência R_T é dado por:

$$R_T = \frac{r_1 \cdot r_2}{r_1 + r_2} = r_1 // r_2$$

onde: $r_1 = R_1 + k P_1$

e

$$0 \leq k \leq 1$$

$$r_2 = R_2 + (1 - k) P_1$$

e R_T é introduzida para o mínimo desvio da tensão de saída com a variação da temperatura.

O ajuste para se obter $v_o = \frac{V_o}{2}$ é feito por intermédio do potenciômetro P_1 .

O valor de tensão v_o é dado por II.2, e

$$v_o = \frac{r_2}{r_1 + r_2} V_{REF} \quad \text{II.2}$$

o valor V_{REF} está localizado no intervalo (7) e (8) :

$$6,80V \leq V_{REF} \leq 7,50V$$

A escolha de R_1 , R_2 e P_1 deverá satisfazer II.1.b e ainda permitir o ajuste da tensão $V_o/2$, mesmo no pior caso - de variação destes parâmetros e de V_{REF} .

O valor de corrente I_o na saída da fonte de referência, depende do valor de resistência R usado na malha de referência.

As potências dissipadas em Q_1 e Q_2 dependem do valor de I_o . A fim de diminuir tais potências devemos diminuir o valor da corrente, ou seja, aumentar o valor de resistência R da malha de referência (Fig.II.6).

O resistor R_{sc} (Fig.II.7) funciona como um sensor para limitação da corrente I_o . O valor máximo da corrente de saída será, então, dado por:

$$I_{o_{max}} = \frac{V_{BEQ_1} \text{ (conduzindo)}}{R_{sc}} \approx \frac{0,7V}{R_{sc}} \quad \text{II.3}$$

limitação esta que foi incluída para fins de proteção.

A regulação da fonte piora para I_o aproximando-se de $I_{o_{max}}$, o que significa que se deve dar uma margem de segurança ΔI_o (deve-se levar em consideração, fatores como variações nos valores dos componentes e regulação da fonte no intervalo de tensão de interesse), ou seja:

$$I_{o_{max}} = I_{o_{nom}} + \Delta I_o \quad \text{II.4}$$

onde $I_{o_{nom}}$ = corrente necessária para a alimentação da malha de referência.

O transistor Q_2 foi utilizado com a finalidade de não se usar dissipador no circuito integrado.

Deve ser lembrado também, que a regulação da fonte melhora sensivelmente, quando a corrente I_o de saída é diminuída ((7) e (8)).

II.3.2 - Malha de comparação

As tensões de referência obtidas na secção II.3.1 são ligadas às entradas "inverting" dos comparadores (Fig.I.8). As saídas destes em função dos sinais de entrada, são apresentadas na tabela I.4 .

Os valores de tensão de referência desejados nas entradas "inverting" dos comparadores, são:

$$V_j = \frac{V_o}{2^{8-j}} \quad \text{para } j = 1, \dots, 7 \quad \text{II.5}$$

A limitação mais forte para se obter os valores de tensão dados por II.5, através da malha de resistores, será a corrente de polarização dos comparadores (Fig.II.8), que será um dos fatores mais relevantes na escolha dos mesmos.

A corrente i_j passando pelo resistor R_j (Fig.II.

8) é dada por:

$$i_j = I_o - \sum_{n=j}^7 i_{pn} \quad j = 1, \dots, 7 \quad \text{II.6}$$

onde i_{pn} é a corrente de polarização do comparador C_n .

As tensões de referência obtidas nas entradas "inverting" dos comparadores, serão:

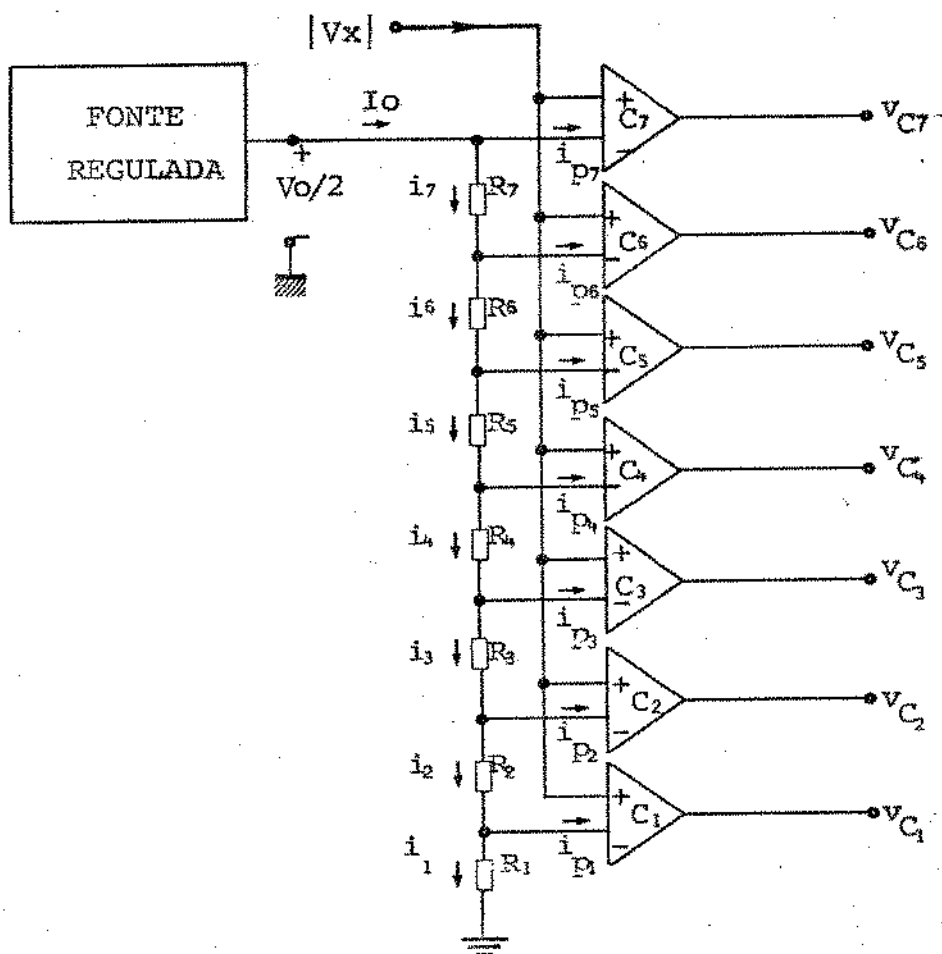


Fig. II.8 - Comparação na parte não linear.

$$v_j = \left(\sum_{i=1}^j R_i \right) I_o - \sum_{k=1}^j \left(R_k \sum_{n=k}^7 i_{pn} \right) \quad j = 1, \dots, 7 \quad \text{II.7}$$

sendo $v_7 = \frac{V_o}{2} = V_{out}$ da fonte de referência, podemos obter

I_o da eq. II.7 como sendo:

$$I_o = \frac{V_o}{2 \sum_{i=1}^7 R_i} + \frac{1}{\sum_{i=1}^7 R_i} \cdot \sum_{k=1}^7 (R_k \sum_{n=k}^7 i_{pn}) \quad \text{II.8}$$

Substituindo os valores i_{pj} das correntes de polarização dos comparadores (são conhecidos os valores típicos e máximos destas), obteremos I_o como função de $\sum_{i=1}^7 R_i$.

Usando então $i_{pj} = i_p$ (valor típico das correntes de polarização dos comparadores) e os valores dos resistores R_i como sendo os da Fig. II.6, ou seja :

$$\begin{aligned} R_1 &= R & R_5 &= 8R \\ R_2 &= R & R_6 &= 16R \\ R_3 &= 2R & R_7 &= 32R \\ R_4 &= 4R & \sum_{i=1}^7 R_i &= 64R \end{aligned}$$

obteremos
$$I_o = \frac{V_o}{128R} + \frac{127}{64} i_p \quad \text{II.9}$$

que substituindo na equação II.7 nos dá :

$$v_1 \cong \frac{V_o}{128} - 5R i_p \quad (a)$$

$$v_2 \cong \frac{V_o}{64} - 9R i_p \quad (b)$$

$$v_3 \cong \frac{V_o}{32} - 15,5 R i_p \quad (c)$$

$$v_4 \cong \frac{V_o}{16} - 35,5 R i_p \quad (d) \quad \text{II.10}$$

$$v_5 \cong \frac{V_o}{8} - 31,2 R i_p \quad (e)$$

$$v_6 \cong \frac{V_o}{4} - 31,5 R i_p \quad (f)$$

$$v_7 = \frac{V_o}{2} \quad (g)$$

ou resumidamente:

$$v_j = \frac{V_o}{2^{8-j}} - k_j R i_p \quad p/ j=1, \dots, 7 \quad \text{II.11}$$

onde $k_j R i_p$, será o erro no valor de referência devido à corrente de polarização i_p (suposta idêntica para todos os comparadores).

Desta forma, para se diminuir o erro, podemos diminuir o valor de R e/ou o valor de k_j da eq. II.11 e escolher o comparador que tenha i_p (valor típico de corrente de polarização) pequeno.

O valor de R deve ser escolhido levando-se em consideração, além do valor de I_o , discutido na secção anterior, outros dois fatores, a saber:

- 1) O erro depende do valor de R , apesar dos valores de tensões de referência não dependerem.
- 2) A confecção dos resistores (que devem ser de precisão) pelo método disponível (15) é bem mais confiável no caso de valores elevados, do que aqueles de pequenos valores (menores que 20Ω).

Das três condições, concluímos que deve haver um compromisso na escolha do valor de R , que envolve precisão na malha de comparação, potência a ser consumida e facilidade na fabricação do resistor de precisão.

A escolha dos comparadores deve levar em consideração principalmente os seguintes fatores:

- intervalo de indecisão para comparação com a tensão na entrada (tensão de off-set).
- corrente de polarização.
- rejeição a variações da fonte.
- valores de tensão de alimentação.
- potência consumida.

- níveis de tensão na saída.
- tempo de resposta.

Dentre os comparadores existentes no mercado, escolheu-se o SN72810 da TEXAS (9), cujas principais características estão relacionadas na tabela II.2.

Há outros comparadores que poderiam substituir com vantagens o SN72810 em nosso projeto; em particular o LM219 (da National (8)) e o SN52820 (TEXAS (9)), porém existe a dificuldade de importação, além de serem bem mais caros.

	valor típico	valor máximo
tensão de "off-set" de entrada (mV)	1,6	4,5
"off-set" de correntes de entrada $ i_{p+} - i_{p-} $ (μ A)	-	7,5
corrente de polarização $\frac{ i_{p+} + i_{p-} }{2}$ (μ A)	7,0	20,0
tempo de resposta (ns)	-	80,0
potência consumida (mW)	90,0	150,0
tensão de alimentação (+)	+ 12V	-
tensão de alimentação (-)	- 12V	-

Tabela II.2 - Valores dos parâmetros fornecidos pelo fabricante do C.I. SN72810 (9)

O $\mu A710$ (Farchield (7)) ou LM710 (National (8)) também poderiam substituir o SN72810, porém com desvantagens; por exemplo, a corrente de polarização típica é $16\mu A$ ao invés de $7,0\mu A$ (SN72810).

O valor de k_j da equação II.11 poderá ser diminuído mudando-se a configuração da malha de referência. Este estudo será feito na secção II.8.2.

As tensões de referência serão obtidas a partir de malhas separadas, como mostra a fig. II.9. Naturalmente haverá o acréscimo de 5 resistores de precisão em relação ao esquema proposto na fig. II.6. O aumento de potência consumida é pequeno, pois podemos aumentar o valor de R , devido ao fato de que o valor de k_j da parte correspondente ao erro, ser minimizado para este tipo de configuração (secção II.8.2).

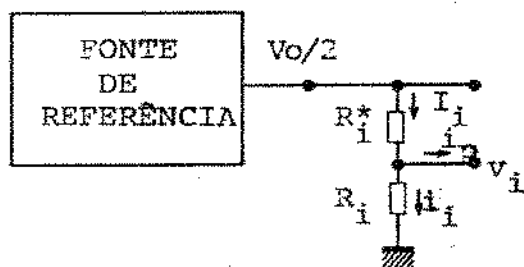


Fig.II.9 - Configuração básica para se obter as tensões de referência.

II.3.3 - Lógica da parte não linear

O objetivo da lógica será então fornecer os sinais de controle de abertura e fechamento das chaves S_G a S_A (Fig.I.8) e os bits b_2 , b_3 e b_4 do sinal codificado.

A tabela I.4 apresenta os oito casos possíveis de combinações das saídas dos comparadores. A dedução da lógica pode ser feita por simples inspeção da tabela, notando - se que se $v_{ci}=0$, teremos $v_{cj}=0$ para $j > i$.

Supondo-se que as chaves sejam atuadas (fechadas) com lógica positiva, teremos:

$$G'_- = \overline{v_{C_1}} \quad (a)$$

$$G'_+ = \overline{v_{C_2}} \cdot v_{C_1} \quad (b)$$

$$F' = \overline{v_{C_3}} \cdot v_{C_2} \quad (c)$$

$$E' = \overline{v_{C_4}} \cdot v_{C_3} \quad (d)$$

II.12

$$D' = \overline{v_{C_5}} \cdot v_{C_4} \quad (e)$$

$$C' = \overline{v_{C_6}} \cdot v_{C_5} \quad (f)$$

$$B' = \overline{v_{C_7}} \cdot v_{C_6} \quad (g)$$

$$A' = v_{C_7} \quad (h)$$

A notação usada aqui é a mesma que aparece na ta
bela I.4.

Também da mesma tabela podemos tirar:

$$b_2 = A' + B' + C' + D' \quad (a)$$

$$b_3 = A' + B' + E' + F' \quad (b) \quad \text{II.13}$$

$$b_4 = A' + C' + E' + G'_+ \quad (c)$$

Se os sinais convenientes para atuar as chaves fo
rem os complementares dos apresentados em II.12, os bits b_2 ,
 b_3 e b_4 podem ser obtidos por:

$$b_2 = \overline{A' \cdot B' \cdot C' \cdot D'} \quad (a)$$

$$b_3 = \overline{A' \cdot B' \cdot E' \cdot F'} \quad (b) \quad \text{II.14}$$

$$b_4 = \overline{A' \cdot C' \cdot E' \cdot G'_+} \quad (c)$$

Um fator que deve ser levado em consideração na
implementação da lógica deduzida, é o "FAN-OUT" dos comparado

res. No caso do SN72810 o "FAN-OUT" é 1 no pior caso (9). Desta forma, por ser a saída de cada comparador utilizada duas vezes sempre, torna-se necessária, no pior caso, a utilização de um circuito "driver".

Outro problema que surge nos comparadores é a oscilação na saída, devido à presença de ruído quando o valor a ser comparado, se encontra em um dos níveis de comparação.

Os dois problemas podem ser contornados utilizando-se um flip-flop tipo "D" na saída de cada comparador.

O flip-flop terá sempre "Fan-out" maior que 1 e além disso, irá "congelar" a saída dos comparadores em um dado instante, durante a codificação. Este instante onde se dá o congelamento é controlado por um relógio externo e deverá ocorrer após um tempo suficiente, para que os comparadores possam dar a decisão correta nos casos normais (entrada diferente de um dos níveis de comparação).

A lógica pode ser simplificada se usarmos as entradas dos comparadores 2, 4 e 6 invertidas em relação ao esquema original. Os sinais $\overline{G}_-$ a $\overline{A}^+$ podem ser escritos:

$$\overline{G}_-^+ = v_{c_1} \quad (a)$$

$$\overline{G}_+^+ = \overline{v_{c_1} \cdot \overline{v_{c_2}}} \quad (b)$$

$$\overline{F}^+ = \overline{v_{c_2} \cdot \overline{v_{c_3}}} = \overline{v_{c_2}} + v_{c_3} \quad (c)$$

$$\overline{E}^+ = \overline{v_{c_3} \cdot \overline{v_{c_4}}} \quad (d)$$

$$\overline{D}^+ = \overline{v_{c_4} \cdot \overline{v_{c_5}}} = \overline{v_{c_4}} + v_{c_5} \quad (e)$$

$$\overline{C}^+ = \overline{v_{c_5} \cdot \overline{v_{c_6}}} \quad (f)$$

$$\overline{B}^+ = \overline{v_{c_6} \cdot \overline{v_{c_7}}} = \overline{v_{c_6}} + v_{c_7} \quad (g)$$

$$\overline{A}^+ = \overline{v_{c_7}} \quad (h)$$

e desta forma os bits b_2 , b_3 e b_4 podem ser obtidos por II.14.

O esquema final da malha de comparação e da lógica deduzida está mostrado na figura II.10.

Os C.Is. TTL utilizados são do tipo LS afim de diminuir a potência consumida.

No esquema da figura II.10 utilizou-se portas "OU", evitando o uso adicional de inversores. Pela equação II.15, podemos ver que basta inverter as entradas dos comparadores C_2 , C_4 e C_6 para que isto seja possível.

Os flip-flops usados estão todos integrados em um único C.I. Trata-se do CI74LS273 (13).

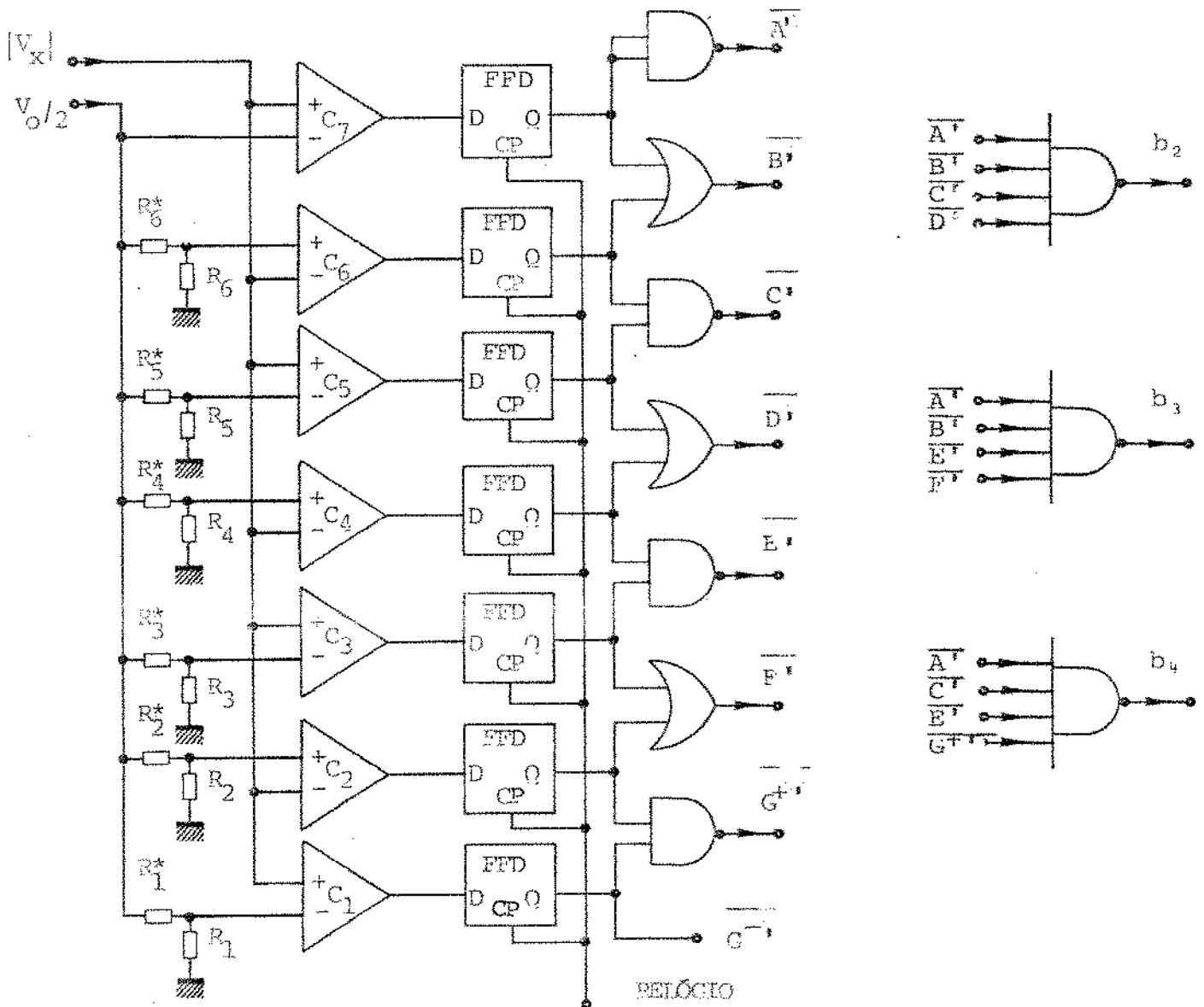


Fig. II. 10 - Malha de comparação e lógica.

II.3.4 - Malha de Ganho ou Atenuação, Chaveamento e Seguidor

Na secção I.2.1, para exemplificar a idéia de co
dificação não linear do sinal, usou-se o segmento G^+ como o
segmento comum para todos os sinais na saída da parte não li
near. Desta forma, a resposta v_{NL} (saída não linear) a uma var
redura feita por uma onda triangular como valor de pico V_o , se
ria a da figura I.9.

A grande vantagem do esquema proposto, é usar so
mente uma malha de atenuação (excessão feita a sinais pertencentes ao segmento G^-) para operar o sinal de saída do reti
ficador, a fim de enviá-lo para a codificação linear, por inter
médio das chaves.

Os sinais contidos no segmento G^+ possuem um in
tervalo de codificação de 2,5 mV, que é da ordem de tensão de
"off-set" típica (indecisão) da maior parte dos comparadores
existentes. A opção de usar-se o segmento G^+ como comum, torna
-se impraticável.

Em um pior caso, a tensão de "off-set" dos compa
paradores é 4,5 Volts, o que apresenta uma porcentagem grande
do tamanho do intervalo de codificação até níveis de tensão com
preendidos no segmento B.

No capítulo III far-se-á um estudo da degradação
de (S/N) em função dos desvios das tensões de referência, onde
se poderá concluir que este fator é limitante do desempenho do
codificador.

Os níveis de tensão que podem ser utilizados na
saída não linear (v_{NL}), são aqueles correspondentes ao segmen
to C ou maiores.

O segmento C é o escolhido para se evitar ganhos
muito altos nos sinais com baixas amplitudes, o que iria cau
sar dois problemas principais:

- a) seria necessário usar-se um operacional com
faixa mais larga, que apresenta o problema de
grande ruído térmico, além de seu preço ser
mais alto e da dificuldade de importação.
- b) o ruído existente nos sinais iria ser ampli
ficado junto com eles.

A tabela II.3 dá os ganhos necessários, que se deve dar aos sinais com níveis de tensão correspondentes aos dos diversos segmentos, para que na saída não linear (v_{NL}) os sinais estejam compreendidos no intervalo de tensão $\left[\frac{V_o}{8}, \frac{V_o}{4} \right]$ (segmento C).

segmento	$G^- + \frac{V_o}{128}$	G^+	F	E	D	C	B	A
ganho	16	16	8	4	2	1	1/2	1/4

Tabela II.3 - Ganhos necessários quando se escolhe o segmento C como comum.

Várias são as possibilidades para se conseguir o proposto na tabela II.3, a saber:

- 1ª) Atenuar os sinais contidos nos segmentos A, B e C de 4, 2 e 1 respectivamente, dar ganho de 16 aos outros e, em seguida, atenuações de 8, 4, 2, 1 e 1 aos contidos nos segmentos D, E, F, G^+ e $G^- + \frac{V_o}{128}$, respectivamente. O ganho do seguidor, neste caso, seria 1.
- 2ª) Atenuar os sinais contidos nos segmentos A, B, C e D de 8, 4, 2 e 1 respectivamente, dar ganho 8 aos demais e, depois, atenuações de 4, 2, 1 e 1 aos contidos nos segmentos E, F, G^+ e $G^- + \frac{V_o}{128}$ respectivamente. O ganho do seguidor, neste caso, seria 2.
- 3ª) Atenuar os sinais contidos nos segmentos A, B, C, D e E de 16, 8, 4, 2 e 1 respectivamente, dar ganho 4 aos demais e, depois, atenuações de 2, 1 e 1 aos contidos nos segmentos F, G^+ e $G^- + \frac{V_o}{128}$ respectivamente. O ganho do seguidor, neste caso, seria 4.

- 4^a) Atenuar os sinais contidos nos segmentos A, B, C, D, E e F de 32, 16, 8, 4, 2 e 1 respectivamente e dar ganho 2 aos contidos nos segmentos G^+ e $G^- + \frac{V_o}{128}$. O ganho do seguidor, neste caso, seria 8.
- 5^a) Dar atenuações de 64, 32, 16, 8, 4, 2, 1 e 1 aos sinais contidos nos segmentos de A a $G^- + \frac{V_o}{128}$ respectivamente e, por meio do seguidor, dar um ganho 16.

Dentre as cinco possibilidades, escolheu-se a 3^a, pois seu maior ganho é 4. Qualquer uma das outras exige um ganho maior em uma das fases. O ganho 4 ainda é considerado alto, mas pode ser facilmente implementado com aperacionais de baixo custo.

O esquema correspondente a esta 3^a possibilidade, está mostrado na figura II.11.

A saída v_{02} do amplificador operacional AO3 é idêntica à saída v_{01} do A.O.2, a menos do ganho 4 introduzido na realimentação (A saída v_{01} é a saída $|v_x|$ retificada da secção II.2.2). Quando na entrada tivermos sinais pertencentes a segmentos com maior nível de tensão, o operacional poderá chegar à saturação, podendo então ocorrer três problemas:

- A saída do operacional está ligada à entrada das chaves. Se o valor de saída do A.O. for maior que a tensão de alimentação das chaves, poderá danificá-las.
- Quanto maior o nível de entrada das chaves em aberto, maior será a sua corrente de fuga.
- Se o nível na saída do A.O. for muito alto, a sua resposta a um nível baixo que poderá chegar em seguida (referente ao valor da amostra seguinte), será muito lenta, e portanto, a codificação do sinal seguinte poderá ser prejudicada.

Deve-se ainda levar em conta que se houver saturação do A.O., sua entrada poderá ser influenciada.

Levando-se em conta que os níveis que necessitam ser amplificados são os correspondentes aos segmentos G^+ , F e $G^- + \frac{V_o}{128}$, ou seja, a maior saída necessária é $\frac{V_o}{8} = 640 \text{ mV}$, podemos introduzir uma limitação ao nível de saída, feita por intermédio dos diodos D5 a D11 (Fig. II.11).

Quando se tratar de sinais pertencentes ao segmento G^- , devemos ter na saída v_{o2} o valor $4|v_x| + \frac{V_o}{32}$.

Para que o valor $V_o/32$ seja somado à tensão de saída, na entrada deveríamos ter uma fonte de referência de valor "negativo", que deveria ser chaveada, ou seja, a corrente necessária para fornecer $V_o/32$ na saída, só poderia entrar no ponto de soma (entrada "inverting" do A.O.), quando fosse detectado pela lógica, que o sinal pertence ao segmento G^- .

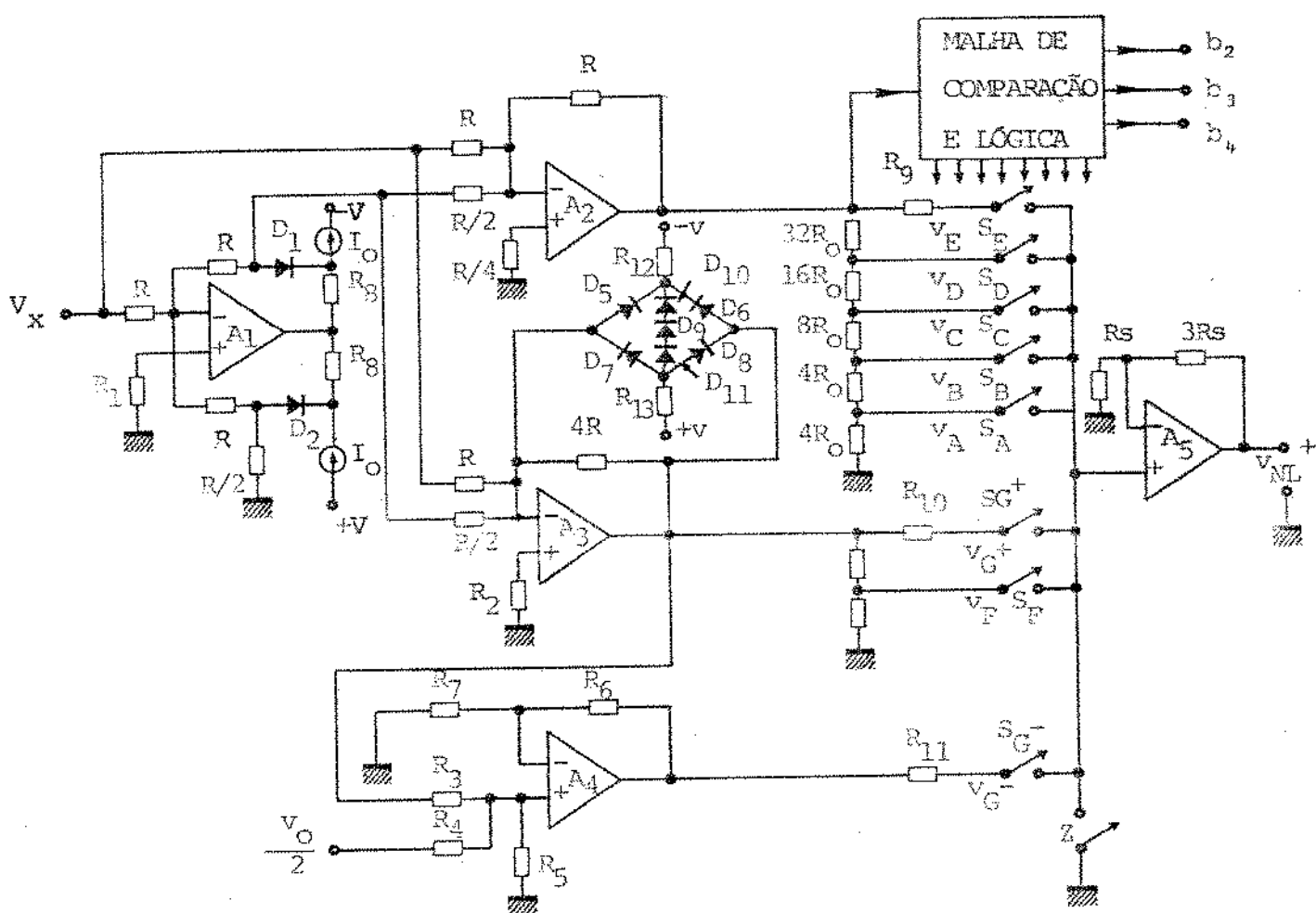


Fig. II. 11 - Esquema da parte não linear.

Desta forma, seria necessário:

- a) construir uma fonte ou inverter o sinal da fonte de referência existente (secção II.3.1).
- b) a lógica fornecer um sinal para o chaveamento da referência.
- c) a chave para conexão.

Os três problemas citados podem ser evitados com o uso do A.O.4 (Fig. II.11), principalmente o chaveamento que em geral é responsável pelos efeitos indesejáveis, como "spikes" e transitórios. A inversão da fonte existente ou construção de outra, eventualmente usaria um C.I., da mesma forma que a opção feita.

A saída v_{01} está ligada a uma malha de resistores que dará atenuações 1, 2, 4, 8 e 16, passando o sinal pelas entradas das chaves S_E , S_D , S_C , S_B e S_A , respectivamente, correspondendo a sinais pertencentes aos segmentos que dão nome às chaves.

Para evitar efeitos indesejáveis da chave sobre a saída do operacional, usa-se um resistor entre a saída v_{01} e a entrada da chave S_E . O mesmo procedimento é usado na ligação da saída v_{02} com a entrada da chave S_G^+ e da saída v_{03} com a entrada da chave S_G^- .

A saída v_{02} está ligada a uma malha que dará atenuações 1 e 2, passando o sinal pelas chaves S_G^+ e S_F , respectivamente, correspondentes aos sinais contidos nos segmentos G^+ e F.

A saída v_{03} está ligada à chave S_G^- , correspondente a sinais contidos no segmento G^- .

Todas as saídas das chaves estão ligadas em comum e seguem para a entrada "NON-INVERTING" do A.O.5 na configuração seguidor com ganho 4. A saída do seguidor é a saída desejada v_{NL} . Neste ponto, todos os sinais estão contidos no intervalo de tensão $\frac{V_o}{8} \leq v_{NL} \leq \frac{V_o}{4}$.

O processamento que o sinal sofre desde a entrada do codificador (entrada do retificador) até a saída v_{NL} , está resumido na tabela II.4.

Segmento a que pertence o sinal v_x	Valor da saída do Amplificador Operacional que interessa	Atenuação que deve sofrer em uma das malhas	Valor na entrada da chave correspondente	Valor v_{NL}
A	$v_o/2 \leq v_x \leq v_o$	16	$v_o/32 \leq v_A \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
B	$v_o/4 \leq v_x \leq v_o/2$	8	$v_o/32 \leq v_B \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
C	$v_o/8 \leq v_x \leq v_o/4$	4	$v_o/32 \leq v_C \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
D	$v_o/16 \leq v_x \leq v_o/8$	2	$v_o/32 \leq v_D \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
E	$v_o/32 \leq v_x \leq v_o/16$	1	$v_o/32 \leq v_E \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
F	$v_o/64 \leq v_x \leq v_o/32$	2	$v_o/32 \leq v_F \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
G^+	$v_o/128 \leq v_x \leq v_o/64$	1	$v_o/32 \leq v_{G^+} \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$
G^-	$0 \leq v_x \leq v_o/128$	1	$v_o/32 \leq v_{G^-} \leq v_o/16$	$v_o/8 \leq v_{NL} \leq v_o/4$

Tabela II.4 - Processamento do sinal pela parte não linear.

A saída da parte não linear corresponderia àquela mostrada na fig. I.9, com a diferença que a saída equivalente estaria entre os números de codificação 80 e 96, correspondentes ao intervalo de tensão [640 mV, 1280 mV], ao invés de 16 e 32 correspondentes ao intervalo de tensão [40 mV, 80 mV].

Os cinco amplificadores operacionais usados (A.01 a A.05) são "LM318" (8).

Os diodos D5 a D11 são o "1N4344" (16) e podem ser substituídos por diodos integrados. No caso o CA3039 possui as mesmas características (11).

As chaves S_A a S_{G^-} e Z utilizadas no projeto original são as MFE 3003 (MOS-FET) da Motorola (16). Foram amplamente estudadas em (10) e para o caso do codificador, apresentam grandes desvantagens, principalmente as seguintes:

- a) Necessitam de um circuito de controle para serem acionadas, já que não são compatíveis com os níveis TTL fornecidos pela lógica.
- b) possuem "spikes" (picos de tensão) no instante de chaveamento. Tais picos irão causar transitórios no sinal entregue ao operacional (verificado experimentalmente).
- c) alto custo.

Na secção II.6 serão apresentadas as modificações introduzidas no projeto original e um dos tópicos será a utilização de um outro tipo de chave para a parte não linear.

As chaves S_G a S_A possuem capacitâncias internas, que armazenam um certo valor de tensão sobre si e que eventualmente poderá interferir na codificação da amostra seguinte. A chave Z é utilizada com a finalidade de fornecer um caminho de baixa impedância, afim de descarregá-las. Uma onda de controle aciona (fecha) a chave Z no início da codificação de cada amostra, para que estas capacitâncias sejam descarregadas para terra.

II.4 - Parte Linear

A parte linear é a responsável em fornecer os 4 últimos bits do sinal codificado.

O sinal de saída da parte não linear, será localizado entre um dos 16 possíveis intervalos em que se divide o segmento C.

As tensões de referência na entrada dos comparadores C_i , com $i=1, \dots, 15$, correspondentes ao segmento C como comum, serão:

$$V_i = \frac{V_o}{8} + (16-i) \frac{V_o}{128} ; i=1, \dots, 15 \quad \text{II.16}$$

e serão obtidas de forma idêntica à parte não linear, ou seja, construindo um divisor de tensão para cada valor de tensão de referência (Fig. II.9).

Os comparadores usados na parte linear, também serão os SN72810 (9) e os flip-flops tipo D, os SN74LS273 (13), com 8 F-F integrados.

II.4.2 - Lógica Linear

A tabela I.5 apresenta os dezesseis casos possíveis de combinação das saídas dos comparadores.

Neste caso, há semelhança com a lógica da parte não linear. Podemos tirar diretamente da tabela I.5;

$$k = \overline{v_{C(k+1)}} \cdot v_{ck} \quad p/ k=1, \dots, 14 \quad \text{II.17}$$

e $0 = \overline{v_{C1}}, 15 = v_{C15}$

Os bits b_5 a b_8 serão dados por:

$$b_5 = 8 + 9 + 10 + 11 + 12 + 13 + 14 + 15 \quad (a)$$

$$b_6 = 4 + 5 + 6 + 7 + 12 + 13 + 14 + 15 \quad (b)$$

$$b_7 = 2 + 3 + 6 + 7 + 10 + 11 + 14 + 15 \quad (c)$$

$$b_8 = 1 + 3 + 5 + 7 + 9 + 11 + 13 + 15 \quad (d)$$

II.18

ou

$$b_5 = \overline{8} \cdot \overline{9} \cdot \overline{10} \cdot \overline{11} \cdot \overline{12} \cdot \overline{13} \cdot \overline{14} \cdot \overline{15} \quad (a)$$

$$b_6 = \overline{4} \cdot \overline{5} \cdot \overline{6} \cdot \overline{7} \cdot \overline{12} \cdot \overline{13} \cdot \overline{14} \cdot \overline{15} \quad (b)$$

$$b_7 = \overline{2} \cdot \overline{3} \cdot \overline{6} \cdot \overline{7} \cdot \overline{10} \cdot \overline{11} \cdot \overline{14} \cdot \overline{15} \quad (c)$$

$$b_8 = \overline{1} \cdot \overline{3} \cdot \overline{5} \cdot \overline{7} \cdot \overline{9} \cdot \overline{11} \cdot \overline{13} \cdot \overline{15} \quad (d)$$

II.19

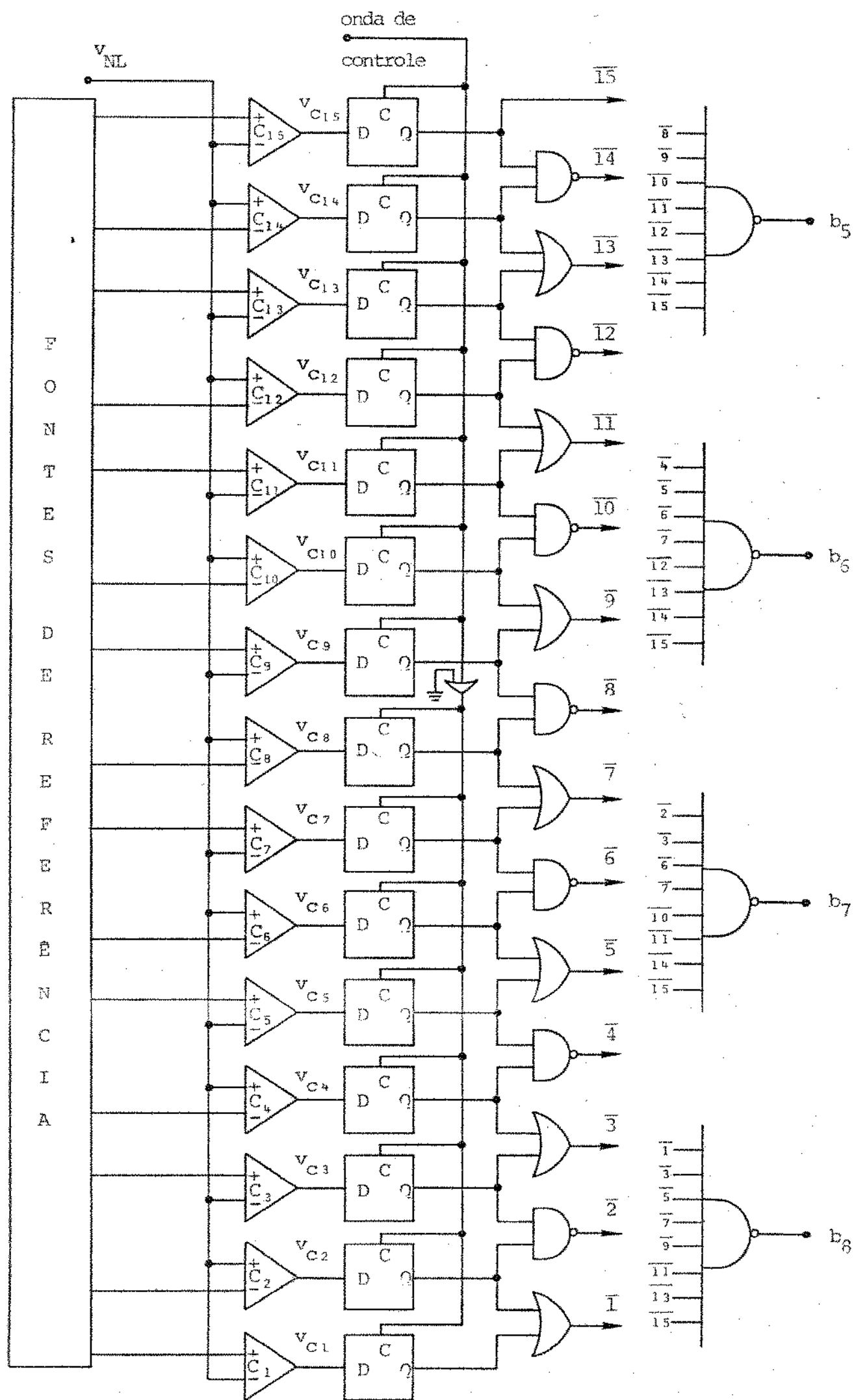


Fig.II.12 - Parte linear.

A fig. II.12 mostra o esquema implementado para as equações II.17 e II.19. A implementação do deduzido na equação II.19 economiza portas "inversoras", desde que se inverta as entradas dos comparadores 1, 3, 5, 7, 9, 11, 13 e 15.

Todas as considerações feitas na secção II.3.3 (Lógica da parte não linear) também são válidas aqui.

II.5 - Conversor paralelo-série

Para a conversão série dos oito bits da palavra codificada, referentes a uma amostra, obtidos e disponíveis nas diversas partes do codificador (em paralelo), usamos o conversor paralelo-série integrado SN74LS165 (13).

Os oito bits da palavra codificada, são então, enviados para a linha em série, de forma síncrona, durante a codificação da amostra seguinte.

O sincronismo é obtido por intermédio de um relógio de 2048 KHz. O armazenamento dos bits em paralelo, é feito durante os últimos 125 ns da codificação da amostra (este tempo pode ser reduzido para até 62 ns, segundo o fabricante do dispositivo (13)), quando a onda de controle de carga do conversor, $\overline{Emt}$, passa para o nível lógico "zero", ou seja, o dispositivo começa a se carregar na descida do pulso. O diagrama de blocos e as duas ondas de controle (relógio e $\overline{Emt}$) aparecem na fig. II.13, apresentada a seguir.

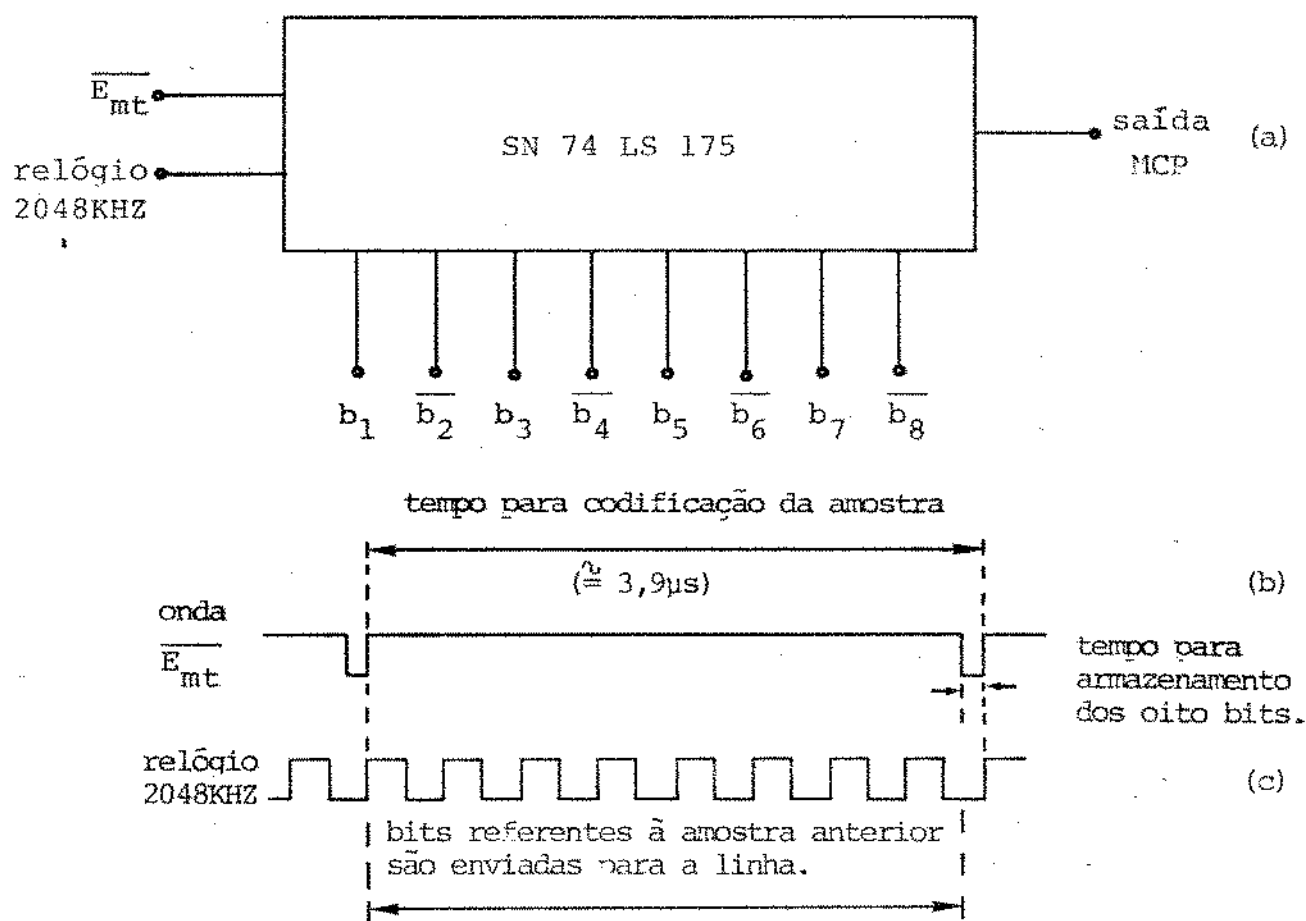


Fig.II.13 - a) conversor paralelo-série
 b) onda para carga do conversor
 c) relógio de 2048 KHz

Os bits pares devem ser invertidos antes de serem enviados para a linha. A inversão já é feita nas lógicas linear e não linear, ou seja, antes do conversor. Este procedimento é padronizado pelo CCITT (5).

II.6 - Modificações introduzidas no projeto original

A maior parte das modificações já foi apresentada como fazendo parte do próprio projeto e são as seguintes:

- Prê-polarização dos diodos D1 e D2 do retificador (Figs. II.3 e II.5).

- b) Mudança dos diodos D1 e D2 de Germânio para Silício (verificada a necessidade durante as montagens).
- c) Escolha do segmento comum como sendo o segmento C. No projeto inicial usava-se o segmento G^+ como comum.

Desta mudança resultou o aparecimento dos âmplificadores operacionais A.O.3 e A.O.4 (Fig. II.11).

Em uma fase intermediária, não se usava o âmplificador operacional A.O.4 (Fig.II.11). Em seu lugar, usava-se uma fonte de corrente chaveada para o ponto de soma do A.O.3.

Em uma fase seguinte, o A.O.4 era também usado na configuração "somador", de forma idêntica ao A.O.3, com ganho 4. Em seu ponto de soma, além das mesmas entradas do A.O.3, era introduzida uma corrente proporcional ao valor de tensão $\frac{V_o}{128}$, que se tem de somar a sinais pertencentes ao segmento G^- .

- d) A limitação de tensão do âmplificador operacional AO3 (Fig.II.11).

Diversas configurações para esta limitação foram testadas.

- e) O "congelamento" da saída dos comparadores das partes linear e não linear, feito por intermédio de flip-flops tipo D.

Duas outras modificações foram introduzidas; no entanto, devido a usarem componentes especiais integrados, serão estudadas em separado.

II.6.1 - Multiplexador de 8 canais

Ao invés de usarmos chaves MOS-FET (MFE3003) para implementação física das chaves S_G^- a S_A (Fig.II.11), podemos substituí-las por um multiplexador de 8 canais, correspondente a

oito chaves integradas e que são acionadas por somente 3 sinais de controle (Fig. II.14), ao invés dos oito anteriores (secção II.3.3, equações II.12 e II.15).

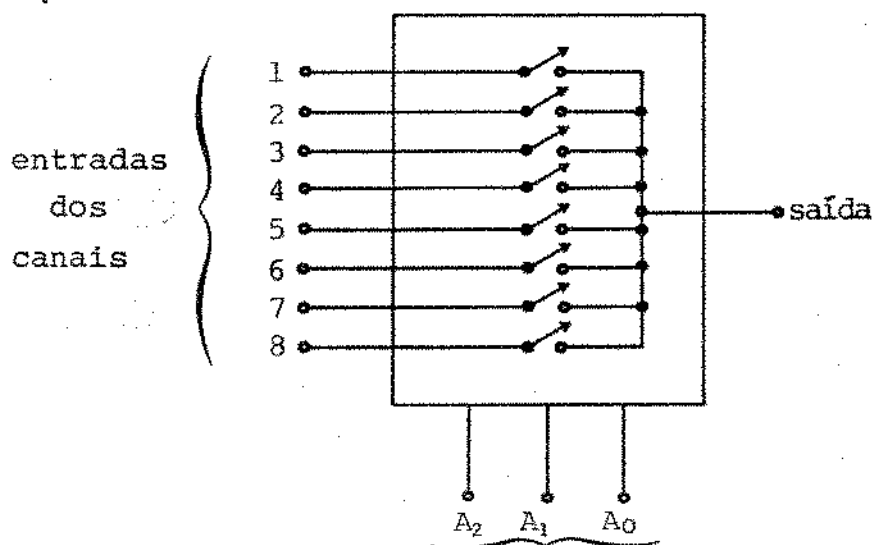


Fig.II.14 - Multiplexador de oito canais

A substituição nos traz várias vantagens e, como principais, podemos citar:

- a) alta escala de integração.
- b) necessidade de menos circuitos de controle (ou nenhum) para abertura e fechamento das chaves.
- c) "spikes" com amplitudes menores.

Dentre os dispositivos existentes no mercado, podemos dispor de dois:

- a) HI 1818 A (Harris Semiconductor) (12)
- b) CD 4051 (RCA) (11)

O modo de operação de ambos é idêntico e pode ser descrito como segue.

A cada segmento de G^- a A da curva de compressão linearizada, corresponde uma palavra digital " $b_2 b_3 b_4$ " (tabela II.1). Cada uma das combinações irá atuar o fechamento de um

dos canais do multiplexador. A tabela II.5 dá a correspondência entre estas palavras e o canal que fecha quando ocorre cada palavra. As colunas da tabela II.5 se referem a:

b_2 A_2	b_3 A_1	b_4 A_0	canal que fecha	segmento a que pertence o sinal	$\bar{b}_2$ A_2	b_3 A_1	$\bar{b}_4$ A_0	canal que fecha
0	0	0	1	G^-	1	0	1	6
0	0	1	2	G^+	1	0	0	5
0	1	0	3	F	1	1	1	8
0	1	1	4	E	1	1	0	7
1	0	0	5	D	0	0	1	2
1	0	1	6	C	0	0	0	1
1	1	0	7	B	0	1	1	4
1	1	1	8	A	0	1	0	3

Tabela II.5 - Resumo do modo de operação do multiplexador.

- 1^a coluna - Palavras digitais referentes a cada segmento da curva de compressão linearizada e sua correspondência com as entradas A_0 A_1 A_2 do multiplexador, no caso em que não há inversão dos bits pares.
- 2^a coluna - Canal que fecha com a ocorrência da palavra digital da 1^a coluna.
- 3^a coluna - Segmento detetado pela lógica da parte não linear.
- 4^a coluna - Palavras digitais referentes a cada segmento da curva de compressão linearizada e sua correspondência

cia com as entradas A_0 , A_1 , A_2 do multiplexador, no caso em que há inversão dos bits pares.

5^a coluna - Canal que fecha com a ocorrência da palavra digital da 4^a coluna.

Dos dois multiplexadores, usou-se o HI1818A, por ser o que havia disponível. As vantagens em usá-lo, são: seus "spikes", durante o chaveamento, são menores que aqueles produzidos pelo CD4051; o CD4051 necessita de um circuito "driver", no caso, o CI SN74LS05 ou SN74LS17 ("buffer" com coletor aberto (13)), para torná-lo compatível com níveis TTL, enquanto o HI1818A já o é. As desvantagens do HI1818A são: preço mais alto e menor disponibilidade no mercado.

II.6.2 - Codificador de Prioridade (Priority Encoder)

Usando o dispositivo SN74LS148 - Codificador de prioridade (13), podemos trocar todos os circuitos da parte lógica não linear (secção II.3.3), por somente um codificador de prioridade e a lógica da parte linear (secção II.4.2), por 2 codificadores de prioridade ligados em série, mais um C.I. de portas "AND-2", como veremos a seguir. Em ambos os casos, os flip-flops "D" não serão dispensáveis.

O diagrama de blocos do codificador de prioridade está mostrado na fig.II.15 e na tabela II.6 está resumido seu modo de operação.

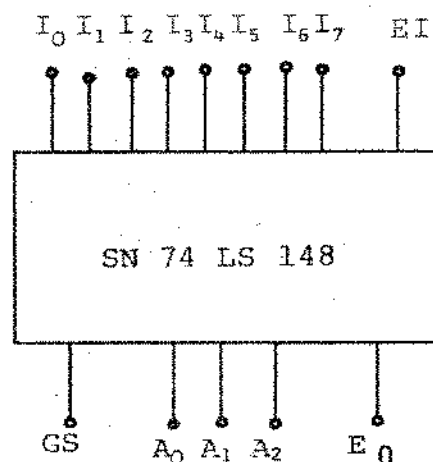


Fig.II.15 - Diagrama de blocos do codificador de prioridade.

O dispositivo aceita oito entradas prioritárias (I_0 a I_7), cujo nível ativo é o nível lógico zero ("0") e produz uma sequência binária de saída, A_0 A_1 A_2 , que irá representar a entrada ativa de maior prioridade. A prioridade associada às entradas, cresce de I_0 a I_7 . Desta forma, quando uma ou mais entradas são simultaneamente ativas, a entrada de maior prioridade é codificada e as outras são ignoradas (tabela II.6).

Quando a entrada inibidora (EI) está com nível lógico "1", todas as saídas são forçadas a um nível lógico "1". Quando a entrada inibidora (EI) está com nível lógico "0", o dispositivo irá funcionar como codificador de prioridade (descrito acima). Se não houver nenhuma entrada prioritária, sua saída de inibição (EO) estará com nível lógico "0" e sua saída de grupo do sinal (GS) com nível lógico "1". Neste caso, a sequência binária de saída (A_0 A_1 A_2), também terá somente níveis lógicos "1".

EI	I_0	I_1	I_2	I_3	I_4	I_5	I_6	I_7	G_S	A_0	A_1	A_2	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	1	0	0	1
0	X	X	X	X	X	0	1	1	0	0	1	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	0	0	0	1	1
0	X	X	0	1	1	1	1	1	0	1	0	1	1
0	X	0	1	1	1	1	1	1	0	0	1	1	1
0	0	1	1	1	1	1	1	1	0	1	1	1	1

Tabela II.6 - Modo de operação do
SN74LS148 (13)

Podemos associar dois codificadores de prioridade em série, conforme o esquema da fig.II.16.

O modo de operação desta associação, pode ser visualizado com o auxílio da tabela II.7, por meio das três fases de operação ali evidenciadas.

A associação admite 16 entradas prioritárias (8 cada codificador), cujo nível ativo é o nível lógico "0". Na saída, é produzida uma sequência binária $A_0 A_1 A_2 A_3$, que representa a entrada ativa (de I_0 a I_{15}) de maior prioridade. A prioridade associada às entradas, cresce de I_0 a I_{15} , portanto, I_{15} será a entrada de maior prioridade.

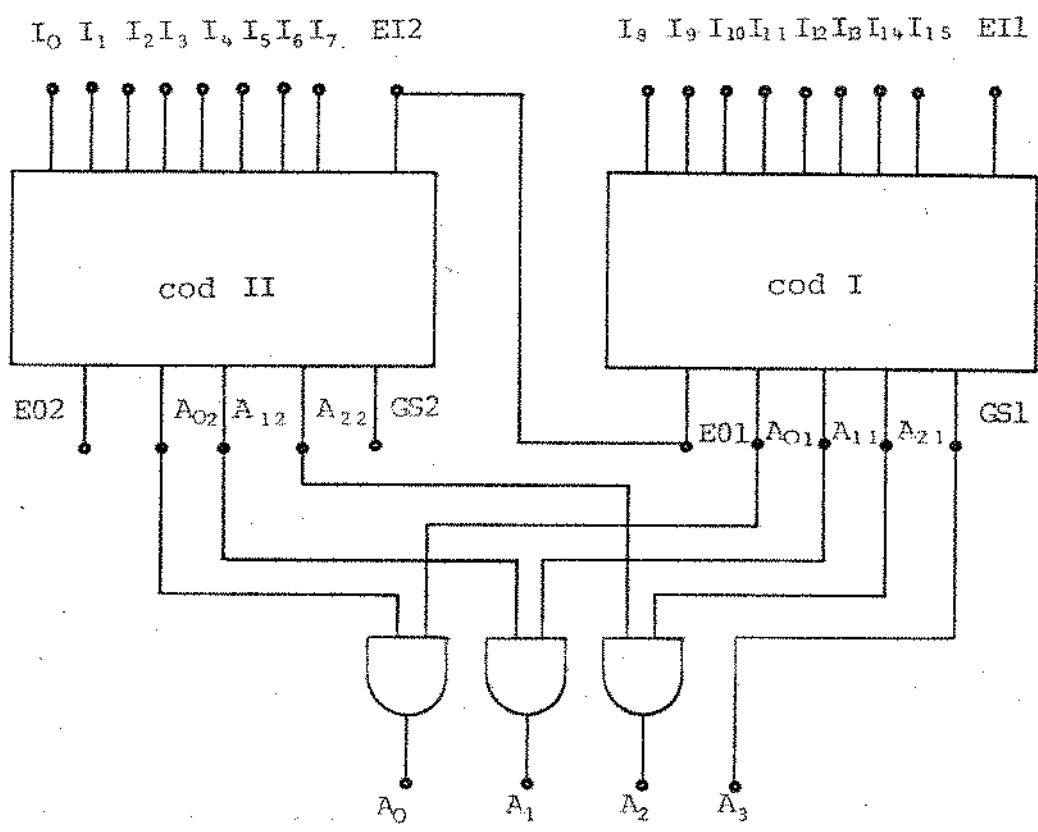


Fig.II.16 - Associação de dois codificadores de prioridade em série.

fasas de operação	EO ₁ ou EL ₂	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	I ₁₀	I ₁₁	I ₁₂	I ₁₃	I ₁₄	I ₁₅	A ₀₁	A ₁₁	A ₂₁	A ₀₂	A ₁₂	A ₂₂	A ₀	A ₁	A ₂	CS ₁ ou A ₃
I	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1	1	1
II	0	0	COD II FUNCIONANDO										1	1	1	1	1	1	1	1	COD II FUNCIONANDO					1	1
III	0	1	COD II INIBIDO										X	X	X	X	0	0	0	0	SAÍDAS DO COD II SÃO TODAS "1"					0	0
	0	1											X	X	X	X	0	1	0	0						1	0
	0	1											X	X	X	X	0	1	0	0						0	0
	0	1											X	X	X	X	0	1	0	0						1	0
	0	1											X	X	X	X	0	1	0	0						1	0
	0	1											X	X	X	X	0	1	0	0						1	0
	0	1											X	X	X	X	0	1	0	0						1	0
	0	1											X	X	X	X	0	1	0	0						1	0
II	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1	SAÍDAS DO COD II SÃO TODAS "1"					0	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						1	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						0	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						1	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						0	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						1	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						0	0
	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1						1	0

Tabela II.7 - Modo de operação da associação série de dois codificadores de prioridade

As fases de operação são as seguintes:

I - A entrada inibidora (EI) do cod I está com nível lógico "1"; então, este estará inibido e todas as saídas estão com nível lógico "1". A entrada inibidora (EI) do cod II é a saída de inibição do cod I (EO_1), que está com nível lógico "1"; portanto, o cod II também estará inibido.

II - A entrada inibidora (EI) do cod I está com nível lógico "0"; então, este terá condições de funcionar como codificador de prioridade. Todas as outras entradas estão "inativas", todas suas saídas terão nível lógico "1", exceto a saída de inibição (EO_1), que será a entrada inibidora do cod II (EI_2) que, desta forma, terá condições de funcionar conforme a tabela II.6.

As saídas A_0 , A_1 , A_2 e A_3 são dadas por:

$$A_0 = A_{01} \cdot A_{02} \quad (a)$$

$$A_1 = A_{11} \cdot A_{12} \quad (b)$$

$$A_2 = A_{21} \cdot A_{22} \quad (c)$$

$$A_3 = GS_1 \quad (d)$$

II.20

nesta fase II, temos: $A_{01} = A_{11} = A_{21} = "1"$ e $GS_1 = "1"$, então:

$$A_0 = A_{02} \quad (a)$$

$$A_1 = A_{12} \quad (b)$$

$$A_2 = A_{22} \quad (c)$$

$$A_3 = 1 \quad (d)$$

II.21

III - A entrada inibidora (EI) do cod I está com nível lógico "0"; então, este terá condições de funcionar como codificador de prioridade. Sen

do que, sempre haverá entradas ativas nesta fase, teremos $EO_1 = EI_2 = 1$, ou seja, o cod II estará inibido e suas saídas se rão todas "1". O cod I, neste caso, funciona segundo a tabela II.6.

As saídas A_0 , A_1 , A_2 e A_3 são dadas por II.20. Sendo $A_{02} = A_{12} = A_{22} = "1"$ e $GS_1 = "0"$, teremos:

$$\begin{aligned} A_0 &= A_{01} & (a) \\ A_1 &= A_{11} & (b) \\ A_2 &= A_{21} & (c) \\ A_3 &= 0 & (d) \end{aligned} \quad \text{II.22}$$

Se associarmos as entradas do codificador de prioridade (I_j , $j=0,1,\dots,7$), às saídas v_{ci} dos comparadores c_i da parte não linear do codificador (Fig. II.10), conforme II.23, ou seja:

$$\begin{aligned} v_{ci} &= I_{(8-i)} \quad p/ i=1,\dots,7 \\ e I_0 &= X \text{ (qualquer nível lógico)} \end{aligned} \quad \text{II.23}$$

Com $EI=0$, a tabela II.6 será a reprodução da tabela I.4, a qual foi usada para a dedução da lógica não linear - (secção II.3.3, equações II.12 a II.15). A correspondência entre os bits de detecção de segmento e as saídas do codificador de prioridade, será:

$$\begin{aligned} b_2 &= A_2 & (a) \\ b_3 &= A_1 & (b) \\ b_4 &= A_0 & (c) \end{aligned} \quad \text{II.24}$$

Deve ser notado o fato que, no esquema da fig.II.10 usamos um C.I. de portas "NAND-2", um C.I. de portas "OU-2" e 2 C.Is. de portas "NAND-4", com um total de 5 circuitos integrados. Com o uso do codificador de prioridade, a redução é para somente um circuito integrado.

O uso do codificador de prioridade só é possível quando se usa o multiplexador de oito canais (secção II.6.1),

pois os sinais de controle de abertura e fechamento das chaves do multiplexador, são os bits de detecção de segmento da palavra codificada (b_2, b_3, b_4). No caso de se usar chaves discretas (MFE 3003, ou outra qualquer), necessita-se da lógica deduzida anteriormente (equações II.12 ou II.15), para o controle de fechamento.

A lógica da parte linear (Fig.II.12) de codificação, também pode usar codificadores de prioridade, como na parte não linear. O esquema da fig.II.16 pode substituir o esquema lógico da fig.II.12, usando três circuitos integrados (dois codificadores de prioridade e um C.I. de portas AND-2), ao invés dos oito utilizados anteriormente (dois de portas "NAND-2", dois de portas "OU-2" e quatro de portas "NAND-8"). Para isto, deve-se associar as entradas do esquema da fig.II.16 (I_j , $j=0,1,\dots,15$), às saídas v_{ci} dos comparadores c_i da parte linear do codificador (Fig.II.12), conforme II.25, ou seja:

$$v_{cj} = I_{(16-j)} \quad p/ j=1,2,\dots,15$$

II.25

e $I_0 = "x"$

com $EI_1 = 0$, a tabela II.7 será a reprodução da tabela I.5, a qual foi utilizada para a dedução da lógica linear (secção II.4.2, equações II.17 e II.19). A correspondência entre os bits da codificação linear e as saídas da associação série (Fig.II.16), será:

$$b_5 = A_3 \quad (a)$$

$$b_6 = A_2 \quad (b)$$

$$b_7 = A_1 \quad (c)$$

$$b_8 = A_0 \quad (c)$$

II.26

II.7 - Estudo de tempo no codificador

Devido ao princípio de codificação, baseado na com

paração simultânea, utilizado no projeto do codificador, o tempo total disponível para a codificação ($3,9 \mu s$ aproximadamente), é suficiente para que as decisões sejam bastante confiáveis.

O princípio de operação do codificador é assíncrono, ou seja, ele pode operar o sinal a partir do instante em que a amostra é entregue, de tal forma que as operações de cada estágio se sucedam dependendo somente do sinal entregue a estes, pelo estágio anterior.

A assincronidade é quebrada pela introdução de ondas de controle (ou de sincronismo) nos flip-flops que estão nas saídas dos comparadores, a fim de evitar decisões erradas por parte destes, devido a transitórios indesejáveis nos estágios anteriores. As ondas de controle acionam os F.F. após um tempo suficiente, para que os estágios anteriores entrem em regime.

No diagrama de blocos da Fig. II.17, aparecem os pontos onde cada onda de controle atua dentro do codificador.

Pode-se ver na fig. II.17 que o total de ondas de controle é sete e a finalidade das mesmas será:

- onda de controle série do amostrador- segurador: armazenar o valor da amostra PAM no segurador - (secção II.2.1).
- onda de controle paralelo do amostrador - segurador: providenciar a descarga do capacitor C do segurador (secção II.2.1).
- onda de controle F-F não linear: "congelar" as saídas dos comparadores da parte não linear.
- onda de controle Z: providenciar a descarga das capacitâncias internas do multiplexador (ou das chaves analógicas S_G a S_A , secção II.3.4).
- onda de controle FF linear: "congelar" as saídas dos comparadores da parte linear.
- onda de controle de carga: armazenar os bits b_1 a $\overline{b_8}$ (disponíveis em paralelo no codificador), no conversor paralelo-série (secção II.5).

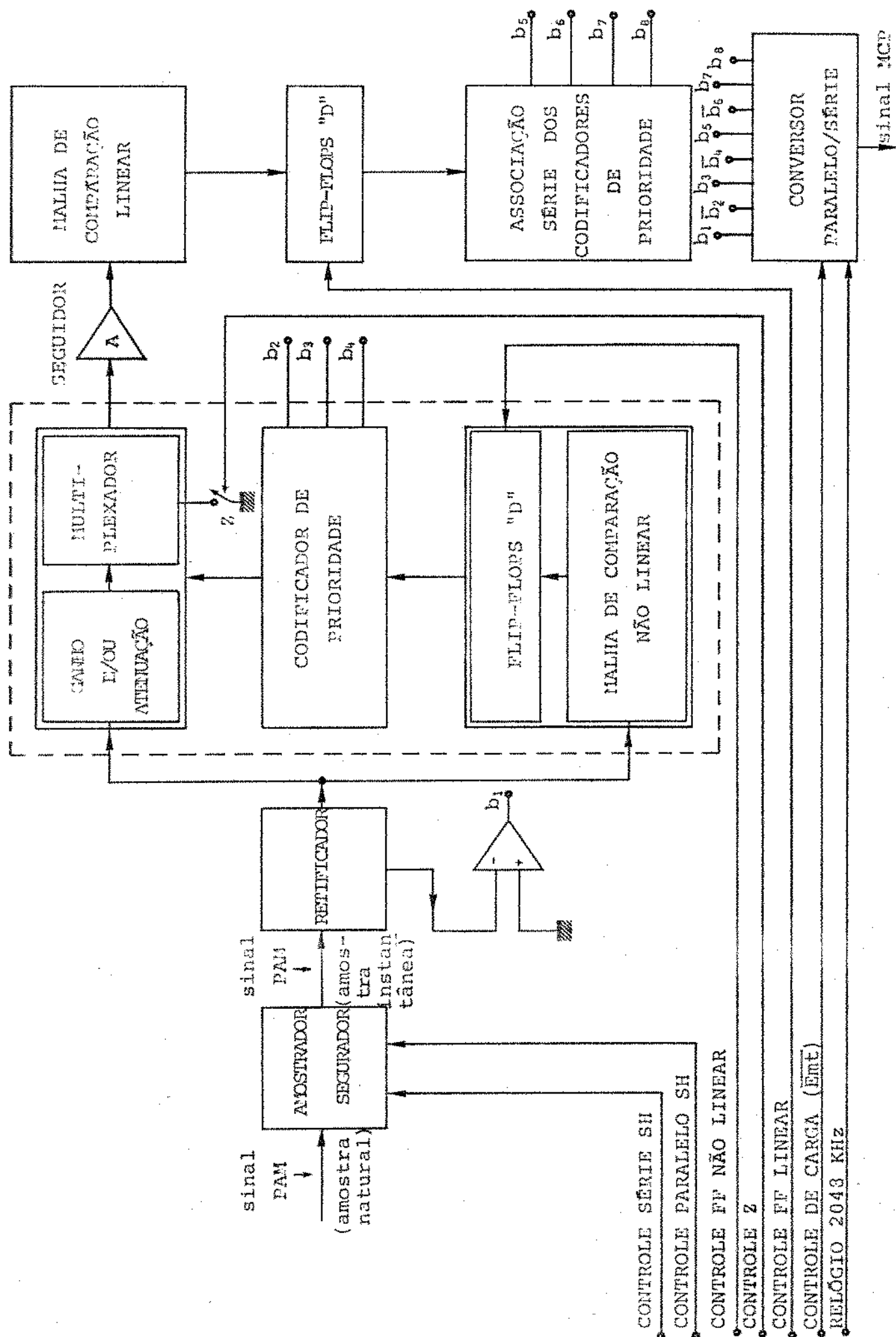


Fig.II.17 - DIAGRAMA DE BLOCOS COM AS ONDAS DE CONTROLE DO CODIFICADOR

- relógio 2048 KHz: sincronizar o envio, em série, dos bits b_1 a $\overline{b_8}$, para a linha.

As ondas de controle são mostradas na fig. II.18. Na secção II.2.1 já se analisou o funcionamento do amostrador-segurador e as ondas de controle paralelo e série (Fig.II.18a e II.18c).

O sinal na saída do retificador, acompanha o sinal na saída do amostrador-segurador durante o tempo τ_1 , necessário à obtenção da amostra PAM instantânea. Como os comparadores possuem tempo de resposta da ordem de 80 ns (máximo (9)), suas saídas podem ser armazenadas (congeladas) nos flip-flops, a partir de menos de 1,0 μ s do início de tempo de codificação. No entanto, como margem de segurança e devido à disponibilidade de tempo, isto só se fará 1,46 μ s após o início da codificação (τ_4), sendo os flip-flops acionados pela onda de controle FF não linear (Fig.II.18c). Os bits de codificação não linear, irão comandar o fechamento da chave correspondente no multiplexador (ou de uma das chaves analógicas S_G a S_A).

Os testes práticos mostraram que mantendo a chave Z fechada (conectando a saída comum das chaves ao terra) até aproximadamente 250 ns após o armazenamento do resultado dos comparadores nos flip-flops, os "spikes" (devidos à ação das chaves) serão bastante diminuídos. O seguidor, então, receberá um sinal menos deteriorado devido a esta diminuição dos "spikes".

A onda de controle Z (Fig.II.18d) é a que aciona a chave Z. O multiplexador terá, então, sua saída aterrada durante o intervalo de tempo τ_5 .

Em seguida, o sinal é passado pelo multiplexador, pelo seguidor e aí é submetido à comparação linear. O tempo máximo de resposta do multiplexador é 400 ns ((11) e (12)), o do LM 318 (usado para o seguidor) é 500 ns (8) e o dos comparadores é 80 ns (9), totalizando as 3 operações, cerca de 1 μ s (máximo). Novamente usa-se uma margem de segurança para o armazenamento das saídas dos comparadores nos flip-flops. Esta operação é feita somente 3,17 μ s ($\tau_B - \tau_5$) após o início da codificação.

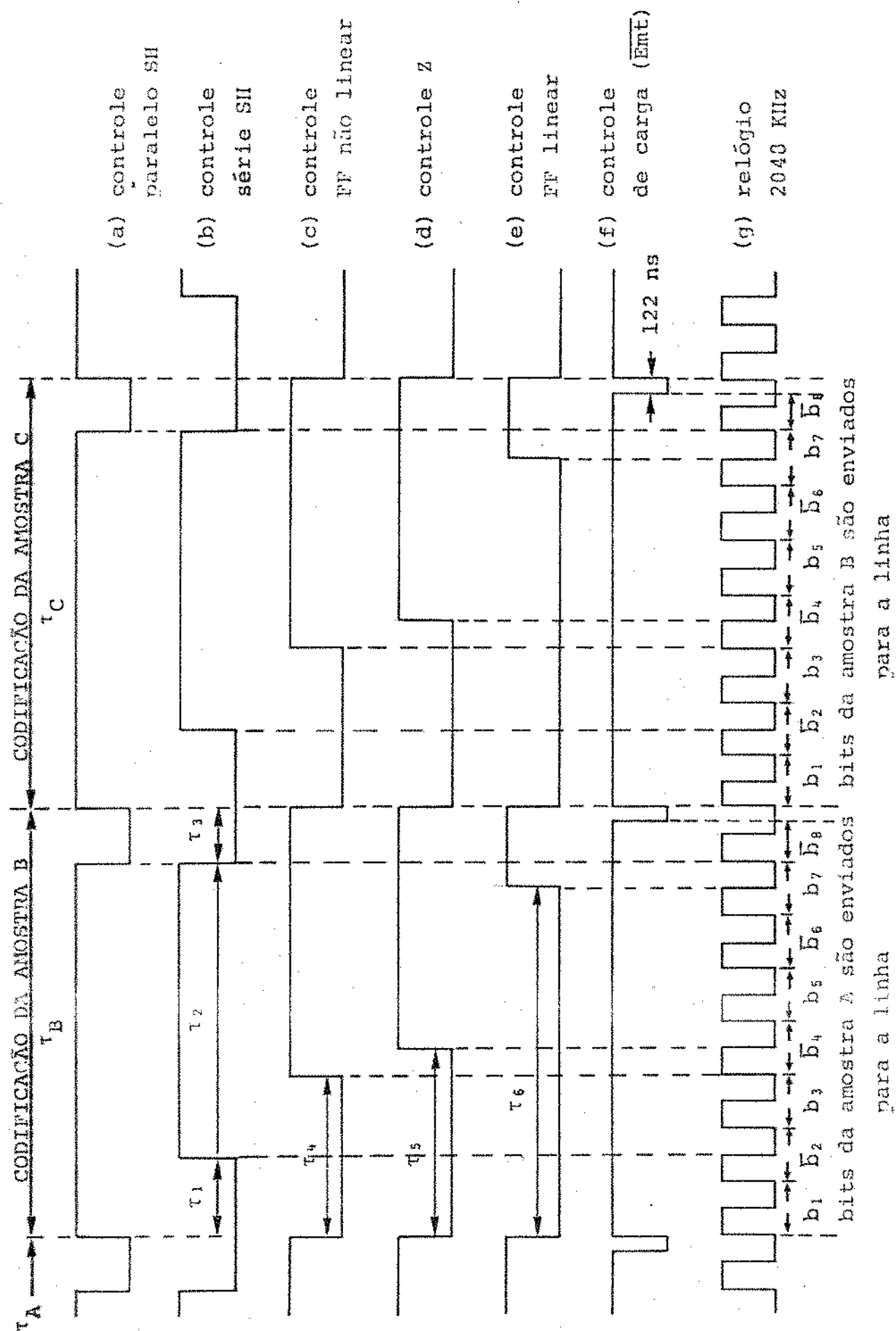


Fig.II.13 - Ondas de Controle do Codificador

ção ou 1,46 μ s após a abertura da chave Z. Neste caso, a onda de controle FF linear (Fig.II.18e) é que aciona os flip-flops.

O resultado da comparação é submetido à lógica linear (TTLs comuns ou associação série de dois codificadores de prioridade) e os 4 bits restantes são obtidos.

Os oito bits serão armazenados no conversor paralelo-série, por meio da onda de controle de carga (Fig.II.18f) e serão enviados para a linha sincronizadamente. O sincronismo é obtido por meio do relógio de 2.048 KHz (Fig.II.18g). Todos os bits, à exceção de $\overline{b_8}$, terão índice de ocupação 100% e forma unipolar na saída do conversor. O índice de ocupação de $\overline{b_8}$ é 75% devido à carga do conversor.

Os bits, devidos à codificação de cada amostra, são enviados para a linha durante a codificação da amostra seguinte (Fig.II.18). Desta maneira, durante o tempo de codificação de uma amostra B (τ_B), os bits correspondentes a uma amostra A, cuja codificação ocorreu no intervalo τ_A anterior, serão enviados para a linha. Os bits de codificação da amostra B, serão enviados para a linha durante o intervalo de codificação da amostra C (τ_C), imediatamente posterior.

II.8 - Cálculo dos parâmetros do Codificador

O projeto da parte referente ao amostrador-segurador foi feito em (10) e os resultados foram apresentados na seção II.2.1.

As outras partes do codificador, utilizam o amplificador operacional LM 318 e o comparador SN72810, como unidades básicas. Todos os dados referentes a estes dois componentes, são encontrados em (8) e (9).

Procura-se especificar os valores dos resistores dentro das séries E-96 e E-24, no caso de resistores com precisão 1% e 5%, respectivamente.

O valor dos resistores de alta precisão será fixa

do, mesmo não pertencendo o nenhum valor de série. Tais resistores serão construídos segundo o processo VISHAY (15) e são de filme fino.

II.8.1 - Retificador e amplificadores de sinais

A fig.II.19 mostra o circuito completo com os amplificadores AO1 a AO4 e as malhas de atenuação (secção II.3.4).

Inicialmente, para obter $v_{01} = |V_X|$ e $v_{02} = 4|V_X|$, deve-se ter:

$$R_1 = R_2 = R_3 = R_{13} = R_{15} = R_{18} = R$$

$$R_{14} = R_{19} = R/2$$

$$R_{20} = 4R$$

O valor R deve ser escolhido, levando-se em consideração, principalmente:

- A impedância mínima de entrada para o sinal V_X , deve ser 1,0 K Ω (10).
- A corrente de entrada dos operacionais deve ser suficientemente grande para que a corrente de polarização (i_{p-}) possa ser desprezada. Note-se que isto não é possível quando o valor de V_X é pequeno.

Escolhendo o valor R como sendo $R = 3160\Omega$, teremos:

$$Z_{in}(ret) = R_1 // R_{13} // R_{18} = \frac{R}{3} \approx 1052\Omega > 1K\Omega$$

e
$$|i_1| = \frac{|V_X|}{3160} \gg i_{p-} \approx 150nA \quad (8) \quad \text{para } |V_X| \lesssim 4,5 \text{ mV}$$

$$|i_e(AO2)| = |i_{21} + i_{22}| = \frac{V_X}{R} = |i_e(AO3)| = |i_{31} + i_{32}| \gg i_{p-}$$

O valor R deve ser de alta precisão (ver Cap.III), para que as relações entre os ganhos dos operacionais sejam man

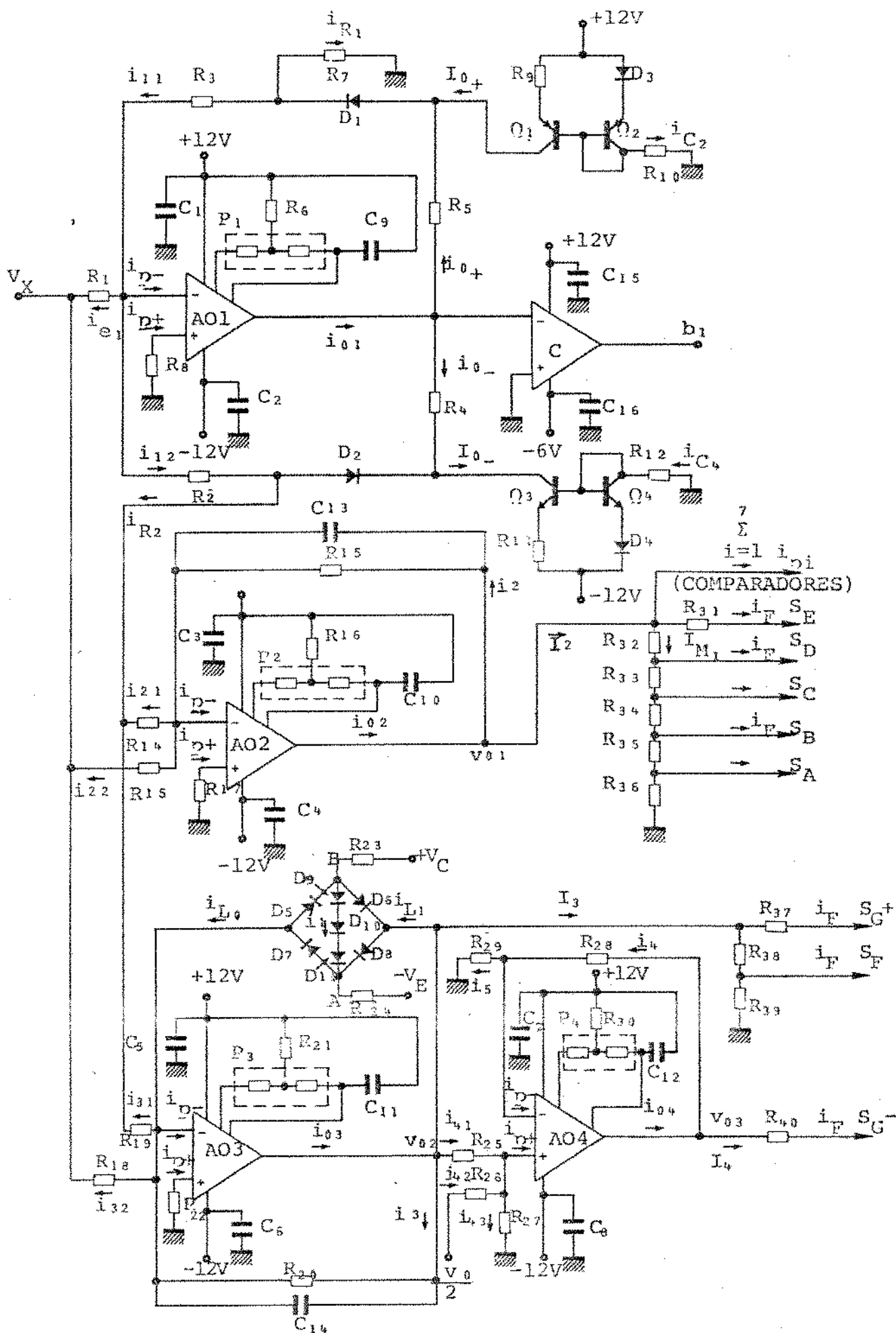


Fig.II.19 - Retificador e Amplificadores de entrada

tidas.

Para que as entradas "inverting" e "non inverting" dos operacionais vejam impedâncias idênticas (compensar o "off set" de corrente de polarização) deve-se ter:

$$R_8 = R_1 // (R_2 \text{ ou } R_3) = R // R = R/2 = 1580\Omega$$

$$R_{17} = R_{13} // R_{14} // R_{15} = R // R/2 // R = R/4 = 790\Omega$$

$$R_{22} = R_{18} // R_{19} // R_{20} = R // R/2 // 4R = 4R/13 \approx 972\Omega$$

Estes resistores não necessitam ser de alta precisão e serão da série E96 (1%); então escolhe-se:

$$R_8 = 1580\Omega$$

$$R_{17} = 787\Omega$$

$$R_{22} = 976\Omega$$

Para que as duas realimentações não lineares do A01 sejam semelhantes, deve-se ter:

$R_7 = R_{14} // R_{19} = R/2 // R/2 = R/4 = 790\Omega$; como não há necessidade de precisão, escolhe-se:

$$R_7 = 820\Omega \text{ (série E24 (5%))}.$$

Os resistores R_5 , R_{16} , R_{21} e R_{30} , são resistores para compensação de "off-set", cujo ajuste é feito por meio dos potenciômetros P_1 , P_2 , P_3 e P_4 , para os amplificadores A01 a A04, respectivamente. O valor dos mesmos será (8):

$$R_5 = R_{16} = R_{21} = R_{30} = 200K\Omega \text{ (série E24 (5%))}.$$

$$P_1 = P_2 = P_3 = P_4 = 200K\Omega \text{ (10\%)}$$

Os capacitores C_9 , C_{10} , C_{11} e C_{12} também são para compensação (8). Estes serão:

$$C_9 = C_{10} = C_{11} = C_{12} = .1\mu F \text{ (cerâmica, disco)}.$$

Os capacitores C_{13} e C_{14} foram incluídos após tes

tes experimentais. São necessários a fim de diminuir "spikes" e ruído térmico dos operacionais. O valor dos dois será:

$$C_{13} = C_{14} = 15 \text{ pF} \quad (\text{mica prateada}).$$

Os capacitores C_1 a C_8 (de .01 μ F tipo cerâmica - disco), são para desacoplamento das tensões de alimentação. Idem, os capacitores C_{15} e C_{16} .

Cálculo dos parâmetros das fontes de corrente:

Por limitação dos transistores Q_1 a Q_4 (C.I.CA3096-AE (11)), usaremos $I_{0-} = I_{0+} = 1,3 \text{ mA}$. Desta forma:

$$R_9 = \frac{V_{D_3}}{I_{0+}} ; V_{D_3} \approx 0,73 \text{ V} \quad (\text{para } D_3 \text{ conduzindo (11)})$$

portanto,
$$R_9 \approx \frac{0,73}{1,3} \times 10^3 \approx 562 \Omega \quad (\text{série E96 (1\%)}).$$

da mesma forma,

$$R_{11} = R_9 = 562 \Omega.$$

Experimentalmente, verificou-se que deve ser mantida a relação:

$$\frac{R_9}{R_5} = \frac{R_{11}}{R_4} \approx 2,4$$

usa-se
$$R_4 = R_5 = 237 \Omega \quad (\text{série E96 (1\%)}).$$

$$R_{10} = R_{12} = \frac{12 - V_Y - V_{BE}}{I_{0+}} \approx 8,15 \text{ K}\Omega$$

usa-se
$$R_{10} = R_{12} = 8,2 \text{ K}\Omega \quad (\text{série E24 (5\%)}).$$

Limitação de amplitude de A.O.3

O amplificador A.O.3 deve dar um ganho 4 para os

segmentos G^- , G^+ e F (secção II.3.4). O nível máximo de saída que vai interessar, então, será 640 mV. No entanto, o nível máximo do sinal de entrada pode ser $V_0 = 5,12$ Volts, fazendo com que o valor de saída $v_{02\max}$, seja $v_{02\max} = 20,48$ Volts, no caso de não haver limitação. Os problemas consequentes deste facto, foram estudados na secção II.3.4. A limitação será feita com a ponte de diodos da fig. II.19 (A.O.3). O valor típico da tensão de limitação será:

$$v_{0L\text{típ}} = 5V_Y \approx 5 \times 0,7 = 3,5V \text{ para } i_L \approx 3 \text{ mA} \quad (11)$$

Sendo a entrada "inverting" do A.O.3, um terra virtual, nos níveis em que se deseja a amplificação, deve-se ter D_5 e D_7 cortados, o que significa:

$$v_B > 0 \quad \text{e} \quad v_A < 0 \quad \text{II.27}$$

Quando a ponte não conduz, o valor de i_L (Fig.II.19) será dado por II.28, o de v_B por II.29 e o de v_A por II.30.

$$i_L = \frac{V_C + V_E - 3V_Y}{R_{23} + R_{24}} \quad \text{II.28}$$

$$v_B = V_C - R_{23} \left[\frac{V_C + V_E - 3V_Y}{R_{23} + R_{24}} \right] \quad \text{II.29}$$

$$v_A = v_B - 3V_Y \quad \text{II.30}$$

Em II.28, fazendo $R_{23} = R_{24}$ e para $i_L = 3 \text{ mA}$ ($V_Y \approx 0,73V$ (11)), obtemos:

$$R_{23} = R_{24} = 3,65 \text{ K}\Omega \quad (\text{série E96 (1\%)}).$$

Os valores máximos e mínimos de V_Y , V_C e V_E (para

estes últimos supõe-se 5% de variação em torno do valor nominal) são dados por II.31.

$$V_{\gamma\max} = 0,9V \text{ (11)} ; V_{\gamma\min} = 0,5V \quad \text{II.31}$$

$$V_{C\max} = V_{E\max} = 12,6V$$

$$V_{C\min} = V_{E\min} = 11,4V$$

Os valores máximos e mínimos que v_A e v_B podem ter, são:

$$v_{B\min} = V_{C\min} - \frac{V_{C\min} + V_{E\max} - 3V_{\gamma\min}}{R_{24\min} + R_{23\max}} \cdot R_{23\max} \quad \text{(a)} \quad \text{II.32}$$

$$v_{B\max} = V_{C\max} - \frac{V_{C\max} + V_{E\min} - 3V_{\gamma\max}}{R_{24\max} + R_{23\min}} \cdot R_{23\min} \quad \text{(b)}$$

$$v_{A\max} = v_{B\max} - 3V_{\gamma\max} \quad \text{(a)} \quad \text{II.33}$$

$$v_{A\min} = v_{B\min} - 3V_{\gamma\min} \quad \text{(b)}$$

Substituindo II.31 em II.32 e II.33, encontramos:

$$v_{B\min} \approx 0,04V$$

$$v_{B\max} \approx 2,06V$$

$$v_{A\max} \approx -0,64V$$

$$v_{A\min} \approx -1,46V$$

e portanto a condição II.27 é satisfeita.

Parâmetros do Operacional A.O.4.

A saída do operacional A.O.4 (Fig.II.19), na confi

guração "não invertida" utilizada em função da entrada, é dada por II.34.

$$v_{03} = \left(1 + \frac{R_{28}}{R_{29}}\right) V_+ \quad \text{II.34}$$

A relação entre V_+ com as correntes da entrada do o peracional é dada por II.35.

$$v_{02} - V_+ = R_{25} i_{41} \quad (a)$$

$$\frac{V_0}{2} - V_+ = R_{26} i_{42} \quad (b) \quad \text{II.35}$$

$$V_+ = R_{27} i_{43} \quad (c)$$

Sendo $v_{02} = 4|V_X|$ na região de interesse e $i_{43} = i_{41} + i_{42}$, II.35 pode ser reduzida para:

$$V_+ = \frac{R_{27} \left(4 R_{26} |V_X| + R_{25} (V_0/2) \right)}{R_{25} R_{26} + R_{25} R_{27} + R_{26} R_{27}} \quad \text{II.36}$$

substituindo II.36 em II.34, a saída v_{03} será expressa por II.37.

$$\begin{aligned} v_{03} = & \left(1 + \frac{R_{28}}{R_{29}}\right) \left(\frac{R_{26} R_{27}}{R_{25} R_{26} + R_{25} R_{27} + R_{26} R_{27}} \right) (4|V_X|) + \\ & + \left(1 + \frac{R_{28}}{R_{29}}\right) \left(\frac{R_{25} R_{27}}{R_{25} R_{26} + R_{25} R_{27} + R_{26} R_{27}} \right) \left(\frac{V_0}{2} \right) \end{aligned} \quad \text{II.37}$$

A saída v_{03} desejada é

$$v_{03} = 4|V_X| + \frac{V_0}{32} \quad \text{II.38}$$

comparando II.37 com II.38, obtemos:

$$(1 + \frac{R_{28}}{R_{29}}) (\frac{R_{26} R_{27}}{R_{25} R_{26} + R_{25} R_{27} + R_{26} R_{27}}) = 1 \quad (a)$$

II.39

$$(1 + \frac{R_{28}}{R_{29}}) (\frac{R_{26} R_{27}}{R_{25} R_{26} + R_{25} R_{27} + R_{26} R_{27}}) = \frac{1}{16} \quad (b)$$

A equação II.39 pode ser facilmente reduzida para obter-se II.40.

$$16 \frac{R_{28}}{R_{29}} = \frac{R_{26}}{R_{27}} + 1 \quad (a)$$

II.40

$$R_{26} = 16 R_{25} \quad (b)$$

Para evitar amplificação de ruído (a diferença de tensão, $v_{02} - V_+$, não deve ser grande), faremos $R_{25} \ll R_{27}$. Para facilitar, faz-se $R_{27} = R_{26} = 16 R_5$; substituindo em II.40, obtemos:

$$R_{29} = 8 R_{28}$$

Escolhendo $R_{25} = R_{28} = 2 \text{ K } 4$, o valor dos demais resistores será:

$$R_{26} = 38\text{K}4, R_{27} = 38\text{K}4 \text{ e } R_{29} = 19\text{K}2.$$

Malhas de Atenuação

A saída do A.O.2 irá fornecer os sinais para as chaves S_E a S_A , atenuados de 1, 2, 4, 8 e 16, respectivamente (seção II.3.4). Desta forma, os resistores R_{32} a R_{36} deverão obedecer a relação:

$$R_{32} = 8 R_{M1}$$

$$R_{33} = 4 R_{M1}$$

$$R_{34} = 2 R_{M1}$$

$$R_{35} = R_{M1}$$

$$R_{36} = R_{M1}$$

II.41

O valor R_{M1} (de precisão) será determinado, levando-se em consideração, principalmente, a máxima corrente que o LM318 consegue fornecer. A corrente de fuga das chaves será desprezada (≈ 2 nA típico).

Da Fig. II.19 tiramos:

$$i_{02} = i_2 + I_2 \quad \text{II.42}$$

sendo:
$$I_2 = I_{M1} + \sum_{i=1}^7 ip_i \quad \text{II.43}$$

onde I_{M1} é a corrente que deve passar pela malha de atenuação e ip_i é a corrente de polarização do comparador C_i , da parte não linear ($ip_i \approx 30$ μ A).

O valor máximo da corrente que o operacional consegue fornecer (para tensões de alimentação $V_{cc} = 12V$ e $-V_{EE} = -12V$), é aproximadamente 10 mA (8). Limitando a este valor a corrente i_{02} , tem-se:

$$i_{02\max} = i_{2\max} + I_{M1\max} + \text{MAX} \left(\sum_{i=1}^7 ip_i \right) \leq 10 \text{ mA} \quad \text{II.44}$$

sendo:
$$i_{2\max} = \frac{|V_X|_{\max}}{R_{15}}, \quad I_{M1\max} = \frac{|V_X|_{\max}}{R_{M1\min}}, \quad \text{teremos}$$

$$\frac{|V_X|_{\max}}{R_{15}} + \frac{|V_X|_{\max}}{R_{M1\min}} + 0,21 \times 10^{-3} \leq 10 \text{ mA} \quad \text{II.45}$$

De II.45, pode-se obter o menor valor que R_{M1} pode ter:

$$R_{M1\min} \approx 40\Omega$$

Usando $R_{M1} = 128\Omega$, a máxima corrente de saída do operacional A.O.2, será:

$$i_{02\max} \approx 4,33 \text{ mA},$$

que está abaixo do valor máximo que o LM318 consegue fornecer.

O valor dos resistores R_{32} a R_{36} , para $R_{M1} = 128\Omega$ será:

$$R_{32} = 1024\Omega$$

$$R_{33} = 512\Omega$$

$$R_{34} = 256\Omega$$

$$R_{35} = 128\Omega$$

$$R_{36} = 128\Omega$$

O resistor R_{31} é usado para limitar a corrente a través da chave Z. Não é necessário ser de precisão.

Usa-se

$$R_{31} = 100\Omega (\text{série E24 (5\%)}).$$

A saída do A.O.3 irá fornecer os sinais para as chaves S_F e S_G^+ , atenuados de 2 e 1, respectivamente (secção II.3.4). Desta forma, deve-se ter:

$$R_{38} = R_{39} = R_{M2} \quad (\text{precisão}).$$

A corrente de saída i_{03} do A.O.3 é dada por II.46.

$$i_{03} = i_{41} + i_3 + i_{L1} + I_3 \quad \text{II.46}$$

Cálculo de i_{L1}

Se $0 \leq v_{02} \leq v_{0L}$ (tensão de limitação do A.O.3), teremos $i_{L0} = 0$. No entanto, se $v_{02} > v_{0L}$, D_6 e D_7 conduzem e i_{L0} é dada por II.47, onde i_{R23} e i_{R24} são as correntes que passam por R_{23} e R_{24} , respectivamente. i_{R23} e i_{R24} são dadas por II.48.

$$i_{L0} = i_{L1} + i_{R23} - i_{R24} \quad \text{II.47}$$

$$i_{R_{24}} = \frac{V_E + v_A}{R_{24}} \quad (a)$$

$$i_{R_{23}} = \frac{V_C - v_B}{R_{23}} \quad (b) \quad \text{II.48}$$

$$i_{L_0} = \frac{|V_X|}{R} - \frac{v_{02}}{4R} \quad (c)$$

sendo v_A e v_B dados por II.49.

$$v_B = v_{02} - V_Y \quad (a)$$

II.49

$$v_A = v_B - 3V_Y = v_B - 4V_Y \quad (b)$$

Substituindo II.49 em II.48 e depois II.48 em II.47 e levando em consideração que $R_{23\text{típico}} = R_{24\text{típico}}$, o valor máximo de i_{L1} será dado por II.50.

$$i_{L1 \text{ max}} = \frac{|V_X|_{\text{max}}}{R} - \frac{v_{0L \text{ max}}}{4R} + \frac{V_{E \text{ max}} - V_{C \text{ min}}}{R_{23 \text{ min}}} + \frac{2 v_{0L \text{ max}} - 5V_{Y \text{ min}}}{R_{23 \text{ min}}} \quad \text{II.50}$$

Substituindo os valores numéricos, encontramos:

$$i_{L1 \text{ max}} \approx 2,49 \text{ mA} \quad \text{II.51}$$

Cálculo de i_{41} :

A corrente que passa por R_{25} é dada por:

$$i_{41} = \frac{v_{02} - V_+}{R_{25}} \quad \text{II.52}$$

O valor de V_+ é dado por II.36 e seu valor, substituindo os valores de R_{25} a R_{27} será:

$$V_+ = \frac{8}{9} V_{02} + \frac{1}{18} \left(-\frac{V_0}{2} \right) \quad \text{II.53}$$

Substituindo em II.52 e adotando os valores máximos:

$$i_{41\text{max}} = \frac{V_{0L\text{max}} - \frac{8}{9} V_{0L\text{max}} - \frac{V_0}{36}}{R_{25}} \approx 0,15 \text{ mA} \quad \text{II.54}$$

o valor máximo de i_3 será:

$$i_{3\text{max}} = \frac{V_{0L\text{max}}}{4R} \approx 0,36 \text{ mA} \quad \text{II.55}$$

e o valor máximo de I_3 , desprezando as correntes de fuga, será:

$$I_{3\text{max}} = \frac{V_{0L\text{max}}}{2 R_{M2}} \quad \text{II.56}$$

Substituindo II.51 e II.54 a II.56 em II.46, obtem-se o valor mínimo de R_{M2} a ser adotado, como sendo:

$$R_{M2\text{min}} = 322\Omega \quad (i_{03\text{max}} = 10 \text{ mA}).$$

Usando $R_{M2} = 600\Omega$, teremos:

$$R_{39} = R_{39} = 600\Omega \quad (\text{precisão})$$

e a máxima corrente a ser fornecida pelo operacional A.O.3 será:

$$i_{03\text{max}} \approx 6,75 \text{ mA}$$

II.8.2 - Fonte Regulada e tensões de referência

Na parte não linear, as tensões de referência desejadas (secção II.3.2, eq. 5 e Fig. II.8) para a comparação, são:

$$v_j = \frac{V_0}{2^{8-j}} \quad ; \text{ para } j=1, \dots, 7 \quad \text{II.5}$$

Como foi visto, uma limitação para se obter os valores dados por II.5, é a corrente de polarização dos comparadores. Quando esta é levada em consideração, as tensões de referência obtidas são dadas por II.11, onde aparece um valor de erro, $k_j R_{i_p}$.

$$v_j = \frac{V_0}{2^{8-j}} - k_j R_{i_p} \quad ; \text{ para } j=1, \dots, 7 \quad \text{II.11}$$

O valor de k_j pode ser diminuído, mudando-se a configuração da malha de referência. Como exemplo, a Fig.II.20 mostra a malha da fig. II.8 dividida em duas outras malhas.

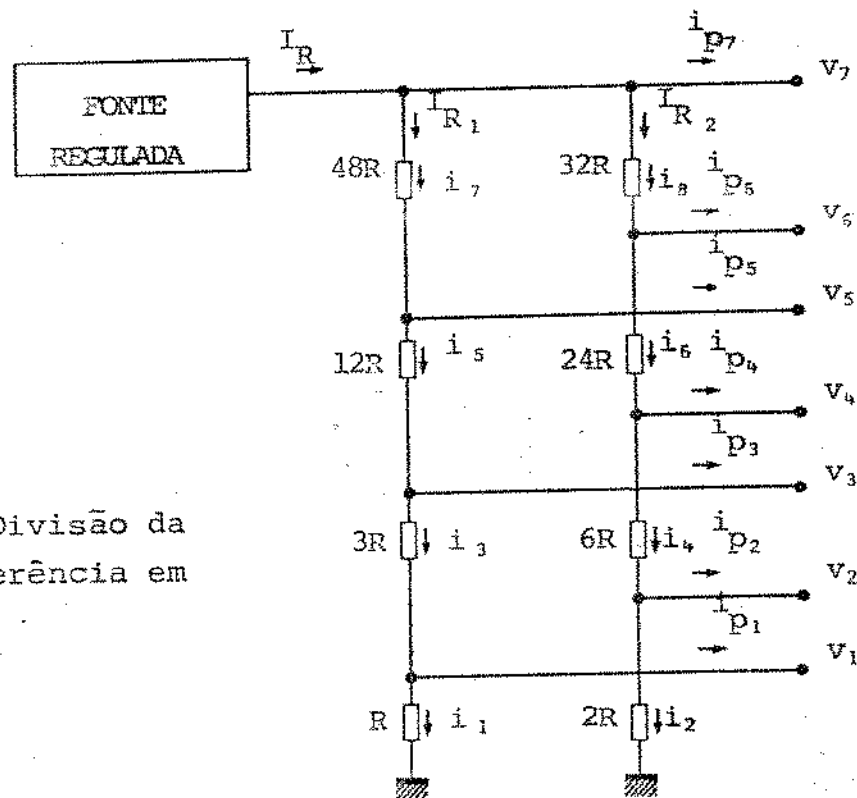


Fig.II.20 - Divisão da malha de referência em duas partes.

As correntes i_1 a i_8 são dadas por II.57.

$$i_8 = I_{R_2} \quad (a)$$

$$i_7 = I_{R_1} \quad (b)$$

$$i_6 = i_8 - i_{p_6} = I_{R_2} - i_{p_6} \quad (c)$$

$$i_5 = i_7 - i_{p_5} = I_{R_1} - i_{p_5} \quad (d) \quad \text{II.57}$$

$$i_4 = i_6 - i_{p_4} = I_{R_2} - (i_{p_6} + i_{p_4}) \quad (e)$$

$$i_3 = i_5 - i_{p_3} = I_{R_1} - (i_{p_5} + i_{p_3}) \quad (f)$$

$$i_2 = i_4 - i_{p_2} = I_{R_2} - (i_{p_6} + i_{p_4} + i_{p_2}) \quad (g)$$

$$i_1 = i_3 - i_{p_1} = I_{R_1} - (i_{p_5} + i_{p_3} + i_{p_1}) \quad (h)$$

Supondo as correntes de polarização com mesmo valor i_p , as tensões de referência obtidas são dadas por II.58.

$$v_1 = R I_{R_1} - 3Ri_p \quad (a)$$

$$v_2 = 2R I_{R_2} - 6Ri_p \quad (b)$$

$$v_3 = 4R I_{R_1} - 9Ri_p \quad (c)$$

$$v_4 = 8R I_{R_2} - 18Ri_p \quad (d) \quad \text{II.58}$$

$$v_5 = 16R I_{R_1} - 21Ri_p \quad (e)$$

$$v_6 = 32R I_{R_2} - 42Ri_p \quad (f)$$

$$v_7 = V_0/2 \quad (g)$$

Ao invés de escrever v_7 por II.58g, pode-se escrever conforme II.59:

$$v_7 = 64 R I_{R_1} - 21 R i_p \quad (a)$$

II.59

ou

$$v_7 = 64 R I_{R_2} - 42 R i_p \quad (b)$$

Comparando II.59 com II.58g, encontra-se:

$$I_{R_1} = \frac{V_0}{128R} + \frac{21}{64} i_p \quad (a) \quad \text{II.60}$$

$$e \quad I_{R2} = \frac{V_0}{128R} + \frac{42}{64} i_p \quad (b) \quad II.60$$

Substituindo II.60 em II.58, as expressões para as tensões de referência v_j ; $j=1, \dots, 7$, serão dadas por:

$$v_1 = \frac{V_0}{128} - 2,67 R i_p \quad (a)$$

$$v_2 = \frac{V_0}{64} - 4,7 R i_p \quad (b)$$

$$v_3 = \frac{V_0}{32} - 7,7 R i_p \quad (c)$$

$$v_4 = \frac{V_0}{16} - 12,7 R i_p \quad (d) \quad II.61$$

$$v_5 = \frac{V_0}{8} - 15,75 R i_p \quad (e)$$

$$v_6 = \frac{V_0}{4} - 21 R i_p \quad (f)$$

$$v_7 = \frac{V_0}{2} \quad (g)$$

que identicamente a II.10 tem a forma de II.11.

Várias outras combinações na divisão são possíveis. No caso apresentado na fig. II.9, em que cada tensão de referência é obtida separadamente, a corrente I_j , circulando pela malha "j", é dada por II.62.

$$I_j = i_j + i_p ; \quad j=1, \dots, 6 \quad (a)$$

II.62

$$\text{ou} \quad I_j = \frac{V_0}{128R} + 2^{(j-7)} i_p ; \quad j=1, \dots, 6 \quad (b)$$

As tensões de referência terão a forma de II.63.

$$v_j = 2^{(j-1)} R I_j - 2^{(j-1)} Ri_p ; j=1, \dots, 6 \quad (a)$$

II.63

e
$$v_7 = \frac{V_0}{2} \quad (b)$$

Substituindo II.62 em II.63a, obtem-se:

$$v_j = 2^{(j-8)} V_0 + \left[2^{(2j-8)} - 2^{(j-1)} \right] Ri_p ; j=1, \dots, 6$$

II.64

ou
$$v_1 \cong \frac{V_0}{128} - 0,98 Ri_p \quad (a)$$

$$v_2 \cong \frac{V_0}{64} - 1,92 Ri_p \quad (b)$$

$$v_3 \cong \frac{V_0}{32} - 3,75 Ri_p \quad (c)$$

$$v_4 = \frac{V_0}{16} - 8 Ri_p \quad (d)$$

II.65

$$v_5 = \frac{V_0}{8} - 12 Ri_p \quad (e)$$

$$v_6 = \frac{V_0}{4} - 16 Ri_p \quad (f)$$

$$v_7 = \frac{V_0}{2} \quad (g)$$

que também é da forma de II.11.

Na tabela II.8 compara-se os valores de k_j obtidos em II.61 e II.65.

A configuração com uma malha para cada tensão de referência (Fig.II.9), é a que apresenta o menor valor para o erro $k_j R_{ip}$, se o valor R é o mesmo nos três casos.

	k_1	k_2	k_3	k_4	k_5	k_6
caso 1 (1 malha)	5	9	15,5	23,2	31,2	31,5
caso 2 (2 malhas)	2,67	4,7	7,7	12,7	15,75	21
caso 3 (6 malhas)	0,98	1,94	3,75	8	12	16

Tabela II.8 - Comparação entre os valores de k_j nos casos de diversas configurações para a malha de referência.

Suponha-se nos três casos uma mesma potência sendo consumida, o que significa:

$$\text{caso 1 : } I_0 = I_R \quad (a)$$

$$\text{caso 2 : } I_{R1} = I_{R2} = \frac{I_R}{2} \quad (b) \quad \text{II.66}$$

$$\text{caso 3 : } I_i = \frac{I_R}{6} ; i=1, \dots, 6 \quad (c)$$

A relação entre resistores que se obtém nas condições de II.66, é:

$$\text{caso 1 : } R = R_R \quad (a)$$

$$\text{caso 2 : } R = 2R_R \quad (b) \quad \text{II.67}$$

$$\text{caso 3 : } R = 6R_R \quad (c)$$

Ou seja, no 3º caso para se consumir a mesma potência, o valor de R deve ser aumentado de 6 vezes em relação ao caso 1 e de 2 vezes em relação ao caso 2.

Um parâmetro que dá uma idéia melhor da influência de k_j em cada um dos intervalos de comparação é a relação (k_j/Δ_j) , onde Δ_j é o valor do menor intervalo de codificação imediatamente anterior à tensão de referência "j". As relações (k_j/Δ_j) são comparadas na tabela II.9, normalizadas em relação ao valor $V_0/128$.

j	1	2	3	4	5	6
Δ_j (mV)	2,5	2,5	5,0	10,0	20,0	40,0
ΔJ_N (= ΔJ NORMALIZADO)	1	1	2	4	8	16
k_j/Δ_{jN} (caso 1)	5,0	9,0	7,8	5,8	3,9	2,0
k_j/Δ_{jN} (caso 2)	2,7	4,7	3,9	3,2	2,0	1,4
k_j/Δ_{jN} (caso 3)	1,0	1,9	1,9	2,0	1,5	1,0

Tabela II.9 - Comparação entre os valores de (k_j/Δ_{jN})

Pode-se observar pela tabela II.9 que, em geral, o pior caso ocorre para a comparação entre os segmentos G^+ e F, onde $\Delta_2 = 2,5$ mV.

Adotando-se como erro máximo o valor referente a "1 bit", ou seja o valor de Δ_2 , na comparação deve-se ter:

$$k_2 R i_p + V_0 C \leq 2,5 \text{ mV} = \Delta_2 \tag{II.68}$$

onde: V_{0C} = tensão de off-set do comparador.

$$V_{0C} \text{ típ} = 1,6 \text{ mV} \quad (\text{tabela II.2})$$

portanto:

$$k_2 R i_p < 0,9 \text{ mV}$$

o que significa que se deve ter $R \leq 5,0\Omega$, no caso 1.

Usando uma pequena margem de segurança, faz-se

$$R = 4,0\Omega$$

Para se obter o mesmo valor de $k_2 R i_p$ nos outros dois casos, o valor de R deve ser:

$$\text{caso 2 : } R \cong 7,7\Omega$$

$$\text{caso 3 : } R \cong 19\Omega$$

Deve-se dar preferência a valores maiores para R, pois várias são as causas de erro que se somam e que influenciam na precisão da malha. Entre estas causas, pode-se destacar:

- a) A solda do resistor ao cartão possui uma resistência.
- b) A parte linear do codificador ficará em um cartão de circuito impresso separado, o que significa várias ligações entre os cartões.

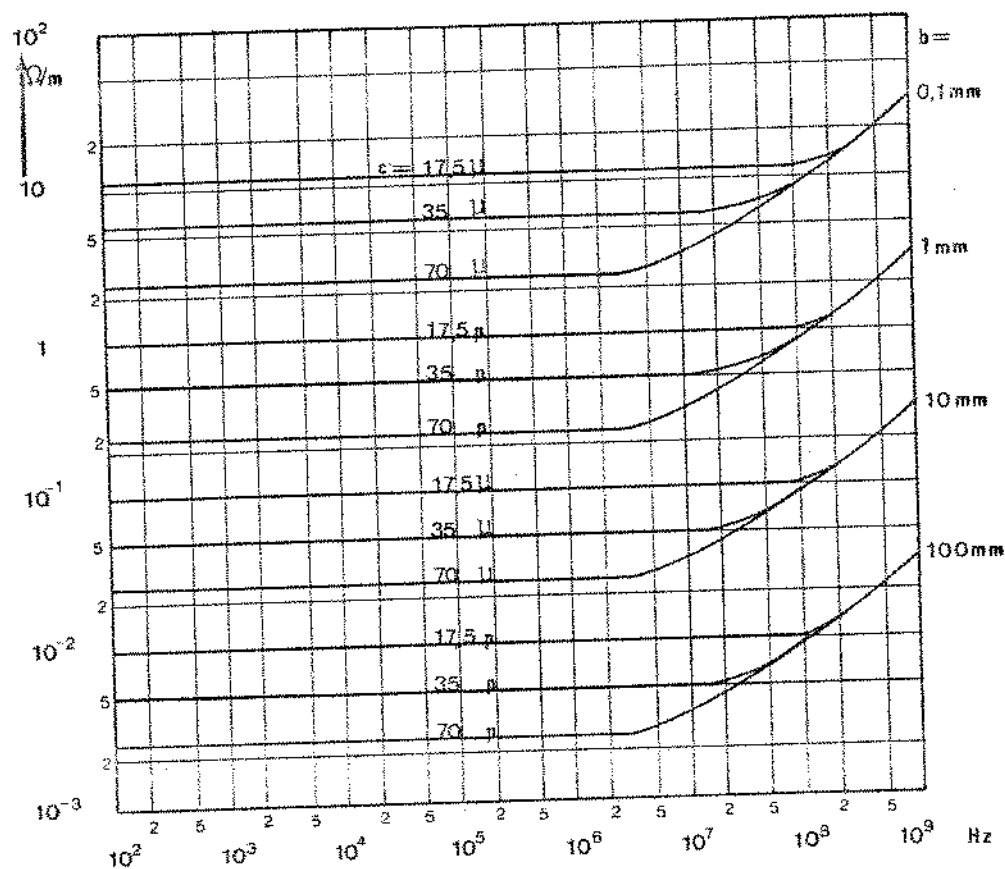
Outra limitação para se usar resistores de baixo valor, é a resistência apresentada pelas fitas do cartão de circuito impresso, que pode afetar a precisão dos mesmos. A resistência das fitas varia com sua largura, comprimento e espessura e é independente da frequência até aproximadamente 5 MHz.

A fig. II.21 mostra a variação da resistência da fita com os diversos parâmetros.

Como exemplo, para ilustração, considere uma fita com 3 cm. de comprimento, 1 mm. de largura e que a chapa utilizada possua uma camada de cobre de 17,5 μm (medidas bastante usadas). A resistência apresentada por esta fita será:

$$R(\text{fita}) = 1\left(\frac{\Omega}{\text{m}}\right) \times 3(\text{cm}) = 30 \text{ m}\Omega,$$

que representa 0,75% do valor de um resistor de 4 Ω , ou 0,15% em um resistor de 20 Ω . Cada 0,5 cm. de fita chega a representar 0,125% de um resistor de 4 Ω e 0,025% em um resistor de 20 Ω .



b = largura da fita

c = espessura da chapa de cobre

Fig. II.21 - Variação da resistência da fita de cobre com sua largura, espessura, comprimento e frequência de operação.

As tensões de referência também sofrerão a influência da precisão dos resistores (ΔR) e da precisão da fonte de referência (ΔV_R). Um estudo a respeito será feito no capítulo III, onde se determina a precisão que deve ser usada para os resistores, para que o desempenho especificado pelo CCITT possa ser obtido.

Devido aos fatores citados, o esquema utilizado para obtenção das tensões de referência, será o da fig. II.9 - (caso 3 - malhas separadas), com $R = 20\Omega$.

O estudo feito para as tensões de referência da parte não linear, também poderia ser feito para o caso da parte linear, com idêntico resultado.

Determinação do valor dos resistores das malhas de referência.

Do esquema típico para as malhas (Fig. II.9), pode-se obter:

$$v_j = \frac{R_j}{R_j + R_j^*} \cdot \frac{V_0}{2} - \frac{R_j R_j^*}{R_j + R_j^*} i_p ; j=1, \dots, 6 \quad \text{II.69}$$

o desvio de v_j devido a i_p pode ser compensado no caso em que $i_p = i_{ptípico}$.

Sendo as tensões de referência desejadas dadas por II.5, pode-se igualar a II.69 (para compensar o erro) e obter:

$$R_j = \frac{R_j^* V_0}{(2^{7-j} - 1)V_0 - 2^{8-j} R_j^* i_p} ; j=1, \dots, 6 \quad \text{II.70}$$

O valor de R_j será então determinado substituindo em II.70 o valor de R_j^* , retirado do caso ideal com $i_p = 0$, dado

por II.71, usando $R = 20\Omega$.

$$R_j^* = \frac{2^{7-j} - 1}{2^{7-j}} (64R) ; j=1, \dots, 6 \quad \text{II.71}$$

A tabela II.10 mostra os valores de R_j e R_j^* , calculados por II.70 e II.71.

j	$R_j (\Omega)$	$R_j^* (\Omega)$
1	20,070	1260,0
2	40,140	1240,0
3	80,280	1200,0
4	160,56	1120,0
5	321,12	960,0
6	642,25	640,0

Tabela II.10 - Valores dos resistores para as malhas de referência da parte não linear.

Para a parte linear, as tensões de referência desejadas são dadas por II.72.

$$v_j = \frac{V_0}{8} + j \frac{V_0}{128} ; j=1, \dots, 15 \quad \text{II.72}$$

Adotando o mesmo procedimento da parte não linear (compensar o erro para $i_p = i_p$ típico), pode-se igualar

II.72 com II.69, obtendo:

$$R_j = \frac{(16+j) R_j^*}{48-j - \frac{128}{V_0} R_j^* i_p} ; j=1, \dots, 15 \quad \text{II.73}$$

O valor de R_j^* será tirado do caso com $i_p = 0$ e dado por II.74.

$$R_j^* = (48 - j) R ; j=1, \dots, 15 \quad \text{II.74}$$

A tabela II.11 mostra os valores de R_j e R_j^* calculados por II.73 e II.74.

j	R_j^* (Ω)	R_j (Ω)
1	940,0	342,39
2	920,0	362,53
3	900,0	382,67
4	880,0	402,82
5	860,0	422,96
6	840,0	443,10
7	820,0	463,24
8	800,0	483,38
9	780,0	503,52
10	760,0	523,66
11	740,0	543,80
12	720,0	563,94
13	700,0	584,08
14	680,0	604,23
15	660,0	624,37

Tabela II.11
Valores dos resistores para as malhas de referência da parte linear.

Cálculo dos parâmetros da fonte de referência

O valor da saída v_o , é dado por II.2. A corrente máxima de saída é dada por II.3. No projeto da fonte, devem ser obedecidas as condições dadas por II.1.

No caso em que $V_{REF} = V_{REF \text{ mínimo}}$, o valor v_o poderá variar no intervalo dado por II.75, ajustando-se o potenciômetro P_6 e considerando o pior caso.

$$v_o \left(\begin{smallmatrix} \text{mínimo} \\ \text{mínimo} \end{smallmatrix} \right) = v_{o \text{ mm}} \leq v_o \leq v_o \left(\begin{smallmatrix} \text{mínimo} \\ \text{máximo} \end{smallmatrix} \right) = v_{o \text{ MM}} \quad \text{II.75}$$

onde:

$$v_{o \text{ mm}} = \frac{R_{2 \text{ máx}}}{R_{1 \text{ mín}} + R_{2 \text{ máx}} + P_{6 \text{ mín}}} \cdot V_{REF \text{ mín}} \quad (\text{a})$$

II.76

e

$$v_{o \text{ MM}} = \frac{R_{2 \text{ mín}} + P_{1 \text{ mín}}}{R_{1 \text{ máx}} + R_{2 \text{ mín}} + P_{6 \text{ mín}}} \cdot V_{REF \text{ mín}} \quad (\text{b})$$

No caso em que $V_{REF} = V_{REF \text{ máximo}}$, o valor de v_o poderá variar no intervalo:

$$v_o \left(\begin{smallmatrix} \text{máximo} \\ \text{mínimo} \end{smallmatrix} \right) = v_{o \text{ Mm}} \leq v_o \leq v_{o \text{ MM}} = v_o \left(\begin{smallmatrix} \text{máximo} \\ \text{máximo} \end{smallmatrix} \right) \quad \text{II.77}$$

onde:

$$v_{o \text{ Mm}} = \frac{R_{2 \text{ máx}}}{R_{1 \text{ mín}} + P_{6 \text{ mín}} + R_{2 \text{ máx}}} \cdot V_{REF \text{ máx}} \quad (\text{a})$$

II.78

e

$$v_{o \text{ MM}} = \frac{R_{2 \text{ mín}} + P_{6 \text{ mín}}}{R_{1 \text{ máx}} + P_{6 \text{ mín}} + R_{2 \text{ mín}}} \cdot V_{REF \text{ máx}} \quad (\text{b})$$

Para se conseguir o ajuste do valor ($V_0/2$), deve-se garantir que:

$$V_{0Mm} \leq \frac{V}{2} \leq V_{0mM} \quad \text{II.79}$$

A figura II.22 ilustra as condições dadas por II.75 a II.79. No caso (a) temos $V_{0mM} < V_{Mm}$ e desta forma o ajuste não é conseguido no pior caso; em (b), sempre se consegue o ajuste.

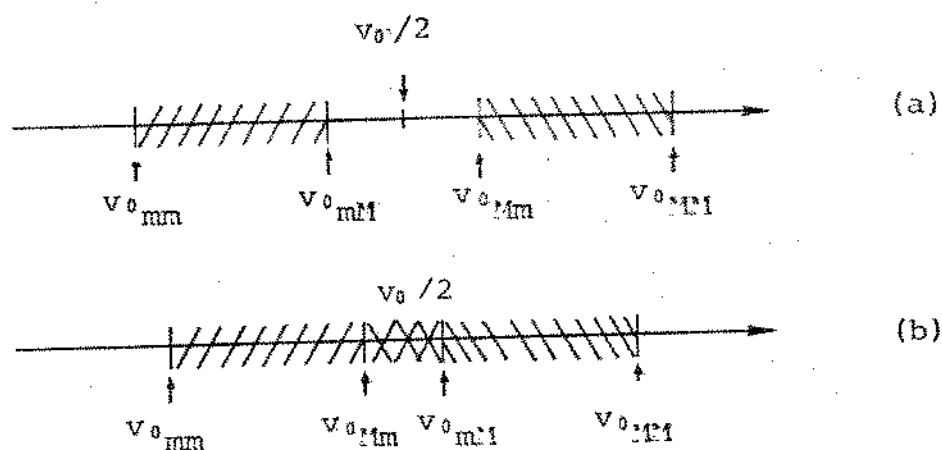


Fig. II.22 - Variação da saída da fonte com os parâmetros R_1 , R_2 , P_6 e V_{REF} .

Escolhendo-se:

$$R_1 = 3K\Omega \pm 5\%$$

$$R_2 = 1K6\Omega \pm 5\%$$

$$P_6 = 500\Omega \pm 10\%,$$

teremos: 1. $R_{1min} + R_{2min} + P_{6min} > 1K5$

II.1b é satisfeita.

$$2. v_{0Mm} = 2,53 \text{ Volts} < 2,56 \text{ Volts} = \frac{V_0}{2}$$

$$e \quad v_{0mM} = 2,61 \text{ Volts} > 2,56 \text{ Volts} = \frac{V_0}{2}$$

II.79 é satisfeita.

$$\begin{aligned} 3. V_c - V_{out} &= (V_{in} - V_{BEQ2} - 2,56) \text{ Volts} \\ &= (12,44 - V_{BEQ2}) \text{ Volts} > 3,0 \text{ Volts} \end{aligned}$$

II.1c é satisfeita.

$$4. (V^+) = + 15 \text{ Volts} \quad e \quad (V^-) \text{ está aterrado.}$$

II.1a é satisfeita.

A fonte regulada deve fornecer corrente para as 22 malhas de referência e para o A.O.4 (Fig. II.19).

A corrente que passa por cada malha é:

$$I_i \cong \frac{V_0}{128R} = 2,0 \text{ mA} , \text{ e } i_{42} \text{ é dada por}$$

$$i_{42\text{m}\acute{a}x} = \frac{V_0/2 - V_{+ \text{ min}}}{R_{26}} \cong 0,13 \text{ mA.}$$

Portanto:

$$I_{0\text{m}\acute{a}x} = (44 + 0,13 + \Delta I_0) \text{ mA}$$

$$\text{usando} \quad \Delta I_0 = 25,87 \text{ mA} \Rightarrow I_{0\text{m}\acute{a}x} = 70 \text{ mA}$$

obtemos de II.3:

$$R_{SC} = 10\Omega \text{ (série E24 (5\%))}.$$

$$R_T = r_1 // r_2 \text{ a ser calculado durante a montagem.}$$

II.8.3 - Seguidor (isolador) com ganho 4

O circuito completo do seguidor é mostrado na fig.

II.23.

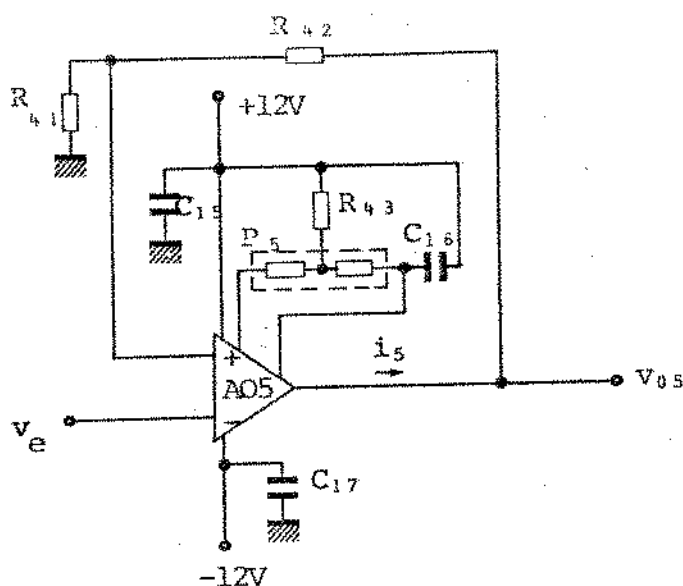


Fig.II.23 - Seguidor com ganho 4.

Identicamente aos casos anteriores, os componen
tes usados são:

A.O.5 - LM318 - National (8)

$C_{15} = C_{16} = C_{17} = .1\mu F$ (cerâmica - disco)

$R_{43} = 200 K\Omega$ (série E24 (5\%))

$P_5 = 200 K\Omega$ (10%)

Para se ter o ganho 4, deve-se fazer:

$$R_{42} = 3 R_{41}$$

usando $R_{41} = 100\Omega \Rightarrow R_{42} = 300\Omega$

$$\text{sendo } i_{5\text{m}\acute{a}\text{x}} = \frac{V_{05\text{m}\acute{a}\text{x}}}{400\Omega} + 15 i_{P\text{m}\acute{a}\text{x}} \approx 3,65 \text{ mA}$$

que est\aa abaixo da m\aaxima corrente que o LM318 consegue fornecer.

II.9 - Pot\ecncia consumida

A previs\ao da pot\ecncia consumida no codificador, \e dada na tabela II.12. Fez-se uma separa\ao do consumo para cada dispositivo usado e por valor de tens\ao fornecida ao codificador.

II.10 - Esquema Final

O esquema final do codificador \e mostrado na figura II.22.

Os componentes que aparecem especificados por letras, s\ao:

A - LM318 - Amplificador Operacional

C - SN72810 - Comparador

D - CA3039 - Diodos integrados

C₁- Capacitor .01μF (cer\amica-disco)

C₂- Capacitor .001μF (cer\amica-disco)

C₃- Capacitor 15pF (mica prateada)

C₄- Capacitor 22 μF (eletrol\itico)

C₅- Capacitor 200pF (mica prateada)

		Potência consumida				
		(Valor de tensão usada)				
Qtde	Dispositivo	(+12V) P (mW)	(-12V) P (mW)	(+6V) P (mW)	(-6V) P (mW)	(+5V) P (mW)
5	LM318 - Amplificador Operacional	300	300	-	-	-
1	LM310 - Amplificador Operacional	48	48	-	-	-
2	HI1313A - Chave Analógica (Z)	-	-	12	6	-
	SN72810 - Comparador	1450	-	-	1280	-
3	74LS273 - Flip-Flop D	-	-	-	-	195
3	74LS148 - Codificador de prioridade	-	-	-	-	60
1	HI1818A - Multiplexador	-	-	12	6	-
1	74LS00 - NAND 2	-	-	-	-	15
1	74LS04 - INVERSORES	-	-	-	-	20
1	Ponte de Diodos	48	48	-	-	-
1	µA723 - Fonte de referência	120	-	-	-	-
1	Fonte de referência (fornece para as malhas)	115	-	-	-	-
	Malhas de atenuação	396	240	-	-	-
2	Fontes de corrente	72	72	-	-	-
TOTAL POR VALOR DE TENSÃO		2549	708	12	1286	290
TOTAL		4845 mW				

Tabela II.12 - Potência consumida pelo codificador

CAPÍTULO III

ESTUDO DE ERRO E DA RELAÇÃO $(\frac{S}{N})$

PARA O CODIFICADOR IMPLEMENTADO

III.1 - Introdução

As normas do CCITT (5) especificam um limite inferior bem definido para a relação (S/N) que deve ser obtido para um sistema de transmissão MCP.

O propósito deste capítulo é analisar o desempenho do codificador proposto, supondo um decodificador ideal, a fim de se comparar com o estabelecido pelos limites do CCITT.

A fig. III.1 mostra as características da relação (S/N) para sinais senoidal * e ruído gaussiano, quando se usa a curva de compressão "lei A=87,6" aproximada por 13 segmentos de reta. A fig. III.1 também mostra os limites recomendados pelo CCITT para os mesmos casos.

* Curva obtida pelo autor através de simulação.

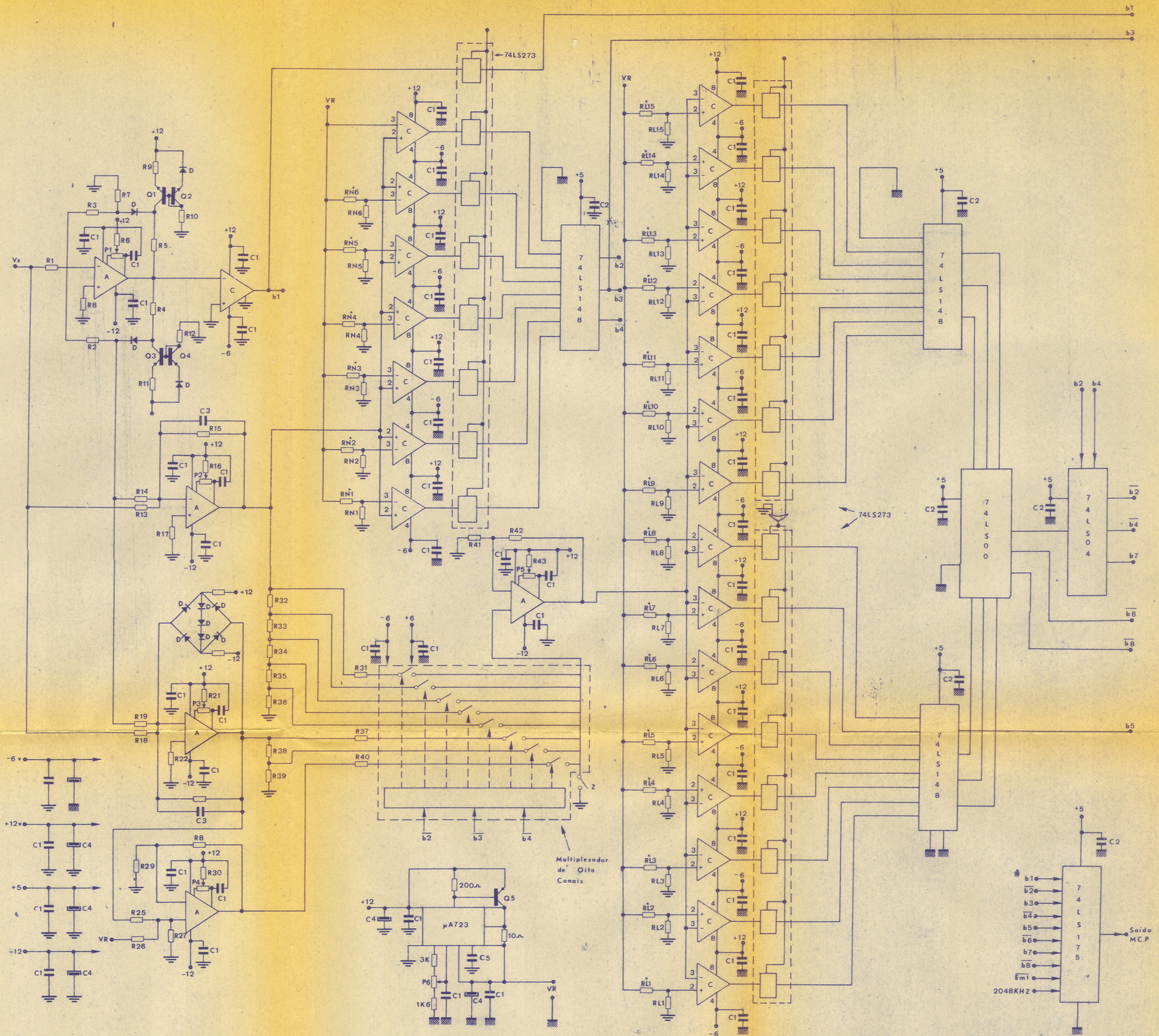


FIG. II.24 - ESQUEMA COMPLETO DO DECODIFICADOR

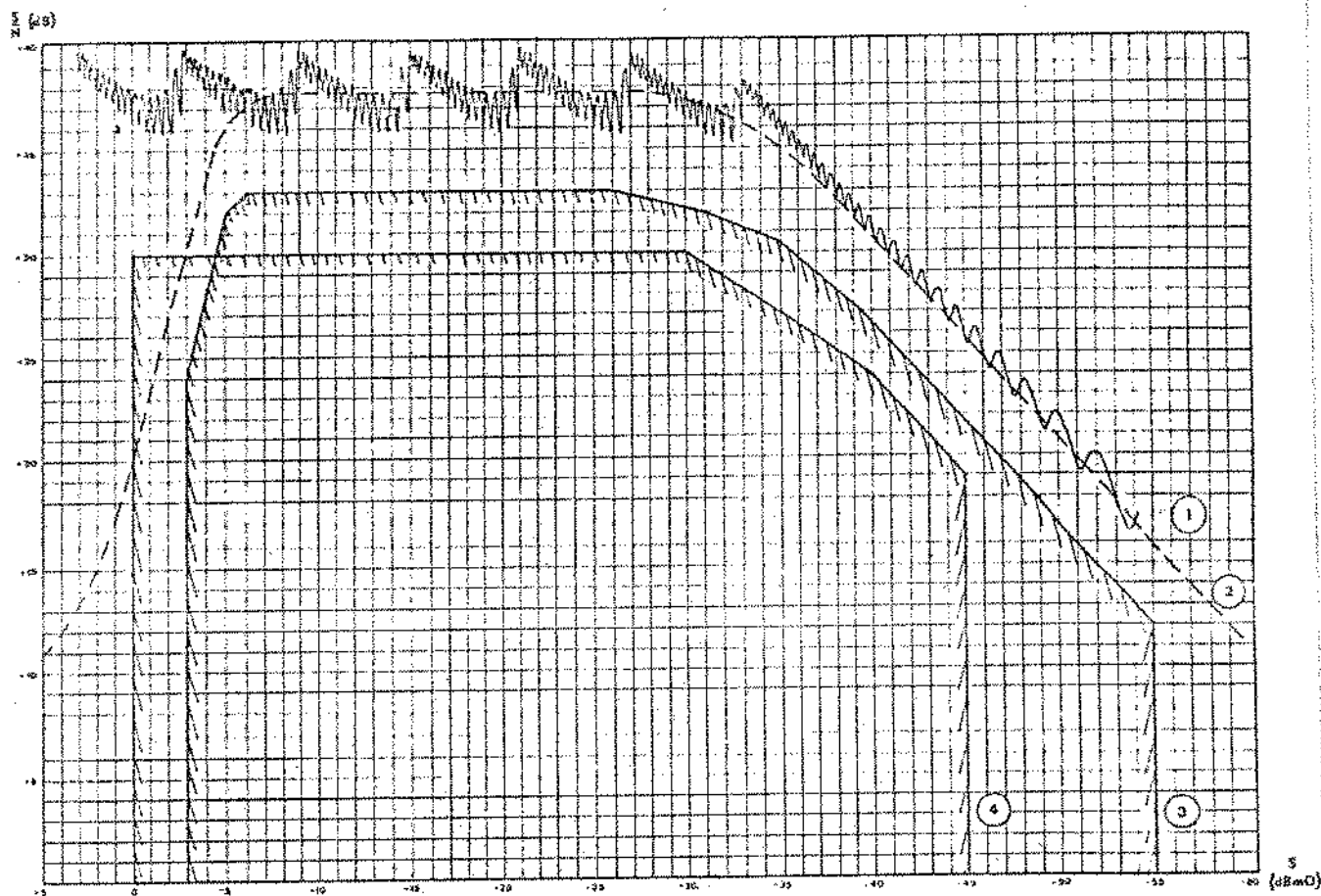


Fig. III.1 - Curvas de Relação Sinal/Ruído para sistema de transmissão MCP usando a lei $A=87,6$ aproximada por 13 segmentos de reta.

- (1) - curva teórica para entrada senoidal
- (2) - curva teórica para entrada sinal gaussiano
- (3) - limite do CCITT para sinais gaussianos
- (4) - limite do CCITT para sinal senoidal

Pode-se notar que o limite para o caso de sinais gaussianos é cerca de 4,5 dB abaixo do valor teórico e o limite para sinais senoidais está a aproximadamente 6 dB abaixo do valor mínimo teórico.

Primeiramente, se estudará o desempenho do codifi

cador levando-se em consideração o decremento da relação (S/N) devido aos seguintes fatores:

- a) erros de retificação
- b) erros nas comparações

Os casos de erro de retificação que serão estudados (Fig.III.2), correspondem às ocorrências comuns na prática. Tais tipos de erro são:

- a) retificação não ideal (Fig. III.2 a e b)
- b) retificação com "off-set" introduzido na saída (Fig.III.2c)

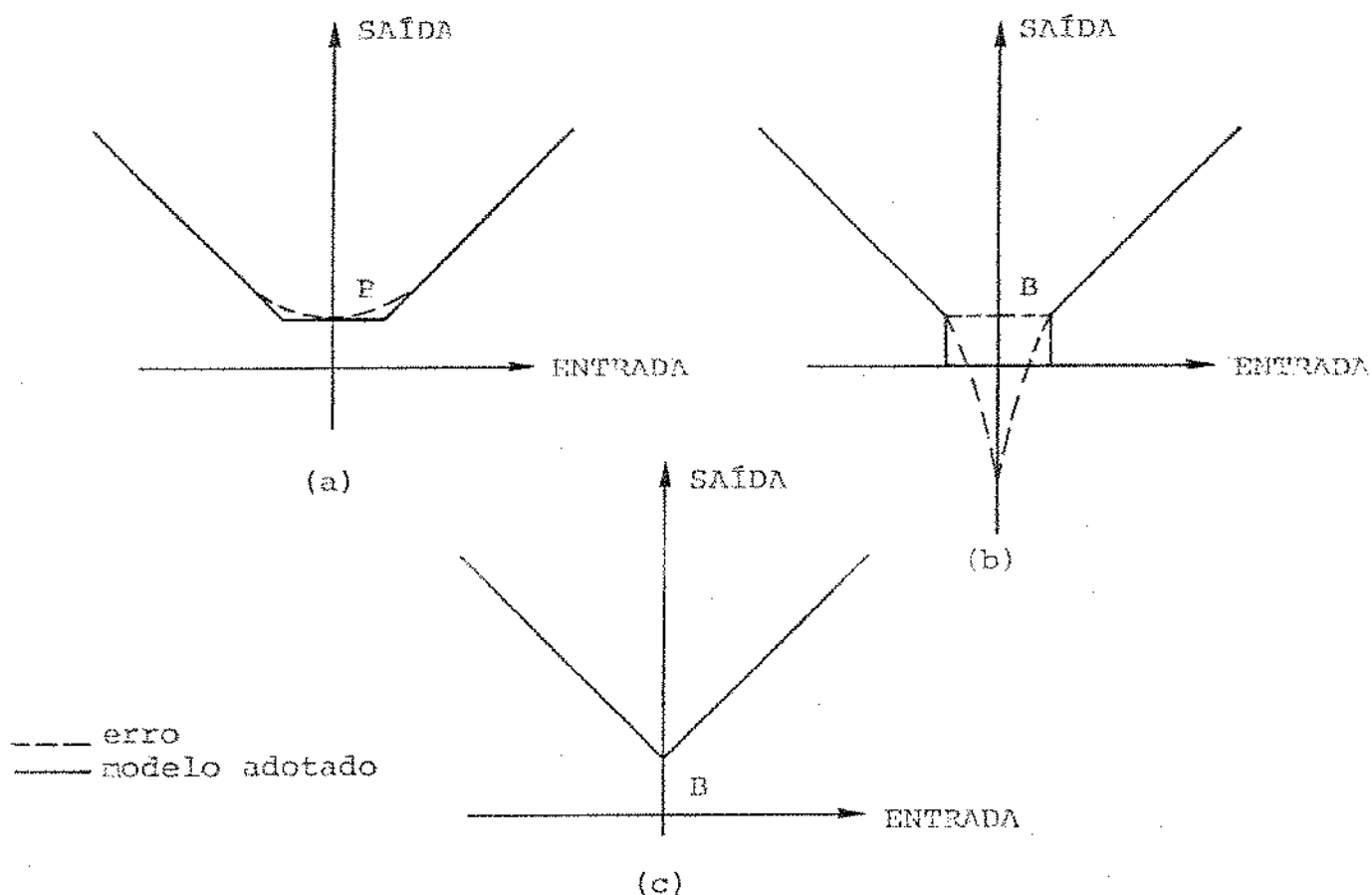


Fig.III.2 - Erros de retificação

a e b - retificação não ideal

c - retificação com "off-set"

Os erros de comparação existentes, são devidos principalmente a:

- tensão de "off-set" dos comparadores
- corrente de polarização dos comparadores
- precisão dos resistores
- desvio no valor nominal da fonte regulada

O estudo será feito por meio de simulação em computador, devido à dificuldade matemática em se obter uma expressão para a relação (S/N), quando se tem erro de deslocamento de nível de referência.

Em segundo lugar se fará a simulação do codificador implementado, supondo-se vários valores de precisão dos resistores, determinando-se então qual deve ser esta, a fim de que o desempenho mínimo especificado pelo CCITT seja superado.

III.2 - Modelos adotados

Nesta secção se fará um estudo para definição dos modelos adotados com a finalidade de se proceder à simulação.

III.2.1 - Recursos de computação utilizados

a) Subrotina "RAND"

É uma subrotina que gera números aleatórios compreendidos no intervalo $[0, 2^{35}]$, com distribuição de probabilidades uniforme.

Um número aleatório y , com distribuição de probabilidade uniforme, compreendido no intervalo $[a, b]$, pode ser obtido por III.1.

$$y = \frac{b-a}{2^{35}} x + a$$

III.1

onde x é um número obtido através da "RAND".

A subrotina "RAND" está disponível no sistema PDP-10 em linguagem de máquina.

b) Subrotina "GAUSS"

O teorema do limite central estabelece que a distribuição de probabilidade da soma de N variáveis aleatórias x_i , independentes e identicamente distribuídas, com média μ_i e variância σ_i^2 , para $N \rightarrow \infty$, aproxima-se assintoticamente da distribuição normal com média e variância, dadas por III.2 (17 e 18).

$$\mu = \sum_{i=1}^N \mu_i \quad (a)$$

$$\sigma^2 = \sum_{i=1}^N \sigma_i^2 \quad (b)$$

III.2

Um número aleatório x , com distribuição uniforme no intervalo $[0,1]$, tem média e variância dadas por III.3 (17).

$$\mu_u = \frac{1}{2} \quad (a)$$

$$\sigma_u^2 = \frac{1}{12} \quad (b)$$

III.3

Um número aleatório Z , com distribuição $N(0,1)$ (distribuição normal com média nula e variância 1), pode ser gerado a partir de K números obtidos de uma distribuição uniforme no intervalo $[0,1]$, a partir de III.4 (18).

$$Z = \frac{\sum_{i=1}^K x_i - K/2}{\sqrt{K/12}}$$

III.4

O número obtido por III.4, possuindo uma distribuição $N(0,1)$, pode ser facilmente convertido para se obter outro número y , com distribuição $N(\mu_y, \sigma_y^2)$, conforme III.5.

$$y = \sigma_y \left(\frac{12}{K} \right)^{\frac{1}{2}} \left(\sum_{i=1}^K x_i - \frac{K}{2} \right) + \mu_y \quad \text{III.5}$$

O valor K que deve ser usado em III.4, é em geral determinado pela eficiência e exatidão que se deseja da simulação. Considerando a convergência assintótica da aproximação do teorema do limite central, um valor grande para K seria conveniente. Considerando-se o tempo envolvido em se gerar K variáveis para cada variável normal, conclui-se que o valor de K deve ser o menor possível. O menor valor recomendado para uso em simulação é $K = 10$ (18,19). Para se obter uma aproximação muito grande da curva $N(0,1)$, pode-se usar $K = 24$ (18).

A simulação feita utilizou o valor $K = 20$. De acordo com (18) é um número que dá uma aproximação bastante boa da curva $N(0,1)$ para a variável Z de III.4.

Para se minimizar os tempos de computação poder-se-ia usar $K = 12$ e III.4 seria dada por III.6. Este recurso será usado na 2ª parte da simulação, onde os tempos de CPU envolvidos são grandes.

$$Z = \sum_{i=1}^{12} x_i - 6 \quad \text{III.6}$$

O diagrama de blocos da subrotina "GAUSS" é o da fig. AI9 (Apêndice I) e o programa FORTRAN correspondente é o da listagem AII.9 - (Apêndice II).

O número gerado com distribuição $N(0,1)$ foi limitado a 3 desvios padrão, o que significa que a distribuição resultante para a "GAUSS" é a dada na fig. III.3. Os impulsos

que aparecem na extremidade tem área 0,0015.

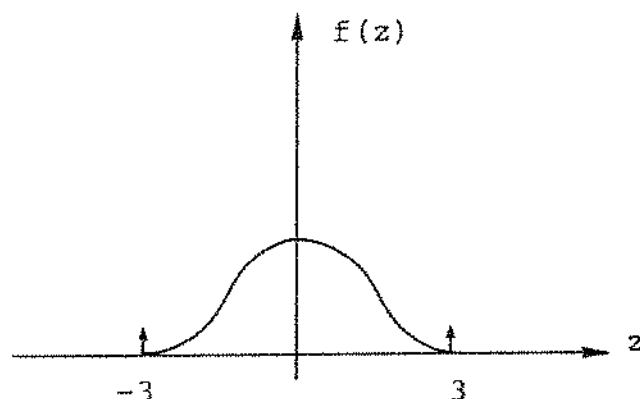


Fig.III.3 - Distribuição de probabilidade resultante para a "GAUSS".

III.2.2 - Modelo para amostragem do sinal

A simulação será feita usando-se um sinal senoidal com amplitude A e amostrando-se este sinal N vezes em um período. Este procedimento é idêntico ao recomendado pelo CCITT (5), onde se utiliza muitos períodos de um sinal senoidal, com frequência diferente de um submúltiplo da frequência de amostragem (8 KHz).

O número (N) de amostras por período não deve ser muito grande para se evitar altos tempos de computação; por outro lado, não pode ser muito pequeno, pois deseja-se colher informações suficientes a respeito do sinal. Pelo método de tentativas, chegou-se à conclusão que, usando-se um número de amostras entre 200 e 500 é tão bom quanto usar-se 10.000 amostras em um mesmo período do sinal. As diferenças obtidas neste caso foram a partir do 4º algarismo significativo para o valor de (S/N) .

A amostragem por sua vez pode ser aleatória ou periódica. Pode-se concluir que para ambas o resultado é idênti

co, desde que N seja suficientemente grande.

No caso de amostragem aleatória, a variável θ é uniformemente distribuída entre 0 e 2π (Fig. III.4) e $p_{\theta}(\theta)$ é dada por III.7.

$$p_{\theta}(\theta) = \begin{cases} \frac{1}{2\pi} & 0 \leq \theta \leq 2\pi \\ 0 & \text{fora} \end{cases} \quad \text{III.7}$$

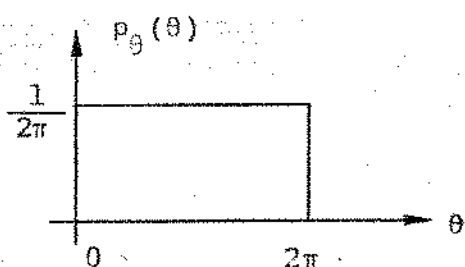


Fig.III.4 - Função densidade de probabilidade uniforme para θ .

A probabilidade de θ assumir qualquer valor menor que θ_1 , será dada por:

$$P(\theta \leq \theta_1) = \int_{-\infty}^{\theta_1} p_{\theta}(\theta) d\theta \quad \text{III.8}$$

para θ distribuída uniformemente:

$$P(\theta \leq \theta_1) = \begin{cases} 0 & \text{para } \theta_1 < 0 \\ \frac{1}{2\pi}\theta_1 & \text{para } 0 \leq \theta_1 \leq 2\pi \\ 1 & \text{para } \theta_1 > 2\pi \end{cases} \quad \text{III.9}$$

Quando se usa amostragem periódica, os valores de θ a serem usados, estão espaçados por:

$$\Delta\theta = \frac{2\pi}{N} \quad \text{III.10}$$

onde N é o número de amostras por período, que se usa para a onda senoidal.

Pode-se supor que neste caso, θ possui uma função densidade de probabilidades conforme a da fig. III.5, dada por III.11.

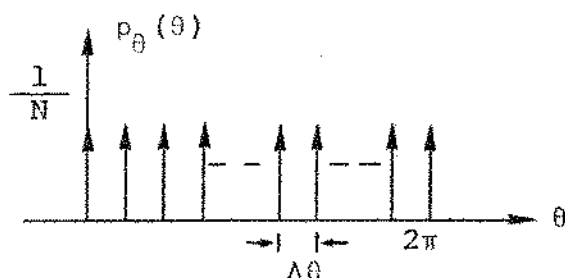


Fig.III.5 - Função densidade de probabilidade para θ quando se usa amostragem periódica.

$$p_{\theta}(\theta) = \sum_{i=1}^N \frac{1}{N} \delta(\theta - i\Delta\theta) \quad \text{III.11}$$

onde $N = \frac{2\pi}{\Delta\theta}$

A probabilidade de θ assumir um valor menor que θ_1 , será dada por III.8. Substituindo $p_{\theta}(\theta)$, encontra-se:

$$P(\theta < \theta_1) = \begin{cases} 0 & \text{para } \theta_1 < 0 \\ \frac{i}{N} & \text{para } 0 \leq \theta_1 \leq 2\pi \\ 1 & \text{para } \theta_1 > 2\pi \end{cases} \quad \text{III.12}$$

onde j é o maior inteiro contido em $(\frac{\theta_1}{\Delta\theta})$.

ou de outra forma:

$$P(\theta \leq \theta_1) = \begin{cases} 0 & \text{para } \theta_1 < 0 \\ j \frac{\Delta\theta}{2\pi} & \text{para } 0 \leq \theta_1 \leq 2\pi \\ 1 & \text{para } \theta_1 > 2\pi \end{cases} \quad \text{III.13}$$

sendo

$$\lim_{N \rightarrow \infty} \frac{j}{N} = \lim_{\Delta\theta \rightarrow 0} \frac{j\Delta\theta}{2\pi} = \lim_{\Delta\theta \rightarrow 0} \left\langle \frac{\theta_1}{\Delta\theta} \right\rangle \frac{\Delta\theta}{2\pi} = \frac{\theta_1}{2\pi} \quad \text{III.14}$$

onde $\langle x \rangle$ significa o maior inteiro contido em x .

obtem-se:

$$P(\theta \leq \theta_1) = \begin{cases} 0 & \text{para } \theta_1 < 0 \\ \frac{\theta_1}{2\pi} & \text{para } 0 \leq \theta_1 \leq 2\pi \\ 1 & \text{para } \theta_1 > 2\pi \end{cases} \quad \text{III.15}$$

Desta forma, tanto a amostragem aleatória como a periódica dão resultados idênticos para a simulação quando se toma um valor para N suficientemente grande.

O mesmo resultado pode ser demonstrado através de simulação. A tabela III.1 mostra um resultado numérico para (S/N) quando se simulou um dos tipos de erro. Pode-se notar que os resultados são idênticos, a menos de erros não significativos. Os valores foram tomados para $N = 500$.

VALORES DE (S/N)		POTÊNCIA DO SINAL (dB)
Caso de Amostragem periódica	Caso de Amostragem aleatória	
24. 8534239	25. 8655937	-37. 9999967
24. 1377144	24. 1173849	-36. 9999967
21. 8737189	22. 5878110	-35. 9999967
21. 7327512	21. 8382235	-40. 9999962
20. 7426538	20. 6858859	-41. 9999962
18. 8226238	19. 8411856	-42. 9999967
19. 2146554	19. 2587639	-43. 9999962
17. 7518484	17. 6698427	-44. 9999957
16. 5957291	16. 5568751	-45. 9999962
13. 6817489	13. 6268176	-46. 9999957
14. 6474188	14. 5351956	-47. 9999962
13. 4631481	13. 5312918	-48. 9999962
12. 5981823	12. 6539862	-49. 9999962
12. 8849223	11. 9933189	-50. 9999957
10. 4038698	10. 6289638	-51. 9999957
9. 7698774	9. 2738977	-52. 9999946
9. 5988126	9. 5781078	-53. 9999952
7. 9818891	7. 8713114	-54. 9999952
6. 2358887	6. 6878111	-55. 9999957
6. 4112889	6. 2877713	-56. 9999948
4. 6598516	4. 5421816	-57. 9999948
3. 2174322	3. 2851918	-58. 9999943
2. 7022176	2. 8717817	-59. 9999948
2. 4817656	2. 1917111	-60. 9999943
2. 3138133	2. 1117111	-61. 9999943
-0. 7749462	-3. 7810878	-62. 9999943
-2. 8652828	-1. 9682178	-63. 9999943
-2. 9123219	-3. 9687711	-64. 9999943
-3. 3611988	-3. 1218107	-65. 9999943

Tabela III.1 - Comparação entre os valores obtidos quando se usa amostragem aleatória e periódica para a simulação.

III.2.3 - Modelo para simulação do codificador ideal

O sinal de teste usado na simulação é $x = Ax \cos \theta$, como o usado na secção anterior.

Primeiramente, define-se o número de amostras (NAM) para cada valor de amplitude que se quer tomar para a onda senoidal e o número de pontos (NP) que se quer para obter a curva de relação (S/N) em função da amplitude do sinal de entrada.

Quando se usa amostragem periódica, o valor do intervalo entre as amostras ($\Delta\theta$) será:

$$\Delta\theta = \frac{2\pi}{\text{NAM}} \quad \text{III.16}$$

No programa usou-se a notação DELTE para $\Delta\theta$.

O primeiro valor para a amplitude da onda senoidal de entrada será $Ax = 1$, correspondente a 0 dB ou ao nível +3,14 dBm0 estabelecido pelo CCITT (5).

Os parâmetros VIS, VR e Δ são apresentados na fig. III.6 e se referem a:

VIS(I) = valor de tensão que define o início do segmento i e final do segmento (i-1).

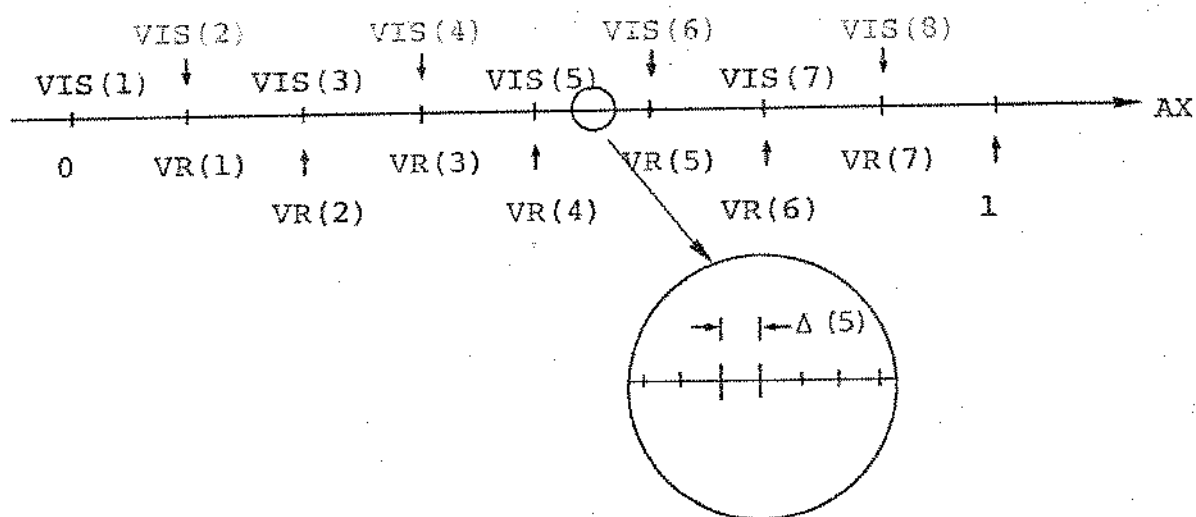


Fig. III.6 - Definição dos parâmetros VIS, VR e Δ

VR(I) = valor de tensão que define o fim do segmento i e início do segmento (i+1).

$\Delta(I)$ = valor do intervalo de codificação dentro do segmento i.

A associação que se faz entre os valores $i=1, \dots, 8$ e os segmentos da curva de compressão, é dada pela tabela III.2.

i	1	2	3	4	5	6	7	8
segmento	G^-	G^+	F	E	D	C	B	A

Tabela III.2 - Associação entre os valores de i no modelo adotado e os segmentos da curva de compressão.

Os valores de VIS, VR e Δ são calculados conforme III.17.

$$VR(I) = \frac{1}{2^{(8-i)}} \quad ; \quad i=1, \dots, 7 \quad (a)$$

$$VIS(I+1) = VR(I) \quad ; \quad i=1, \dots, 7 \quad (b)$$

$$\Delta(I+1) = \frac{VR(I)}{16} \quad ; \quad i=1, \dots, 7 \quad (c) \quad \text{III.17}$$

$$VIS(1) = 0 \quad (d)$$

$$\Delta(1) = \frac{1}{2048} \quad (e)$$

Definidos os parâmetros fixos do codificador, pode-se passar para a parte repetitiva do programa. O computador

calculará NP valores de (S/N).

Para cada valor da amplitude do sinal de entrada, a parte repetitiva do programa faz o valor de θ de III.18 (expressão para a onda senoidal) retornar ao valor zero.

$$x = Ax \cos \theta \quad \text{III.18}$$

Toma-se NAM valores da onda de entrada, espaçados de $\Delta\theta$, passando-os pela subrotina de codificação "CDNL". A subrotina CDNL fornece o valor do erro EPS, para cada valor da amostra. Vai-se acumulando os valores de potência de ruído para cada amostra j (EPS_j^2), através de III.19, até NAM amostras.

$$RN = \sum_{j=1}^{NAM} EPS_j^2 \quad \text{III.19}$$

As potências do sinal (S) e do ruído (ARN), são dadas por III.20.

$$S = \frac{Ax^2}{2} \quad (a) \quad \text{III.20}$$

$$ARN = \frac{RN}{NAM} \quad (b)$$

ou em dB:

$$SDB = 10 \log_{10} S \quad (a) \quad \text{III.21}$$

$$RNDB = 10 \log_{10} ARN \quad (b)$$

a relação (S/N) será:

$$RELDB = SDB - RNDB \quad \text{III.22}$$

O valor de Ax é variado conforme se queira, por III.

$$Ax = \frac{Ax}{10^a}$$

III.23

Para que a variação da potência do sinal seja de 1 em 1 dB, deve-se fazer $a = 0,05$.

Subrotina de Codificação CDNL

Os parâmetros de entrada da subrotina, são:

- valor da amostra $x(\theta_j)$
- VIS
- VR
- Δ

O parâmetro de saída é o valor do erro EPS.

A codificação é feita pelo método de aproximação sucessiva, por meio de comandos "IF", após a retificação do sinal.

Na fig. III.7 ilustra-se os passos para a determinação do segmento a que pertence a amostra do sinal $x(\theta_j)$.

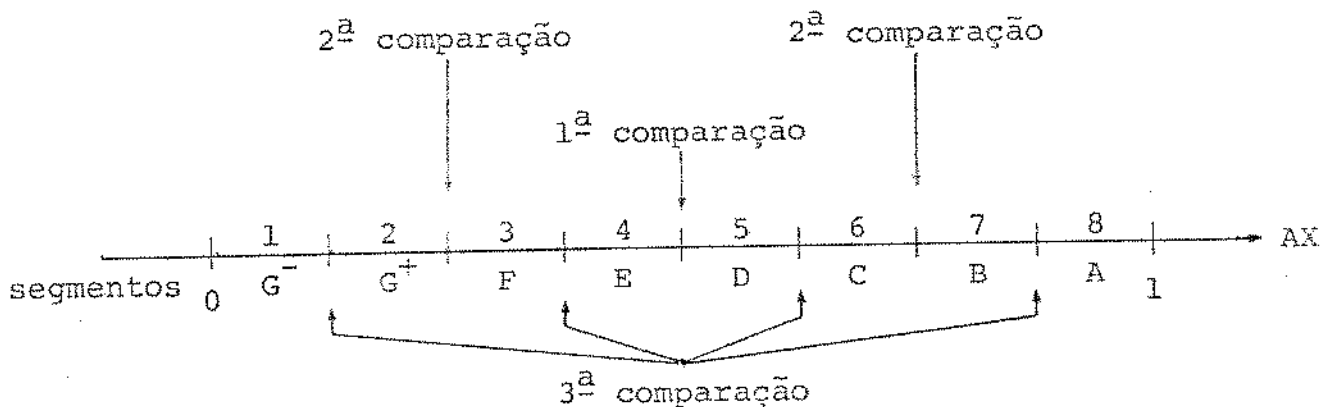


Fig. III.7 - Processo de aproximação sucessiva para determinação do segmento a que pertence a amostra $x(\theta_j)$.

A primeira comparação é com o valor VR(4).

Se $x(\theta_j) \geq VR(4)$, a segunda comparação será com o valor VR(6).

Se $x(\theta_j) < VR(4)$, a segunda comparação será com o valor VR(2).

Se na segunda comparação $x(\theta_j) \geq VR(K)$; ($K=2$ ou 6), a terceira comparação será com o valor VR(K+1).

Se na segunda comparação $x(\theta_j) < VR(K)$, ($K=2$ ou 6), a terceira comparação será com o valor VR(K-1).

Após a terceira comparação, associa-se ao segmento onde se localiza $x(\theta_j)$, um valor I, conforme a tabela III.2.

Após a detecção do segmento, a localização do intervalo de codificação a que pertence a amostra $x(\theta_j)$ é feita por comparação com o valor de tensão RM, dado por III.24. O valor de K pode variar de 1 a 15, por meio de um "loop" criado.

$$RM(K) = VIS(I) + K\Delta(I) ; i=1, \dots, 8 \quad \text{III.24}$$

Quando para um determinado K deteta-se que $x(\theta_j) < RM$, a operação passa para fora do "loop" (para a contagem de K) e o valor correspondente de "decodificação" x^* , será:

$$x^* = RM - \frac{\Delta(I)}{2} \quad \text{III.25}$$

O valor procurado para o erro (fig.III.8), será:

$$EPS = x(\theta_j) - RM + \frac{\Delta(I)}{2} \quad \text{III.26}$$

A notação usada no programa para $x(\theta_j)$, foi y.

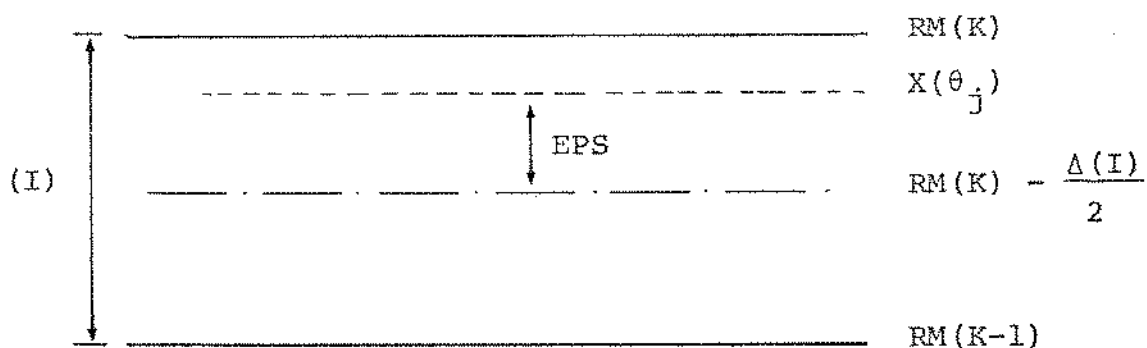


Fig.III.8 - Determinação de EPS

O diagrama de blocos do programa principal é dado na fig. AI1 e o da subrotina na fig. AI2 (Apêndice I), compreendendo somente o bloco A da fig. AI2 e a parte referente à retificação.

Quando se quer modificar o tipo de amostragem para aleatória, ao invés de periódica, a modificação que se deve fazer é a que aparece no diagrama de blocos da fig. AI3 (Apêndice I). A subrotina para determinação do valor de θ com amostragem aleatória, é mostrada em diagrama de blocos da fig. AI4.

A parte referente à onda senoidal da fig. III.1, foi obtida por meio desta simulação. A variação do valor de A_x usada foi de 0,05 em 0,05 dB.

III.3 - Codificação Uniforme de 12 bits

A relação (S/N) para um codificador uniforme ideal, supondo uma entrada senoidal de amplitude A , com um espaçamento entre os níveis de quantização Δ e o ruído de quantização uniformemente distribuído entre $-\Delta/2$ e $\Delta/2$, é dada por III.27(1).

$$\left(\frac{S}{N}\right) = \frac{3}{2} (mA)^2 ; A \leq 1 \quad \text{III.27}$$

onde $m = \frac{2}{\Delta} = 2^v$ e v é o número de bits da palavra codificada.

A equação III.27 também pode ser expressa em dB, conforme III.28.

$$\left(\frac{S}{N}\right)_{dB} = 1,76 + 20 \log_{10} 2^v + 20 \log_{10} A \quad \text{III.28}$$

A codificação não linear em 13 segmentos (lei $A = 87,6$ linearizada), corresponde exatamente a uma codificação linear de 12 bits (1 e 20), para sinais compreendidos nos segmentos G^- e G^+ .

Na dedução de III.27 (1) foi suposto que o ruído de quantização é uniformemente distribuído no intervalo $-\Delta/2, \Delta/2$. Na verdade, tal distribuição é afetada de um modo particular para cada tipo de sinal (21). Por esta razão, obteve-se $(S/N)_{dB}$ decrescendo linearmente com a amplitude do sinal (equação III.28). A validade da dedução de III.28 pode ser concluída através da fig. III.9, onde são comparadas a parte correspondente da fig. III.1, com a curva obtida por III.28, para $v = 12$.

Pode-se observar pela fig. III.9 a diferença obtida para sinais senoidais. Por meio de III.28, obteve-se uma boa aproximação para a curva real.

O resultado para os outros segmentos feito em (1), também corresponde a uma média do caso teórico.

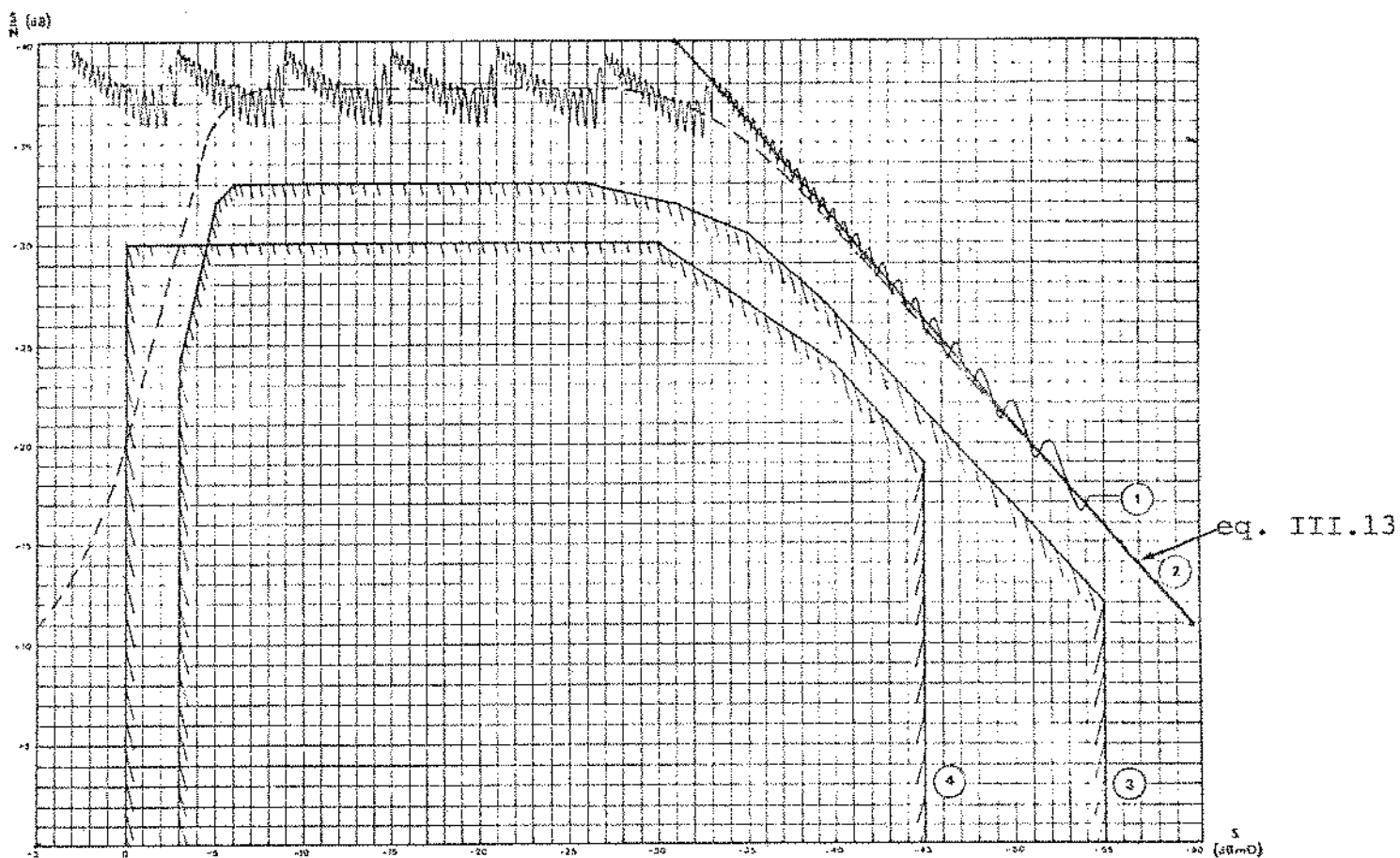


Fig. III.9 - Comparação entre a curva teórica para um sistema de transmissão MCP-30, e a aproximação feita em (1) para o caso de sinais pertencentes aos segmentos G^- e G^+ .

III.4 - Erros de retificação

O objetivo desta secção é mostrar a influência dos erros de retificação no decremento de (S/N) . Para todos os casos usou-se dois tipos de simulação, com amostragem periódica e com amostragem aleatória do sinal a ser codificado. O resultado obtido para qualquer dos dois tipos sempre foi idêntico.

III.4.1 - Retificação não ideal

Na retificação não ideal (figuras III.2a e b), o retificador opera idealmente o sinal somente a partir de um determinado valor B . Até este valor, um dos efeitos mostrados na fig. III.2.a,b pode ocorrer, dependendo, naturalmente, dos amplificadores operacionais que se usa. O tempo de resposta, a não linearidade (para pequenas amplitudes de entrada) e outras características do mesmo, somados às características dos diodos da realimentação e à imprecisão das fontes de corrente, é que determinam estes erros. (Na fig. II.19, pode-se ver que os sinais que entram nos amplificadores 2 e 3, estão atrasados entre si de um tempo que corresponde ao tempo de resposta do A.O.1).

O modelo para o codificador adotado na simulação, para os casos de erro de retificação da fig. II.2 a e b, é o modelo ideal (secção III.2.3), desde que o valor da amostra do sinal a ser codificado seja maior que o valor B .

No caso a, quando o valor da amostra é menor que B , o valor de EPS (fig. III.10) é dado por III.29.

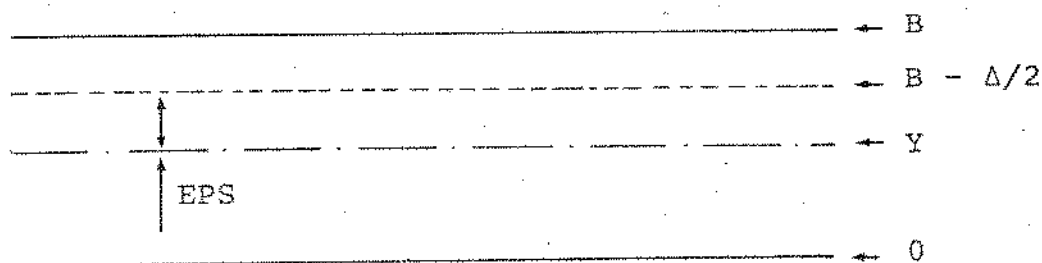


Fig. III.10 - Determinação de EPS para o caso a de erro de retificação.

$$EPS = Y - B + \frac{1}{4096}$$

III.29

A simulação do caso a foi feita para $B = \Delta, 2\Delta, 3\Delta$ e 4Δ , onde Δ é o intervalo de codificação dentro do segmento G^- . Usou-se $NAM=500$ e AX variando de 1 em 1 dB.

O resultado é comparado com as curvas teóricas da fig. III.1 e é apresentado na fig. III.11.

O resultado da simulação para $B = \Delta$ deve ser o teórico, não havendo, portanto, nenhum decremento de (S/N) , o que foi confirmado.

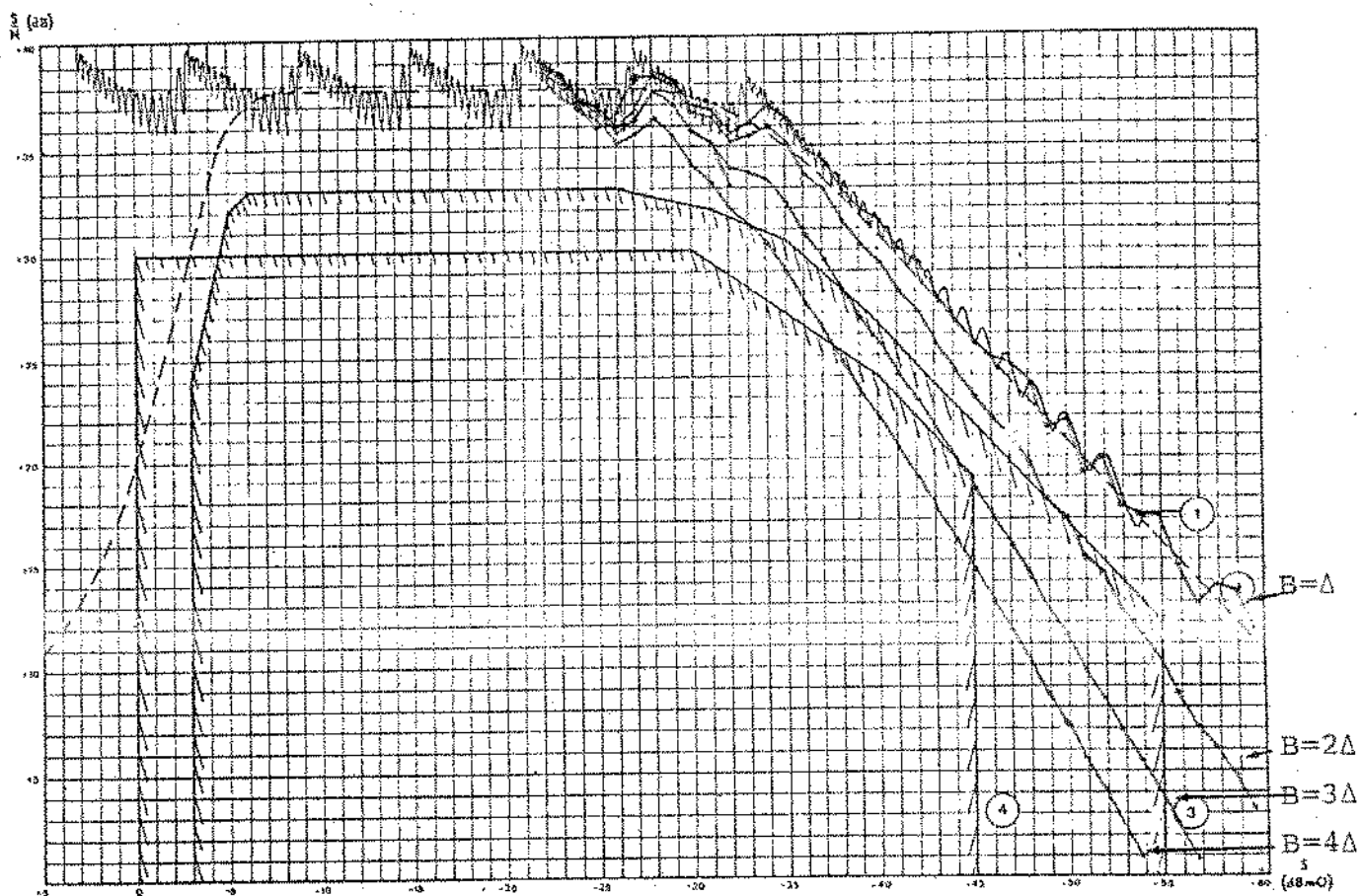


Fig. III.11 - Resultado da simulação para o caso a de erro de retificação.

Deve-se notar, no entanto, que há um decréscimo apreciável de (S/N) para sinais com baixa amplitude, no caso em que $B > \Delta$. Para $B = 3\Delta$, o limite imposto pelo CCITT já é atingido entre os valores de amplitude de entrada -44 dBm0 e -45 dBm0. Para $B = 4\Delta$, o limite imposto pelo CCITT é atingido para valores de amplitude de entrada entre -35 dBm0 e menores.

O modelo usado para a simulação do caso a, é mostrado em diagrama de blocos nas figuras AI1 e AI2 (Apêndice I) para o caso de amostragem periódica do sinal e nas figuras AI2 e AI3 para amostragem aleatória do sinal.

Os programas FORTRAN correspondentes estão nas listagens AIII1, AIII2 e AIII3 (Apêndice II).

No caso b, quando o valor da amostra é menor que o valor B, esta será codificada como pertencente ao primeiro intervalo de codificação. O valor de decodificação correspondente será 1/4096, o que significa que o valor do erro será da ordem de:

$$EPS = Y - \frac{1}{4096} \quad \text{III.30}$$

A simulação do caso b, foi feita para $B = 2\Delta, 3\Delta$ e 4Δ , NAM = 500 e AX variando de 1 em 1 dB.

A comparação com a fig. III.1 nos fornece resultados idênticos ao caso a (fig. III.12). Para $B = \Delta$, a simulação também forneceria os valores teóricos de (S/N).

O modelo usado para a simulação do caso b, é mostrado em diagrama de blocos nas figuras AI1 e AI (5) (amostragem periódica), AI3 e AI5 (amostragem aleatória) do Apêndice I.

Os programas FORTRAN correspondentes estão nas listagens AIII1, AIII4 e AIII5 (Apêndice II).

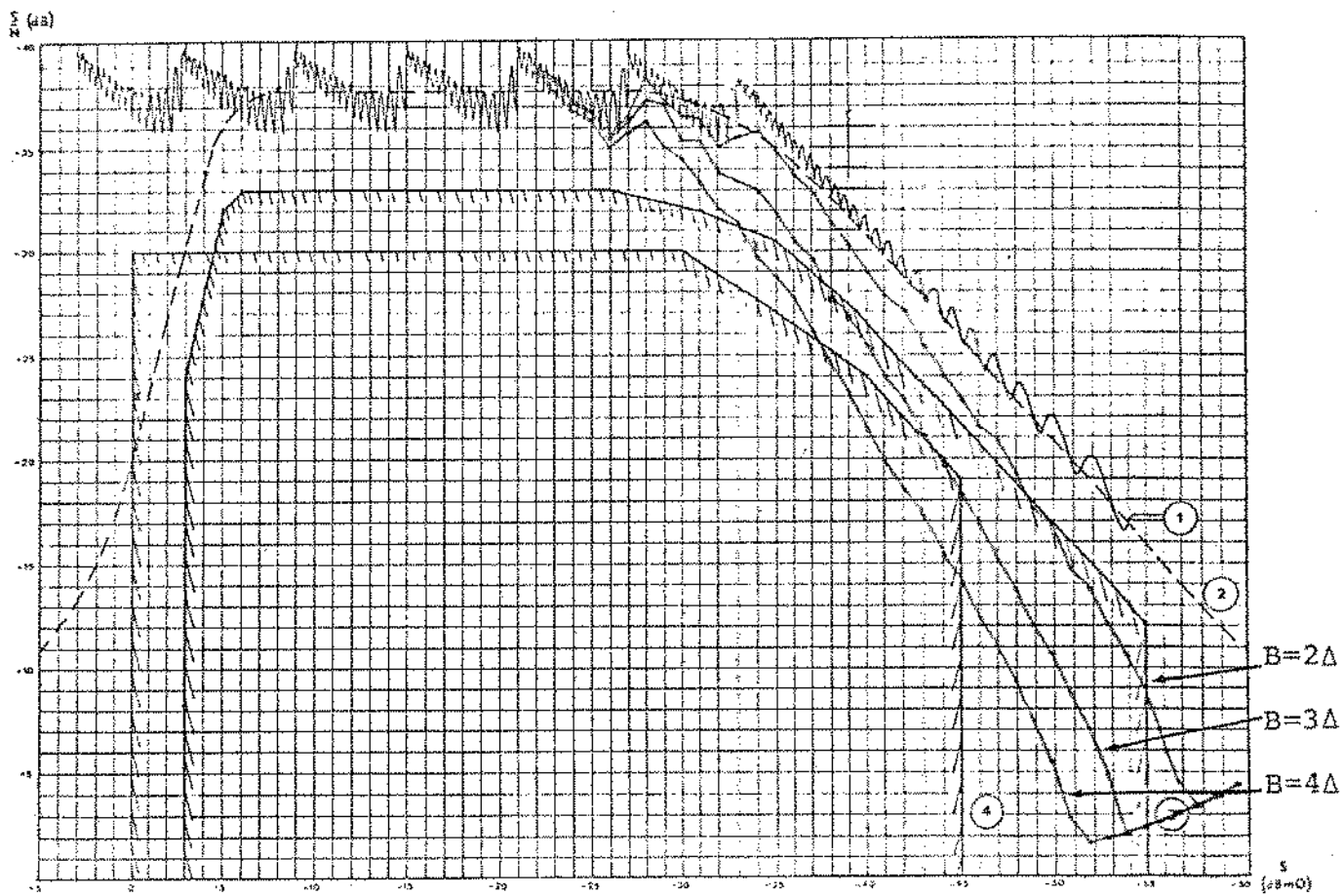


Fig. III.12 - Resultado da simulação para o caso b de erro de retificação.

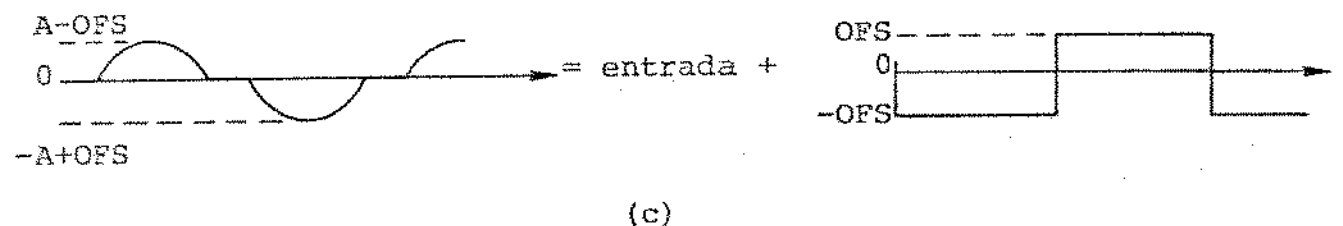
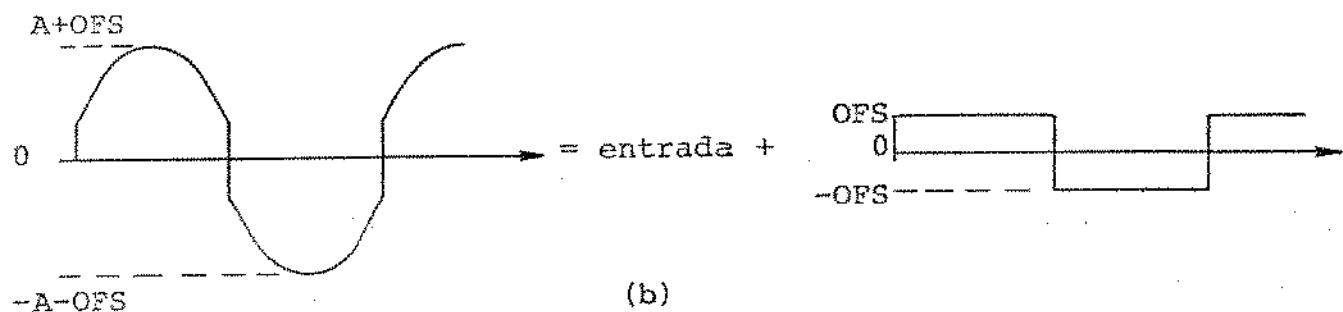
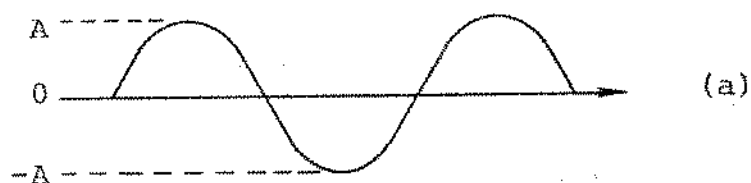


Fig. III.13 - Efeito do "off-set" na saída do retificador

- (a) sinal de entrada
- (b) sinal de saída com "off-set" positivo
- (c) sinal de saída com "off-set" negativo

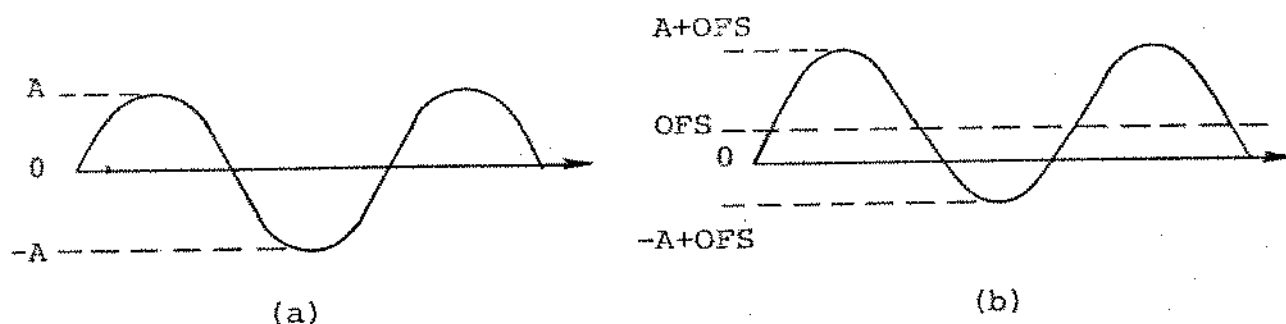


Fig. III.14 - Efeito do "off-set" antes da retificação

(a) sinal de entrada

(b) sinal de saída com "off-set" positivo

Após a simulação dos dois tipos de erro, pode-se concluir a importância da retificação do sinal no desempenho do codificador. Levando-se em consideração que as outras partes do codificador e o decodificador, foram supostos ideais, pode-se concluir que os erros de retificação admissíveis devem ser pequenos. Em geral estes tipos de erro têm maior influência para sinais com pequenas amplitudes.

III.4.2 - Retificação com "off-set" adicionado à saída

Os amplificadores operacionais possuem um nível de tensão de "off-set" na sua saída (pode ser positivo ou negativo), devido ao "input off-set voltage", correntes de polarização e ao "input off-set current", que aparece somado à sua saída. Praticamente todos os operacionais possuem uma forma de serem realimentados (ajuste de off-set), a fim de que este nível possa ser reduzido a valores insignificantes. Em muitas aplicações este ajuste não é necessário.

O efeito que o "off-set" produz no sinal retificado (fig. III.13), é o de alterar na saída, a forma de onda de entrada. Deve ser observado que se o "off-set" fosse somente adicionado ao sinal de entrada, seria o equivalente a se produ

zir um deslocamento em relação ao nível zero, como se pode observar na fig. III.14, sem contudo, alterar a forma de onda.

No caso da fig. III.13, a saída correspondente à soma do sinal de entrada com uma onda que alterna entre valores OFS e $-OFS$, conforme o sinal de entrada seja positivo ou negativo. Se a entrada for senoidal, tal onda será quadrada com a mesma frequência da senóide de entrada e não irá influir na relação (S/N) de forma muito destrutiva. A onda quadrada é uma composição de senóides e sua primeira harmônica pode ser entendida como uma "amplificação do sinal", as demais como ruído introduzido. Sendo que a potência da 1ª harmônica da onda quadrada é maior que a de suas harmônicas, o ruído introduzido seria bem menos significativo. No caso de "off-set" negativo, a composição resultaria em um efeito de atenuação do sinal de entrada.

No caso real, o sinal de entrada é "áudio" e, portanto, a onda que se soma ao sinal só pode ser entendida como ruído, pois não pode ser vista como composição de harmônicas do sinal. Desta forma, o "off-set" deturpa consideravelmente o sinal.

No caso da fig. III.14, a saída corresponde à soma do sinal de entrada com um nível DC. Do ponto de vista de codificação, significa deslocar todos os pontos de referência de um valor DC, ou de outra forma, os sinais que devem ser codificados, sofrerão um deslocamento e podem ser codificados em outro intervalo.

O modelo adotado para a simulação é o modelo ideal (secção III.2.3), a menos de se somar ao valor da amostra retificada, um nível fixo de tensão de "off-set".

O modelo é mostrado em diagrama de blocos nas figuras AI1, AI6 (amostragem periódica) e AI3, AI6 (amostragem

aleatória) do Apêndice I. Os programas FORTRAN correspondentes são os das listagens AIII1, AIII4 e AIII6 (Apêndice II).

A simulação foi feita para $OFS = \pm \Delta$ e $\pm 2\Delta$. O resultado é apresentado na fig. III.16, comparado às curvas teóricas da fig. III.1.

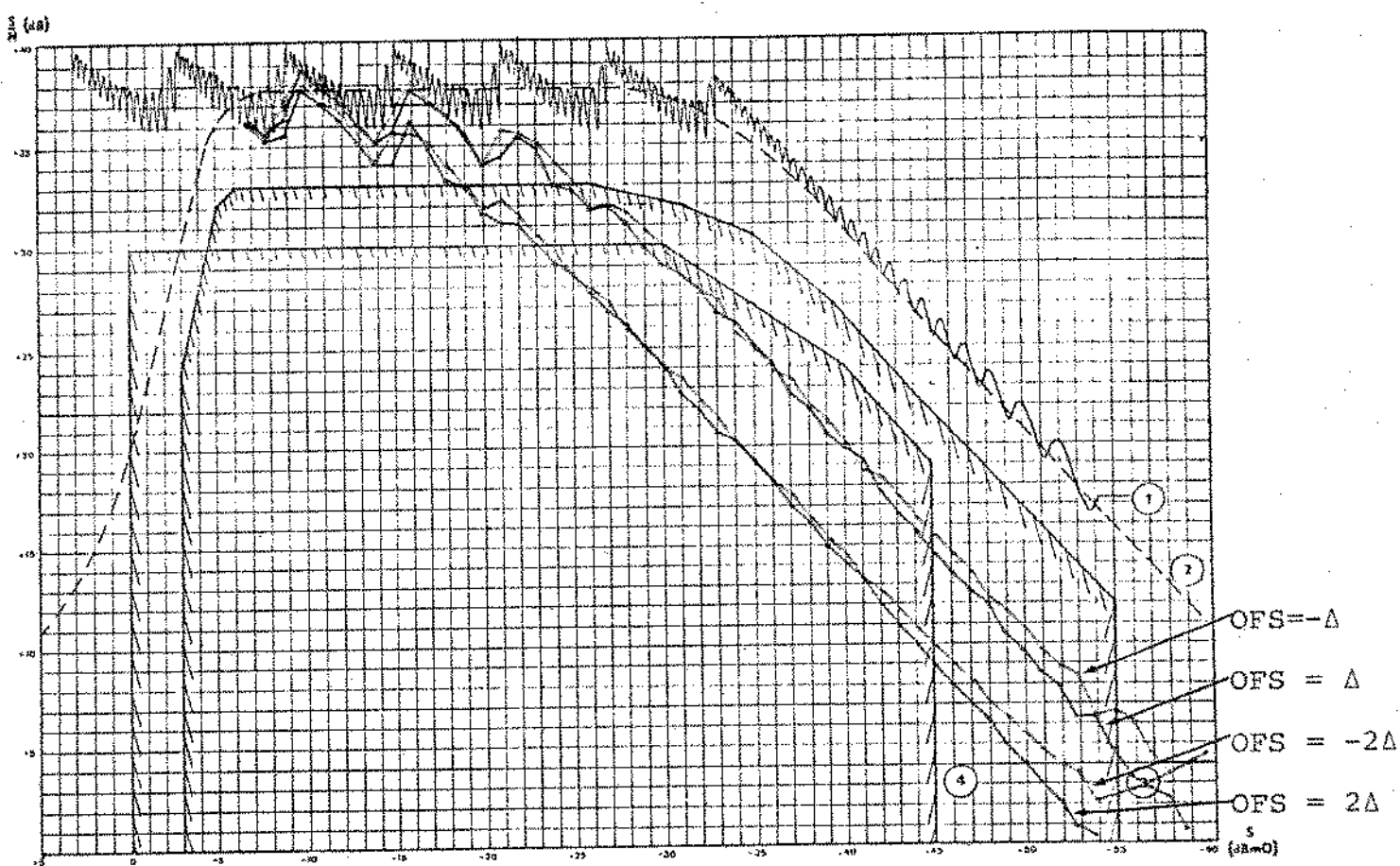


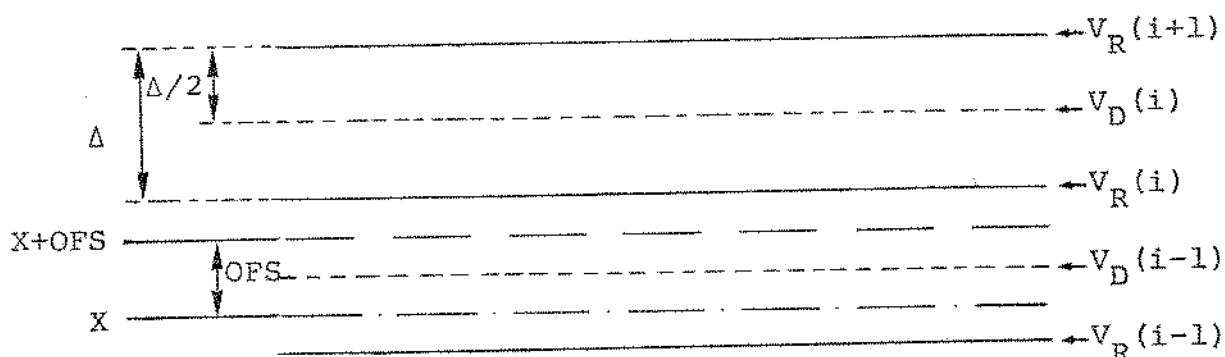
Fig. III.15 - Resultado da simulação para o caso de "off-set" presente na saída do retificador.

O decremento do (S/N) é bem grande e faz com que a curva resultante fique abaixo do limite inferior especificado pelo CCITT, mesmo para um valor OFS da ordem de um intervalo de codificação. Pela fig. III.15 pode-se notar que para $OFS =$

$= \pm \Delta$, o decremento de (S/N) para baixas amplitudes (segmentos G^- e G^+), é da ordem de 11 dB e para $OFS = \pm 2\Delta$ é da ordem de 17 dB.

Para o caso de sinais contidos nos segmentos G^- e G^+ , a codificação não linear correspondente a uma codificação uniforme de 12 bits (1 e 20), e o resultado da simulação pode ser concluído matematicamente. Neste caso, os intervalos de codificação têm sempre o mesmo valor Δ .

Suponha uma amostra retificada de valor X a ser codificada (fig. III.16). Quando se adiciona um valor de tensão de "off-set" a esta, o valor a ser codificado será $X_1 = X + OFS$.



$V_D(i) \rightarrow$ nível de decodificação para sinais contidos no intervalo i .

Fig. III.16 - Codificação de uma amostra à qual se soma uma tensão de "off-set".

Supondo que o erro de quantização resultante da codificação seja uniformemente distribuído dentro do intervalo, a sua distribuição de probabilidades será a dada na fig. III.17.

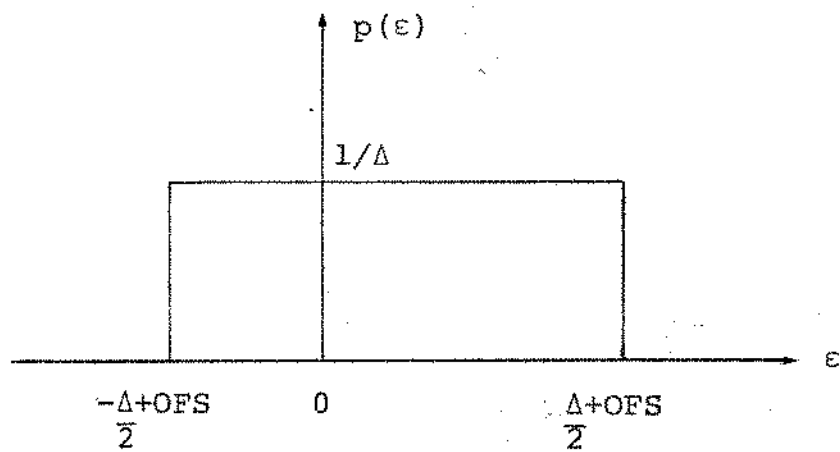


Fig. III.17 - Função densidade de probabilidades resultante para ϵ , quando há um erro de "off-set".

O valor de erro quadrático médio (potência de ruído de quantização e de erro de codificação) resultante será dado por:

$$\overline{\epsilon^2} = \int_{-\infty}^{\infty} \epsilon^2 p(\epsilon) d\epsilon = \frac{1}{\Delta} \int_{-\Delta/2 + \text{OFS}}^{\Delta/2 + \text{OFS}} \epsilon^2 d\epsilon \quad \text{III.31}$$

integrando:

$$\overline{\epsilon^2} = \frac{\Delta^2}{12} + \text{OFS}^2 \quad \text{III.32}$$

ou em dB:

$$N_{q0} = 10 \log_{10} \left(\frac{\Delta^2}{12} + \text{OFS}^2 \right) \quad \text{III.33}$$

Supondo-se o "off-set" com um valor múltiplo do intervalo de quantização, ou seja:

$$\text{OFS} = a \Delta \quad \text{III.34}$$

tem-se:

$$N_{q0} = 10 \log_{10} (12a^2 + 1) + 10 \log_{10} \frac{\Delta^2}{12} \quad \text{III.35}$$

O segundo termo que aparece em III.35 é exatamente a potência de ruído devido ao ruído de quantização teórico (1), ou seja:

$$N_q = 10 \log_{10} \frac{\Delta^2}{12} \quad \text{III.36}$$

Significa que o "off-set" introduz um ruído na codificação, cuja potência será dada por:

$$N_o = N_{qo} - N_q = 10 \log_{10} (12a^2 + 1) \quad \text{III.37}$$

Quando OFS = $\pm \Delta$, tem-se:

$$N_o = 10 \log_{10} 13 \approx 11,14 \text{ dB} \quad \text{III.38}$$

Quando OFS = $\pm 2\Delta$, tem-se:

$$N_o = 10 \log_{10} 49 \approx 16,9 \text{ dB} \quad \text{III.39}$$

o que coincide com os valores obtidos na simulação.

Observa-se que o desvio devido ao "off-set" na saída do retificador é extremamente crítico. O ajuste de "off-set" dos operacionais não pode deixar de ser feito, para que não se tenha decrementos de (S/N) apreciáveis.

III.5 - Erros nos níveis de referência do codificador

Vários são os tipos de erro que influem nas decisões dos comparadores, conforme citado anteriormente.

Nesta secção, se faz a simulação dos tipos de erro

que contribuem para o desvio do valor de tensão de referência nominal.

Supõe-se que devido aos desvios, as tensões de referência tenham uma determinada distribuição de probabilidade de valores em torno do valor nominal, como na fig. III.18. Desta forma, os valores de tensão de referência V_{Ri}^* e $V_{R(i+1)}^*$ podem variar no intervalo:

$$V_{Ri} - \alpha\Delta \leq V_{Ri}^* \leq V_{Ri} + \alpha\Delta$$

III.40

$$V_{R(i+1)} - \beta\Delta \leq V_{R(i+1)}^* \leq V_{R(i+1)} + \beta\Delta$$

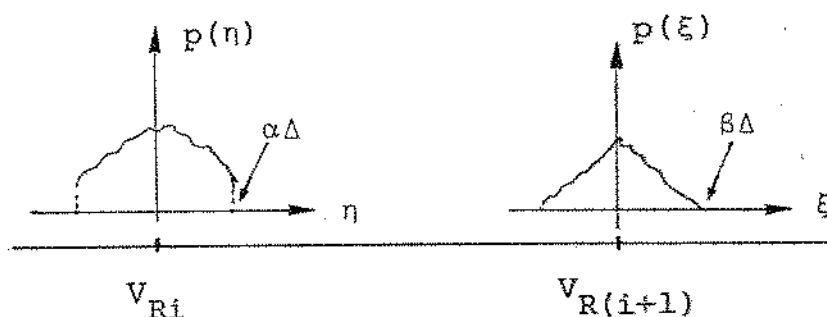


Fig. III.18 - Distribuição de probabilidade de valores para as tensões de referência.

onde α e β dão os valores máximos de variação de V_{Ri} e $V_{R(i+1)}$ percentualmente, em relação ao valor do intervalo de codificação Δ .

Na simulação supõe-se que $p(\eta)$ e $p(\xi)$ são idênticas e são considerados dois casos; distribuição uniforme e distribuição gaussiana para η e ξ .

O modelo mais aproximado do real, é aquele que supõe $p(\eta) = p(\xi)$ como sendo uma distribuição gaussiana. O caso

em que η e ξ são uniformemente distribuídas corresponderia a um caso pior que o caso gaussiano e não deve ocorrer na prática.

A simulação é feita para $\alpha = \beta = 0,125; 0,25; 0,5$ e $0,75$, correspondentes a desvios de 12,5%, 25%, 50% e 75% do tamanho do intervalo de codificação respectivamente. Quando ocorre o caso do desvio de 75%, pode haver superposição dos níveis de referência.

III.5.1 - Modelo para simulação

A simulação é idêntica ao caso ideal, mudando a subrotina de codificação.

A codificação se processa identicamente ao caso ideal, até ser localizado o intervalo de codificação a que pertence a amostra.

Dentro de cada segmento, o intervalo de codificação é $\Delta(I)$ (com I associado a cada segmento conforme a tabela III.2). O máximo desvio que cada tensão de referência pode sofrer é calculado como:

$$DV = \alpha \Delta(I) \quad \text{III.41}$$

Gera-se um número aleatório através da "RAND" ou da "GAUSS", e o valor aleatório de tensão de referência é obtido por III.42.

$$RMI = RM + DVRX \quad \text{III.42}$$

Testa-se novamente o valor da amostra com o valor de tensão de referência, dependendo do resultado, toma-se duas possíveis decisões:

- a) $Y - RMI \geq 0 \Rightarrow$ já se tem condições de calcular o valor do erro. O valor da amostra, apesar de estar contido

entre dois níveis ideais, é maior que o nível aleatório gerado (fig. III.19) e terá então nível de de codificação $RM(K) + \Delta(I)/2$, desde que $K < 16$. Neste caso, o valor do erro será:

$$EPS = RM - Y + \frac{\Delta}{2} \quad \text{III.43}$$

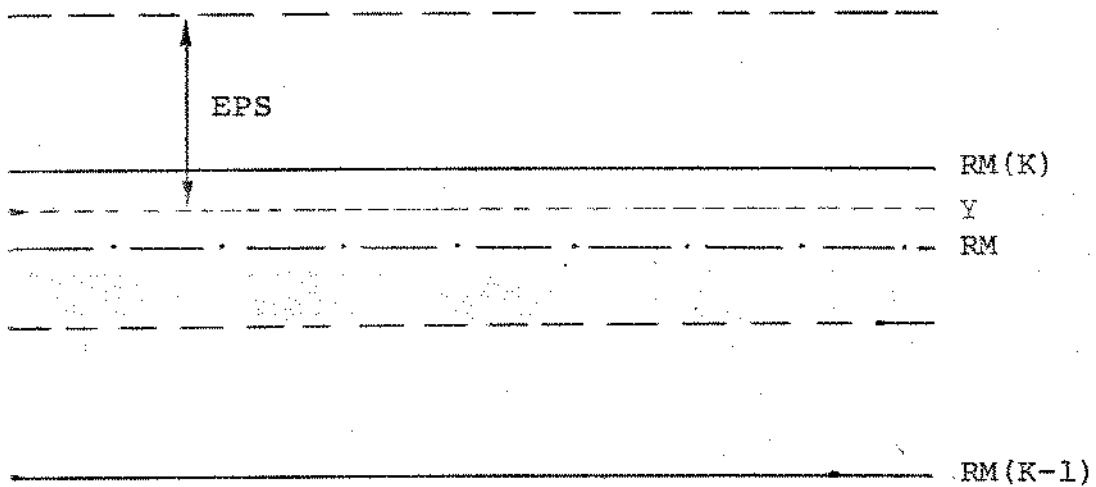


Fig. III.19 - $Y > RMI$
caso a

Se $K = 16$, o nível de decodificação será $RM(K) + \Delta(I+1)/2 = RM(K) + \Delta(I)$ e o erro será dado por III.44. Se $K = 16$ e $I = 8$, a amostra pertence ao último intervalo de codificação e então o erro será dado por III.45.

$$EPS = RM - Y + \Delta \quad \text{III.44}$$

$$EPS = Y - RM + \frac{\Delta(I)}{2} \quad \text{III.45}$$

b) $Y - RMI < 0$. Significa que o sinal caiu abaixo do nível aleatório gerado. O sinal pode estar muito perto do nível inferior ou $RMI > RM(K)$. Faz-se o valor $RM(K) = RM(K) - \Delta(I)$, voltando a tensão de referência ideal, a ter o valor imediatamente anterior. Gera-se um novo nível de referência aleatório em torno de $RM(K)$, comparando com o valor da amostra.

Se $Y - RMI \geq 0$, o erro será dado por III.43.

Se $Y - RMI < 0$, o erro será dado por III.45, desde que $K > 1$. Se $K = 1$, deve-se testar em que segmento o sinal está. O erro neste caso será dado por:

$$I=1(G^-) \Rightarrow EPS = \frac{\Delta(I)}{2} - Y \quad (a) \quad \text{III.46}$$

$$I=2(G^+) \Rightarrow EPS = Y - RM + \frac{\Delta(I)}{4} \quad (b)$$

Se $I > 2$, EPS é dado por III.43.

Na simulação, usou-se $NAM = 500$ e AX variando de 1 em 1 dB.

III.5.2 - Resultado da simulação

O resultado é comparado com as curvas teóricas da fig. III.1 e é apresentado na fig. III.20, no caso de $p(n)$ e $p(\xi)$ serem uniforme e na fig. III.21, no caso de serem gaussianas.

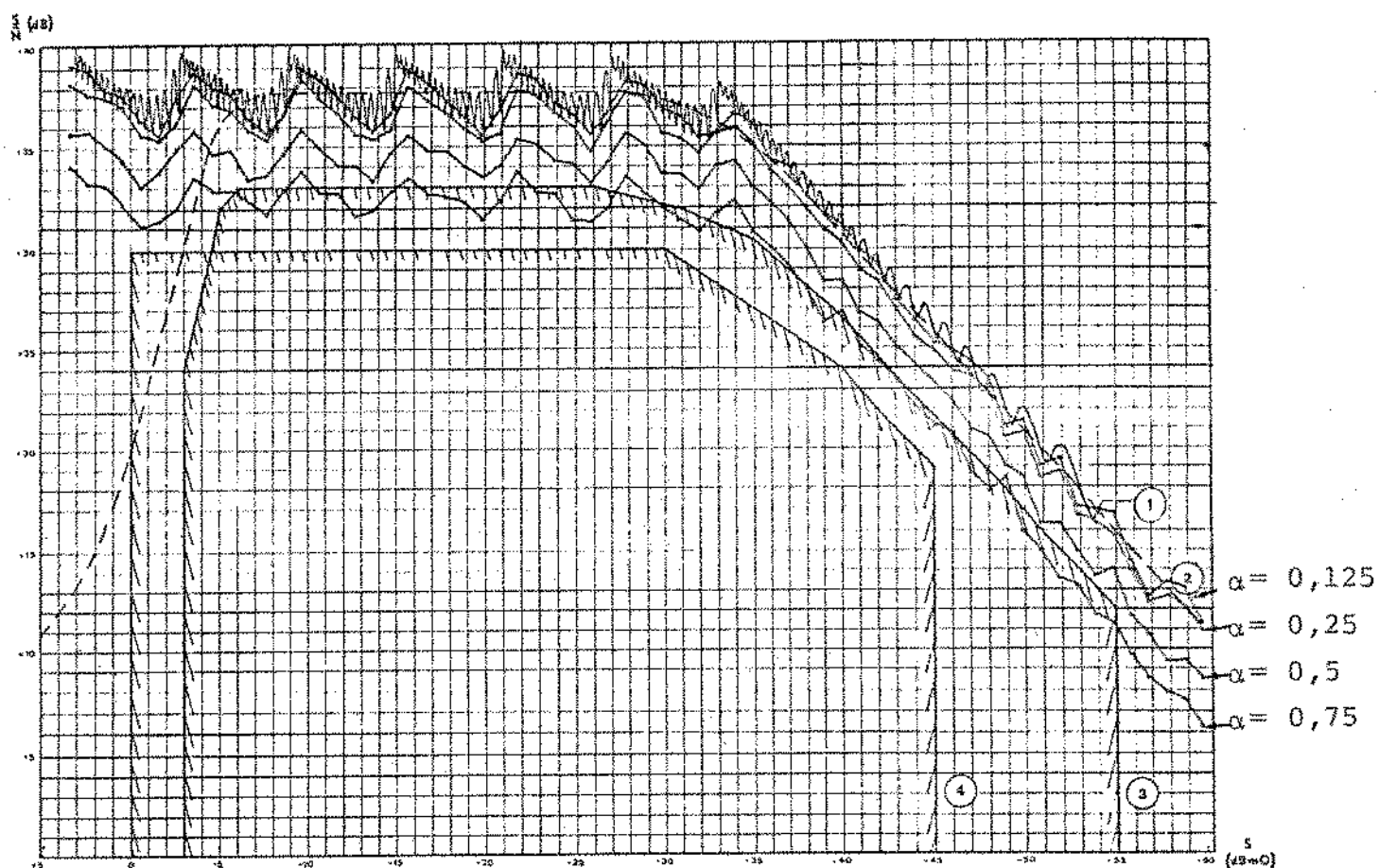


Fig. III.20 - Resultado da Simulação para erros nos níveis de referência do codificador - caso de distribuição uniforme.

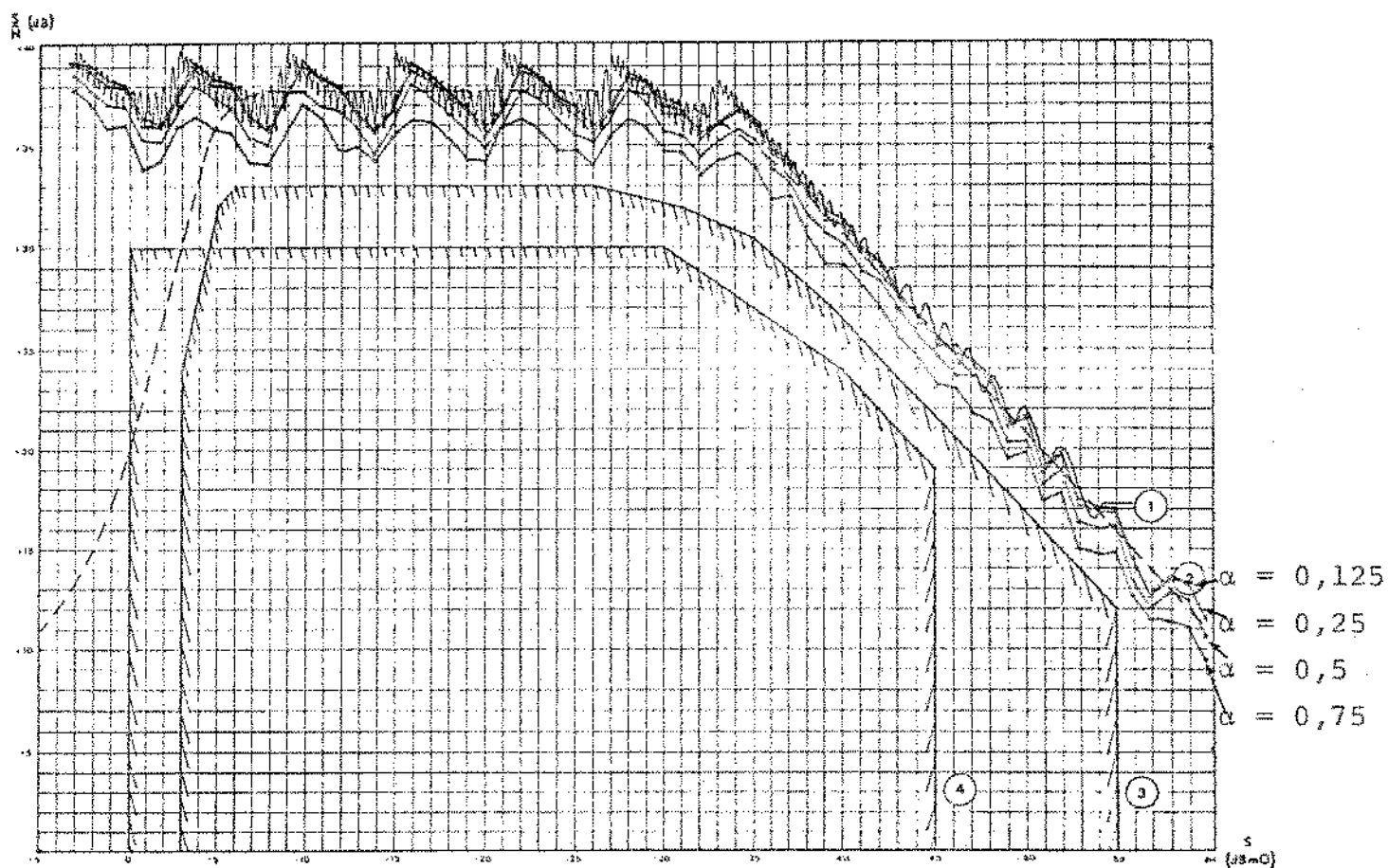


Fig. III.21 - Resultado na simulação para erros nos níveis de referência do codificador - caso de distribuição gaussiana.

Observa-se um decremento em (S/N) , devido à erros de comparação, da ordem de 1 dB para $\alpha = 0,25$, de 3 dB para $\alpha = 0,50$ e 5 dB para $\alpha = 0,75$, no caso de distribuição uniforme. Para $\alpha = 0,125$, os decrementos em (S/N) são praticamente desprezíveis.

No caso de distribuição gaussiana, os erros são relevantes quando se tem um desvio $\alpha \geq 0,5$. Para $\alpha = 0,5$, tem-se em torno de 1 dB de queda de (S/N) e para $\alpha = 0,75$, a queda é da ordem de 2 dB em relação ao valor teórico.

III.6 - Determinação da precisão dos resistores necessária para o codificador atingir o limite imposto pelo CCITT

A precisão dos resistores usados na implementação física do codificador, é sem dúvida parâmetro fundamental.

Os valores de tensão de referência dos comparadores, dependem da malha de divisão formada por estes resistores. Sendo que o princípio de codificação é baseado na comparação, este ponto torna-se crítico.

Nesta secção, procura-se determinar qual a precisão que os resistores das malhas de referência, os que determinam os ganhos dos amplificadores operacionais e os que formam as malhas de atenuação, devem ter, a fim de que possa se garantir com segurança, que durante um processo de fabricação em série, os codificadores atendam o limite especificado pelo CCITT, dando ainda uma margem para erros de decodificação.

A precisão do resistor, influi também no custo do codificador. Um resistor com precisão da ordem de .05% de precisão, tem preço muito maior que o de um comparador rápido.

Além da precisão dos resistores, durante a simulação, se levará em conta outros tipos de parâmetros de natureza

estatística, que influem no desempenho do codificador, a saber:

- corrente de polarização dos comparadores.
- tensão de "off-set" dos comparadores.
- corrente de fuga das chaves analógicas.
- valor de tensão de referência.

O "off-set" dos operacionais não será levado em consideração, pois já se mostrou que é um fator bastante crítico para o desempenho do codificador e se supõe que deva ser ajustado sempre, durante a fabricação.

III.6.1 - Modelo Estatístico

A simulação será baseada em se "gerar" vários codificadores, gerando para cada um deles valores distintos de parâmetros de natureza estatística, como se estivesse usando dispositivos e resistores disponíveis em um almoxarifado industrial.

Para cada codificador obtido, calcula-se os valores de (S/N) , para todos os valores de potência do sinal de entrada que interessam. Pode-se através deste procedimento, obter uma curva de (S/N) média e o seu valor de desvio padrão (a curva resultante possui uma distribuição gaussiana para a sua parte inferior), para cada valor de precisão dos resistores. Garante-se que em média 99,7% dos codificadores terão desempenho superior ao fixado pela curva resultante ao se retirar o valor de três desvios padrão da curva média, em cada ponto (23).

O número de codificadores que serão gerados na simulação, será NCO (número de codificadores) = 100, por ter mostrado um bom desempenho, do ponto de vista de se obter uma distribuição gaussiana para os valores de (S/N) abaixo da curva média.

Simulação do modelo estatístico

Os dados de entrada para simulação são:

- NAM - Número de amostras por período da onda senoidal a ser codificada.
- NP - Número de pontos da curva (S/N) que se quer.
- NG - Quantidade de números aleatórios gerados pela "RAND" (secção III.2.1), que se usa para obter uma distribuição gaussiana.
- NRE - Número de resistores de precisão usados, além daqueles das malhas de referência.
- NCO - Número de codificadores a serem gerados.
- B1 a B5 - Tensões de "off-set" na saída dos operacionais.
- VRO - Valor nominal de tensão de referência fornecida pela frente regulada.
- AFT - Desvio máximo do valor de tensão de referência VR (em %).
- AF - Precisão dos resistores.
- DVOF - Tensão máxima de "off-set" dos comparadores a 25°C.
- CIP - Corrente de polarização máxima dos comparadores a 25°C.
- CIF - Máxima corrente de fuga das chaves.
- RNLO e RNLEO - Valores nominais dos resistores das malhas de referência da parte não linear (tabela II.10, R_j e R_j^*).
- RLO e RLEO - Valores nominais dos resistores das malhas de referência da parte linear (tabela II.11, R_j e R_j^*).
- RO - Valores nominais dos demais resistores de precisão.

Define-se, então, o intervalo entre as amostras ΔE (idêntico às outras secções) e por meio de um comando "DO", ge

-se NCO codificadores, calculando-se para cada um deles (S/N) e, em seguida, (S/N) média e o desvio padrão da média.

Cada codificador é gerado obtendo-se valores para os seus parâmetros de natureza estatística por meio da subrotina "COD".

Após obter-se os parâmetros, calcula-se as tensões de referência para o codificador. As tensões de referência são dadas por:

$$\text{não linear: } VRNL(I) = \frac{RNL(I)}{RNL(I) + RNLE(I)} \left[VR - RNLE(I) \text{ CIPNL}(I) \right] + DVOFN(I) \quad (a)$$

III.47

$$\text{linear: } VRL(I) = \frac{RL(I)}{RL(I) + RLE(I)} \left[VR - RLE(I) \text{ CIPL}(I) \right] + DVOFL(I) \quad (b)$$

A partir daí, a codificação é efetuada exatamente como na simulação do codificador ideal (secção III.2.3), a menos da mudança da subrotina de codificação, que simula o codificador implementado.

Obtem-se então os valores de $SN(L, N)$, a potência do codificador nº L em cada ponto N.

A relação média $SNB(N)$, em cada ponto, é então calculada por III.48 e a variância da distribuição de probabilidades de SNB por III.49 (23).

$$SNB = \frac{\sum_{L=1}^{NCO} SN(L, N)}{NCO} \quad \text{III.48}$$

$$VP(N) = \frac{1}{NCO} \sum_{N=1}^{NCO} (SN(L,N) - SNB(N))^2 \quad \text{III.49}$$

O desvio padrão para cada ponto, será dado por III.50.

$$DVP(N) = \left[\frac{1}{NCO} \sum_{N=1}^{NCO} (SN(L,N) - SNB(N))^2 \right]^{1/2} \quad \text{III.50}$$

O procedimento para simulação é mostrado em diagrama de blocos na fig. AI9 (Apêndice I) e o programa FORTRAN correspondente na listagem AIII0 (Apêndice II).

Durante a simulação usou-se $NAM = 200$, $NG = 12$, $NCO = 100$ e AX variando de 1 em 1 dB, o que significa que se tomou $N = 60$ pontos da curva de (S/N) .

Subrotina COD

A subrotina COD é usada para gerar os parâmetros de natureza estatística do codificador.

Adota-se um modelo de distribuição de amplitudes uniforme para CIP, DVOF, CIF e VR. Os intervalos de variação destas, é dado na tabela III.3.

parâmetros	valor mínimo	valor máximo
CIP (mA)	0	20
DVOF (mV)	-3,5	3,5
CIF (nA)	-500	500
VR	$(1-AFT)VRO$	$(1+AFT)VRO$

Tabela III.3 - Intervalos de variação para CIP, DVOF, CIF e VR.

A distribuição uniforme se constitui no pior caso de variação destes parâmetros, já que normalmente eles se localizam em torno de um valor típico.

Gera-se um valor de CIP e DVOF, para cada comparador das partes linear e não linear. Supõe-se que todas as correntes de fuga das chaves sejam idênticas (as chaves estão integradas na mesma pastilha), e gera-se somente um valor para CIF.

Para a distribuição de valores de resistor, adota-se um modelo gaussiano (adotado industrialmente), com seu valor máximo de desvio $\Delta R = A_F \cdot R = 3$ desvios padrão da curva gerada.

Desta vez, a curva gaussiana é gerada por meio de III.6, devido aos altos tempos de computação envolvidos.

A subrotina COD é mostrada em diagrama de blocos na fig. AII0 (Apêndice I) e o programa FORTRAN correspondente na listagem AIII1 (Apêndice II).

III.6.2 - Modelo para simulação

Subrotina de codificação

O modelo usado para simulação é o mais próximo possível do real, que foi descrito na capítulo II. Somente alguns tipos de efeitos, como "spikes" das chaves, ruído TTL, ruído térmico dos operacionais, etc, deixará de ser levado em consideração.

Os parâmetros de entrada da subrotina de codificação fornecidos pelo programa principal, são:

X - Valor da amostra do sinal.

B1 a B5 - Tensão de "off-set" de saída dos amplificadores operacionais A01 a A05, respectivamente.

R - Os 22 resistores que importam do ponto de vista

R(I) I=1,22	Correspondência com os resistores do codificador (Cap.II-fig II.19)	valor nominal do resistor (Ω)
R(1)	R_1	3.160
R(2)	R_2	3.160
R(3)	R_{13}	3.160
R(4)	R_{14}	1.580
R(5)	R_{15}	3.160
R(6)	R_{18}	3.160
R(7)	R_{19}	1.580
R(8)	R_{20}	12.640
R(9)	R_{32}	1.024
R(10)	R_{33}	512
R(11)	R_{34}	256
R(12)	R_{35}	128
R(13)	R_{36}	128
R(14)	R_{38}	600
R(15)	R_{39}	600
R(16)	R_{25}	2.400
R(17)	R_{26}	38.400
R(18)	R_{27}	38.400
R(19)	R_{28}	2.400
R(20)	R_{29}	19.200
R(21)	R_{41}	100
R(22)	R_{42}	300

Tabela III.4 - Associação entre os resistores usados na
implementação do sistema de controle de acesso.

de desvio. A associação entre $R(I)$, $I = 1, 22$ e os resistores usados no codificador, é dada na tabela III.4.

VRNL - Valores de tensão de referência usados na comparação não linear.

VRL - Valores de tensão de referência usados na comparação linear.

CIFX - Valor de corrente de fuga das chaves ou de cada chave do multiplexador. CIFX é suposta idêntica para todas as chaves em cada codificador.

VO - Valor máximo da amostra para codificação.

VR - Valor de tensão de referência.

O parâmetro de saída da subrotina de codificação é o valor do erro EPS.

Os parâmetros internos da subrotina são:

IBIT(I) - bits da palavra codificada, b_1 a b_s .

Y - saída do multiplexador ou do ponto comum das chaves analógicas.

IVCNL(I) - saídas dos comparadores da parte não linear (v_{ci} da tabela I.4).

ISNL(I) - sinais de saída da lógica não linear (eq. II.12).

IVCL(I) - saídas dos comparadores da parte linear v_{cj} da fig. I.10 e tabela I.5).

ISL(I) - sinais de saída da lógica linear (eq. II.17).

XC - saída do decodificador ideal.

$RH, RY1, RY2, \left\{ \begin{array}{l} \text{variáveis que aparecem em várias expres} \\ \text{sões ou partes de expressões muito gran} \\ \text{des, que são calculadas à parte.} \end{array} \right.$
 $RY3, AB, SOM, Z$

As saídas dos amplificadores operacionais AO1 a AO5, durante a simulação, terão a notação Y1, Y2, Y3, Y5 e VNOL, conforme III.51.

$$\begin{aligned}
 v_s(A.O.1) &= Y1 & (a) \\
 v_s(A.O.2) &= Y2 & (b) \\
 v_s(A.O.3) &= Y3 & (c) \\
 v_s(A.O.4) &= Y5 & (d) \\
 v_s(A.O.5) &= VNOL & (e)
 \end{aligned}
 \tag{III.51}$$

O primeiro passo é determinar o bit polaridade da amostra, IBIT (1).

$$\text{comparando } X \text{ com } 0 \Rightarrow \begin{cases} X \geq 0 & \text{IBIT}(1) = 1 \\ X < 0 & \text{IBIT}(0) = 0 \end{cases}$$

As saídas Y1, Y2, Y3 e Y5, dos amplificadores operacionais AO1 a AO4, são dadas por III.52 (veja fig. II.19).

$$Y1 = - \frac{R(2)}{R(1)} \cdot X \cdot \text{IBIT}(1) + B1 \tag{a}$$

$$Y2 = - \frac{R(5)}{R(3)} X - \frac{R(5)}{R(4)} Y1 + B2 \tag{b}$$

III.52

$$Y3 = - \frac{R(8)}{R(6)} X - \frac{R(8)}{R(7)} Y1 + B3 \tag{c}$$

$$\begin{aligned}
 Y5 &= \left(1 + \frac{R(19)}{R(20)}\right) \cdot \left(-\frac{R(18)}{R_H}\right) \left[R(17) Y3 + R(16) V_R\right] + \\
 &+ B5
 \end{aligned}
 \tag{d}$$

III.53

onde: $R_H = R(16) R(7) + R(16) R(18) + R(17) R(18)$

O valor Y_2 (saída v_{02} da fig. II.19) entra em um comando "DO", onde é comparado com as tensões de referência VRNL, determinando os valores de IVCNL.

Os valores de ISNL, são determinados na simulação, conforme II.12, usando os valores IVCNL.

Os bits da palavra codificada, IBIT(2), IBIT(3) e IBIT(4), são determinados conforme II.13 (eq. usada na dedução da lógica não linear).

A detecção do segmento a que pertence o valor da amostra X, é feita por meio de comandos IF, usando os valores de IBIT(2) a IBIT(4), já obtidos. Ao final da comparação, por meio dos comandos IF, já se obtém a saída Y, que depende do segmento detectado. A eq. III.54 dá o valor de Y para cada segmento. Este procedimento é equivalente a passar um dos valores Y_2 , Y_3 e Y_5 pelas malhas de atenuação e obter a saída fornecida pela abertura de uma das chaves. Estes valores podem ser obtidos diretamente da fig. II.19.

$$\text{- segmento } G^- : Y = Y_5 \quad (a)$$

$$\text{- segmento } G^+ : Y = Y_3 \quad (b)$$

$$\text{- segmento } F : Y = RY_3.Y_3 - RY_3 R(14) CIFX \quad (c)$$

$$\text{- segmento } E : Y = Y_2 \quad (d)$$

$$\text{- segmento } D : Y = \frac{RY_2 - R(9)}{RY_1} + (RY_2 - 4R(9)) CIFX \quad (e)$$

$$\text{- segmento } C : Y = \frac{R(11) + R(12) + R(13)}{RY_1} AB + 2R(11) \quad (f)$$

$$\text{- segmento } B : Y = \frac{R(12) + R(13)}{RY_1} AB + R(12) CIFX \quad (g)$$

$$\text{- segmento } A : Y = \frac{R(13)}{RY_1} AB \quad (h)$$

III.54

onde:

$$RY1 = R(9) + R(10) + R(11) + R(12) + R(13) \quad (a)$$

$$RY2 = 4R(9) + 3R(10) + 2R(11) + R(12) \quad (b)$$

$$RY3 = \frac{R(15)}{R(15)+R(14)} \quad (c)$$

$$AB = Y2 - RY2 \text{ C1FX} \quad (d)$$

III.55

A saída do amplificador operacional A05, será da da por (fig. II.23):

$$VONL = \left(1 + \frac{R(22)}{R(21)}\right) Y + B4 \quad \text{III.56}$$

Da mesma forma que na parte não linear, as saídas IVCL, dos comparadores da parte linear, é obtida por meio de comandos IF, comparando VONL com os valores de tensão de referência VRL.

As saídas IVCL (fig. I.10 e tabela I.5), são usadas para determinação dos sinais lógicos ISL (eq. II.17).

Os valores ISL são usados (como na eq. II.18) para fornecer os quatro últimos bits de codificação da amostra, IBIT(5) a IBIT(8).

Obtidos os oito bits, estes são entregues a um decodificador ideal (22), que fornecerá o valor da amostra decodificada XC.

O valor do erro será dado por:

$$EPS = X - XC \quad \text{III.57}$$

A subrotina de codificação é mostrada em diagrama de blocos na fig. AIII1 (Apêndice I) e o programa FORTRAN correspondente é o da listagem AIII2 (Apêndice II).

III.6.3 - Resultado da simulação

A simulação foi feita para valores de precisão dos resistores .1%, 25%, .5% e 1%. O resultado é apresentado na fig. III.22, para precisão dos resistores .5%, comparado com as curvas teóricas da fig. III.1.

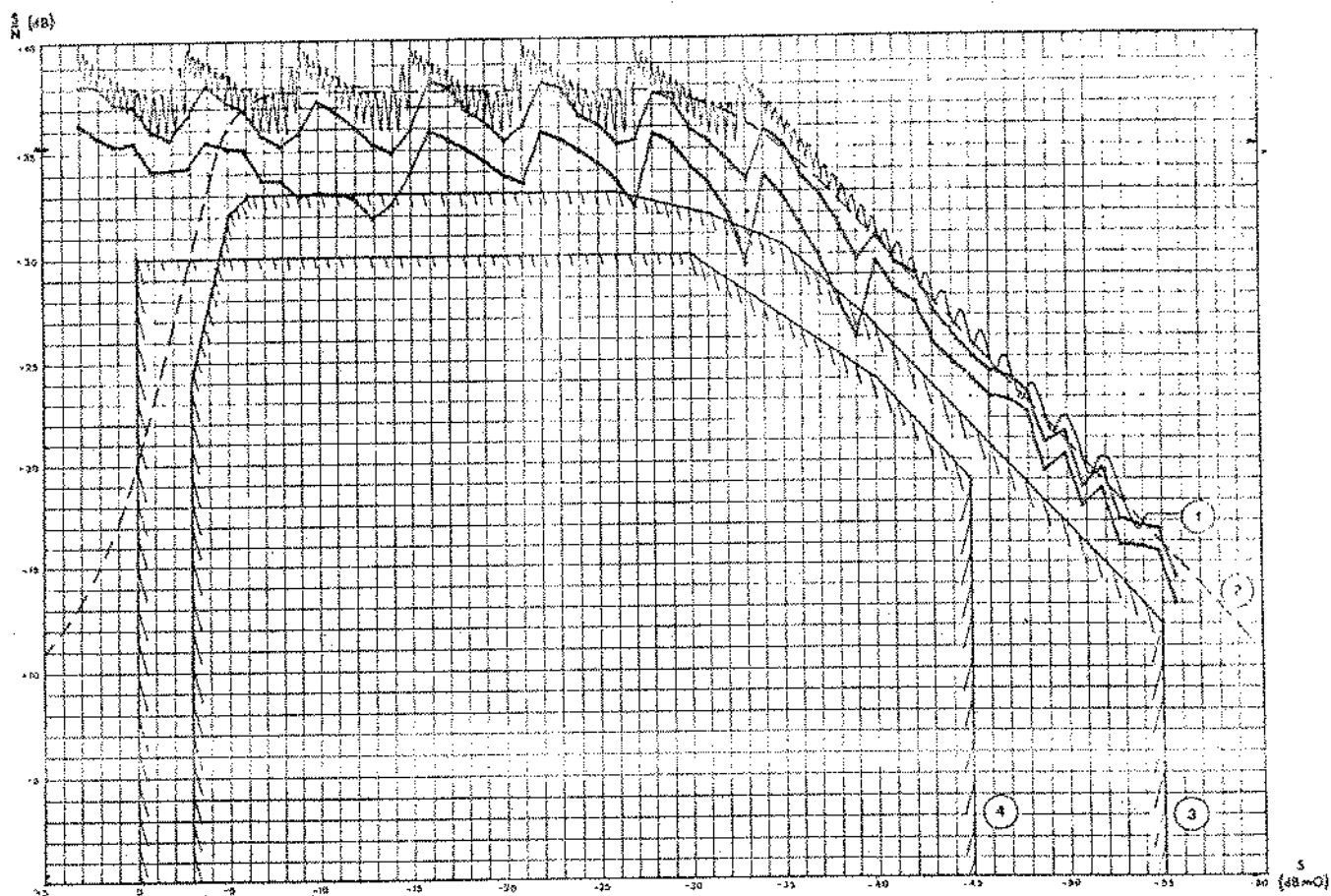


Fig. III.22 - Resultado da simulação para o codificador implementado.
Precisão dos resistores .5%.

Levando-se em consideração que o limite do CCITT para o desempenho do sistema de transmissão MCP está cerca de 6 dB abaixo do valor teórico, o máximo decréscimo em (S/N) devido ao codificador, foi limitado em 3 dB, para que se possa admitir decréscimo da mesma ordem no decodificador. Para esta condição, os resistores usados na implementação física, devem ter precisão .5%, correspondente à fig. III.22.

CAPÍTULO IV

RESULTADOS DOS TESTES E CONCLUSÕES

Todos os testes foram efetuados com níveis de "off-set" e fonte regulada ajustados.

IV.1 - Resposta do retificador

A curva de transferência do retificador é apresentada na fig. IV.1. Usou-se, para fazer o teste, uma onda senoidal com frequência 3 KHz e amplitude 6 Volts na entrada.



Fig. IV.1 - Curva de transferência do retificador.

A curva de transferência do conjunto retificador-A.O.3 (retificador com ganho 4 limitador) é apresentada na fig. IV.2. O mesmo sinal anterior foi utilizado para este teste. Observa-se que para os componentes usados, a limitação se deu pa

ra uma amplitude de entrada da ordem de 3,5 Volts.

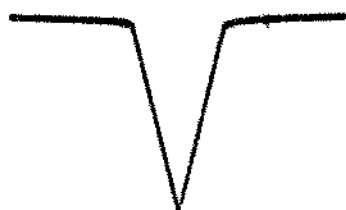


Fig. IV.2 - Curva de transferência do retificador com ganho 4 e limitador.

A fig. IV.3 mostra a saída do retificador para a mesma entrada dos casos anteriores.

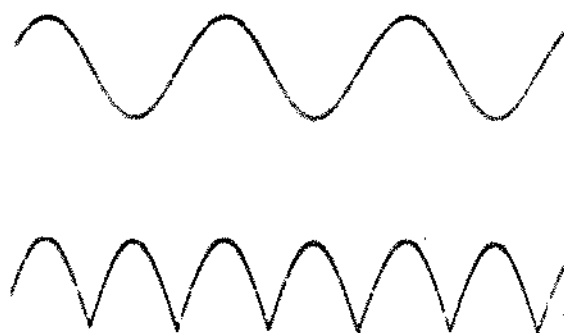


Fig. IV.3 - Onda senoidal retificada.

Para o teste de resposta em frequência do retificador, injetou-se na entrada do codificador uma onda quadrada com frequência 170 KHz, que simulou o tempo da amostra de apro_ximadamente 3 μ s, ou a saída do amostrador-segurador.

A onda quadrada sem nível DC, de amplitude aproxi_mada 5,2 Volts, simula a pior sequência de amostras. O resulta_do é apresentado na fig. IV.4. O resultado deste teste foi al_tamente satisfatório.

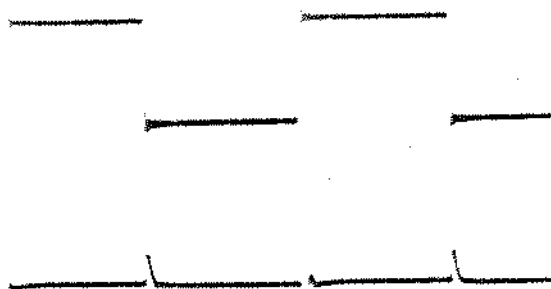


Fig. IV.4 - Resposta em frequência do retificador.

IV.2 - Resposta do codificador a uma varredura

Para o teste, injetou-se no codificador uma onda triangular com frequência 1 KHz e valor de pico aproximado 5,20 Volts. A fig. IV.5 nos dá a saída do A.O.5 que corresponde ao efeito de varredura em todos os segmentos da curva de compres_são. Pode-se observar que o resultado é o previsto na fig. I.9, a menos da mudança do segmento comum para o C ao invés de G^+ .

A fig. IV.6 apresenta uma expansão horizontal afim

de se observar o resultado nos segmentos correspondentes a si nais com maior amplitude.

A fig. IV.7 apresenta uma expansão maior , para mostrar o que ocorre com os sinais compreendidos nos segmentos com menor amplitude.

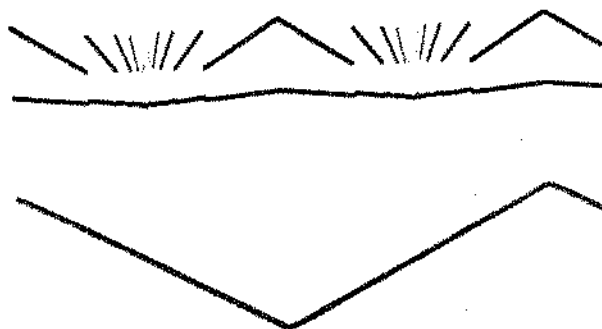


Fig. IV.5 - Resposta do codificador a uma varredura.

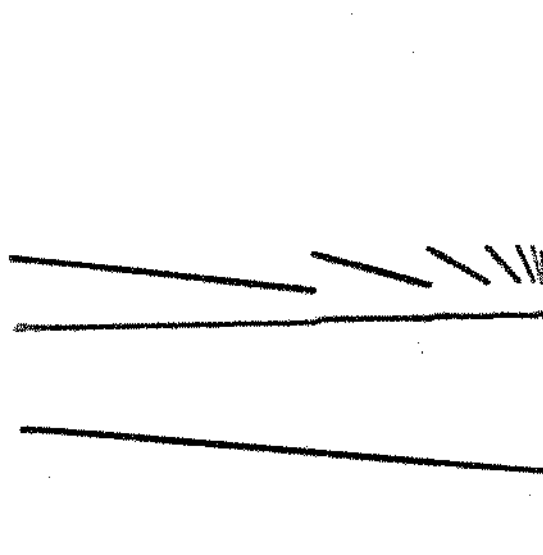


Fig. IV.6 - Resposta do codificador a uma varredura. Segmentos com maior amplitude.



Fig. IV.7 - Resposta do codificador a uma varredura. Segmentos com menor amplitude.

IV.3 - Ondas de Controle e saída MCP

Considerando-se que por não haver um interesse maior, o projeto das ondas de controle foi suprimido do trabalho.

As ondas foram obtidas em um circuito separado do codificador e são apresentadas nas figuras IV.8 e IV.9.

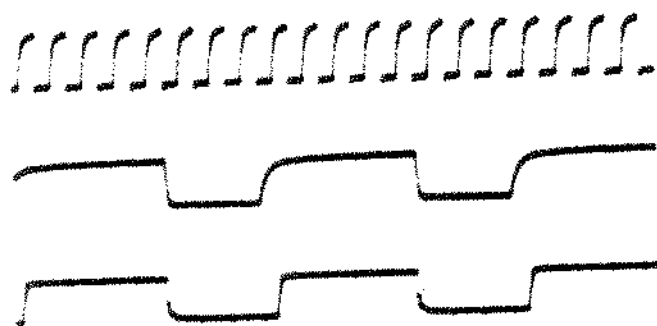


Fig. IV.8 - Ondas de Controle

- (a) relógio 2048 KHz
- (b) controle F-F não linear
- (c) controle Z

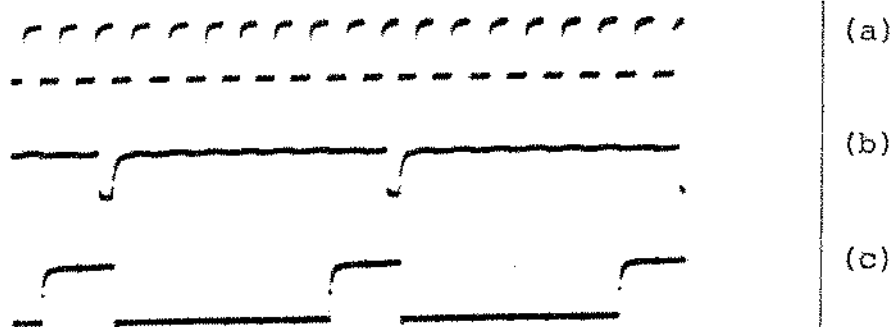


Fig. IV.9 - Ondas de Controle

- (a) relógio 2048 KHz;
- (b) onda $\overline{Emt}$;
- (c) controle F-F linear

As figuras IV.10 e IV.11 mostram além do sinal de relógio, duas saídas MCP de interesse.

Na fig. IV.10c, aparece a palavra digital 11011101 e pode-se ver claramente o índice de ocupação de cada bit da palavra codificada. Note-se que o 8º bit tem índice de ocupação 75%.

Na fig. IV.11c aparece a palavra digital 00000001, correspondente ao sinal codificado pertencente ao primeiro intervalo de codificação (segmento G^-) do lado negativo da curva.

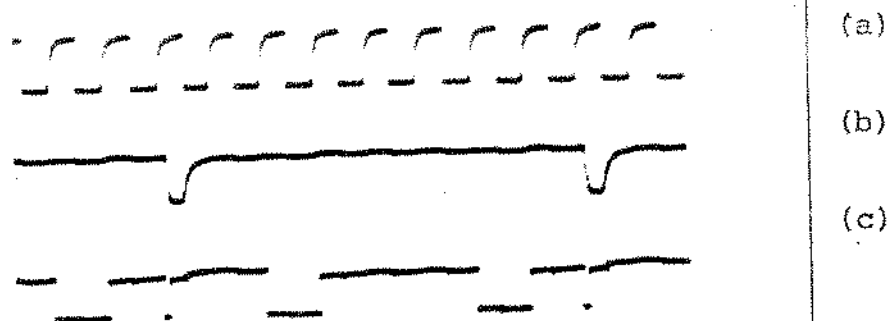


Fig. IV.10 - (a) relógio 2048 KHz;
 (b) onda $\overline{Emt}$;
 (c) palavra MCP "11011101"

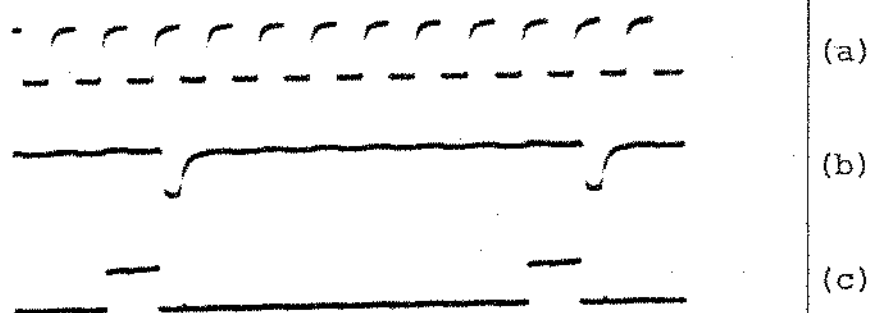


Fig. IV.11 - (a) relógio 2048 KHz;
 (b) onda $\overline{\text{Emt}}$;
 (c) palavra MCP "00000001"

IV.4 - Curvas de relação (S/N) para o codificador implementado

IV.4.1 - Equipamento de teste

A montagem da fig. IV.12 foi usada para simular o sistema de transmissão MCP, com a finalidade de se obter a curva de (S/N) para o codificador implementado.

As formas de onda nos pontos 1, 2, 3, 5 e 6 são dadas na fig. IV.13.

Na transmissão não se simulou as unidades de canal com as chaves para separação de canais, pois temos um único sinal de teste. A separação para se obter o sinal em um canal i é feita na recepção. Desta forma, no ponto 1 da fig. III.12, ao invés de se ter a onda PAM dos 30 canais na forma natural, tem-se a própria entrada de teste passada por um filtro passa-baixas com frequência de corte 3,4 KHz. O operacional de entrada é para fornecer uma impedância de 600 Ω para o gerador de sinal de teste.

No ponto 2 da fig. IV.12, tem-se as amostras PAM

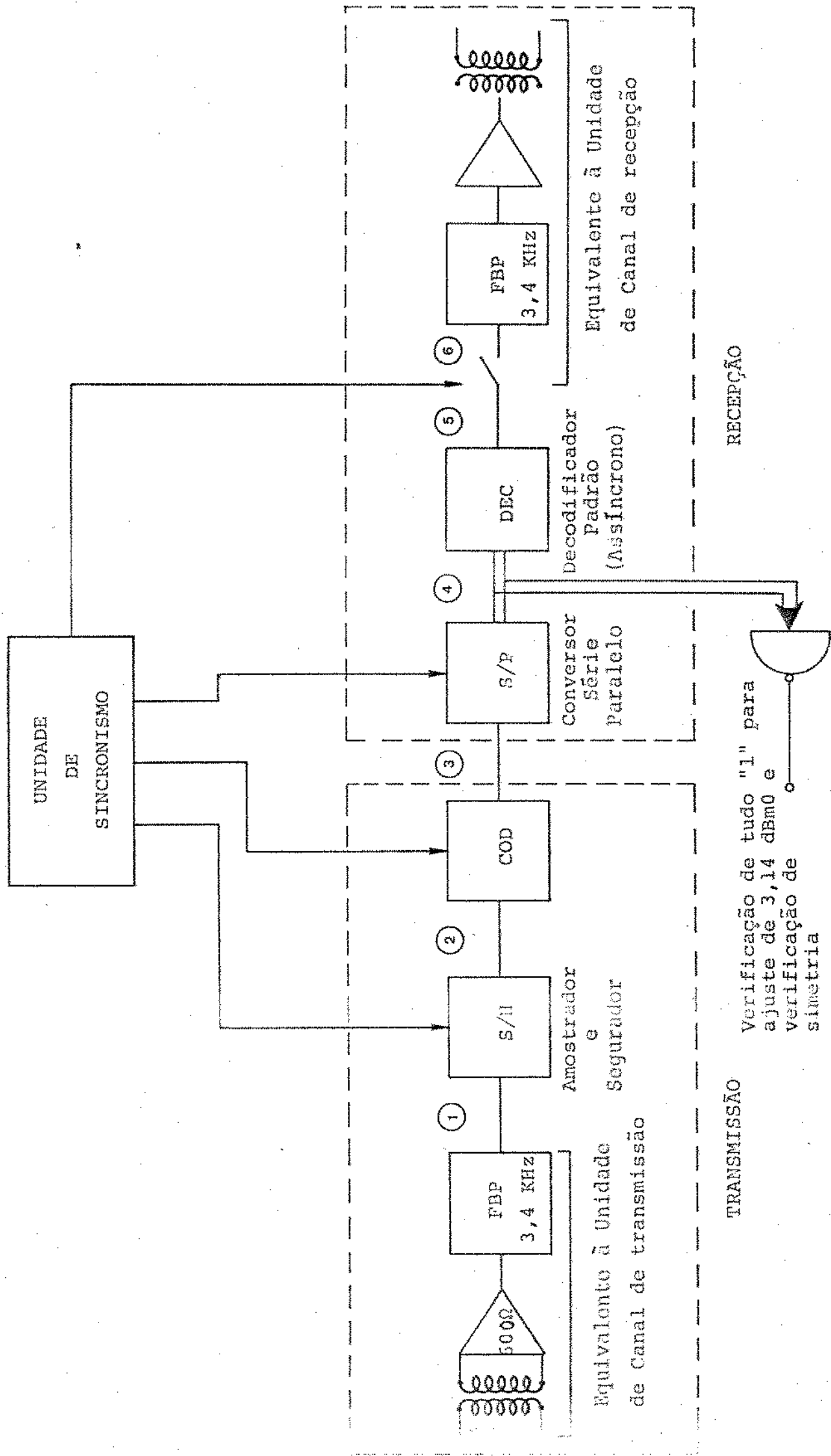


Fig. IV.12 - Esquema para simular um canal do sistema PCM, para se efetuar medida de (S/N)

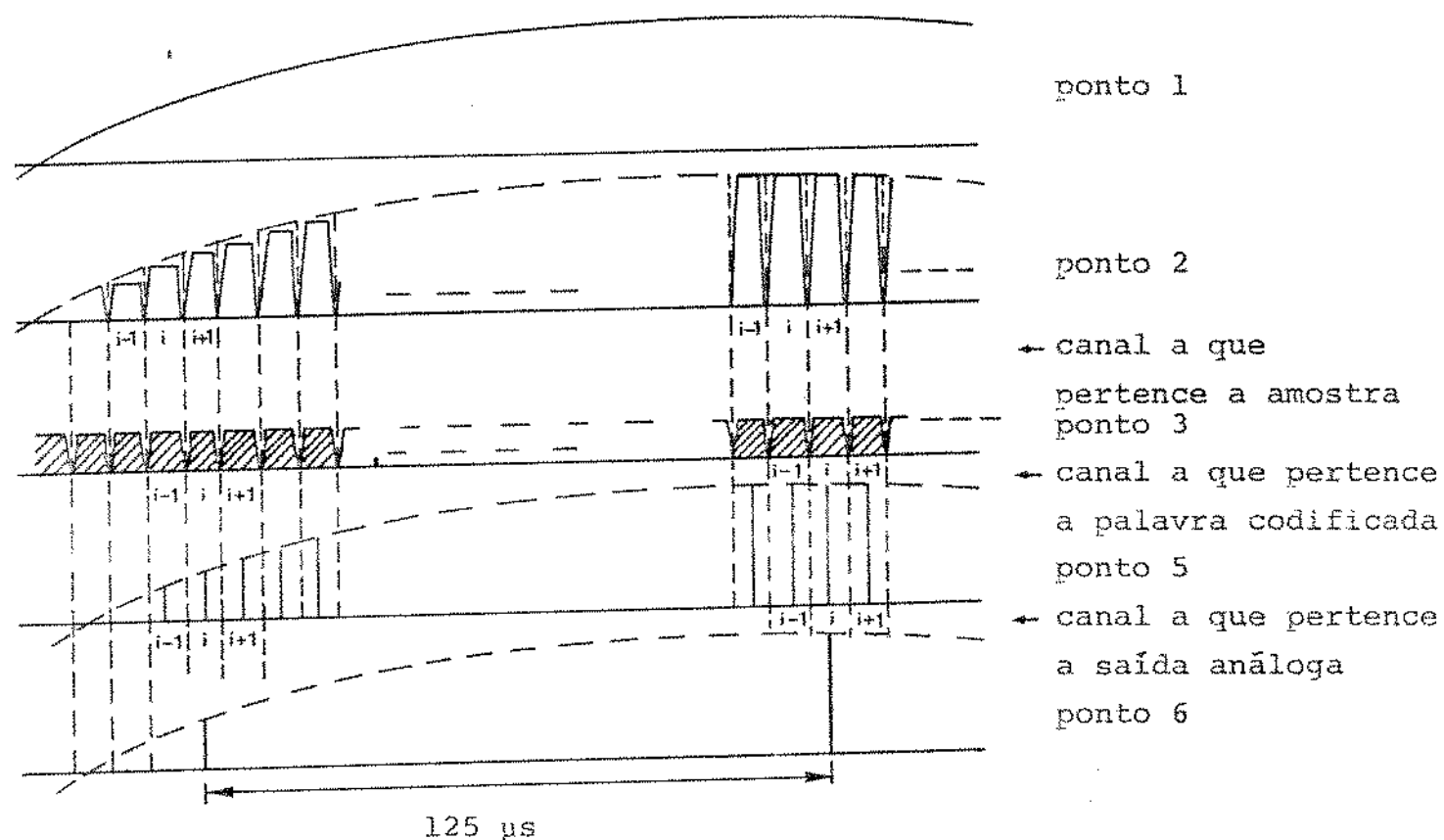


Fig. IV.13 - Sinais que aparecem nos pontos 1, 2, 3, 5 e 6 da fig. IV.12

instantâneas do sinal do ponto 1, com frequência de amostragem de 256 KHz.

As amostras são codificadas e no ponto 3 da fig. IV.12, tem-se as palavras digitais de cada amostra.

Os bits das palavras digitais são transmitidos se quencialmente a uma taxa de 2048 Kbit/s. São recebidos por um conversor série-paralelo para se obter os oito bits de cada pa lavra em paralelo, a fim de se proceder a decodificação (ponto 4).

O decodificador usado foi o PMI DAC-87 integrado em uma única pastilha. O decodificador opera assincronamente os bits recebidos e fornece um sinal análogo correspondente (ponto 5).

No ponto 6, o sinal é amostrado a cada $125 \mu s$ (8KHz), no intervalo de tempo correspondente ao canal i.

A saída do ponto 6 da fig. IV.12 passa por um filtro passa-baixas com frequência de corte 3,4 KHz e após este, temos a saída que se deseja do canal i para medição.

O sincronismo para todas as operações, é retirado de uma única unidade, a partir de um relógio interno de frequência 8196 KHz.

As medidas são feitas com os instrumentos:

PCM test Generator PCMG-1

e PCM test Receiver PCME-1

da Wandel U. Goltermann (27) e (28).

O esquema para a medição é mostrada na fig. IV.14. Com o PCMG-1, aplica-se à entrada do esquema da fig. IV.12, um sinal gaussiano de faixa estreita (350 a 550 Hz) ou uma onda senoidal de frequência 420 Hz, para a medição de (S/N).

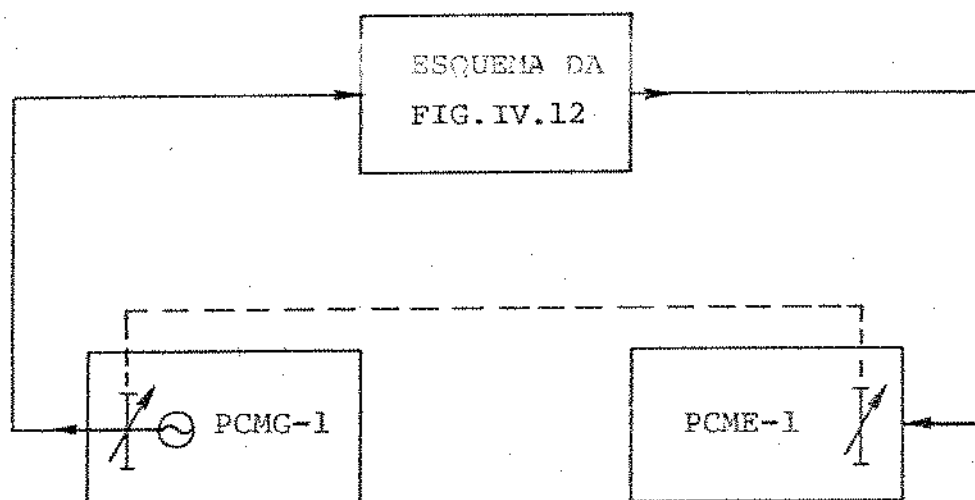


Fig. IV.14 - Esquema de medição

A saída decodificada do esquema dado na fig.IV.12, entra inicialmente em dois filtros passa faixa do PCME-1.

A faixa do filtro 1 se estende de 350 a 550 Hz e a do filtro 2 de 800 a 3350 Hz. Em seguida o aparelho efetua a medida da potência na saída dos filtros.

A medida efetuada na saída do filtro 1 corresponde à potência do sinal enviado, mais a potência de ruído de quantização dentro da faixa (fig. IV.15). A medida feita na saída do filtro 2 corresponde à potência do ruído de quantização na faixa 800-3350 Hz. O PCME-1 indica diretamente a relação (S/N) para toda a faixa, calculando por extrapolação os valores de potência de ruído de quantização fora da faixa do filtro 2. O ruído de quantização tem densidade espectral de potência constante dentro da faixa de áudio.

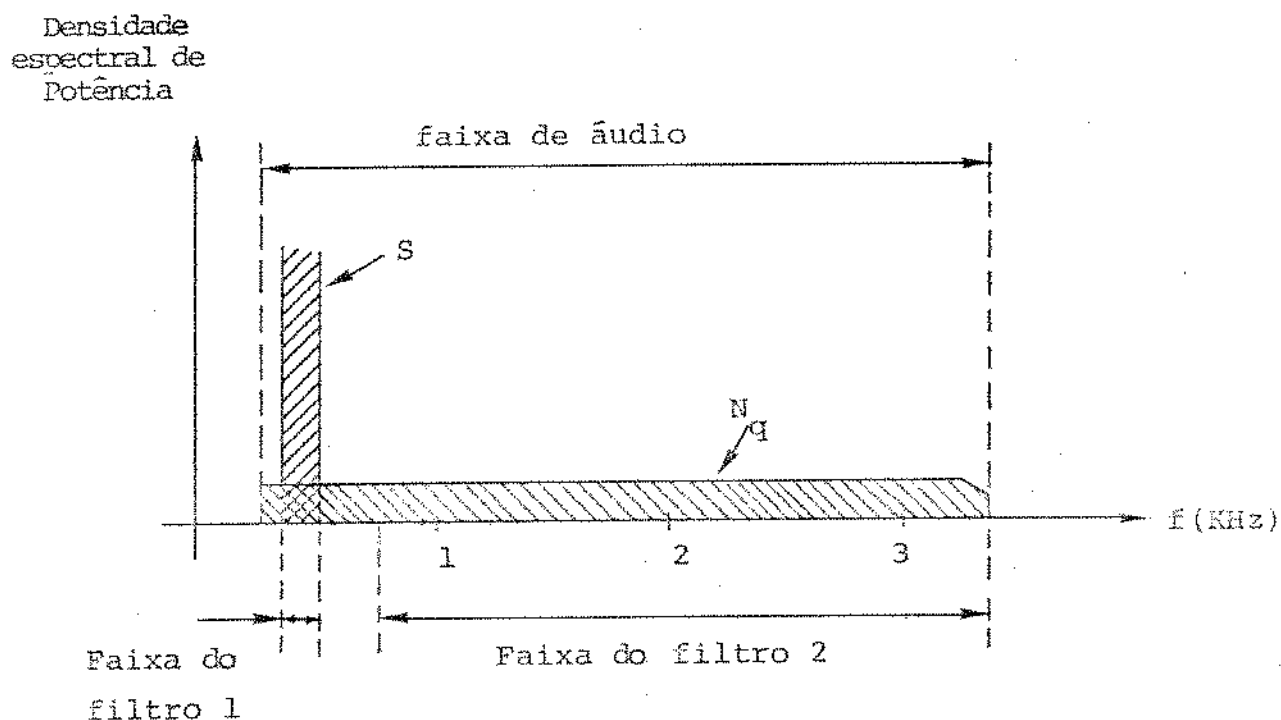


Fig. IV.15 - Densidades espectrais de potência para o sinal gaussiano gerado pelo PCME-1 e para o ruído de quantização. Faixa de passagem dos filtros 1 e 2 do PCME-1.

Qualquer outro esclarecimento a respeito das medi-
das feitas pelo PCMG-1 e PCME-1, é encontrado em (27) e (28).

A fig. III.1 fornece a curva de (S/N) para o caso
de ruído de quantização teórico, ou seja, para toda a faixa em
que o mesmo existe. Os aparelhos de teste só medem o ruído de
quantização até o limite superior de frequências 3,35 KHz. Sig-
nifica que há um fator de correção que deve ser feito nas cur-
vas da fig. III.1, correspondente ao ruído que não está sendo
medido. A comparação entre os dois é feita na fig. IV.16, no ca-
so de sinais gaussianos.

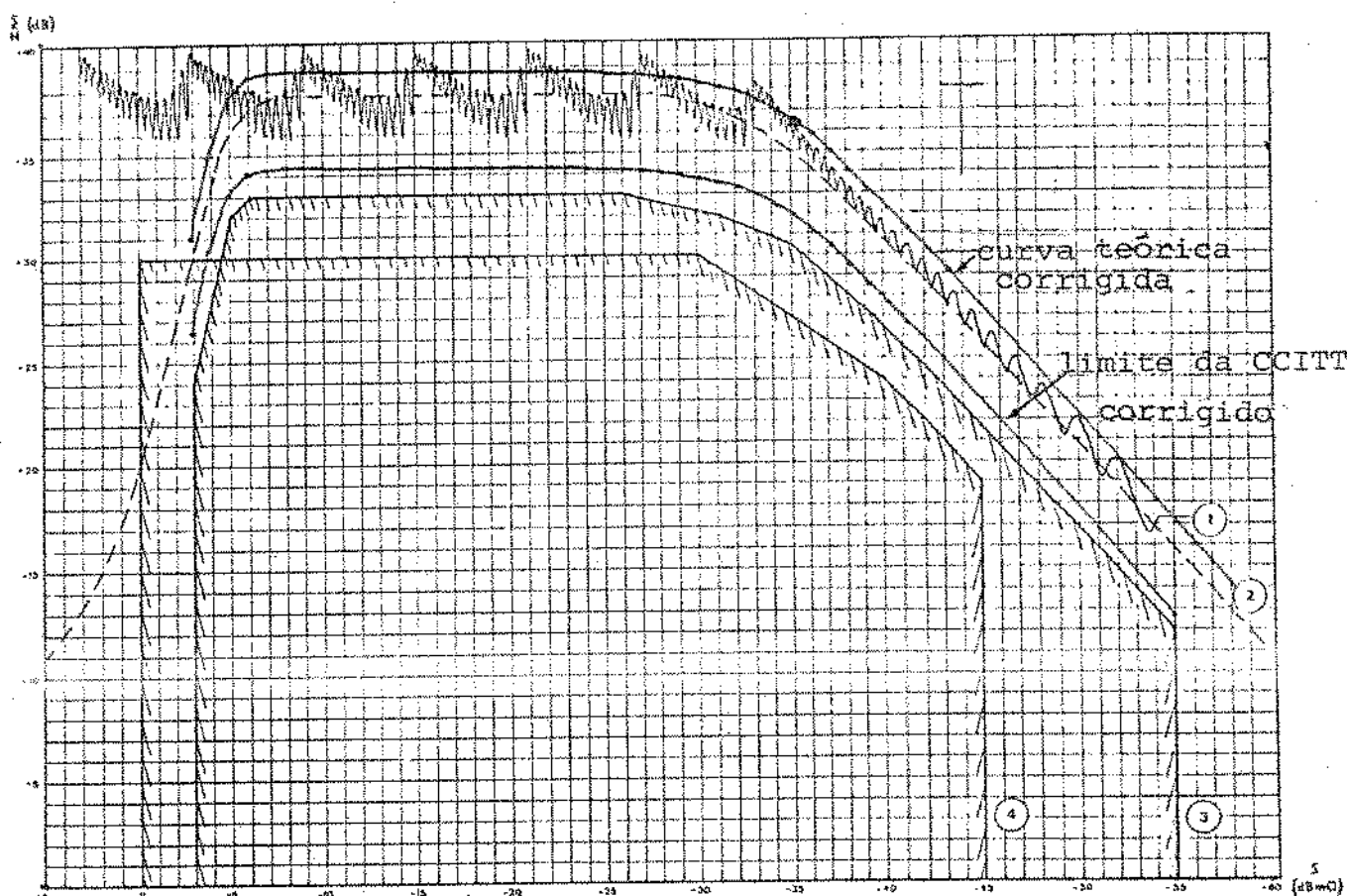


Fig. IV.16 - Comparação entre as curvas teórica e teórica corrigida
de (S/N) para o caso de sinais gaussianos.

Pode-se notar que a curva teórica está abaixo da curva corrigida cerca de 1,1dB para sinais gaussianos. O novo limite para o desempenho que deve ser obtido, foi calculado retirando-se 4,5 dB dos valores da curva corrigida. Para sinais senoidais vale o mesmo procedimento.

No esquema da fig. IV.12, os bits b_2 a b_8 da palavra digital correspondente ao valor da maior amplitude do sinal de entrada (positivo ou negativo), é passado por um circuito digital para detecção de "tudo 1". Este procedimento permite verificar a simetria da codificação e ajustar o ponto de +3,14 dBm0, especificado pelo CCITT (5). O ajuste para o valor +3,14 dBm0 é feito por meio de ganho na entrada do PCME-1 e saída do PCMG-1 (fig. IV.14).

IV.4.2 - Resultado dos testes

As curvas da relação (S/N) para o codificador implementado, são as mostradas nas figuras IV.17 e IV.18, quando a entrada é gaussiana e senoidal, respectivamente. Ambas estão comparadas com as curvas teóricas da fig. III.1. O valor 1,1dB, devido ao aumento de (S/N) devido à faixa do filtro 2 de recepção já foi corrigido.

No caso de entrada gaussiana, para sinais maiores que 5,5 dB, a curva do codificador está acima da curva teórica. O resultado é devido ao fato que, para tais valores de entrada, o ruído de quantização passa a apresentar componentes dentro da faixa do filtro 1 da recepção e tais componentes serão medidas como sinal.

Desde entrada com potência 6 dB até 17 dB aproximadamente, o desempenho do conjunto está cerca de 4 dB acima do especificado pelo CCITT. A partir daí, o desempenho piora em relação à faixa inicial e atinge um desempenho mínimo em torno de 38 dB de potência de entrada, onde o desempenho do conjunto está a apenas 1 dB acima do limite.

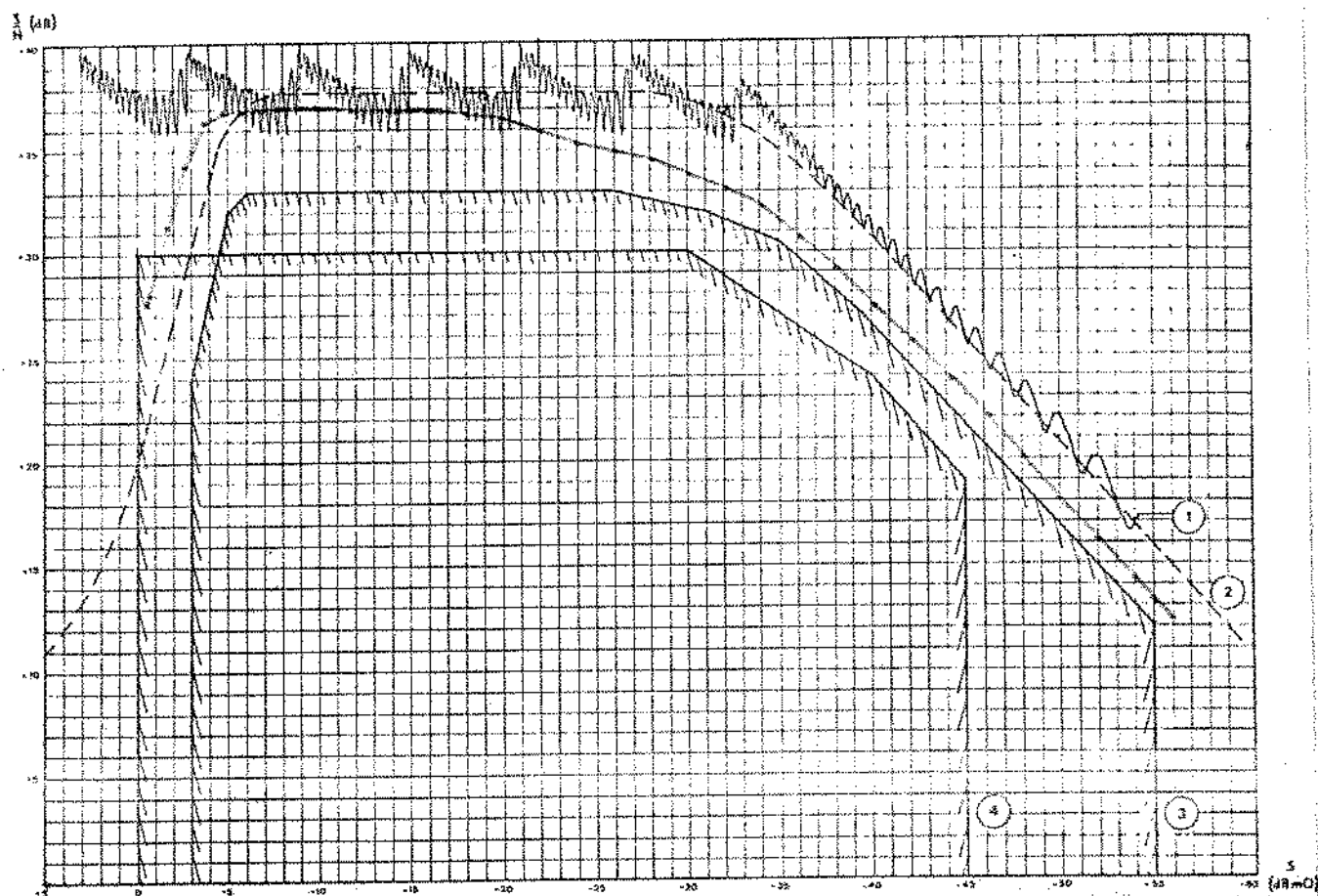


Fig. IV.17 - Curva de relação (S/N) para o codificador implementado. Entrada gaussiana.

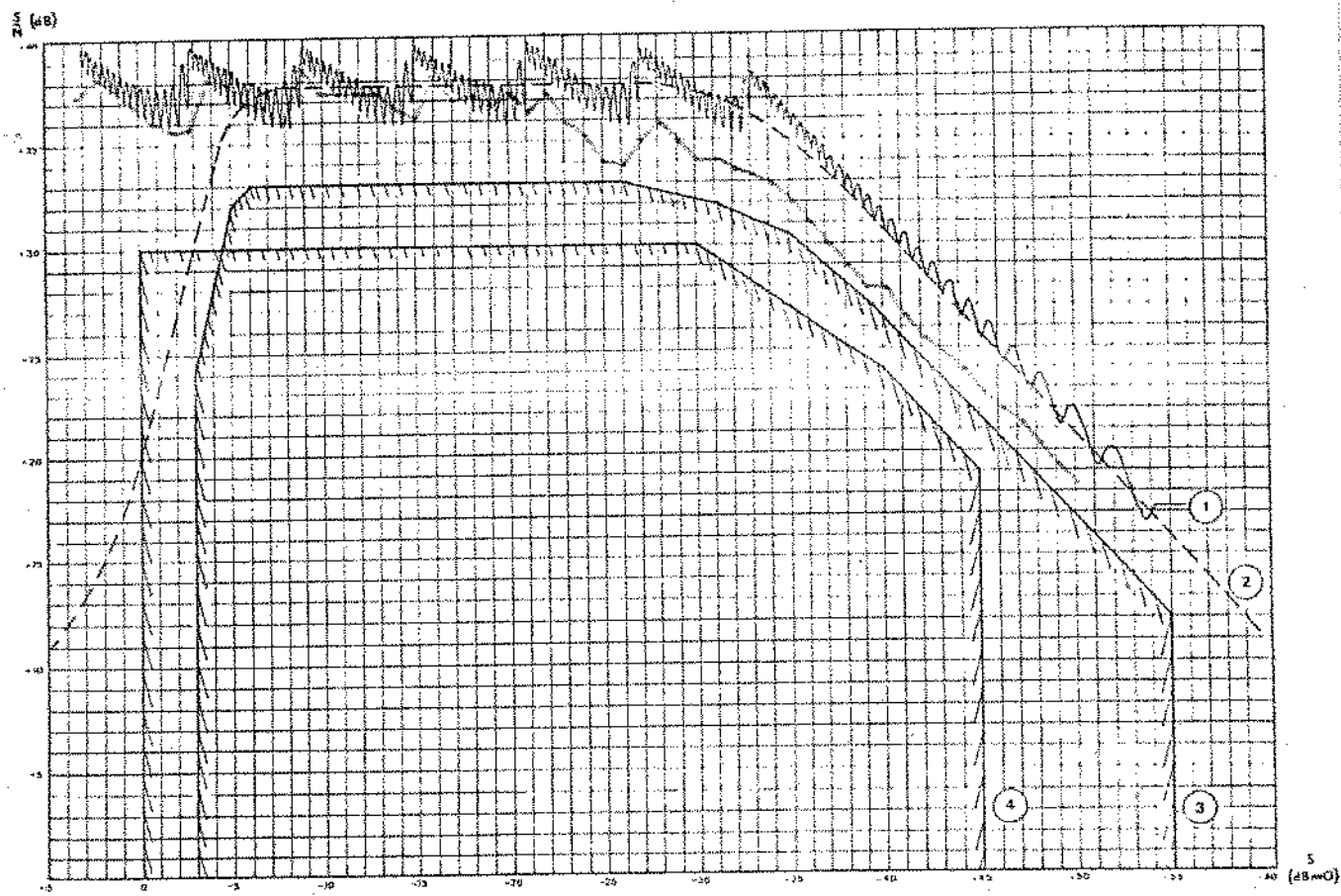


Fig. IV.18 - Curva de relação (S/N) para o codificador implementado. Entrada senoidal.

O comportamento é idêntico no caso de entrada senoidal, a menos de uma melhora para todos os níveis de entrada.

IV.5 - Conclusões

Devido ao princípio de codificação utilizado, a implementação física do codificador tem que ser feita com um alto número de componentes. Este fato implica em um alto consumo de potência (4,85 W, conforme a tabela II.12), e um espaço maior a ser ocupado no bastidor do sistema.

A precisão requerida nas malhas e o alto número de ajustes, também se transformam em problema do ponto de vista industrial.

O desempenho do codificador pode ser mantido e seu custo diminuído, desde que os comparadores SN72810 sejam trocados por outros melhores. A principal modificação que poderia ser feita, seria a troca das malhas de resistores para as tensões de referência, por uma única malha na parte não linear e outra na parte linear, desde que o novo comparador tivesse corrente de polarização menor (por exemplo, o LM219). Além disso, a relação linear entre os valores de tensão na parte linear, permitiria o uso de muitos resistores com o mesmo valor, além de diminuir o número de resistores utilizados nas duas malhas.

Da análise de erros que podem influir no desempenho do codificador, pode-se concluir que os segmentos com menor nível de tensão, são extremamente sensíveis a ruído, a níveis de "off-set" após a retificação e a erros de retificação.

Durante os testes práticos, pode-se verificar o desempenho do codificador, quando os erros acima são introduzidos. Além disso, erros nos ganhos dos amplificadores, influem bastante no desempenho para baixos níveis de entrada. Pode-se concluir destes resultados que um codificador que não apresen

ta retificação do sinal, deve apresentar um desempenho melhor e que o mesmo deve ocorrer quando o codificador opera menos com os sinais de baixo nível de tensão.

Também durante os testes práticos verificou-se a importância do ajuste de "off-set" dos operacionais que não compõem o retificador. O desempenho é bastante afetado quando tais níveis não são ajustados, mesmo para sinais de entrada com amplitudes mais altas.

O desempenho do codificador pode ser considerado bom (figuras IV.17 e IV.18), principalmente, se for considerado que o teste para (S/N) foi feito com circuitos montados na própria bancada, sem um "lay-out" estudado e sem nenhuma blindagem para o ruído "TTL" (No bastidor onde vai todo o sistema, cada placa de circuito impresso está separada da outra por uma blindagem).

O tipo de codificador também pode ser usado em outras aplicações, como:

- sistemas MCP de 120 canais com codificação própria;
- codificação de sinais de vídeo a 16 MHz;

devido ao tempo disponível de codificação. A primeira das sugestões também é feita pelo CCITT, pois os sistemas de uso de 120 canais operam 4 sistemas de 30 canais em paralelo.

APÊNDICE I

DIAGRAMAS DE BLOCO

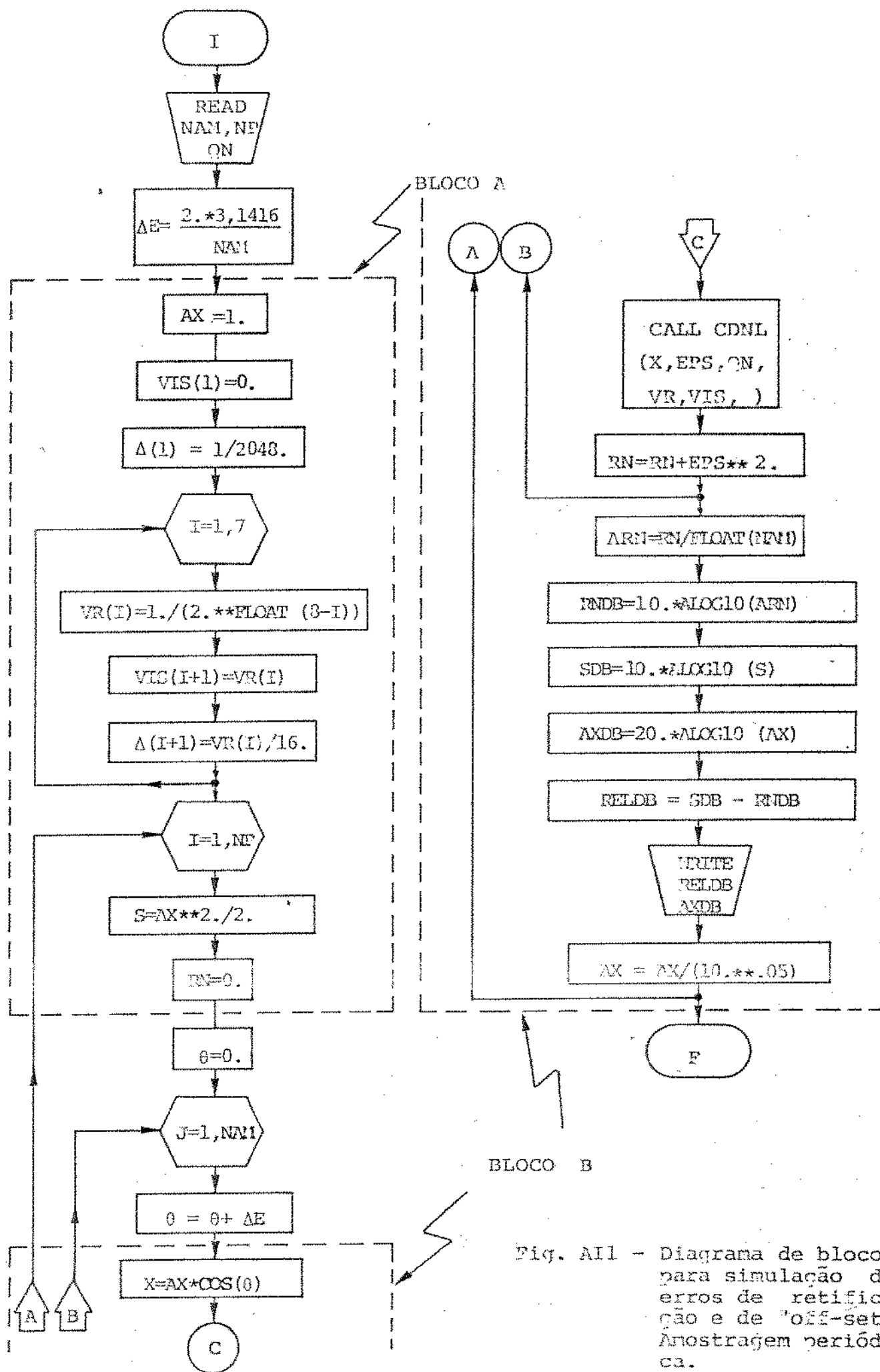


Fig. A11 - Diagrama de blocos para simulação de erros de retificação e de "off-set". Amostragem periódica.

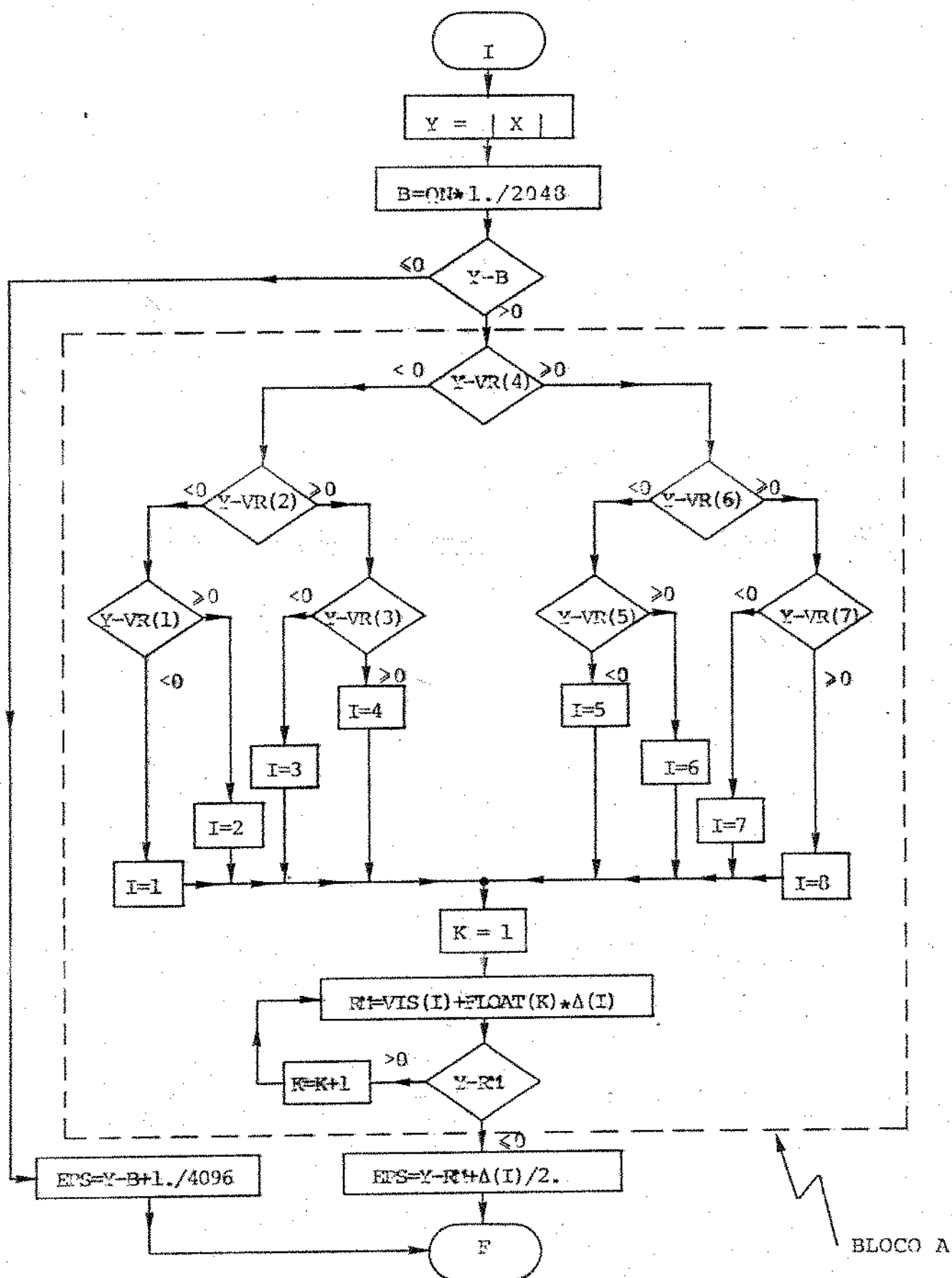


Fig. A12 - Subrotina para codificação com erro de retificação - caso a.

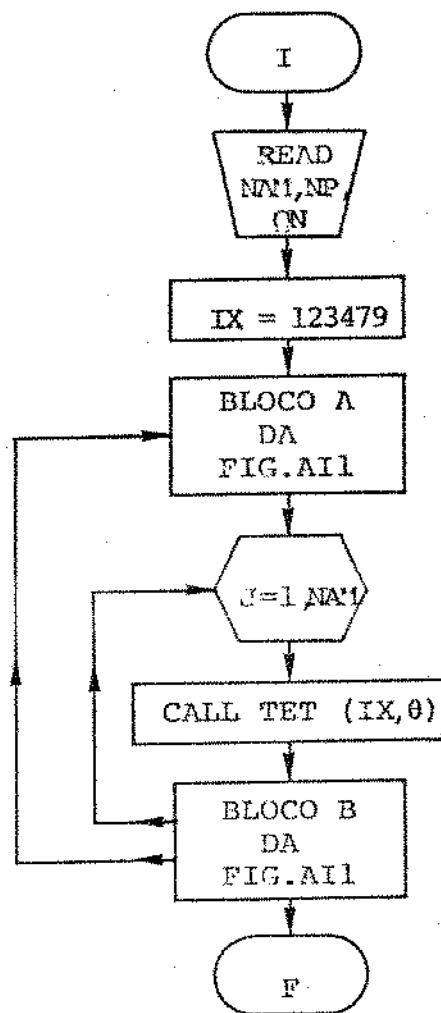


Fig. AI3 - Diagrama de blocos para simulação de erros de retificação e "off-set" - amostragem aleatória.

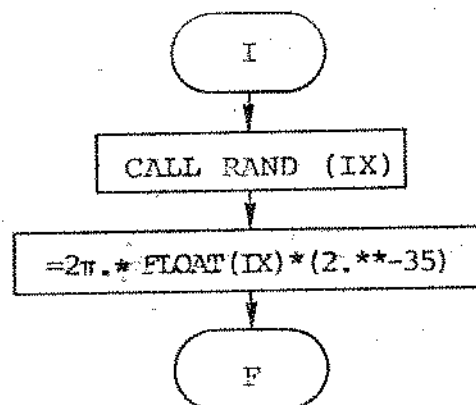


Fig. AI4 - Diagrama de blocos da subrotina TET

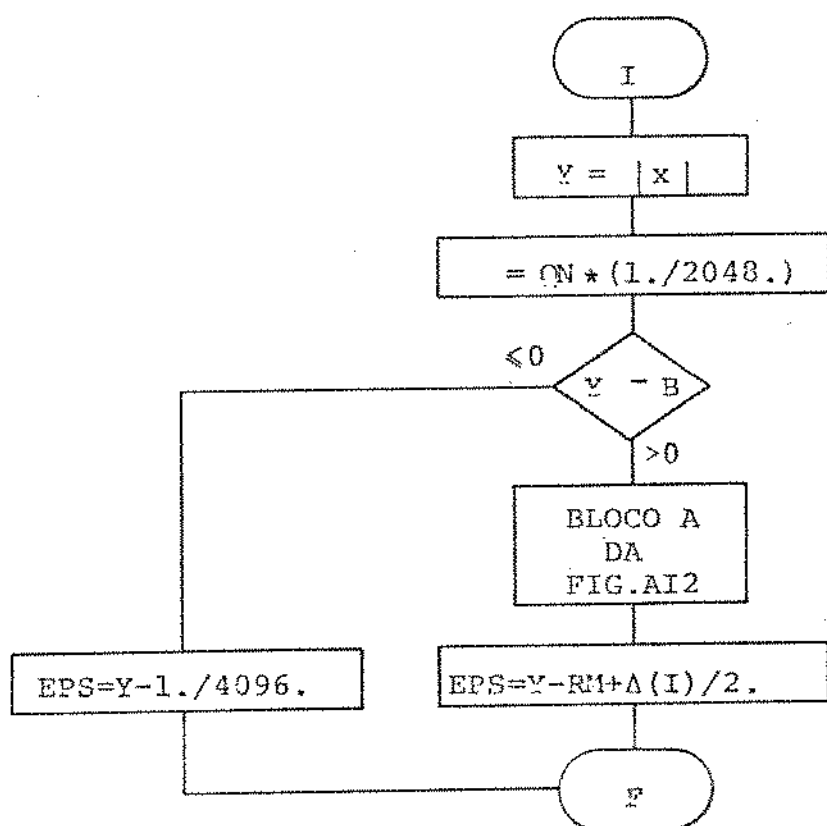
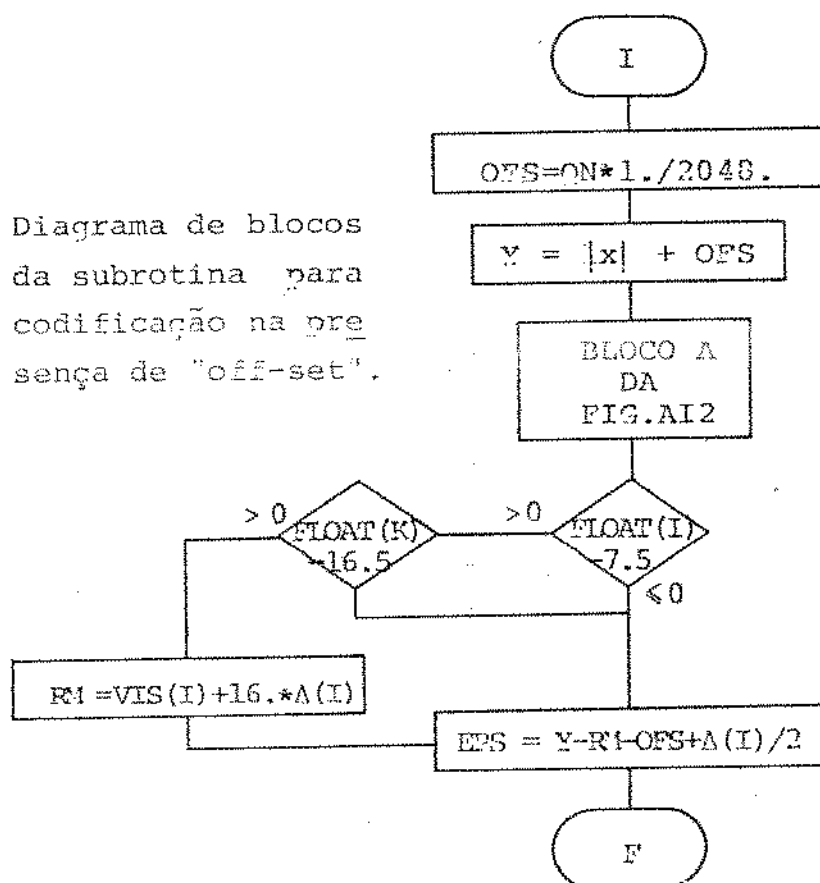


Fig. AI5 - Diagrama de blocos da subrotina para codificação com erro de retificação - caso b

Fig. AI6 - Diagrama de blocos da subrotina para codificação na presença de "off-set".



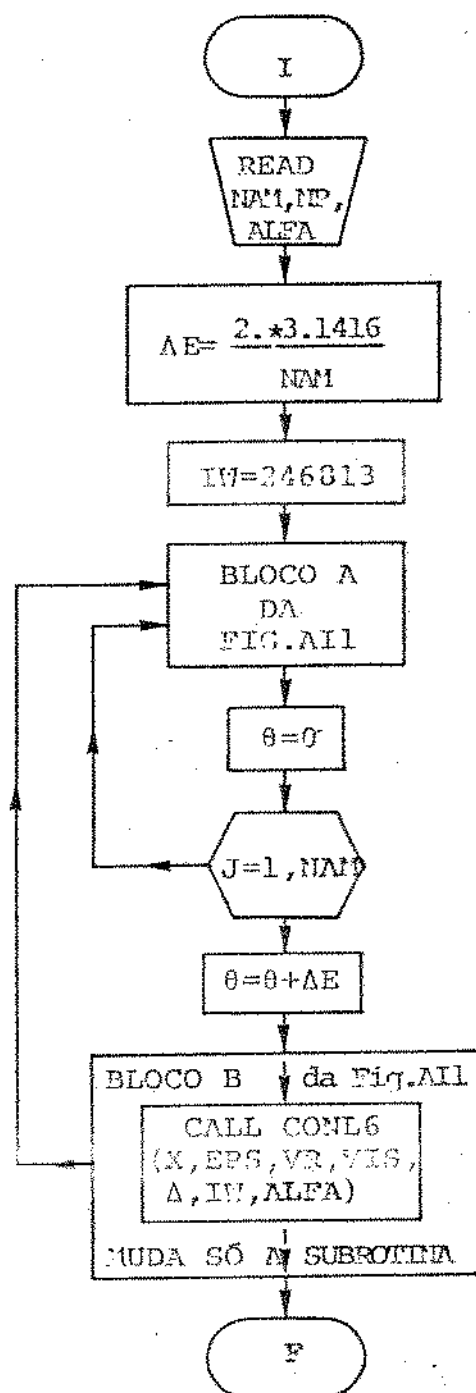


Fig. A17 - Diagrama de blocos para simulação de erro de deslocamento nos níveis de referência.

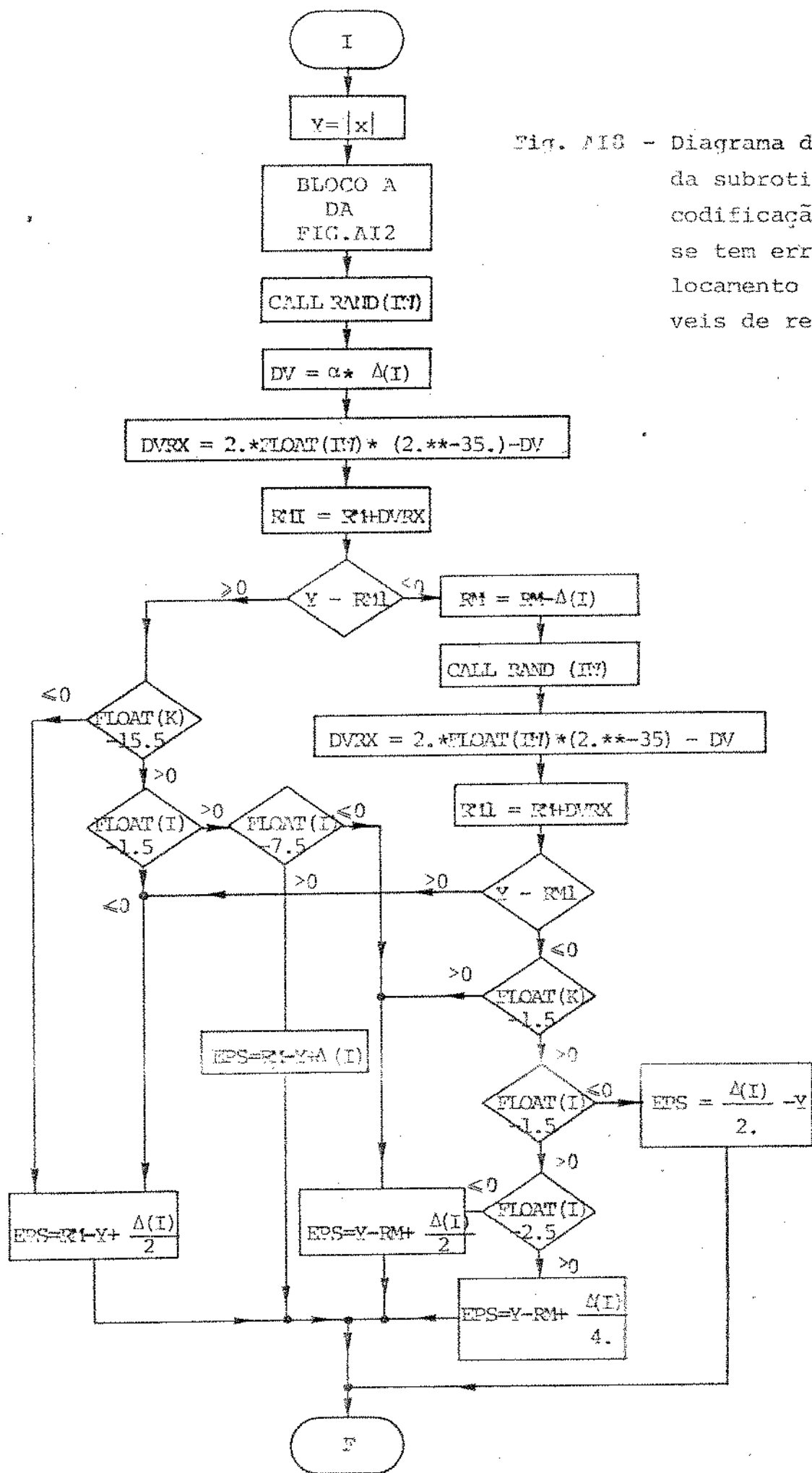


Fig. A13 - Diagrama de blocos da subrotina para codificação quando se tem erro de deslocamento nos níveis de referência.

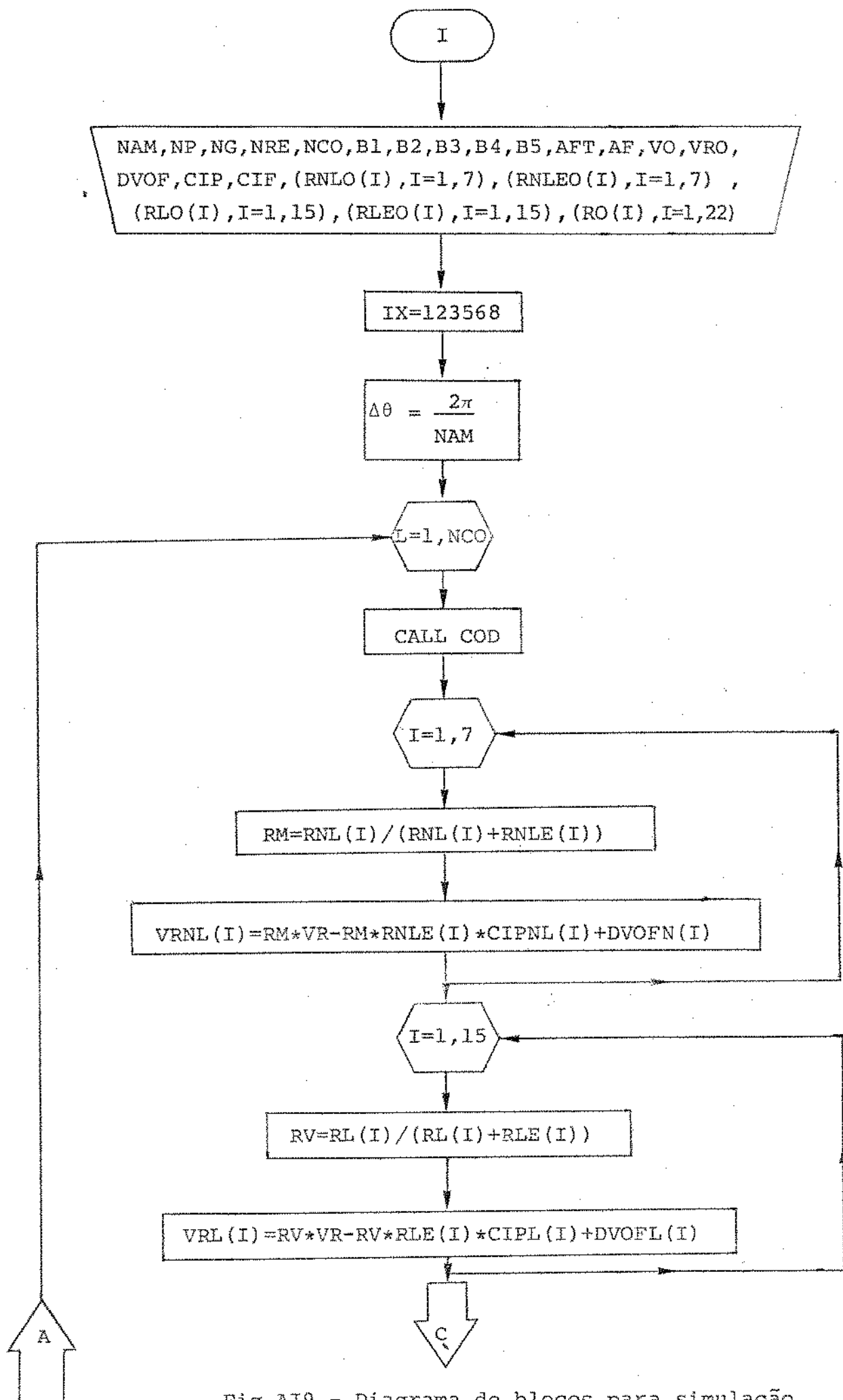
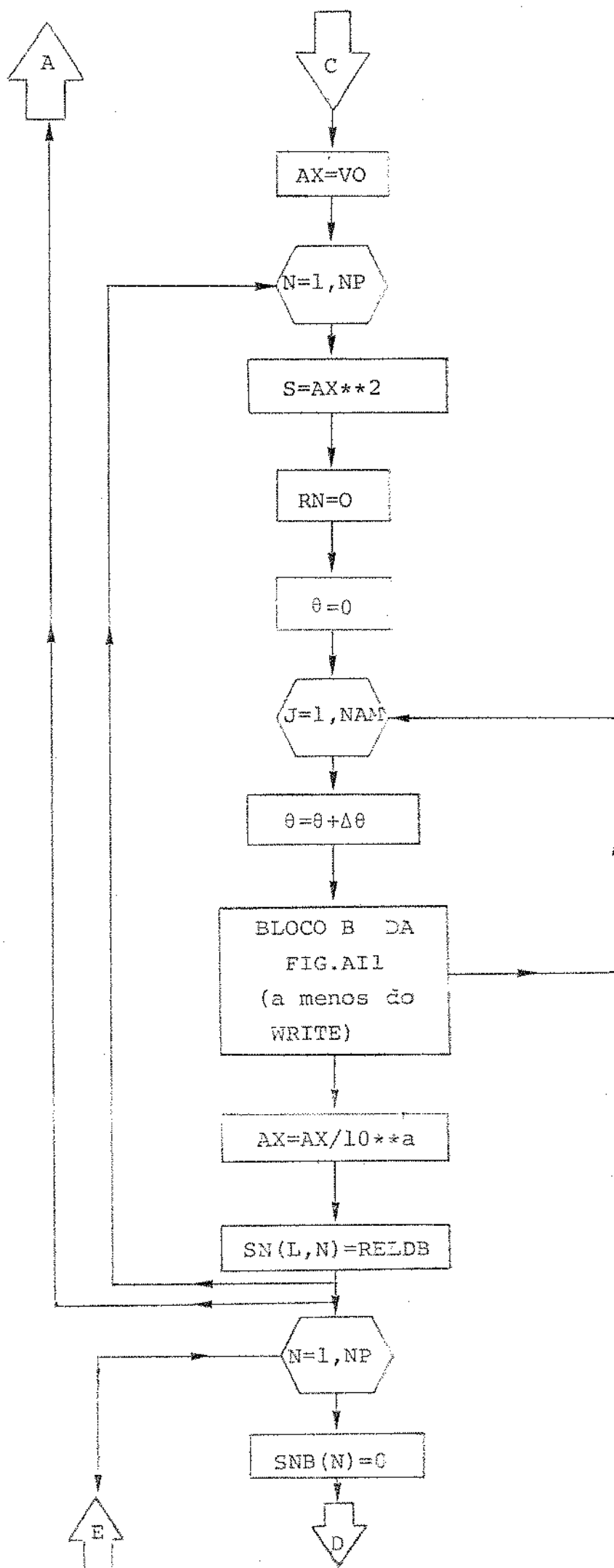


Fig.A19 - Diagrama de blocos para simulação do codificador implementado.



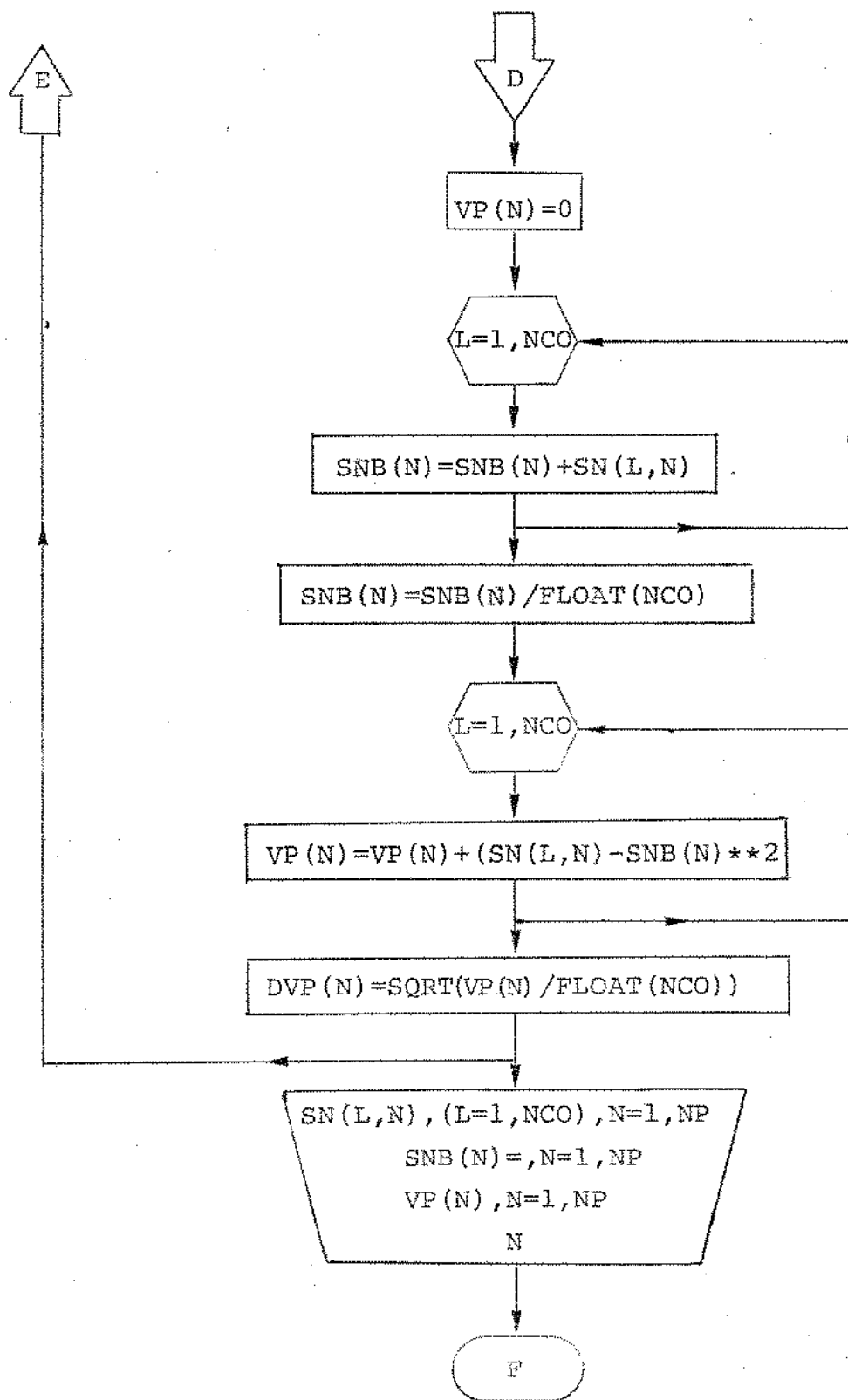


Fig.A19 - (Continuação)

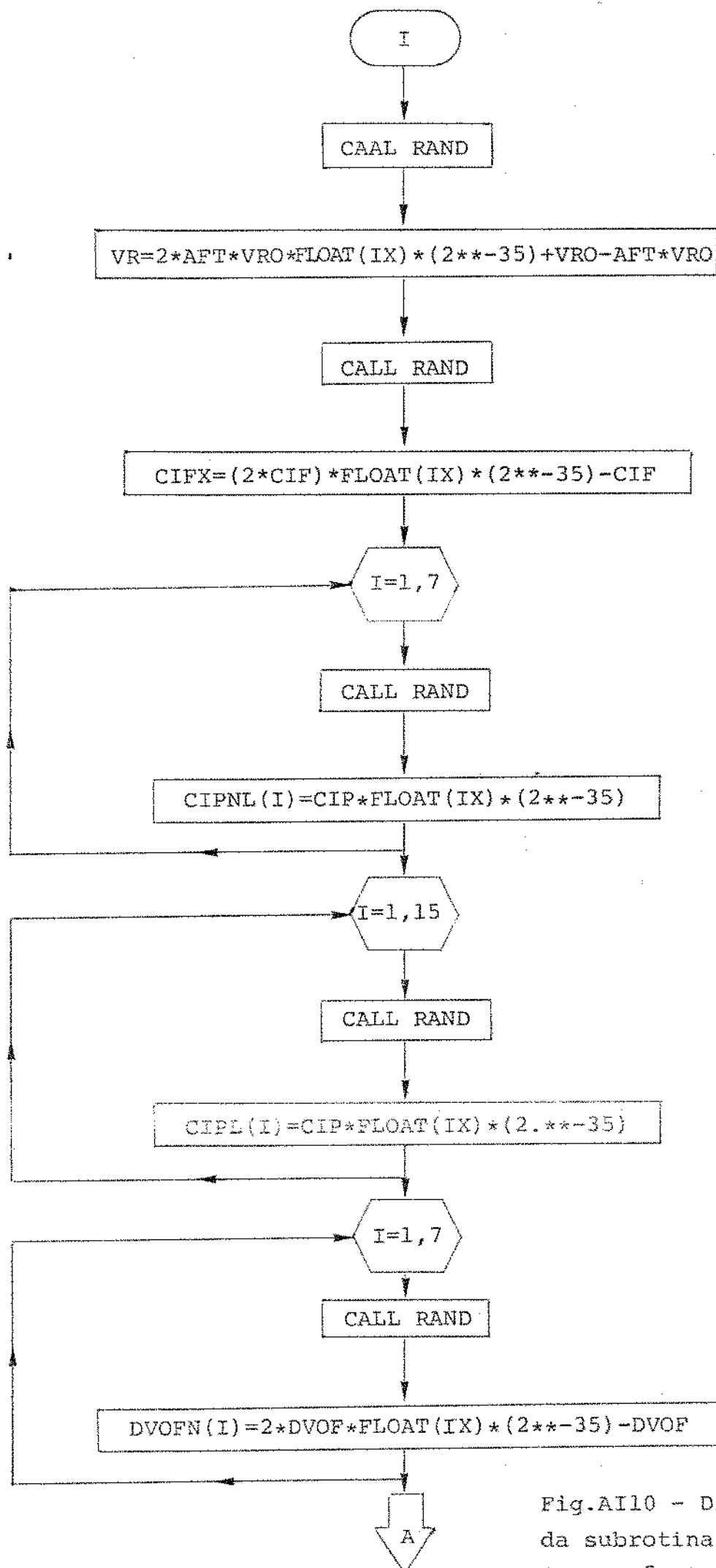


Fig.A110 - Diagrama de blocos da subrotina COD para cálculo dos parâmetros variáveis em esta modificação.

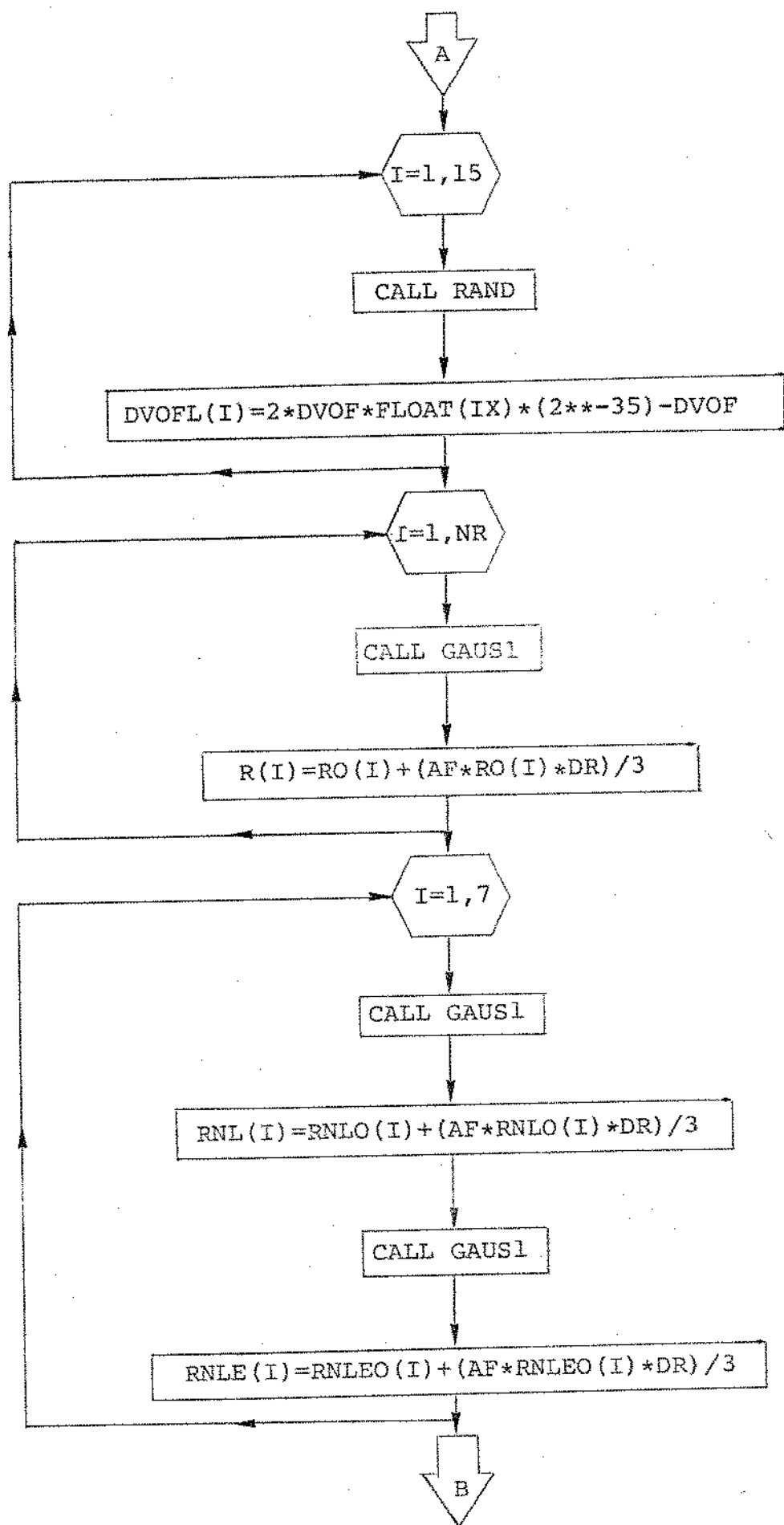


Fig.A110 - (Continuação)

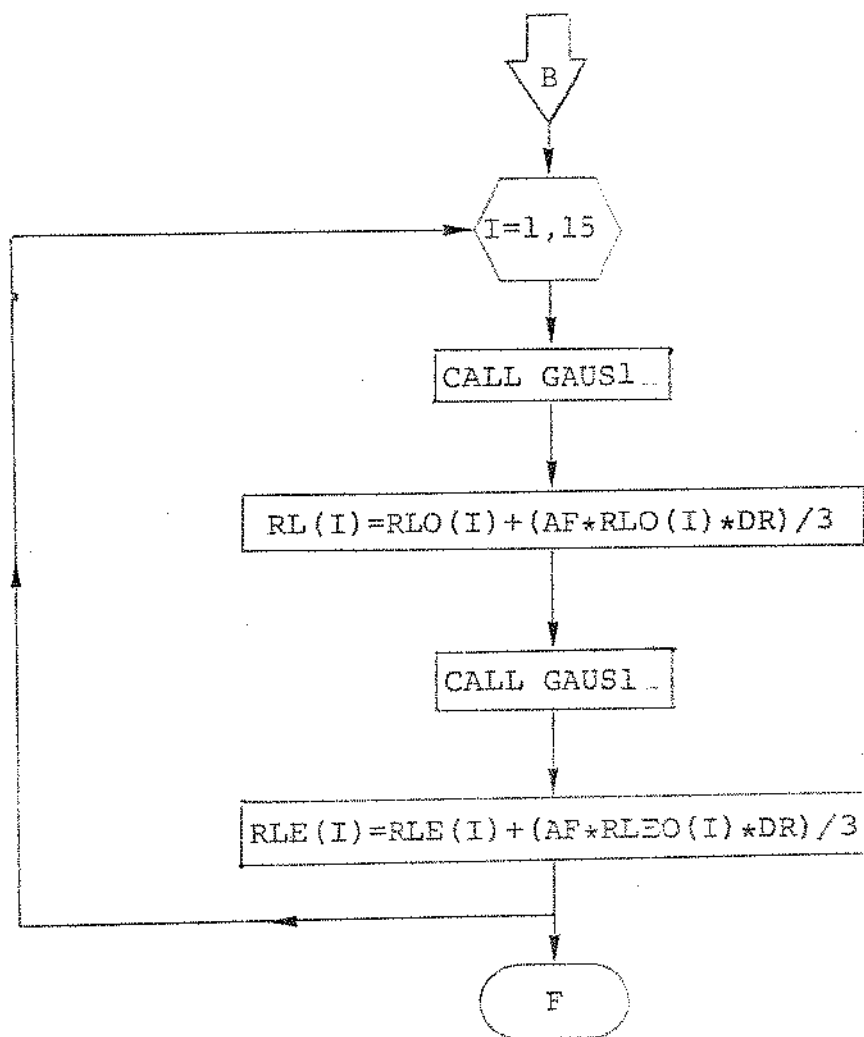


Fig.A110 - (Continuação)

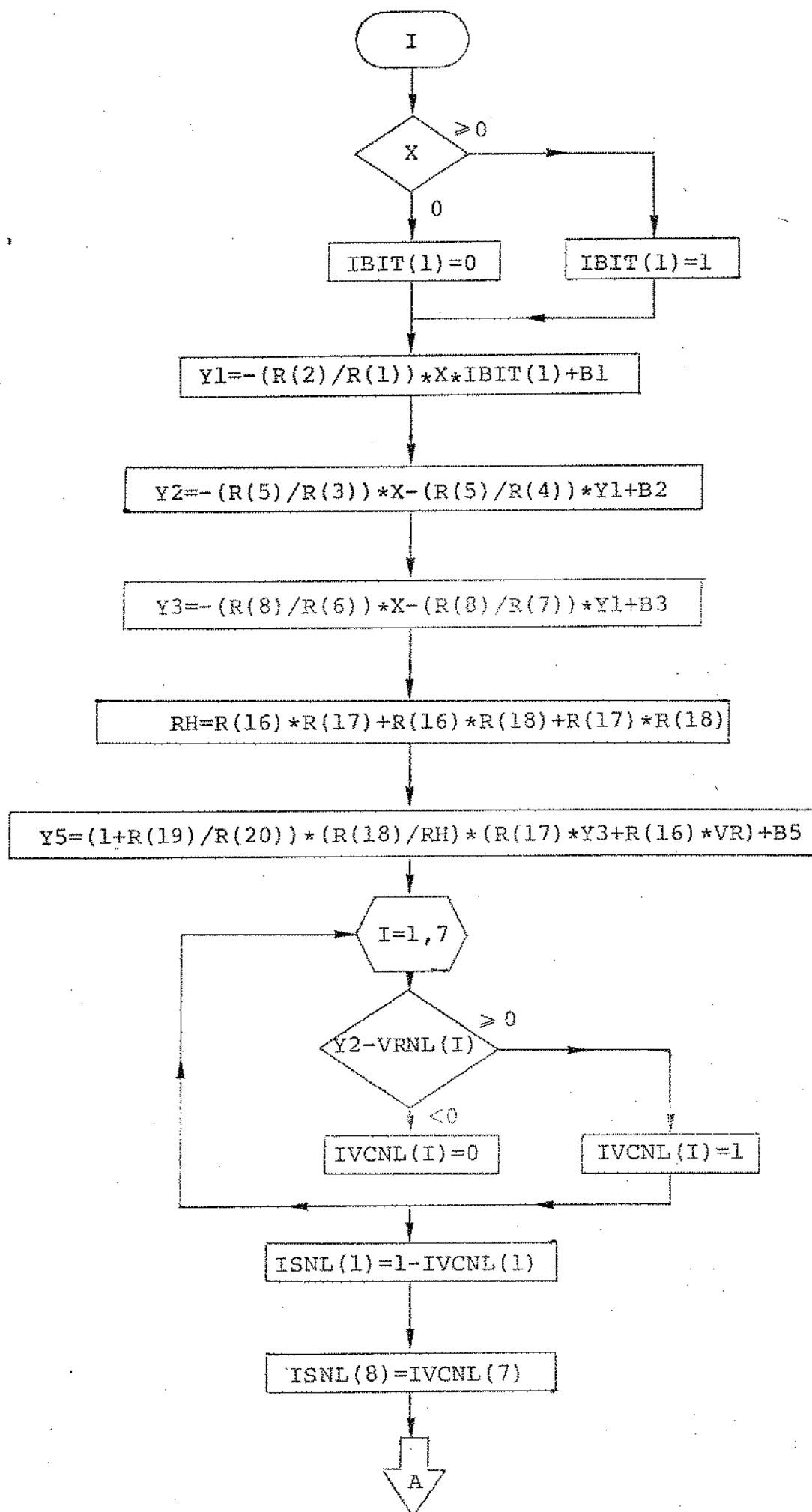


Fig. A111 - Diagrama de blocos da subrotina de codificação para simulação do codificador

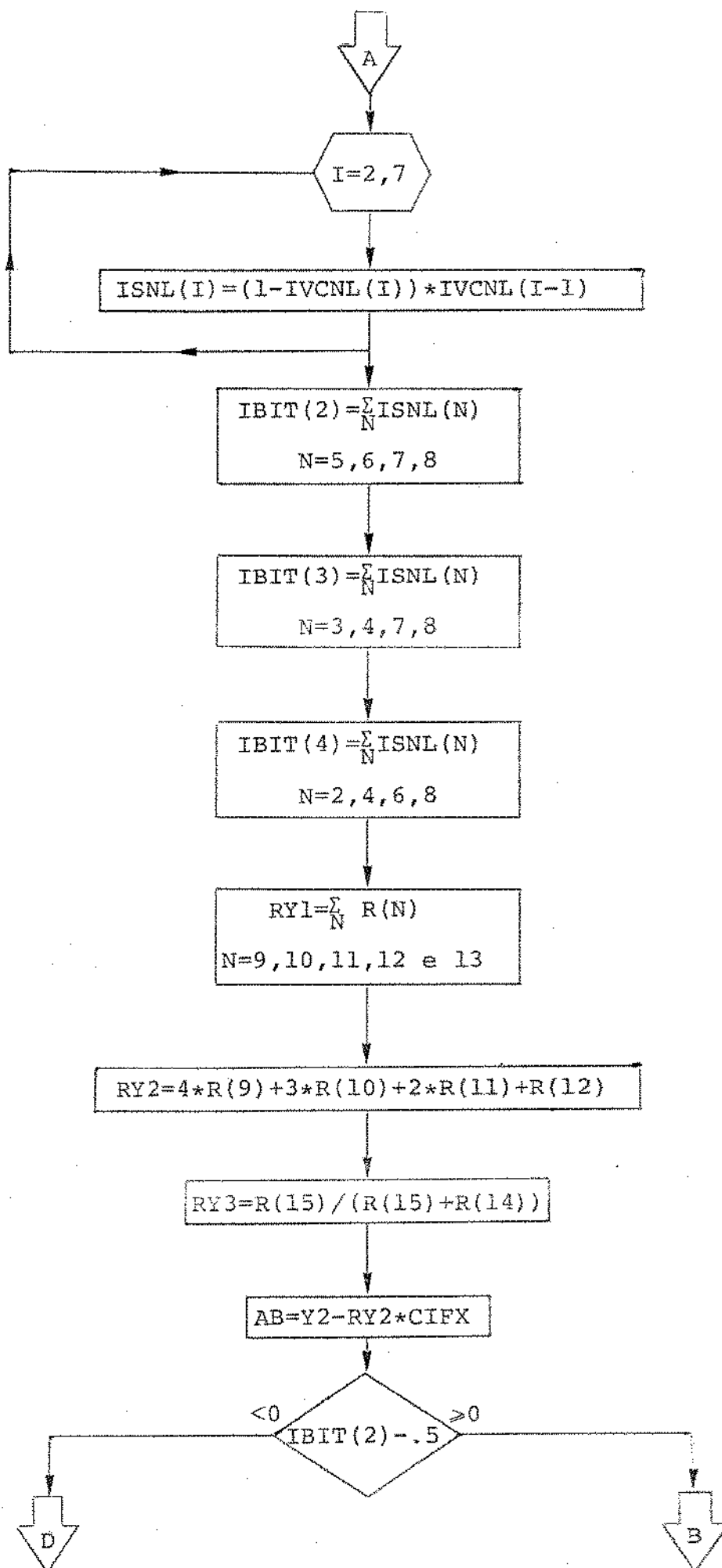


Fig. A111 - (Continuação)

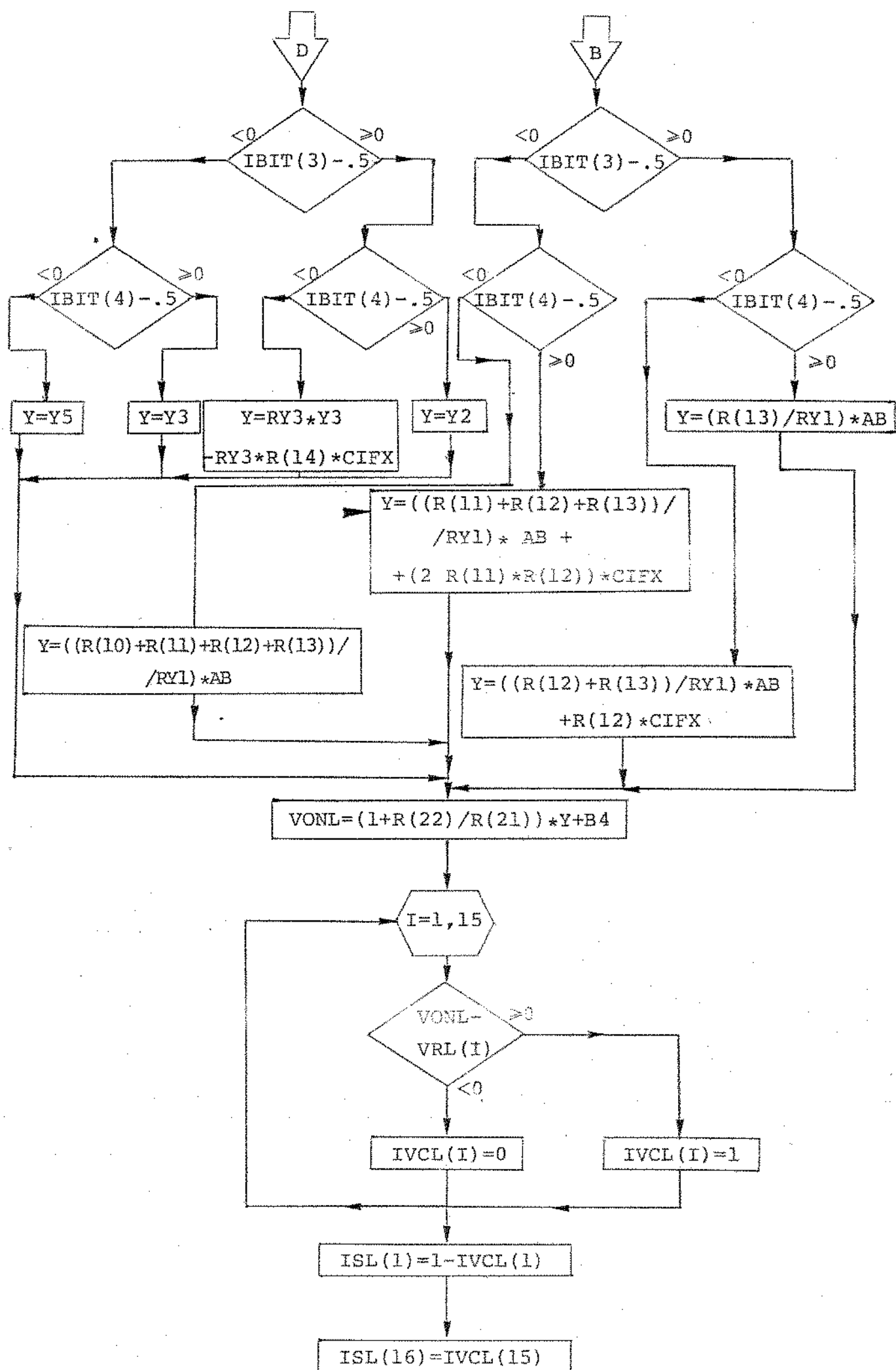


Fig. A111- (Continuação)

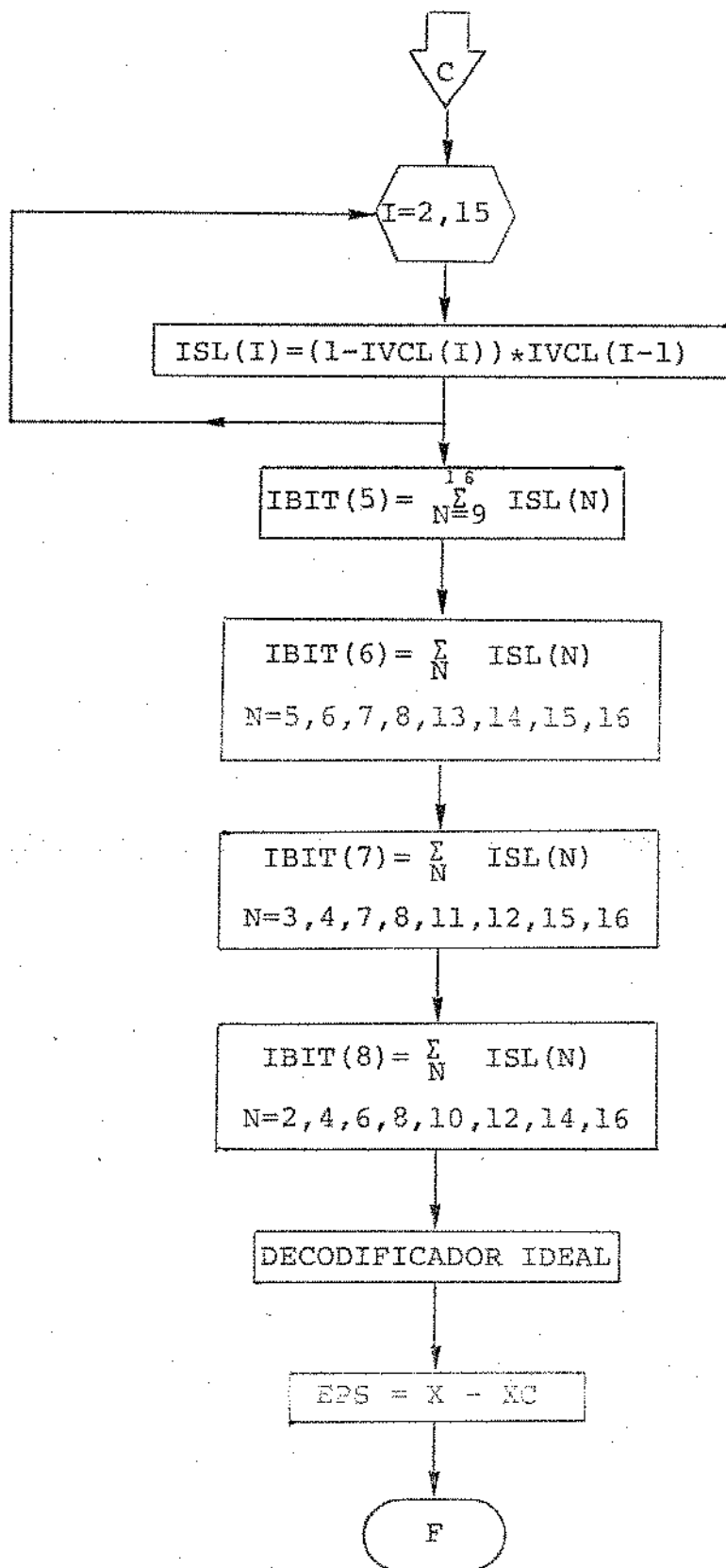


Fig. A111 - (Continuação)

APÊNDICE II

LISTAGENS DOS
PROGRAMAS FORTRAN
USADOS

```

TY YNLP2, F4
      DIMENSION VR(7), VIS(8), DELTA(8)
      NR=31
      NN=32
      READ (NR, 1) NAM, NP, QN
1     FORMAT(40)
      DELTE=2. *3. 14159/FLOAT(NAM)
      RX=1.
      VIS(1)=0.
      DELTA(1)=1. /2048.
      DO 2 I=1, 7
      VR(I)=1. / (2. **FLOAT(S-I))
      VIS(I+1)=VR(I)
      DELTA(I+1)=VR(I)/16.
2     CONTINUE
      DO 5 I=1, NP
      S=RX**2. /2.
      RN=0.
      TETA=0.
      DO 3 J=1, NAM
      TETA=TETA+DELTE
      X=RX*COS(TETA)
      CALL CDNL2(X, EPS, QN, VR, VIS, DELTA)
      RN=RN+EPS**2.
3     CONTINUE
      ARN=RN/FLOAT(NAM)
      RNDB=10. *ALOG10(ARN)
      SDB=10. *ALOG10(S)
      AXDB=20. *ALOG10(AX)
      RELDB=SDB-RNDB
      WRITE(NW, 4) RELDB, AXDB
4     FORMAT(5X, 2F14. 7)
      AX=AX/(10. **, 85)
5     CONTINUE
      STOP
      END

```

Listagem AIII - Programa FORTRAN para simulação
de erros de retificação e de
"off-set". Amostragem periódica.

TY TET. F4

```
SUBROUTINE TET(IX,TETA)
CALL RAND (IX)
TETA=2.*3.14159*FLOAT(IX)*(2.**-35)
RETURN
END
```

Listagem AII2 - Programa FORTRAN para a
subrotina TET

TY CDNL2. F4

```
SUBROUTINE CDNL2(X,EPS,GN,VR,VIS,DELTA)
DIMENSION VR(7),VIS(8),DELTA(8)
Y=ABS(X)
B=GN*(1./2048.)
IF(Y-B) 29,29,10
10 IF(Y-VR(4)) 11,12,12
11 IF(Y-VR(2)) 13,14,14
12 IF(Y-VR(6)) 15,16,16
13 IF(Y-VR(1)) 17,18,18
14 IF(Y-VR(3)) 19,20,20
15 IF(Y-VR(5)) 21,22,22
16 IF(Y-VR(7)) 23,24,24
17 I=1
GO TO 25
18 I=2
GO TO 25
19 I=3
GO TO 25
20 I=4
GO TO 25
21 I=5
GO TO 25
22 I=6
GO TO 25
23 I=7
GO TO 25
24 I=8
25 K=1
26 RM=VIS(I)+FLOAT(K)*DELTA(I)
IF(Y-RM) 28,28,27
27 K=K+1
GO TO 26
28 EPS=Y-RM+DELTA(I)/2.
GO TO 30
29 EPS=Y-B+(1./4096.)
30 RETURN
STOP
END
```

Listagem AII3 - Programa FORTRAN da subrotina de
codificação com erro de retifica
ção. (caso a)

TY YNL02, F4

```
      DIMENSION VR(7),VIS(8), DELTA(8)
      NR=31
      NM=32
      READ (NR,1)NAM,NF,OM
1     FORMAT(46)
      IX=123479
      AX=1.
      VIS(1)=0.
      DELTA(1)=1./2048.
      DO 2 I=1,7
      VR(I)=1./((2.**FLOOR(8-I)))
      VIS(I+1)=VR(I)
      DELTA(I+1)=VR(I)/16.
2     CONTINUE
      DO 5 I=1,NF
      S=RR**2./2.
      RN=0.
      DO 3 J=1,NAM
      CALL TET(IX,TETA)
      X=AX*COS(TETA)
      CALL CONL2(X,EP5,OM,VR,VIS,DELTA)
      RN=RN+EP5**2.
3     CONTINUE
      ARN=RN/FLOAT(NAM)
      RND8=10.*ALOG10(ARN)
      SDB=10.*ALOG10(S)
      RND8=20.*ALOG10(AX)
      RELO8=SDB-RND8
      WRITE(NM,4)RELO8,RND8
4     FORMAT(5X,2F14.7)
      AX=AX/((10.**.05)
5     CONTINUE
      STOP
      END
```

Listagem AII4 - Programa FORTRAN para simulação de
erros de retificação e "off-set".
Amostragem aleatória.

```

      TY CDNL3, F4
      SUBROUTINE CDNL3(X, EPS, QN, VR, VIS, DELTA)
      DIMENSION VR(7), VIS(8), DELTA(8)
      Y=ABS(X)
      B=QN*(1./2048.)
      IF(Y-B) 29, 29, 10
10      IF(Y-VR(4)) 11, 12, 12
11      IF(Y-VR(2)) 13, 14, 14
12      IF(Y-VR(6)) 15, 16, 16
13      IF(Y-VR(1)) 17, 18, 18
14      IF(Y-VR(3)) 19, 20, 20
15      IF(Y-VR(5)) 21, 22, 22
16      IF(Y-VR(7)) 23, 24, 24
17      I=1
      GO TO 25
18      I=2
      GO TO 25
19      I=3
      GO TO 25
20      I=4
      GO TO 25
21      I=5
      GO TO 25
22      I=6
      GO TO 25
23      I=7
      GO TO 25
24      I=8
25      K=1
26      RM=VIS(I)+FLOAT(K)*DELTA(I)
      IF(Y-RM) 28, 26, 27
27      K=K+1
      GO TO 25
28      EPS=Y-RM+DELTA(I)/1.
      GO TO 30
29      EPS=Y-(1./4096.)
30      RETURN
      STOP
      END

```

Listagem AII5 - Programa FORTRAN da subrotina para
 codificação com erro de retificação.
 (caso b)

```

10  SUBROUTINE CODIFICAR (X, Y, Z, W, V, U, T, S, R, Q, P, O, N, M, L, K, J, I, H, G, F, E, D, C, B, A)
11  DIMENSION X(17), Y(17), Z(17), W(17), V(17), U(17), T(17), S(17), R(17), Q(17), P(17), O(17), N(17), M(17), L(17), K(17), J(17), I(17), H(17), G(17), F(17), E(17), D(17), C(17), B(17), A(17)
12  COMMON /OFFSET/ OFFSET
13  IF (OFFSET .EQ. 0) THEN
14      DO 10 I = 1, 17
15          X(I) = X(I) + 1
16          Y(I) = Y(I) + 1
17          Z(I) = Z(I) + 1
18          W(I) = W(I) + 1
19          V(I) = V(I) + 1
20          U(I) = U(I) + 1
21          T(I) = T(I) + 1
22          S(I) = S(I) + 1
23          R(I) = R(I) + 1
24          Q(I) = Q(I) + 1
25          P(I) = P(I) + 1
26          O(I) = O(I) + 1
27          N(I) = N(I) + 1
28          M(I) = M(I) + 1
29          L(I) = L(I) + 1
30          K(I) = K(I) + 1
31          J(I) = J(I) + 1
32          I(I) = I(I) + 1
33          H(I) = H(I) + 1
34          G(I) = G(I) + 1
35          F(I) = F(I) + 1
36          E(I) = E(I) + 1
37          D(I) = D(I) + 1
38          C(I) = C(I) + 1
39          B(I) = B(I) + 1
40          A(I) = A(I) + 1
41      END DO
42  ELSE
43      DO 10 I = 1, 17
44          X(I) = X(I) + 1
45          Y(I) = Y(I) + 1
46          Z(I) = Z(I) + 1
47          W(I) = W(I) + 1
48          V(I) = V(I) + 1
49          U(I) = U(I) + 1
50          T(I) = T(I) + 1
51          S(I) = S(I) + 1
52          R(I) = R(I) + 1
53          Q(I) = Q(I) + 1
54          P(I) = P(I) + 1
55          O(I) = O(I) + 1
56          N(I) = N(I) + 1
57          M(I) = M(I) + 1
58          L(I) = L(I) + 1
59          K(I) = K(I) + 1
60          J(I) = J(I) + 1
61          I(I) = I(I) + 1
62          H(I) = H(I) + 1
63          G(I) = G(I) + 1
64          F(I) = F(I) + 1
65          E(I) = E(I) + 1
66          D(I) = D(I) + 1
67          C(I) = C(I) + 1
68          B(I) = B(I) + 1
69          A(I) = A(I) + 1
70      END DO
71  END IF
72  RETURN
73  END

```

Listagem ALI6 - Programa FORTRAN da subrotina para
codificação na presença de "off-set".

```

TV YNLFS.F4
      DIMENSION VR(7),VIS(8), DELTA(8)
      NR=31
      NM=32
      READ (NR,1)NAM,NP,ALFA
1     FORMAT(4G)
      DELTE=2.*3.14159/FLOAT(NAM)
      RN=1.
      VIS(1)=6.
      DELTA(1)=1./2648.
      DO 2 I=1,7
      VR(I)=1./12.*FLINT(I-1)
      VIS(I+1)=VIS(I)
      DELTA(I+1)=VR(I)/16.
1     CONTINUE
      IN=246813
      DO 3 I=1,NP
      S=RN**2./2.
      RN=8.
      TETA=6.
      DO 4 J=1,NM
      TETA=TETA+DELTE
      X=RN*COS(TETA)
      CALL COMLE(X,EPS,VR,VIS,DELTA,IN,ALFA)
      RN=RN-EPS**2.
3     CONTINUE
      ARN=RN/FLOAT(NAM)
      RNDB=10.*ALOG10(ARN)
      STB=10.*ALOG10(S)
      AXDB=20.*ALOG10(RX)
      RELOB=SDS-RNDB
      WRITE(NM,4)RELOB,AXDB
4     FORMAT(2X,2F14.7)
      S=SAV/111.*STB
5     CONTINUE
      STOP
      END

```

Listagem AII7 - Programa FORTRAN para simulação de erro de deslocamento nos níveis de referência.

Listagem AIII8 - Programa FORTRAN da subrotina para codificação quando se tem erro de deslocamento nos níveis de referência.

```

TY GAUSS.F4
      SUBROUTINE GAUSS(IW,NG,DVN,DVRX)
      S=0.0
      DO 50 L=1,NG
      CALL RAND(IW)
      KI=FLOAT(IW)*(2.*-35.)
      S=S+KI
50    CONTINUE
      TN=(S-(FLOAT(NG))/2.)/SQRT(FLOAT(NG)/12.)
      DVRX=TN*DVN/3.09
      IF(DVRX-DVN) 52,52,51
51    DVRX=DVN
52    RETURN
      STOP
      END

```

Listagem AII9 - Programa FORTRAN para a subrotina
"GAUSS".

```

DIMENSION RNL(7),RNLE(7),RL(15),RLE(15),RNLO(7),RNLEO(7)
DIMENSION IBIT(8),IVCL(7),ISNL(8),RLO(15),RLEO(15),RO(22)
DIMENSION IVCL(15),ISL(16),DVOFN(7),DVOF(15),CIPNL(7)
DIMENSION CIPL(15),R(22),SN(100,100),SNB(100),VP(100)
DIMENSION DVP(100),VRNL(7),VRL(15)
NR=41
NN=42
READ(NR,1) NAM,AP,NG,NRE,NCO
READ(NR,1) S1,B2,B3,B4,B5
READ(NR,1) AFT,AF
READ(NR,1) VO,VRO,DVOF
READ(NR,1) CIP,CIF
READ(NR,1) (RNLO(I),I=1,7)
READ(NR,1) (RNLEO(I),I=1,7)
READ(NR,1) (RLO(I),I=1,15)
READ(NR,1) (RLEO(I),I=1,15)
READ(NR,1) (RO(I),I=1,22)
1  FORMAT(8G)
IX=123568
DELTE=2.*3.14159/FLOAT(NAM)
DO 7 L=1,NCO
CALL COD(IX,VR,VRO,CIF,CIFX,CIP,CIPNL,CIPL,DVOF,DVDFN,
* DVDFL,R,RO,RNL,RNLE,NRE,AF,AFT,RL,RLE,NG,RNLO,RNLEO,
* RLO,RLEO)
DO 2 I=1,7
RW=RNL(I)/(RNL(I)+RNLE(I))
VRNL(I)=RW*VR-RW*RNLE(I)*CIPNL(I)+DVDFN(I)
2 CONTINUE
DO 3 I=1,15
RV=RL(I)/(RL(I)+RLE(I))
VRL(I)=RV*VR-RV*RLE(I)*CIPL(I)+DVDFL(I)
3 CONTINUE
AX=VO
DO 6 N=1,AP

```

Listagem AIII0 - Programa FORTRAN para simulação do
codificador real.

```

      S=(AX**2.)/2.
      RN=0.
      TETA=0.
      DO 4 J=1,NAM
      TETA=TETA+DELTE
      X=AX*COS(TETA)
      CALL CHD(X,B1,B2,B3,B4,R,B5,VRNL,CIFX,VRL,EPS,VO)
      RN=RN+EPS**2.
4     CONTINUE
      ARN=RN/FLOAT(NAM)
      RNDB=10.*ALOG10(ARN)
      SDB=10.*ALOG10(S)
      AXDB=20.*ALOG10(AX/VO)
      RELDB=SDB-RNDB
      AX=AX/110.*.05)
      SN(L,N)=RELD
6     CONTINUE
7     CONTINUE
      DO 10 N=1,NP
      SNB(N)=0.
      VP(N)=0.
      DO 8 L=1,NCO
      SNB(N)=SNB(N)+SN(L,N)
8     CONTINUE
      SNB(N)=SNB(N)/FLOAT(NCO)
      VP(N)=VP(N)+(SN(L,N)-SNB(N))**2.
9     CONTINUE
      DVP(N)=SORT(VP(N)/FLOAT(NCO))
10    CONTINUE
      WRITE(NW,12) (SNB(N),DVP(N),N,N=1,NP)
12    FORMAT(F14.7,10X,F14.7,10X,I2)
      STOP
      END

```

Listagem AIII10 - (Continuação)

```

SUBROUTINE COD(IX,VR,VRO,CIF,CIFX,CIP,CIPNL,CIPL,DVOF,DVOFN,
* DVOFL,R,RO,RNL,RNLE,MRE,AF,AFT,RL,RLE,NG,RNLO,RNLEO,
* RLO,RLEO)
  DIMENSION CIPNL(7),CIPL(15),DVOFN(7),DVOFL(15),R(22)
  DIMENSION RO(22),RNL(7),RNLE(7),RNLO(7),RNLEO(7),RL(15)
  DIMENSION RLE(15),RLO(15),RLEO(15)
  CALL RAND(IX)
  VR=2.*AFT*VRO*FLOAT(IX)*(2.**-35.)+VRO-AFT*VRO
  CALL RAND(IX)
  CIFX=(2.*CIF)*FLOAT(IX)*(2.**-35.)-CIF
  DO 60 I=1,7
  CALL RAND(IX)
  CIPNL(I)=CIP*FLOAT(IX)*(2.**-35.)
60  CONTINUE
  DO 61 I=1,15
  CALL RAND(IX)
  CIPL(I)=CIP*FLOAT(IX)*(2.**-35.)
61  CONTINUE
  DO 62 I=1,7
  CALL RAND(IX)
  DVOFN(I)=2.*DVOF*FLOAT(IX)*(2.**-35.)-DVOF
62  CONTINUE
  DO 63 I=1,15
  CALL RAND(IX)
  DVOFL(I)=2.*DVOF*FLOAT(IX)*(2.**-35.)-DVOF
63  CONTINUE
  DO 64 I=1,MRE
  CALL GAUS1(IX,NG,DR)
  R(I)=RO(I)+(AF*RO(I)*DR)/3.
64  CONTINUE
  DO 65 I=1,7
  CALL GAUS1(IX,NG,DR)
  RNL(I)=RNLO(I)+(AF*RNLO(I)*DR)/3.
  CALL GAUS1(IX,NG,DR)
  RNLE(I)=RNLEO(I)+(AF*RNLEO(I)*DR)/3.
65  CONTINUE
  DO 66 I=1,15
  CALL GAUS1(IX,NG,DR)
  RL(I)=RLO(I)+(AF*RLO(I)*DR)/3.
  CALL GAUS1(IX,NG,DR)
  RLE(I)=RLEO(I)+(AF*RLEO(I)*DR)/3.
66  CONTINUE
  RETURN
  STOP
  END

```

Listagem AIIII - Programa FORTRAN para subrotina
" COD".

```

SUBROUTINE CHD(X,B1,B2,B3,B4,R,B5,VRNL,CIFX,VRL,EPS,V0)
DIMENSION IBIT(8),R(22),VRNL(7),IVCNL(7),ISNL(8),VRL(15)
DIMENSION IVCL(15), ISL(16)
IF(X) 20,21,21
20  IBIT(1)=0
    GO TO 22
21  IBIT(1)=1
22  Y1=-(R(2)/R(1))*X*IBIT(1)+B1
    Y2=-(R(5)/R(3))*X-(R(5)/R(4))*Y1 +B2
    Y3=-(R(8)/R(6))*X-(R(8)/R(7))*Y1+B3
    RH=R(16)*R(17)+R(16)*R(18)+R(17)*R(18)
    Y5=(1.+R(19)/R(20))*(R(18)/RH)*(R(17)*Y3+R(16)*VR)+B5
    DO 25 I=1,7
        IF(Y2-VRNL(I)) 23,24,24
23  IVCNL(I)=0
        GO TO 25
24  IVCNL(I)=1
25  CONTINUE
    ISNL(1)=1-IVCNL(1)
    ISNL(8)=IVCNL(7)
    DO 26 I=2,7
        ISNL(I)=(1-IVCNL(I))*IVCNL(I-1)
26  CONTINUE
    IBIT(2)=ISNL(8)+ISNL(7)+ISNL(6)+ISNL(5)
    IBIT(3)=ISNL(8)+ISNL(7)+ISNL(4)+ISNL(3)
    IBIT(4)=ISNL(8)+ISNL(6)+ISNL(4)+ISNL(2)
    RY1=R(9)+R(10)+R(11)+R(12)+R(13)
    RY2=4.*R(9)+3.*R(10)+2.*R(11)+R(12)
    RY3=R(15)/(R(15)+R(14))
    AB=Y2-RY2*CIFX
    IF(FLOAT(IBIT(2))-0.5) 36,37,37
36  IF(FLOAT(IBIT(3))-0.5) 38,39,39
37  IF(FLOAT(IBIT(3))-0.5) 40,41,41
38  IF(FLOAT(IBIT(4))-0.5) 42,43,43
39  IF(FLOAT(IBIT(4))-0.5) 44,45,45
40  IF(FLOAT(IBIT(4))-0.5) 46,47,47
41  IF(FLOAT(IBIT(4))-0.5) 48,49,49
42  Y=Y5
    GO TO 50
43  Y=Y3
    GO TO 50
44  Y=RY3*Y3-RY3*R(14)*CIFX
    GO TO 50
45  Y=Y2
    GO TO 50
46  Y=((R(10)+R(11)+R(12)+R(13))/RY1)*AB
    Y=Y+(3.*R(10)+2.*R(11)+R(12))*CIFX
    GO TO 50
47  Y=((R(11)+R(12)+R(13))/RY1)*AB+(2.*R(11)*R(12))*CIFX
    GO TO 50
48  Y=((R(12)+R(13))/RY1)*AB+R(12)*CIFX
    GO TO 50
49  Y=(R(13)/RY1)*AB
50  VONL=(1.+R(22)/R(21))*Y+B4
    DO 53 I=1,15
        IF(VONL-VRL(I)) 51,52,52
51  IVCL(I)=0
        GO TO 53
52  IVCL(I)=1
53  CONTINUE

```

```

ISL(1)=1-IVCL(1)
ISL(16)=IVCL(15)
DO 54 I=2,15
ISL(I)=(1-IVCL(I))*IVCL(I-1)
CONTINUE
IBIT(5)=ISL(9)+ISL(10)+ISL(11)+ISL(12)+ISL(13)+ISL(14)+ISL(15)
IBIT(5)=IBIT(5)+ISL(16)
IBIT(6)=ISL(5)+ISL(6)+ISL(7)+ISL(8)+ISL(13)+ISL(14)+ISL(15)
IBIT(6)=IBIT(6)+ISL(16)
IBIT(7)=ISL(3)+ISL(4)+ISL(7)+ISL(8)+ISL(11)+ISL(12)+ISL(15)
IBIT(7)=IBIT(7)+ISL(16)
IBIT(8)=ISL(2)+ISL(4)+ISL(6)+ISL(8)+ISL(10)+ISL(12)+ISL(14)
IBIT(8)=IBIT(8)+ISL(16)
SOM=(1./2.)*FLOAT(IBIT(5))+(1./4.)*FLOAT(IBIT(6))
SOM = SOM+(1./8.)*FLOAT(IBIT(7))+(1./16.)*FLOAT(IBIT(8))
SOM =SOM +(1./32.)
Z=(.5)*FLOAT(ISNL(8))+(.25)*FLOAT(ISNL(7))
Z=Z+(.125)*FLOAT(ISNL(6))+(1./16.)*FLOAT(ISNL(5))
Z=Z+(1./32.)*FLOAT(ISNL(4))+(1./64.)*FLOAT(ISNL(3))
Z=Z+(1./128.)*FLOAT(ISNL(2))
Z=Z*(SOM+1.)*VO+(1./128.)*FLOAT(ISNL(1))*SOM*VO
XC=Z*(2.*(FLOAT(IBIT(1)))-1.)
EPS=X-XC
RETURN
STOP
END

```

Listagem AIII2 - (Continuação)

BIBLIOGRAFIA

- (1) - Scarabucci, R.R. - Ruído de quantização em sistemas de modulação por codificação de pulsos
Publicação FEC 02/74 - FEC - UNICAMP - Marco/74
- (2) - Scarabucci, R.R., et al, - Sistemas de Comunicações por amostragem
Publicação FEC 04/73 - FEC - UNICAMP - Junho/73
- (3) - Yin, K.K. e Scarabucci, R.R. - Projeto de um codec não linear para sistema multiplex MCP de 30 canais telefônicos
Publicação 03/74 - FEC - UNICAMP - Março/74
- (4) - Yano, Y. e Scarabucci, R.R. - Codificador não linear sequencial para sistema multiplex MCP de 30 canais telefônicos
- (5) - a) CCITT - Green Book - Vol. III.2, 1972
b) CCITT - Proposed recommendations in series G100, G700 e G800
Genova - Junho/76 - Publicação CCITT APVI - nº 66E
- (6) - Especificação técnica de equipamento multiplex PCM de 2048 Kbit/s
Telebrás - Setembro/76
- (7) - Fairchild - Linear integrated circuits data catalogue
Publicação Fairchild Semiconductor - Fev/73
- (8) - National - Linear integrated circuits manual
Publicação National Semiconductor Corp. 1974
- (9) - Texas Instruments - Linear and interface data book for design engineers
Publicação Texas Instruments Inc. 1973

- (10) - Violaro, F e Scarabucci, R.R. - Multiplexagem de sinais para sistema MCP de 30 canais telefônicos
Publicação 16/75 - FEC - UNICAMP - Outubro/75
- (11) - RCA - Linear integrated circuits manual 1970
Publicação RCA - Solid State Division
- (12) - Harris Semiconductor - Linear Integrated circuits manual - 1976
- (13) - Texas Instruments - TTL data book for design engineers - 1973 - Publicação Texas Instruments Inc.
- (14) - National - TTL data book - 1976
Publicação National Semiconductor Corp.
- (15) - Vishay Intertechnology - Precision resistors manual
Vishay Resistive Systems Group - 1974
- (16) - Motorola - The semiconductor data library - Vol. I e II
Publicação Motorola Semiconductor Products Inc.
2ª edição - 1973
- (17) - Meyer, L.P. - Probabilidade - Aplicações à Estatística
Departamento de Matemática - Washington State University - 1970
- (18) - Naylor, H.T.; Balintfy, J.L.; Burdick, D.S.; Chu, K. -
Computer Simulation Techniques
John Wiley & Sons - 1966
- (19) - Teichroew, D. - Distributions sampling with high speed computer
Tese de Doutorado - Universidade da Carolina do Norte - 1953
(indicado em (18))

- (20) - Catermole, K.W. - Principles of Pulse Code Modulation
Lewis Reprints Ltd. - 1969
- (21) - Bonatti, I.S.; Geromel, J.C. - Estudo analítico de
ruído de quantização
Trabalho apresentado na 28^a Reunião anual da SBPC -
Brasília - Julho/76
- (22) Bonatti, I.S.; Scarabucci, R.R. - Projeto de um conversor
D/A não linear de oito dígitos para sistema MCP de
30 canais
Publicação FEC 19/77 - FEC - UNICAMP - Agosto/77
- (23) - Marques, M.R. - Elementos de Estatística
Instituto de Matemática - Departamento de Estatística -
UNICAMP - 1969
- (24) - Pacitti, T. - Fortran Monitor
Ao Livro Técnico S.A. - Rio - 1968
- (25) - Digital Equipment Corp. - DEC System 10 - Handbook
2^a ed. - 1972
- (26) - Capecchiacci, G.G. - Molinari, A.M. - Accuracy assignement
and separated performance measurement in the
transmitting and receiving ends of PCM multiplexes
Alta frequenza, nº 2 - Vol. XLVI - 1975 - pag. 57-3E
a 65-11E
- (27) - PCM Digital signal generator PDG-1
Wandel U. Goltermann - Reutlingen/Germany
- (28) - PCM test set PCM-1
Wandel U. Goltermann - Reutlingen/Germany