Universidade Estadual de Campinas Faculdade de Engenharia Elétrica e de Computação

Aplicação De Inversor Multinível Como Filtro Ativo de Potência

Autor: Sérgio Pires Pimentel Orientador: Prof. Dr. José Antenor Pomilio

Dissertação de Mestrado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Mestre em Engenharia Elétrica. Área de concentração: **Energia Elétrica**.

Banca Examinadora

José Antenor Pomilio, Dr. (Presidente)	DSCE/FEEC/UNICAMP
Fernando Pinhabel Marafão, Dr EG	CA/UNESP/Campus de Sorocaba
Sigmar Maurer Deckmann, Dr	DSCE/FEEC/UNICAMP
Edson Adriano Vendrusculo, Dr	DSCE/FEEC/UNICAMP

Campinas, SP

Agosto / 2006

FICHA CATALOGRÁFICA ELABORADA PELA BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

P649a	Pimentel, Sérgio Pires Aplicação de inversor multinível como filtro ativo de potência / Sérgio Pires Pimentel. – Campinas, SP: [s.n.], 2006.
	Orientador: José Antenor Pomilio. Dissertação (Mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.
	 Filtros elétricos ativos. 2. Inversores elétricos. 3. Eletrônica de potência. 4. Harmônicos (Ondas elétricas). 5. Sistemas de controle digital. I. Pomilio, José Antenor. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título

Título em Inglês: Application of multilevel inverter for active power filters.
Palavras-chave em Inglês: Power electronics, Multilevel inverter, Power quality, Active power filter, Digital control.
Área de concentração: Energia Elétrica
Titulação: Mestre em Engenharia Elétrica
Banca examinadora: Fernando Pinhabel Marafão, Sigmar Maurer Deckmann, Edson Adriano Vendrusculo.
Data da defesa: 29/08/2006

Resumo

Este trabalho aborda a implementação de um filtro ativo de potência utilizando um inversor multinível com topologia em cascata assimétrica. Justificativas para utilização de estruturas multiníveis são discutidas. O sistema de controle utilizado garante um fornecimento nulo de potência ativa pelo filtro ativo e que a corrente fornecida pela fonte de alimentação tenha a mesma forma de onda da tensão de alimentação. Com isso, o fator de potência visto pela fonte é próximo de seu valor unitário e a fonte fornece apenas potência ativa à carga. Resultados de simulações e experimentais validam o esquema adotado. Também é descrita uma proposta para se realizar o controle das tensões CC da topologia em cascata assimétrica.

Palavras-chave: Eletrônica de Potência, Inversor Multinível, Qualidade da Energia Elétrica, Filtro Ativo de Potência, Controle Digital.

Abstract

This work regards a shunt active power filter implementation using an asymmetrical cascaded multilevel converter. Reasons for using multilevel structures are discussed. The system control guarantees that the active power filter does not supply active power and the source current has the same waveform of the source voltage. Consequently, the power factor from the source side is almost one and the source only supplies active power to the load. Simulation and experimental results validate the applied scheme. A proposal for controlling the DC voltages from the asymmetrical cascaded topology is also described.

Keywords: Power Electronics, Multilevel Converter, Power Quality, Active Power Filter, Digital Control.

À Deus, pela forma aconchegante com que conduz as nossas vidas e nos fortalece através de Tua graça.

À Aline, minha esposa querida, por me sensibilizar, a cada dia mais, do quão valioso é tê-la ao meu lado.

E ao Seu Gilmar, pai e amigo, pelo exemplo, refúgio e por sempre me recordar de que Goiânia está logo ali.

Agradecimentos

Ao professor Antenor pela amizade, pelos incentivos e pela liberdade em me corrigir e me direcionar pelos caminhos certos durante a sua orientação. E também por ter acreditado num desconhecido goiano aventureiro disposto a trabalhar com filtros ativos de potência, mas que ainda tinha muita coisa a aprender sobre eles.

Aos atuais e futuros membros da família FUX – Fuxa, Bia, Pedrinho, Giga, Samuca, Pituka, Bibita e Pingado – pelo amor, pela confiança e por me encorajarem na realização dos meus sonhos profissionais e também de lhes proporcionar um futuro cada vez melhor. E também outras pessoas muito especiais que compõem essa família e que torceram muito por mim: meus pais, Doracina e Gilmar Pimentel; meus avós, Maria e José Pimentel; e meus sogros, Mary e Alexandre Willik.

Aos irmãos em Cristo que compõem a Igreja Batista em Barão Geraldo (de Campinas), a Igreja Batista Ágape (de Goiânia) e o grupo de encontro de casais "Os Pardais" pelas orações e pelo carinho por nossa família.

Aos amigos Leonardo de Araújo Silva e André Augusto Ferreira pelas orientações ao longo do trabalho e pelo suporte no meu processo de aprendizagem do DSP, na modelagem das variáveis de controle do FAP e no auxílio para a confecção das placas eletrônicas.

Ao amigo Márcio Massakiti Kubo pelo suporte na modelagem do filtro de média móvel nos domínios $s \in z$, e também na verificação da semelhança existente entre ele e um filtro passa-baixa de 1^a ordem.

Agradeço, de forma especial, ao Alexandre Moreira, ao Alexandre Soares, ao André Ferreira, ao Diodomiro Baldomero, ao Edson Vendrusculo, ao Ernesto Luna, ao Fellipe Garcia, ao Fernando Marafão, ao Geomar Martins, ao Giuliano Sperandio, ao Helmo Paredes, ao Joan Boix, ao Juan Suni, à Karina Quindere, ao Leonardo Silva, ao Márcio Kubo, ao Marcelo de Pádua, ao Marcelo Villalva, à Maria Teresa e ao Ricardo Machado, pela amizade e pelos agradáveis momentos de descontração e de companheirismo que compartilhamos durante o trabalho no Laboratório de Condicionamento de Energia Elétrica (LCEE).

Aos colegas Abdsandryk Souza, Alana Magalhães, Aline Magalhães, Andrea Bucci, Angelo Martarelli, Mário Starosielsky, Marcus Vinícius Souza (Kim), Marlei Scariot, Murilo Guimarães, Patrícia Makiyama, Rodrigo Cabral e Suzan Martino pelo apoio durante a minha mudança para Campinas e pelo convívio nos momentos fora da Unicamp.

E, finalmente, à CAPES pelo apoio financeiro através da bolsa de mestrado que me foi concedida.

Sumário

Li	sta de	e Figuras	a
Li	sta de	e Tabelas x	V
G	lossár	io xv	ii
1	Intr	odução	1
	1.1	Objetivo e organização do trabalho	5
	1.2	Publicações	6
	1.3	Conclusões	6
2	Inve	ersores multiníveis	7
	2.1	Compensação de harmônicos e reativos	9
	2.2	Modulação PWM em multiníveis	0
	2.3	Topologias	1
		2.3.1 Simétrica x assimétrica	6
	2.4	Conclusões	6
3	Con	wersor CC/CA	7
	3.1	Níveis de tensão	9
		3.1.1 Sem modulação PWM nos módulos	9
		3.1.2 Com modulação PWM apenas no módulo de menor tensão	2
	3.2	Estratégia de modulação	6
		3.2.1 Sem modulação PWM nos módulos	6
		3.2.2 Com modulação PWM apenas no módulo de menor tensão	8
	3.3	Aplicação: filtro ativo de potência	2
		3.3.1 Sistema de controle	3
		3.3.2 Controlador de corrente	5
		3.3.3 Controlador de potência média	7
	3.4	Proposta de controle das tensões nos barramentos CC	1
		3.4.1 Estratégia de modulação e malha de controle	3
		3.4.2 Resultados de simulações	5
	3.5	Conclusões	9

4	Operação do sistema de filtragem ativa	51
	4.1 Resultados de simulações	53
	4.1.1 Regime permanente	53
	4.1.2 Regime transitório	57
	4.2 Resultados experimentais	60
	4.2.1 Inversor multinivel	61
	4.2.2 Regime permanente	62
	4.2.3 Regime transitorio \ldots	63
	4.3 Conclusoes	64
5	Conclusões finais	69
	5.1 Sugestões para trabalhos futuros	70
Re	ferências bibliográficas	71
A	Código do programa elaborado no DSP	79
	A.1 Programa principal	79
	A.2 Inicializa variáveis	86
	A.3 Inicializa ganhos das placas de condicionamento	90
	A.4 Leitura dos sinais convertidos pelo conversor AD	91
	A.5 Ajuste dos sinais lidos no conversor AD	92
	A.6 PLL Monofásico e detector de onda fundamental	94
	A.7 Sistema de controle do FAP	96
	A.8 Controladores PI com saturação dinâmica	97
	A.9 Determinação dos pulsos para acionamento do inversor	99
	A.10 Rotina de interrupção NMI para habilitar/desabilitar a emissão dos pulsos para o in-	102
		103
	A.11 Envio de valores de registradores do DSP para o conversor DA	103 105
B	Módulo de potência	107
С	Placa de condicionamento de corrente	113
D	Placa de condicionamento de tensão	119
E	Placa de monitoramento das proteções e liberação dos pulsos	123
F	Placa de interface dos módulos de potência	125
G	Placa de interface do DSP	129
Н	Imagens do protótipo implementado	133

Lista de Figuras

2.1	Inversores de tensão (a) e de corrente (b).	7
2.2	Estruturas passivas de 1^{a} (a), 2^{a} (b) e 4^{a} (c) ordens.	9
2.3	Modulação PWM	10
2.4	Estratégias: APOD (a), POD (b) e PD (c)	11
2.5	Topologia NPC de 3 níveis.	12
2.6	Topologia NPC de 5 níveis.	12
2.7	Topologia capacitor grampeado de 3 níveis.	13
2.8	Topologia capacitor grampeado de 5 níveis.	13
2.9	Topologias em cascata simétrica (a) e assimétrica (b)	14
2.10	Topologia em cascata simétrica de 5 níveis.	15
3.1	Estrutura multinível em cascata assimétrica trifásica.	18
3.2	Estrutura multinível em cascata assimétrica monofásica.	18
3.3	Sinal de saída de um inversor multinível de 27 níveis sem modulação PWM nos mó-	
	dulos nos domínios do tempo (a) e da freqüência (b) a partir de um sinal de referência	
	senoidal	21
3.4	Tensão de saída nos domínios do tempo (a) e da freqüência (b) para um inversor	
	multinível de 27 níveis considerando modulação PWM no módulo de menor tensão	23
3.5	Tensão de saída nos domínios do tempo (a) e da freqüência (b) para um inversor	
	multinível de 19 níveis considerando modulação PWM no módulo de menor tensão	24
3.6	Estratégia de modulação do inversor multinível sem modulação PWM nos módulos	27
3.7	Estratégia de modulação no módulo n : fluxograma (a) e relação entrada-saída (b)	27
3.8	Sinais de referência $v_{mod_3}^*$ (a), v_3^* (b), $v_{mod_2}^*$ (c), v_2^* (d), $v_{mod_1}^*$ (e) e v_1^* (f) gerados pela	
	estratégia de modulação da figura 3.6 em um inversor multinível de 27 níveis a partir	
	de uma referência senoidal sem a presença de modulação PWM nos módulos	29
3.9	Estratégia de modulação do inversor multinível com modulação PWM no módulo de	
	menor tensão.	29
3.10	Estratégia de modulação no módulo n para o caso de modulação PWM no módulo de	
	menor tensão: fluxograma (a) e relação entrada-saída (b)	30
3.11	Sinais v_{conv}^* (a) e $(v_1^* + v_2^* + v_3^*)$ (b) para um inversor multinível de 19 níveis	31
3.12	Sinais de referência $v_{mod_3}^*$ (a), v_3^* (b), $v_{mod_2}^*$ (c), v_2^* (d), $v_{mod_1}^*$ (e) e v_1^* (f) gerados a	
	partir da referência da figura 3.11(a) pela estratégia de modulação da figura 3.9 em	
	um inversor multinível de 19 níveis com modulação PWM no módulo de menor tensão.	31
3.13	Diagrama do sistema de filtragem do tipo <i>shunt</i>	32

3.14	Diagrama de blocos por fase do sistema de controle do FAP	33
3.15	Malha de Controle de Corrente	35
3.16	Malha de controle de potência média.	37
3.17	Resposta em freqüência dos filtros de média móvel (FMM) e passa-baixa (FPB).	39
3.18	Malha simplificada de controle de potência média	40
3.19	Conversores CC/CC fornecendo tensões CC aos barramentos CC do inversor multinível.	42
3.20	Estratégia de modulação considerando o controle das tensões CC e PWM no módulo	
	de menor tensão.	44
3.21	Malha de controle da tensão CC V_1 .	45
3.22	Sinal de referência da potência ativa do FAP considerando o controle das tensões CC.	46
3.23	Diagrama de ligação do sistema de filtragem ativa adotado.	46
3.24	Valor médio das tensões CC em pu (a) e potência ativa fornecida pelo FAP (b) durante	
	o controle simultâneo das tensões CC.	48
41	Resposta em freqüência da malha de controle de corrente para os parâmetros definidos	
	na tabela 4 1	52
42	Resposta em freqüência da malha de controle de potência ativa do FAP para os parâ-	02
1.2	metros definidos na tabela 4 1	53
43	De cima para baixo: tensão no PAC v_G (a) e tensão de saída do inversor v_{EAB} (b)	54
4.4	De cima para baixo: corrente de alimentação da carga i_{T} (a) sinal de referência da	51
1.1	corrente a ser absorvida da fonte i_{α}^{*} (b) e corrente absorvida da fonte i_{α} (c)	55
45	De cima para baixo: espectros em freqüências das correntes de carga i_T (a) do FAP	55
т.Ј	i_{EAD} (b) e da fonte i_{C} (c) obtidos a partir de simulações	55
46	v_{FAP} (c) e du fonce v_{S} (c) obtidos a partir de sintanações. $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ De cima para baixo: potência instantânea fornecida pelo inversor n_{EAP} (a) valor	55
7.0	médio da potência instantânea fornecida pelo inversor \overline{p}_{FAP} (b) e corrente fornecida	
	nelo inversor $i_{FAP}(c)$	56
47	De cima para baixo: corrente de alimentação da carga i_L (a) sinal de referência da	20
1.7	corrente a ser absorvida da fonte i_{α}^{α} (b) e corrente absorvida da fonte i_{α} (c)	57
48	Resposta em freqüências das correntes de carga i_L (a) do conversor i_{LAR} (b) e da	51
1.0	fonte $i_{C}(c)$ durante o controle simultâneo das tensões CC	58
49	De cima para baixo: corrente fornecida pelo inversor i_{DAD} (a) corrente de alimenta-	50
1.2	cão da carga i_T (b) corrente absorvida da fonte i_G (c) e sinal de referência da corrente	
	a ser absorvida da fonte $i_{c}^{*}(d)$	59
4 10	De cima para baixo: corrente fornecida pelo inversor $i_{DAD}(a)$ corrente de alimenta-	57
1.10	cão da carga i_T (b), corrente absorvida da fonte i_C (c) e sinal de referência da corrente	
	a ser absorvida da fonte $i_{c}^{*}(d)$	59
4 1 1	De cima para baixo: corrente fornecida pelo inversor i_{EAD} (a) corrente de alimenta-	0)
1.11	cão da carga i_T (b), corrente absorvida da fonte i_C (c) e sinal de referência da corrente	
	a ser absorvida da fonte $i_{c}^{*}(d)$	60
4.12	Diagrama de blocos do controlador PI com saturação dinâmica	61
4 13	De cima para baixo: tensão de referência (Ch2: 50V/div) tensão de saída (Ch3:	51
1.15	50V/div) e corrente de saída (Ch1: 0.2A/div) do inversor ao alimentar uma carga do	
	tipo RL em série com predominância resistiva	62
		02

De cima para baixo: tensão no PAC v_S (Ch4: 250V/div), tensão de saída do inversor v_{FAP} (Ch3: 250V/div), corrente de alimentação da carga i_L (Ch1: 2A/div) e corrente	
absorvida da fonte i_S (Ch2: 2A/div).	63
De cima para baixo: tensão no PAC v_S (Ch4: 250V/div), tensão de saída do inversor	
v_{FAP} (Ch3: 250V/div), sinal de referência da corrente a ser absorvida da fonte i_s^*	
(Ch1: 1A/div) e corrente absorvida da fonte i_S (Ch2: 1A/div).	64
Contribuições percentuais dos componentes harmônicos da tensão no PAC v_S , da	
corrente absorvida da fonte i_S e da corrente de alimentação da carga i_L no valor	
eficaz total de cada grandeza.	64
De cima para baixo: corrente fornecida pelo inversor i_{FAP} (Ch3: 1A/div), potência	
instantânea fornecida pelo inversor p_{FAP} (M3: 125W/div), tensão de saída do inver-	
sor v_{FAP} (Ch2: 100V/div) e corrente absorvida da fonte i_S (Ch1: 1A/div)	65
Transitório de partida do FAP. De cima para baixo: corrente fornecida pelo inversor	
i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div) e sinal de referên-	
cia da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div)	66
Aumento de carga em aproximadamente 90%. De cima para baixo: corrente forne-	
cida pelo inversor i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div)	
e sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div)	66
Diminuição de carga em aproximadamente 90%. De cima para baixo: corrente forne-	
cida pelo inversor i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div)	
e sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div)	67
	0.0
Ciclo de operação do programa no DSP.	80
Da esquerda para a direita: torre com fonte de alimentação CC, sensores de tensão	
e de corrente. DSP e placa de interface com DAC: inversor multinível monofásico:	
filtro passivo de 1ª ordem (indutor): e carga não-linear.	133
Detalhe da torre de monitoramento e controle de sinais.	134
Detalhe da placa de proteção que, a partir da ocorrência de sobre-corrente, de sub-	
t_{1} tangãas C_{1} a solar tangãas C_{2} and C_{2} libers on bloqueis a solar das pulsas corredas	
tensoes CC e sobre-tensoes CA ou CC, indera ou dioquera o envio dos puisos gerados	
pelo <i>software</i> do DSP para serem conectados às chaves do inversor multinível	135
	De cima para baixo: tensão no PAC v_S (Ch4: 250V/div), tensão de saída do inversor v_{FAP} (Ch3: 250V/div), corrente de alimentação da carga i_L (Ch1: 2A/div) e corrente absorvida da fonte i_S (Ch2: 2A/div)

Lista de Tabelas

2.1	Número de componentes por topologia.	15
3.1	Número de níveis possíveis de serem obtidos pela topologia em cascata assimétrica	
	em função da configuração adotada e do número de módulos	20
3.2	Estados das tensões de saída dos módulos que compõem a topologia em cascata assi-	
	métrica para inversores multiníveis de 27 e 19 níveis.	25
3.3	Número de chaves comutadas durante as transições de níveis ocorridas em inversores multiníveis na configuração (1:3:9), de 27 níveis, e na configuração (1:2:6), de 19	
	níveis	25
3.4	Parâmetros do sistema de filtragem ativa utilizados na simulação	46
3.5	Parâmetros dos controladores de tensão CC utilizados nas simulações	47
4.1	Parâmetros adotados para os controladores de corrente PI_c e de potência média PI_p .	52

Glossário

A/D APOD	-	Analógico/Digital Alternative Phase Opposition Disposition (Disposição com Oposição Alternada de
		Fase)
CA	-	Corrente Alternada
CC	-	Corrente Continua
D/A	-	Digital/Analógico
DHT	-	Distorção Harmônica Total
DSP	-	Digital Signal Processor (Processador Digital de Sinais)
DVR	-	Dynamic Voltage Restorer (Restaurador Dinâmico de Tensão)
FAP	-	Filtro Ativo de Potência
FMM	-	Filtro de Média Móvel
FPB	-	Filtro Passa-Baixa
FWD	-	Fundamental Wave Detector (Detector de Onda Fundamental)
GTO	-	Gate Turn-Off Thyristor (Tiristor com Desligamento por Porta)
IGBT	-	Insulated Gate Bipolar Transistor (Transistor Bipolar de Porta Isolada)
IEM	-	Interferência Eletromagnética
PAC	-	Ponto de Acoplamento Comum
PD	-	Phase Disposition (Disposição em Fase)
PFP	-	Pré-Regulador de Fator de Potência
POD	-	Phase Opposition Disposition (Disposição com Oposição de Fase))
PS	-	Phase Shifted (Deslocamento de Fase))
PWM	-	Pulse Width Modulation (Modulação por Largura de Pulso)
MOSFET	-	Metal Oxide Semiconductor Field Effect Transistor (Transistor de Efeito de Campo de
		Metal-Óxido Semicondutor)
MSHE	-	Multilevel Selective Harmonic Elimination (Eliminação Multinível e Seletiva de
		Harmônicos)
NPC	_	Neutral-Point-Clamped (Neutro Grampeado)
TBP	_	Transistor Bipolar de Potência
RLS	_	Resistive Load Synthesis (Síntese de Carga Resistiva)
STATCOM	_	Static Synchronous Compensator
SVC	_	Static VAr Compensator (Compensador Estático de Potência Reativa)
SVM	_	Space Vector Modulation (Modulação Vetorial)
WTHD	-	Weighted Total Harmonic Distortion (Distorção Harmônica Total Ponderada)
		-

Capítulo 1

Introdução

Diversos aspectos relacionados à área da Engenharia Elétrica denominada por "Qualidade da Energia Elétrica" (ou pelo termo em inglês, *Power Quality*) vêm recebendo uma atenção maior há alguns anos por causa da proliferação de cargas não-lineares dentre as unidades consumidoras residenciais, comerciais e industriais. Dentre estes estão os estudos que abordam os impactos ocasionados pela presença de componentes harmônicos na corrente elétrica ao longo das linhas de distribuição. Como a corrente de alimentação das cargas não-lineares possui diversos componentes harmônicos, o crescimento desse tipo de carga levou à criação de maneiras que minimizassem seus impactos na rede elétrica a montante do ramal de ligação de uma ou mais unidades consumidoras. Desde então, surgiram dispositivos e técnicas que objetivaram a filtragem desses componentes harmônicos, sendo denominados de filtros passivos, pré-reguladores de fator de potência (PFP), filtros ativos de potência (FAP) e filtros híbridos, que são associações de filtros passivos com filtros ativos de potência [1].

O filtro passivo é uma estrutura colocada em paralelo ou em série com a carga e que é formada pela associação de um indutor com um capacitor. A freqüência de ressonância não-amortecida (ω_0) do par LC é ajustada em um valor semelhante ao da freqüência do componente harmônico a ser minimizado (ou filtrado). Assim, cada par LC é destinado à filtragem em apenas uma freqüência. Para abranger algumas (ou uma faixa "discreta" de) freqüências, são colocados diversos conjuntos LC, com cada um deles sendo ajustado individualmente e numa freqüência diferente dos demais. A utilização de filtro(s) passivo(s) em derivação visa fornecer um caminho de baixa impedância para os componentes harmônicos da corrente antes que estes alcancem a rede de alimentação. A colocação de filtros passivos em série com a carga deve apresentar uma alta impedância nas freqüências nas quais se quer impedir a circulação de corrente pela rede. Apesar de ser usual em unidades consumidoras industriais [2], a técnica de filtros passivos possui desvantagens que podem comprometer o desempenho da filtragem e representar um risco operacional à concessionária e/ou à unidade consumidora, tais como ressonâncias, sobre-tensão, sobre-correntes e ajuste estático da(s) freqüência(s) monitorada(s) [3]. Os pré-reguladores de fator de potência (PFP) visam a eliminação dos componentes harmônicos da corrente de alimentação de uma carga eletrônica [4]. São conversores CA/CC colocados em série com a carga e chaveados de forma que a corrente drenada da concessionária tenha um formato de onda o mais próximo possível de senoidal e fator de potência próximo do valor unitário. Assim o PFP constitui o estágio de entrada da carga e, portanto, possui a desvantagem de transferir toda a potência destinada à carga. Também é necessário filtrar os componentes de alta freqüência oriundos da operação chaveada, para que o nível de interferência eletromagnética (IEM) na corrente da rede elétrica esteja abaixo dos limites permitidos.

Os filtros ativos de potência (FAP) visam a eliminação dinâmica dos componentes harmônicos de forma dinâmica e são colocados em série ou em paralelo com a unidade consumidora. Em série, eles são capazes de bloquear o fluxo harmônico na corrente da rede elétrica, de regular a tensão de alimentação da carga em situações de sobre ou subtensões, e também, de proporcionar que essa tensão tenha um formato de onda praticamente senoidal. Em paralelo, os filtros ativos normalmente não atuam como reguladores de tensão e permitem a compensação de reativos e componentes harmônicos [5].

Um FAP é composto por elementos passivos acoplados a um ou mais conversores CC/CA (de tensão ou de corrente) que são controlados a partir do monitoramento de determinadas grandezas. Por essa razão, o seu custo em relação à técnica passiva é maior. A sua utilização se intensificou a partir do ano de 1983, quando surgiram idéias envolvendo a determinação de potências instantâneas baseadas no domínio do tempo [6]. Essas teorias permitiram que o FAP operasse em tempo real, o que resultou no aumento de seu desempenho, inclusive nas situações de característica transitória [2]. Desde então, diversos estudos examinaram a utilização do FAP e foram elaborados diferentes métodos de coordenação e tipos de estruturas para essa aplicação [7].

Uma das estratégias de modulação que é bastante utilizada no(s) conversor(es) CC/CA dos filtros ativos de potência é a PWM (*Pulse Width Modulation*). A freqüência de chaveamento para esta modulação está diretamente relacionada ao desempenho do FAP. Comutações em freqüências cada vez mais altas, aumentam a largura da faixa operacional de freqüências do FAP. Porém, o aumento da freqüência de comutação resulta no aumento das perdas nas chaves semicondutoras de potência. Para aplicações de potências elevadas, essas perdas não podem ser desprezadas e podem inviabilizar a aplicações de potências elevadas, essas perdas não podem ser desprezadas e podem inviabilizar a aplicação de um FAP para a compensação de harmônicos e reativos [5]. Outra desvantagem desta estratégia de modulação é a presença de componentes de várias freqüências no sinal de saída. Antes que seja feito a compensação da corrente da rede elétrica, é preciso diminuir as amplitudes desses componentes através de um filtro passa-baixas elaborado a partir de estruturas LC. O dimensionamento também pode exigir estruturas LC de ordens superiores a 2, o que dificultaria a sua implementação [2]. Além disso, uma ineficaz diminuição desses componentes de alta freqüência interferiria nos níveis de IEM, exigindo uma reestruturação de projeto do FAP.

Em níveis médios de tensão, além das perdas, os valores de tensão de bloqueio que as chaves semicondutoras devem suportar podem extrapolar suas características normais de operação. Uma alternativa seria a operação do conversor em níveis baixos de tensão e que seriam elevados através de transformadores aos níveis desejados. Todavia, esta alternativa pode representar uma série de desvantagens pois o transformador exige um alto custo (de implantação e de manutenção), possui um baixo rendimento, ocupa um grande espaço físico e provoca não-linearidades por causa da saturação magnética [5, 8].

Por representar alternativas a essas desvantagens, conversores CC/CA baseados na estrutura multinível têm sido propostos. Dependendo da estratégia de modulação adotada, a estrutura multinível permite a comutação de suas chaves semicondutoras em freqüências mais baixas e próximas à fundamental. Assim, as perdas por comutação são minimizadas. Com a ausência dos componentes de alta freqüência, a distorção do sinal produzido é bem menor quando comparado à de uma estrutura tradicional com modulação PWM. Além disso, algumas topologias da estrutura multinível permitem que sejam atingidos valores elevados da tensão de saída. Isso permite o seu uso em aplicações de níveis médios de tensão, nas quais as vantagens da estrutura multinível se tornam maiores [9]. O capítulo 2 descreve outras vantagens e desvantagens da estrutura multinível, bem como os detalhes de suas principais topologias. Até o momento, as principais topologias utilizadas são: a neutro grampeado (NPC) [10]; a capacitor grampeado [11–13]; a em cascata simétrica [5, 14–19]; e a em cascata assimétrica [20–25].

A aplicação da estrutura multinível na compensação reativa e de harmônicos começou a ser examinada com mais intensidade a partir dos primeiros anos da década de 1990. Inicialmente, os estudos abordaram apenas a compensação reativa por meio de estruturas multiníveis. Em 1993 foi publicado um estudo sobre a aplicação dessas estruturas em SVC (*Static VAr Compensator*) [26]. Em 1994, foi publicado um estudo sobre sua aplicação em STATCOM (*Static Synchronous Compensator*) [27], dispensando o uso de transformadores de elevação. E em 1995, foi publicado um estudo sobre a elaboração de estruturas multiníveis com chaves semicondutoras do tipo GTO (*Gate Turn-Off Thyristor*) [28]. Posteriormente, em 1999, foram descritas as vantagens e desvantagens da aplicação da estrutura multinível em STATCOM, incluindo um procedimento de pré-carga dos capacitores nos barramentos CC do conversor CC/CA [15]. Verificou-se que o STATCOM, por causa da estrutura multinível, atingia rapidamente a estabilidade após a presença de situações próprias do regime transitório.

Outros estudos sobre a aplicação das estrutura multiníveis em sistemas de distribuição de energia examinaram: em 1998, a compensação de harmônicos e reativos [5, 14]; em 2002, a regulação da tensão de alimentação através de um DVR (*Dynamic Voltage Restorer*) [16]; e em 2004, o controle do fluxo de potência em tensões de 2,3kV a 13,8kV [29]. Em 1996 na África do Sul, problemas causados por componentes harmônicos presentes nas correntes de alimentação de um sistema ferroviário indicaram a necessidade de instalação de filtros ativos de potência para a compensação harmônica [11]. A princípio, trata-se do primeiro estudo experimental sobre as estruturas multiníveis em filtros ativos de potência. O FAP implementado tinha uma potência nominal de 100kVA e o conversor CC/CA era baseado na estrutura multinível. Além de atuar como FAP, este conversor permitia a regeneração de energia excedente durante a frenagem dos trens. Posteriormente, outro estudo sobre a aplicação de uma estrutura multinível em um FAP para a compensação harmônica de sistemas ferroviários foi examinado na Austrália em 2003 [30]. Há também um estudo, publicado em 2001, sobre a viabilidade da aplicação de um FAP baseado na estrutura multinível em um sistema de transporte a ser implantado nos Estados Unidos [12]. Neste sistema de transporte norte-americano, o deslocamento dos trens baseia-se na levitação magnética (*maglev*) e o FAP seria conectado em paralelo à sua alimentação. Sistemas de transporte semelhantes já estão em operação na Inglaterra, na China, no Japão e na Alemanha.

Em outros realizados desde o início da década de 1990 percebe-se que houve uma tendência em examinar a aplicação da estrutura multinível em um FAP, e também de propor inovadoras técnicas de controle específicas para essa estrutura. A maioria dessas propostas são baseadas em técnicas de controle tradicionais (ou clássicas) e fazem uso, principalmente, de controladores do tipo PI. Já em outras propostas, os sistemas de controle são mais complexos e baseados em lógica *fuzzy* [31], publicada em 1997, ou em controladores do tipo *dead-beat* [18], publicada em 2004.

Outra ponto comum observado nos estudos publicados desde o início da década de 1990 é o de alertar que o desempenho do FAP na compensação de harmônicos e reativos depende do equilíbrio das tensões presentes nos barramentos CC dos conversores CC/CA multiníveis [5, 12, 14]. Para algumas topologias, o sistema de controle dessas tensões CC pode requerer dispositivos extras e ser mais elaborado, o que pode dificultar a sua implementação [27, 32, 33]. Em alguns estudos, para que as tensões CC fossem mantidas equivalentes aos em seus respectivos valores de referência, foram desenvolvidos sistemas de controle com essa finalidade [5, 20]. Em outros, foram utilizados conversores CC/CC alimentados por retificadores semi-controlados [34] ou por retificadores nãocontrolados (com diodos) contendo um capacitor (do barramento CC) na saída [21]. Neste último, todos os retificadores tinham isolação individual e eram alimentados a partir de um transformador cujo lado secundário era formado por vários *taps*, o que proporcionava diferentes valores de tensão CA nas entradas dos retificadores. Do lado primário, este transformador era alimentado por uma fonte de tensão CA. Por outro lado, há outros estudos nos quais as tensões CC não eram isoladas, sendo impostas por um barramento CC comum a todos os conversores CC/CA [24]. Neste caso, as tensões CC possuíam o mesmo valor e a topologia utilizada era a em cascata. Por causa da semelhança das tensões CC, essa topologia poderia ser denominada de cascata simétrica. Porém, os terminais

de saída de cada conversor CC/CA estavam conectados a diferentes terminais do lado primário de um transformador elevador de tensão. Em cada par de terminais, as diferentes relações de espiras promoviam tensões com amplitudes diferentes no lado secundário do transformador. Assim, esta topologia tratava-se da cascata assimétrica.

1.1 Objetivo e organização do trabalho

Em função das vantagens da estrutura multinível e também por se tratar de um tema recente, este trabalho objetiva a aplicação da estrutura multinível (ou de inversores multiníveis) como filtro ativo de potência. Aspectos que envolveram a escolha da topologia e as técnicas de filtragem ativa são abordados, e resultados obtidos experimentalmente e a partir de simulações validam a sua aplicação. Além deste capítulo, o trabalho é dividido em mais quatro capítulos. Adicionalmente, a seção de apêndices aborda detalhes técnicos da implementação do protótipo do FAP.

O capítulo 2 aborda as características de uma estrutura multinível e algumas das principais topologias. Essas topologias são comparadas em alguns aspectos e qualificadas para o uso em aplicações de compensação de harmônicos e reativos. Há também a apresentação dos critérios utilizados na escolha da topologia adotada para o inversor multinível implementado.

Inicialmente, o capítulo 3 aborda uma comparação da topologia em cascata assimétrica com e sem modulação PWM no módulo de menor tensão. Para isso, considera-se o número de níveis e as particularidades das respectivas estratégias de modulação. O capítulo também aborda a aplicação do inversor escolhido em filtros ativos de potência. Além das características de operação do sistema de filtragem, é descrito um método para o projeto dos controladores utilizados no FAP. Por fim, o capítulo ainda aborda os aspectos que envolvem um sistema de controle das tensões dos barramentos CC do inversor escolhido. É apresentada uma proposta para realizar este controle e que interfere na estratégia de modulação do inversor multinível.

O capítulo 4 exibe os resultados do sistema de filtragem obtidos a partir de simulações computacionais e experimentalmente, através do protótipo implementado. O desempenho do FAP é exemplificado por resultados nos regimes permanente e transitório. Neste capítulo são descritos os parâmetros utilizados no cálculo dos controladores do sistema de filtragem e alguns detalhes relacionados ao protótipo implementado.

No capítulo 5 são feitas algumas considerações gerais sobre os aspectos descritos nos capítulos anteriores. Também há algumas sugestões para a continuação deste trabalho e que poderiam acrescentar ou esclarecer pontos importantes na aplicação de inversores multiníveis em filtros ativos de potência.

1.2 Publicações

Como fruto deste trabalho foram publicados os seguintes artigos:

- S. P. Pimentel, L. A. Silva, J. A. Pomilio. "Aplicação de Inversores Multiníveis em Filtros Ativos de Potência". XVI Congresso Brasileiro de Automática 2006 (CBA 2006), no prelo, Salvador, Brasil, Outubro 2006.
- L. A. Silva, S. P. Pimentel, J. A. Pomilio. "Sistema de Filtragem Ativa com Inversor Multinível Assimétrico em Cascata de Dezenove Níveis e Controle de Tensão nos Barramentos CC". *Eletrônica de Potência*, Revista da Associação Brasileira de Eletrônica de Potência (SOBRAEP), vol. 11, nº 1, pg. 17-24, Março 2006.
- L. A. Silva, S. P. Pimentel, J. A. Pomilio. "Nineteen-level Active Filter System using Asymmetrical Cascaded Converter with DC Voltages Control" *IEEE Power Electronics Specialists Conference 2005* (PESC'05), pg. 303-308, Recife, Brasil, Junho 2005.
- L. A. Silva, S. P. Pimentel, J. A. Pomilio. "Analysis and Proposal of Capacitor Voltage Control for an Asymmetric Cascaded Converter" *IEEE Power Electronics Specialists Conference 2005* (PESC'05), pg. 809-815, Recife, Brasil, Junho 2005.

1.3 Conclusões

A escolha por se trabalhar com conversores CC/CA baseados na estrutura multinível, ao invés de estruturas PWM tradicionais, permite a redução dos componentes do filtro passivo de saída, o chaveamento em baixas freqüências e a possibilidade de operação em níveis maiores de tensão e de potência. A sua aplicação em filtros ativos de potência permite uma melhora no desempenho do sistema de filtragem e também uma redução do conteúdo harmônico da grandeza compensada.

A partir da apresentação de alguns estudos feitos por diversos grupos de pesquisa e que examinaram especificamente a aplicação de inversores multiníveis em filtros ativos de potência, foi possível perceber que trata-se de um assunto atual. Por essa razão, este trabalho pode contribuir na viabilidade de se aplicar filtros ativos de potência aplicados em número maior de sistemas de distribuição de energia elétrica, para a compensação de harmônicos e de reativos.

Capítulo 2

Inversores multiníveis

Um dispositivo que fornece em seus terminais de saída uma grandeza (tensão ou corrente) alternada a partir de outra grandeza contínua pode ser chamado de inversor. A grandeza disponibilizada através de seus terminais de saída determinará se o inversor é de tensão ou corrente. Ou seja, um inversor de tensão fornece uma tensão CA e um inversor de corrente fornece uma corrente CA. Em ambos, a grandeza contínua CC de entrada será imposta basicamente por uma fonte CC (de tensão ou de corrente) associada, ou não, a um ou mais elementos passivos armazenadores de energia (capacitor e indutor). A figura 2.1 exibe algumas dessas estruturas, nas quais duas possuem barramentos CC alimentados por fontes controladas (ou dependentes) de tensão CC ou de corrente CC. Na figura 2.1 essas fontes controladas estão em destaque e são representadas por um símbolo no formato de um losango contendo um indicativo do tipo de fonte e de sua respectiva polaridade.



Fig. 2.1: Inversores de tensão (a) e de corrente (b).

São possíveis quatro estruturas considerando as características de entrada e de saída. Quando se tem um conversor alimentado por uma fonte de tensão e com saída em tensão CA, ou no caso de alimentação em corrente CC e saída em corrente CA, a operação do conversor pode ser realizada em malha aberta, ou seja, sem necessidade da realimentação da variável de saída. Nas outras duas situações (alimentação em tensão CC com saída em corrente CA ou alimentação em corrente CC com saída em tensão CA) é preciso operar o conversor realimentando a variável de saída para garantir que seja obtido o valor desejado desta grandeza. Por ser de fácil implementação e por, normalmente, apresentar menores perdas, um inversor de tensão elaborado a partir de fontes de tensão CC é o mais utilizado.

A operação de um inversor está limitada a uma faixa de potência. Essa limitação decorre principalmente dos dispositivos semicondutores utilizados e que operarão como interruptores. A limitação de potência está relacionada às capacidades de bloqueio de tensão e de condução de corrente. Além disso são importantes também os tempos de comutação e a capacidade de dissipação do calor produzido no interior do dispositivo. Quando a aplicação exige níveis de tensão ou de corrente maiores do que podem ser suportados por um único dispositivo deve-se recorrer à associação de componentes. Essa associação é em série, para ampliar a capacidade de bloqueio de tensão, ou em paralelo, para permitir uma maior condução de corrente. A dificuldade destas soluções é garantir a adequada distribuição equalizada de tensão ou de corrente entre os diversos dispositivos usados, tanto em regime permanente quanto nas comutações.

A necessidade em manipular níveis de potência cada vez maiores e a limitação tecnológica de dispositivos semicondutores resultou no surgimento dos chamados inversores multiníveis [8]. Data de 1975 uma patente norte-americana a respeito de inversores multiníveis [35] e o termo multinível foi inicialmente introduzido a partir de um inversor de três níveis [36].

Os inversores multiníveis são constituídos por diversos componentes semicondutores e por um ou mais barramentos CC. Em seus terminais de saída, são capazes de gerar formas de onda divididas em vários degraus, de forma semelhante ao efeito de quantização observada na digitalização na conversão de sinais analógicos. O número de níveis (ou degraus) obtidos depende do tipo de modulação empregada e do número disponível de níveis de tensão ou de corrente. O aumento do número desses níveis reduz a distorção da forma de onda do sinal de saída em relação a uma dada referência. Outra vantagem é a possibilidade de operação em baixa freqüência de alguns (ou de todos) dispositivos semicondutores empregados. O número de componentes utilizados na estrutura multinível depende da topologia empregada. A seção 2.3 deste capítulo exibe maiores detalhes sobre as principais topologias utilizadas em inversores multiníveis. Os inversores multiníveis têm sido utilizados em aplicações de alta potência (da ordem de dezenas de MW) com níveis médios de tensão (\geq 2,3kV), tais como o acionamento de bombas, compressores, ventiladores, moinhos, laminadores, etc. [8].

2.1 Compensação de harmônicos e reativos

A capacidade da estrutura multinível em atingir maiores níveis de tensão e de potência impulsiona o seu emprego em conversores utilizados junto ao sistema elétrico de potência, seja em filtros ativos de potência (FAP), seja para a compensação de reativos. A sua utilização em aplicações de baixa tensão é possível e o seu uso deve considerar aspectos econômicos.

Em relação aos inversores PWM convencionais, a estrutura multinível necessita, além de um maior número de componentes, de um sistema de controle mais complexo e de estratégias de modulação exclusivas. A partir de controladores disponíveis no mercado (DSP e microcontroladores) é possível elaborar algoritmos ou programas que permitam a sua utilização. Porém, dependendo da estrutura multinível idealizada, será necessário utilizar mais do que apenas um controlador. Tudo dependerá do número de portas *I/O* exigidas e do número de sinais elétricos a serem monitorados, que também interferem no número de conversores A/D e D/A necessários.

Para a conexão do conversor à carga ou à rede elétrica normalmente é necessário um filtro passivo que atenue os componentes de alta freqüência presentes na variável de saída e diminua o nível de interferência eletromagnética (IEM), deixando-o abaixo dos limites permitidos por normas pertinentes. Geralmente, o filtro passivo é uma estrutura de 1ª ordem (L) ou de 2ª ordem (LC). A figura 2.2 exibe algumas dessas estruturas. O dimensionamento de seus elementos deve prever a ocorrência de ressonâncias que podem causar riscos na ausência de dispositivos de proteção [1].



Fig. 2.2: Estruturas passivas de 1^a (a), 2^a (b) e 4^a (c) ordens.

Na estrutura multinível, a baixa distorção do sinal de saída dispensa o uso de grandes indutâncias para o compor o filtro passivo. Isso possibilita o uso de estruturas mais simples de filtros ou o aumento da sua faixa de passagem (com a redução nos valores dos componentes $L \in C$) dado que as componentes espectrais a serem filtradas são, tipicamente, de menor amplitude comparadas às produzidas por inversores PWM para a mesma aplicação. Maiores detalhes sobre o dimensionamento de filtros passivos são descritos em [2].

Outra vantagem da estrutura multinível é permitir a conexão direta a maiores níveis de tensão sem o uso de transformadores como elemento de acoplagem.

2.2 Modulação PWM em multiníveis

Na modulação PWM, um sinal de referência é comparado a uma onda triangular a cada ciclo da freqüência de chaveamento. A figura 2.3 mostra como a largura do trem de pulsos é modulada em função de um sinal de referência senoidal. O(s) pulso(s) gerado(s) por esse tipo de modulação (neste caso, os sinais v_+ e v_-) pode(m) ser diretamente acoplado(s) à(s) porta(s) de comando de um dispositivo semicondutor que permita rápida velocidade de comutação, por exemplo o IGBT.



Fig. 2.3: Modulação PWM.

Especificamente para a estrutura multinível, há três principais estratégias para essa modulação: PD (*phase disposition*), POD (*phase opposition disposition*) e APOD (*alternative phase opposition disposition*) [37, 38]. Há outros dois métodos para esse tipo de modulação em estruturas multiníveis e que são conhecidos como o método PS (*phase shifted*) e o método híbrido [39]. Nas estratégias PD, POD e APOD, a modulação em uma estrutura multinível de até x níveis, será composta pela comparação de um sinal de referência com (x - 1) sinais com formato de onda triangular. Cada sinal com formato triangular abrange o intervalo de valores compreendido entre os diversos níveis permitidos. A figura 2.4 exibe essas estratégias para uma estrutura multinível de 5 níveis a partir de um sinal de referência senoidal.



Fig. 2.4: Estratégias: APOD (a), POD (b) e PD (c).

A diferença entre as estratégias da figura 2.4 baseia-se no deslocamento temporal dos sinais triangulares utilizados na comparação. Na estratégia PD, todos os sinais com formato de onda triangular utilizados na comparação estão em fase. Na estratégia POD, os sinais com formato de onda triangular acima do nível 0 estão defasados em 180° com relação aos seus respectivos sinais que estão abaixo do nível 0. Na estratégia APOD, cada um desses sinais apresenta uma defasagem de 180° em relação aos dois sinais adjacentes. Como essas estratégias são baseadas na modulação PWM clássica, todos os pulsos são gerados de acordo com aquela regra tradicional. Por exemplo, a figura 2.3 poderia ser utilizada para exemplificar uma estratégia POD destinada a uma estrutura multinível de 3 níveis.

Caso a estrutura multinível seja composta mais vários módulos associados em série, o número (x - 1) de sinais triangulares não é uma regra geral. Isso porque um ou mais módulos podem operar sem uma modulação PWM. Vale ressaltar que um ou mais módulos operando com modulação PWM não obriga a utilização de apenas uma estratégia. Ou seja, um módulo pode operar com a estratégia PD e o outro, com APOD. Porém, esses detalhes dependem do tipo de topologia adotada para a estrutura multinível.

2.3 Topologias

Nas diversas aplicações da estrutura multinível, são utilizadas basicamente as topologias neutro grampeado, capacitor grampeado e em cascata. A escolha por uma delas dá-se em função do tipo de aplicação, do número de níveis desejados no sinal de saída, do valor máximo de tensão disponível, da faixa de potência abordada e da quantidade total de componentes.

As figuras 2.5 e 2.6 exibem a topologia neutro grampeado (NPC) utilizada em estruturas multiníveis de 3 e 5 níveis, respectivamente. Na figura 2.5, o sinal de saída v_{conv} possui os níveis de tensão $+V_{cc}/2$, 0 e $-V_{cc}/2$ de acordo com o acionamento das chaves S_1 , S_2 , S_3 e S_4 . Para atingir o nível $+V_{cc}/2$, é necessário o acionamento das chaves S_1 e S_2 . Para o nível 0, das chaves S_2 e S_3 . E para o nível $-V_{cc}/2$, das chaves S_3 e S_4 . Na figura 2.6 há um número maior de diodos em função da desigualdade entre as tensões reversas que eles precisam suportar. A topologia NPC também é conhecida pelo termo diodo grampeado (*diode-clamped*) [8, 40, 41], que foi introduzido no ano de 1991 [11].



Fig. 2.5: Topologia NPC de 3 níveis.



Fig. 2.6: Topologia NPC de 5 níveis.

As figuras 2.7 e 2.8 exibem a topologia capacitor grampeado utilizada em estruturas multiníveis de 3 e 5 níveis, respectivamente. Na figura 2.7, o sinal de saída v_{conv} possui os níveis de tensão $+V_{cc}/2$, 0 e $-V_{cc}/2$ de acordo com o acionamento das chaves S_1 , S_2 , S_3 e S_4 . A maneira como esses níveis de tensão são obtidos é semelhante à da topologia NPC, com exceção do nível 0 que é obtido de duas maneiras. Se as chaves S_1 e S_3 são acionadas, o nível 0 é obtido pelo cancelamento das

tensões presentes nos capacitores C_1 e C_3 . Se as chaves S_2 e S_4 são acionadas, o nível 0 é obtido pelo cancelamento das tensões presentes nos capacitores C_2 e C_3 . A topologia capacitor grampeado também é conhecida pelo termo capacitor flutuante (*flying capacitor*) [8, 42, 43], que foi introduzido no ano de 1992 [11].



Fig. 2.7: Topologia capacitor grampeado de 3 níveis.



Fig. 2.8: Topologia capacitor grampeado de 5 níveis.

A principal desvantagem das topologias NPC e capacitor grampeado é o número de diodos e de capacitores necessários para se obter um número maior de níveis no sinal de saída do conversor. Além disso, o nível máximo de tensão disponível será sempre a metade do valor de tensão imposta pela fonte CC em ambas topologias. Especificamente para a topologia NPC operando sob uma modulação

PWM, o intervalo de tempo transcorrido durante o processo de formação da barreira de potencial de junção nos diodos (*recovery*) a cada situação de bloqueio representa o principal obstáculo na aplicação dessa topologia em alta tensão e em alta potência [8]. Esses fatores dificultam a utilização dessas topologias em aplicações de alta potência e/ou de média tensão, que é uma das principais vantagens da estrutura multinível.



Fig. 2.9: Topologias em cascata simétrica (a) e assimétrica (b).

A topologia mais utilizada em conversores CC/CA é a em cascata, composta por diversos módulos de pontes inversoras do tipo H (*H-bridge*) associados em série. A figura 2.9 exibe dois tipos da topologia em cascata. Alguns autores não associam a topologia em cascata assimétrica à simétrica e referem-se àquela como topologia híbrida [8, 44–46].

A topologia em cascata simétrica apresenta diversas fontes CC com valores iguais a V_1 . Por outro lado, na cascata assimétrica, esses valores são diferentes. Os valores das tensões $V_1, V_2, \ldots e V_m$ dependem basicamente da configuração adotada pela topologia em cascata assimétrica. Com isso, esses valores podem ser múltiplos entre si ou não.

A figura 2.10 exibe a topologia em cascata simétrica capaz de gerar até 5 níveis de tensão na faixa de valores $\pm 2V_1$. A partir dela, pode-se comparar a diferença entre as topologias em cascata em relação às demais. Para atingir esse nível de tensão utilizando 5 níveis, as topologias NPC e capacitor grampeado necessitariam, de acordo com as figuras 2.6 e 2.8, de uma fonte CC igual a $4V_1$, 12 diodos (NPC) e 10 capacitores. Tantos componentes e um valor elevado de tensão para uma fonte CC refletem a dificuldade técnica de implementar-se tais dispositivos em uma simples aplicação monofásica ou mesmo trifásica. A partir da tabela 2.1 [47] percebe-se que, em relação às demais, a



Fig. 2.10: Topologia em cascata simétrica de 5 níveis.

topologia em cascata necessita de um número menor de componentes para obter x níveis na saída do conversor.

Topologia	Níveis	Capacitores	Diodos	Chaves	Fontes CC
	3	2	2	4	1
NPC	5	4	12	8	1
	x	(x - 1)	$(x-1)\cdot(x-2)$	$2 \cdot (x-1)$	1
	3	3	0	4	1
Capacitor Grampeado	5	10	0	8	1
	x	$x \cdot [(x-1)/2]$	0	$2 \cdot (x-1)$	1
	3	1	0	4	1
Em Cascata Simétrica	5	2	0	8	2
	x	(x-1)/2	0	$2 \cdot (x-1)$	(x-1)/2

Tab. 2.1: Número de componentes por topologia.

A maior desvantagem das topologias em cascata é o fato de requererem fontes CC individuais e isoladas em todos os módulos existentes, o que pode dificultar sua implementação. Uma solução para isso seria a utilização de conversores CC/CC ou a substituição das fontes CC por elementos passivos e armazenadores de energia (capacitor ou indutor) nas aplicações de compensação harmônica. Caso ocorra a substituição das fontes por esses elementos, é preciso garantir que as grandezas (tensão ou corrente) disponíveis nos barramentos CC permaneçam iguais aos seus respectivos valores de referência. No capítulo 3, há maiores informações sobre um sistema de controle empregado na topologia em cascata assimétrica.

2.3.1 Simétrica x assimétrica

A topologia em cascata assimétrica pode reduzir consideravelmente o número total de componentes utilizados para obter o mesmo número de níveis. Para uma estrutura multinível de 27 níveis, por exemplo, a topologia em cascata simétrica necessitaria de 13 módulos em série com tensões individuais iguais a V_1 . Com isso, o erro de resolução¹, ou seja, a diferença entre dois níveis adjacentes, seria equivalente a V_1 . Para obter os mesmos 27 níveis e o mesmo erro de resolução, a topologia em cascata assimétrica necessitaria de apenas 3 módulos em série operando na configuração (1 : 3 : 9), com valores de tensão iguais a V_1 , $3V_1$ e $9V_1$.

Apesar dessa vantagem, a topologia em cascata assimétrica requer o emprego de componentes de mesma especificação e por causa de sua configuração, um dos módulos deverá ser projetado para suportar uma tensão praticamente igual à tensão total da estrutura multinível. No caso da configuração (1:3:9), o módulo de maior tensão promove comutações de uma tensão que representa aproximadamente 70% da tensão total. No entanto, devido à comutação em baixa freqüência, as perdas de chaveamento no módulo de maior tensão são minimizadas.

2.4 Conclusões

Neste capítulo foram descritas as principais vantagens e desvantagens da estrutura multinível em relação à estrutura PWM tradicional. Aspectos sobre a aplicação da estrutura multinível na compensação de harmônicos e reativos também foram citados.

Na segunda parte do capítulo, foram mostradas as principais topologias utilizadas na estrutura multinível. Estas foram comparadas com relação ao número de componentes utilizados e a capacidade em atingir diversos níveis de tensão a partir de fontes de tensão. Critérios para a escolha de uma determinada topologia também foram adotados. A partir dessas informações, é possível concluir que a escolha por uma das topologias pode interferir no nível máximo de tensão produzido e/ou no custo total de implementação de um FAP baseado na estrutura multinível.

No próximo capítulo, são abordadas algumas estratégias de modulação específicas para a topologia em cascata assimétrica. Além disso são apresentadas as influências da configuração adotada para esta topologia no índice de modulação do conversor CC/CA e na DHT do sinal de saída. Também são descritos os detalhes da aplicação da topologia escolhida em um sistema de filtragem ativa, tais como: o sistema de controle adotado; a técnica escolhida para o FAP; um método para a determinação dos coeficientes dos controlados do sistema de controle; e as dificuldades em se controlar as tensões CC presentes nos barramentos CC da topologia em cascata assimétrica.

¹Semelhante ao erro de quantização associado à digitalização de sinais analógicos.

Capítulo 3

Conversor CC/CA

Um conversor CC/CA baseado na estrutura multinível pode ser implementado utilizando as diferentes topologias apresentadas no capítulo 2. Dentre aquelas, optou-se pela implementação da topologia em cascata assimétrica basicamente por duas razões: permitir a abrangência de um número maior de níveis utilizando um número mínimo de componentes; e ser a mais indicada para uma aplicação com tensões de nível baixo (127/220V). A análise em um nível de tensão menor permite estender o estudo do desempenho do sistema de filtragem e do controle das tensões CC para níveis médios de tensão.

O inversor multinível escolhido apresenta 3 módulos em cascata por fase, com valores diferentes de tensão nos seus respectivos barramentos CC. A figura 3.1 mostra o equivalente trifásico dessa escolha, onde cada um do total de 9 módulos opera de maneira independente em relação aos demais. Ou seja, cada módulo possui a sua estratégia de modulação, a sua fonte de tensão CC isolada e sua ponte monofásica H, operando de maneira desacoplada. O ponto comum às associações em série de cada fase pode estar conectado ou não ao condutor de proteção (ou terra) de acordo com a conexão deste ao condutor neutro (ou de retorno). A chave, normalmente desligada, localizada entre esses condutores na figura 3.1 representa a possibilidade de conexão entre eles.

A implementação realizada foi de um protótipo monofásico com potência nominal de 1kVA. Os conceitos abordados nesse protótipo monofásico podem ser estendidos para aplicações trifásicas. Ocorrendo ou não um desequilíbrio de carga nas 3 fases, cada uma delas opera de forma independente das demais. Com isso, o protótipo monofásico implementado pode ser situado numa aplicação trifásica de 4 fios, na qual a carga esteja absorvendo potência (ativa e não-ativa) através de apenas uma das fases disponíveis.

A figura 3.2 exibe a estrutura multinível analisada e implementada. É uma estrutura monofásica composta por três fontes de tensão CC (V_1 , V_2 e V_3), três bancos de capacitores (C_1 , C_2 e C_3), três módulos de ponte H contendo 4 IGBT's com diodos em anti-paralelo e três resistências de valor elevado



Fig. 3.1: Estrutura multinível em cascata assimétrica trifásica.



Fig. 3.2: Estrutura multinível em cascata assimétrica monofásica.

 R_1 , R_2 e R_3 . Os bancos de capacitores são formados por 6 capacitores eletrolíticos de 470 μ F associados em paralelo cada um, originando 3 capacitâncias equivalentes de 2,82mF. Tais capacitâncias inibem bruscas variações das tensões V_1 , V_2 e V_3 , mantendo-as em torno de seus respectivos valores de regime permanente. As resistências R_1 , R_2 e R_3 têm a função de diminuir o acúmulo de carga nos bancos de capacitores após um longo tempo de inatividade do conversor. A princípio, essas resistências de tensão CC. Caso essas fontes sejam retiradas, os valores para essas resistências também devem seguir a configuração adotada para as tensões CC da estrutura em cascata assimétrica. Por exemplo, para uma configuração do tipo (1 : 3 : 9), é recomendável que os valores dessas resistências sejam iguais a $R_2 = 3R_1$ e $R_3 = 9R_1$.

3.1 Níveis de tensão

3.1.1 Sem modulação PWM nos módulos

Sabe-se que uma estrutura multinível de x níveis é assim denominada por ser capaz de fornecer uma grandeza elétrica (tensão ou corrente) escalonada em até x faixas de valores e que, de acordo com a seção 2.3 do capítulo 2, essa estrutura pode ser implementada de várias maneiras. Caso essa estrutura multinível de x níveis fosse implementada utilizando uma topologia em cascata simétrica semelhante àquela da figura 2.9, seriam necessárias N fontes de tensão CC, conforme a equação 3.1 e a tabela 2.1. Os valores de tensão dessas fontes seriam iguais a V_1 volts e a estrutura multinível implementada teria uma tensão de saída de valor máximo igual a NV_1 volts. A equação 3.1 determina a quantidade N de fontes de tensão CC necessárias na topologia em cascata simétrica para a elaboração de uma tensão CA de x níveis.

$$N = \frac{(x-1)}{2} \quad (x \in \mathbb{N} : x \ge 1)$$
(3.1)

Por outro lado, se essa estrutura multinível fosse implementada utilizando uma topologia em cascata assimétrica com o propósito de gerar os mesmos x níveis na tensão de saída CA, o número de fontes de tensão CC necessárias dependeria da configuração adotada para os módulos. Considerando esta topologia e que a tensão no barramento CC do módulo de menor tensão seja igual a V_1 , os demais módulos deverão possuir em seus respectivos barramentos CC, tensões múltiplas inteiras de V_1 e com valores crescentes ($V_1 < V_2 < V_3 \dots$). Caso essa regra não seja obedecida, o erro de resolução e a DHT da tensão de saída serão maiores.

Essa regra de multiplicidade é necessária, porém insuficiente. Ou seja, podem existir configurações da topologia em cascata assimétrica nas quais todos os módulos possuem tensões múltiplas inteiras de V_1 , mas com a tensão CA de saída da estrutura multinível não sendo escalonada em faixas de valores eqüidistantes, causando os mesmos problemas já citados. Com exceção das configurações descritas nas equações 3.2 e 3.3, as demais não são recomendadas para aplicações em estruturas multiníveis ou apresentam redundância na forma como são gerados cada um dos níveis da tensão de saída.

$$V_j = 2^{(j-1)} \cdot V_1 \quad (j \in \mathbb{N} : j \ge 1)$$
 (3.2)

$$V_j = 3^{(j-1)} \cdot V_1 \quad (j \in \mathbb{N} : j \ge 1)$$
(3.3)

As configurações exibidas nas equações 3.2 e 3.3 podem ser simplesmente denominadas por configurações (1:2:4:8:...) e (1:3:9:27:...), respectivamente. Essa forma de denominação é habitual e corresponde à proporção existente entre os fatores de multiplicidade das tensões $V_1, V_2, V_3, V_4...V_m$, conforme as equações acima. Uma topologia em cascata assimétrica formada por m módulos, operando segundo uma das configurações exibidas nas equações 3.2 e 3.3, representa uma estrutura multinível de x níveis de acordo com a equação 3.4.

$$x = 1 + 2\sum_{j=1}^{m} \left(\frac{V_j}{V_1}\right)$$
(3.4)

Apesar da semelhança entre as duas configurações acima, elas se diferenciam bastante com relação ao número de níveis que cada uma é capaz de gerar. Por exemplo, considerando uma topologia formada por 4 módulos (m = 4) constituídos por ponte H e operando na configuração (1:2:4:8), essa estrutura multinível seria capaz de gerar uma tensão de saída formada por até 31 níveis. Se essa topologia operasse na configuração (1:3:9:27), o número de níveis aumentaria para 81. A tabela 3.1 exibe essa diferença de níveis em função da configuração adotada para topologias formadas por outras quantidades de módulos.

Configuração							m			
	1	2	3	4	5	6	7	8	9	10
(1:2:4:8:)	3	7	15	31	63	127	255	511	1023	2047
(1:3:9:27:)	3	9	27	81	243	729	2187	6561	19683	59049

Tab. 3.1: Número de níveis possíveis de serem obtidos pela topologia em cascata assimétrica em função da configuração adotada e do número de módulos.

Portanto, considerando a quantidade de componentes, a configuração (1:3:9:27:...) é que apresenta a melhor relação custo-benefício quando é aplicada na topologia em cascata assimétrica para



obter uma tensão de saída formada por níveis equidistantes.

Fig. 3.3: Sinal de saída de um inversor multinível de 27 níveis sem modulação PWM nos módulos nos domínios do tempo (a) e da freqüência (b) a partir de um sinal de referência senoidal.

A figura 3.3 exibe o sinal gerado segundo a configuração (1:3:9), a partir de uma referência senoidal com amplitude de 13V e freqüência de 60Hz, considerando que a tensão V_1 seja igual a 1V. Percebe-se que os níveis estão equidistantes e que a transição entre eles ocorre no meio dos níveis adjacentes. Em função da boa representação do sinal de referência a partir de 27 níveis de tensão, o sinal de saída apresenta uma baixa distorção. Essa baixa distorção é indicada pelo valor do fator WTHD (Weighted Total Harmonic Distortion), definido de acordo com a equação 3.5 [48]. O fator WTHD, equivalente ao fator DF_1 , representa um índice de distorção ponderado em freqüência que minimiza os efeitos dos componentes de alta freqüência no cálculo da distorção total de um sinal. No cálculo desse fator, a divisão dos componentes harmônicos por suas respectivas ordens pode ser comparada à divisão de um sinal de tensão por uma impedância do tipo ωL , resultando num valor de corrente. Dessa forma, o fator WTHD identifica os efeitos da distorção da tensão de saída do conversor CC/CA na corrente fornecida por ele à uma carga com característica indutiva. Essa carga pode ser um motor de indução, como também pode ser um indutor utilizado como filtro passivo de saída na composição de um sistema de filtragem ativa. Neste trabalho, o filtro passivo adotado é de 1^ª ordem e trata-se de um indutor. Dessa forma, é possível verificar o efeito da distorção da tensão de saída do conversor CC/CA na corrente que circula pelo FAP através do fator WTHD. Caso o filtro passivo fosse de 2ª ordem, o cálculo de outro fator – DF₂ – através da equação 3.6 quantificaria essa

influência da distorção da tensão de saída do conversor CC/CA [49]. Se o interesse fosse apenas a análise do grau de distorção da tensão de saída, bastaria o cálculo de sua DHT.

WTHD
$$\equiv$$
 DF₁ = $\frac{1}{V_1} \sqrt{\sum_{n=2}^{\infty} \left(\frac{V_n}{n}\right)^2}$ (3.5)

$$\mathrm{DF}_2 = \frac{1}{V_1} \sqrt{\sum_{n=2}^{\infty} \left(\frac{V_n}{n^2}\right)^2} \tag{3.6}$$

A partir do espectro em freqüências do sinal de saída composto por 27 níveis, percebe-se que todos os componentes harmônicos possuem amplitudes inferiores a 1,00% da amplitude verificada na freqüência fundamental (60Hz). Por causa disso, a minimização destes componentes harmônicos através de filtros passa-baixas torna-se mais simples. Os baixos valores para as amplitudes desses componentes também são justificados pela comutação em baixa freqüência dos módulos que compõem o inversor. O sinal de saída composto por 27 níveis foi obtido segundo a estratégia de modulação a ser descrita na subseção 3.2.1.

3.1.2 Com modulação PWM apenas no módulo de menor tensão

Caso qualquer um dos módulos opere segundo uma modulação PWM, a configuração descrita na equação 3.3 não é mais indicada para representar a proporção entre as tensões CC dos barramentos CC da estrutura multinível. Para os casos nos quais o módulo de menor tensão opera segundo uma modulação PWM, a configuração mais indicada para a topologia em cascata assimétrica é composta pelos quocientes de todas as possíveis relações obtidas de acordo com a equação 3.7 [46, 50, 51]. O que significa que para uma topologia em cascata assimétrica operando sob uma estratégia de modulação na qual o módulo de menor tensão opera com modulação PWM, a configuração (1:2:6:18:...) seria a mais adequada para ela.

$$\frac{V_j}{V_1} = 2\sum_{k=1}^{j-1} \frac{V_k}{V_1} \quad (j \in \mathbb{N} : j \ge 2)$$
(3.7)

Apesar de gerar um número menor de níveis do que a configuração (1:3:9:27:...), a configuração (1:2:6:18:...) da equação 3.7 possui um melhor aproveitamento da faixa de valores compreendidos entre níveis adjacentes nos casos em que o módulo de menor tensão opera com modulação PWM. Por exemplo, o emprego das configurações (1:3:9) e (1:2:6) na estrutura multinível da figura 3.2, torna-a uma estrutura de 27 e 19 níveis, respectivamente. Nessas condições, a tensão de saída do inversor multinível teria o comportamento exibido nas figuras 3.4 e 3.5 para uma modulação PWM



na freqüência de 18kHz e uma referência senoidal de amplitude igual a 100V na freqüência de 60Hz.

Fig. 3.4: Tensão de saída nos domínios do tempo (a) e da freqüência (b) para um inversor multinível de 27 níveis considerando modulação PWM no módulo de menor tensão.

Baseado nas figuras 3.4 e 3.5, percebe-se que na estrutura de 27 níveis não há comutações de alta freqüência em todos os níveis permitidos e por conta disso, ela apresenta um erro de resolução maior em relação à de 19 níveis. A ausência das comutações em alta freqüência, oriundas da modulação PWM, em alguns níveis da configuração (1:3:9) é determinada pela extrapolação dos limites $\pm V_1$ do sinal de referência do módulo de menor tensão $v_{mod_1}^*$. Nos níveis em que não há comutações, o sinal de referência do módulo de menor tensão é no mínimo igual a $+V_1$ ou no máximo igual a $-V_1$. Como não acontece esse tipo de extrapolação na configuração (1:2:6), a tensão do módulo de menor tensão é escalonada, a partir da modulação PWM, somente entre os valores 0 e $\pm V_1$. A maneira como são determinados os sinais de referência para cada um dos módulos está descrita na subseção 3.2.2.

A presença ou não de comutações em alta freqüência em determinados níveis do sinal de saída também interfere no espectro em freqüências deste sinal, e por conseqüência, no seu fator de distorção WTHD. Na configuração (1:2:6) há um número maior de componentes harmônicos cujas amplitudes ultrapassam o valor de 0,01 do que na configuração (1:3:9). Além disso, as amplitudes desse componentes harmônicos na configuração (1:2:6) são mais acentuadas do que na (1:3:9). Por essa razão, o valor de WTHD para a configuração (1:3:9) é baseado em amplitudes menores do que na configuração (1:2:6). Esse desequilíbrio provoca a diferença existente entre os valores da WTHD do sinal de saída obtido segundo as duas configurações.



Fig. 3.5: Tensão de saída nos domínios do tempo (a) e da freqüência (b) para um inversor multinível de 19 níveis considerando modulação PWM no módulo de menor tensão.

Além do erro de resolução e da ausência de comutações em alta freqüência em determinados níveis para a configuração (1:3:9), há outro fator que contribui na escolha da configuração (1:2:6) para casos que apresentam modulação PWM. Esse fator é o número de chaves comutadas de todos os módulos da topologia assimétrica durante cada uma das transições entre níveis do sinal de saída do inversor em função do rastreamento do seu sinal de referência. Para estabelecer uma diferença quantitativa desse fator considerando as configurações (1:3:9) e (1:2:6), é preciso conhecer os estados de operação de cada um dos módulos na constituição de um determinado nível na saída. Como o sinal de tensão de saída é formado pela soma das tensões de cada um dos módulos, pode-se determinar os seus estados de acordo com a tabela 3.2. Desconsiderando as perdas de condução e de comutação, os sinais v_1 , v_2 e v_3 representam as tensões de saída dos módulos de menor tensão, de média tensão e de maior tensão, respectivamente.

Em cada um dos módulos, a tensão de saída é formada pela combinação de 4 chaves que são combinadas aos pares. Assim, uma transição do valor máximo da tensão de saída para o seu valor nulo, ou vice-versa, requer que 2 dessas chaves comutem os seus respectivos estados de aberto ou fechado. A exigência dessa comutação de 2 chaves também ocorre na transição entre o valor mínimo e o valor nulo, ou vice-versa. Uma transição entre o valor máximo e o valor mínimo, ou o contrário, requer 4 comutações de chaves. Seguindo essas regras e baseado nas informações da tabela 3.2, podese definir o número total de comutações necessárias para cada uma das transições entre os níveis de
Tensão de saída	27 níveis			19 níveis		
$(v_1 + v_2 + v_3)$	v_1	v_2	v_3	v_1	v_2	v_3
0	0	0	0	0	0	0
$\pm 1V_1$	$\pm 1V_1$	0	0	$\pm 1V_1$	0	0
$\pm 2V_1$	$\mp 1V_1$	$\pm 3V_1$	0	0	$\pm 2V_1$	0
$\pm 3V_1$	0	$\pm 3V_1$	0	$\pm 1V_1$	$\pm 2V_1$	0
$\pm 4V_1$	$\pm 1V_1$	$\pm 3V_1$	0	0	$\mp 2V_1$	$\pm 6V_1$
$\pm 5V_1$	$\mp 1V_1$	$\mp 3V_1$	$\pm 9V_1$	$\mp 1V_1$	0	$\pm 6V_1$
$\pm 6V_1$	0	$\mp 3V_1$	$\pm 9V_1$	0	0	$\pm 6V_1$
$\pm 7V_1$	$\pm 1V_1$	$\mp 3V_1$	$\pm 9V_1$	$\pm 1V_1$	0	$\pm 6V_1$
$\pm 8V_1$	$\mp 1V_1$	0	$\pm 9V_1$	0	$\pm 2V_1$	$\pm 6V_1$
$\pm 9V_1$	0	0	$\pm 9V_1$	$\pm 1V_1$	$\pm 2V_1$	$\pm 6V_1$
$\pm 10V_{1}$	$\pm 1V_1$	0	$\pm 9V_1$	-	-	-
$\pm 11V_1$	$\mp 1V_1$	$\pm 3V_1$	$\pm 9V_1$	-	-	-
$\pm 12V_1$	0	$\pm 3V_1$	$\pm 9V_1$	-	-	-
$\pm 13V_1$	$\pm 1V_1$	$\pm 3V_1$	$\pm 9V_1$	-	-	-

Tab. 3.2: Estados das tensões de saída dos módulos que compõem a topologia em cascata assimétrica para inversores multiníveis de 27 e 19 níveis.

tensão do sinal de saída. Esse número total de comutações é exibido na tabela 3.3 considerando as configurações da tabela 3.2.

Transição no sinal de saída	27 níveis	19 níveis
$0 \Leftrightarrow \pm 1V1$	2	2
$\pm 1V1 \Leftrightarrow \pm 2V1$	6	4
$\pm 2V1 \Leftrightarrow \pm 3V1$	2	2
$\pm 3V1 \Leftrightarrow \pm 4V1$	2	8
$\pm 4V1 \Leftrightarrow \pm 5V1$	10	4
$\pm 5V1 \Leftrightarrow \pm 6V1$	2	2
$\pm 6V1 \Leftrightarrow \pm 7V1$	2	2
$\pm 7V1 \Leftrightarrow \pm 8V1$	6	4
$\pm 8V1 \Leftrightarrow \pm 9V1$	2	2
$\pm 9V1 \Leftrightarrow \pm 10V1$	2	-
$\pm 10V1 \Leftrightarrow \pm 11V1$	6	-
$\pm 11V1 \Leftrightarrow \pm 12V1$	2	-
$\pm 12V1 \Leftrightarrow \pm 13V1$	2	-

Tab. 3.3: Número de chaves comutadas durante as transições de níveis ocorridas em inversores multiníveis na configuração (1:3:9), de 27 níveis, e na configuração (1:2:6), de 19 níveis. A partir dos dados da tabela 3.3, pode-se concluir que a configuração (1:2:6) de 19 níveis é a mais vantajosa. Além das outras vantagens já apresentadas, ela requer a comutação de um número menor de chaves durante as transições entre os níveis. Em função dessas vantagens, o protótipo da figura 3.2 foi implementando utilizando a configuração (1:2:6), realizando um inversor multinível monofásico de 19 níveis no qual o módulo de menor tensão opera em modulação PWM do tipo POD.

3.2 Estratégia de modulação

Uma estratégia de modulação para os módulos que compõem a topologia em cascata assimétrica, também deve ser do tipo cascata, ou em série. Ou seja, é preciso que haja uma concordância dos sinais obtidos nos terminais de saída de cada módulo para que, ao serem somados algebricamente, resultem num sinal próximo ao sinal de referência do conversor. Para isso, o sinal de referência de cada módulo deve levar consigo as informações do quanto aquele módulo específico necessita gerar e, também, do quanto já foi gerado por módulos anteriores.

Além disso, a estratégia de modulação do tipo cascata precisa ter uma ordem de modulações. Essa ordem equivale à seqüência decrescente dos valores de tensão dos barramentos CC de todos os módulos. Com isso, a definição do comando do módulo de maior tensão acontece antes do que a do módulo da segunda maior tensão, que por sua vez, também ocorre antes do que a do módulo da terceira maior tensão. Assim por diante, até chegar ao módulo de menor tensão, cuja definição do comando é a última a ser realizada.

Em cada módulo, a definição do comando é feita a partir da comparação do sinal de referência daquele módulo com níveis constantes e específicos àquele módulo. A presença ou não de modulação PWM em um ou mais módulos, interfere na maneira como esses níveis de comparação são calculados. Por conta disso, dois casos são abordados a seguir: a ausência de modulação PWM em módulos; e a presença de modulação PWM apenas no módulo de menor tensão.

3.2.1 Sem modulação PWM nos módulos

A estratégia de modulação com a ausência de modulação PWM nos módulos também é conhecida pelo termo em inglês *staircase modulation strategy*, já que os níveis do sinal de saída são semelhantes ao perfil dos degraus de uma escada. A figura 3.6 exibe essa estratégia de modulação para n módulos de uma topologia em cascata assimétrica [52]. O módulo n representa o módulo de maior tensão da topologia e a tensão (ou sinal) de referência total a ser gerada pelo inversor multinível é representada pelo símbolo v_{conv}^* . Para esta estratégia, os níveis de comparação em cada módulo equivalem à metade dos valores máximo e mínimo da tensão de saída de seus respectivos módulos. Assim, a modulação

do módulo de menor tensão possui níveis de comparação iguais a $\pm V_1/2$. Da mesma forma, $\pm V_n/2$ são os valores dos níveis de comparação para o módulo de maior tensão.



Fig. 3.6: Estratégia de modulação do inversor multinível sem modulação PWM nos módulos.

Adicionalmente, a figura 3.7 exibe os detalhes da comparação realizada no módulo n através do fluxograma e da relação entrada-saída daquele módulo (sinal de referência versus sinal de saída). A partir da relação entrada-saída, percebe-se que é possível extrair uma regra geral para o método de comparação da estratégia de modulação e que para o módulo (n - k), essa regra está de acordo com a equação 3.8.

$$\left[\forall k \in \mathbb{N} : 0 \le k \le (n-1)\right] \quad v_{(n-k)}^* = \begin{cases} +V_{(n-k)} & \text{, se } v_{mod_{(n-k)}}^* > +V_{(n-k)}/2 \\ -V_{(n-k)} & \text{, se } v_{mod_{(n-k)}}^* < -V_{(n-k)}/2 \\ 0 & \text{, se } -V_{(n-k)}/2 \le v_{mod_{(n-k)}}^* \le +V_{(n-k)}/2 \end{cases}$$
(3.8)



Fig. 3.7: Estratégia de modulação no módulo n: fluxograma (a) e relação entrada-saída (b).

Os sinais de referência $v_1^*, v_2^* \dots v_n^*$ são utilizados pelos circuitos de acionamento de cada módulo para produzir nos seus respectivos terminais de saída, as tensões $v_1, v_2 \dots v_n$. Cada um dos módulos

possui um circuito de acionamento que controla os estados (aberto ou fechado) de 4 chaves que compõem a ponte H daquele módulo. Por módulo, a combinação aos pares dessas chaves resulta numa comutação dos sinais $v_1, v_2 \dots v_n$ entre os seus respectivos valores máximo, mínimo ou nulos ao longo de um intervalo de tempo considerado.

É preciso ressaltar que os sinais de referência $v_1^*, v_2^* \dots v_n^*$ não são iguais aos sinais de referência utilizados para a modulação em cada um dos módulos, $v_{mod_1}^*, v_{mod_2}^* \dots v_{mod_n}^*$. Estes são calculados de acordo com a equação 3.9 e dependem da diferença entre a quantidade que o conversor necessita gerar v_{conv}^* (tensão de referência do conversor conforme mencionado) e o quanto disso, já foi gerado até então.

$$v_{mod_j}^* = v_{conv}^* + v_j^* - \sum_{k=j}^n v_k^* \quad (j \in \mathbb{N} : 1 \le j \le n)$$
(3.9)

Para uma configuração (1:3:9), característica de uma estrutura multinível de 27 níveis, a figura 3.8 exibe a diferença entre os sinais de referência da estratégia de modulação e do circuito de acionamento em cada um dos 3 módulos. Os sinais de referência exibidos equivalem àqueles necessários para a elaboração de um sinal de tensão constituído por 27 níveis, com amplitude máxima igual 13V e exibido na figura 3.3. Percebe-se que o sinal de referência representado na figura 3.8(c) é obtido pela diferença entre os sinais apresentados nas figuras 3.8(a) e 3.8(b). Da mesma forma que o sinal de referência da figura 3.8(c) é obtido a partir dos sinais presentes nas figuras 3.8(c) e 3.8(d).

A configuração (1:2:6) também poderia perfeitamente fazer uso da estratégia de modulação exibida na figura 3.6. Essa tática resultaria em um sinal de saída constituído por 19 níveis eqüidistantes e sem comutações em alta freqüência por causa da ausência de modulação PWM no módulo de menor tensão. Apesar de ser possível, ela é menos indicada do que a configuração (1:3:9) por ter um erro de resolução maior em função do menor número de níveis.

3.2.2 Com modulação PWM apenas no módulo de menor tensão

Para uma topologia em cascata assimétrica na qual o módulo de menor tensão opera segundo uma modulação PWM, a estratégia de modulação a ser utilizada é abordada em [45]. Essa estratégia de modulação é específica para esse caso e independe do tipo de modulação PWM empregada. As figuras 3.9 e 3.10 exibem os detalhes dessa estratégia de modulação.

De forma semelhante à estratégia apresentada na subseção anterior, a estratégia de modulação da figura 3.9 é baseada na comparação de um sinal de referência com níveis constantes. Porém, os níveis constantes de comparação para este caso são calculados de acordo com a equação 3.10.



Fig. 3.8: Sinais de referência $v_{mod_3}^*$ (a), v_3^* (b), $v_{mod_2}^*$ (c), v_2^* (d), $v_{mod_1}^*$ (e) e v_1^* (f) gerados pela estratégia de modulação da figura 3.6 em um inversor multinível de 27 níveis a partir de uma referência senoidal sem a presença de modulação PWM nos módulos.



Fig. 3.9: Estratégia de modulação do inversor multinível com modulação PWM no módulo de menor tensão.

$$\sigma_j = \pm \sum_{k=1}^{j} V_k \quad [j \in \mathbb{N} : 1 \le j \le (n-1)]$$
(3.10)

Em função da alteração feita nos valores dos níveis de comparação, altera-se também a regra geral do método de comparação empregado na estratégia de modulação. Para o módulo (n - k), essa regra pode ser definida de acordo com a equação 3.11. Por semelhança, ela é expansível aos demais módulos.



Fig. 3.10: Estratégia de modulação no módulo n para o caso de modulação PWM no módulo de menor tensão: fluxograma (a) e relação entrada-saída (b).

$$\left[\forall k \in \mathbb{N} : 0 \le k \le (n-1)\right] \quad v_{(n-k)}^* = \begin{cases} +V_n & \text{, se } v_{mod_{(n-k)}}^* > +\sigma_{(n-k-1)} \\ -V_n & \text{, se } v_{mod_{(n-k)}}^* < -\sigma_{(n-k-1)} \\ 0 & \text{, se } -\sigma_{(n-k-1)} \le v_{mod_{(n-k)}}^* \le +\sigma_{(n-k-1)} \end{cases}$$
(3.11)

A partir de uma estrutura multinível composta por 3 módulos na topologia em cascata assimétrica, a configuração mais indicada para a estratégia de modulação da figura 3.9 é a (1:2:6). Sob essa configuração e de acordo com a equação 3.10, os níveis de comparação utilizados pela estratégia de modulação nos módulos de maior e média tensão são iguais a $\sigma_2 = \pm 3V_1$ e $\sigma_1 = \pm V_1$, respectivamente. Enquanto que o módulo de menor tensão opera segundo modulação PWM. As figuras 3.11 e 3.12 exibem os sinais envolvidos na estratégia de modulação para uma estrutura multinível nessas condições a partir de um suposto sinal de referência senoidal com amplitude máxima igual a 9V.

Com exceção do sinal apresentado na figura 3.12(f) e do valor de amplitude do sinal senoidal de referência apresentado na figura 3.12(a), pode-se perceber que as formas de onda exibidas na figura 3.12 são semelhantes às respectivas formas de onda da figura 3.8. As duas exceções dizem respeito ao tipo de modulação adotado e ao valor máximo que pode ser gerado pelo inversor multinível. Outro detalhe exibido na figura 3.12 é que além dos 19 níveis obtidos no sinal de saída, com exceção do módulo de menor tensão, todos os outros módulos operam com baixas freqüências de chaveamento. A rigor, a presença de componentes de altas freqüências no espectro do sinal obtido em função do chaveamento do módulo de menor tensão, representaria um aumento do nível de IEM e, também, das perdas por comutações. Porém, esse acréscimo seria bem menor do que aquele obtido por uma estrutura não-multinível (por exemplo, PWM) ou por uma estrutura multinível na qual todos os módulos operam sob modulação PWM. Por apresentar valores relativamente baixos, esses componentes de alta



Fig. 3.11: Sinais v_{conv}^* (a) e $(v_1^* + v_2^* + v_3^*)$ (b) para um inversor multinível de 19 níveis.



Fig. 3.12: Sinais de referência $v_{mod_3}^*$ (a), v_3^* (b), $v_{mod_2}^*$ (c), v_2^* (d), $v_{mod_1}^*$ (e) e v_1^* (f) gerados a partir da referência da figura 3.11(a) pela estratégia de modulação da figura 3.9 em um inversor multinível de 19 níveis com modulação PWM no módulo de menor tensão.

freqüência podem ser filtrados (ou amortecidos) de forma satisfatória através de um filtro passivo de 1ª ordem. Além disso, a característica de apresentar um baixo erro de resolução é outro atrativo para a utilização da topologia em cascata assimétrica com modulação PWM no módulo de menor tensão, desde que o índice de modulação neste módulo possua um valor de 0 a 1.

3.3 Aplicação: filtro ativo de potência

Uma vez que estão definidos o número de módulos (m = 3), a topologia (em cascata assimétrica), a configuração (equação 3.7) e a estratégia de modulação (subseção 3.2.2), pode-se iniciar o estudo do emprego da estrutura multinível escolhida em aplicações de compensação de harmônicos e reativos. Sendo assim, o circuito da figura 3.2 que opera na configuração (1:2:6) sob a estratégia de modulação da subseção 3.2.2, pode ser acoplado ao PAC da figura 3.13 através de um filtro passivo de 1^a ordem representado pela indutância L_f . A figura 3.13 representa um sistema de compensação do tipo *shunt*.



Fig. 3.13: Diagrama do sistema de filtragem do tipo shunt.

O sistema de compensação apresentado impõe que a corrente i_S absorvida da fonte seja obtida segundo a equação 3.12. O efeito da filtragem é visualizado na corrente i_S , que é absorvida pelo PAC a partir de um ramal de ligação à concessionária de energia elétrica ou ao grupo gerador considerado. Segundo o método da síntese de carga resistiva (RLS) [2, 53], essa corrente i_S deve ter uma forma de onda semelhante à da tensão v_S disponível na barra utilizada como PAC, mesmo nos casos em que essa tensão possua distorções na sua forma de onda que a torne diferente de uma forma senoidal. Por conta disso, o método RLS impõe amortecimentos a uma ampla faixa de freqüências durante o processo de filtragem, diminuindo a possibilidade de ocorrerem excitações e ressonâncias na rede conectada à barra PAC [2, 53–55], diferentemente do método de síntese de corrente senoidal, que limita-se apenas à freqüência fundamental da tensão de alimentação do sistema.

$$i_S = i_L - i_{FAP} \tag{3.12}$$

O sistema de filtragem diminui o valor eficaz da corrente i_S e aumenta o fator de potência da carga visto pela rede. A corrente i_L não sofre alterações pois é determinada pela tensão v_S , a qual praticamente não se altera. Isso é possível porque o inversor multinível injeta uma corrente igual à diferença entre a corrente i_L e o mínimo valor de i_S que forneça a potência ativa exigida pela carga.

Essa abordagem é fundamental para o entendimento do fluxo de potência observado na alimentação da(s) carga(s) com e sem a presença do processo de filtragem. Antes, toda a potência fornecida pela fonte era totalmente consumida pela(s) carga(s). Assim, a(s) carga(s) consumia(m) potências ativa e não-ativa. Após a filtragem, a(s) carga(s) ainda consome(m) os mesmos valores de potências ativa e não-ativa. Porém, há diferença quanto à origem dessas potências. A potência não-ativa circula pelo inversor multinível e a ativa, pela fonte. Por isso, a corrente i_S é menor. A fonte, após a filtragem, fornece apenas uma parte daquilo que fornecia sem a filtragem.

3.3.1 Sistema de controle

Representando a tensão de saída do inversor multinível implementado por v_{FAP} , o sistema de filtragem ativo proposto pode ser operado e controlado segundo o diagrama de blocos exibido na figura 3.14. Por se tratar de um protótipo monofásico, a figura apresenta o diagrama por fase do sistema de controle. Os índices $f, S, L \in FAP$ são adotados nas grandezas para associá-las, respectivamente, ao filtro passivo de saída (*filter*), à fonte (*source*), à carga (*load*) e ao filtro ativo de potência (FAP). O diagrama da figura 3.14 não aborda o controle das tensões dos barramentos CC do inversor multinível, assumindo que essas tensões possuem valores invariantes no tempo.



Fig. 3.14: Diagrama de blocos por fase do sistema de controle do FAP.

Utiliza-se um bloco de média móvel com um número inteiro de amostras num ciclo de 60Hz. Através desse bloco, calcula-se o valor médio da potência instantânea fornecida pelo conversor multinível. Por definição, esse valor médio corresponde à quantidade de potência ativa fornecida pelo conversor multinível durante o intervalo considerado. Em aplicações de compensação de harmônicos e reativos, esse valor médio \overline{p}_{FAP} deve ser aproximadamente nulo ($\overline{p}_{FAP}^* \approx 0$) pois a potência ativa da(s) carga(s) é fornecida somente pela fonte de alimentação através da corrente i_S . O conversor multinível necessita de uma pequena parcela de potência ativa e que é consumida em suas perdas. Por conta disso, \overline{p}_{FAP} é incapaz de possuir um valor exatamente nulo na prática.

A multiplicação do sinal k, disponível na saída do controlador PI_p , pelo sinal de tensão v_S determina a referência de corrente i_S^* que deve resultar na corrente drenada da fonte de alimentação. Quando o controlador PI_p consegue manter um erro de potência média e_p nulo, por conta da igualdade dos sinais \overline{p}_{FAP} e \overline{p}_{FAP}^* , a saída deste controlador k torna-se constante. Nessa situação, o sinal de referência i_S^* torna-se múltiplo do sinal v_S e ambos possuem a mesma forma de onda. Por conta disso, essa operação de multiplicação caracteriza o método RLS utilizado pelo FAP.

O bloco representado pela sigla FWD (*Fundamental Wave Detector*) é capaz de extrair o componente fundamental de um sinal presente na sua entrada. A partir do bloco FWD, é possível então, extrair o sinal v_{S_1} do sinal de tensão v_S presente na barra do PAC. A técnica utilizada por esse bloco atinge o ponto de estabilidade de forma bem rápida e é descrita em [56].

O sinal v_{S_1} obtido é somado ao sinal Δv_S , disponível na saída do controlador PI_c . Essa soma constitui-se numa ação *feedforward* e é muito importante no sistema de controle do FAP. Isso porque permite uma restrição na faixa de valores de Δv_S e aumenta a imunidade do controlador PI_c contra distúrbios ocorridos na corrente i_S . Sem a ação *feedforward*, o controlador PI_c deveria fornecer sozinho toda a referência do conversor multinível v_{FAP}^* necessária para ocorrer o funcionamento do FAP. Para atender à relação de correntes da equação 3.12, v_{FAP}^* deve seguir v_S . Com isso, o sinal Δv_S deve variar continuamente ao longo de um ciclo de v_S . Por causa da ação integral do controlador, essa tarefa não seria muito simples de ser alcançada. Com a ação *feedforward*, o sinal v_{FAP}^* é pré-ajustado pelo sinal v_{S_1} e o sinal Δv_S representa apenas uma variação em torno de v_{S_1} . Outra possibilidade de obter o sinal de referência v_{FAP}^* seria através da soma do sinal Δv_S com o próprio sinal de tensão v_S (completo, considerando todos os seus harmônicos). Tal alternativa dispensa a necessidade de se utilizar o bloco FWD.

Considera-se que o conversor multinível possui ganho unitário em todas as freqüências, por ele ser capaz de gerar em seus terminais de saída um sinal v_{FAP} com baixo erro de resolução em relação ao seu sinal de referência v_{FAP}^* . Esse baixo erro de resolução é obtido por conta da modulação PWM no módulo de menor tensão do conversor, de acordo com a estratégia de modulação descrita na subseção 3.2.2.

A relação entre a tensão e a corrente presentes no indutor que constitui o filtro passivo de saída é a base para a determinação da função de transferência do filtro passivo de saída exibida na equação 3.13. Os termos L_f e R_{L_f} representam, respectivamente, a indutância e a resistência interna desse indutor.

$$\frac{I_{FAP}(s)}{V_f(s)} = \frac{1}{sL_f + R_{L_f}}$$
(3.13)

As funções de transferência dos controladores PI_p e PI_c são dadas nas equações 3.14 e 3.15, respectivamente. Pode-se perceber que são controladores clássicos para sistemas lineares e que possuem, cada um, um pólo na origem e um zero no eixo real do plano-s. Detalhes sobre o dimensionamento desses controladores são abordados nas subseções a seguir.

$$PI_p(s) = k_{p_p} + \frac{k_{i_p}}{s} = \frac{(k_{p_p}s + k_{i_p})}{s}$$
(3.14)

$$PI_c(s) = k_{p_c} + \frac{k_{i_c}}{s} = \frac{(k_{p_c}s + k_{i_c})}{s}$$
(3.15)

3.3.2 Controlador de corrente

A partir do diagrama de blocos da figura 3.14 é possível extrair a malha destinada exclusivamente ao controle da corrente i_S . Essa malha é exibida na figura 3.15. Dado que o conversor é alimentado por fontes de tensão, mas a grandeza de saída a ser produzida é uma corrente, é preciso que o conversor opere em malha fechada de modo a garantir que a saída siga a referência.



Fig. 3.15: Malha de Controle de Corrente.

Com base na figura 3.15, é possível determinar a função de transferência em malha fechada conforme a equação 3.16 e, em seguida, a sua equação característica conforme a equação 3.17.

$$C(s) = \frac{I_S(s)}{I_S^*(s)} = \frac{-(k_{p_c}s + k_{i_c})}{\left[L_f s^2 + (R_{L_f} - k_{p_c})s - k_{i_c}\right]}$$
(3.16)

$$L_f s^2 + (R_{L_f} - k_{p_c})s - k_{i_c} = 0 aga{3.17}$$

Por análise da função de transferência acima e considerando que R_{L_f} é muito menor que k_{p_c} , percebe-se que os coeficientes k_{p_c} e k_{i_c} devem possuir o mesmo sinal para que o zero da função de transferência permaneça no semi-plano esquerdo do plano-s. Ou seja:

$$\frac{k_{p_c}}{k_{i_c}} > 0 \tag{3.18}$$

Pelo critério de estabilidade de Hurwitz-Routh [57], para que todas as raízes da equação característica da equação 3.17 estejam no semi-plano esquerdo do plano-*s*, é necessário que duas regras sejam cumpridas. A primeira é que todos os coeficientes da equação característica sejam não-nulos e que possuam o mesmo sinal. Neste caso, o fato de L_f ser positivo leva os coeficientes k_{p_c} e k_{i_c} a serem negativos e não-nulos. A outra regra do critério é que os determinantes das matrizes exibidas nas equações 3.19 e 3.20 sejam positivos e não-nulos. Novamente considerando L_f positivo, ambos determinantes convergem em apontar o coeficiente k_{p_c} possuindo obrigatoriamente um valor negativo e não-nulo.

$$D_1 = \left[\begin{array}{c} -k_{p_c} \end{array} \right] \tag{3.19}$$

$$D_2 = \begin{bmatrix} -k_{p_c} & -k_{i_c} \\ 0 & L_f \end{bmatrix}$$
(3.20)

A partir da análise do zero e dos pólos da função de transferência, conclui-se que ambos os coeficientes k_{p_c} e k_{i_c} devem corresponder a valores negativos e não-nulos para que o sistema de controle da corrente i_s seja estável.

O cálculo desses coeficientes é feito a partir da função de transferência em malha aberta $MA_c(s)$ do diagrama de blocos da figura 3.15. Essa função $MA_c(s)$ é representada na equação 3.21.

$$MA_{c}(s) = \frac{-(k_{p_{c}}s + k_{i_{c}})}{L_{f}s^{2}}$$
(3.21)

Substituindo s por $j\omega$, o módulo e a fase dessa função de transferência podem ser obtidos segundo as equações 3.22 e 3.23, respectivamente.

$$|MA_{c}(j\omega)| = \frac{\sqrt{(k_{i_{c}})^{2} + (\omega k_{p_{c}})^{2}}}{\omega^{2} L_{f}}$$
(3.22)

$$\angle [MA_c(j\omega)] = \tan^{-1} \left(\frac{\omega k_{p_c}}{k_{i_c}}\right) \quad [rad]$$
(3.23)

Para o cálculo dos coeficientes do controlador PI_c são necessários dois parâmetros: a freqüência de corte (ω_{ct_c}) e a margem de fase (MF_c), em radianos, para essa freqüência de corte. Nas equações 3.22 e 3.23, a freqüência arbitrária ω é substituída pela freqüência ω_{ct_c} e a margem de fase é aplicada de acordo com a equação 3.24.

$$MF_c = \pi - \left| \angle [MA_c(j\omega_{ct_c})] \right| \tag{3.24}$$

Como os coeficientes do controlador são negativos, a fase da função de transferência sempre estará

no terceiro quadrante na freqüência ω_{ct_c} . Com isso, a fase ocupará a faixa de valores compreendidos entre $-\pi/2$ até $-\pi$ e a relação entre MF_c e $\angle [MA_c(j\omega_{ct_c})]$ pode ser reescrita de acordo com a equação 3.25.

$$MF_c = \pi + \angle [MA_c(j\omega_{ct_c})] \tag{3.25}$$

Após as devidas substituições e simplificações algébricas, é possível determinar os coeficientes k_{p_c} e k_{i_c} do controlador PI_c a partir das equações 3.26 e 3.27, respectivamente.

$$k_{p_c} = -L_f \cdot \omega_{ct_c} \cdot \sqrt{\frac{\tan\left(MF_c - \pi\right)}{\left[1 + \tan\left(MF_c - \pi\right)\right]}}$$
(3.26)

$$k_{i_c} = \frac{k_{p_c} \cdot \omega_{ct_c}}{\tan\left(MF_c - \pi\right)} \tag{3.27}$$

3.3.3 Controlador de potência média

De forma semelhante àquela feita para o controlador de corrente, é possível obter a malha destinada especificamente ao controle de potência média a partir do diagrama de blocos da figura 3.14. A malha em questão é exibida na figura 3.16 e opera com realimentação negativa do sinal de saída. Neste caso, o sinal de saída é o valor médio \overline{p}_{FAP} .



Fig. 3.16: Malha de controle de potência média.

Porém, esta malha de controle apresenta algumas particularidades que podem dificultar no dimensionamento do controlador PI_p . A primeira delas é a presença da malha de controle de corrente C(s)dentro da malha de controle de potência média. A segunda é a dificuldade em definir a função de transferência do bloco de média móvel no domínio s. A terceira é a presença de duas operações de multiplicação envolvendo o sinal de tensão v_s . Para facilitar o entendimento da malha de controle, é necessário fazer algumas considerações.

Sabe-se que entre duas malhas de controle distintas, aquela que possuir uma freqüência de corte maior é qualificada como sendo mais rápida do que a outra. Em termos de freqüência, isso quer dizer que a malha mais rápida não está imune a determinadas freqüências que na outra malha, não

provocariam reações alguma. Desse ponto de vista e comparando as malhas de controle de corrente e de potência média, percebe-se que esta deve ser muito mais lenta do que aquela. Isso porque o filtro de média móvel foi projetado para atenuar componentes de freqüências múltiplas inteiras de 60Hz. Então, variações provocadas pelo controlador PI_p não serão percebidas de forma tão instantânea como aquelas provocadas pelo controlador PI_c . Além disso, possíveis variações bruscas no valor médio da potência instantânea também não provocariam reações no controlador PI_p . Enquanto que no controlador PI_c , variações na corrente i_S poderiam ter uma conseqüência bem diferente. Sendo assim, na faixa de operação da malha de controle de potência média, a malha de controle de corrente pode ser representada por um ganho unitário apenas. Ou seja, para a malha de potência, a malha de corte muito superior.

$$C(s) \approx 1 \tag{3.28}$$

Como a malha de controle de corrente possui ganho unitário, as duas operações de multiplicação envolvendo o sinal de tensão v_S podem agrupadas e representadas por v_S^2 . Considerando que o sinal v_S permaneça constante e que ele seja uma senóide de amplitude igual a V_p e freqüência de oscilação igual a ω_S , é possível obter uma expressão para v_S^2 conforme as equações 3.29 e 3.30.

$$v_S(t) = V_p \operatorname{sen}(\omega_S t) \tag{3.29}$$

$$v_S^2(t) = V_p^2 \operatorname{sen}^2(\omega_S t) = \frac{V_p^2}{2} \left[1 + \cos\left(2\omega_S t\right) \right]$$
(3.30)

Percebe-se que a expressão de v_S^2 possui uma parcela constante e outra parcela oscilatória. Como a dinâmica da malha de controle de potência média é lenta, a parte oscilatória com uma freqüência duas vezes maior do que a freqüência de operação do filtro de média móvel pode ser desconsiderada. Dessa forma é possível considerar a função v_S^2 como sendo equivalente ao valor médio da equação 3.30. A união dessa aproximação de v_S^2 com o ganho unitário da malha de controle de corrente C(s)(equação 3.28) e, também, com o giro de fase em i_S que ocorre na determinação da corrente i_{FAP} (figura 3.16) pode ser representada por uma única função de transferência $M_v(s)$, exibida na equação 3.31.

$$M_v(s) = -\frac{V_p^2}{2}$$
(3.31)

A escolha por uma baixa freqüência de corte na malha de potência média também facilita a representação da função de transferência do filtro de média móvel (FMM) no domínio s. Isso porque o FMM tem origem no domínio z e, quando transposto para o domínio s através da transformação



Fig. 3.17: Resposta em freqüência dos filtros de média móvel (FMM) e passa-baixa (FPB).

bilinear, apresenta algumas particularidades no manuseio de componentes de altas freqüências. Além disso, o FMM possui uma resposta em freqüência semelhante ao filtro passa-baixa (FPB) para baixos valores de freqüência. Essa semelhança pode ser observada na figura 3.17, na qual o FMM é elaborado para rastrear um sinal de 60Hz a partir de 200 amostras e o FPB está sintonizado em 15Hz. A figura 3.17 também exibe os efeitos do FMM na amplitude e na fase dos componentes de alta freqüência quando ele é representado no domínio *s*. Pela semelhança do FMM e do FPB para valores de freqüência até 10Hz, é possível representar o FMM na malha de potência média segundo a função de transferência da equação 3.32. Para o caso de um FMM operando com um sinal de 60Hz, o FPB pode ser sintonizado em 15Hz, ou seja, $\omega_0 = 2\pi 15$ rad/s.

$$FMM(s) \simeq FPB(s) = \frac{\omega_0}{s + \omega_0}$$
(3.32)

Após essas considerações, a malha de controle de potência média da figura 3.16 pode ser simplificada. Essas simplificações resultam na malha de controle exibida na figura 3.18, cuja função de transferência em malha fechada P(s) é exibida na equação 3.33.

$$P(s) = \frac{\overline{P}_{FAP}}{\overline{P}_{FAP}^{*}} = \frac{-\left[\omega_{0}V_{p}^{2}\left(k_{p_{p}}s + k_{i_{p}}\right)\right]}{\left[2s^{2} - \left(k_{p_{p}}\omega_{0}V_{p}^{2}\right)s + \left(2\omega_{0} - k_{i_{p}}\omega_{0}V_{p}^{2}\right)\right]}$$
(3.33)



Fig. 3.18: Malha simplificada de controle de potência média.

A partir da função de transferência P(s), pode-se obter a equação característica da malha de controle de potência média conforme a equação 3.34.

$$2s^{2} - \left(k_{p_{p}}\omega_{0}V_{p}^{2}\right)s + \left(2\omega_{0} - k_{i_{p}}\omega_{0}V_{p}^{2}\right) = 0$$
(3.34)

Considerando o primeiro critério de estabilidade de Hurwitz-Routh, de que todos os coeficientes da equação característica acima tenha o mesmo sinal, os coeficientes k_{p_p} e k_{i_p} do controlador PI_p devem possuir valores de acordo as equações 3.35 e 3.36, respectivamente.

$$-\left(k_{p_p}\omega_0 V_p^2\right) > 0 \quad \to \quad k_{p_p} < 0 \tag{3.35}$$

$$2\omega_0 - k_{i_p}\omega_0 V_p^2 > 0 \quad \to \quad k_{i_p} < \frac{2}{V_p^2} \tag{3.36}$$

Considerando o segundo critério de Hurwitz-Routh, relacionado às matrizes exibidas nas equações 3.37 e 3.38, os determinantes de D_1 e de D_2 sugerem valores negativos e não-nulos para o coeficiente k_{p_p} .

$$D_1 = \left[-k_{p_p} \omega_0 V_p^2 \right] \tag{3.37}$$

$$D_2 = \begin{bmatrix} \left(-k_{p_p}\omega_0 V_p^2\right) & \left(2\omega_0 - k_{i_p}\omega_0 V_p^2\right) \\ 0 & 2 \end{bmatrix}$$
(3.38)

Uma vez que a relação entre os coeficientes k_{p_p} e k_{i_p} define a constante de tempo T_{i_p} do controlador PI_p , estes devem possuir o mesmo sinal. Por conta disso, os coeficientes k_{p_p} e k_{i_p} devem possuir valores negativos. Essa alternativa também está de acordo com os critérios de estabilidade de Hurwitz-Routh analisados anteriormente.

O cálculo dos coeficientes k_{p_p} e k_{i_p} é baseado na função de transferência em malha aberta $MA_p(s)$ obtida a partir do diagrama da figura 3.18. A função $MA_p(s)$ é exibida na equação 3.39.

$$MA_{p}(s) = \frac{-\omega_{0}V_{p}^{2}\left(k_{p_{p}}s + k_{i_{p}}\right)}{2s\left(s + \omega_{0}\right)}$$
(3.39)

Substituindo s por $j\omega$ na função de transferência $MA_p(s)$, pode-se representar essa função através de seu módulo e de sua fase, de acordo com as equações 3.40 e 3.41.

$$|MA_{p}(j\omega)| = \frac{\omega_{0}V_{p}^{2}}{2}\sqrt{\frac{\left[k_{i_{p}}^{2} + (\omega k_{p_{p}})^{2}\right]}{\left[\omega^{4} + (\omega \omega_{0})^{2}\right]}}$$
(3.40)

$$\angle [MA_p(j\omega)] = \left[\tan^{-1} \left(\frac{-\omega k_{p_p}}{-k_{i_p}} \right) \right] - \left[\tan^{-1} \left(\frac{-\omega_0}{-\omega} \right) \right] \quad [rad]$$
(3.41)

Da mesma forma que ocorreu com o controlador PI_c , o controlador PI_p também necessita de dois parâmetros de projeto para que o cálculo dos seus coeficientes torne-se possível: a freqüência de corte (ω_{ct_p}), em rad/s; e a margem de fase (MF_p), em radianos, para a freqüência de corte determinada. Substituindo ω por ω_{ct_p} , pode-se, após algumas etapas algébricas, obter as equações 3.43 e 3.44, que a partir dos parâmetros fornecidos, são utilizadas para quantificar os coeficientes k_{p_p} e k_{i_p} , respectivamente.

$$\lambda = \left[\tan^{-1} \left(\frac{-\omega_0}{-\omega_{ct_p}} \right) \right] - (MF_p + \pi) \quad [rad]$$
(3.42)

$$k_{p_p} = -\frac{2}{\omega_0 V_p^2} \cdot \sqrt{\frac{\left[\tan\left(\lambda\right)\right]^2}{1 + \left[\tan\left(\lambda\right)\right]^2} \cdot \left(\omega_0^2 + \omega_{ct_p}^2\right)}$$
(3.43)

$$k_{i_p} = \frac{\omega_{ct_p}}{|\tan(\lambda)|} \cdot k_{p_p}$$
(3.44)

3.4 Proposta de controle das tensões nos barramentos CC

Neste trabalho, o inversor multinível foi considerado para compor um sistema de filtragem ativa (FAP) capaz de compensar harmônicos e reativos de uma ou mais cargas. Nesta situação, conforme a seção 3.3, não se exige que o conversor CC/CA forneça potência ativa ao PAC. Assim, as fontes de tensão presentes nos barramentos CC desse inversor não seriam necessárias. Sem elas, as tensões disponíveis nos bancos de capacitores C_1 , C_2 e C_3 devem permanecer iguais aos seus respectivos valores de referência. Isso pode ser obtido de duas formas: elaborando um sistema de controle específico para essas tensões; ou utilizando conversores CC/CC nos barramentos CC, de acordo com a figura 3.19.



Fig. 3.19: Conversores CC/CC fornecendo tensões CC aos barramentos CC do inversor multinível.

Com o emprego de conversores CC/CC, ambos sistemas de controle (do FAP e dos conversores) operariam de maneira desacoplada. Isso facilitaria a busca por pontos estáveis de operação, tornando os sistemas dinamicamente imunes às transições ocorridas na carga. Economicamente, porém, esta não seria a melhor opção. Além do número maior de componentes e de sistemas de acionamento individuais, a operação de cada conversor CC/CC seria independente e exigiria uma estratégia de modulação específica. Outra característica é que a potência a ser fornecida pela fonte de tensão V_{CC} deve ser apenas a necessária para repor as perdas dos conversores, uma vez que o FAP não fornece potência ativa a(s) carga(s).

A outra opção é obter um sistema de controle para as tensões V_1 , $V_2 e V_3$. Na topologia em cascata, a corrente i_{FAP} é a grandeza comum a todos os módulos do inversor. Dessa forma, em função do estado das chaves em cada módulo, a corrente i_{FAP} pode ou não, ser utilizada no fornecimento ou no recebimento dessa energia naquele módulo. Essa troca de energia é feita entre os módulos ou até mesmo, com o PAC. Se um módulo estiver recebendo energia, o seu capacitor carregará e o valor da tensão no seu barramento CC subirá. Do contrário, o módulo estará fornecendo energia, o seu capacitor descarregará e sua tensão CC diminuirá. Para atuar, o sistema de controle das tensões deve definir as durações de carga e de descarga dos bancos de capacitores C_1 , $C_2 e C_3$, ao longo de um ou mais ciclos da corrente i_{FAP} . Vale ressaltar que a operação e a confiabilidade desse sistema de controle pode interferir na estratégia de modulação do inversor e modificar o erro entre a tensão de saída v_{FAP} e o seu sinal de referência v_{FAP}^* . O aumento desse erro pode prejudicar o sistema de controle do FAP, responsável pela geração do sinal de referência v_{FAP}^* .

Um sistema de controle das tensões CC foi desenvolvido em [14] para inversores multiníveis com topologia em cascata **simétrica**. O sistema proposto é capaz de retardar ou adiantar o acionamento das chaves de cada módulo, permitindo, assim, um desequilíbrio entre as durações de carga e de

descarga dos capacitores. Esse desequilíbrio provoca uma variação no valor da tensão CC daquele módulo. A técnica de controle ali proposta monitora apenas duas tensões CC (uma individual e outra obtida pelo somatório de todas as tensões), ao invés de abranger cada uma delas individualmente. Essa é uma vantagem da topologia em cascata simétrica, pois todas as tensões CC possuem o mesmo valor. Diferentemente da topologia em cascata assimétrica, que requer, para o sistema de controle das tensões CC, um número de controladores igual ao número de módulos do inversor.

Especificamente para a topologia em cascata assimétrica, foi apresentada em [52, 58, 59] uma técnica de controle das tensões CC. Porém, essa técnica não se mostrou adequada para uma carga não-linear monofásica do tipo fonte de tensão, como um retificador monofásico em ponte completa com filtro capacitivo de saída. Após a identificação dessa deficiência, procurou-se alterar a técnica apresentada e adaptá-la ao sistema de filtragem proposto na seção 3.3. Outra técnica foi apresentada em [20] e era baseada, tal qual a técnica da topologia em cascata simétrica, no adiantamento ou no retardo do acionamento das chaves dos módulos. Apesar da configuração adotada para a topologia e da estratégia de modulação serem diferentes daquelas utilizadas neste trabalho, é possível aproveitar o conceito de modificação no tempo de condução e de acionamento das chaves dos módulos. Neste trabalho, isso é possível se níveis CC de tensão forem adicionados aos sinais de referência utilizados por cada um dos módulos na estratégia de modulação.

É preciso ressaltar a dificuldade na determinação de um sistema de controle das tensões CC para a topologia e o tipo de modulação utilizados neste trabalho. Isso porque, aparentemente, não há publicações nacionais e/ou internacionais que proponham soluções e/ou sugestões na determinação de um sistema de controle com tais características. A razão para isso é que, na maioria dos trabalhos, as tensões CC foram mantidas equivalentes aos seus respectivos valores de referência através da utilização: de fontes de tensão CC; de conversores CC/CC; ou de conversores CA/CC semi e não-controlados, alimentados por transformador(es) que possui(em), ou não, diferentes relações de espiras (*taps*). Ou seja, a determinação e o estudo de um sistema de controle para as tensões CC não foram necessários. A subseção 3.4.1 apresenta uma proposta para o controle das tensões CC, obtida a partir da mescla dos conceitos apresentados em [20, 52, 58, 59].

3.4.1 Estratégia de modulação e malha de controle

Para controlar as tensões CC, faz-se uma alteração na estratégia de modulação da figura 3.9 através da adição ou subtração de níveis CC (α_1 , α_2 e α_3) aos sinais de referência de cada um módulos. A estratégia de modulação adaptada à técnica de controle sugerida é exibida na figura 3.20.

Os níveis α_1 , α_2 e α_3 permitem o deslocamento vertical do sinal de referência de cada módulo, interferindo nos tempos de carga e descarga dos capacitores. Eles referem-se, respectivamente, aos módulos de menor, de média e de maior tensões da topologia em cascata assimétrica (módulos 1,



Fig. 3.20: Estratégia de modulação considerando o controle das tensões CC e PWM no módulo de menor tensão.

2 e 3). Os níveis são inseridos na estratégia de modulação para garantir que um determinado valor de tensão CC seja gerado somente pelo módulo correspondente àquele nível. Como a estratégia de modulação é em cascata, o módulo de maior tensão (módulo 3) deixa de gerar um certo valor de tensão ($\alpha_1 + \alpha_2$), que será gerado posteriormente de forma separada ($\alpha_1 e \alpha_2$) pelos módulos 1 e 2, respectivamente.

A soma das tensões v_1 , v_2 e v_3 geradas pelos módulos da topologia na determinação da tensão de saída do inversor v_{FAP} provoca o cancelamento dos efeitos dos níveis α_1 , α_2 e α_3 nessa tensão de saída. Assim, a tensão de saída do inversor v_{FAP} continua seguindo o seu valor de referência v_{FAP}^* mesmo com a modificação da estratégia de modulação. Em cada módulo, os limites positivo e negativo para o deslocamento vertical no sinal de referência do módulo equivalem à metade do valor de referência para a tensão CC naquele módulo. Por exemplo, para o módulo de média tensão o nível α_2 é saturado em $\pm V_2^*/2$. As saturações evitam que os sinais de referência de cada módulo sofram bruscos deslocamentos verticais por conta da proporcionalidade entre os níveis α_1 , α_2 e α_3 , e as variações nas tensões CC de cada módulo.

Os níveis α_1 , α_2 e α_3 são determinados a partir das malhas de controle das tensões V_1 , V_2 e V_2 , respectivamente, uma vez A figura 3.21 exibe a malha de controle da tensão V_1 , que é semelhante às que são responsáveis, individualmente, pelo controle das tensões V_2 e V_3 . O nível α_1 representa a multiplicação entre o sinal β_1 , presente na saída do controlador P_{V1} , com o sinal da corrente i_{FAP} . O sinal da corrente i_{FAP} é obtido instantaneamente pela divisão desta corrente por seu valor absoluto. O uso do sinal da corrente i_{FAP} reduz a interferência das alterações de carga na dinâmica do sistema de controle das tensões CC e diminui o efeito do espectro harmônico de i_{FAP} na estratégia de modulação. Como o nível α_1 representa um sinal de tensão, ele pode ser inserido diretamente na estratégia de modulação de acordo com a figura 3.20. Os níveis α_2 e α_3 são obtidos nas malhas de controle das tensões V_2 e V_3 , respectivamente.

A definição de um método para o projeto do controlador P_{V1} depende da caracterização das funções de transferência $M_1(s)$ e $W_1(s)$. A função $M_1(s)$ representa o efeito do nível α_1 na tensão



Fig. 3.21: Malha de controle da tensão CC V_1 .

de saída do inversor v_{FAP} . A função $W_1(s)$ representa o efeito de α_1 na corrente i_{FAP} fornecida pelo inversor, que também é responsável pelo deslocamento de carga nos bancos de capacitores C_1 , C_2 e C_3 . Em função da estratégia de modulação adotada, aparentemente não há equações diferenciais que relacionem α_1 com v_{FAP} e, conseqüentemente, com i_{FAP} . Dessa forma, a definição das funções $M_1(s)$ e $W_1(s)$ deve ser feita a partir de métodos empíricos. Ou seja, a partir de variações realizadas somente em α_1 , perceber o que ocorre com os sinais v_{FAP} e i_{FAP} . De forma semelhante, o projeto dos controladores P_{V2} e P_{V3} requer que as funções $W_2(s)$ e $W_3(s)$, respectivamente, sejam definidas a partir de métodos empíricos. Além disso, as funções de transferências $W_1(s)$, $W_2(s)$ e $W_3(s)$ dependem da corrente i_{FAP} , que determina indiretamente o sinal da tensão de referência do conversor v_{FAP}^* . Caso haja variações na carga, as funções $W_1(s)$, $W_2(s)$ e $W_3(s)$ talvez devam ser redefinidas.

O sinal β_1 também pode ser analisado como uma relação entre as variações de tensão e de potência instantânea no capacitor C_1 . Assim, o valor médio de β_1 representa a quantidade de potência ativa em trânsito no módulo de menor tensão e se ela deve ser fornecida ou absorvida. Expandido essa análise aos demais módulos, pode-se determinar a quantidade de potência ativa que cada módulo deve absorver ou fornecer. A união dessas informações pode ser utilizada para definir qual a quantidade de potência ativa a ser absorvida ou fornecida pela fonte primária durante a elaboração do sinal de referência i_S^* . Portanto, o sistema de controle das tensões CC interfere no sistema de controle de potência média do FAP de acordo com a figura 3.22. O bloco P(s) representa a função de transferência em malha fechada exibida na equação 3.33, relacionada à malha de controle de potência média exibida na figura 3.16.

3.4.2 Resultados de simulações

Para verificar a proposta de controle das tensões CC apresentada na subseção 3.4.1 são exibidos resultados de simulações, obtidos a partir de um sistema de filtragem ativa semelhante ao diagrama apresentado na figura 3.23. Nas simulações utilizou-se o programa PSIM/SIMCAD [60] em sua



Fig. 3.22: Sinal de referência da potência ativa do FAP considerando o controle das tensões CC.

versão 4.1a. Os parâmetros do sistema apresentado na figura 3.23 foram quantificados conforme a tabela 3.4. Para a resistência R_{L_f} do indutor L_f adotou-se, após medição, o valor de 0,08 Ω . Os valores das capacitâncias C_1 , C_2 e C_3 foram escolhidos de forma que a flutuação (*ripple*) de tensão imposta sobre cada um dos bancos de capacitores sejam minimizadas, tornando-as praticamente constantes. E a indutância do filtro de saída L_f foi escolhida de forma que a variação de tensão ($v_{FAP} - v_S$) sobre os seus terminais seja convertida em uma corrente i_{FAP} dentro de níveis aceitáveis.



Fig. 3.23: Diagrama de ligação do sistema de filtragem ativa adotado.

$R_1 = 10 \mathrm{k}\Omega$	$C_1 = 6 \times 470 \mu \mathrm{F}$	$L_{RC} = 4 \mathrm{mH}$	$R_L = 150 - 300\Omega$
$R_2 = 15 \mathrm{k}\Omega$	$C_2 = 6 \times 470 \mu \mathrm{F}$	$L_S = 1,16$ mH	$C_L = 100 \mu F$
$R_3 = 44 \mathrm{k}\Omega$	$C_3 = 6 \times 470 \mu \mathrm{F}$	$L_f = 3,85 \text{mH}$	$V_A = 127 \mathrm{V}$

Tab. 3.4: Parâmetros do sistema de filtragem ativa utilizados na simulação.

Os controladores P_{V1} , P_{V2} e P_{V3} foram ajustados utilizando o método de tentativa e erro, tendo como critérios os efeitos na corrente compensada i_S e o erro em regime permanente das tensões CC controladas simultaneamente. Os valores encontrados no ajuste desses controladores são exibidos na tabela 3.5. Nota-se que, além de equivalentes, os valores são negativos para todos os controladores. Afinal, um banco de capacitores com tensão abaixo do seu respectivo valor de referência carece de energia para elevar o seu potencial. A quantidade de energia a ser consumida pelo banco de capacitores é modificado em função do grau de deslocamento vertical da tensão de referência do módulo acoplamento ao ele. Assim, um erro de tensão positivo indica que o sinal de referência daquele módulo possui um valor médio inferior a 0. Nesta situação, o módulo recebe uma parcela de energia e que é armazenada no banco de capacitores. Com esse acréscimo de energia, a tensão do banco de capacitores se aproxima de seu respectivo valor de referência.

Controlador P_{V1}	Controlador P_{V2}	Controlador P_{V3}
$k_{p_{V1}} = -20$	$k_{p_{V2}} = -20$	$k_{p_{V3}} = -20$

Tab. 3.5: Parâmetros dos controladores de tensão CC utilizados nas simulações.

Para definir os valores de referência para as tensões CC, considerou-se: que a topologia em cascata assimétrica possuía a configuração (1:2:6); que o inversor tinha capacidade de gerar uma tensão v_{FAP} até 11% maior que o pico da tensão v_S ; e que a tensão v_S tinha uma forma de onda senoidal e um valor eficaz igual a 127V. Assim, pode-se calcular os valores de referência das tensões V_1 , V_2 e V_3 de acordo com as equações 3.45, 3.46 e 3.47, respectivamente.

$$V_1^* = \frac{\left(1, 11 \cdot 127\sqrt{2}\right)}{\left(1+2+6\right)} = 22,15V$$
(3.45)

$$V_2^* = 2 \cdot V_1^* = 44,30V \tag{3.46}$$

$$V_3^* = 6 \cdot V_1^* = 132,91 \text{V} \tag{3.47}$$

Durante as simulações, notou-se que o êxito no controle das tensões CC depende do aumento do nível máximo de tensão que o inversor multinível pode fornecer. Por essa razão, foi preciso aumentar somente o valor de referência da tensão V_1 em 50%. Em conseqüência, o módulo de menor tensão opera com baixo índice de modulação e para alguns níveis da tensão de saída do inversor, pode ocorrer redundâncias de como podem ser gerados. O novo valor de referência para a tensão do barramento CC do módulo de menor tensão é determinado pela a equação 3.48. Os valores de referência das tensões V_2 e V_3 não são alterados e continuam iguais aos calculados nas equações 3.46 e 3.47.

$$V_{1_{novo}}^* = \frac{3}{2} V_{1_{antigo}}^* = 22,15 \cdot \frac{3}{2} = 33,23 \text{V}$$
(3.48)

A técnica de controle das tensões CC foi verificada após a inicialização e estabilização do FAP. Portanto, não há verificação da técnica para um procedimento de partida (ou inicialização) do FAP, pois as tensões CC já estavam equilibradas e pré-ajustadas em seus respectivos valores de referência.



Fig. 3.24: Valor médio das tensões CC em pu (a) e potência ativa fornecida pelo FAP (b) durante o controle simultâneo das tensões CC.

A figura 3.24(a) exibe o comportamento das tensões CC durante o funcionamento do sistema de controle simultâneo dessas tensões. As tensões CC estão representadas em pu para verificação percentual da variação de seus valores em relação às demais. As tensões de base para as tensões V_1 , V_2 e V_3 equivalem aos seus valores de referência, ou seja, 33,23V, 44,30V e 132,90V, respectivamente. Em função da utilização de controladores do tipo proporcional, os erros em regime permanentes não são nulos. Ou seja, os valores das tensões CC não são equivalentes aos seus valores de referência. Uma aproximação desses valores pode ser obtida mediante um aumento do ganho do controlador P. Porém, um aumento no ganho do controlador pode levar o sistema de controle à instabilidade e prejudicar o controle das tensões CC.

A figura 3.24(b) exibe o comportamento da potência ativa fornecida pelo FAP durante a atuação do sistema de controle simultâneo das tensões CC. Percebe-se que a estabilização das tensões CC está associada a uma variação na quantidade de potência ativa que deve ser fornecida ou absorvida pelo FAP. O erro em regime permanente verificado durante o controle das tensões V_1 , V_2 e V_3 provoca a estabilização da referência de potência ativa do FAP em um valor diferente de zero (por causa dos sinais β_1 , β_2 e β_3). Considerando os erros em regime permanente obtidos na figura 3.24(a), o sinal de referência de potência ativa do FAP tende, de acordo com as equações 3.49, 3.50 e 3.51, a estabilizar num valor equivalente a -1,55W. A figura 3.24(b) exibe essa situação na qual o controlador de potência média do FAP desloca o valor da potência média do FAP por seguir o seu sinal de referência. O quanto essa referência é deslocada indica a quantidade de potência (energia) drenada do PAC pela estrutura multinível, segundo a estratégia de modulação, para que os valores das tensões CC sejam mantidos constantes.

$$\overline{p}_{FAP}^{*} = (k_{p_{V1}} \cdot e_{V1_{SS}} \cdot V_{1}^{*}) + (k_{p_{V2}} \cdot e_{V2_{SS}} \cdot V_{2}^{*}) + (k_{p_{V3}} \cdot e_{V3_{SS}} \cdot V_{3}^{*})$$
(3.49)

$$\overline{p}_{FAP}^* \simeq \left[(-20) \cdot 0,013 \cdot 33,23 \right] + \left[(-20) \cdot 0,0145 \cdot 44,30 \right] + \left[(-20) \cdot (-0,0075) \cdot 132,91 \right]$$
(3.50)

$$\overline{p}_{FAP}^* \simeq -1,55 \quad [W] \tag{3.51}$$

3.5 Conclusões

Neste capítulo, mostrou-se as diferenças de resolução e número de níveis no sinal de saída do inversor multinível em função da configuração adotada para a topologia em cascata assimétrica e, também, da estratégia de modulação utilizada. Foram descritas as justificativas para a escolha da topologia, do número de níveis, da configuração e da estratégia de modulação.

Após a definição das características do inversor multinível, discutiu-se a aplicação desse inversor num sistema de compensação de harmônicos e reativos do tipo FAP. Métodos de controle do conversor e do sistema de compensação também foram discutidos. Para a determinação dos parâmetros a serem utilizados nos controlados usados, foi elaborada uma maneira com a qual esses parâmetros podem ser determinados.

Uma proposta de controle para as tensões CC foi sugerida e resultados de simulação indicaram a sua validade.

No próximo capítulo são exibidos resultados do sistema de filtragem ativa obtidos experimentalmente e através de simulações. A coleta desses resultados foi feita utilizando fontes de tensão CC nos barramentos CC e sem o uso da técnica de controle das tensões CC apresentada neste capítulo. Esta ação promove o teste do sistema de controle e operação do FAP de forma isolada. Também são apresentados os parâmetros utilizados no projeto dos controladores de corrente e de potência média.

Capítulo 4

Operação do sistema de filtragem ativa

Inicialmente por meio de simulação e, na seqüência, com a realização de um protótipo, verificouse o funcionamento do FAP baseado em inversores multiníveis com topologia em cascata assimétrica.

Nos resultados experimentais apresentados foram utilizados os controles de corrente da fonte, de potência ativa do FAP, **mas não o controle individual das tensões CC.** Por esta razão, os resultados a seguir servem para verificar a capacidade da estrutura em realizar a filtragem ativa da corrente da fonte, mas ainda não permitindo estabelecer um procedimento completo para a realização do FAP.

O tipo de carga escolhido foi o retificador monofásico em ponte completa com filtro capacitivo em sua saída. De acordo com [61] esse é o tipo de carga não-linear predominante em consumidores residenciais e comerciais. Portanto, a alimentação de um grupo de cargas desse tipo é também predominante em transformadores de distribuição. O indutor em série (L_{RC}) suaviza as variações na corrente de alimentação desse tipo de carga, resultando num fator de potência igual a 0,7. A figura 3.23 (capítulo 3) exibe, além do tipo de carga adotado, o diagrama de ligação do inversor multinível e do filtro passivo (L_f) de saída ao PAC. Os parâmetros do sistema apresentado na figura 3.23 foram quantificados conforme a tabela 3.4, também do capítulo 3. Pode-se observar que algumas grandezas são monitoradas e seus sinais são utilizados no sistema de controle do FAP apresentado na seção 3.3 do capítulo 3.

Para obter os resultados experimentais e simulados, os parâmetros adotados para os elementos da figura 3.23 e para o inversor multinível implementado equivalem àqueles da tabela 3.4 e das equações 3.45, 3.46 e 3.47, presentes no capítulo 3. Para os controladores PI_c e PI_p , adotou-se os parâmetros exibidos na tabela 4.1, elaborada de acordo com as subseções 3.3.2 e 3.3.3, também do capítulo 3. Segundo [6], é usual que a margem de fase possua valores entre 70° e 85°. Para a resistência R_{L_f} do indutor L_f adotou-se, após medição, o valor de 0,08 Ω .

A figura 4.1 exibe a resposta em freqüência da malha de controle de corrente antes e depois do emprego do controlador PI_c . Através das setas, pode-se perceber que a margem de fase desejada (70°)

Controlador <i>PI</i> _c	Controlador PI_p
$MF_c = \pi \cdot (70^{\circ}/180^{\circ}) \text{ rad}$	$MF_p = \pi \cdot (70^{\circ}/180^{\circ}) \text{ rad}$
$\omega_{ct_c} = 2\pi \cdot 3600 \text{ rad/s}$	$\omega_{ct_p} = 2\pi \cdot 10 \text{ rad/s}$
$k_{p_c} = -74,37228879851907$	$k_{p_p} = -0,000017635415$
$k_{i_c} = -612293, 1268343417$	$k_{i_p} = -0,004548895464$
$T_{i_c} = k_{p_c}/k_{i_c} = 0,00012146517009 \mathrm{s}$	$T_{i_p} = k_{p_p}/k_{i_p} = 0,0038768564476 \text{ s}$
	$\omega_0 = 2\pi \cdot 15 \text{ rad/s}$
	$V_p = V_A \sqrt{2} = 127\sqrt{2} \text{ V}$

Tab. 4.1: Parâmetros adotados para os controladores de corrente PI_c e de potência média PI_p .

é obtida na freqüência de corte do controlador PI_c (3,6kHz). Com isso, os parâmetros calculados para o controlador PI_c permitem que o controle da corrente da fonte i_S seja feito conforme os prérequisitos de projeto do sistema de controle.



Fig. 4.1: Resposta em freqüência da malha de controle de corrente para os parâmetros definidos na tabela 4.1.

A figura 4.2 exibe a resposta em freqüência da malha de controle de potência média antes e depois do emprego do controlador PI_p . Através das setas, pode-se perceber que a margem de fase desejada (70°) é obtida na freqüência de corte do controlador PI_p (10Hz). Com a malha de controle ajustada, pode-se realizar o controle da quantidade de potência ativa que é fornecida pelo FAP. Neste capítulo, pela presença das fontes CC nos barramentos CC do inversor, o valor dessa potência ativa deve ser nula.



Fig. 4.2: Resposta em freqüência da malha de controle de potência ativa do FAP para os parâmetros definidos na tabela 4.1.

Os resultados apresentados neste capítulo são subdivididos em regime permanente e regime transitório. No regime permanente, o sistema de filtragem opera normalmente e já atingiu a estabilidade. Diferentemente do regime transitório, no qual o sistema de controle do FAP busca a sua estabilidade após a ocorrência de alguma contingência: uma mudança repentina na carga alimentada; ou o início de operação do sistema de filtragem.

4.1 Resultados de simulações

4.1.1 Regime permanente

A figura 4.3 exibe as tensões v_S (disponível no PAC) e v_{FAP} (disponível nos terminais de saída do inversor multinível). É possível notar que a tensão v_{FAP} possui componentes em alta freqüência por causa da modulação PWM no módulo de menor tensão do inversor multinível. Apesar da presença da indutância L_f no filtro passivo de saída, esses componentes conseguem provocar pequenas oscilações em alta freqüência na tensão v_S .

A figura 4.4 mostra a diferença existente entre a corrente i_S vista pela fonte antes e depois do início de operação do FAP. Antes, a corrente i_S tinha o formato da corrente i_L , que é a corrente de alimentação da carga. Após, a corrente i_L não é modificada porque a carga permaneceu igual. Porém, a corrente i_S tem o seu valor eficaz reduzido porque conduz somente a parcela ativa do potência



Fig. 4.3: De cima para baixo: tensão no PAC v_S (a) e tensão de saída do inversor v_{FAP} (b).

da carga. É preciso ressaltar que a taxa de variação da corrente i_L ao iniciar a carga do capacitor C_L é menor do que sua taxa de variação quando esta carga é finalizada. Tal diferença influencia no desempenho da compensação da corrente da fonte i_S nesses dois instantes. Por essa razão e também pela limitação da variação da tensão presente sobre o indutor (filtro de saída), a compensação da corrente da fonte i_S no momento em que a carga do capacitor é interrompida não é tão satisfatória quanto o instante em que a carga do capacitor é iniciada. Essa diferença pode ser notada na figura 4.4 nos instantes em que a corrente i_S não se assemelha ao seu valor de referência i_S^* .

A figura 4.5 exibe os espectros em freqüências das correntes envolvidas na compensação após o início de sua operação. Pela redução no espectro harmônico da corrente fornecida pela fonte, concluise que esta carrega apenas a potência ativa da carga à freqüência fundamental. A outra parcela da potência instantânea da carga é fornecida através da corrente do FAP.

A figura 4.6 exibe a eficácia do controlador de potência média PI_p . Nota-se que o valor médio \overline{p}_{FAP} da potência instantânea fornecida pelo FAP p_{FAP} , durante a operação do sistema de filtragem, é mantido próximo de nulo. Ou seja, o inversor não interfere na potência ativa consumida pela carga, sendo ela totalmente fornecida pela fonte através de i_s . Para isso, a corrente i_{FAP} é o meio de transporte da potência não-ativa da carga e a sua forma de onda também é exibida na figura 4.6.



Fig. 4.4: De cima para baixo: corrente de alimentação da carga i_L (a), sinal de referência da corrente a ser absorvida da fonte i_S^* (b) e corrente absorvida da fonte i_S (c).



Fig. 4.5: De cima para baixo: espectros em freqüências das correntes de carga i_L (a), do FAP i_{FAP} (b) e da fonte i_S (c) obtidos a partir de simulações.

Impacto do controle das tensões dos barramentos CC

A partir dos resultados de simulações que validaram a proposta de controle das tensões CC exibida na seção 3.4 do capítulo 3, pode-se analisar o impacto dessa proposta na compensação da corrente



Fig. 4.6: De cima para baixo: potência instantânea fornecida pelo inversor p_{FAP} (a), valor médio da potência instantânea fornecida pelo inversor \overline{p}_{FAP} (b) e corrente fornecida pelo inversor i_{FAP} (c).

da fonte. Isso porque a proposta de controle das tensões CC interfere na estratégia de modulação do conversor CC/CA e, conseqüentemente, altera a sua tensão de saída.

A figura 4.7 exibe as formas de onda das correntes de carga, da fonte e do conversor após a estabilização da malha de controle das tensões CC, caracterizando o estado de regime permanente da operação do FAP. Em comparação aos resultados mostrados na figura 4.4, percebe-se que a corrente da fonte i_S apresenta uma distorção maior durante o controle das tensões CC. Em termos numéricos, a DHT da corrente da fonte i_S variou de 5,16% para 15,19% após a necessidade de se controlar as tensões CC. Durante as simulações, a DHT da corrente de carga era de 121,14%. Analisando as distorções na corrente absorvida da fonte através da figura 4.7, percebe-se que elas são periódicas e ocorrem, principalmente, por dois motivos: no início ou no fim do processo de carga do capacitor C_L ; e na comutação das chaves do módulo de maior tensão da estrutura multinível.

Apesar da distorção presente na corrente da fonte, o seu componente fundamental está em fase com a tensão de alimentação da rede. Dessa forma e considerando que a tensão de alimentação é senoidal, o fator de potência visto pela rede pode ser calculado de acordo com a equação 4.1. Analisando as duas situações, antes e depois da necessidade do controle das tensões, percebe-se que o fator de potência visto pela rede diminui de 0,9987 para 0,9886. Essa pequena variação indica que apesar da distorção na corrente da fonte, a compensação de reativos não foi afetada.

$$FP = \frac{1}{\sqrt{1 + \text{DHT}_i^2}} \tag{4.1}$$



Fig. 4.7: De cima para baixo: corrente de alimentação da carga i_L (a), sinal de referência da corrente a ser absorvida da fonte i_S^* (b) e corrente absorvida da fonte i_S (c).

A figura 4.8 exibe as respostas em freqüências das correntes envolvidas no sistema de filtragem ativa durante o controle das tensões CC. Em comparação aos resultados mostrados na figura 4.5, percebe-se que houve um aumento de amplitude nos componentes harmônicos da corrente do conversor e que acabaram interferindo no conteúdo espectral da corrente da fonte. Por essa razão, ocorre o aumento na DHT da corrente da fonte.

A grau de distorção da corrente da fonte indica que o sistema de controle das tensões CC interfere na performance do sistema de filtragem ativa. Portanto, faz-se necessário a elaboração de técnicas de controle das tensões CC que não provoquem esse tipo de interferência na corrente da fonte. Outra possibilidade é o aprimoramento da proposta descrita na seção 3.4 do capítulo 3 através da determinação de algumas funções de transferência de suas malhas de controle de tensão.

4.1.2 Regime transitório

Nesta subseção são exibidos os resultados de simulação em regime transitório para análise do desempenho do FAP considerando que os barramentos CC dos módulos da estrutura multinível são alimentados por fontes de tensão CC. Dessa forma, nesta subseção e nas seções e subseções seguintes, os resultados apresentados foram obtidos com as tensões CC sendo mantidas equivalentes aos seus respectivos valores de referência em função das fontes CC. **Assim, a proposta de controle dessas tensões descrita na seção 3.4 do capítulo 3 não é utilizada.**



Fig. 4.8: Resposta em freqüências das correntes de carga i_L (a), do conversor i_{FAP} (b) e da fonte i_S (c) durante o controle simultâneo das tensões CC.

A figura 4.9 exibe os efeitos do início de operação do FAP na corrente fornecida pela fonte i_S . Iniciado o sistema de filtragem, a corrente i_S assemelha-se ao seu sinal de referência i_S^* após aproximadamente 2 ciclos de 60Hz. Assim, a duração de (2/60) segundos representa aproximadamente o intervalo de tempo transcorrido até que o sistema de controle do FAP consiga atingir a sua estabilidade.

O intervalo de 2 ciclos de 60Hz para atingir a estabilidade também é verificado pelo sistema de controle do FAP face a alterações ocorridas na corrente de alimentação da carga. A figura 4.10 exibe os efeitos de um aumento de carga e a figura 4.11, os efeitos de uma diminuição dessa carga.

Nota-se na figura 4.10 que um aumento da corrente de carga, representa conseqüentemente, um aumento da diferença entre o seu valor de pico e o seu valor nulo. Como essa variação do valor de pico para o valor nulo é mais abrupta do que vice-versa, o sistema de controle do FAP apresenta uma certa dificuldade em compensar essa variação na corrente i_S durante a sua ocorrência.

Quando a carga aumenta, como ocorre na figura 4.10, verifica-se a dificuldade do FAP em compensar plenamente a corrente. Isto se deve à limitação da resposta em freqüência da malha de corrente e à máxima capacidade do inversor em acompanhar maiores valores da taxa de variação da corrente (di/dt), pois este valor é limitado pela diferença de tensão entre a fonte e o barramento CC (total), e pela indutância do filtro passivo de saída (L_f) . Tal limitação diminui quando a carga é diminuída, de acordo com a figura 4.11.



Fig. 4.9: De cima para baixo: corrente fornecida pelo inversor i_{FAP} (a), corrente de alimentação da carga i_L (b), corrente absorvida da fonte i_S (c) e sinal de referência da corrente a ser absorvida da fonte i_S^* (d).



Fig. 4.10: De cima para baixo: corrente fornecida pelo inversor i_{FAP} (a), corrente de alimentação da carga i_L (b), corrente absorvida da fonte i_S (c) e sinal de referência da corrente a ser absorvida da fonte i_S^* (d).



Fig. 4.11: De cima para baixo: corrente fornecida pelo inversor i_{FAP} (a), corrente de alimentação da carga i_L (b), corrente absorvida da fonte i_S (c) e sinal de referência da corrente a ser absorvida da fonte i_S^* (d).

4.2 **Resultados experimentais**

Os resultados experimentais foram obtidos com os mesmos parâmetros utilizados nas simulações. Ou seja, de acordo com o diagrama exibido na figura 3.23 e com os parâmetros apresentados nas tabelas 3.4 e 4.1. Porém, por se tratar de uma implementação que contém uma parte digital baseada em DSP, os controladores PI_c e PI_p foram elaborados diferentemente. Para eles, utilizou-se a estrutura com saturação dinâmica (*anti-wind-up*) na qual a parte integral da saída do controlador PI depende da parte proporcional, que também é limitada. Dessa forma, evita-se o sobre-sinal na saída do controlador e melhora-se a resposta dinâmica por priorizar a parte proporcional [6, 62, 63]. A figura 4.12 exibe o diagrama de blocos do controlador PI com saturação dinâmica. Além das saturações, nota-se que o novo ganho integral é formado pela multiplicação do ganho integral tradicional (k_i) com o período de amostragem (T_s). Essa multiplicação é feita por se tratar de uma implementação digital na qual o intervalo de integração equivale ao período de amostragem.

A freqüência de amostragem adotada foi de 36ks/s. Portanto, o período de amostragem T_s equivale ao valor exibido na equação 4.2. A amostragem é realizada nos limites máximo e mínimo de um contador do DSP que alterna seqüências crescentes e decrescentes de contagem.

$$T_s = \frac{1}{f_s} = \frac{1}{36000} = 27,777778 \ \mu \text{s} \tag{4.2}$$



Fig. 4.12: Diagrama de blocos do controlador PI com saturação dinâmica.

A modulação PWM no módulo de menor tensão do inversor multinível foi implementada numa freqüência de 18kHz (f_{PWM}). Exatamente a metade do valor da freqüência de amostragem, possibilitando a leitura de duas amostras a cada ciclo de f_{PWM} .

O DSP utilizado na implementação é o TMS320F2812 da TEXAS INSTRUMENTS, disponibilizado através do *starter kit* F2812 eZdsp(DSK) TMDSEZD2812 [64]. A freqüência do *clock* do DSP é de até 150MHz e o *starter kit* contém um conversor A/D de 12 bits de 16 canais. Por esses canais, foram lidas as amostras dos sinais de tensão e de corrente obtidos através de placas eletrônicas de condicionamento de sinais. Essas placas foram elaboradas a partir de sensores de efeito Hall, amplificadores operacionais, circuitos diferenciais e outros componentes passivos. Outros detalhes sobre as placas de condicionamento de sinais e o software desenvolvido no DSP estão disponíveis nos Apêndices.

4.2.1 Inversor multinível

Para verificar preliminarmente a funcionalidade do inversor, a figura 4.13 exibe a tensão de saída do inversor multinível implementado a partir de um sinal de referência senoidal com amplitude máxima de aproximadamente 90V, com o inversor multinível alimentando uma carga do tipo RL em série com predominância resistiva. Pode-se notar a geração dos 19 níveis na tensão de saída. Esses níveis são obtidos a partir da configuração (1:2:6) adotada para a topologia em cascata assimétrica do inversor multinível. Além disso, percebe-se que a tensão de saída segue a sua referência senoidal e a corrente apresenta pequenas variações em alta freqüência em cada um dos 19 níveis de tensão submetidos à carga.


Fig. 4.13: De cima para baixo: tensão de referência (Ch2: 50V/div), tensão de saída (Ch3: 50V/div) e corrente de saída (Ch1: 0,2A/div) do inversor ao alimentar uma carga do tipo RL em série com predominância resistiva.

4.2.2 Regime permanente

A figura 4.14 exibe as grandezas medidas durante a atuação do sistema de filtragem. É possível verificar a diferença na forma de onda das correntes i_S e i_L , e também, a redução no valor eficaz de i_S de 1,42A para 1,12A. Com o auxílio da figura 4.15, pode-se perceber a semelhança existente entre a corrente i_S e o seu sinal de referência i_S^* .

A partir do medidor de harmônicos de potência FLUKE 40, foi possível verificar que a DHT da corrente i_S valia 75% antes do início de operação do sistema de filtragem. E que após sua operação, a DHT de i_S valia 6,8%. Medidas feitas no sinal de tensão v_S verificaram uma DHT de 2%. Esse medidor permite a verificação dos componentes harmônicos dos sinais medidos. Para o caso da figura 4.14, a figura 4.16 exibe a porcentagem de uma parte do espectro harmônico de algumas grandezas em relação aos seus respectivos valores eficazes (calculados considerando os harmônicos até a 50^a ordem). Nota-se que a redução maior aconteceu no 3º harmônico da corrente i_S , de 57% para 0,8%, e que a maioria da potência transportada pela corrente i_S , após a compensação, é feita na freqüência fundamental. Também nota-se que os harmônicos de ordens 2 e 4 da corrente i_S foram amplificados em relação aos respectivos da corrente i_L , provavelmente, por conta do aumento do componente CC (ordem 0) da corrente i_S .

Quanto ao sistema de controle do FAP, é preciso tomar precauções na escolha dos parâmetros



Fig. 4.14: De cima para baixo: tensão no PAC v_S (Ch4: 250V/div), tensão de saída do inversor v_{FAP} (Ch3: 250V/div), corrente de alimentação da carga i_L (Ch1: 2A/div) e corrente absorvida da fonte i_S (Ch2: 2A/div).

para o controlador de potência média. Por ele ser o responsável em definir o sinal de referência i_S* para o controlador de corrente, deve-se evitar um alto ganho proporcional no controlador PI_p . Caso contrário, a sua saída será oscilatória e provocará deformações na constituição de i_S^* , ao ser multiplicada pelo sinal de tensão v_S . Um exemplo disso pode ser verificado na figura 4.17. Nota-se que a potência média do FAP é mantida próxima de seu valor nulo e o sistema de controle já está estabilizado. Porém, um ganho muito alto no erro de potência média causa deformações na corrente i_S obtida da fonte primária pelo PAC.

4.2.3 **Regime transitório**

A figura 4.18 exibe o instante de partida do sistema de filtragem. Nota-se que o sistema de controle do FAP, assim como ocorreu nos resultados de simulação, leva em torno de 2 ciclos de 60Hz até atingir o ponto estável de operação.

A partir das figuras 4.19 e 4.20, nota-se também que a estabilidade também é atingida em aproximadamente 2 ciclos de 60Hz após variações ocorridas na carga. Assim como nas simulações, o aumento da carga resulta numa maior dificuldade do sistema de filtragem em tornar a corrente i_S o mais próximo possível do seu valor de referência i_S^* .



Fig. 4.15: De cima para baixo: tensão no PAC v_S (Ch4: 250V/div), tensão de saída do inversor v_{FAP} (Ch3: 250V/div), sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch1: 1A/div) e corrente absorvida da fonte i_S (Ch2: 1A/div).



Fig. 4.16: Contribuições percentuais dos componentes harmônicos da tensão no PAC v_S , da corrente absorvida da fonte i_S e da corrente de alimentação da carga i_L no valor eficaz total de cada grandeza.

4.3 Conclusões

Neste capítulo foram apresentados os resultados obtidos experimentalmente e a partir de simulações, para a aplicação de inversores multiníveis com topologia em cascata assimétrica em um FAP. Os resultados experimentais comprovaram os resultados obtidos através de simulações e por isso,



Fig. 4.17: De cima para baixo: corrente fornecida pelo inversor i_{FAP} (Ch3: 1A/div), potência instantânea fornecida pelo inversor p_{FAP} (M3: 125W/div), tensão de saída do inversor v_{FAP} (Ch2: 100V/div) e corrente absorvida da fonte i_S (Ch1: 1A/div).

validaram o sistema de controle proposto para a operação do FAP.

Em função do melhor espectro em freqüências, a tensão de saída obtida por um inversor multinível possibilita a utilização de filtros de saída mais simples. Por essa razão, pode-se utilizar uma baixa indutância. Outra característica observada é que com uma tensão CC total em torno de 11% do valor de pico da rede, o FAP é capaz de compensar satisfatoriamente a corrente da rede. Para estruturas PWM normais, essa tensão CC total geralmente possui valores em torno de 40% do valor de pico da rede. Além de requerer estruturas mais complexas de filtros passivos de saída [2]. Em compensação, o número total de componentes em uma estrutura PWM normal é menor.



Fig. 4.18: Transitório de partida do FAP. De cima para baixo: corrente fornecida pelo inversor i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div) e sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div).



Fig. 4.19: Aumento de carga em aproximadamente 90%. De cima para baixo: corrente fornecida pelo inversor i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div) e sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div).



Fig. 4.20: Diminuição de carga em aproximadamente 90%. De cima para baixo: corrente fornecida pelo inversor i_{FAP} (Ch1: 2A/div), corrente absorvida da fonte i_S (Ch2: 2A/div) e sinal de referência da corrente a ser absorvida da fonte i_S^* (Ch3: 2A/div).

Capítulo 5

Conclusões finais

Um sistema de filtragem ativa foi implementado a partir de um inversor multinível que, com exceção do módulo de menor tensão, opera com comutação em baixa freqüência. O módulo de menor tensão opera com modulação PWM.

A topologia em cascata assimétrica é aquela que obtém um maior número de níveis com a mesma quantidade de módulos. Para esta topologia, é possível operar com modulação PWM no módulo de menor tensão e, conseqüentemente, reduzir a diferença entre o sinal de tensão de saída e seu respectivo sinal de referência. Porém, a distribuição desigual das tensões CC perde parte da vantagem da estrutura multinível em operar em níveis elevados de tensão a partir de componentes com tensões mais baixas. Neste aspecto, a topologia em cascata simétrica não é comprometida.

Os resultados experimentais foram obtidos a partir de um protótipo monofásico com níveis baixos de tensão (127/220V) em função da disponibilidade de equipamentos. Porém, o conceito abordado é de fácil expansão para um sistema trifásico e com níveis maiores de tensão por tratar-se de um FAP do tipo *shunt*.

A estrutura multinível melhora o espectro da tensão de saída do inversor, diminuindo a sua DHT. Isso possibilita a aplicação de filtros passivos de saída mais simples e com baixas indutâncias em comparação a um inversor que utiliza a modulação PWM normal. Isso permite uma ampliação da capacidade de compensar correntes de carga com elevada taxa de variação.

Foi proposta uma estratégia de controle das tensões CC baseada no deslocamento vertical dos sinais de referência utilizados por cada um dos módulos para a definição dos estados de suas chaves. O deslocamento é feito através de níveis CC que adiantam ou retardam o acionamento das chaves em cada um dos módulos. Dessa forma, ao final de um ciclo da fundamental, a potência média fornecida pelos capacitores dos barramentos CC não é nula. A partir dessa informação, é possível manter equilibradas as cargas nos capacitores de forma que em seus terminais, as tensões CC sigam os seus respectivos valores de referência. No entanto, a proposta de controle interfere na compensação da

corrente da fonte feita pelo controle do FAP, de forma moderada.

5.1 Sugestões para trabalhos futuros

Para a continuação deste trabalho, as seguintes questões ainda podem ser exploradas:

- Verificação da estabilidade da proposta de controle das tensões CC para situações de característica transitória, tais como início de operação do FAP, aumento ou diminuição da carga. Observar a influência dessas mudanças na operação do FAP;
- Verificação experimental da proposta de controle sugerida para as tensões CC e quais os seus impactos na performance do FAP em compensar a corrente da fonte;
- Caracterização das funções de transferências indefinidas e presentes nas malhas de controle propostas para as tensões CC a partir de métodos empíricos. Elaboração de um método de projeto de seus controladores após a definição das funções;
- Uso de conversores CC/CC para fixar as tensões CC dos barramentos CC em seus respectivos valores de referência;
- Impactos ocasionados pela diminuição da freqüência de amostragem na performance do FAP;
- Resultados experimentais da topologia em cascata assimétrica em níveis maiores de tensão e de corrente;
- Comparativo experimental das topologias em cascata simétrica e assimétrica em diversos níveis de tensão;
- Verificação dos níveis de IEM conduzida em função dos componentes de alta freqüência presentes na tensão de saída do inversor multinível na presença de modulação PWM em algum dos módulos;
- Estudo comparativo de outros filtros passivos para diminuir a interferência desses componentes de alta freqüência;
- Análise do FAP para outros tipos de cargas;
- Uso de outras chaves semicondutoras no inversor multinível e possíveis impactos na performance do sistema de filtragem.
- Estudo da possibilidade da implantação de um sistema de filtragem ativa num ponto de convergência de várias cargas. Por exemplo, no lado secundário de um transformador de distribuição.

Referências Bibliográficas

- R. P. Martin and S. P. Pimentel. Compensação de harmônicos: medição, modelagem e simulação. Projeto final de curso, Escola de Engenharia Elétrica e de Computação, Universidade Federal de Goiás, Dezembro 2003.
- [2] M. V. Ataíde. Contribuição ao projeto de filtros ativos monofásicos de potência. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Janeiro 1997.
- [3] S. M. Deckmann. Avaliação da qualidade da energia elétrica. Apostila da disciplina IT012, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Março 2004.
- [4] J. A. Pomilio. Pré-reguladores de fator de potência PFP. Apostila da disciplina IT505, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Fevereiro 2004. http://www.dsce.fee.unicamp.br/~antenor/pfp.html, acesso em julho/2006.
- [5] F. Z. Peng, J. W. McKeever, and D. J. Adams. A power line conditioner using cascade multilevel inverters for distribution systems. *IEEE Transactions on Industry Applications*, vol. 34, no. 6, pp. 1293-1298, November/December 1998.
- [6] F. P. Marafão. Análise e controle da energia elétrica através de técnicas de processamento digital de sinais. Tese de doutorado, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Dezembro 2004.
- [7] T. C. Green and J. H. Marks. Control techniques for active power filters. *IEE Proceedings Electric Power Applications*, vol. 152, no. 2, pp. 369-381, March 2005.
- [8] J. Rodriguez, J. S. Lai, and F. Z. Peng. Multilevel inverters: A survey of topologies, controls, and applications. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 724-738, August 2002.

- [9] H. Miranda, V. Cardenas, and J. Perez. A comparative development for the modulation techniques to multilevel trinary inverter applied to current active filters. *IEEE International Power Electronics Congress 2004 (CIEP'2004)*, pp. 171-176, Celaya, Mexico, October 2004.
- [10] M. Basu, S. P. Das, and G. K. Dubey. Parallel converter scheme for high-power active power filters. *IEE Proceedings Electric Power Applications*, vol. 151, no. 4, pp. 460-466, July 2004.
- [11] A. Horn, R. H. Wilkinson, and J. H. R. Enslin. Evaluation of converter topologies for improved power quality in dc traction substations. *IEEE International Symposium on Industrial Electronics 1996 (ISIE'96)*, vol. 2, pp. 802-807, June 1996.
- [12] B. M. Song, J. S. Lai, C. Y. Jeong, and D. W. Yoo. A soft-switching high-voltage active power filter with flying capacitors for urban maglev system applications. *IEEE Industry Applications Society Annual Meeting 2001 (IAS'01)*, vol. 3, pp. 1461-1468, September/October 2001.
- [13] B. R. Lin and Y. L. Hou. Single-phase integrated power quality compensator based on capacitorclamped configuration. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 1, pp. 173-185, February 2002.
- [14] F. Z. Peng, J. S. Lai, J. W. McKeever, and J. VanCoevering. A multilevel voltage-source inverter with separate dc sources for static var generation. *IEEE Transactions on Industry Applications*, vol. 32, no. 5, pp. 1130-1138, September/October 1996.
- [15] Y. Liang and C. O. Nwankpa. A new type of statcom based on cascading voltage-source inverter with phase-shifted unipolar spwm. *IEEE Transactions on Industry Applications*, vol. 35, no. 5, pp. 1118-1123, September/October 1999.
- [16] C. W. Han, T. J. Kim, D. W. Kang, and D. S.Hyun. Line-interactive dvr using multi-level h-bridge inverter. *IEEE Annual Conference of the Industrial Electronics Society 2002 (IE-CON'02)*, vol. 2, pp. 892-897, November 2002.
- [17] L. Jianlin, H. Changsheng, W. Liqiao, and Z. Zhongchao. Apf based on multilevel voltage source cascade converter with carrier phase shifted spwm. *IEEE Conference on Convergent Technologies for Asia-Pacific Region 2003 (TENCON'2003)*, vol. 1, pp. 264-267, October 2003.
- [18] G. Wang, Y. Li, and X. Xou. A novel control algorithm for cascade shunt active power filter. *IEEE Power Electronics Specialists Conference 2004 (PESC'04)*, vol. 1, pp. 771-775, June 2004.

- [19] A. M. Massoud, S. J. Finney, and B. W. Williams. Seven-level shunt active power filter. 11th International Conference on Harmonics and Quality of Power 2004, pp. 136-141, September 2004.
- [20] K. V. Patil, R. M. Mathur, J. Jiang, and S. H. Hosseinit. Distribution system compensation using a new binary multilevel voltage source inverter. *IEEE Transactions on Power Delivery*, vol. 14, no. 2, pp. 459-464, April 1999.
- [21] C. K. Lee, S. Y. Ron Hui, and H. S. H. Chung. A 31-level cascade inverter for power applications. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 3, pp. 613-617, June 2002.
- [22] M. G. López, L. T. Moran, J. C. Espinoza, and J. R. Dixon. Performance analysis of a hybrid asymmetric multilevel inverter for high voltage active power filter applications. *IEEE Annual Conference of the Industrial Electronics Society 2003 (IECON'03)*, vol. 2, pp. 1050-1055, November 2003.
- [23] H. Miranda, V. Cárdenas, J. Pérez, and C. Núñez. A hybrid multilevel inverter for shunt active filter using space-vector control. *IEEE Power Electronics Specialists Conference 2004* (*PESC'04*), vol. 5, pp. 3541-3546, June 2004.
- [24] H. Ding, X. Duan, and Q. Zhu. A multifunctional series power quality conditioner based on asymmetry cascade multilevel inverter and its strategy. *IEEE/PES Transmission and Distribution Conference and Exhibition: Asia and Pacific 2005*, pp. 1-6, August 2005.
- [25] M. E. Ortúzar, R. E. Carmi, J. W. Dixon, and L. Morán. Voltage-source active power filter based on multilevel converter and ultracapacitor dc link. *IEEE Transactions on Industrial Electronics*, vol. 53, no. 2, pp. 477-485, April 2006.
- [26] N. S. Choi, G. C. Cho, and G. H. Cho. Modeling and analysis of a static var compensator using multilevel voltage source inverter. *IEEE Industry Applications Society Annual Meeting 1993* (IAS'93), vol. 2, pp. 901-908, October 1993.
- [27] C. Hochgraf, R. Lasseter, D. Divan, and T. A. Lipo. Comparison of multilevel inverters for static var compensation. *IEEE Industry Applications Society Annual Meeting 1994 (IAS'94)*, vol. 2, pp. 921-928, October 1994.
- [28] R. W. Menzies and Y. Zhuang. Avanced static compensation using a multilevel gto thyristor inverter. *IEEE Transactions on Power Delivery*, vol. 10, no. 2, pp. 732-738, April 1995.

- [29] G. Zhou, B. Wu, and D. Xu. Direct power control of a multilevel inverter based active power filter. *IEEE International Conference on Industrial Technology 2004 (ICIT'04)*, vol. 1, pp. 498-503, December 2004.
- [30] P. C. Tan, P. C. Loh, and D. G. Holmes. A robust multilevel hybrid compensation system for 25kV electrified railway applications. *IEEE Power Electronics Specialists Conference 2003* (*PESC'03*), vol. 3, pp. 1020-1025, June 2003.
- [31] A. Shoulaie, P. Ramezanpoor, and H. Amirkhani. Control of multilevel-inverters for active power filters using a fuzzy space-vector method. *IEEE International Symposium on Industrial Electronics 1997 (ISIE'97)*, pp. 279-282, Guimarães, Portugal, June 1997.
- [32] R. Strzelecki, G. Benysek, J. Rusiński, and E. Kot. Analysis of dc link capacitor voltage balance in multilevel active power filters. 9th European Conference on Power Electronics and Applications (EPE'2001), Gratz, Austria, August 2001.
- [33] R. Strzelecki, M. Jamut, E. Kot, A. Kempski, and G. Benysek. Multilevel voltage source power quality conditioner. *IEEE Power Electronics Specialists Conference 2003 (PESC'03)*, vol. 3, pp. 1043-1048, June 2003.
- [34] B. R. Lin, Y. P. Chien, and H. H. Lu. Multilevel inverter with series connection of h-bridge cells. *IEEE International Conference on Power Electronics and Drive Systems 1999 (PEDS'99)*, pp. 859-864, Hong Kong, July 1999.
- [35] R. H. Baker and L. H. Bannister. Electric power converter. U.S. Patent 3 867 643, February 1975.
- [36] A. Nabae, I. Takahashi, and H. Akagi. A new neutral-point clamped pwm inverter. *IEEE Transactions on Industry Applications*, vol. IA-17, pp. 518-523, September/October 1981.
- [37] G. Carrara, S. Gardella, M. Marchesoni, R. Salutari, and G. Sciutto. A new multilevel pwm method: A theoretical analysis. *IEEE Transactions on Power Electronics*, vol. 7, no. 3, pp. 497-505, July 1992.
- [38] B. P. McGrath and D. G. Holmes. Multicarrier pwm strategies for multilevel inverters. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 858-867, August 2002.
- [39] M. Calais, L. J. Borle, and V. G. Agelidis. Analysis of multicarrier pwm methods for a single-phase five level inverter. *IEEE Power Electronics Specialists Conference 2001 (PESC'01)*, vol. 3, pp. 1351-1356, Vancouver, Canada, June 2001.

- [40] M. Marchesoni and P. Tenca. Diode-clamped multilevel converters: A practicable way to balance dc-link voltages. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 752-765, August 2002.
- [41] B. R. Lin, C. H. Huang, and T. C. Wei. Voltage-controlled half-bridge neutral-point diodeclamped rectifier without current sensor. *IEEE International Conference on Industrial Technology 2002 (ICIT'02)*, vol. 1, pp. 433-438, December 2002.
- [42] M. F. Escalante, J. C. Vannier, and A. Arzandé. Flying capacitor multilevel inverters and dtc motor drive applications. *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, pp. 809-815, August 2002.
- [43] H. Wang, H. Lu, Y. Deng, R. Zhao, and X. He. Relationship between flying capacitor multilevel inverter pwm methods and switching loss minimized pwm method for flying capacitor multilevel inverter. *IEEE Power Electronics Specialists Conference 2004 (PESC'04)*, vol. 6, pp. 4418-4422, June 2004.
- [44] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo. Hybrid multilevel power conversion system: a competitive solution for high-power applications. *IEEE Transactions on Industrial Electronics*, vol. 36, no. 3, pp. 834-841, May/June 2000.
- [45] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo. Hybrid topology for multilevel power conversions. U.S. Patent 6 005 788, 1999.
- [46] M. D. Manjrekar and T. A. Lipo. A generalized structure of multilevel power converter. *International Conference on Power Electronic Drives and Energy Systems for Industrial Growth*, vol. 1, pp. 62-67, December 1998.
- [47] J. S. Lai and F. Z. Peng. Multilevel converters a new breed of power converters. *IEEE Transactions on Industry Applications*, vol. 32, no. 3, pp. 509-517, May/June 1996.
- [48] D. G. Holmes and T. A. Lipo. Pulse Width Modulation For Power Converters: Principles and Practice. IEEE Press Series on Power Engineering. John Wiley and Sons, Inc., 2003. ISBN 0-471-20814-0.
- [49] V. G. Agelidis and M. Calais. Application specific harmonic performance evaluation of multicarrier pwm techniques. *IEEE Power Electronics Specialists Conference 1998 (PESC'98)*, vol. 1, pp. 172-178, Fukuoka, Japan, May 1998.

- [50] C. Rech, H. Pinheiro, H. A. Grundling, H. L. Hey, and J. R. Pinheiro. Analysis and comparison of hybrid multilevel voltage source inverters. *IEEE Power Electronics Specialists Conference* 2002 (PESC'02), vol. 2, pp. 491-496, June 2002.
- [51] C. Rech, H. A. Grundling, H. L. Hey, H. Pinheiro, and J. R. Pinheiro. A generalized design methodology for hybrid multilevel inverters. *IEEE Annual Conference of the Industrial Electronics Society 2002 (IECON'02)*, vol. 1, pp. 834-839, November 2002.
- [52] L. A. Silva, S. P. Pimentel, and J. A. Pomilio. Analysis and proposal of capacitor voltage control for an asymmetric cascaded converter. *IEEE Power Electronics Specialists Conference* 2005 (PESC'05), pp. 809-815, Recife, Brazil, June 2005.
- [53] M. V. Ataíde and J. A. Pomilio. Single-phase shunt active filter: A design procedure considering harmonics and EMI standards. *IEEE International Symposium on Industrial Electronics 1997* (*ISIE*'97), pp. 422-427, Guimarães, Portugal, June 1997.
- [54] T. E. Nuñez Zuñiga. Projeto e implementação de filtro ativo trifásico de potência, usando o método da síntese de carga resistiva. Dissertação de mestrado, Faculdade de Engenharia Elétrica e de Computação, Universidade Estadual de Campinas, Maio 1999.
- [55] T. E. Nuñez-Zuñiga and J. A. Pomilio. Shunt active filter synthesizing resistive loads. *IEEE Transactions on Power Electronics*, vol. 17, no. 2, pp. 273-278, March 2002.
- [56] M. S. Pádua, S. M. Deckmann, and F. P. Marafão. Frequency-adjustable positive sequence detector for power conditioning applications. *IEEE Power Electronics Specialists Conference* 2005 (PESC'05), pp. 1928-1934, Recife, Brazil, June 2005.
- [57] C. P. Bottura. Princípios de Controle e Servomecanismos. Guanabara Dois, 1982.
- [58] L. A. Silva, S. P. Pimentel, and J. A. Pomilio. Nineteen-level active filter system using asymmetrical cascaded converter with dc voltages control. *IEEE Power Electronics Specialists Conference 2005 (PESC'05)*, pp. 303-308, Recife, Brazil, June 2005.
- [59] L. A. Silva, S. P. Pimentel, and J. A. Pomilio. Sistema de filtragem ativa com inversor multinível assimétrico em cascata de dezenove níveis e controle de tensão nos barramentos cc. *Eletrônica de Potência, Revista da Associação Brasileira de Eletrônica de Potência SOBRAEP*, vol. 11, no. 1, pg. 17-24, Março 2006.
- [60] PSIM/SIMCAD. Página na internet, Powersim Inc. http://www.powersimtech.com, acesso em julho/2006.

- [61] J. A. Pomilio and S. M. Deckmann. Caracterização e compensação de harmônicos e reativos de cargas não-lineares residenciais e comerciais. *Eletrônica de Potência, Revista da Associação Brasileira de Eletrônica de Potência SOBRAEP*, vol. 11, no. 1, pg. 9-16, Março 2006.
- [62] S. Buso. DSP and microcontrollers applications in power electronics. Página na internet, Agosto 2004. http://www.dsce.fee.unicamp.br/~antenor/Simone2004.html, acesso em julho/2006.
- [63] K. J. Åström and T. Hägglund. PID Controllers: Theory, Design, and Tuning. Instrument Society of America, 2nd edition, 1995. ISBN 1-55617-516-7.
- [64] Texas Instruments. TMDSEZD2812 F2812 eZdsp(DSK). Página na internet. http://focus.ti.com/docs/toolsw/folders/print/tmdsezd2812.html, acesso em julho/2006.

Apêndice A

Código do programa elaborado no DSP

O programa descrito neste apêndice foi elaborado nas linguagens C e IQMATH através do editor *Code Composer Studio* da *Texas Instruments* na versão 2.20 de 2003. O modelo do DSP utilizado foi o TMS320F2812, também fabricado pela *Texas Instruments*. O DSP opera com registradores de 32 bits no formato hexadecimal. A linguagem IQMATH, disponibilizada pela *Texas Instruments*, aborda operações matemáticas e lógicas entre números representados no formato IQ sem a necessidade de pré-conversões.

O valor da freqüência de amostragem adotado é de 36ks/s e para a freqüência da modulação PWM, de 18kHz. Ambas freqüências estão sincronizadas por um contador interno do DSP, pois são iniciadas a partir de interrupções (*overflow* e *underflow*) requeridas durante a contagem desse contador. Qualquer uma dessas interrupções habilita a leitura dos sinais analógicos pelo ADC, que por sua vez, ao final da conversão de todos os sinais, habilita a execução das rotinas descritas a seguir. Durante essa execução, os pulsos de comando enviados aos 12 IGBTs do inversor multinível são atualizados em uma das rotinas. Ao final da execução, o sistema é preparado para "atender"a interrupção seguinte. Em seguida, o ciclo é reiniciado. Essas informações estão resumidas na figura A.1.

O programa contém uma rotina principal de execuções com *loop* infinito, na qual as outras rotinas são executadas a partir de determinadas condições.

A.1 Programa principal

```
//
// FILE: Program_Main.c
//
// Lab. de Condicionamento de Energia Eletrica - LCEE
// Dep. de Sistemas e Controle de Energia - DSCE
// Faculdade de Eng. Elétrica e de Computação - FEEC
// Universidade Estadual de Campinas - UNICAMP
//
```



Fig. A.1: Ciclo de operação do programa no DSP.

// AUTORES

// Eng. Sérgio Pimentel serpirpi	m@yahoo.com.br	
// MSc. Leonardo Silva leonardo	dearaujo@gmail.com	
//		
// HISTORICO DE REVISOES E MODIFICAC	OES	
// 13-09-2005 Primeiros contatos c	om ADC e DAC	
// 21-09-2005 Ajuste de sinais lid	os pelo ADC (ganhos e off-set)	
// 22-09-2005 Ajuste da frequencia	de amostragem (40kHz)	
// 22-09-2005 Ajuste da frequencia	do clock do ADC (25MHz)	
// 22-09-2005 Saída PWM com 50% de	duty cycle em 40kHz a partir do EVB.Timer4	
// 27-09-2005 Ajuste placa de inte	rface F2812 (Buffer de I/O - Pino 1: T/R)	
// 27-09-2005 Ajuste DAC - Niveis	de referencia HIGH, LOW e offset	
// 29-09-2005 Ajuste da escala do	DAC para visualização de variáveis do software através de um osciloscópio	
// 07-10-2005 Saídas PWM7-12 do EV	B para acionamento dos 12 IGBTs que compõem o inversor multinível monofásico	
// 11-10-2005 Ajuste de interrupçã	o externa via XNMI obtido da placa de controle de proteções	
// 11-10-2005 Ajuste de saída digi	tal GPIOA15 (C3TRIPn) para manter a proteção atuada indefinidamente até o RESET	
// 13-10-2005 Ajuste de saída PWM	com triangular em 10kHz para célula de menor tensão do inversor monofásico	
// 18-10-2005 Ajuste do pino de pr	oteção Itrip das placas de acionamento dos módulos inversores	
// 04-11-2005 Implementação do PI	com saturação dinâmica	
// 07-11-2005 PLL e detector de am	plitude da fundamental, ambos monofásicos	
// 21-11-2005 Alteração da freqüên	cia de amostragem p/ 36kHz para sintentizar no. de amostras inteiro num ciclo de 60Hz	
// 21-11-2005 Alteração da freqüên	cia da onda triangular (PWM) para 18kHz, adequando-se à nova freq. de amostragem	
// 22-11-2005 Diagrama de controle	do FAP monofásico	
// 29-11-2005 Ajuste modulação PWM	na célula de menor tensão do conversor	
// 30-11-2005 Amostragem e triangu	lar geradas pelo mesmo timer para sincrozinação (Timer 3 - EVB)	
// 30-11-2005 Interrupção para exe	cução do software de controle gerada pelo ADC após fim da conversão	
// 01-12-2005 Recarga dos registra	dores do Timer 3 é feita quando houver T3PINT ou T3UFINT. Antes era qdo T3CNT = 0	
// 01-12-2005 Config. do Timer 1 p	ara geração do pino I/O (T1PWM/T1CMP) e verificação do tempo de execução do programa	
// 01-02-2006 Acréscimo de Control	ador PI de potência média fornecida pelo FAP. Já havia o controlador PI de corrente	
//		
//*************************************		

 $\# {\rm include} "main.h" // Armazena todos os includes necessários para a execução dos comandos$

//interrupt void evb_timer4_isr(void);
interrupt void fim_de_conversao_ADC_isr(void);

//void init_evb_timer4(void);
//void init_eva_timer1(void);
void init_evb_timer3(void);

void main(void) {

```
// Step 1. Initialize System Control:
// PLL, WatchDog, enable Peripheral Clocks
// This example function is found in the {\tt DSP281x\_SysCtrl.c} file.
   InitSysCtrl();
   EALLOW;
   // Habilita todas as saídas PWM
   GpioMuxRegs.GPAMUX.all = 0x00FF; // EVATimers e PWM 1-6
   GpioMuxRegs.GPBMUX.all = 0x00FF; // EVBTimers e PWM 7-12
   // Habilita saidas para o DAC
   GpioMuxRegs.GPFMUX.all = 0x0000; // GPFMUX como saidas digitais: DB0-DB11, A0-A1 e /LDAC
   GpioMuxRegs.GPFDIR.all = 0x7FFF; //
   // Habilita I/O para interrupção por proteção externa (sobre ou sub-corrente; sobre ou subtensão)
   GpioMuxRegs.GPEMUX.bit.XNMI_XINT13_GPIOE2 = 0;
   GpioMuxRegs.GPEDIR.bit.GPIOE2 = 0; // bit GPIOE2 como entrada digital
   // Habilita I/O para manter a proteção ativada
   GpioMuxRegs.GPAMUX.bit.C3TRIP GPIOA15 = 0;
   GpioMuxRegs.GPADIR.bit.GPIOA15 = 1; // bit GPIOA15 configurado como saída digital
   // Define o período do clock
   SysCtrlRegs.HISPCP.all = 0x0; // HSPCLK = SYSCLKOUT/1 -- SYSCLKOUT é definido no arquivo "DSP281x_Examples.h"
   //SysCtrlRegs.HISPCP.all = 0x1; // HSPCLK = SYSCLKOUT/2
   //SysCtrlRegs.HISPCP.all = 0x2; // HSPCLK = SYSCLKOUT/4
   //SysCtrlRegs.HISPCP.all = 0x3; // HSPCLK = SYSCLKOUT/6
   //SysCtrlRegs.HISPCP.all = 0x4; // HSPCLK = SYSCLKOUT/8
   //SysCtrlRegs.HISPCP.all = 0x5; // HSPCLK = SYSCLKOUT/10
   //SysCtrlRegs.HISPCP.all = 0x6; // HSPCLK = SYSCLKOUT/12
   //SysCtrlRegs.HISPCP.all = 0x7; // HSPCLK = SYSCLKOUT/14
   EDIS;
// Step 2. Initalize GPIO:
// This example function is found in the DSP281x_Gpio.c file and
// illustrates how to set the GPIO to it's default state.
// InitGpio(); // Skipped for this example
// Step 3. Clear all interrupts and initialize PIE vector table:
// Disable CPU interrupts
   DINT:
// Initialize PIE control registers to their default state.
// The default state is all PIE interrupts disabled and flags
// are cleared.
// This function is found in the {\tt DSP281x\_PieCtrl.c} file.
   InitPieCtrl();
// Disable CPU interrupts and clear all CPU interrupt flags:
   IER = 0 \times 0000;
   TFR = 0 \times 0000:
// Initialize the PIE vector table with pointers to the shell Interrupt
// Service Routines (ISR).
\ensuremath{{\prime}}\xspace // This will populate the entire table, even if the interrupt
// is not used in this example. This is useful for debug purposes.
// The shell ISR routines are found in DSP281x_DefaultIsr.c.
// This function is found in DSP281x PieVect.c.
   InitPieVectTable();
// Interrupts that are used in this example are re-mapped to
// ISR functions found within this file.
```

EALLOW; // This is needed to write to EALLOW protected registers //PieVectTable.T4PINT = &evb_timer4_isr; PieVectTable.ADCINT = &fim_de_conversao_ADC_isr; EDIS; // This is needed to disable write to EALLOW protected registers // Step 4. Initialize all the Device Peripherals: // This function is found in DSP281x_InitPeripherals.c // InitPeripherals(); // Not required for this example // Carrega diversas constantes usadas no projeto Inicia_Constantes_Geral(); // Carrega ganhos das placas de condicionamento Turn_Gains_on(); // Inicializa temporizador 1 do EVA //init_eva_timer1(); // Pino de I/O para verificar tempo do programa // Inicializa temporizador 3 do EVB init_evb_timer3(); // Funcao padrao para o ADC localizada no arquivo DSP281x Adc.c InitAdc(); // Step 5. User specific code, enable interrupts: // Enable PIE group 2 interrupt 4 for T1PINT //PieCtrlRegs.PIEIER2.all = M_INT4; // CPU Group INT2 <AND> PIE T1PINT // Enable PIE group 3 interrupt 1 for T2PINT //PieCtrlRegs.PIEIER3.all = M_INT1; // CPU Group INT3 <AND> PIE T2PINT // Enable PIE group 4 interrupt 4 for T3PINT <AND> group 4 interrupt 6 for T3UFINT // PieCtrlRegs.PIEIER4.all = (M_INT4 | M_INT6); // Enable PIE group 5 interrupt 1 for T4PINT //PieCtrlRegs.PIEIER5.all = M_INT1; // CPU Group INT5 <AND> PIE T4PINT // Enable ADCINT in PIE //PieCtrlRegs.PIEIER1.bit.INTx6 = 1; PieCtrlRegs.PIEIER1.all = M_INT6; // by Sergio - Outra maneira de habilitar a interrupção do ADC // Enable CPU INT2 for T1PINT, INT3 for T2PINT, INT4 for T3PINT // and INT5 for T4PINT: //IER |= (M_INT2 | M_INT3 | M_INT4 | M_INT5); //IER \mid = (M_INT5 \mid M_INT1); IER |= (M_INT1); // Enable global Interrupts and higher priority real-time debug events: EINT; // Enable Global interrupt INTM ERTM; // Enable Global realtime interrupt DBGM // Configure ADC /* AdcRegs.ADCMAXCONV.all = 0x0001; // Setup 2 conv's on SEQ1 AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x3; // Setup ADCINA3 as 1st SEQ1 conv. AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x2; // Setup ADCINA2 as 2nd SEQ1 conv. AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1; // Enable EVASOC to start SEQ1 AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt (every EOS) */ // Configuracao ADC - By Sergio AdcRegs.ADCTRL3.bit.SMODE_SEL = 1; // Simultaneous sampling mode AdcRegs.ADCTRL1.bit.SEQ_CASC = 1; // Cascaded sequencer mode AdcRegs.ADCTRL1.bit.CPS = 1; AdcRegs.ADCTRL3.bit.ADCCLKPS = 3; // Clock do ADC = Clock_CPU/6 = 25MHz AdcRegs.ADCTRL1.bit.ACQ_PS = 0; // Largura do pulso de cada conversao igual a 1 ciclo do clock do ADC AdcRegs.ADCMAXCONV.all = 0x0007; // 8 pares de conversoes (16 no total) AdcRegs.ADCCHSELSEQ1.bit.CONV00 = 0x0; // ADCINA0 (Canal 5T) e ADCINB0 (Canal 1C) AdcRegs.ADCCHSELSEQ1.bit.CONV01 = 0x1; // ADCINA1 (Canal 4T) e ADCINB1 (Canal 2C) AdcRegs.ADCCHSELSEQ1.bit.CONV02 = 0x2; // ADCINA2 (Canal 3T) e ADCINB2 (Canal 3C)

}

```
AdcRegs.ADCCHSELSEQ1.bit.CONV03 = 0x3; // ADCINA3 (Canal 2T) e ADCINB3 (Nenhum sinal)
   AdcRegs.ADCCHSELSEQ2.bit.CONV04 = 0x4; // ADCINA4 (Canal 1T) e ADCINB4 (Nenhum sinal)
   AdcRegs.ADCCHSELSEQ2.bit.CONV05 = 0x5; // ADCINA5 (Nenhum sinal) e ADCINB5 (Canal Kd)
   AdcReqs.ADCCHSELSEQ2.bit.CONV06 = 0x6; // ADCINA6 (Nenhum sinal) e ADCINB6 (Canal Ki)
   AdcRegs.ADCCHSELSEQ2.bit.CONV07 = 0x7; // ADCINA7 (Nenhum sinal) e ADCINB7 (Canal Kp)
   AdcRegs.ADCTRL2.bit.RST_SEQ1 = 1; // Reset SEQ1
   AdcRegs.ADCTRL2.bit.EVB_SOC_SEQ = 1; // SOC habilitado para um sinal do EVB - Bit 15 do registrador ADCTRL2
   // Interrupção do ADC (ADCINT)
   AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Habilita
   AdcRegs.ADCTRL2.bit.INT_MOD_SEQ1 = 0; // Gera interrupção no final de cada seqüência de conversão
    /*
   AdcRegs.ADCTRL2.bit.EVA_SOC_SEQ1 = 1; // Enable EVASOC to start SEQ1
   AdcReqs.ADCTRL2.bit.INT_ENA_SEQ1 = 1; // Enable SEQ1 interrupt (every EOS)
   */
   /*
   // Configure EVA
   // Assumes EVA Clock is already enabled in InitSysCtrl();
                             // Setup T1 compare value
   EvbRegs.T1CMPR = 0x0080;
   EvbRegs.T1PR = 0xFFFF;
                                         // Setup period register
   EvbRegs.GPTCONA.bit.T4TOADC = 1;
                                        // Enable EVASOC in EVA
   EvbRegs.T1CON.all = 0x1042;
                                         // Enable timer 1 compare (upcount mode)
   // Step 6. IDLE loop. Just sit and loop forever:
for(;;);
/*void init_eva_timer1(void) {
   // Inicialização do EVA Timer 1
   EvaRegs.GPTCONA.all = 0;
   // Limpa o registrador de contagem do timer 1
   EvaReqs.T1CNT = 0 \times 0000;
   // Carrega o período de "estouro" do timer 1
   EvaRegs.T1PR = 0x1046; // T1PR + 1 ciclo de clock = 4166.67 (#1047h) ciclos de clock = 27.78 us (1/36kHz)
   EvaRegs.T1CMPR = 0x0822; // Comparação = (4166.67/2) - 1 = 2082.33 = #0822h - Gera trem de pulsos em 36kHz
   // Registrador de controle do timer 4
   EvaRegs.TICON.all = 0x1042; // Contagem Crescente, TICMPR habilitado, clock interno igual ao da CPU
   EvaRegs.GPTCONA.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
   EvaRegs.GPTCONA.bit.T1PIN = 1; // Polaridade do PWM do Timer 1 como ativo baixo
}*/
void init_evb_timer3(void) {
   // "Reset"
   EvbRegs.GPTCONB.all = 0;
   EvbRegs.ACTRB.all = 0x0000;
   // Configura contador para o Temporizador 3
                                 // Período = 2*T3PR ciclos de clock = (1/10kHz) - Triangular de 10kHz para o PWM
   //EvbRegs.T3PR = 0x1D4C;
   //EvbRegs.T3CMPR = 0x0EA6;
   EvbRegs.T3PR = 0x1047;
                               // Período = 2*T3PR ciclos de clock = (1/18kHz) - Triangular de 18kHz para o PWM
   EvbReqs.T3CMPR = 0x0824;
                               // Timer3 compare
   EvbRegs.T3CNT = 0x0001;
                               // Timer3 counter -- Não inicia em 0x0000 para não dar Underflow de início
   EvbRegs.CMPR4 = 0x0000;
   EvbRegs.CMPR5 = 0x0000;
   EvbRegs.CMPR6 = 0x0000;
   //EvbRegs.T3CON.all = 0x0842; // Formato Triangular e dados recarregados quando T3CNT for zero
   //EvbRegs.T3CON.all = 0x084A; // Formato Triangular e dados recarregados imediatamente
   EvbRegs.T3CON.all = 0x0846; // Formato Triangular e dados recarregados quando houver T3PINT e T3UFINT
```

```
EvbRegs.DBTCONB.all = 0x0000;
   EvbRegs.COMCONB.all = 0xA600; // Dados recarregados quando houver T3PINT ou T3UFINT
   //EvbRegs.COMCONB.all = 0xCA00; // Dados recarregados imediatamente
   // "Reset" e Habilita interrupções (periodo e underflow)
   EvbRegs.EVBIMRA.all = 0x0000;
   EvbRegs.EVBIFRA.all = 0x0000;
   EvbRegs.EVBIMRA.bit.T3PINT = 1;
   EvbRegs.EVBIFRA.bit.T3PINT = 1;
   EvbRegs.EVBIMRA.bit.T3UFINT = 1;
   EvbRegs.EVBIFRA.bit.T3UFINT = 1;
   // Primeiramente, Interrupção por período inicia conversão do ADC
   EvbRegs.GPTCONB.bit.T3TOADC = 2;
   EvbRegs.GPTCONB.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
   EvbRegs.GPTCONB.bit.T3PIN = 1; // Polaridade do PWM do Timer 3 como ativo baixo
/*void init evb timer4(void) {
   // Inicialização do EVB Timer 4
   EvbRegs.GPTCONB.all = 0;
   // Limpa o registrador de contagem do timer 4
   EvbRegs.T4CNT = 0x0000;
   //EvbRegs.T3CNT = 0x0000;
   // Carrega o período de "estouro" do timer 4
   //EvbRegs.T4PR = 0x0EA5; // T4PR + 1 ciclo de clock = 3750 (#0EA6h) ciclos de clock = 25 us (1/40kHz)
                               // T4PR + 1 ciclo de clock = 4166.67 (#1047h) ciclos de clock = 27.78 us (1/36kHz)
   EvbRegs.T4PR = 0x1046;
   //EvbRegs.T4CMPR = 0x0752; // Comparação = (3750/2) - 1 = 1874 = #0752h - Gera trem de pulsos em 40kHz
   EvbRegs.T4CMPR = 0x0822; // Comparação = (4166.67/2) - 1 = 2082.33 = #0822h - Gera trem de pulsos em 36kHz
   // Habilita interrupção por "estouro" de período para o timer 4 do EVB
   EvbRegs.EVBIMRB.bit.T4PINT = 1;
   EvbRegs.EVBIFRB.bit.T4PINT = 1;
   // Registrador de controle do timer 4 \,
   EvbRegs.T4CON.all = 0x1042; // Contagem Crescente, T4CMPR habilitado, clock interno igual ao da CPU
   //EvbRegs.T4CON.all = 0x1742;
   // Interrupção gerada pelo Timer 4 do EVB gera SOC (Start-Of-Conversion) no ADC \,
   EvbRegs.GPTCONB.bit.T4TOADC = 2; // SOC (Start-Of-Conversion) no ADC gerada pelo "estouro" do período do timer 4
   EvbRegs.GPTCONB.bit.TCMPOE = 1; // Habilita todas as saídas de comparação do GP Timer
   EvbRegs.GPTCONB.bit.T4PIN = 1; // Polaridade do PWM do Timer 4 como ativo baixo
}*/
/*interrupt void evb_timer4_isr(void) {
  //EvbRegs.GPTCONB.bit.T4PIN = 3; // Teste de duração - Turn ON
  //EvbTimer4InterruptCount++;
  EvbRegs.EVBIMRB.bit.T4PINT = 1;
  // Armazena os sinais de tensao, corrente e potenciometros lidos pelo ADC nos respectivos registradores
  Leitura_sinais_ADC();
  // Multiplicação dos sinais lidos no ADC pelos ganhos do condicionamento e do DAC
  Ajuste_sinais_ADC();
   // PLL (Phase Locked-Loop) e FWD (Fundamental Wave Detector)
  PLL_seq_pos_1F();
  // Diagrama de controle - FAP
   // Gera tensao de referencia para o inversor
  Controle_FAP_mono();
   // Sinais de referencia para as células do inversor
  Pulsos_IGBTs();
   // Seleciona sinais para conversao no DAC
```

A.1 Programa principal

3

```
Sinais_to_DAC();
  // Liga e inicia conversao no DAC
  Coversao_DAC();
  // \ensuremath{\mathsf{EVBIFRB}} register. Writing to one bit will cause a read-modify-write
  // operation that may have the result of writing 1's to clear
  // bits other then those intended.
  EvbRegs.EVBIFRB.all = BIT0;
  // Acknowledge interrupt to receive more interrupts from PIE group 5
  PieCtrlRegs.PIEACK.all = PIEACK_GROUP5; // CPU Group 5 - PIE T4PINT
  //EvbRegs.GPTCONB.bit.T4PIN = 0; // Teste de duração - Turn OFF
}*/
interrupt void fim_de_conversao_ADC_isr(void) {
   // Teste de duração - Turn ON -----> PRECISA HABILITAR TIMER 1
   //EvaRegs.GPTCONA.bit.T1PIN = 3;
   // Habilita interrupção do ADC
   AdcRegs.ADCTRL2.bit.INT_ENA_SEQ1 = 1;
   // Armazena os sinais de tensao, corrente e potenciometros lidos pelo ADC nos respectivos registradores
   Leitura_sinais_ADC();
   // Multiplicação dos sinais lidos no ADC pelos ganhos do condicionamento e do DAC
   Ajuste sinais ADC();
   // PLL (Phase Locked-Loop) e FWD (Fundamental Wave Detector)
   PLL_seq_pos_1F();
   // Diagrama de controle - FAP
   // Gera tensao de referencia para o inversor
   Controle_FAP_mono();
   // Sinais de referencia para as células do inversor
   Pulsos_IGBTs();
   // Seleciona sinais para conversao no DAC
   Sinais_to_DAC();
   // Liga e inicia conversao no DAC
   Coversao_DAC();
   // Limpa Flags da Interrupções
   AdcRegs.ADCST.bit.INT_SEQ1_CLR = 1; // Limpa o flag da INT_SEQ1 (ADCINT)
   if(EvbRegs.GPTCONB.bit.T3TOADC==2) // Entrou por causa da T3PINT
   {
       EvbRegs.GPTCONB.bit.T3TOADC = 1; // Próxima conversão ADC será iniciada pela T3UFINT
       EvbRegs.EVBIFRA.all = BIT7; // Limpa o flag da T3PINT e os demais do EVBIFRA
   }
   else // Entrou por causa da T3UFINT
   {
       EvbRegs.GPTCONB.bit.T3TOADC = 2; // Próxima conversão ADC será iniciada pela T3PINT
       EvbRegs.EVBIFRA.all = BIT9; // Limpa o flag da T3UFINT e os demais do EVBIFRA
   }
   // Acknowledge interrupt to receive more interrupts from PIE group 1 \,
   PieCtrlRegs.PIEACK.all = PIEACK_GROUP1; // CPU Group 1 - PIE ADCINT
   // Teste de duração - Turn OFF
   //EvaRegs.GPTCONA.bit.T1PIN = 0;
```

A.2 Inicializa variáveis

11 // FILE: Inicia_Constantes_Geral.c 11 #include "main.h" //#define pi 3.1415926535897932384626433832795 volatile union RegPulsosIGBTs_REG RegPulsosIGBTs; Uint16 ISR_transicao_Low_to_High; Uint16 TO_DAC_canalA; Uint16 TO_DAC_canalB; Uint16 TO_DAC_canalC; Uint16 TO_DAC_canalD; Uint16 valorcanal; /*_iq4 Num_Amostra; _iq4 Med_Amostra; _iq4 Amostra; Uint16 Conversoes;*/ _iq22 angulo; Uint16 Inv3_Zero_Up; Uint16 Inv2_Zero_Up; Uint16 Inv1_Zero_Up; _iq22 Vinv3_ref_pos; _iq22 Vinv2_ref_pos; _iq22 Vinv1_ref_pos; _iq22 Vinv3_ref_neg; _iq22 Vinv2_ref_neg; _iq22 Vinv1_ref_neg; _iq22 Vpico_FAP; _iq25 Kp_PLL; _iq21 Ki_PLL; _iq30 Ki_Ts_PLL; _iq28 theta_PLL; _iq22 velocidade_angular_PLL_ref; _iq22 velocidade_angular_PLL;

_iq23 tensao_base; _iq23 tensao_base_inverso; _iq30 Ts; _iq22 PI_dp_out; _iq22 PI_dp_out_prop; _iq22 PI_dp_out_int; Uint16 no_amostra; _iq21 dp_somatorio_va_uaortho; _iq21 dp_somatorio_PSD; _iq21 produto_escalar[600]; _iq21 dp_PSD[600]; Uint16 aux1; Uint16 amostra; _iq12 potencia_instantanea[300]; _iq6 quadrado_tensao_fase[300]; _iq12 potencia_instantanea_somatorio; _iq6 quadrado_tensao_fase_somatorio; potencia_instantanea_media; _iq20 _iq16 quadrado_tensao_fase_medio; _iq18 potencia_instantanea_fap_media; _iq9 potencia_instantanea_fap_somatorio; _iq9 potencia_instantanea_fap[600]; _iq23 Kp_Corrente; Ki_Corrente; _iq10 _iq25 Ki_Ts_Corrente; _iq19 PI_Corrente_out; _iq19 PI_Corrente_out_prop; _iq19 PI_Corrente_out_int; _iq30 Kp_Potencia_FAP; _iq30 Ki_Potencia_FAP; _iq30 Ki_Ts_Potencia_FAP;

87

_iq17 PI_Potencia_FAP_out_prop; _iq17 PI_Potencia_FAP_out_int;

_iq17 PI_Potencia_FAP_out;

```
void Inicia_Constantes_Geral(void) {
   // ----
   TO_DAC_canalA = 0x0000;
   TO_DAC_canalB = 0x0000;
   TO_DAC_canalC = 0x0000;
   TO DAC canalD = 0 \times 0000;
   valorcanal = 0;
   // -----
   /* // Calibração ADC
   Num_Amostra = 0 \times 00000000;
   Med_Amostra = 0x00000000;
   Amostra = 0x0000000;
   Conversoes = 0;*/
   // -----
   // DAC e Pulsos IGBTs
   angulo = _IQ22(0.0);
   Inv3_Zero_Up = 0;
   Inv2_Zero_Up = 0;
   Inv1_Zero_Up = 0;
   // -----
   // Tensoes de referência p/ as celulas
   //Vpico_FAP = _IQ22(197.565634); // 10.0% acima ---- Típico para carga trifásica
   Vpico_FAP = _IQ22(199.361685887735); // 11.0% acima ---- Típico para carga monofásica --- 127 Vrms
   //Vpico_FAP = _IQ22(90.0); // 11.0% acima ---- Típico para carga monofásica --- 57.33 Vrms
   //Vpico_FAP = _IQ22(215.5261); // 20.0% acima ---- Típico para carga monofásica
   //Vpico_FAP = _IQ22(224.5064); // 25.0% acima ---- Típico para carga monofásica
   Vinv1_ref_pos = _IQ22div(Vpico_FAP, _IQ22(9.0));
   Vinv1_ref_neg = _IQ22mpyIQX(Vinv1_ref_pos, 22, _IQ22(-1.0), 22);
   Vinv2_ref_pos = _IQ22mpyIQX(Vinv1_ref_pos, 22, _IQ22(2.0), 22);
   Vinv2_ref_neg = _IQ22mpyIQX(Vinv2_ref_pos, 22, _IQ22(-1.0), 22);
   Vinv3_ref_pos = _IQ22mpyIQX(Vinv1_ref_pos, 22, _IQ22(6.0), 22);
   Vinv3_ref_neg = _IQ22mpyIQX(Vinv3_ref_pos, 22, _IQ22(-1.0), 22);
   RegPulsosIGBTs.bit.Libera_Pulsos = 1;
   // -----
   /*// Habilita EVB Timer 3 para PWM7-12
   EvbRegs.ACTRB.all = 0x0000;
   //EvbRegs.T3PR = 0x1D4C;
                              // Período = 2*T3PR ciclos de clock = (1/10kHz) - Triangular de 10kHz para o PWM
   //EvbReqs.T3CMPR = 0x0EA6;
                              // Timer3 compare
   EvbRegs.T3PR = 0x1047;
                           // Período = 2*T3PR ciclos de clock = (1/18kHz) - Triangular de 18kHz para o PWM
                           // Timer3 compare
   EvbRegs.T3CMPR = 0x0824;
   EvbRegs.T3CNT = 0x0000:
                            // Timer3 counter
   EvbRegs.T3CON.all = 0x0842; // Continous Up-Down Mode
   EvbRegs.CMPR4 = 0x0000;
   EvbRegs.CMPR5 = 0x0000;
   EvbReqs.CMPR6 = 0 \times 0.000:
   EvbRegs.ACTRB.all = 0x0000;
   EvbRegs.DBTCONB.all = 0;
   EvbRegs.COMCONB.all = 0xCA00;*/
   // ------
   // Interrupção NMI
   ISR_transicao_Low_to_High = 0; // 0 significa NÃO (High to Low) e 1 significa SIM
   XIntruptRegs.XNMICR.bit.ENABLE = 1;
   XIntruptRegs.XNMICR.bit.SELECT = 0;
   //XIntruptRegs.XNMICR.bit.POLARITY = 1;
   XIntruptRegs.XNMICR.bit.POLARITY = 0;
   GpioDataRegs.GPADAT.bit.GPIOA15 = 1;
   // -----
```

^{//} PLL monofásico e detector de sequencia positiva (PSD)

A.2 Inicializa variáveis

```
Kp\_PLL = \_IQ25(38.5);
Ki_PLL = _IQ21(850.0);
theta_PLL = _IQ28(0.0);
velocidade_angular_PLL_ref = _IQ22((2.0)*(60.0)*(3.14159265358979)); // 377 rad/s <==> 60 Hz
velocidade_angular_PLL = _IQ22(0.0);
tensao_base = _IQ23(179.605122421383);
tensao_base_inverso = _IQ23div(_IQ23(1.0), tensao_base);
//Ts = _IQ30(1/(40000.0)); // período de amostragem (40kHz)
Ts = _IQ30((1.0)/(36000.0)); // período de amostragem (36kHz)
PI_dp_out = _IQ22(0.0);
PI_dp_out_prop = _IQ22(0.0);
PI_dp_out_int = _IQ22(0.0);
Ki_Ts_PLL = _IQ30mpyIQX(Ki_PLL, 21, Ts, 30); // Ki' = Ki * Ts
no_amostra = 0;
dp somatorio va uaortho = IO21(0.0);
dp_somatorio_PSD = _IQ21(0.0);
for (aux1=0;aux1<600;aux1++)</pre>
   produto_escalar[aux1] = _IQ21(0.0);
    dp_PSD[aux1] = _IQ21(0.0);
}
// ------
// Controle FAP monofásico - Sem controle no barramento DC
amostra = 0;
potencia_instantanea_somatorio = _IQ12(0.0);
potencia_instantanea_media = _IQ20(0.0);
quadrado tensao fase somatorio = IQ6(0.0);
quadrado_tensao_fase_medio = _IQ16(0.0);
potencia_instantanea_fap_somatorio = _IQ9(0.0);
potencia_instantanea_fap_media = _IQ18(0.0);
///// Carga Trifásica
//Kp_Corrente = _IQ23(-72.5); // Chutão
//Ki_Corrente = _IQ10(-931109.184975); // freq. de corte = 3600Hz (10% da freq. amostragem)
//Ki_Ts_Corrente = _IQ25mpyIQX(Ki_Corrente, 10, Ts, 30);
////// Carga Monofásica
//Kp_Corrente = _IQ23(-70.0); // chute
//Ki_Corrente = _IQ10(-1069815.12478); // chute
//Kp_Corrente = _IQ23(-87.0849483576); // freq. de corte = 1800 Hz // -----> Indutor p/ High-Frequency
//Kp_Corrente = _IQ23(-174.169896715); // freq. de corte = 3600 Hz // -----> Indutor p/ High-Frequency
//Ki_Corrente = _IQ10(-931109.184975); // freq. de corte = 3600 Hz
//Ki_Corrente = _IQ10(-492453.781197); // freq. de corte = 1800 Hz // -----> Indutor p/ High-Frequency
//Ki_Corrente = _IQ10(-492453.781197*2.0); // ***dobro*** -- freq. de corte = 1800 Hz // -----> Indutor p/ High-Frequency
//Ki_Corrente = _IQ10(-1969815.12478); // freq. de corte = 3600 Hz // -----> Indutor p/ High-Frequency
//Ki_Corrente = _IQ10(-179238.518107); // freq. de corte = 1800 Hz // Método Fernando ------> Indutor p/ High-Frequency
//Ki_Ts_Corrente = _IQ25mpyIQX(Ki_Corrente, 10, Ts, 30);
//Ki_Ts_Corrente = _IQ22(-27.22); // ---->>> Cuidado!!!
Kp_Corrente = _IQ23(-53.4375); // Ajuste no potênciometro do DSP
Ki_Ts_Corrente = _IQ22(-15.841); // Ajuste no potênciometro do DSP
PI_Corrente_out = _IQ17(0.0);
PI_Corrente_out_prop = _IQ17(0.0);
PI_Corrente_out_int = _IQ17(0.0);
for(aux1=0;aux1<300;aux1++)</pre>
   potencia_instantanea[aux1] = _IQ12(0.0);
   quadrado_tensao_fase[aux1] = _IQ6(0.0);
    //potencia_instantanea_fap[aux1] = _IQ9(0.0);
}
for(aux1=0;aux1<600;aux1++)</pre>
{
    potencia_instantanea_fap[aux1] = _IQ9(0.0);
}
/// Controlador de potência média do FAP
Kp_Potencia_FAP = _IQ30(0.00003); // calculado
//Kp_Potencia_FAP = _IQ30(0.0000003); // chute
//Ki_Potencia_FAP = _IQ30(0.0006); // calculado --- Ti = 50ms
```

```
Ki_Potencia_FAP = _IQ30(0.006); // calculado --- Ti = 5ms
//Ki_Potencia_FAP = _IQ30(0.06); // calculado --- Ti = 0.5ms
//Ki_Potencia_FAP = _IQ30(0.006); // chute
Ki_Ts_Potencia_FAP = _IQ30mpyIQX(Ki_Potencia_FAP, 30, Ts, 30);
PI_Potencia_FAP_out = _IQ14(0.0);
PI_Potencia_FAP_out_prop = _IQ14(0.0);
PI_Potencia_FAP_out_int = _IQ14(0.0);
```

// ------

}

A.3 Inicializa ganhos das placas de condicionamento

```
//
// FILE:
           Load_Gains_Sensors.c
11
#include "Load_Gains_Sensors.h"
#include "DSP281x_Device.h"
                            // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include "IQmathLib.h"
//#define ADC_usDELAY 8000L
//#define ADC_usDELAY2 20L
_iq29 K_AD;
_iq23 K_canal_1T;
_iq23 K_canal_2T;
_iq25 K_canal_3T;
_iq26 K_canal_4T;
_iq27 K_canal_5T;
_iq28 K_canal_1C;
_iq28 K_canal_2C;
_iq28 K_canal_3C;
_iq29 DC_level_canal_1C;
_iq29 DC_level_canal_2C;
_iq29 DC_level_canal_3C;
_iq29 DC_level_canal_1T;
_iq29 DC_level_canal_2T;
_iq29 DC_level_canal_3T;
_iq29 DC_level_canal_4T;
_iq29 DC_level_canal_5T;
void Turn_Gains_on(void) {
   // Ganho fixo do ADC ---- In/Out = 3/4095
   K_AD = _IQ29((3.0)/(4095.0));
```

```
// Placa de Corrente
K_canal_1C = 0x643BBC93; // gain_-1 = in/out = 6.2646 em Q28
K_canal_2C = 0x636AC389; // gain_-1 = in/out = 6.2136 em Q28 - média geral
//K_canal_2C = 0x6354301B; // gain_-1 = in/out = 6.2081 em Q28 - média de duas amostras
K_canal_3C = 0x649CF2D5; // gain_-1 = in/out = 6.2883 em Q28 - média geral
//K_canal_3C = 0x64E13BCB; // gain_-1 = in/out = 6.3050 em Q28 -- média de duas amostras
//DC_level_canal_1C = 0x2FF14120; // offset = 1.4982 em Q29
DC_level_canal_1C = _IQ29(1.526374); // Offset médio total (ADC + Placa)
//DC_level_canal_2C = 0x2FF59F9B; // offset = 1.4987 em Q29
DC_level_canal_2C = _IQ29(1.540568); // Offset médio total (ADC + Placa)
//DC level canal 3C = 0x2FE353F8; // offset = 1.4965 em Q29
DC_level_canal_3C = _IQ29(1.545833); // Offset médio total (ADC + Placa)
// Placa de Tensão
K_canal_1T = 0x45CA9795; // gain_-1 = in/out = 139.5828 em Q23
K_canal_2T = 0x5FAFEBDC; // gain_-1 = in/out = 191.3744 em Q23
K_canal_3T = 0x68D256BF; // gain_-1 = in/out = 52.4108 em Q25
K_canal_4T = 0x42E2E962; // gain_-1 = in/out = 16.7216 em Q26
K_canal_5T = 0x5C25BBFF; // gain_-1 = in/out = 11.5184 em Q27
//DC level canal 1T = 0x30553262; // offset = 1.5104 em 029
DC_level_canal_1T = _IQ29(1.518635); // Offset médio total (ADC + Placa)
//DC_level_canal_2T = 0x30A617C1; // offset = 1.5203 em Q29
DC_level_canal_2T = _IQ29(1.502244); // Offset médio total (ADC + Placa)
DC_level_canal_3T = _IQ29(0.04317765); // Offset médio total (ADC + Placa)
DC_level_canal_4T = _IQ29(0.06272893); // Offset médio total (ADC + Placa)
DC_level_canal_5T = _IQ29(0.1792582); // Offset médio total (ADC + Placa)
```

```
}
```

A.4 Leitura dos sinais convertidos pelo conversor AD

```
// FILE:
           Le_Sinais_ADC.c
#include "Le Sinais ADC.h"
#include "DSP281x_Device.h"
                             // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include "IQmathLib.h"
/*extern _iq4 Med_Amostra;
extern _iq4
             Num_Amostra;
extern _iq4 Amostra;
extern Uint16 Conversoes;
     offset_medio;*/
_iq29
iq4
      Vout canal 1T;
iq4
       Vout canal 2T;
_iq4
       Vout_canal_3T;
       Vout_canal_4T;
_iq4
_iq4
       Vout_canal_5T;
_iq4
       Vout_canal_1C;
_iq4
       Vout_canal_2C;
```

```
Vout kp;
_iq4
_iq4
       Vout_ki;
       Vout kd;
ia4
void Leitura_sinais_ADC(void) {
  // Armazena sinais de tensão
  Vout_canal_1T = AdcRegs.ADCRESULT8; // ADCINA4 // Tensao Rede
  Vout_canal_2T = AdcRegs.ADCRESULT6; // ADCINA3 // Tensao Conversor
  Vout_canal_3T = AdcRegs.ADCRESULT4; // ADCINA2 // Tensao Capacitor Higher Voltage
  Vout_canal_4T = AdcRegs.ADCRESULT2; // ADCINA1 // Tensao
                                                               Middle
                                                                               .....
  Vout_canal_5T = AdcRegs.ADCRESULT0; // ADCINA0 // Tensao
                                                                ...
                                                                                ...
                                                                      Lower
  // Armazena sinais de corrente
  Vout_canal_1C = AdcRegs.ADCRESULT1; // ADCINB0 // Corrente Fonte
  Vout_canal_2C = AdcRegs.ADCRESULT3; // ADCINB1 // Corrente Filtro
  Vout_canal_3C = AdcRegs.ADCRESULT5; // ADCINB2 // Corrente Carga
  // Armazena sinais dos potenciometros;
  Vout_kp = AdcRegs.ADCRESULT15; // ADCINB7 // Kp
  Vout_ki = AdcRegs.ADCRESULT13; // ADCINB6 // Ki
  Vout_kd = AdcRegs.ADCRESULT11; // ADCINB5 // Kd
  // Rotina para dedução de um valor médio do offset total (ADC + Placa) após 50 mil conversões
  /*
  if(Conversoes < 50000)
   {
       Num_Amostra++;
       Amostra = Amostra + Vout_canal_5T;
       Med Amostra = (Amostra)/(Num_Amostra);
       offset_medio = _IQ29mpyIQX(Med_Amostra, 4, _IQ29((3.0)/(4095)), 29);
       Conversoes++;
  else
   {
        Num_Amostra = Num_Amostra;
       Med Amostra = Med Amostra:
       Amostra = Amostra;
       offset_medio = offset_medio;
   }*/
```

A.5 Ajuste dos sinais lidos no conversor AD

```
//
// FILE: Ajuste_sinais_ADC.c
//
#include "Ajuste_sinais_ADC.h"
#include "DSP281x_Device.h" // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include "IQmathLib.h"
_iq23 Tensao_REDE;
_iq22 Tensao_FAP;
_iq23 Tensao_Cap3;
```

_iq4

}

Vout_canal_3C;

iq25	Tensao(Cap2;
iq25	Tensao(Cap1;
_iq27	Corrente	e_Fonte;
_iq27	Corrente	e_FAP;
_iq27	Corrente	e_Carga;
extern	_iq4	<pre>Vout_canal_1T;</pre>
extern	_iq4	<pre>Vout_canal_2T;</pre>
extern	_iq4	<pre>Vout_canal_3T;</pre>
extern	_iq4	<pre>Vout_canal_4T;</pre>
extern	_iq4	<pre>Vout_canal_5T;</pre>
extern	_iq4	<pre>Vout_canal_1C;</pre>
extern	_iq4	<pre>Vout_canal_2C;</pre>
extern	_iq4	<pre>Vout_canal_3C;</pre>
extern	_iq4	Vout_kp;
extern	_iq4	Vout_ki;
extern	_iq4	Vout_kd;
extern	_iq29	K_AD;
extern	_iq23	K_canal_1T;
extern	_iq23	K_canal_2T;
extern	_iq25	K_canal_3T;
extern	_iq26	K_canal_4T;
extern	_iq27	K_canal_5T;
extern	_iq28	K_canal_1C;
extern	_iq28	K_canal_2C;
extern	_iq28	K_canal_3C;
extern	_iq29	DC_level_canal_1C;
extern	_iq29	DC_level_canal_2C;
extern	_iq29	DC_level_canal_3C;
extern	_iq29	DC_level_canal_1T;
extern	_iq29	<pre>DC_level_canal_2T;</pre>
extern	_iq29	<pre>DC_level_canal_3T;</pre>
extern	_iq29	DC_level_canal_4T;
extern	_iq29	<pre>DC_level_canal_5T;</pre>

void Ajuste_sinais_ADC(void) {

// Ajuste dos sinais de tensão Tensao_REDE = _IQ29mpyIQX(Vout_canal_1T, 4, K_AD, 29); Tensao_REDE = Tensao_REDE - DC_level_canal_1T;

```
Tensao_REDE = _IQ23mpyIQX(Tensao_REDE, 29, K_canal_1T, 23);
Tensao_FAP = _IQ29mpyIQX(Vout_canal_2T, 4, K_AD, 29);
Tensao_FAP = Tensao_FAP - DC_level_canal_2T;
Tensao_FAP = _IQ22mpyIQX(Tensao_FAP, 29, K_canal_2T, 23);
Tensao_Cap3 = _IQ29mpyIQX(Vout_canal_3T, 4, K_AD, 29);
Tensao_Cap3 = Tensao_Cap3 - DC_level_canal_3T;
Tensao_Cap3 = _IQ23mpyIQX(Tensao_Cap3, 29, K_canal_3T, 25);
Tensao_Cap2 = _IQ29mpyIQX(Vout_canal_4T, 4, K_AD, 29);
Tensao_Cap2 = Tensao_Cap2 - DC_level_canal_4T;
Tensao_Cap2 = _IQ25mpyIQX(Tensao_Cap2, 29, K_canal_4T, 26);
Tensao_Cap1 = _IQ29mpyIQX(Vout_canal_5T, 4, K_AD, 29);
Tensao_Cap1 = Tensao_Cap1 - DC_level_canal_5T;
Tensao_Cap1 = _IQ25mpyIQX(Tensao_Cap1, 29, K_canal_5T, 27);
// Ajuste dos sinais de corrente
Corrente_Fonte = _IQ29mpyIQX(Vout_canal_1C, 4, K_AD, 29);
Corrente_Fonte = Corrente_Fonte - DC_level_canal_1C;
Corrente_Fonte = _IQ27mpyIQX(Corrente_Fonte, 29, K_canal_1C, 28);
Corrente_FAP = _IQ29mpyIQX(Vout_canal_2C, 4, K_AD, 29);
Corrente_FAP = Corrente_FAP - DC_level_canal_2C;
Corrente_FAP = _IQ27mpyIQX(Corrente_FAP, 29, K_canal_2C, 28);
Corrente_Carga = _IQ29mpyIQX(Vout_canal_3C, 4, K_AD, 29);
Corrente_Carga = Corrente_Carga - DC_level_canal_3C;
Corrente_Carga = _IQ27mpyIQX(Corrente_Carga, 29, K_canal_3C, 28);
```

```
}
```

11

A.6 PLL Monofásico e detector de onda fundamental

```
// FILE:
           PLL_seq_pos_1F.c
#include "main.h"
extern _iq23 Tensao_REDE;
extern _iq28 theta_PLL;
extern _iq22
             velocidade_angular_PLL_ref;
extern _iq22
             velocidade_angular_PLL;
extern _iq23
             tensao_base;
extern _iq23
             tensao_base_inverso;
extern _iq30 Ts;
extern _iq22 PI_dp_out;
extern Uint16 no_amostra;
extern _iq21 dp_somatorio_va_uaortho;
extern _iq21 dp_somatorio_PSD;
extern _iq21 produto_escalar[600];
extern _iq21 dp_PSD[600];
_iq30 dp_medio_va_uaortho;
_iq28 dp_medio_PSD;
```

_iq28 u_ortho; sinal; ia30 phi_PSD; _iq28 _iq27 erro dp; Tensao_REDE_fundamental; _iq23 _iq30 sinal_seq_pos_fundamental; _iq28 u_a; _iq21 k_medio; ig21 dp onda; /*extern _iq22 angulo; ig28 angulo rad; _iq23 senoide;*/ void PLL_seq_pos_1F(void) { // Senóide de referência /*angulo_rad = _IQ28mpyIQX(angulo, 22, _IQ30((3.14159265358979)/(180.0)), 30); senoide = _IQ28sin(angulo_rad); //senoide = _IQ23mpyIQX(senoide, 28, _IQ22(179.605122421), 22); senoide = _IQ23mpyIQX(senoide, 28, _IQ22(25.0), 22); angulo = angulo + _IQ22((360.0)*(60.0)/(40000.0)); // 60Hz "amostrados" a 40kHz if(angulo>=_IQ22(360.0)) angulo = angulo + _IQ22(-360.0); // go back 360°*/ // Normaliza o sinal a ser "rastreado" (neste caso, a tensão da rede em 60Hz) sinal = _IQ30mpyIQX(Tensao_REDE, 23, tensao_base_inverso, 23); // Produto escalar e Média Móvel dp_somatorio_va_uaortho = dp_somatorio_va_uaortho - produto_escalar[no_amostra]; u_ortho = _IQ28sin(theta_PLL); produto_escalar[no_amostra] = _IQ21mpyIQX(sinal, 30, u_ortho, 28); dp_somatorio_va_uaortho = dp_somatorio_va_uaortho + produto_escalar[no_amostra]; dp_medio_va_uaortho = _IQ30mpyIQX(dp_somatorio_va_uaortho, 21, _IQ30((1.0)/(666.0)), 30); // Controlador PI erro_dp = _IQ27mpyIQX(dp_medio_va_uaortho, 30, _IQ27(-1.0), 27); // erro = ref(=0) - média PI_dp(); // Gera Theta - Ângulo real do sinal "rastreado" velocidade_angular_PLL = velocidade_angular_PLL_ref + PI_dp_out; theta_PLL = theta_PLL + _IQ28mpyIQX(velocidade_angular_PLL, 22, Ts, 30); if(theta_PLL>=_IQ28(6.28318530717959)) theta_PLL = theta_PLL - _IQ28(6.28318530717959); // Theta=2*pi <=> Theta=0 // Detector de sequencia positiva (PSD) e Detector de onda fundamental (FWD) phi PSD = theta PLL + IO28(1.5707963267949); // phi = theta + pi/2 u_a = _IQ28sin(phi_PSD); dp_somatorio_PSD = dp_somatorio_PSD - dp_PSD[no_amostra]; //dp_PSD[no_amostra] = _IQ21mpyIQX(u_a, 28, sinal, 30); dp_onda = _IQ21mpyIQX(u_a, 28, sinal, 30); dp_PSD[no_amostra] = dp_onda; dp_somatorio_PSD = dp_somatorio_PSD + dp_PSD[no_amostra]; dp_medio_PSD = _IQ28mpyIQX(dp_somatorio_PSD, 21, _IQ30((1.0)/(600.0)), 30); k_medio = _IQ21mpyIQX(dp_medio_PSD, 28, _IQ29(2.0), 29); // k_medio = 2*dp_medio_PSD sinal_seq_pos_fundamental = _IQ30mpyIQX(u_a, 28, k_medio, 21); // Incrementa o ponteiro dos registradores de ambos produtos escalares no_amostra++; if(no_amostra==600) no_amostra = 0;

// Onda fundamental do sinal "rastreado" - Neste caso, da tensão da rede Tensao_REDE_fundamental = _IQ23mpyIQX(sinal_seq_pos_fundamental, 30, tensao_base, 23);

A.7 Sistema de controle do FAP

// // FILE //	: Cont	role_FAP_mono.c	
#include "main.h"			
extern	_iq23	Tensao_REDE_fundamental;	
extern	_iq23	Tensao_REDE;	
extern	_iq22	Tensao_FAP;	
extern	_iq27	Corrente_Fonte;	
extern	_iq27	Corrente_Carga;	
extern	_iq27	Corrente_FAP;	
extern	Uint16	amostra;	
extern	_iq12	<pre>potencia_instantanea[300];</pre>	
extern	_iq6	<pre>quadrado_tensao_fase[300];</pre>	
extern	_iq12	<pre>potencia_instantanea_somatorio;</pre>	
extern	_iq6	<pre>quadrado_tensao_fase_somatorio;</pre>	
extern	_iq20	potencia_instantanea_media;	
extern	_iq16	<pre>quadrado_tensao_fase_medio;</pre>	
extern	_iq18	potencia_instantanea_fap_media;	
extern	_iq9	<pre>potencia_instantanea_fap_somatorio;</pre>	
extern	_iq9	<pre>potencia_instantanea_fap[600];</pre>	
extern	_iq19	<pre>PI_Corrente_out;</pre>	
extern	_iq17	<pre>PI_Potencia_FAP_out;</pre>	
_iq23	Tensao_conversor_ref;		
_iq27	Corrente_Fonte_Ativa;		
_iq27	erro_corrente;		
_iq18	erro_potencia_fap;		
<pre>void Controle_FAP_mono(void) { /* // Média da integral de v(t) x i(t)</pre>			
<pre>potencia_instantanea_somatorio = potencia_instantar //potencia_instantanea[amostra] = _IQ12mpyIQX(Tensa //potencia_instantarea[amostra] = _IQ12mpyIQX(Tensa)</pre>			

potencia_instantanea_somatorio = potencia_instantanea_somatorio - potencia_instantanea[amostra]; //potencia_instantanea[amostra] = _IQ12mpyIQX(Tensao_REDE, 23, Corrente_Fonte, 27); potencia_instantanea[amostra] = _IQ12mpyIQX(Tensao_REDE, 23, Corrente_Carga, 27); potencia_instantanea_somatorio = potencia_instantanea_somatorio + potencia_instantanea[amostra]; potencia_instantanea_media = _IQ20mpyIQX(potencia_instantanea_somatorio, 12, _IQ30((1.0)/(300.0)), 30); //potencia_instantanea_media = _IQ20abs(potencia_instantanea_media); ### Absurdo!!!

// Média da integral de v(t) x v(t)

quadrado_tensao_fase_somatorio = quadrado_tensao_fase_somatorio - quadrado_tensao_fase[amostra];

}

```
quadrado_tensao_fase[amostra] = _IQ6mpyIQX(Tensao_REDE, 23, Tensao_REDE, 23);
quadrado_tensao_fase_somatorio = quadrado_tensao_fase_somatorio + quadrado_tensao_fase[amostra];
quadrado_tensao_fase_medio = _IQ16mpyIQX(quadrado_tensao_fase_somatorio, 6, _IQ30((1.0)/(300.0)), 30);
amostra++;
if(amostra==300) amostra = 0;*/
// Valor médio da potência instantânea do FAP ---- vfap(t) x ifap(t)
potencia_instantanea_fap_somatorio = potencia_instantanea_fap_somatorio - potencia_instantanea_fap[amostra];
//potencia_instantanea_fap[amostra] = _IQ9mpyIQX(Tensao_FAP, 22, Corrente_FAP, 27); // -- Problemas com a alta freqüência do PWM
potencia_instantanea_fap[amostra] = _IQ9mpyIQX(Tensao_REDE, 23, Corrente_FAP, 27);
potencia_instantanea_fap_somatorio = potencia_instantanea_fap_somatorio + potencia_instantanea_fap[amostra];
potencia_instantanea_fap_media = _IQ18mpyIQX(potencia_instantanea_fap_somatorio, 9, _IQ30((1.0)/(600.0)), 30);
amostra++;
if(amostra==600) amostra = 0;
// Controle da potência ativa do FAP
erro_potencia_fap = _IQ18mpyIQX(potencia_instantanea_fap_media, 18, _IQ30(-1.0), 30);
PI_Potencia_FAP();
// Corrente de referência para a fonte - parcela ativa da potência
/*Corrente_Fonte_Ativa = _IQ16mpyIQX(potencia_instantanea_media, 20, _IQ30(1.0), 30);
Corrente_Fonte_Ativa = _IQ16div(Corrente_Fonte_Ativa, quadrado_tensao_fase_medio); // Condutância Média
Corrente_Fonte_Ativa = _IQ27mpyIQX(Corrente_Fonte_Ativa, 16, Tensao_REDE, 23);*/
Corrente_Fonte_Ativa = _IQ27mpyIQX(PI_Potencia_FAP_out, 17, Tensao_REDE, 23);
Corrente_Fonte_Ativa = _IQ27mpyIQX(Corrente_Fonte_Ativa, 27, _IQ30(-1.0), 30);
// Controlador de Corrente
erro_corrente = Corrente_Fonte_Ativa - Corrente_Fonte;
PI Corrente();
// Saída do PI_Corrente + Feed-Forward(60Hz) = Referência de tensão para o Conversor
Tensao_conversor_ref = _IQ23mpyIQX(PI_Corrente_out, 17, _IQ30(1.0), 30);
Tensao_conversor_ref = Tensao_REDE_fundamental + Tensao_conversor_ref;
```

```
}
```

A.8 Controladores PI com saturação dinâmica

```
// FILE: PI_anti_wind_up.c
// FILE: PI_anti_wind_up.c
//
#include "main.h"
extern _iq27 erro_dp;
extern _iq25 Kp_PLL;
extern _iq30 Ki_Ts_PLL;
extern _iq30 Ts;
extern _iq22 PI_dp_out;
extern _iq22 PI_dp_out_prop;
extern _iq27 erro_corrente;
extern _iq23 Kp_Corrente;
extern _iq25 Ki_Ts_Corrente;
extern _iq19 PI_Corrente_out;
```

```
extern _iq19 PI_Corrente_out_prop;
extern _iq19 PI_Corrente_out_int;
_iq22 Ymax_pos_PI_PLL;
_iq22 Ymax_neg_PI_PLL;
_iq22
      L_pos_PI_PLL;
_iq22 L_neg_PI_PLL;
_iq19 Ymax_pos_PI_Corrente;
_iq19 Ymax_neg_PI_Corrente;
ig19 L pos PI Corrente;
_iq19 L_neg_PI_Corrente;
extern _iq18 erro_potencia_fap;
extern _iq18 potencia_instantanea_fap_media;
extern _iq30 Kp_Potencia_FAP;
extern _iq30 Ki_Ts_Potencia_FAP;
extern _iq17 PI_Potencia_FAP_out;
extern _iq17 PI_Potencia_FAP_out_prop;
extern _iq17 PI_Potencia_FAP_out_int;
_iq17 Ymax_pos_PI_Potencia_FAP;
_iq17 Ymax_neg_PI_Potencia_FAP;
_iq17 L_pos_PI_Potencia_FAP;
_iq17 L_neg_PI_Potencia_FAP;
void PI_Potencia_FAP(void) {
   //#### Parte Proporcional
   Ymax_pos_PI_Potencia_FAP = _IQ17(0.03897438951); // = (7A de pico)/(127V*sqrt(2)) ----> máximo sem atuar a proteção
   Ymax_neg_PI_Potencia_FAP = _IQ17(-0.03897438951);
   PI_Potencia_FAP_out_prop = _IQsat(_IQ17mpyIQX(erro_potencia_fap, 18, Kp_Potencia_FAP, 30),
                                      Ymax_pos_PI_Potencia_FAP, Ymax_neg_PI_Potencia_FAP);
    //#### Parte Integral
    if(ISR_transicao_Low_to_High==0)
    {
       PI_Potencia_FAP_out_int = _IQ17(0.0);
    }
    else
    {
       L_pos_PI_Potencia_FAP = Ymax_pos_PI_Potencia_FAP - PI_Potencia_FAP_out_prop;
       L_neg_PI_Potencia_FAP = Ymax_neg_PI_Potencia_FAP - PI_Potencia_FAP_out_prop;
       PI_Potencia_FAP_out_int = PI_Potencia_FAP_out_int + _IQ17mpyIQX(erro_potencia_fap, 18, Ki_Ts_Potencia_FAP, 30);
       PI_Potencia_FAP_out_int = _IQsat(PI_Potencia_FAP_out_int, L_pos_PI_Potencia_FAP, L_neg_PI_Potencia_FAP);
    }
    //#### Saída total
    PI_Potencia_FAP_out = PI_Potencia_FAP_out_prop + PI_Potencia_FAP_out_int;
}
```

```
//Parte proporcional
    // 10.0% da Tensao de fase da Rede
    //Ymax_pos_PI_Corrente = _IQ19(17.9605);
    //Ymax_neg_PI_Corrente = _IQ19(-17.9605);
    // (110.0% x Tensao da Rede) - (Tensao da Rede)
    Ymax_pos_PI_Corrente = _IQ17(19.756563); // = 10 % de (1.1)*(127V)*sqrt(2) --- Tensao maxima do conversor
    Ymax_neg_PI_Corrente = _IQ17(-19.756563);
   // (120.0% x Tensao da Rede) - (Tensao da Rede)
    //Ymax_pos_PI_Corrente = _IQ19(35.92);
    //Ymax_neg_PI_Corrente = _IQ19(-35.92);
    // (125.0% x Tensao da Rede) - (Tensao da Rede)
    //Ymax_pos_PI_Corrente = _IQ19(44.91);
    //Ymax_neg_PI_Corrente = _IQ19(-44.91);
    PI_Corrente_out_prop = _IQsat(_IQ17mpyIQX(erro_corrente, 27, Kp_Corrente, 23), Ymax_pos_PI_Corrente, Ymax_neg_PI_Corrente);
    //Parte integral
    if(ISR_transicao_Low_to_High==0)
    {
       PI_Corrente_out_int = _IQ17(0.0);
    }
   else
    {
       L_pos_PI_Corrente = Ymax_pos_PI_Corrente - PI_Corrente_out_prop;
       L_neg_PI_Corrente = Ymax_neg_PI_Corrente - PI_Corrente_out_prop;
       PI_Corrente_out_int = PI_Corrente_out_int + (_IQ18mpyIQX(erro_corrente, 27, Ki_Ts_Corrente, 22) >> 1);
       PI_Corrente_out_int = _IQsat(PI_Corrente_out_int, L_pos_PI_Corrente, L_neg_PI_Corrente);
    }
   // Saída total
   PI_Corrente_out = PI_Corrente_out_prop + PI_Corrente_out_int;
void PI_dp(void) {
   //Parte proporcional
   Ymax_pos_PI_PLL = _IQ22(10.0);
    Ymax_neg_PI_PLL = _IQ22(-10.0);
    //PI_dp_out_prop = _IQtoIQ22(_IQsat(_IQmpyIQX(erro_dp, 27, Kp_PLL, 25), Ymax_pos_PI_PLL, Ymax_neg_PI_PLL));
   PI_dp_out_prop = _IQsat(_IQ22mpyIQX(erro_dp, 27, Kp_PLL, 25), Ymax_pos_PI_PLL, Ymax_neg_PI_PLL);
   //Parte integral
   L_pos_PI_PLL = Ymax_pos_PI_PLL - PI_dp_out_prop;
   L_neg_PI_PLL = Ymax_neg_PI_PLL - PI_dp_out_prop;
   PI_dp_out_int = PI_dp_out_int + _IQ22mpyIQX(erro_dp, 27, Ki_Ts_PLL, 30);
   PI_dp_out_int = _IQsat(PI_dp_out_int, L_pos_PI_PLL, L_neg_PI_PLL);
    // Saída total
   PI dp out = PI dp out prop + PI dp out int;
```

```
}
```

}

Determinação dos pulsos para acionamento do inversor **A.9**

```
// FILE:
           Gera_Pulsos_IGBTs.c
#include "main.h"
```
extern	volatil	e union	RegPulsosIGBTs_REG	RegPulsosIGBTs;
extern	Uint16	Inv3_Zero_	Jb;	
extern	Uint16	Inv2_Zero_	up;	
extern	Uint16	Inv1_Zero_	Jp;	
extern	_iq22	Vinv3_ref_]	pos;	
extern	_iq22	Vinv2_ref_]	pos;	
extern	_iq22	Vinv1_ref_	pos;	
extern	_iq22	Vinv3_ref_	neg;	
extern	_iq22	Vinv2_ref_	neg;	
extern	_iq22	Vinv1_ref_	neg;	
extern	_iq22	Vpico_FAP;		
extern	_iq23	Tensao_con	versor_ref;	
_iq22	saida_m	odulacao;		
iq22	saida1	modulacao;		
iq22	saida2	modulacao;		
iq22	saida3	modulacao;		
_iq22	entrada	_modulacao;		
Uint16	compara	.cao_PWM;		
extern	_iq22	angulo;		
//_iq28	angulo_	rad;		
//_iq22	senoide	;		
// PWM1	2 P9+			
// PWM1	1 P9+			
// PWM1	0 P3+			
// PWM9	P3-			
// PWM8	P1+			
// PWM7	P1-			
// 00	Forced	Low		
// 01	Active	Low		
// 10	Active	High		
// 11	Forced	High		
void Pu sai sai sai sai	llsos_IGB da_modul da1_modu da2_modu da3_modu Senóide	Ts(void) { acao = _IQ2: lacao = _IQ: lacao = _IQ: lacao = _IQ: de referênc.	2(0.0); 22(0.0); 22(0.0); 22(0.0); ia	

//angulo_rad = _IQ28mpyIQX(angulo, 22, _IQ30((3.14159265358979)/(180.0)), 30);

A.9 Determinação dos pulsos para acionamento do inversor

```
//senoide = _IQ28sin(angulo_rad);
//senoide = _IQ22mpyIQX(senoide, 28, Vpico_FAP, 22);
//if(angulo>=_IQ22(360.0)) angulo = angulo + _IQ22(-360.0); // go back 360°
/// Não mexer ####### Os pulsos dependem da sequência de códigos abaixo
angulo = angulo + _IQ22((360.0)*(60.0)/(36000.0)); // 60Hz "amostrados" a 36kHz
if(angulo>=_IQ22(360.0))
{
    angulo = angulo + _IQ22(-360.0); // go back 360°
    if(Inv3_Zero_Up==0)
    {
        Inv3_Zero_Up = 1;
        Inv2_Zero_Up = 1;
        Inv1_Zero_Up = 1;
    }
    else
    {
        Inv3_Zero_Up = 0;
        Inv2_Zero_Up = 0;
        Inv1_Zero_Up = 0;
    }
}
//entrada_modulacao = senoide;
entrada_modulacao = _IQ22mpyIQX(Tensao_conversor_ref, 23, _IQ2(1.0), 2);
// Pulsos para Inv3
if(entrada_modulacao>(Vinv2_ref_pos + Vinv1_ref_pos))
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv3_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv3_HIN2 = 0; // Forced Low
    entrada_modulacao = entrada_modulacao - Vinv3_ref_pos;
    saida3_modulacao = saida3_modulacao + Vinv3_ref_pos;
}
else
ł
    if(entrada_modulacao<(Vinv2_ref_neg + Vinv1_ref_neg))</pre>
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv3_HIN1 = 0; // Forced Low
        ReqPulsosIGBTs.bit.Inv3 HIN2 = 3; // Forced High
        entrada_modulacao = entrada_modulacao - Vinv3_ref_neg;
        saida3_modulacao = saida3_modulacao + Vinv3_ref_neg;
    }
    else
    {
        if(Inv3_Zero_Up==1)
        {
            // Vout = 0 (chaves de baixo)
            RegPulsosIGBTs.bit.Inv3_HIN1 = 0; // Forced Low
            RegPulsosIGBTs.bit.Inv3_HIN2 = 0; // Forced Low
        }
        else
        {
            // Vout = 0 (chaves de cima)
            RegPulsosIGBTs.bit.Inv3_HIN1 = 3; // Forced High
            RegPulsosIGBTs.bit.Inv3_HIN2 = 3; // Forced High
        }
    }
}
// Pulsos para Inv2
if(entrada_modulacao>Vinv1_ref_pos)
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv2_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv2_HIN2 = 0; // Forced Low
    entrada_modulacao = entrada_modulacao - Vinv2_ref_pos;
    saida2_modulacao = saida2_modulacao + Vinv2_ref_pos;
```

```
}
else
{
    if(entrada_modulacao<Vinv1_ref_neg)
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv2_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Inv2_HIN2 = 3; // Forced High
        entrada_modulacao = entrada_modulacao - Vinv2_ref_neg;
        saida2_modulacao = saida2_modulacao + Vinv2_ref_neg;
    }
    else
    {
        if(Inv2_Zero_Up==1)
        {
            // Vout = 0 (chaves de baixo)
            RegPulsosIGBTs.bit.Inv2_HIN1 = 0; // Forced Low
            RegPulsosIGBTs.bit.Inv2_HIN2 = 0; // Forced Low
        }
        else
        {
            // Vout = 0 (chaves de cima)
            RegPulsosIGBTs.bit.Inv2_HIN1 = 3; // Forced High
            RegPulsosIGBTs.bit.Inv2_HIN2 = 3; // Forced High
       }
    }
}
/*// Pulsos para Inv1 sem PWM
if(entrada_modulacao>_IQ22(0.5))
{
    // Vout = + VC
    RegPulsosIGBTs.bit.Inv1_HIN1 = 3; // Forced High
    RegPulsosIGBTs.bit.Inv1_HIN2 = 0; // Forced Low
    saida1_modulacao = saida1_modulacao + Vinv1_ref_pos;
}
else
{
    if(entrada_modulacao<_IQ22(-0.5))
    {
        // Vout = - VC
        RegPulsosIGBTs.bit.Inv1_HIN1 = 0; // Forced Low
        RegPulsosIGBTs.bit.Inv1_HIN2 = 3; // Forced High
        saida1_modulacao = saida1_modulacao + Vinv1_ref_neg;
    }
    else
    {
        if(Inv1_Zero_Up==1)
        {
            // Vout = 0 (chaves de baixo)
            RegPulsosIGBTs.bit.Inv1_HIN1 = 0; // Forced Low
            RegPulsosIGBTs.bit.Inv1_HIN2 = 0; // Forced Low
        }
        else
        {
            // Vout = 0 (chaves de cima)
            RegPulsosIGBTs.bit.Inv1_HIN1 = 3; // Forced High
            RegPulsosIGBTs.bit.Inv1_HIN2 = 3; // Forced High
        }
    }
}*/
// Pulsos para Inv1 com PWM
if(entrada_modulacao>_IQ22(0.0))
{
    entrada_modulacao = _IQsat((_IQ22div(entrada_modulacao, Vinv1_ref_pos)), _IQ22(1.0), _IQ22(0.0));
    // multiplica pelo valor de "estouro" do Timer associado ao {\tt PWM}
    entrada_modulacao = _IQ2mpyIQX(entrada_modulacao, 22, _IQ1(4167.0), 1);
    EvbRegs.CMPR4 = entrada_modulacao >> 2;
```

A.10 Rotina de interrupção NMI para habilitar/desabilitar a emissão dos pulsos para o inversor e a proteção

```
103
```

```
RegPulsosIGBTs.bit.Invl_HIN1 = 1; // Ativo Baixo -- Segue PWM
RegPulsosIGBTs.bit.Invl_HIN2 = 0; // Permanece sempre em nível baixo
}
else
{
    entrada_modulacao = _IQsat((_IQ22div(entrada_modulacao, Vinvl_ref_neg)), _IQ22(1.0), _IQ22(0.0));
    // multiplica pelo valor de "estouro" do Timer associado ao PWM
    entrada_modulacao = _IQ2mpyIQX(entrada_modulacao, 22, _IQ1(4167.0), 1);
    EvbRegs.CMPR4 = entrada_modulacao >> 2;
    RegPulsosIGBTs.bit.Invl_HIN1 = 0; // Permanece sempre em nível baixo
    RegPulsosIGBTs.bit.Invl_HIN2 = 1; // Ativo Baixo -- Segue PWM
}
saida_modulacao = saida1_modulacao + saida2_modulacao + saida3_modulacao;
// Carrega todos os pulsos
if(RegPulsosIGBTs.bit.Libera_Pulsos==1) EvbRegs.ACTRB.all = RegPulsosIGBTs.all;
```

A.10 Rotina de interrupção NMI para habilitar/desabilitar a emissão dos pulsos para o inversor e a proteção

```
11
// FILE:
           DSP281x_DefaultIsr.c (modificado)
#include "DSP281x_Device.h"
                             // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include "main.h"
extern volatile union RegPulsosIGBTs REG RegPulsosIGBTs;
extern Uint16 ISR_transicao_Low_to_High;
interrupt void NMI ISR(void)
                                // Non-maskable interrupt {
 // Insert ISR Code here
 if(ISR_transicao_Low_to_High==0)
   ISR_transicao_Low_to_High = 1;
   XIntruptRegs.XNMICR.bit.POLARITY = 1;
   XIntruptRegs.XNMICR.bit.ENABLE = 1;
   GpioDataRegs.GPADAT.bit.GPIOA15 = 1;
 else
  {
   XIntruptRegs.XNMICR.bit.ENABLE = 0:
   RegPulsosIGBTs.bit.Libera_Pulsos = 0;
   GpioDataRegs.GPADAT.bit.GPIOA15 = 0;
   // Next two lines for debug only to halt the processor here
   // Remove after inserting ISR Code
   asm ("
               ESTOP():
   for(;;);
  }
```

}

A.11 Envio de valores de registradores do DSP para o conversor DA

// FILE: Sinais_to_DAC.c						
// #include "DSP281x_Device.h" // DSP281x Headerfile Include File						
<pre>#include "DSP281x_Examples.h" // DSP281x Examples Include File</pre>						
#include "IQmathLib.h"						
<pre>#include "Sinais_to_DAC.h"</pre>						
extern Uint16 TO_DAC_canalA;						
extern Uint16 TO_DAC_canalB;						
extern Uint16 TO_DAC_canalC;						
extern Uint16 TO_DAC_canalD;						
extern _iq23 Tensao_REDE;						
<pre>//externiq23 Tensao_REDE_fundamental;</pre>						
<pre>//externiq23 Tensao_conversor_ref;</pre>						
<pre>extern _iq27 Corrente_Fonte_Ativa;</pre>						
<pre>//externiq14 PI_Potencia_FAP_out;</pre>						
<pre>//extern _iq20 potencia_instantanea_fap_media;</pre>						
<pre>//externiq27 Corrente_Carga;</pre>						
<pre>//externiq27 Corrente_Fonte;</pre>						
<pre>//externiq27 Corrente_FAP;</pre>						
<pre>//extern _iq30 sinal;</pre>						
//extern _iq28 u_ortho;						
<pre>//extern _iq28 theta_PLL;</pre>						
<pre>//externiq28 phi_PSD;</pre>						
<pre>//externiq30 dp_medio_va_uaortho;</pre>						
<pre>//externiq24 produto_escalar[666];</pre>						
<pre>//extern Uint16 no_amostra;</pre>						
<pre>//externiq30 sinal_seq_pos_fundamental;</pre>						
//extern _iq21 dp_onda;						
<pre>//externiq21 k_medio;</pre>						
//extern _iq28 u_a;						
<pre>//extern _iq22 saida_modulacao;</pre>						
//extern _iq22 senoide;						
/*extern _iq22 angulo;						
_iq28 angulo_rad;						
_iq25 senoide;*/						
_iq29 sinal_norm;						
_iq30 escalaDAC;						
_iq21 K_DA;						

Uint16 offsetDAC;

```
void Sinais_to_DAC(void) {
   // Gera uma senoide interna para visualização através do DAC
   /*angulo_rad = _IQ28mpyIQX(angulo, 22, _IQ30((3.1415926535897932384626433832795)/(180.0)), 30);
   senoide = _IQ28sin(angulo_rad);
   senoide = _IQ25mpyIQX(senoide, 28, _IQ1(50.0), 1);
   if(angulo >= _IQ22(360.0)) angulo = angulo + _IQ22(-360.0); // go back 360°
   angulo = angulo + _IQ22((360.0)*(60.0)/(40000.0)); // 60Hz "amostrados" a 40kHz*/
   offsetDAC = 0x0800; // padrão - 2048
   K_DA = _IQ21((4095.0)/(5.0));
   // Escolha da escala vertical que será vista no osciloscópio durante a medição do canal de saída
   //escalaDAC = _IQ30((1.0)/(50.0)); // Escala vertical = 50V/div
   // Ajuste do sinal para o canal A do DAC
   escalaDAC = _IQ30((1.0)/(2.0)); // Escala vertical no osciloscópio = 2A/div
   sinal norm = IQ29mpyIQX(Corrente Fonte Ativa, 27, escalaDAC, 30);
   TO_DAC_canalA = _IQ1mpyIQX(sinal_norm, 29, K_DA, 21) >> 1;
   TO_DAC_canalA = TO_DAC_canalA + offsetDAC;
   // Ajuste do sinal para o canal C do DAC
   escalaDAC = _IQ30((1.0)/(100.0)); // Escala vertical no osciloscópio = 100V/div
   sinal_norm = _IQ29mpyIQX(Tensao_REDE, 23, escalaDAC, 30);
   TO_DAC_canalC = _IQ1mpyIQX(sinal_norm, 29, K_DA, 21) >> 1;
   TO_DAC_canalC = TO_DAC_canalC + offsetDAC;
```

```
}
```

A.12 Carrega dados e inicializa conversão no conversor DA

```
// FILE:
           Load_DAC.c
#include "DSP281x Device.h"
                              // DSP281x Headerfile Include File
#include "DSP281x_Examples.h" // DSP281x Examples Include File
#include "IOmathLib.h"
#include "Load_DAC.h"
volatile union DacEntradas REG DacEntradas;
extern Uint16 TO_DAC_canalA;
extern Uint16 TO_DAC_canalB;
extern Uint16 TO DAC canalC;
extern Uint16 TO_DAC_canalD;
void Coversao DAC(void) {
   // Procedimento para "desconectar" os sinais de saida do DAC com suas respectivas entradas
   DacEntradas.bit.Desliga = 1;
   GpioDataRegs.GPFDAT.all = DacEntradas.all;
   // Seleciona o Canal A do DAC e carrega o dado binário
   DacEntradas.bit.CanalSaida = 0;
   GpioDataRegs.GPFDAT.all = DacEntradas.all;
   DacEntradas.bit.SinalBinario = TO_DAC_canalA;
   GpioDataRegs.GPFDAT.all = DacEntradas.all;
```

// Seleciona o Canal B do DAC e carrega o dado binário DacEntradas.bit.CanalSaida = 1; GpioDataRegs.GPFDAT.all = DacEntradas.all; DacEntradas.bit.SinalBinario = TO_DAC_canalB; GpioDataRegs.GPFDAT.all = DacEntradas.all;

```
// Seleciona o Canal C do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 2;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalC;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
```

```
// Seleciona o Canal D do DAC e carrega o dado binário
DacEntradas.bit.CanalSaida = 3;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
DacEntradas.bit.SinalBinario = TO_DAC_canalD;
GpioDataRegs.GPFDAT.all = DacEntradas.all;
```

// Procedimento para "liberar" os sinais nos canais de saida do DAC DacEntradas.bit.Desliga = 0; GpioDataRegs.GPFDAT.all = DacEntradas.all;

}

Apêndice B

Módulo de potência

Os módulos de potência utilizados na elaboração da topologia em cascata assimétrica são do modelo IRAMX16UP60A fabricado pela *International Rectifier*. No total, foram utilizados 3 módulos de potência, sendo um por módulo do conversor CC/CA.

Cada modelo é composto por 6 chaves do tipo IGBT com diodos em anti-paralelo e que são acionadas através de um *driver* interno ao encapsulamento do módulo de potência. Os pulsos de comando para utilizados pelo *driver* são fornecidos no formato TTL por algum sistema externo, facilitando a implementação da ponte inversora.

A seguir são apresentadas algumas características do IRAMX16UP60A fornecidas pelo fabricante no *datasheet* do componente.

PD-94684 RevB

International

Plug N Drive[™] Integrated Power Module for Appliance Motor Drive

IRAMX16UP60A *MOTION*[™] Series 16A, 600V

Description

International Rectifier's IRAMX16UP60A is an Integrated Power Module developed and optimized for electronic motor control in appliance applications such as washing machines and variable speed compressor drives for inroom air-conditioning systems and commercial refrigerators. Plug N Drive technology offers an extremely compact, high performance AC motor-driver in a single isolated package for a very simple design.

An open emitter configuration of the low side IGBT switches offer easy current feedback and overcurrent monitor for high precision and reliable control.

A built-in temperature monitor and over-current protection, along with the short-circuit rated IGBTs and integrated under-voltage lockout function, deliver high level of protection and fail-safe operation.

The integration of the bootstrap diodes for the high-side driver section, and the single polarity power supply required to drive the internal circuitry, simplify the utilization of the module and deliver further cost reduction advantages.

Features

- Integrated Gate Drivers and Bootstrap Diodes.
- Temperature Monitor
- Temperature and Overcurrent shutdown
- Fully Isolated Package.
- Low VCE (on) Non Punch Through IGBT Technology.
- Undervoltage lockout for all channels
- Matched propagation delay for all channels
- Low side IGBT emitter pins for current control
- Schmitt-triggered input logic
- Cross-conduction prevention logic
- Lower di/dt gate driver for better noise immunity
- Motor Power range 0.75~2kW / 85~253 Vac
- Isolation 2000V_{RMS} min

Absolute Maximum Ratings



Parameter	Description	Max. Value	Units
V _{CES}	Maximum IGBT Blocking Voltage	600	
V ⁺	Positive Bus Input Voltage	450	V
I _o @ T _c =25°C	RMS Phase Current	16	
I ₀ @ T _C =100°C	RMS Phase Current	8	А
I _{pk}	Maximum Peak Phase Current (tp<100ms)	30	
Fp	Maximum PWM Carrier Frequency	20	kHz
P _d	Maximum Power dissipation per Phase	35	W
V _{iso}	Isolation Voltage (1min)	2000	V _{RMS}
T ₁ (IGBT & Diodes)	Operating Junction temperature Range	-40 to +150	
T ₁ (Driver IC)	Operating Junction temperature Range	-40 to +150	-ر
Т	Mounting torque Range (M3 screw)	0.8 to 1.0	Nm



Internal Electrical Schematic - IRAMX16UP60A



IRAMX16UP60A

International **IOR** Rectifier

Module Pin-Out Description

Pin	Name	Description
1	VB3	High Side Floating Supply Voltage 3
2	W,VS3	Output 3 - High Side Floating Supply Offset Voltage
3	na	none
4	VB2	High Side Floating Supply voltage 2
5	V,VS2	Output 2 - High Side Floating Supply Offset Voltage
6	na	none
7	VB1	High Side Floating Supply voltage 1
8	U,VS1	Output 1 - High Side Floating Supply Offset Voltage
9	na	none
10	V+	Positive Bus Input Voltage
11	na	none
12	LE1	Low Side Emitter Connection - Phase 1
13	LE2	Low Side Emitter Connection - Phase 2
14	LE3	Low Side Emitter Connection - Phase 3
15	HIN1	Logic Input High Side Gate Driver - Phase 1
16	HIN2	Logic Input High Side Gate Driver - Phase 2
17	HIN3	Logic Input High Side Gate Driver - Phase 3
18	LIN1	Logic Input Low Side Gate Driver - Phase 1
19	LIN2	Logic Input Low Side Gate Driver - Phase 2
20	LIN3	Logic Input Low Side Gate Driver - Phase 3
21	T/Itrip	Temperature Monitor and Shut-down Pin
22	VCC	+15V Main Supply
23	VSS	Negative Main Supply

111



Typical Application Connection IRAMX16UP60A



1. Electrolytic bus capacitors should be mounted as close to the module bus terminals as possible to reduce ringing and EMI problems. Additional high frequency ceramic capacitor mounted close to the module pins will further improve performance.

2. In order to provide good decoupling between Vcc-Gnd and Vb-Vs terminals, the capacitors shown connected between these terminals should be located very close to the module pins. Additional high frequency capacitors, typically 0.1mF, are strongly recommended.

3. Low inductance shunt resistors should be used for phase leg current sensing. Similarly, the length of the traces between pins 12, 13 and 14 to the corresponding shunt resistors should be kept as small as possible.

4. Value of the boot-strap capacitors depends upon the switching frequency. Their selection should be made based on IR design tip DN 98-2a, application note AN-1044, or figure 10.

5. Over-current sense signal can be obtained from external hardware detecting excessive instantaneous current in inverter.

IRAMX16UP60A

International **IOR** Rectifier

Package Outline



Standard pin leadforming option

Notes:

Dimensions in mm

1- Marking for pin 1 identification

2- Product Part Number

3- Lot and Date code marking

For mounting instruction see AN-1049

Apêndice C

Placa de condicionamento de corrente

Placa para medição de até 4 sinais de corrente CC ou CA utilizando sensores do tipo Hall com saídas reguladas individualmente. Há também indicação de sobre-correntes com ajuste único para todos os canais.

Current Transducer LA 55-P

For the electronic measurement of currents : DC, AC, pulsed..., with a galvanic isolation between the primary circuit (high power) and the secondary circuit (electronic circuit).



E	lectrical data						
	Primary nominal r.m.s. current			50			A
I,	Primary current, measuri	ng range		0	± 70		Α
Ŕ,	Measuring resistance @	Measuring resistance @ T, =			$70^{\circ}C \mid T_{A} = 85^{\circ}C$		
101			R_ _{M min}	R _{Mmax}	R _{M min} I	₹ _{Mmax}	
	with ± 12 V	@ ± 50 A	10	100	60	95	Ω
		@ ± 70 A	10	50	60 ¹⁾	60 ¹⁾	Ω
	with ± 15 V	@ ± 50 A max	50	160	135	155	Ω
		@ ± 70 A _{max}	50	90	135 ²⁾	135 ²⁾	Ω
	Secondary nominal r.m.s	. current		50			mA
K	Conversion ratio			1:	1000		
۷ [°]	Supply voltage (± 5 %)			± 1	215		V
ľ	Current consumption			10	(@ ±15 \	/)+ I s	mΑ
V _d	R.m.s. voltage for AC iso	lation test, 50 Hz,	1 mn	2.5		-	kV
A	ccuracy - Dynamic p	erformance d	lata				
x	Accuracy @ I, T. = 25°0	C @ ± 15 \	V (± 5 %)	± 0	.65		%

x	Accuracy @ I_{PN} , $T_{A} = 25^{\circ}C$	@ ± 15 V (± 5 %)	± 0.65		%
		@ ± 12 15 V (± 5 %)	± 0.90		%
ɛ _	Linearity		< 0.15		%
			Тур	Max	
I_	Offset current @ $I_p = 0$, $T_A =$	25°C		± 0.2	mA
I _{om}	Residual current ³ @ I _P = 0, a	after an overload of 3 x $I_{_{PN}}$		± 0.3	mA
I _{OT}	Thermal drift of I	0°C + 70°C	± 0.1	± 0.5	mA
0.	U U	- 25°C + 85°C	± 0.1	± 0.6	mA
t _{ra}	Reaction time @ 10 % of I _{P1}	max	< 500		ns
t,	Response time @ 90 % of I	P may	< 1		μs
di/dt	di/dt accurately followed	- Thus	> 200		A/µs
f	Frequency bandwidth (- 1 de	3)	DC 2	200	kHz
G	eneral data				
T	Ambient operating tempera	ture	- 25	+ 85	°C
Ts	Ambient storage temperatu	re	- 40	+ 90	°C
R _s	Secondary coil resistance @	\mathbf{D} $\mathbf{T}_{A} = 70^{\circ} \mathrm{C}$	80		Ω
5		T _A = 85°C	85		Ω

18

EN 50178

Notes : ¹⁾ Measuring range limited to ± 60 A _{max}

²⁾ Measuring range limited to \pm 55 A^{max}_{max}

³⁾ Result of the coercive field of the magnetic circuit

⁴⁾ A list of corresponding tests is available

 $I_{PN} = 50 A$



Features

- Closed loop (compensated) current transducer using the Hall effect
- Printed circuit board mounting
- Insulated plastic case recognized according to UL 94-V0.

Advantages

- Excellent accuracy
- Very good linearity
- Low temperature drift
- Optimized response time
- Wide frequency bandwidth
- No insertion losses
- High immunity to external
- interferenceCurrent overload capability.

Applications

- AC variable speed drives and servo motor drives
- Static converters for DC motor drives
- Battery supplied applications
- Uninterruptible Power Supplies

(UPS)

g

- Switched Mode Power Supplies (SMPS)
- Power supplies for welding applications.

Mass

Standards 4)

m

980706/8



Mechanical characteristics

- General tolerance
- Primary through-hole
- Fastening & connection of secondary

Recommended PCB hole

±	0.2	2 r	nr	n
12	2.7	х	7	mm

3 pins 0.63 x 0.56mm 0.9 mm

Remarks

- I_c is positive when I_c flows in the direction of the arrow.
- Temperature of the primary conductor should not exceed 90°C.
- Dynamic performances (di/dt and response time) are best with a single bar completely filling the primary hole.
- In order to achieve the best magnetic coupling, the primary windings have to be wound over the top edge of the device.
- This is a standard model. For different versions (supply voltages, turns ratios, unidirectional measurements...), please contact us.

LEM reserves the right to carry out modifications on its transducers, in order to improve them, without previous notice.

Placa de condicionamento de corrente









Apêndice D

Placa de condicionamento de tensão

Placa diferencial para medição de até 5 sinais de tensão CA ou CC com ajuste individual de ganho. Há também indicação de sobre ou subtensão com ajuste individual por canal.



Placa de condicionamento de tensão





Placa de condicionamento de tensão

Apêndice E

Placa de monitoramento das proteções e liberação dos pulsos



Placa de monitoramento das proteções e liberação dos pulsos

Apêndice F

Placa de interface dos módulos de potência







Apêndice G

Placa de interface do DSP



Placa de interface do DSP



Apêndice H

Imagens do protótipo implementado



Fig. H.1: Da esquerda para a direita: torre com fonte de alimentação CC, sensores de tensão e de corrente, DSP e placa de interface com DAC; inversor multinível monofásico; filtro passivo de 1^a ordem (indutor); e carga não-linear.



Fig. H.2: Detalhe da torre de monitoramento e controle de sinais.



Fig. H.3: Detalhe da placa de proteção que, a partir da ocorrência de sobre-corrente, de subtensões CC e sobre-tensões CA ou CC, libera ou bloqueia o envio dos pulsos gerados pelo *software* do DSP para serem conectados às chaves do inversor multinível.



Fig. H.4: Detalhe do inversor multinível monofásico com topologia em cascata assimétrica.