

Roberto Lacerda de Orio

Projeto de Dispositivo Supressor de Surto de Tensão

Dissertação apresentada ao Departamento de Semicondutores, Instrumentos e Fotônica da Faculdade de Engenharia Elétrica e Computação da Unicamp como parte dos requisitos para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Jacobus Willibrordus Swart

Banca examinadora:

Prof. Dr. Jacobus Willibrordus Swart

Prof. Dr. José Alexandre Diniz

Prof. Dr. Henri Ivanov Boudinov

Prof. Dr. Peter Jürgen Tatsch

Universidade Estadual de Campinas

Agosto 2006

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Or4p Orio, Roberto Lacerda de
Projeto de dispositivo supressor de surto de tensão /
Roberto Lacerda de Orio. --Campinas, SP: [s.n.], 2006.

Orientador: Jacobus Willibrordus Swart
Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Sobretensão. 2. Semicondutores. 3. Simulação. 4.
Tiristores. I. Swart, Jacobus Willibrordus. II. Universidade
Estadual de Campinas. Faculdade de Engenharia Elétrica e
de Computação. III. Título.

Título em Inglês: Design of voltage surge protective device.

Palavras-chave em Inglês: Overvoltage, Semiconductor, Simulation, Thyristors.

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: José Alexandre Diniz, Henri Ivanov Boudinov e Peter Jürgen Tatsch.

Data da defesa: 17/08/2006

Aos meus pais, José Alberto de Orio
e Maria Alice Lacerda de Orio

Resumo

Este trabalho tem como objetivo o projeto de um dispositivo supressor de surto de tensão para aplicação na proteção de equipamentos de telecomunicações. O projeto foi realizado com a utilização de programas de simulação. Os diversos parâmetros físicos, como dopagens e dimensões, assim como estruturas com e sem *emitter-shorts* foram estudadas para o entendimento da sua influência na operação do dispositivo supressor e estabelecer em que condições o seu melhor desempenho é obtido. Com base nos resultados adquiridos foi desenvolvido um processo de fabricação suficientemente simples para se aplicar em linha de produção. O dispositivo final proposto apresentou uma tensão de *breakover* de 250 V quando submetido a um pulso de corrente de 100 A/cm². Após o chaveamento, a distribuição mais uniforme da densidade de corrente foi observada para uma estrutura com *emitter-shorts* não-centralizados em relação à área dos emissores do dispositivo.

Abstract

This work intends to design a voltage surge suppressor device for telecommunications equipments. The project was conducted with the help of simulation tools. The physical parameters like dopings and dimensions, as well as structures with and without emitter-shorts were studied in order to understand their influence on the device behavior and to establish in which conditions its best performance is obtained. Based on these simulation results, a simple fabrication process for line production was developed. The final device presented a breakover voltage of 250 V when a current pulse of 100 A/cm² was applied. After the device turn-on the most uniform distribution of current density was observed for a structure with emitter-shorts non-centralized on the emitter device area.

Este trabalho foi realizado com o apoio das seguintes entidades:

- CNPq – Auxílio bolsa de mestrado;
- AEGIS Semicondutores Ltda.
- FINEP

Agradecimentos

Ao Prof. Jacobus W. Swart pela oportunidade de trabalharmos juntos e de aprendizado, pela amizade, confiança e apoio na realização do trabalho.

Ao Sr. Wanderley Marzano da AEGIS Semicondutores Ltda. por todo o suporte dado ao trabalho e pelas discussões sempre produtivas.

Ao Prof. Dr. Rodolfo Quintero Romo do *Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional* (CINVESTAV) do México, pela realização das simulações *quasi-3D* e também pelos conselhos referentes ao projeto.

A todos os companheiros do Centro de Componentes Semicondutores pela amizade durante os anos na UNICAMP.

A todos os professores que contribuíram para minha formação.

A toda a equipe do CCS que contribuiu para a realização do trabalho.

Sumário

Lista de Símbolos.....	viii
Lista de Figuras.....	ix
Lista de Tabelas.....	xii
Capítulo 1 – Introdução	1
1.1 Introdução geral	1
1.2 Objetivos	6
1.3 Organização da dissertação.....	7
Capítulo 2 – O Dispositivo Supressor de Surto de Tensão.....	8
2.1 Operação	8
2.2 Estrutura com <i>emitter-shorts</i>	15
2.3 Ruptura da superfície	17
Capítulo 3 – Projeto do Dispositivo Supressor de Surto de Tensão através de Ferramenta de Simulação Elétrica	21
3.1 Especificações de operação.....	21
3.2 Simulações	22
3.2.1 Estudo do dispositivo supressor em função da variação de N_{D1}	28
3.2.2 Estudo da variação de N_A	31
3.2.3 Estudo da variação de N_{D2}	35
3.2.4 Redução de X_{jn} – variação da largura da base do transistor n_2 -p- n_1	38

3.2.5	Variação da largura da base do transistor p-n ₁ -p (W _n)	41
3.2.6	Variação do comprimento das regiões n ₂ – sobreposição de emissores ...	42
3.2.7	Ângulo de corte e passivação da superfície	46
3.3	Discussão dos resultados.....	50
Capítulo 4 – Projeto do Processo de Fabricação do Dispositivo Supressor de Surto de Tensão		52
4.1	Especificações do processo de fabricação	52
4.2	Simulação do processo do dispositivo supressor básico.....	53
4.2.1	Simulações elétricas.....	64
4.3	Estruturas com <i>emitter-shorts</i>	67
4.3.1	Simulações <i>quasi-3D</i> de estruturas com <i>emitter-shorts</i>	73
4.4	Discussão dos resultados.....	80
Capítulo 5 – Conclusões		82
Referências bibliográficas.....		85
Apêndice A – O Tiristor		89
A.1	O Modo de Bloqueio Reverso.....	91
A.2	O Modo de Bloqueio Direto.....	92
A.3	O Modo de Condução Direta	96

Lista de Símbolos

b	Relação entre as mobilidades de elétrons e lacunas
C_2	Capacitância da junção J2
D_a	Coefficiente de difusão ambipolar
I_{BO}	Corrente de <i>breakover</i>
I_{BR}	Corrente de ruptura
I_D	Corrente de estado desligado
I_{DRM}	Corrente de pico repetitiva de estado desligado
I_H	Corrente de manutenção
I_S	Corrente de chaveamento
I_T	Corrente de estado ligado
J	Densidade de corrente
J_S	Densidade de corrente de chaveamento
k	Constante de Boltzmann
N_A	Concentração de dopantes de átomos aceitadores
N_{D1}	Concentração de dopantes de átomos doadores nas regiões n_1
N_{D2}	Concentração de dopantes de átomos doadores nas regiões n_2
q	Carga do elétron
T	Temperatura
V_B	Tensão de ruptura reversa de junção p ⁺ n
V_{BO}	Tensão de <i>breakover</i>
V_{BR}	Tensão de ruptura
V_D	Tensão de estado desligado
V_{DRM}	Tensão de pico repetitiva de estado desligado
V_S	Tensão de chaveamento
V_T	Tensão de estado ligado
W	Largura da região i de diodo p-i-n
W_n	Largura da base n_1
W_p	Largura da base p
x_{n2}	Comprimento da região de emissor n_2
X_{jn}	Profundidade da região de emissor n_2
X_{jp}	Profundidade da camada p
α	Ângulo de corte da junção
α_N	Ganho do transistor n_2 -p- n_1
α_P	Ganho do transistor p- n_1 -p
μ_n	Mobilidade dos elétrons
μ_p	Mobilidade das lacunas
ρ_p	Resistividade da base p
τ_{ef}	Tempo de vida efetivo dos portadores

Lista de Figuras

Figura 1.1 – Estrutura básica do tiristor.....	1
Figura 1.2 – Curva característica do tiristor.....	2
Figura 1.3 – Esquema de ligação do dispositivo supressor de surto de tensão.....	3
Figura 1.4 – Metodologia de projeto com o auxílio de ferramentas de simulação.	6
Figura 2.1 – Dispositivo supressor de surto de tensão.....	8
Figura 2.2 – Curvas I x V características	9
Figura 2.3 – Circuito elétrico equivalente do dispositivo supressor de surto de tensão. ..	13
Figura 2.4 – Estrutura com <i>emitter-shorts</i>	16
Figura 2.5 – Corte em ângulo da junção	17
Figura 2.6 – Região de depleção para corte em ângulo positivo	18
Figura 2.7 – Região de depleção para corte em ângulo negativo	19
Figura 2.8 – Campo elétrico ao longo da superfície para diversos ângulos	20
Figura 3.1 – Dispositivo supressor simulado.....	22
Figura 3.2 – Curva I x V do dispositivo supressor.	23
Figura 3.3 – Detalhes da curva I x V	24
Figura 3.4 – Linhas de corrente no dispositivo supressor no modo de bloqueio (tensão de 265 V).	25
Figura 3.5 – Linhas de corrente na região de ruptura (corrente de 4mA).....	26
Figura 3.6 – Linhas de corrente para o dispositivo operando na região de resistência negativa.	26
Figura 3.7 – Linhas de corrente no modo de condução direta (100 A/cm^2).	27
Figura 3.8 – Curva I x V em escala logarítmica do dispositivo supressor em função de N_{D1}	28
Figura 3.9 – Curvas de campo elétrico na região de depleção para $N_{D1} = 5 \times 10^{14} \text{ cm}^{-3}$ e $8 \times 10^{14} \text{ cm}^{-3}$ para uma tensão de 265 V.	29
Figura 3.10 – Geração de portadores pelo processo de ionização por impacto (polarização de 265 V).....	29
Figura 3.11 – Tensão de <i>breakover</i> e ruptura em função da dopagem N_{D1}	30

Figura 3.12 – Curva I x V em função de N_A	31
Figura 3.13 – V_T em função de N_A	33
Figura 3.14 – Disparo parcial do supressor com $N_A = 10^{18} \text{ cm}^{-3}$ e $J = 1000 \text{ A/cm}^2$	33
Figura 3.15 – Distribuição de elétrons.....	34
Figura 3.16 – Curvas I x V em função de N_{D2}	36
Figura 3.17 – Curvas bidimensionais da recombinação na região de emissor	38
Figura 3.18 – Curva I x V para diferentes larguras da base p.....	39
Figura 3.19 – Região de depleção e distribuição de elétrons para $W_p = 15 \text{ }\mu\text{m}$ ($J = 1000 \text{ A/cm}^2$).	40
Figura 3.20 – Curvas I x V para diferentes valores de W_n	41
Figura 3.21 – Estruturas com sobreposição e afastamento das regiões n_2	43
Figura 3.22 – (a) Curvas I x V para sobreposição e afastamento entre os emissores	43
Figura 3.23 – Potencial ao longo da camada p em $y = 133 \text{ }\mu\text{m}$	45
Figura 3.24 – Circuito elétrico equivalente do dispositivo supressor com o afastamento das regiões n_2	45
Figura 3.25 – Dispositivo supressor com passivação a SiO_2 com corte em ângulo negativo de 45°	46
Figura 3.26 – V_{BO} x ângulo de corte para diferentes densidades de cargas na superfície.	47
Figura 3.27 – Distribuição das linhas de potencial elétrico para ângulos de corte de 45° e 90° sem carga presente no SiO_2 (polarização de 155 V).	47
Figura 3.28 – Campo elétrico na superfície de uma junção n^+p em função do ângulo de corte.....	49
8	
Figura 3.29 – Distribuição das linhas de potencial elétrico para o ângulo de 75° e densidade de carga de $+10^{11}$ e -10^{11} cm^{-2} (polarização de 155 V).....	49
Figura 4.1 – Lâmina de silício inicial definido no ATHENA.....	53
Figura 4.2 – Dopagem da rede após a difusão de boro.....	54
Figura 4.3 – Estrutura do dispositivo após etapa de oxidação térmica.....	55
Figura 4.4 – Máscara para a fotogração das regiões de emissores.....	56
Figura 4.5 – Fotogração de emissores.....	57
Figura 4.6 – Dispositivo supressor após etapa de corrosão do SiO_2	58

Figura 4.7 – Estrutura do dispositivo supressor após as etapas 3 e 4 do processo	58
Figura 4.8 – Perfil de fósforo	59
Figura 4.9 – Dopagem da rede	60
Figura 4.10 – Estrutura com níquel depositado.	60
Figura 4.11 – Máscara de definição dos contatos.	61
Figura 4.12 – Fotogravação de contatos.	62
Figura 4.13 – Corrosão do níquel e abertura de janela para corrosão do Si e passivação.	62
Figura 4.14 – Estrutura após corrosão do Si com canais abertos para passivação.	63
Figura 4.15 – Dispositivo supressor de surto de tensão “real”.	64
Figura 4.16 – Curva I x V do dispositivo supressor gerado por processo de fabricação.	64
Figura 4.17 – Forma do pulso de corrente aplicado ao dispositivo supressor	66
Figura 4.18 – Curvas do dispositivo supressor de surto de tensão sem <i>emitter-shorts</i>	66
Figura 4.19 – Curva característica do dispositivo supressor para pulso de corrente de 100 A/cm ²	67
Figura 4.20 – Máscara para fotogravação de <i>emitter-shorts</i>	69
Figura 4.21 – Óxido como máscara para abertura de canais no Si.	70
Figura 4.22 – Canais dos <i>emitter-shorts</i>	71
Figura 4.23 – Dispositivo supressor de surto de tensão com <i>emitter-shorts</i>	72
Figura 4.24 – Ilustração do método <i>quasi-3D</i>	73
Figura 4.25 – Distribuição dos <i>emitter-shorts</i>	74
Figura 4.26 – Pulso de corrente aplicado ao dispositivo supressor de surto de tensão.....	74
Figura 4.27 – Curvas do dispositivo supressor de surto de tensão com <i>emitter-shorts</i>	75
Figura 4.28 – Distribuição da densidade de corrente.....	76
Figura 4.29 – Potência dissipada no instante 1,1 μs.	77
Figura 4.30 – Distribuição de <i>emitter-shorts</i> deslocados de 100 μm	78
Figura 4.31 – Densidade de corrente após deslocamento de <i>emitter-shorts</i>	79
Figura 4.32 – Visualização 2D da densidade de corrente.....	80
Figura A.1 – Estrutura básica do tiristor.....	89
Figura A.2 – Curva característica do tiristor.....	90
Figura A.3 – Circuito equivalente da estrutura do tiristor	92

Lista de Tabelas

Tabela 3.1 – Parâmetros do dispositivo supressor extraídos de sua curva característica .	24
Tabela 3.2 – Parâmetros $x N_{D1}$	28
Tabela 3.3 – Parâmetros em função da variação de N_A	31
Tabela 3.4 – Parâmetros em função da variação de N_{D2}	37
Tabela 3.5 – Parâmetros para a variação da largura da base p.	40
Tabela 3.6 – Parâmetros para a variação da largura da base tipo n.	42
Tabela 3.7 – Parâmetros para diferentes valores de x_{n2}	44
Tabela 3.8 – Campo elétrico máximo em função da carga na interface Si-SiO ₂ para corte em 75°	49
Tabela 4.1 – Comparação entre dispositivo gerado por simulação de processo no ATHENA e dispositivo obtido pelo DEVEDIT.	65

Capítulo 1

Introdução

1.1 Introdução geral

Os equipamentos de telecomunicações modernos que utilizam circuitos VLSI (*very large scale integration*) de estado sólido são muito sensíveis a distúrbios externos e, portanto, precisam ser protegidos contra surtos de tensão e corrente causados por descargas eletromagnéticas e falhas em linhas de potência ac. De forma a proteger as linhas de telecomunicações contra tais distúrbios são necessários dispositivos de proteção primária e secundária [1]. A proteção secundária é normalmente incorporada junto ao equipamento a ser protegido, portanto, é projetada especificamente para tal equipamento. Já a proteção primária tem propósito mais geral, uma vez que ela pode servir de interface para um grande número de equipamentos [2]. Esta proteção é feita por meio de tubos de descargas a gás, os quais têm sido substituídos por uma nova geração de protetores baseados em dispositivos semicondutores de potência, devido à sua resposta ao chaveamento e perdas durante transitórios serem muito menores [1]. Os dispositivos bidirecionais baseados na estrutura dos tiristores, denominados *Thyristor Surge Protective Devices* (TSPDs), se mostram bastante adequados para a proteção de circuitos de telecomunicações.

Os tiristores compõem uma família de dispositivos semicondutores formados por uma estrutura p-n-p-n, mostrada na figura 1.1, que apresenta característica biestável e pode ser chaveada de um estado de alta impedância para um estado de baixa impedância.

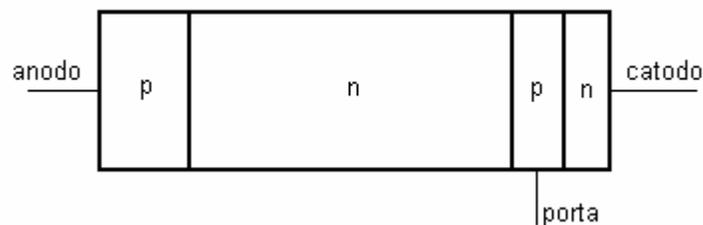


Figura 1.1 – Estrutura básica do tiristor.

O conceito do tiristor foi inicialmente proposto por Schockley em 1950 e posteriormente teve seu princípio de operação detalhado por Moll [3, 4], sendo o primeiro protótipo operacional fabricado em 1957 pela *General Electric Research Laboratories* [5]. Devido à sua característica de operação, mostrada na figura 1.2, os tiristores possuem muitas aplicações, principalmente na área de controle e onde altas tensões e correntes são utilizadas. Por exemplo, eles são amplamente empregados em circuitos de controle de velocidade de motores, em circuitos retificadores, inversores e conversores [5]. Alguns dos principais tiristores são: o SCR (*Silicon Controlled Rectifier*), o DIAC (*Diode AC Switch*), o TRIAC (*Triode AC Switch*) e o GTO (*Gate Turn-off Thyristor*).

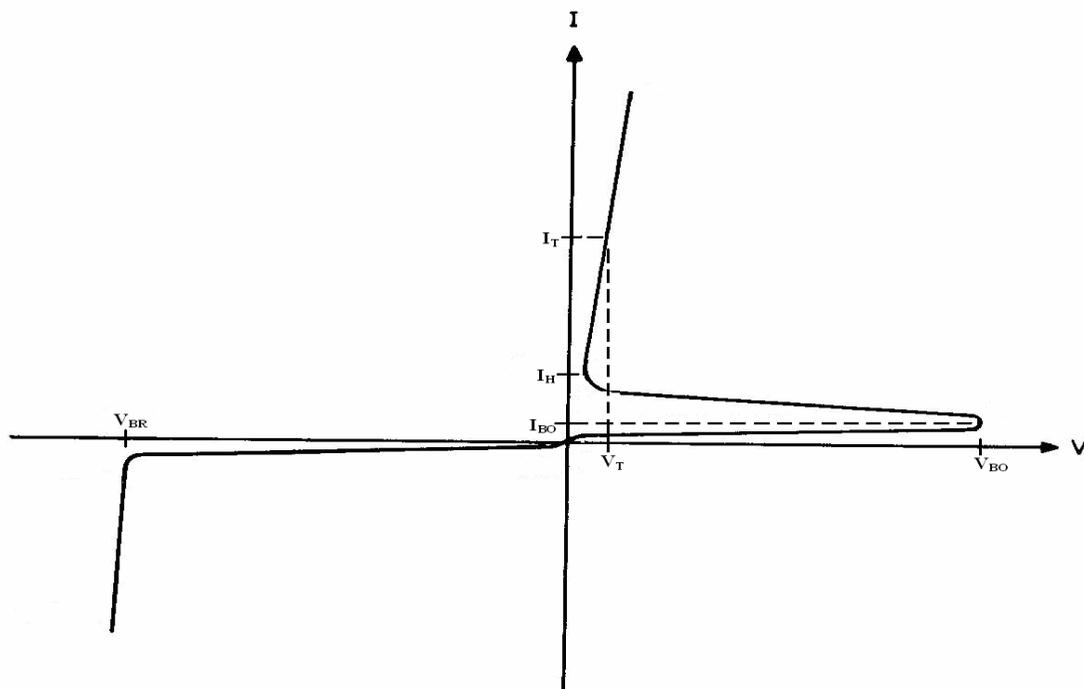


Figura 1.2 – Curva característica do tiristor (retirado da ref. [3]).

Os tiristores modernos podem suportar potências extremamente elevadas, da ordem de até megawatts, sendo ainda a primeira opção em aplicações de alta potência. Porém, para operação em baixa ou média potência eles têm sido substituídos por dispositivos como os transistores MOSFETs (*Metal-Oxide-Semiconductor Field Effect Transistors*) e IGBTs (*Insulated-Gate Bipolar Transistors*) [5]. Inclusive, a mesma característica da figura 1.2 é observada como um efeito parasitário, denominado “*latchup*” em circuitos integrados modernos baseados na tecnologia CMOS [3].

Os dispositivos protetores contra surtos baseados na estrutura dos tiristores foram inicialmente introduzidos para os sistemas de telecomunicações no final da década de 1970 [6]. Estes componentes são projetados para limitar sobretensões e desviar as correntes de surto através do grampeamento de tensão (*voltage clamping*) e chaveamento para um estado de baixa impedância (*crowbarring*) [2].

Existem diversos tipos de TSPDs e eles são classificados em função de sua operação e estrutura. Os TSPDs possuem uma característica de chaveamento em pelo menos um quadrante, podendo apresentar no outro quadrante uma característica de chaveamento, bloqueio ou condução como diodo [2]. Dispositivos que possuem chaveamento em apenas um quadrante são chamados unidirecionais e os dispositivos que apresentam chaveamento em ambos os quadrantes são classificados como bidirecionais. Além disso, os TSPDs podem possuir de dois a cinco terminais, sendo que dois destes conduzem a corrente principal e os demais são os terminais de porta (ou *gates*), que podem ser usados no controle do chaveamento do componente.

O TSPD mais comumente utilizado para proteção de circuitos de telecomunicações, e que propomos desenvolver neste trabalho, é o TSPD bidirecional sem terminal de porta, isto é, trata-se de um dispositivo supressor de surto de apenas dois terminais e que apresenta o mesmo comportamento e características independentemente da polarização ser direta ou reversa. Esta escolha deve-se ao interesse da empresa AEGIS Semicondutores Ltda. por este dispositivo. Para a sua aplicação em proteção de linhas telefônicas. Na figura 1.3 está mostrada a forma como estes dispositivos são conectados às linhas de transmissão para a proteção dos equipamentos de telecomunicações.

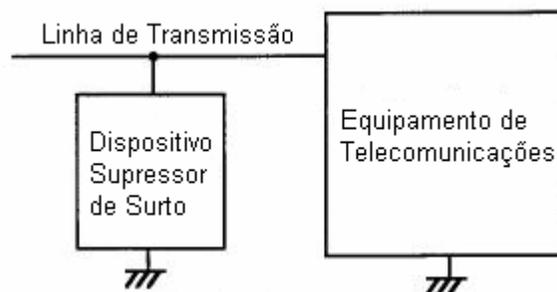


Figura 1.3 – Esquema de ligação do dispositivo supressor de surto de tensão (retirado da ref. [7]).

Pela figura 1.3 fica claro como o dispositivo supressor atua. Na ocorrência de qualquer surto de tensão causado por fontes externas na linha de transmissão o dispositivo supressor é levado a um estado de baixa impedância, desviando a corrente gerada pelo surto para o condutor “terra” e impedindo que os equipamentos de telecomunicações conectados à linha sejam danificados. Além disso, no caso da proteção ligada a linhas telefônicas, o dispositivo supressor evita que o surto alcance o aparelho de telefone prevenindo não só que este seja danificado, mas também protegendo o usuário de sofrer qualquer dano à sua saúde.

Os dispositivos protetores contra surtos são utilizados nas centrais, estações de usuários e estações móveis. Eles devem ter capacidade de proteção compatível com o sistema de telecomunicações ao qual estão conectados e ao mesmo tempo não interferir em sua operação normal. Isso significa que o protetor que melhor atende aos requisitos da aplicação desejada deve atender às exigências de um país específico ou padrões estabelecidos pela empresa de telecomunicações [1, 8].

Neste trabalho o projeto do dispositivo supressor de surto de tensão é realizado com o auxílio de ferramentas de simulação, também conhecidas como ferramentas de projeto assistido por computador (CAD – *Computer Aided Design*). A modelagem clássica de dispositivos é realizada a partir da separação do interior do dispositivo em diferentes regiões tratando cada uma destas a partir de soluções analíticas fechadas baseadas em restrições e aproximações. No entanto, com o avanço tecnológico dos dispositivos este método de análise se tornou limitado, principalmente para se obter uma previsão aceitável do desempenho do dispositivo. Como consequência, métodos numéricos e simulações baseadas em um conjunto de equações diferenciais têm se tornado necessários. Tal avanço só é possível devido à considerável evolução da tecnologia e do desempenho dos computadores digitais [9]. Hoje em dia, as ferramentas de simulação atingiram um nível tão elevado de sofisticação que simulações bidimensionais se tornaram um estágio padrão de desenvolvimento de protótipos e até mesmo simulações tridimensionais têm se desenvolvido cada vez mais.

A utilização de simulações como metodologia de projeto e desenvolvimento de dispositivos semicondutores possui grandes vantagens. No passado, para o desenvolvimento de dispositivos usava-se o método de tentativa e erro na fabricação até

que fossem obtidos os resultados e as características desejadas. Mais recentemente, com o auxílio de ferramentas de simulação o número de tentativas e erros para se alcançar o desempenho desejado pode ser substancialmente reduzido em vários casos, embora ainda não seja possível sua total eliminação, pois as incertezas de diversos parâmetros dos modelos disponíveis ainda são muito grandes [9]. De qualquer forma, a utilização das simulações pode implicar numa redução significativa tanto do tempo quanto dos custos envolvidos na obtenção do dispositivo. Outra grande vantagem da realização de simulações decorre da possibilidade de se observar o funcionamento interno dos dispositivos através da visualização da distribuição de diversos parâmetros físicos que não podem ser obtidos experimentalmente, fazendo das simulações uma importante ferramenta de análise e estudo.

Tipicamente, a primeira etapa de um projeto é gerar a estrutura física do dispositivo, o que pode ser feito através de algum programa editor de dispositivos, no qual é possível desenhar a estrutura de uma forma idealizada definindo as suas características como materiais, dopagens, etc. ou também através de um programa que simule o processo de fabricação deste dispositivo, levando em conta etapas de difusão, oxidação, implantação iônica, litografia, etc. Em seguida é realizada a simulação elétrica, em que o programa recebe como entrada de dados a estrutura física gerada e as polarizações desejadas. Como resultado o simulador fornece as curvas características, além das distribuições de grandezas como potencial, campo elétrico, densidades de portadores e correntes que podem ser utilizadas para o estudo do funcionamento interno do dispositivo. Estes resultados normalmente passam por um processamento a partir do qual são extraídos os parâmetros de operação do dispositivo. Se após estas etapas o dispositivo não apresentou o comportamento desejado, retorna-se à primeira etapa para se fazer as alterações necessárias e o processo descrito acima é novamente realizado. Assim, fica claro que esta metodologia forma um ciclo, mostrado na figura 1.4, que é percorrido até que o dispositivo apresente o comportamento adequado.



Figura 1.4 – Metodologia de projeto com o auxílio de ferramentas de simulação.

1.2 Objetivos

O principal objetivo deste trabalho é projetar um dispositivo supressor de surto de tensão para ser aplicado na proteção de equipamentos de telecomunicações. O projeto engloba não só a determinação da estrutura e características elétricas de operação do dispositivo, mas também envolve o estabelecimento do seu processo de fabricação. É fundamental que o dispositivo supressor de surto de tensão projetado tenha um desempenho semelhante ou até superior àqueles encontrados comercialmente. Somado a isso, o processo de fabricação deve ser adequado para se aplicar em linha de produção e ter o menor custo possível, de forma a ser viável economicamente.

1.3 Organização da dissertação

Neste capítulo discutimos a função e aplicação do dispositivo supressor de surto de tensão e apresentamos os objetivos deste trabalho.

No capítulo 2 descrevemos a teoria do dispositivo supressor, o seu funcionamento, características e parâmetros.

No capítulo 3 apresentamos os resultados das simulações elétricas realizadas para uma estrutura de dispositivo supressor de surto de tensão obtida a partir de um programa editor de dispositivos. Estudamos como os diversos parâmetros físicos influenciam no desempenho e comportamento do dispositivo, determinando em que condições podemos obter as melhores características de operação, definindo os parâmetros básicos de projeto.

No capítulo 4 propomos o processo de fabricação para o dispositivo supressor de surto de tensão. Além disso, mostramos os resultados obtidos para o dispositivo “real” gerado pela simulação de processos, concluindo o projeto.

No capítulo 5 apresentamos as conclusões e a previsão de trabalhos futuros.

Capítulo 2

O Dispositivo Supressor de Surto de Tensão

Neste capítulo apresentamos o dispositivo supressor de surto de tensão, o seu princípio de operação e algumas de suas características fundamentais. Discutimos também parâmetros e técnicas que visam melhorar o seu desempenho e os requerimentos necessários para sua aplicação na proteção de sistemas de telecomunicações.

2.1 Operação

A figura 2.1 abaixo mostra o dispositivo supressor de surto de tensão. Podemos observar que o dispositivo é formado por duas estruturas p-n-p-n ligadas de forma antiparalela.

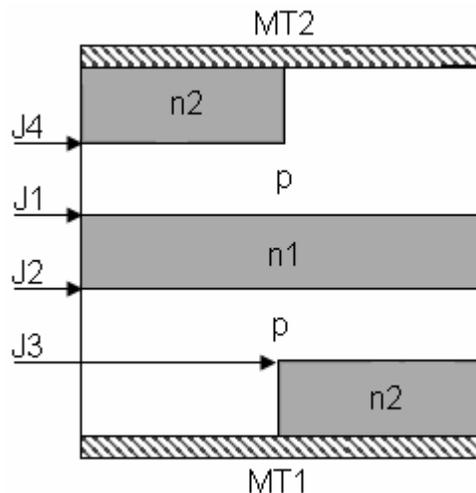


Figura 2.1 – Dispositivo supressor de surto de tensão (retirado da ref. [2]).

Supondo que ao terminal MT2 seja aplicada uma tensão positiva em relação a MT1, as junções J1 e J3 ficam diretamente polarizadas, enquanto a junção J2 e J4 permanecem reversamente polarizadas. Devido à polarização direta de J1, lacunas são injetadas da região p para a base n₁. Nesta região as lacunas difundem até atingirem a região de

depleção formada em J2 e serem coletadas na camada p inferior. Nesta região, as lacunas coletadas representam um excesso de portadores majoritários na base do transistor n_2 -p- n_1 e este aumento de carga na base faz com que o emissor n_2 injete mais elétrons para a base p. Estes elétrons percorrem essa região até serem coletados em n_1 , aumentando a carga de elétrons nesta região. Da mesma forma, o excesso de portadores majoritários presentes na base n_1 faz com que mais lacunas sejam injetadas a partir da região p superior. Este é um processo de realimentação positiva, onde o aumento da injeção de lacunas a partir de p culmina com o aumento da injeção de elétrons de n_2 , resultando no aumento da corrente através do dispositivo [2]. Quando a corrente que circula pelo dispositivo é grande o suficiente, o processo de realimentação reduz a tensão reversa da junção J2 até o ponto em que ela fica diretamente polarizada. Este é o processo de chaveamento que conduz o dispositivo ao estado de baixa impedância.

A figura 2.2 apresenta as possíveis curvas I x V características para o supressor.

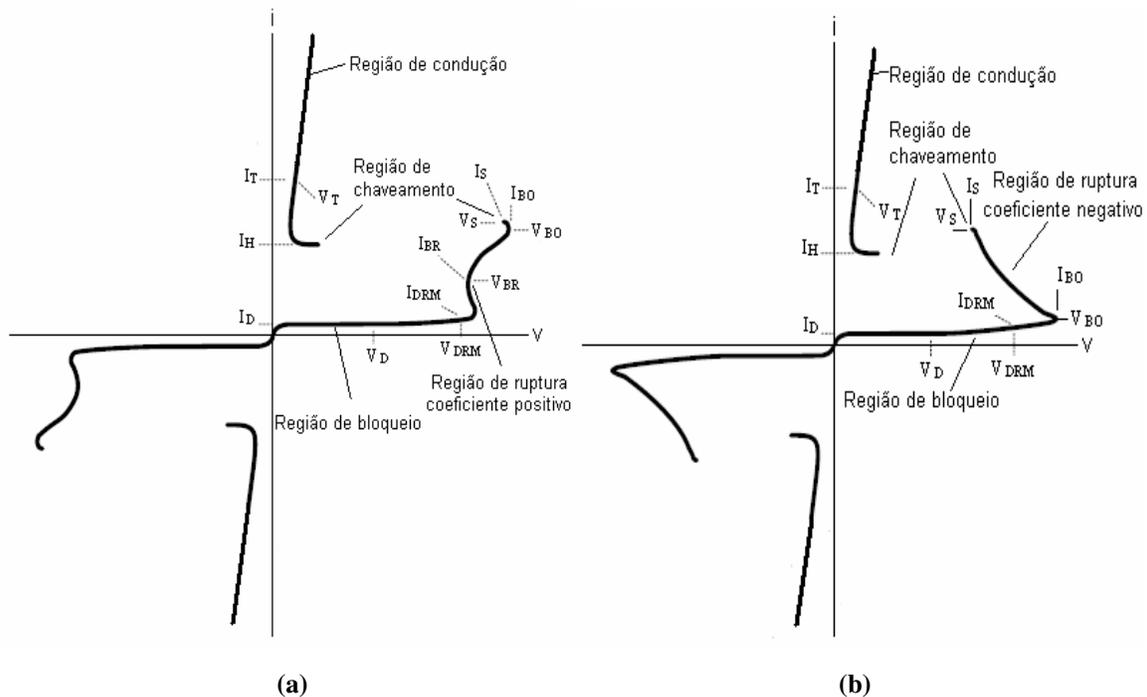


Figura 2.2 – Curvas I x V características (retirado da ref. [10]). (a) Ruptura com coeficiente positivo. (b) Ruptura com coeficiente negativo.

As curvas características do supressor apresentadas na figura 2.2 podem ser divididas em quatro regiões: (1) de bloqueio (*blocking mode*) ou de estado desligado (*off-*

state), (2) região de ruptura (*breakdown region*), (3) de chaveamento (*switching region*) ou resistência negativa e (4) de condução ou de estado ligado (*on-state*).

Na região de bloqueio, devido à polarização reversa de J2 (para tensão em MT2 positiva em relação a MT1), o dispositivo apresenta uma elevada resistência, sendo a corrente que circula entre os terminais MT2 e MT1 muito pequena. Esta corrente é a soma da corrente de saturação reversa da junção J2 com eventuais correntes de fuga pela superfície [2]. Esta condição é mantida até que a tensão seja grande o suficiente para levar o dispositivo à região de ruptura (*breakdown region*). Esta região é caracterizada por uma baixa resistência dinâmica e elevada queda de tensão. A baixa resistência é decorrente do processo de avalanche que ocorre na região de depleção formada na junção J2 reversamente polarizada combinado com o efeito da realimentação positiva na estrutura p-n-p-n [2]. A região de ruptura termina quando o processo de realimentação é suficiente para dar início ao chaveamento do supressor. Dependendo do projeto do tiristor e da temperatura, o chaveamento pode ocorrer para uma tensão maior ou menor que aquela do início da ruptura [2], correspondendo ao caso de ruptura por coeficiente positivo ou negativo, respectivamente (vide Figura 2.2). Na região de chaveamento, conforme o processo regenerativo no dispositivo aumenta, a camada de depleção de J2 é gradualmente reduzida até que toda ela seja eliminada e a junção se torne diretamente polarizada. Neste ponto, temos o início da região de condução.

Os parâmetros de operação mostrados nas curvas características I x V da figura 2.2 são definidos a seguir:

- V_D : Tensão de estado desligado – é a tensão aplicada sobre o dispositivo supressor no modo de bloqueio.
- I_D : Corrente de estado desligado – é a corrente medida quando aplicada uma dada tensão V_D sobre o dispositivo supressor. Em muitos sistemas de telecomunicações este parâmetro é determinado para $V_D = 50 \text{ V}$ [2].

- V_{DRM} : Tensão de pico repetitiva de estado desligado – é a máxima tensão que pode ser aplicada na condição de estado desligado sem que o dispositivo seja disparado [10]. O valor deste parâmetro deve ser igual ou superior à tensão de pico durante a operação normal do sistema para evitar o disparo do dispositivo.
- I_{DRM} : Corrente de pico repetitiva de estado desligado – é a corrente instantânea medida quando a tensão sobre o dispositivo é V_{DRM} .
- V_{BR} : Tensão de ruptura – é a tensão sobre o dispositivo supressor quando este opera na região de ruptura para uma dada corrente de ruptura, I_{BR} . Tipicamente, a corrente de teste varia na faixa de 1 mA a 20 mA. Este parâmetro não é determinado para dispositivos que apresentam região de ruptura com coeficiente negativo [2].
- V_{BO} : Tensão de *breakover* – é a máxima tensão sobre o dispositivo durante operação na região de ruptura quando submetido a um determinado impulso, com taxa específica de crescimento da tensão e corrente [10]. Este é o principal parâmetro de projeto do dispositivo supressor, pois ele garante que os equipamentos não sejam danificados devido à sobretensões e também que danos não sejam causados aos usuários.
- I_{BO} : Corrente de *breakover* – corrente instantânea medida para a tensão de *breakover*.
- V_S e I_S : Tensão e corrente de chaveamento, respectivamente – a tensão no final da região de ruptura, imediatamente antes do chaveamento para a região de estado ligado é definida como a tensão de chaveamento do dispositivo supressor. A corrente instantânea medida neste ponto corresponde à corrente de chaveamento. Para dispositivos com ruptura com coeficiente positivo estes pontos podem ser coincidentes com a tensão e corrente de *breakover* [10].
- I_H : Corrente de manutenção – mínima corrente necessária para manter o dispositivo supressor no estado ligado após a ocorrência do chaveamento. Para medir este

parâmetro é aplicado um pulso que leva o dispositivo supressor à condução e depois se reduz a corrente até que ele retorne a um estado de alta impedância. O valor da corrente que provoca o desligamento do dispositivo é definido como a corrente de manutenção. Esta corrente tem de ser maior que a máxima corrente de operação do sistema de telecomunicações para garantir que o dispositivo supressor desligue e faça o sistema retornar à condição de operação normal após a ocorrência do surto. Além disso, a exigência acima é necessária para que o dispositivo supressor não seja disparado mesmo que o sistema esteja operando em condições normais [2].

- V_T : Tensão de estado ligado – é a tensão que o dispositivo apresenta para uma dada corrente I_T na região de condução. Este é um parâmetro muito importante para o dispositivo supressor, pois em condições de surto a corrente pode atingir centenas, até milhares de amperes, o que implica em elevada dissipação de potência. Portanto, a tensão de estado ligado deve ser a mínima possível. Tipicamente, dispositivos comerciais apresentam V_T na faixa de 0,8 V a 2 V.

Embora na maior parte do seu tempo de vida o supressor opere com o sistema em condições normais, ele deve passar por uma série de testes agressivos para assegurar um desempenho elétrico e térmico adequado e também para se verificar sua expectativa de vida útil. O tempo em que o dispositivo permanece sob as condições de surto é pequeno, mas representa uma parte significativa do tempo de vida útil do dispositivo. Normalmente, parâmetros relacionados à durabilidade são obtidos aplicando-se surtos repetitivamente ao dispositivo em vários níveis de corrente até danificá-lo e assim, através de uma análise estatística, pode-se determinar as limitações acima das quais o dispositivo poderia ser danificado. A corrente de pico não-repetitiva (I_{PPS}), taxa de crescimento crítica da corrente de estado ligado (di/dt) e temperatura de junção (T_{JM}) são alguns exemplos de parâmetros relacionados à durabilidade do dispositivo supressor de surto de tensão [2].

A estrutura do dispositivo supressor da figura 2.1 pode ser modelada pelo circuito elétrico equivalente mostrado na figura 2.3. Neste modelo as camadas p-n₁-p são representadas pelos transistores bipolares Q1 e Q3. Da mesma forma, as camadas n₂-p-n₁ correspondem aos transistores Q2 e Q4, onde n₁ é o coletor, p a base e n₂ o emissor. A

resistência R_p é a resistência da camada p vista do centro da região do coletor de Q1 até o contato. Podemos observar a simetria do circuito elétrico equivalente devido à característica bidirecional do dispositivo supressor.

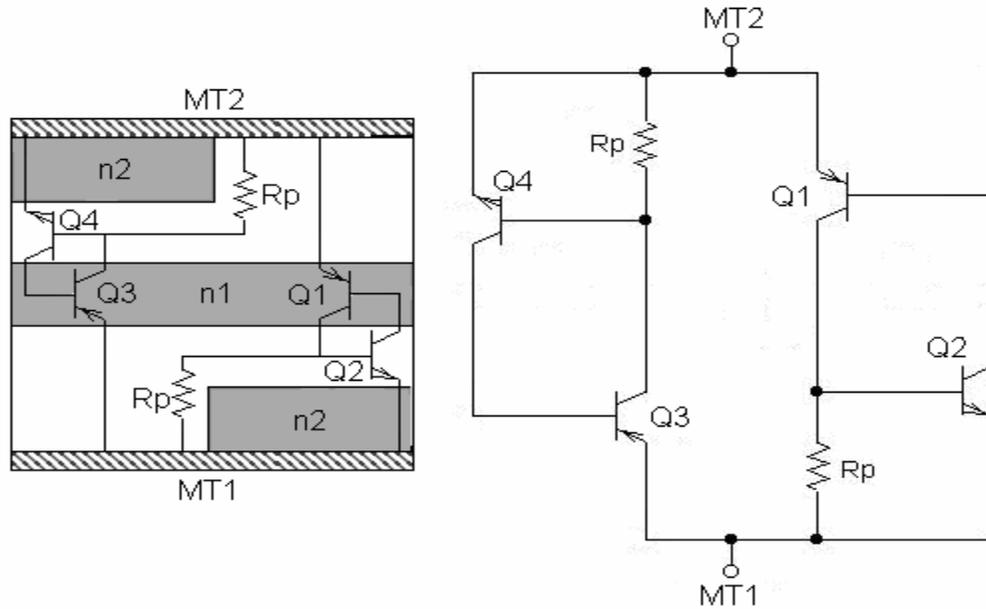


Figura 2.3 – Circuito elétrico equivalente do supressor de surto de tensão (retirado da ref. [2]).

De acordo com o modelo dos tiristores, apresentado no apêndice A, a tensão de *breakover* destes dispositivos é dada por [3]

$$V_{BO} = V_B (1 - \alpha_P - \alpha_N)^{1/m}. \quad (2.1)$$

onde V_B é a tensão de ruptura da junção J2, dada no apêndice A, α_P é o ganho do transistor Q1 (e Q3), α_N é o ganho do transistor Q2 (e Q4) e m é uma constante que varia de 4 a 6 [11].

A presença de R_p no modelo do supressor desvia o fluxo da corrente de base de Q2 (para MT2 positivo em relação a MT1). Como o ganho dos transistores é proporcional à corrente, isto faz com que o ganho α_N seja consideravelmente reduzido, podendo ser bem menor que α_P [12]. Nesta condição, a tensão de *breakover* do dispositivo supressor se torna independente do ganho de Q2 e a equação 2.1 fica

$$V_{BO} = V_B (1 - \alpha_p)^{1/m}. \quad (2.2)$$

No circuito R_p modela o fluxo lateral da corrente na região p da base de Q2 em direção ao contato MT1. Devido a este fluxo de corrente, há uma queda de potencial lateral nesta região. Considerando uma densidade de corrente uniforme (J) atravessando o dispositivo, uma camada p com resistividade constante (ρ_p) e que lacunas percorrem toda esta região ao longo de toda a sua profundidade, o disparo do dispositivo supressor ocorre quando a tensão sobre o caminho de corrente de avalanche de lacunas torna a junção J2 diretamente polarizada, o que ocorre para uma corrente [1]

$$J_s = \frac{1,4(X_{jp} - X_{jn})}{\rho_p \cdot x_n} \quad (2.3)$$

onde X_{jp} e X_{jn} são as profundidades da camada p e do emissor tipo n, respectivamente e x_n é o comprimento horizontal do emissor. A equação acima mostra que a corrente de chaveamento diminui com o aumento da resistividade da camada p e com o aumento do comprimento do emissor. Por outro lado, J_s diminui com a redução da largura da base $X_{jp} - X_{jn}$ do transistor bipolar n_2 -p- n_1 . Vale a pena ressaltar que a utilização de transistores com base estreita para melhorar a injeção de elétrons no tiristor pode levar a uma ruptura prematura por *punch-through*, isto é, a região de depleção da junção J2 pode se estender por toda a base p e atingir a junção J3. Além disso, uma base muito estreita pode levar à destruição térmica do dispositivo em função da concentração de corrente durante o processo de chaveamento [1].

No estado ligado as junções J1, J2 e J3 estão diretamente polarizadas e o dispositivo oferece a mínima resistência ao fluxo de corrente. Tipicamente, a queda de tensão do tiristor varia entre 0,8 V a 2 V [5, 12] para níveis de corrente moderado ou elevado. Os fatores que contribuem para estes valores são: a queda de tensão de cada uma das junções, a queda sobre as regiões semicondutoras e também a queda de tensão ôhmica presente nos contatos metálicos. No entanto, a parcela mais significativa geralmente ocorre na base n, uma vez que esta é de baixa dopagem e larga.

Com as junções diretamente polarizadas, lacunas são injetadas da região p e elétrons da região n_2 . O transistor n_2 -p- n_1 opera em saturação e estabelece um contato remoto com a região n_1 . Dessa forma, o dispositivo se comporta como um diodo p-i- n_2 (p-i-n), cuja tensão ao longo da região i é dada por [3]

$$V_m = \frac{kT}{q} \frac{2b}{(b+1)^2} \left(\frac{W^2}{D_a \tau_{ef}} \right) \quad (2.4)$$

onde b é a relação entre as mobilidades dos elétrons e lacunas μ_n/μ_p , W é a largura da região i, que corresponde às regiões de base dos transistores, D_a é o coeficiente de difusão ambipolar e τ_{ef} é um tempo de vida efetivo que depende do tempo de vida dos portadores e do coeficiente Auger, relacionado ao processo de recombinação Auger [3].

A equação mostra que a queda de tensão depende fortemente do tempo de vida dos portadores minoritários, da largura das bases e da densidade de corrente. Para densidades de corrente extremamente elevadas, o dispositivo opera em condição da alta injeção, que provoca a redução dos coeficientes de difusão, mobilidade e tempo de vida dos portadores, culminando com o aumento da queda de tensão.

2.2 Estrutura com *emitter-shorts*

A introdução dos *emitter-shorts* tem diversos propósitos: garantir que o dispositivo dispare quando a junção J2 é rompida, aumentar sua capacidade di/dt e dv/dt , e também controlar a distribuição da densidade de corrente ao longo da área do dispositivo [13]. Além disso, estas regiões de curto-circuito aumentam a capacidade de bloqueio de alta temperatura [12].

Quando a taxa de variação da tensão for muito grande, o dispositivo pode ser disparado para tensões bem menores que a tensão de *breakover*. Este efeito é chamado disparo por dv/dt dos tiristores. O chaveamento do dispositivo ocorre porque uma rápida variação da tensão dá origem a uma corrente de deslocamento pelo dispositivo devido à capacitância da região de depleção de J2, dada pela equação 2.5,

$$i_{des}(t) = C_2 \frac{dv}{dt} \quad (2.5)$$

onde C_2 é a capacitância da junção J2. Se a taxa de crescimento da tensão for suficientemente elevada, a corrente de deslocamento que atravessa o dispositivo supressor faz o ganho dos transistores aumentarem, estabelecendo a realimentação necessária para disparar o dispositivo. Uma das maneiras de se evitar tal problema é reduzir o tempo de vida dos portadores nas regiões de base, no entanto, como mostramos anteriormente, isto teria um impacto negativo sobre a tensão de operação do dispositivo no estado ligado. O melhor método para melhorar essa capacidade é a introdução de regiões de curto-circuito nos emissores (*emitter-shorts*), como mostra a figura 2.4.

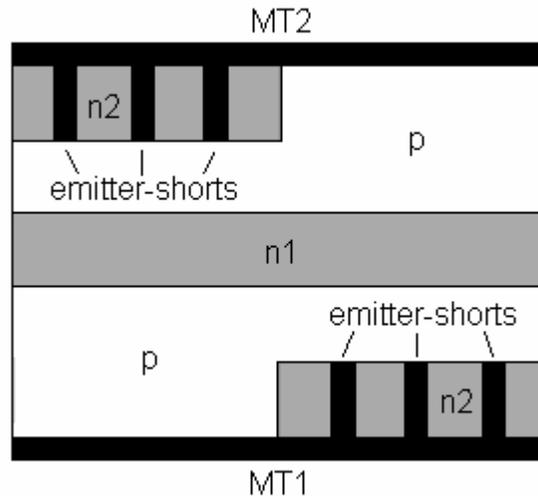


Figura 2.4 – Estrutura com *emitter-shorts* (retirado da ref. [2]).

Nestes dispositivos, a corrente de lacunas que é injetada na base p do transistor n_1 - p - n_2 flui lateralmente em direção às regiões de curto-circuito, desviando a corrente do emissor, o que impede o aumento do ganho que pode conduzir o dispositivo ao chaveamento. Quanto maior for a quantidade e a área das regiões de curto-circuito, melhor será a capacidade dv/dt do dispositivo supressor [12]. No entanto, a utilização dos *emitter-shorts* pode afetar negativamente as características de operação em modo ligado, em particular a queda de tensão sobre o dispositivo, o tempo de chaveamento e recuperação reversa [14]. Um eventual aumento do tempo de chaveamento pode vir a

prejudicar a capacidade di/dt do dispositivo, levando-o inclusive à destruição ou danificação permanente.

A capacidade di/dt está relacionada à máxima taxa de crescimento da corrente que o dispositivo é capaz de suportar. Se apenas uma pequena área assume a condição de “ligada”, um rápido crescimento da corrente provoca um aumento local da temperatura nesta região inicialmente disparada que pode vir a danificar o dispositivo [15]. Portanto, para evitarmos este problema, devemos aumentar a área de condução de corrente e também a velocidade de espalhamento do estado “ligado” do dispositivo. A introdução dos *emitter-shorts* pode ser utilizada para aumentar a área de condução, porém é necessário estabelecer um compromisso, uma vez que a adição destas estruturas reduz a velocidade de espalhamento, isto é, aumenta o tempo de chaveamento [12, 14].

2.3 Ruptura da superfície

A capacidade do dispositivo supressor de suportar alta tensão pode ser significativamente limitada pela qualidade de sua superfície, uma vez que a ruptura nesta região ocorre para tensões menores que no corpo do silício. Por esta razão é necessário reduzir o campo elétrico superficial [12]. Além disso, para garantir estabilidade dos parâmetros do dispositivo, a superfície deve ser passivada para bloquear a entrada de quaisquer contaminantes externos.

Um dos métodos mais comuns para minimizar o campo elétrico na superfície é através do corte com um determinado ângulo de inclinação da junção que suporta a tensão aplicada (*junction beveling*). A figura abaixo ilustra duas possibilidades de corte, juntamente com o efeito sobre a região de depleção na superfície.

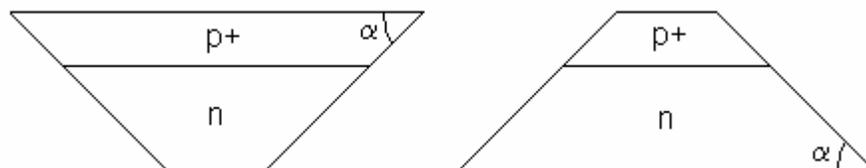


Figura 2.5 – Corte da junção (retirado da ref. [11]). (a) Ângulo positivo. (b) Ângulo negativo.

Por convenção, o corte mostrado na figura 2.5(a) possui ângulo positivo enquanto a figura 2.5(b) possui ângulo negativo. O ângulo de corte é definido como positivo quando a área da região mais dopada é maior que a área da região menos dopada. O ângulo negativo é definido quando a área da região mais dopada é menor que a da menos dopada [11, 12].

Para junções com ângulo de corte positivo a região de depleção aumenta no lado menos dopado e diminui do lado mais dopado, como mostra a figura abaixo. Por consequência, o campo elétrico na superfície é reduzido para valores abaixo ao do corpo do semiconductor uma vez que a tensão aplicada aparece através de uma distância maior [11]. O campo elétrico máximo na superfície diminui monotonicamente com o ângulo de corte [12].

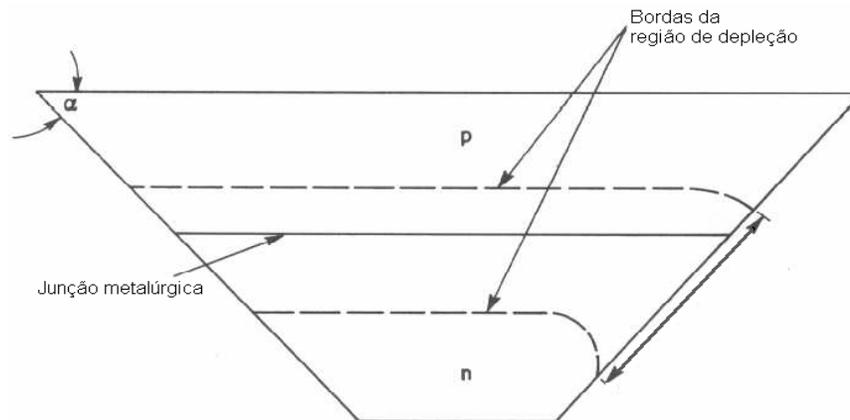


Figura 2.6 – Região de depleção para corte em ângulo positivo (retirado da ref. [11]).

Normalmente, usa-se uma base tipo n com baixa dopagem para se obter altas tensões de ruptura. Dessa forma, para tensões suficientemente elevadas, a região de depleção na superfície da base n pode se estender até a junção diretamente polarizada do dispositivo, levando a uma ruptura por *punch-through*. Se na superfície do ângulo de corte positivo existe uma carga positiva, isto pode ser evitado, porque na superfície do lado menos dopado tipo n há um acúmulo de elétrons, fazendo com que a região de depleção seja menor [12].

Embora tenha sido mostrado que para todos os valores de ângulo positivo o campo elétrico na superfície é sempre razoavelmente menor que no corpo do semiconductor, ou seja, é possível obter as maiores tensões de ruptura nestas condições, o corte da junção

em ângulo positivo requer manipulação mecânica do dispositivo, sendo, portanto, muito caro [11].

Para um ângulo de corte negativo, a região de depleção na junção reversamente polarizada é mostrada na figura 2.7.

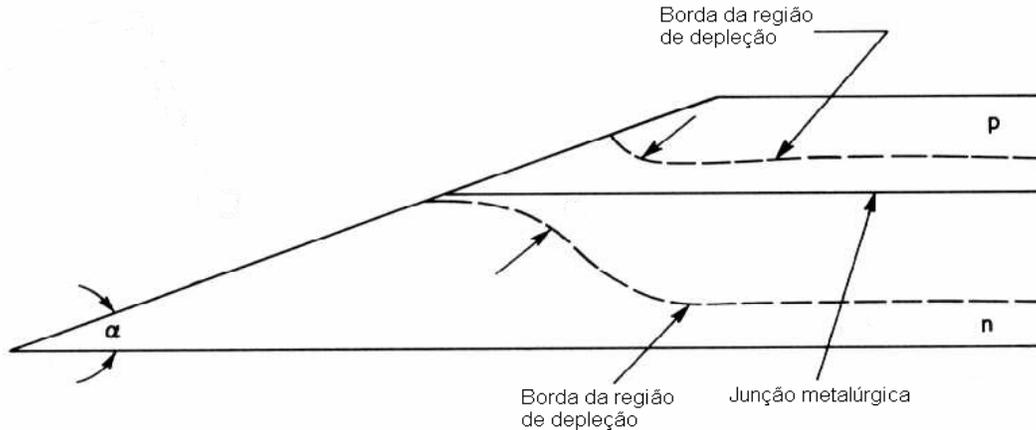


Figura 2.7 – Região de depleção para corte em ângulo negativo (retirado da ref. [11]).

Pode ser visto que a mínima distância entre as bordas da região de depleção ocorre no corpo do silício, abaixo da superfície do dispositivo. Isto indica que o máximo campo elétrico é deslocado para dentro do dispositivo e ocorre sempre na região mais dopada. Diminuindo a dopagem da região da base, tanto o campo elétrico máximo do corpo quanto da superfície do dispositivo diminui, além de suas amplitudes se aproximarem. Isto significa que quanto menor a dopagem, menor efeito tem o corte da junção em ângulo negativo [12].

Com a presença de uma carga positiva na superfície de uma estrutura com corte em ângulo negativo, elétrons são atraídos para a superfície induzindo uma carga negativa, o que faz a região de depleção no lado n contrair e no lado p da junção expandir. Embora a largura da região de depleção na superfície não seja muito alterada, essa mudança é suficiente para aumentar o campo elétrico e, conseqüentemente, reduzir a tensão de ruptura da junção. Este efeito é menos significativo quanto menor for o ângulo negativo [12]. Já para uma carga superficial negativa, ocorre o efeito inverso, isto é, o campo elétrico é reduzido, elevando a tensão de ruptura da junção.

A figura 2.8 mostra a variação do campo elétrico máximo na superfície para vários cortes em ângulo negativo.

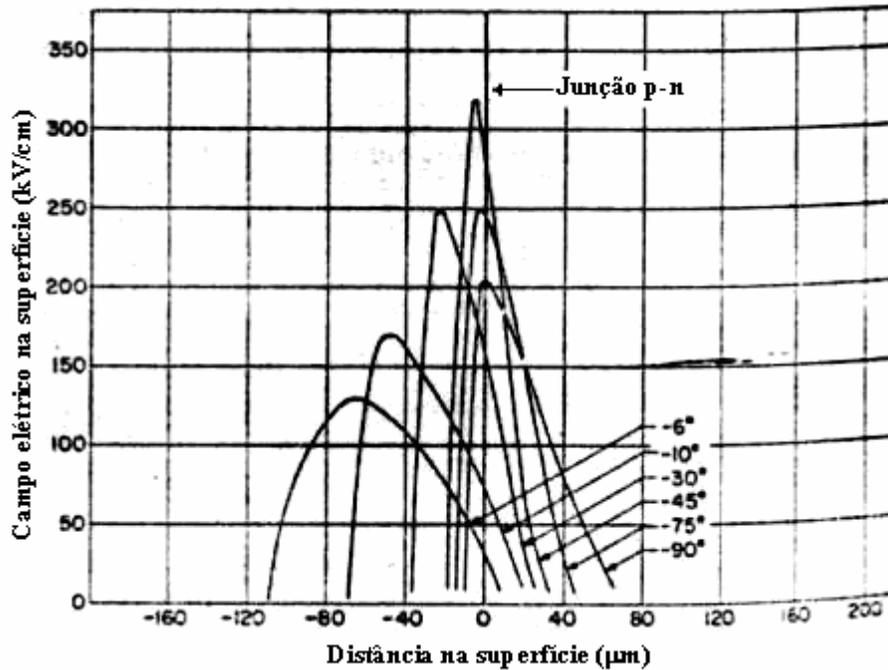


Figura 2.8 – Campo elétrico ao longo da superfície para diversos ângulos (retirado da ref. [16]).

Observamos que para diminuir o campo elétrico devemos utilizar ângulos muito pequenos, porém isto representa um empecilho do ponto de vista prático, tanto mecânica quanto economicamente. Assim, uma alternativa é utilizar ângulos próximos a 90° como mostra a figura 2.8, bem como dielétrico de passivação com carga negativa.

Capítulo 3

Projeto do Dispositivo Supressor de Surto de Tensão através de Ferramenta de Simulação Elétrica

Neste capítulo apresentamos o projeto do dispositivo supressor a partir da utilização do programa de simulações elétricas de dispositivos ATLAS da *Silvaco International* [17]. Os dispositivos foram gerados através de um editor gráfico do pacote de programas da *Silvaco International*, chamado DEVEDIT [17], que permite desenharmos a estrutura do dispositivo, determinando a sua geometria, os materiais e dopagens utilizadas de uma forma mais idealizada.

Realizamos simulações do dispositivo supressor em função da variação das dopagens de cada uma de suas regiões, em função de suas dimensões e também geometria, determinando suas curvas corrente x tensão características a partir das quais extraímos os parâmetros básicos de operação apresentados no capítulo 2. Com este estudo pudemos verificar como cada parâmetro é influenciado pela estrutura do dispositivo supressor e entender o seu comportamento de uma forma ampla, permitindo estabelecer o projeto básico do dispositivo supressor de forma a obtermos o melhor desempenho.

3.1 Especificações de operação

Visando atender aos requisitos de proteção de equipamentos de telecomunicações como estabelecem as referências [2, 8], as especificações de operação que impomos para o projeto do dispositivo supressor de surto de tensão são:

- $I_D < 5 \times 10^{-9}$ A para $V_D = 50$ V. Como o dispositivo supressor é ligado em paralelo com os equipamentos que se deseja proteger, esta especificação garante uma resistência mínima para o dispositivo, de forma que ele não afete a operação dos equipamentos em condições normais de operação.

- $200 \text{ V} < V_{BO} < 300 \text{ V}$. Este é o principal parâmetro de proteção do dispositivo supressor de surto de tensão, pois ele determina o chaveamento do dispositivo para o estado de baixa impedância na ocorrência de um surto de tensão.
- $I_{BO} < 10 \text{ mA}$. Impomos esta condição para que a densidade de potência dissipada pelo dispositivo supressor de surto de tensão seja menor que 7500 W/cm^2 durante a ocorrência do disparo.
- $I_H > 10 \text{ mA}$. Esta exigência é importante porque ela garante que o sistema volte a operar em condições normais após a ocorrência de um disparo.
- $V_T < 2 \text{ V}$ para $J = 100 \text{ A/cm}^2$. A tensão de condução deve ser a menor possível para que o dispositivo não seja danificado, uma vez que na região de condução a corrente pelo dispositivo pode atingir centenas ou até milhares de amperes.

3.2 Simulações

A figura 3.1 mostra o dispositivo supressor de surto de tensão obtido através do módulo DEVEDIT.

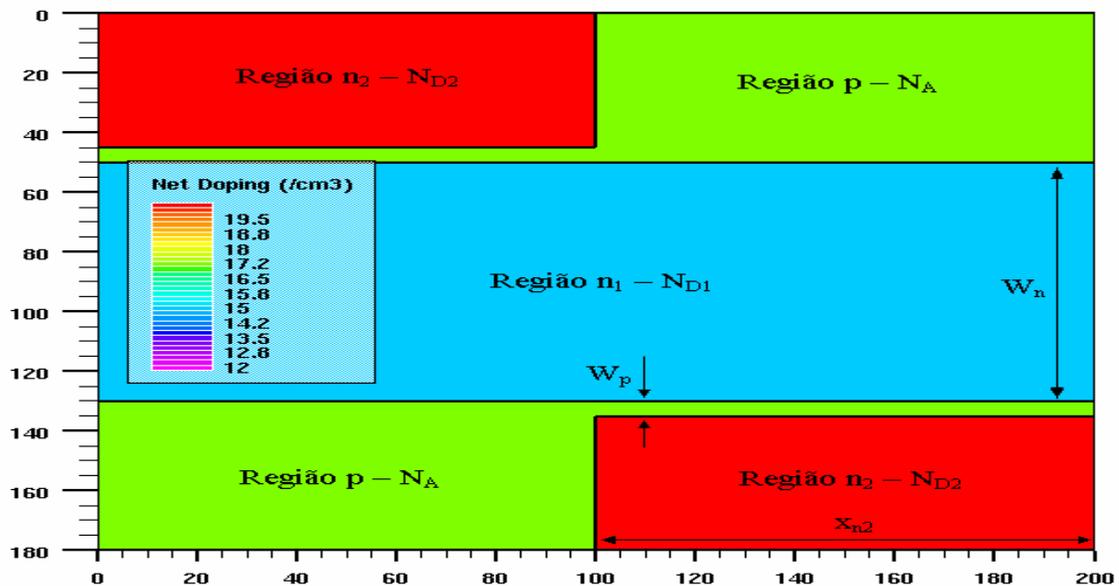


Figura 3.1 – Dispositivo supressor simulado.

Partimos de um substrato de silício tipo n de espessura de 180 μm dopado com átomos de fósforo a uma concentração $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$. Em seguida, criamos uma região tipo p nas duas superfícies do substrato, com dopagem $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ de boro e profundidade $X_{jp} = 50 \mu\text{m}$. Esta estrutura compõe um transistor p-n₁-p, onde n₁ é a região de base com largura $W_n = 80 \mu\text{m}$ formada pelo substrato. Criamos, então, as regiões denominadas n₂, também dopadas com fósforo, a uma concentração $N_{D2} = 10^{20} \text{ cm}^{-3}$ e profundidade $X_{jn} = 45 \mu\text{m}$. Com isso, compomos o dispositivo supressor mostrado na figura 3.1, resultando num transistor formado pelas regiões n₂-p-n₁ com largura de base de $W_p = 5 \mu\text{m}$. As dopagens e dimensões propostas foram determinadas de acordo com o estudo da literatura [1, 5] e através de simulações preliminares, das quais observamos um comportamento satisfatório para o dispositivo. Na prática, o dispositivo real teria uma área em torno de 2 mm x 2 mm [13]. No entanto, para realizarmos simulações com o objetivo de estudarmos o comportamento do dispositivo em função de dopagens e profundidade das junções não é necessário utilizar estas dimensões e, portanto, utilizamos uma área de 200 μm x 200 μm , o que nos permite definir uma grade de simulação adequada e reduzir tempo de simulação.

Utilizando a estrutura da figura 3.1 como entrada para o simulador elétrico ATLAS, obtivemos a curva I x V característica mostrada na figura 3.2.

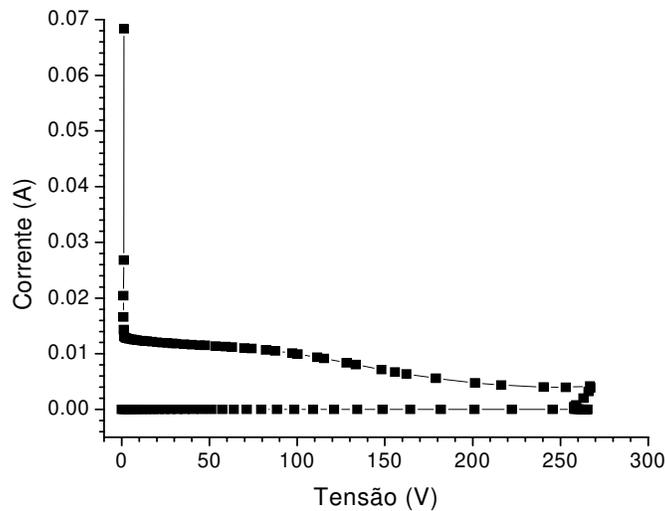


Figura 3.2 – Curva I x V do dispositivo supressor.

Observamos que a curva resultante da simulação é muito semelhante àquela apresentada no capítulo 2 (vide Figura 2.2) e nela também podemos identificar as diversas regiões de operação do dispositivo supressor de surto de tensão. Abaixo mostramos a região de ruptura e de estado ligado da figura anterior em detalhe.

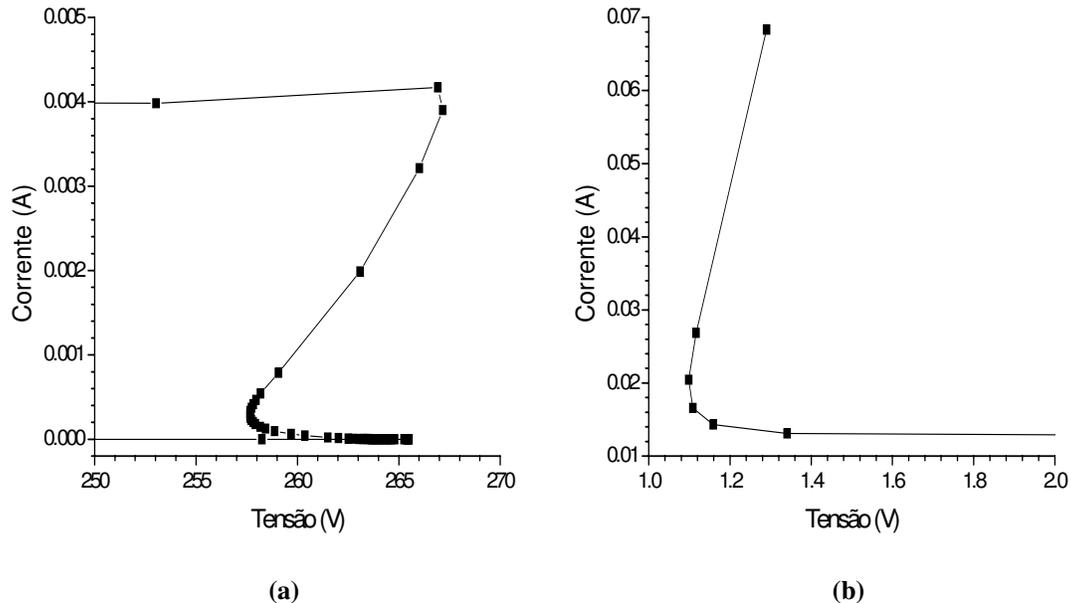


Figura 3.3 – (a) Detalhe da região de ruptura. (b) Região de estado ligado.

Das curvas apresentadas, extraímos os parâmetros do dispositivo supressor mostrados na tabela abaixo.

Tabela 3.1 – Parâmetros do dispositivo supressor extraídos de sua curva característica (Área = 200 μ m x 200 μ m).

I_D	1,23 x 10 ⁻¹⁰ A, obtido para $V_D = 50$ V
V_{DRM}	266 V
V_{BR}	260 V, para $I_{BR} = 1$ mA
V_{BO}	267 V
I_{BO}	3,9 mA
I_H	13,1 mA
V_T	1,2 V, para uma densidade de corrente de 100 A/cm ²

Os resultados indicam que o dispositivo opera na região de estado desligado até uma tensão de 266 V. A partir deste ponto há um grande aumento da corrente e o

supressor opera na região de ruptura. O dispositivo apresentou uma tensão de ruptura de 260 V para uma corrente de 1 mA e tensão de *breakover* de 267 V, para portadores com tempo de vida de 5 μ s. Aumentando o tempo de vida para 100 μ s, a tensão de *breakover* foi reduzida para 237 V, o que mostra a importância deste parâmetro no comportamento do dispositivo supressor. O término da região de ruptura e início da região de resistência negativa ocorre quando uma corrente de 4,2 mA dá início ao processo de chaveamento que leva o dispositivo ao modo de condução. A corrente de manutenção medida é de 13,1 mA. A tensão de estado ligado de 1,2 V, obtida para uma densidade de corrente de 100 A/cm², é da mesma ordem dos valores encontrados em dispositivos comerciais.

Vimos anteriormente que o dispositivo permanece em estado desligado enquanto a corrente que o atravessa é baixa e sua tensão não atinge 266 V. Durante este modo de operação verificamos que a maior parte da corrente percorre o caminho composto pelas regiões p-n₁-p do supressor, ou seja, a corrente circula através do transistor pnp da estrutura do dispositivo supressor, como fica evidente pela figura abaixo, obtida para a polarização de 265 V. A figura também mostra o fluxo lateral de corrente pela região p inferior, o qual dá origem a uma queda de tensão lateral que determina a polarização direta da junção p-n₂.

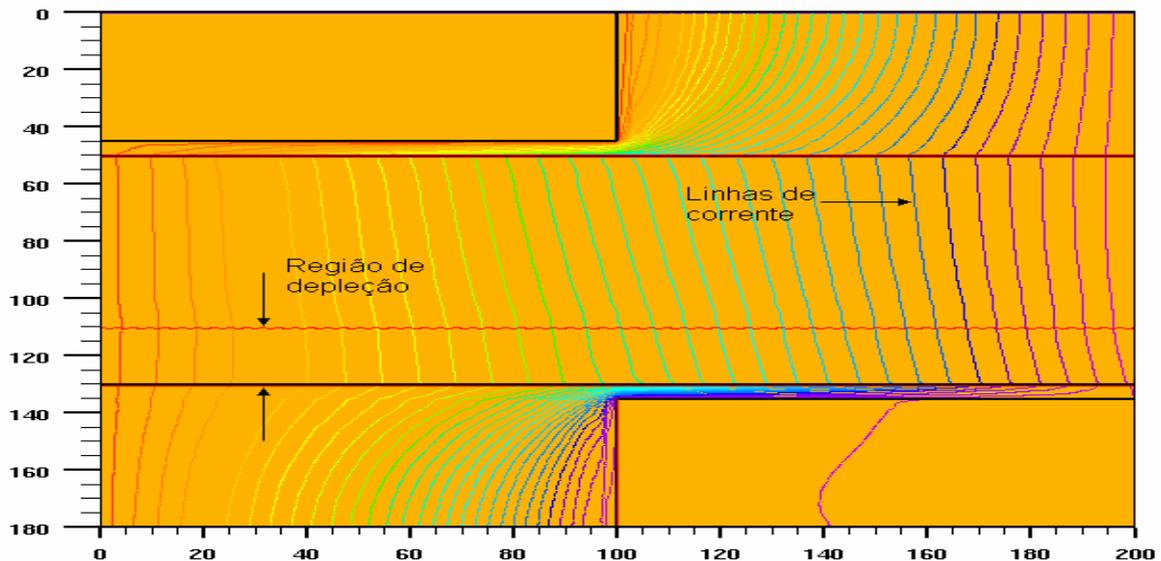


Figura 3.4 – Linhas de corrente no dispositivo supressor no modo de bloqueio (tensão de 265 V).

A partir deste ponto, a corrente aumenta rapidamente e notamos que existe um deslocamento das linhas de fluxo de corrente para a direita, como mostrado na figura 3.5.

Este deslocamento da corrente indica que há um aumento na injeção de elétrons a partir do emissor do transistor n_2 - p - n_1 . Isto ocorre porque a corrente lateral que atravessa a base p faz com que a junção p - n_2 fique mais diretamente polarizada próximo à borda direita do dispositivo, aumentando a injeção de elétrons nesta região.

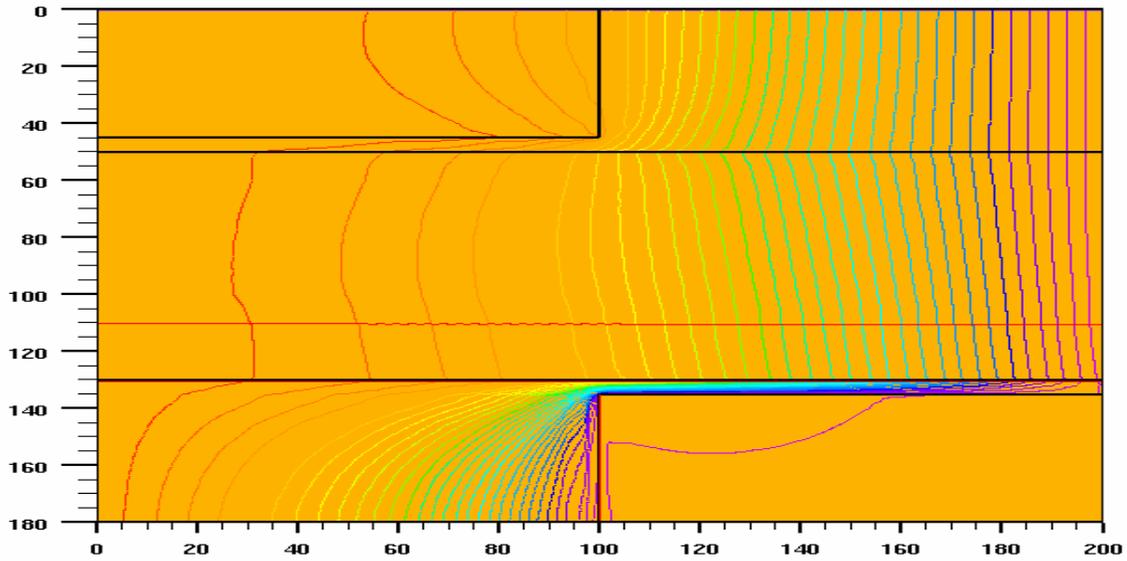


Figura 3.5 – Linhas de corrente na região de ruptura (corrente de 4mA).

A concentração de corrente na borda do dispositivo contribui para que a geração de portadores pelo processo de ionização por impacto seja máxima nessa região, fazendo com que o início da ruptura e chaveamento do supressor ocorra na periferia do dispositivo.

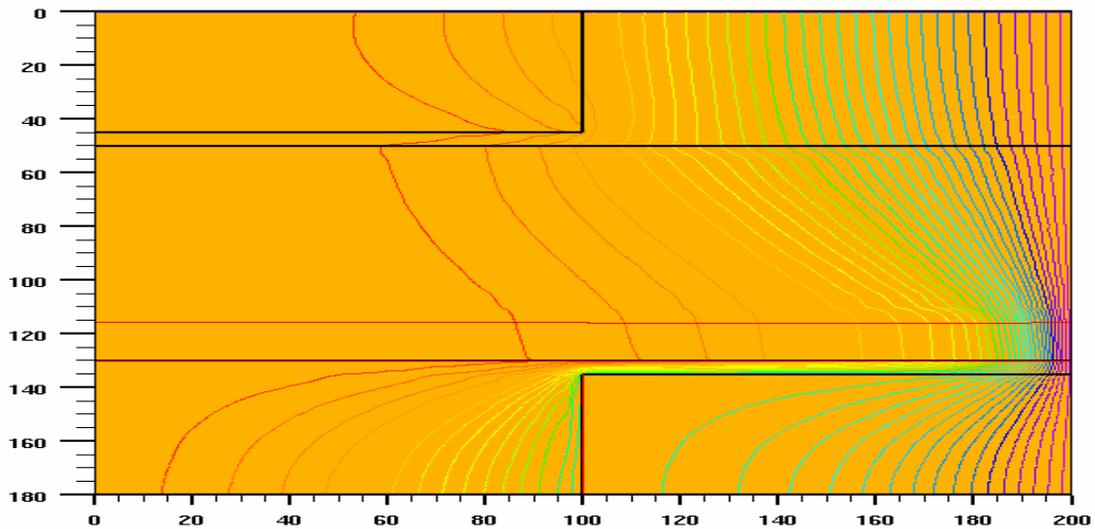


Figura 3.6 – Linhas de corrente para o dispositivo operando na região de resistência negativa.

Com o início do chaveamento o dispositivo entra na região de resistência negativa, onde observamos que a região de depleção da junção n_1 - p é continuamente reduzida, como mostra a figura 3.6, até que a junção fique diretamente polarizada e o dispositivo opere no modo de condução com o transistor n_2 - p - n_1 operando em saturação. Neste modo, o caminho de corrente se dá através das camadas p - n_1 - p - n_2 que compõe o tiristor.

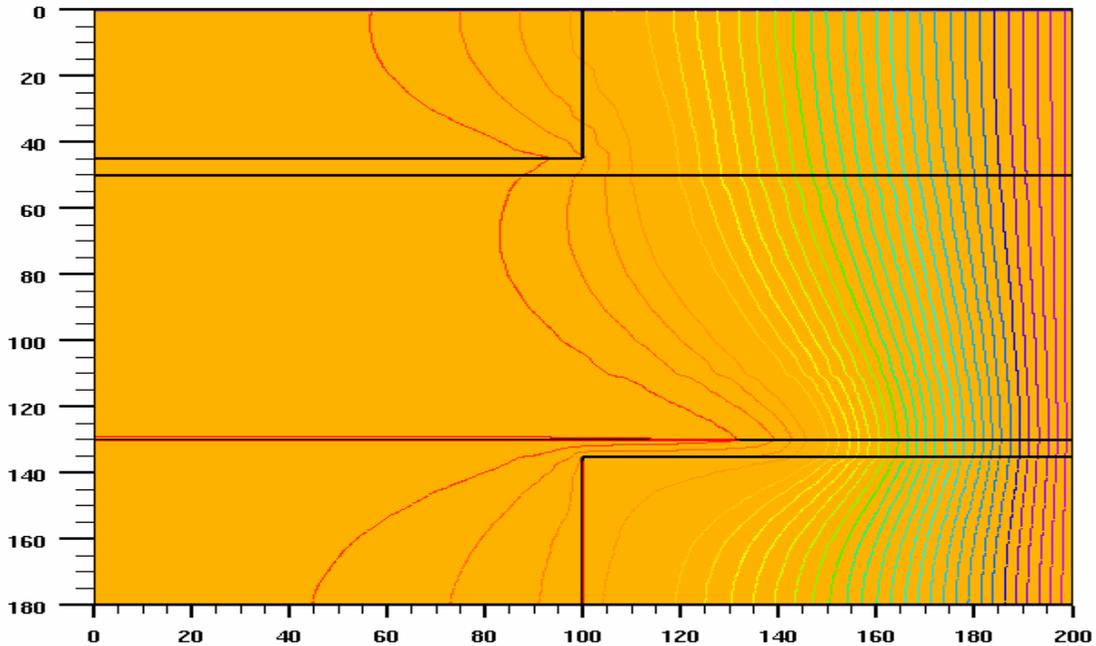


Figura 3.7 – Linhas de corrente no modo de condução direta (100 A/cm^2).

O estudo das figuras acima permite verificarmos que enquanto o supressor não entra na região de resistência negativa o caminho de corrente se dá através das camadas p - n_1 - p e do resistor R_p do modelo elétrico em direção ao contato inferior, ou seja, não existe uma corrente significativa através do transistor n_2 - p - n_1 . Como o ganho α é proporcional ao valor da corrente, o ganho deste transistor é baixo. Isto faz com que a operação do dispositivo nas regiões de bloqueio e ruptura seja pouco influenciada pelo ganho da estrutura n_2 - p - n_1 , como será mostrado nos próximos itens.

A seguir iniciamos o estudo do comportamento do dispositivo supressor de surto de tensão em função da alteração dos parâmetros físicos de sua estrutura.

3.2.1 Estudo do dispositivo supressor em função da variação de N_{D1}

Neste item realizamos a simulação da mesma estrutura apresentada na figura 3.1, porém para diferentes concentrações de dopantes na região n_1 , usando $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D2} = 10^{20} \text{ cm}^{-3}$, $W_p = 5 \text{ }\mu\text{m}$ e $W_n = 80 \text{ }\mu\text{m}$ fixos.

Esta dopagem é fundamental na determinação da tensão de ruptura (V_B) da junção n_1 -p (vide eq. A.1) e, ao mesmo tempo, ela tem uma pequena influência sobre o ganho α_p do transistor p- n_1 -p. Dessa forma, o valor de N_{D1} é um parâmetro muito importante no projeto da tensão de *breakover* do dispositivo supressor de surto de tensão.

Os resultados das simulações estão apresentados abaixo.

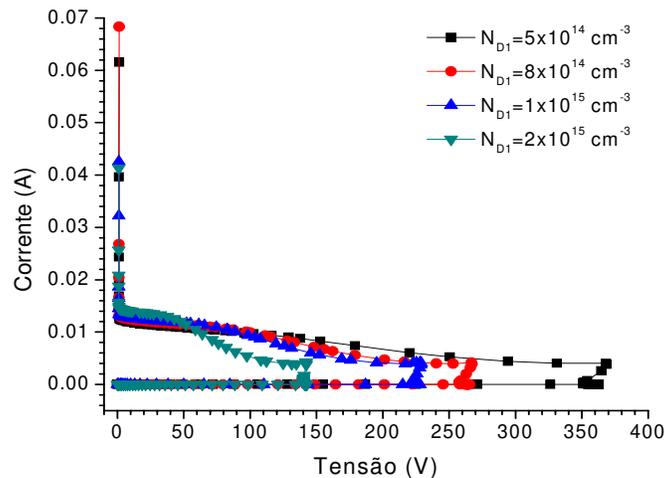


Figura 3.8 – Curva I x V em escala logarítmica do dispositivo supressor em função de N_{D1} .

Tabela 3.2 – Parâmetros x N_{D1} .

$N_{D1} (\text{cm}^{-3})$	$I_D (10^{-10} \text{ A})$	$V_{DRM} (\text{V})$	$V_{BR} (\text{V})$	$V_{BO} (\text{V})$	$I_{BO} (\text{mA})$	$I_H (\text{mA})$	$V_T (\text{V})$
5×10^{14}	1,56	363	356	369	3,8	12,5	1,2
8×10^{14}	1,23	266	260	267	3,9	13,1	1,2
1×10^{15}	0,90	228	223	229	4,1	13,4	1,2
2×10^{15}	0,80	143	140	143	4,2	14,8	1,2

As simulações mostram que quanto menor a dopagem da região n_1 , maior é a tensão necessária para disparar o dispositivo supressor. Isto ocorre porque a diminuição da dopagem aumenta a largura da região de depleção da junção n_1 -p e faz com que o campo

elétrico seja reduzido e, portanto, torna-se necessária uma tensão maior para iniciar o processo de avalanche que leva o dispositivo à ruptura. Abaixo mostramos o gráfico do campo elétrico através da região de depleção ($x = 0$ e $90 \mu\text{m} \leq y \leq 135\mu\text{m}$) para os dispositivos com dopagens $5 \times 10^{14} \text{ cm}^{-3}$ e $8 \times 10^{14} \text{ cm}^{-3}$ e também a distribuição bidimensional da taxa de geração de portadores devido ao processo de ionização por impacto [9].

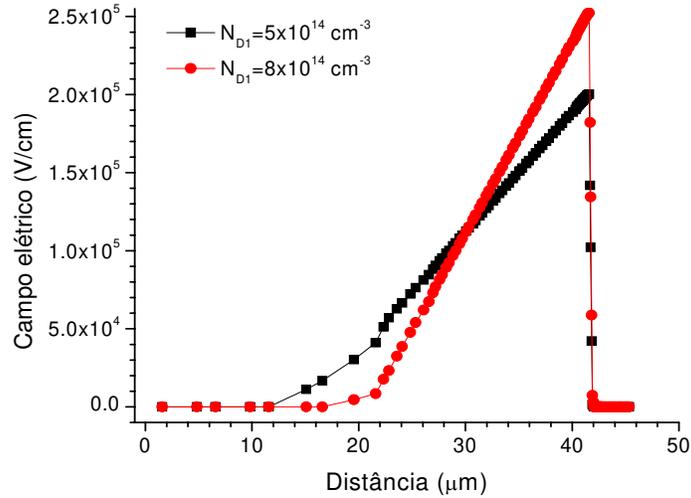


Figura 3.9 – Curvas de campo elétrico na região de depleção para $N_{D1} = 5 \times 10^{14} \text{ cm}^{-3}$ e $8 \times 10^{14} \text{ cm}^{-3}$ para uma tensão de 265 V.

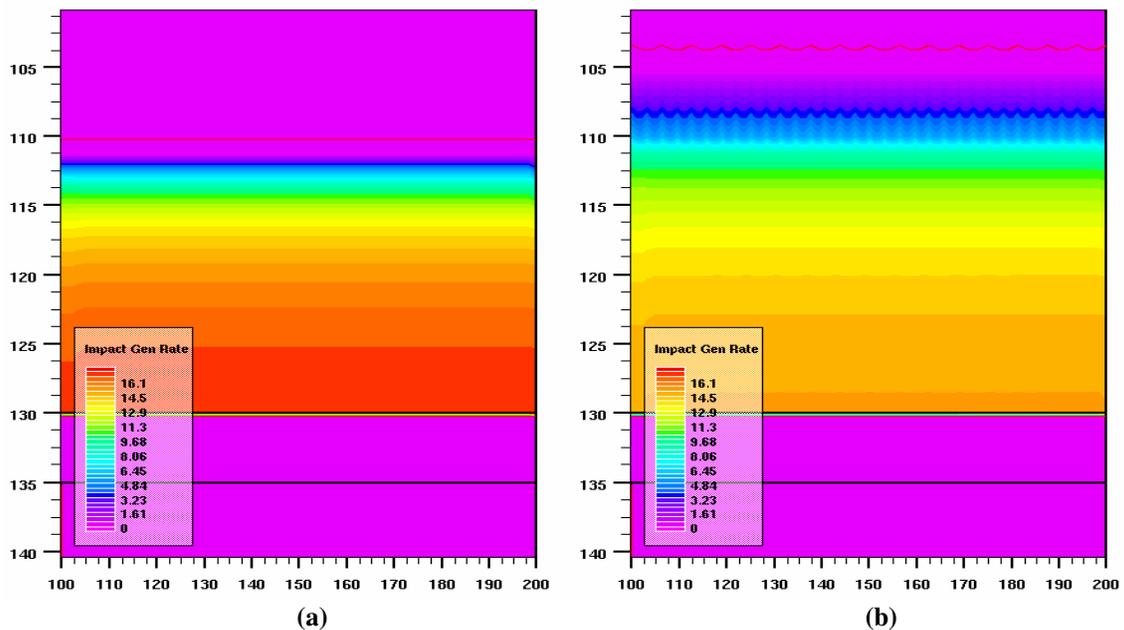


Figura 3.10 – Geração de portadores pelo processo de ionização por impacto (polarização de 265 V). (a) $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$. (b) $N_{D1} = 5 \times 10^{14} \text{ cm}^{-3}$.

Devido ao menor campo elétrico, como mostrado na figura 3.9, a taxa de geração de portadores pelo processo de ionização por impacto é menor para o dispositivo com dopagem de $5 \times 10^{14} \text{ cm}^{-3}$.

Na figura 3.11 estão mostrados os valores da tensão de *breakover* da tabela 3.2 e o valor teórico da tensão de ruptura da junção n_1 - p , dada pela eq. (A.1), em função da dopagem N_{D1} .

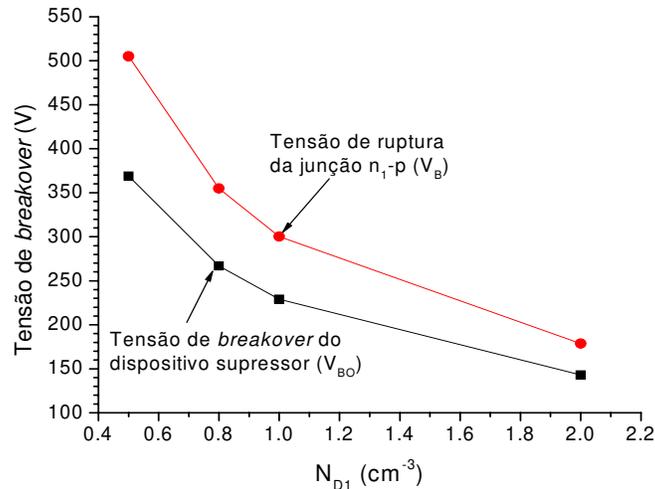


Figura 3.11 – Tensão de *breakover* e ruptura em função da dopagem N_{D1} .

A figura 3.11 mostra que a tensão de *breakover* do dispositivo supressor tem o mesmo comportamento que a tensão de ruptura teórica da junção n_1 - p . A diferença entre as curvas é devido ao efeito de realimentação dos transistores correspondente ao termo $(1 - \alpha_p - \alpha_n)^{1/m}$ na eq. (2.1).

Os resultados acima obtidos indicam que devemos ter um substrato com dopagem $8 \times 10^{14} \text{ cm}^{-3} \leq N_{D1} \leq 1 \times 10^{15} \text{ cm}^{-3}$ de forma a obtermos uma tensão de *breakover* na faixa $200 \text{ V} < V_{BO} < 300 \text{ V}$. As simulações também mostraram que os demais parâmetros de operação do dispositivo supressor não são influenciados significativamente pela dopagem de n_1 .

3.2.2 Estudo da variação de N_A

Neste item realizamos as simulações variando a dopagem das camadas p na faixa $5 \times 10^{16} \text{ cm}^{-3} \leq N_A \leq 1 \times 10^{18} \text{ cm}^{-3}$ utilizando $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$ e $N_{D2} = 10^{20} \text{ cm}^{-3}$ fixos e também mantendo as mesmas dimensões utilizadas nas simulações anteriores. Os resultados são mostrados a seguir.

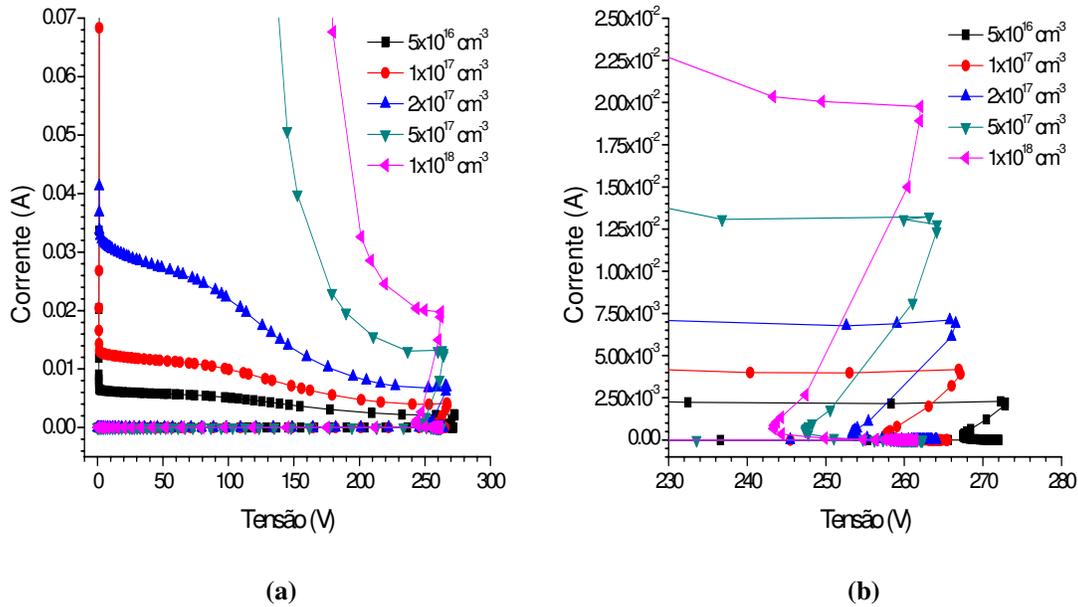


Figura 3.12 – (a) Curva I x V. (b) Região de ruptura.

Podemos observar que a variação da dopagem das regiões tipo p provoca uma mudança muito grande no desempenho do dispositivo supressor, principalmente nos parâmetros relacionados ao modo de condução direta, como fica evidente pela figura 3.12(a). A figura 3.12(b) mostra a região de ruptura para as diversas dopagens.

Os parâmetros obtidos a partir da figura acima estão listados na tabela abaixo.

Tabela 3.3 – Parâmetros em função da variação de N_A .

$N_A \text{ (cm}^{-3}\text{)}$	$I_D \text{ (} 10^{-10} \text{ A)}$	$V_{DRM} \text{ (V)}$	$V_{BR} \text{ (V)}$	$V_{BO} \text{ (V)}$	$I_{BO} \text{ (mA)}$	$I_H \text{ (mA)}$	$V_T \text{ (V)}$
5×10^{16}	1,10	272	270	273	2,2	7,0	1,1
1×10^{17}	1,23	266	260	267	3,9	13,1	1,2
2×10^{17}	1,30	264	255	267	6,9	34,0	1,3
5×10^{17}	1,35	262	248	264	12,8	-	152
1×10^{18}	1,35	261	244	262	19,8	-	197

O aumento da dopagem da base p implica numa redução do ganho do transistor n_2 -p- n_1 do circuito elétrico equivalente, o que em teoria provocaria um aumento da tensão necessária para disparar o supressor, ao contrário do que mostra a tabela acima. A diminuição da tensão de *breakover* ocorreu porque o efeito da dopagem sobre a tensão de ruptura V_B da junção n_1 -p prevaleceu sobre o efeito da redução do ganho do transistor. Isto acontece porque a corrente que atravessa o transistor n_2 -p- n_1 é muito pequena enquanto o supressor não é chaveado, fazendo com que o seu ganho seja muito menor que o do transistor p- n_1 -p, podendo ser desprezado na eq. 2.1. Tal comportamento pode ser observado pela distribuição das linhas de corrente da figura 3.5, que mostra que ao atingir a camada p inferior a corrente flui lateralmente em direção ao contato e não através da junção base-emissor do transistor n_2 -p- n_1 .

Já a corrente no ponto de *breakover* apresentou um grande aumento com a variação da dopagem. Além da diminuição do ganho, o aumento de N_A diminui a queda de potencial lateral na base p, o que exige uma corrente mais elevada para aumentar a injeção de elétrons a partir de n_2 e estabelecer a realimentação suficiente para disparar o supressor.

A corrente de manutenção também apresentou grande dependência com o valor de N_A . Sabe-se que ela depende do ganho dos transistores equivalentes que formam a estrutura p- n_1 -p- n_2 do supressor [12]. Como a dopagem da camada p tem grande influência sobre o ganho do transistor n_2 -p- n_1 , podemos concluir que a grande variação apresentada pela corrente de manutenção é causada pela alteração do ganho α_n deste transistor. Pela tabela 3.3 vemos que não definimos uma corrente de manutenção para os dispositivos com dopagens $5 \times 10^{17} \text{ cm}^{-3}$ e $1 \times 10^{18} \text{ cm}^{-3}$, pois não podemos observar a ocorrência do chaveamento para baixas tensões nestes dispositivos, como mostra a figura 3.12(a) e será visto mais adiante.

Da mesma forma, os valores de V_T obtidos para os dispositivos com as maiores dopagens são extremamente elevados, e sua variação com a dopagem é mostrada na figura abaixo.

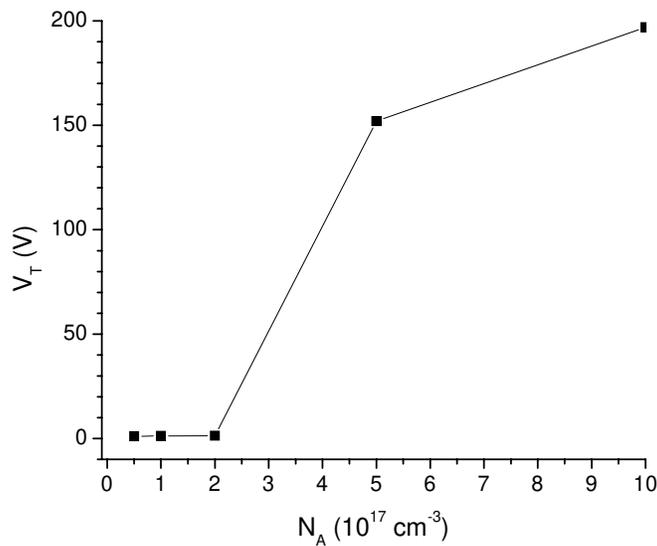


Figura 3.13 – V_T em função de N_A .

Uma característica fundamental do dispositivo supressor de surto de tensão é possuir a menor queda de tensão possível depois de disparado. Como os resultados mostram, temos esse comportamento enquanto N_A não ultrapassa $2 \times 10^{17} \text{ cm}^{-3}$. A grande tensão observada para maiores dopagens ocorre porque nestes casos o dispositivo supressor não é disparado e levado ao estado ligado por completo, isto é, apenas o caminho que compõe a estrutura de tiristor é disparado, como mostra a figura abaixo.

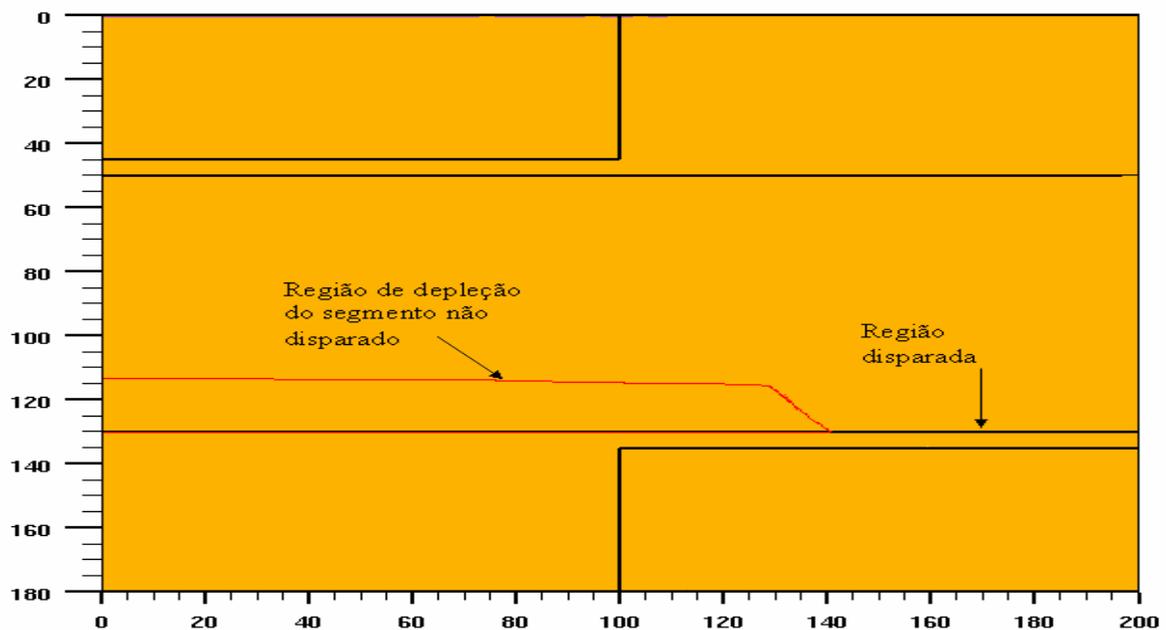


Figura 3.14 – Disparo parcial do supressor com $N_A = 10^{18} \text{ cm}^{-3}$ e $J = 1000 \text{ A/cm}^2$.

Este comportamento é consequência da diminuição do ganho do transistor n_2 - p - n_1 e também da injeção de portadores do emissor n_2 em direção à região n_1 , como pode ser verificado pelas figuras abaixo, que mostram a distribuição de elétrons para as dopagens 10^{17} e 10^{18} cm^{-3} .

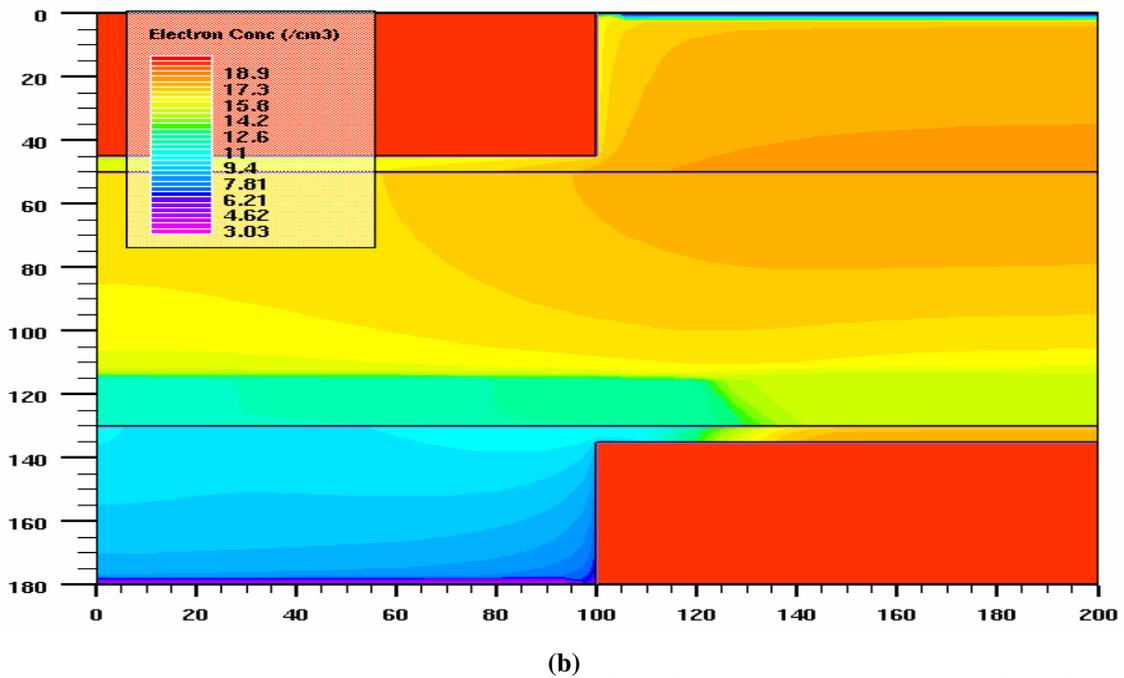
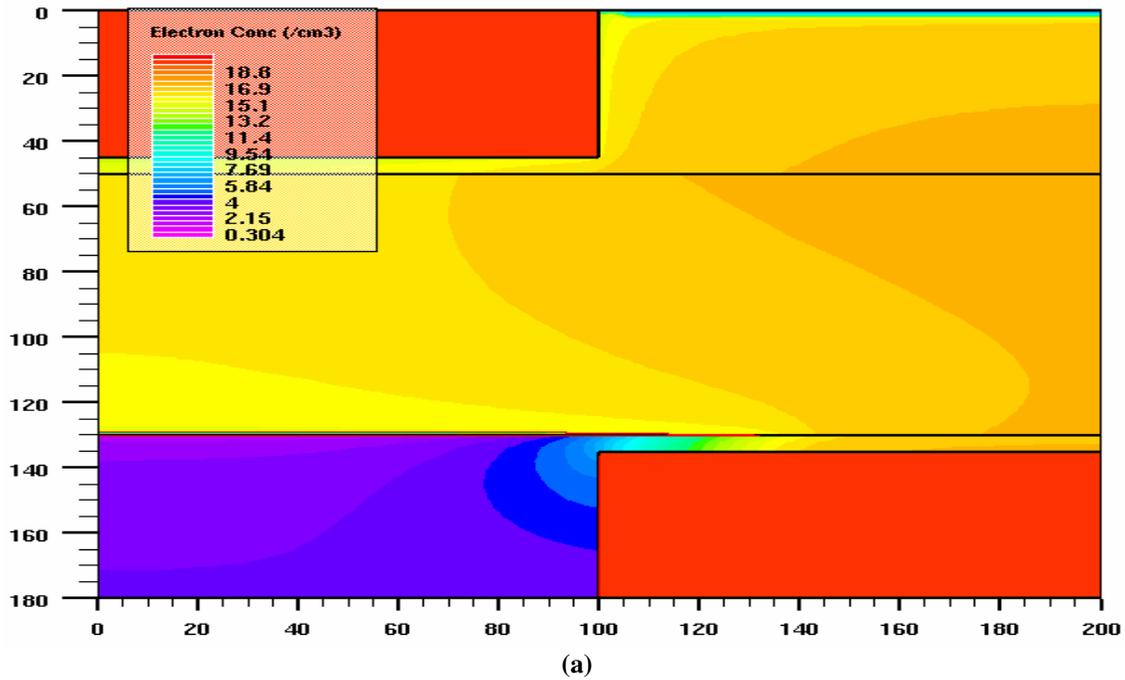


Figura 3.15 – Distribuição de elétrons. (a) $N_A = 10^{17}$ cm^{-3} ($J = 100$ A/cm^2). (b) $N_A = 10^{18}$ cm^{-3} .

De acordo com a teoria, operando na região de condução, a injeção de portadores nas regiões de base do tiristor faz com que ele se comporte como um diodo p-i-n, apresentando a queda de tensão dada pela eq. (2.3). Desta equação vemos que para obtermos baixas tensões de condução devemos ter portadores com tempo de vida elevado. Porém para dopagens acima de 10^{17} cm^{-3} o processo Auger começa influenciar de forma significativa a recombinação na junção base-emissor formada pelas regiões p-n₂, reduzindo tempo de vida dos portadores [11, 12]. Este efeito torna-se cada vez mais importante à medida que aumentamos a dopagem da camada p, pois a região n₂ já é altamente dopada. Além disso, as simulações mostraram que à medida que aumentamos a dopagem torna-se necessária uma corrente maior para o disparo do supressor. Isso, por sua vez, pode levar o dispositivo à condição de alta injeção, o que também resulta na diminuição do tempo de vida dos portadores, contribuindo para o aumento da tensão de condução.

Do estudo acima, concluímos que a utilização de $5 \times 10^{16} \leq N_A \leq 2 \times 10^{17} \text{ cm}^{-3}$ nas camadas p permite manter a tensão de *breakover* dentro da faixa desejada e também a operação no modo de condução com uma queda de tensão comparável àquelas que dispositivos comerciais apresentam.

3.2.3 Estudo da variação de N_{D2}

Para avaliarmos a influência da concentração de dopantes N_{D2} no comportamento do dispositivo supressor, realizamos simulações com dopagem na região de emissor na faixa de $1 \times 10^{19} \text{ cm}^{-3}$ a $1 \times 10^{21} \text{ cm}^{-3}$, com $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$, $N_A = 1 \times 10^{17} \text{ cm}^{-3}$ e as mesmas dimensões utilizadas anteriormente.

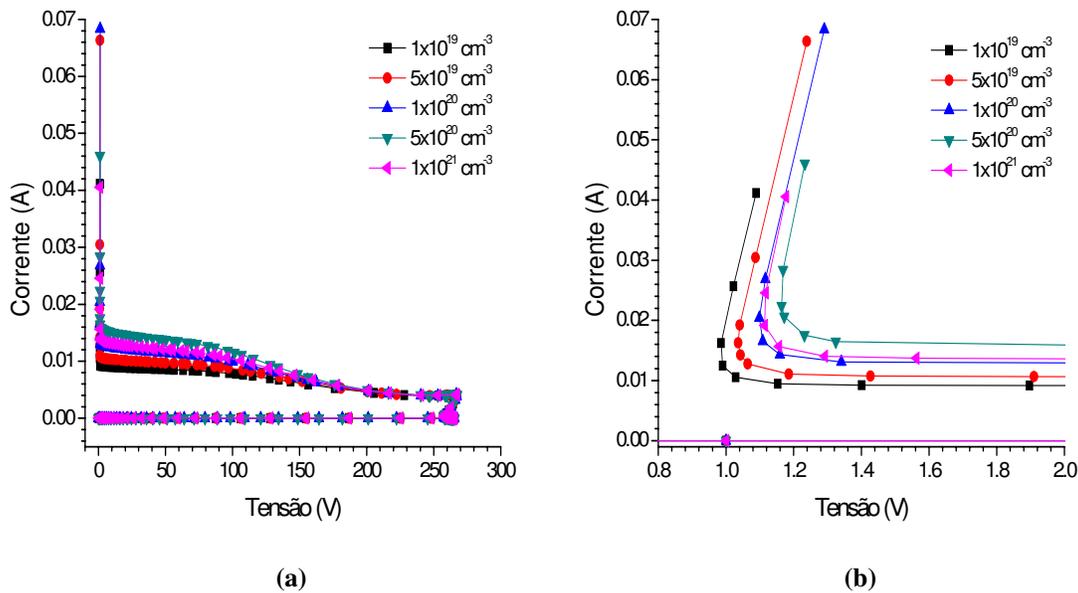


Figura 3.16 – (a) Curva I x V em função de N_{D2} . (b) Detalhe da região de condução.

As simulações mostram que N_{D2} não tem influência alguma sobre o supressor até que ele seja chaveado para a condução direta, isto é, os parâmetros de operação na região de bloqueio e de ruptura não se modificam com a variação da dopagem dos emissores. Em todos os casos simulados obtivemos $V_{DRM} = 266 \text{ V}$, $V_{BR} = 260 \text{ V}$, $V_{BO} = 267 \text{ V}$ e $I_{BO} = 3,9 \text{ mA}$. Tal comportamento é observado porque a mudança em N_{D2} tem como principal efeito a alteração da eficiência de injeção de elétrons da região de emissor n_2 e, conseqüentemente, do ganho do transistor n_2 -p- n_1 , que não afeta o funcionamento do dispositivo supressor enquanto este não é chaveado para o modo de condução, como já foi explicado no item 3.1.2.

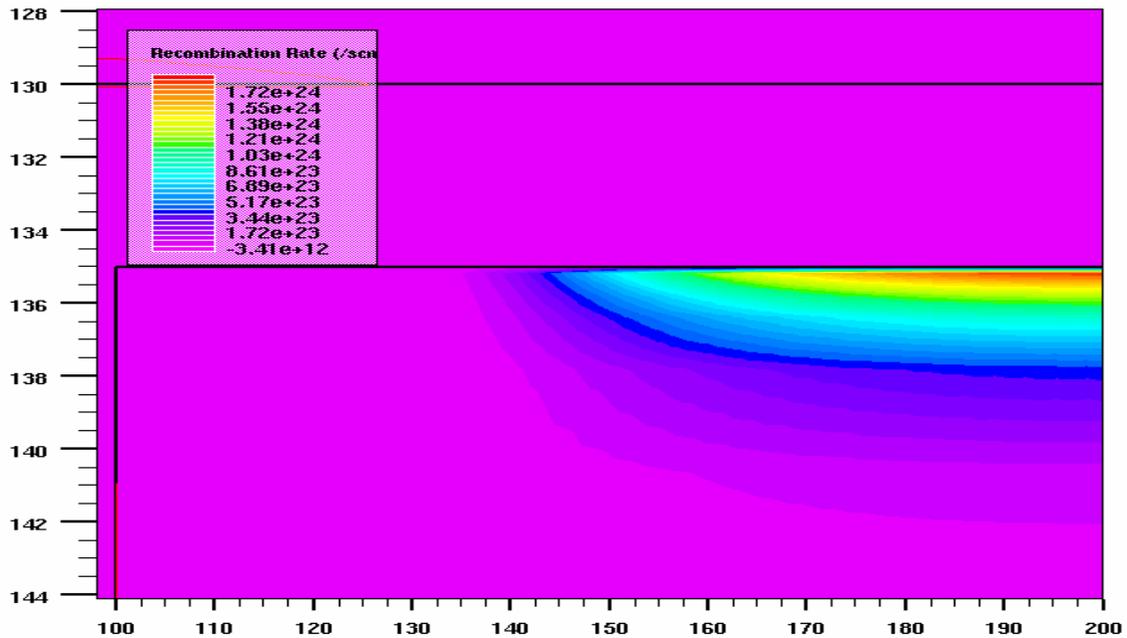
Teoricamente, o aumento da dopagem da região de emissor aumenta a eficiência de injeção do transistor n_2 -p- n_1 [11], o que resultaria em uma corrente de manutenção e queda de potencial menor para o dispositivo. Porém, a figura 3.16(b) mostra um comportamento diferente, isto é, o aumento da dopagem provocou o aumento destes parâmetros. Isso ocorre porque fazendo o emissor mais dopado os efeitos decorrentes da alta concentração de impurezas começam a aparecer e deteriorar o desempenho do dispositivo. Já foi mencionado anteriormente que para uma dopagem acima de 10^{17} cm^{-3} o efeito de recombinação por processo Auger começa a ser importante e somado a ele há o efeito do estreitamento da banda proibida (*bandgap narrowing*). Ambos os efeitos

causam a diminuição do ganho do transistor n_2 -p- n_1 , o que explicaria o aumento da corrente de manutenção e tensão sobre o dispositivo. A tabela abaixo apresenta estes dois parâmetros em função da dopagem.

Tabela 3.4 – Parâmetros em função da variação de N_{D2} .

N_{D2} (cm^{-3})	I_H (mA)	V_T (V)
1×10^{19}	9,2	1,08
5×10^{19}	10,7	1,13
1×10^{20}	13,1	1,20
5×10^{20}	16,5	1,24
1×10^{21}	14,0	1,20

Na figura a seguir mostramos a taxa de recombinação de portadores para as dopagens 10^{19} e 10^{21} cm^{-3} para a densidade de corrente de 100 A/cm^2 .



(a)

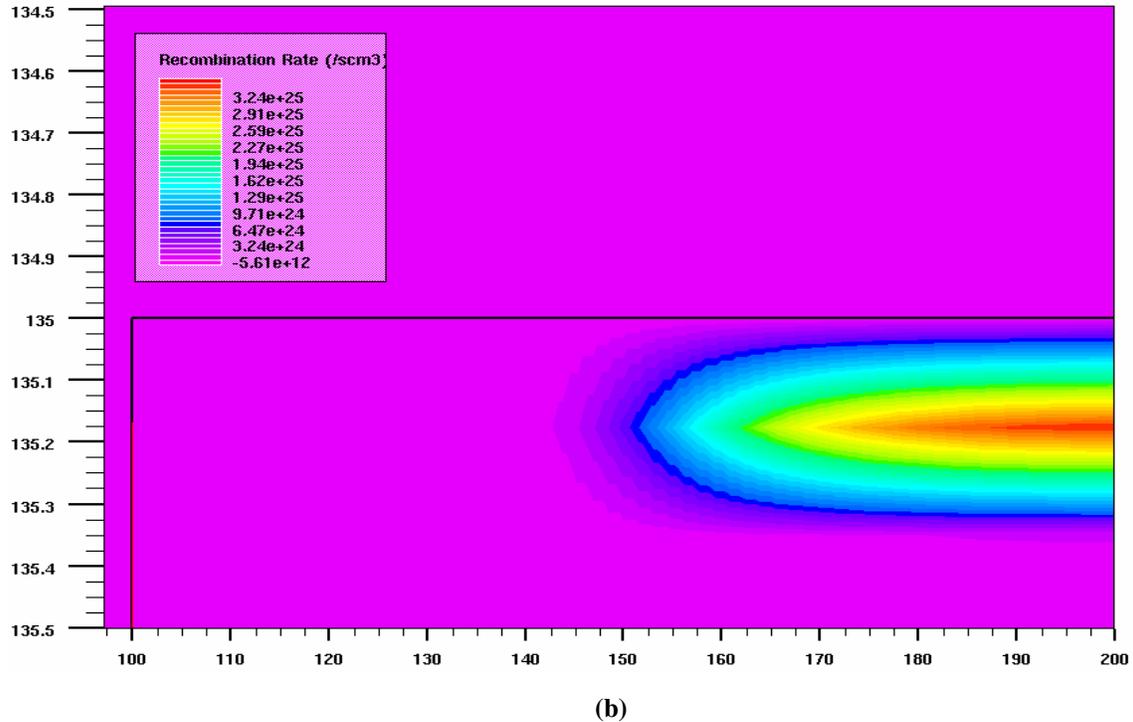


Figura 3.17 – Curvas bidimensionais da recombinação de portadores na região de emissor. (a) $N_{D2} = 10^{19} \text{ cm}^{-3}$. (b) $N_{D2} = 10^{21} \text{ cm}^{-3}$.

Uma análise cuidadosa das curvas acima permite observarmos que a taxa de recombinação de portadores é bem maior para a estrutura com maior dopagem, como esperado.

Os resultados obtidos neste item mostram que o dispositivo supressor se comporta muito bem para toda a faixa de dopagem testada, porém obtendo menores tensões na condução para $N_{D2} = 10^{19} \text{ cm}^{-3}$.

3.2.4 Redução de X_{jn} – variação da largura da base do transistor n_2 - p - n_1 (W_p)

Neste item estudamos o efeito da redução da profundidade da junção base-emissor p - n_2 , fazendo $30 \mu\text{m} \leq X_{jn} \leq 45 \mu\text{m}$ e mantendo constante a profundidade da camada p $X_{jp} = 50 \mu\text{m}$, o que garante $W_n = 80 \mu\text{m}$ e implica no aumento da largura da base do transistor n_2 - p - n_1 na faixa $5 \mu\text{m} \leq W_p \leq 20 \mu\text{m}$. Além disso, usamos $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$, $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D2} = 10^{20} \text{ cm}^{-3}$ fixos.

Da mesma forma que a dopagem, a largura da base do transistor n_2 -p- n_1 é um fator muito importante na determinação do seu ganho e, conseqüentemente, no funcionamento do dispositivo supressor de surto de tensão. Abaixo estão mostrados os resultados obtidos.

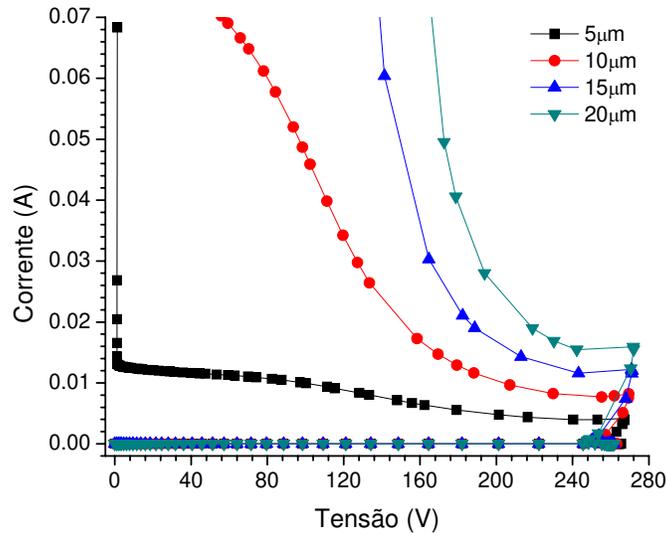


Figura 3.18 – Curva I x V para diferentes larguras da base p.

A figura 3.18 mostra que o aumento da largura da base p altera a operação do dispositivo supressor de uma forma semelhante à que foi observada quando variamos a dopagem N_A , discutido no item 3.1.2. Isto comprova que, de fato, a variação do ganho do transistor n_2 -p- n_1 é o fator responsável pela mudança no comportamento do dispositivo. Conforme aumentamos a largura da base, novamente apenas uma parcela da área do supressor é disparada, como mostra a figura 3.19. Observa-se também que a distribuição de elétrons é semelhante àquela mostrada na figura 3.15(b).

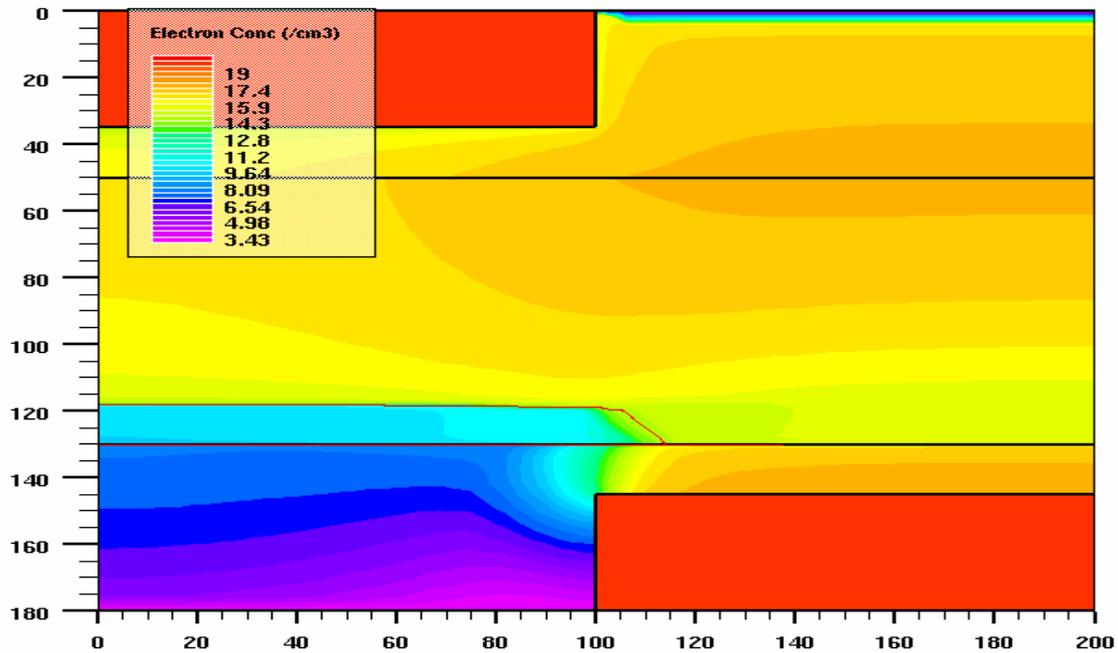


Figura 3.19 – Região de depleção e distribuição de elétrons para $W_p = 15 \mu\text{m}$ ($J = 1000 \text{ A/cm}^2$).

Na verdade, apenas para os dispositivos com largura de 15 e 20 μm observamos que não é possível disparar completamente o supressor. Para a largura de 10 μm , o dispositivo pode ser disparado em toda a sua área, porém conduzindo correntes bem mais elevadas no estado ligado se comparado ao dispositivo de 5 μm . Isto pode ser verificado pela corrente de manutenção mostrada na tabela abaixo.

Tabela 3.5 – Parâmetros para a variação da largura da base p.

W_p (μm)	I_D (10^{-10} A)	V_{DRM} (V)	V_{BR} (V)	V_{BO} (V)	I_{BO} (mA)	I_H (mA)	V_T (V)
5	1,23	266	260	267	3,9	13,1	1,2
10	1,22	263	255	269	8,22	103	2,7*
15	1,32	262	252	271	12,0	-	157
20	1,25	262	250	272	15,6	-	180

* V_T obtido para $J = 1000 \text{ A/cm}^2$.

De acordo com os resultados aqui apresentados, obtemos boas características de operação para o dispositivo supressor para larguras da base p menores de até 10 μm . No entanto, num dispositivo real a região da base p é determinada pela diferença entre a profundidade da junção n_1 -p e a profundidade da região de emissor p- n_2 . Isto significa

que não podemos obter bases muito estreitas, devido à dificuldade de controle da difusão de junções profundas. No capítulo 4 apresentamos o processo de fabricação do dispositivo supressor de surto de tensão, onde retomaremos esta discussão.

3.2.5 Variação da largura da base do transistor p-n₁-p (W_n)

Fixamos as dopagens $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$, $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D2} = 10^{20} \text{ cm}^{-3}$ usando uma largura da base $W_p = 5 \text{ }\mu\text{m}$ e variamos a largura da base n correspondente ao transistor p-n₁-p do circuito elétrico equivalente na faixa $80 \text{ }\mu\text{m} \leq W_n \leq 110 \text{ }\mu\text{m}$.

Verificamos no item 3.1.4. anteriormente que a variação da largura da base p tem grande influência sobre o disparo e a operação na região de condução do dispositivo supressor. Este comportamento já não é observado para a variação de W_n , sendo que os parâmetros da região de condução permanecem praticamente constantes ao passo que a tensão de *breakover* sofre a maior mudança, como mostram as curvas da figura 3.20 e a tabela 3.6.

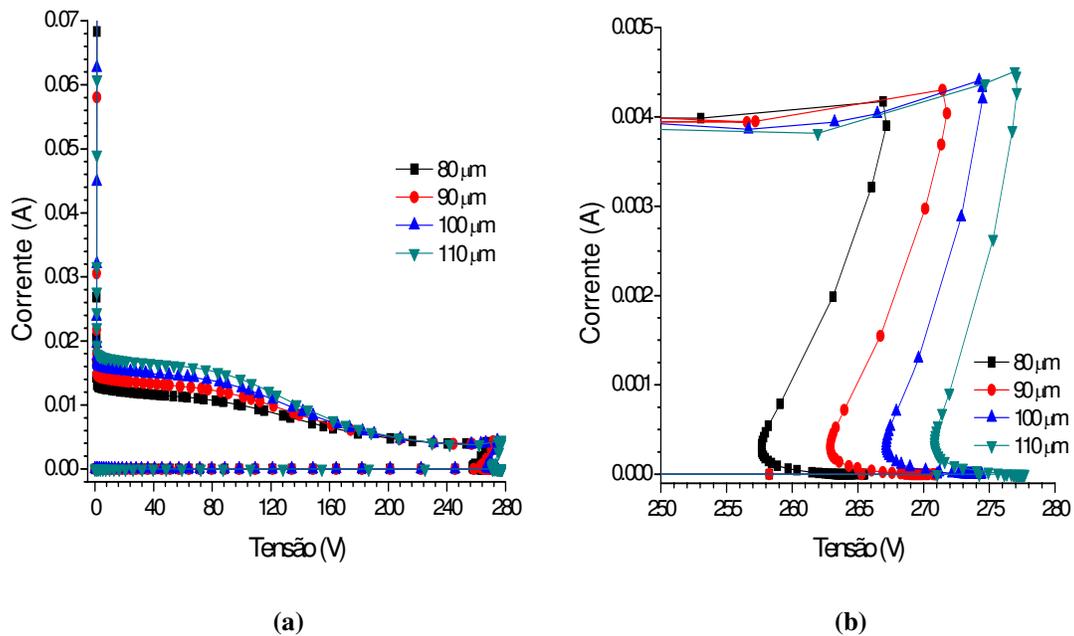


Figura 3.20 – (a) Curvas I x V para diferentes valores de W_n . (b) Detalhe da região de ruptura.

Tabela 3.6 – Parâmetros para a variação da largura da base tipo n.

W_n (μm)	I_D (10^{-10} A)	V_{DRM} (V)	V_{BR} (V)	V_{BO} (V)	I_{BO} (mA)	I_H (mA)	V_T (V)
80	1,23	266	260	267	3,9	13,1	1,20
90	1,10	271	265	272	4,0	15,0	1,20
100	1,10	274	269	274	4,2	16,5	1,25
110	1,10	278	272	277	4,3	18,0	1,30

O aumento da tensão de *breakover* ocorre devido à diminuição do ganho do transistor p-n₁-p com o aumento da largura de sua base. Isto está de acordo com os resultados apresentados no início da seção 3.2 onde mostramos que o fluxo de corrente se dá através deste transistor enquanto o dispositivo supressor não é disparado. Além disso, na região de estado ligado os parâmetros são muito pouco influenciados porque a largura da base n é muito grande quando comparada com a base p, o que implica numa variação muito pequena do ganho do transistor p-n₁-p frente àquele do transistor n₂-p-n₁.

Os resultados obtidos indicam que W_n não representa um parâmetro crítico para o dispositivo supressor de surto de tensão, sendo o valor de 100 μm uma escolha adequada para este parâmetro. No entanto, devido à alta resistividade da base n, não se deve aumentar muito W_n para evitar o aumento da resistência dessa região, o que resultaria numa maior dissipação de potência pelo dispositivo quando submetido a uma condição de surto.

3.2.6 Variação do comprimento das regiões n₂ – sobreposição de emissores

Na figura 3.1 o comprimento das regiões n₂ é de 100 μm e o término dessas regiões ocorre exatamente no mesmo ponto no centro do dispositivo. Ao variarmos o comprimento dessas regiões (x_{n2}) pode ocorrer tanto a sobreposição quanto o afastamento das bordas dos emissores, como mostra a figura 3.21.

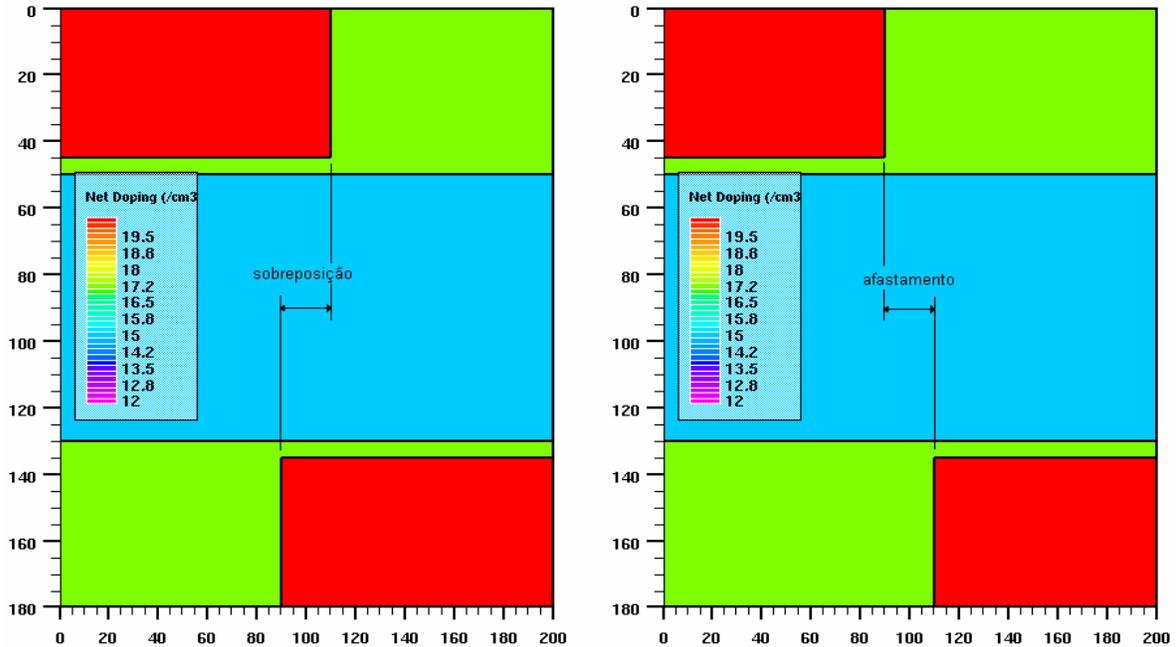


Figura 3.21 – Estruturas com sobreposição e afastamento das regiões n_2 .

Fixando $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$, $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D2} = 10^{20} \text{ cm}^{-3}$, $W_p = 5 \text{ }\mu\text{m}$ e $W_n = 80 \text{ }\mu\text{m}$, e variando x_{n2} de $80 \text{ }\mu\text{m}$ a $120 \text{ }\mu\text{m}$, o comportamento resultante para o dispositivo supressor está mostrado nas curvas da figura 3.22.

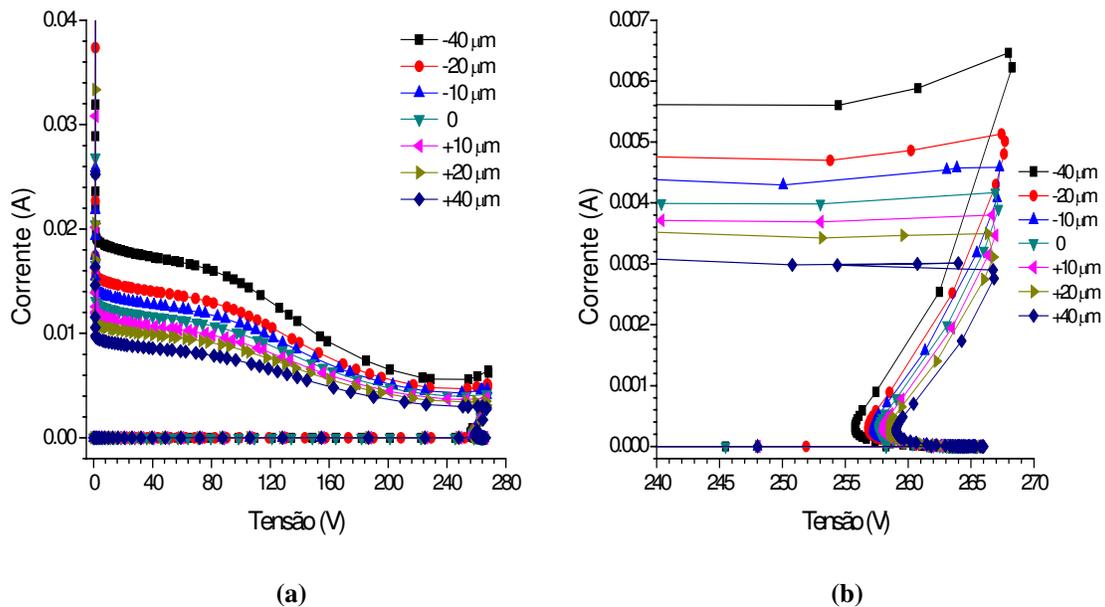


Figura 3.22 – (a) Curvas I x V para sobreposição e afastamento entre os emissores. (b) Detalhe da região de ruptura. Obs.: Na legenda, os valores positivos indicam o comprimento da sobreposição e os valores negativos indicam o afastamento dos emissores.

Observa-se que as principais mudanças ocorrem nos valores das correntes de *breakover* e manutenção, enquanto V_{DRM} , a tensão de ruptura (V_{BR}) e de *breakover* (V_{BO}) praticamente não se alteram, como mostra a tabela 3.7.

Tabela 3.7 – Parâmetros para diferentes valores de x_{n2} .

Sobreposição (μm)	V_{DRM} (V)	V_{BR} (V)	V_{BO} (V)	I_{BO} (mA)	I_H (mA)	V_T (V)
+40	266	259	267	2,8	9,6	1,16
+20	266	258	267	3,1	11,2	1,16
+10	266	258	267	3,5	12,1	1,17
0	266	260	267	3,9	13,1	1,17
-10	265	257	267	4,6	14,3	1,19
-20	265	257	268	5,0	15,7	1,21
-40	265	256	268	6,5	19,2	1,24

Obs.: Valores positivos indicam sobreposição e valores negativos afastamento (vide Figura 3.21).

Quando os emissores estão sobrepostos a corrente lateral percorre um caminho maior da base do transistor n_2 -p- n_1 em direção ao contato inferior. Isto aumenta a queda de potencial lateral na periferia da região de base e também a polarização direta da junção p- n_2 , fazendo com que mais elétrons sejam injetados pelo emissor e, portanto, diminuindo a corrente necessária para disparar o dispositivo supressor [12, 18].

A figura 3.23 mostra o potencial ao longo da região da camada p em $y = 133 \mu\text{m}$ para os casos sem sobreposição e com sobreposição de $40 \mu\text{m}$. Observamos que o potencial na borda do dispositivo ($x = 200 \mu\text{m}$) com sobreposição é em torno de 60 mV maior que aquele obtido para o caso sem sobreposição, o que está de acordo com o que foi explicado no parágrafo acima.

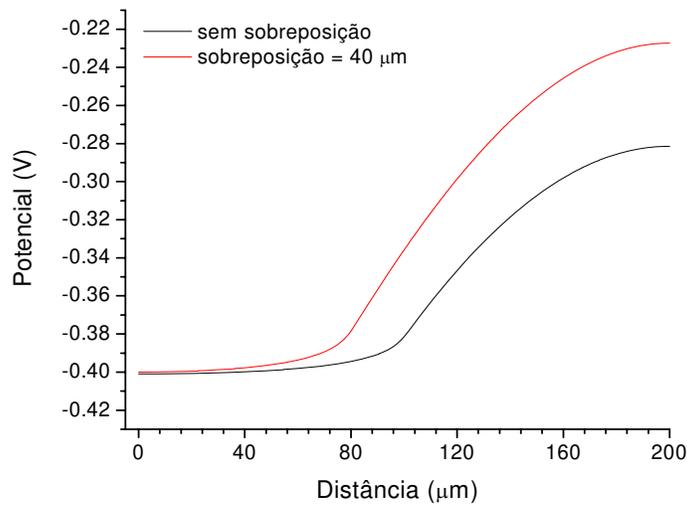


Figura 3.23 – Potencial ao longo da camada p em $y = 133 \mu\text{m}$.

Ao afastarmos as regiões n_2 , ocorre o comportamento inverso ao descrito acima, ou seja, é necessária uma corrente maior para levar o dispositivo ao estado ligado. Além disso, o afastamento cria um caminho de corrente através do transistor bipolar p-n₁-p, aqui denominado Q_p, na linha central do dispositivo supressor da figura 3.21 que também contribui para o aumento da corrente. Este transistor bipolar aparece em paralelo com o circuito elétrico equivalente do dispositivo supressor de surto de tensão apresentado no capítulo 2, como mostra a figura 3.24.

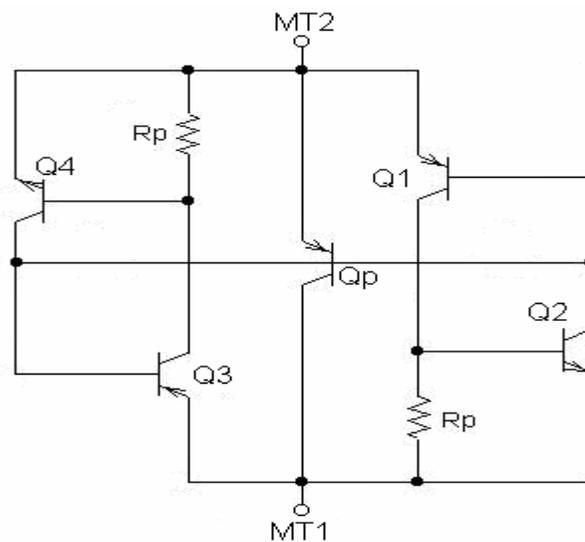


Figura 3.24 – Circuito elétrico equivalente do dispositivo supressor com o afastamento das regiões n_2 .

Com estes resultados, observamos que o nível da corrente de disparo e de manutenção do dispositivo supressor pode ser controlado através do projeto do comprimento das regiões n_2 . Durante o processo de fabricação do dispositivo supressor de surto de tensão isto é realizado em função do desenho da máscara da etapa de litografia que abre a janela para a difusão dos átomos de fósforo que formam as regiões n_2 .

3.2.7 Ângulo de corte e passivação da superfície

No capítulo 2 vimos que um método adequado de minimizar o campo elétrico na superfície e garantir um dispositivo supressor de surto de tensão com capacidade de suportar alta tensão é através do corte em ângulo negativo da junção que suporta a tensão reversa e também utilizar um dielétrico de passivação com carga negativa. Assim, neste item estudamos o efeito destes parâmetros sobre o desempenho do dispositivo supressor de surto de tensão.

Fazendo $N_{D1} = 8 \times 10^{14} \text{ cm}^{-3}$, $N_A = 10^{17} \text{ cm}^{-3}$, $N_{D2} = 10^{20} \text{ cm}^{-3}$, $W_p = 5 \text{ }\mu\text{m}$, $W_n = 80 \text{ }\mu\text{m}$ e $x_{n2} = 100 \text{ }\mu\text{m}$, realizamos simulações para ângulos de corte de -90° , -75° e -45° , com passivação a SiO_2 (óxido de silício) para cada uma das seguintes densidades de cargas na superfície: $+10^{11}$, 0 , -10^{10} , -10^{11} e -10^{12} cm^{-2} . Abaixo está mostrado o dispositivo supressor com ângulo de corte de 45° .

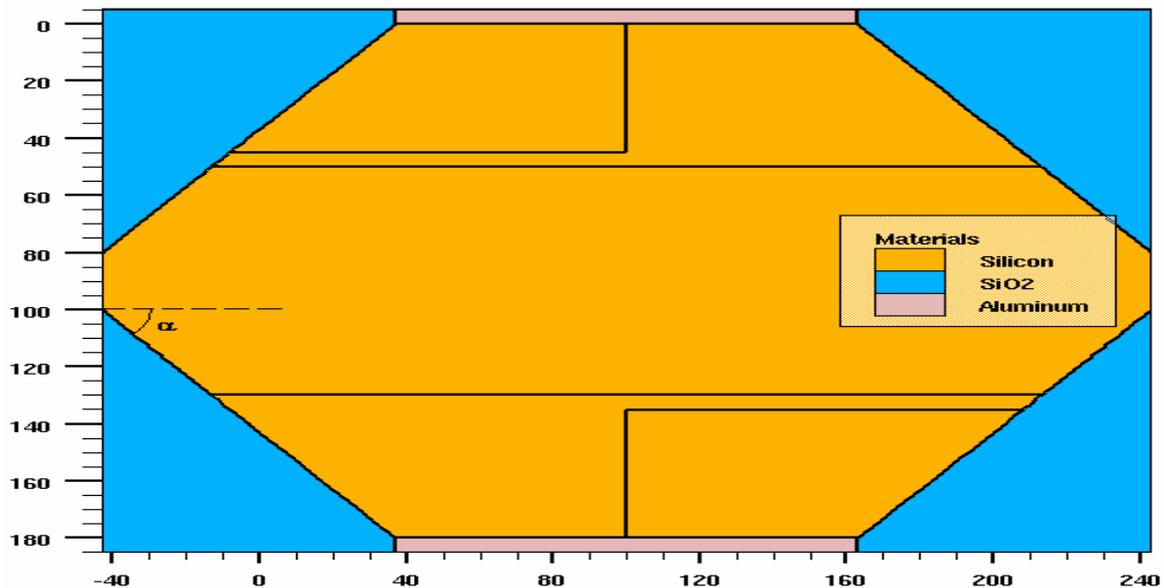


Figura 3.25 – Dispositivo supressor com passivação a SiO_2 com corte em ângulo negativo de 45° .

Os resultados das simulações realizadas são apresentados na Fig. 3.26.

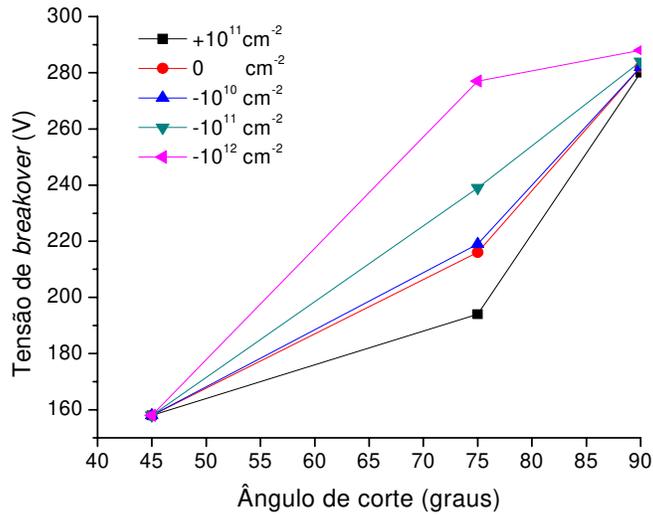


Figura 3.26 – V_{BO} x ângulo de corte (negativo) para diferentes densidades de cargas na superfície.

Primeiramente, vemos que conforme o ângulo de corte diminui ocorre uma diminuição bastante significativa da tensão de *breakover* do dispositivo supressor. Isto está relacionado com a distribuição do potencial elétrico no semiconductor, como mostra a figura abaixo.

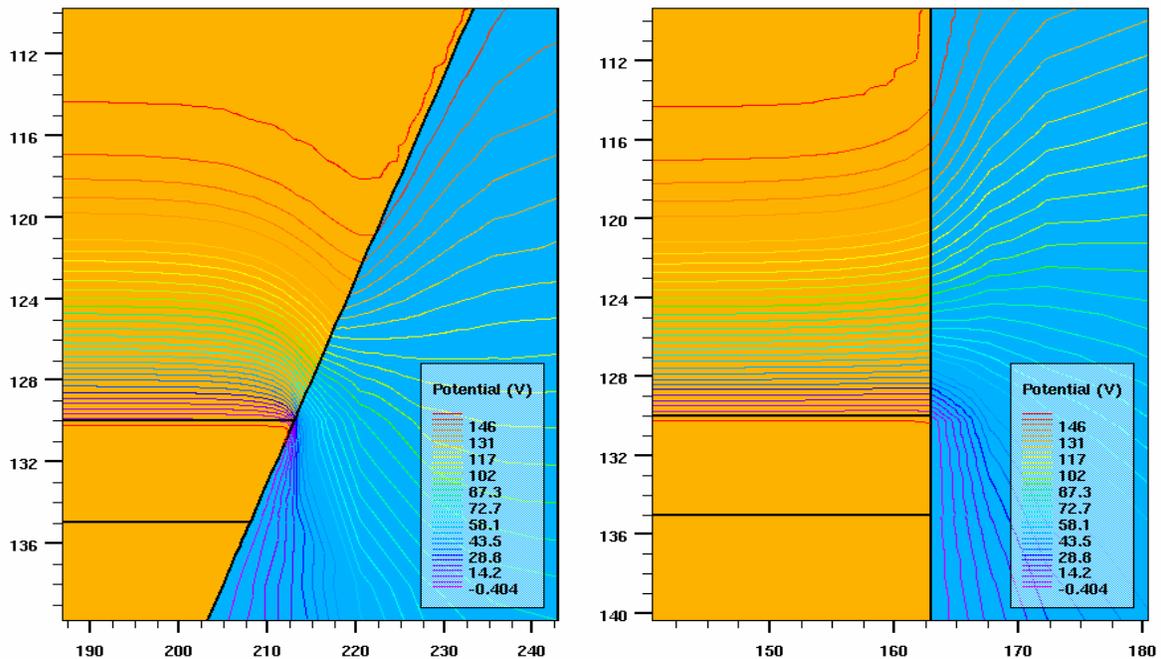


Figura 3.27 – Distribuição das linhas de potencial elétrico para ângulos de corte de 45° e 90°, respectivamente, sem carga presente no SiO₂ (polarização de 155 V).

Observamos na figura 3.27 que a região de depleção diminui próximo à interface Si-SiO₂ quando o corte é realizado a 45°, concentrando as linhas de potencial elétrico, o que resulta num campo elétrico maior nessa região e, portanto, reduz a tensão de *breakover* do dispositivo. Este comportamento é verificado pela figura 3.28, que mostra a variação do campo elétrico na superfície de uma junção n⁺p.

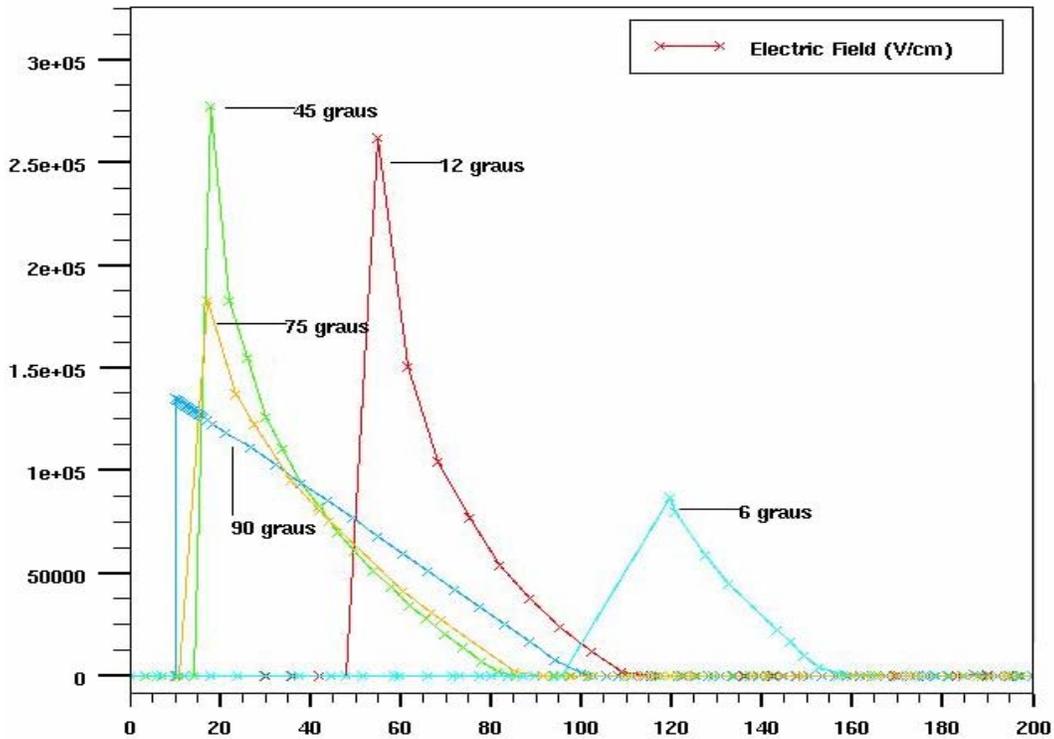


Figura 3.28 – Campo elétrico na superfície de uma junção n⁺p em função do ângulo de corte [19].

Da figura 3.26 também verificamos que a tensão de *breakover* permaneceu constante para o ângulo de 45° e variou muito pouco no caso de 90°, independentemente da densidade de cargas presente na interface Si-SiO₂. Este é um resultado interessante que mostra que nestes dois casos o efeito do corte é predominante, de forma que a carga presente na interface altera muito pouco a distribuição do potencial elétrico e a intensidade do campo elétrico próximo à superfície do dispositivo.

Já para o ângulo de 75° a carga no dielétrico de passivação modifica a distribuição das linhas de potencial elétrico de maneira bastante significativa, ou seja, o campo elétrico máximo na superfície é bastante alterado em função da densidade de carga.

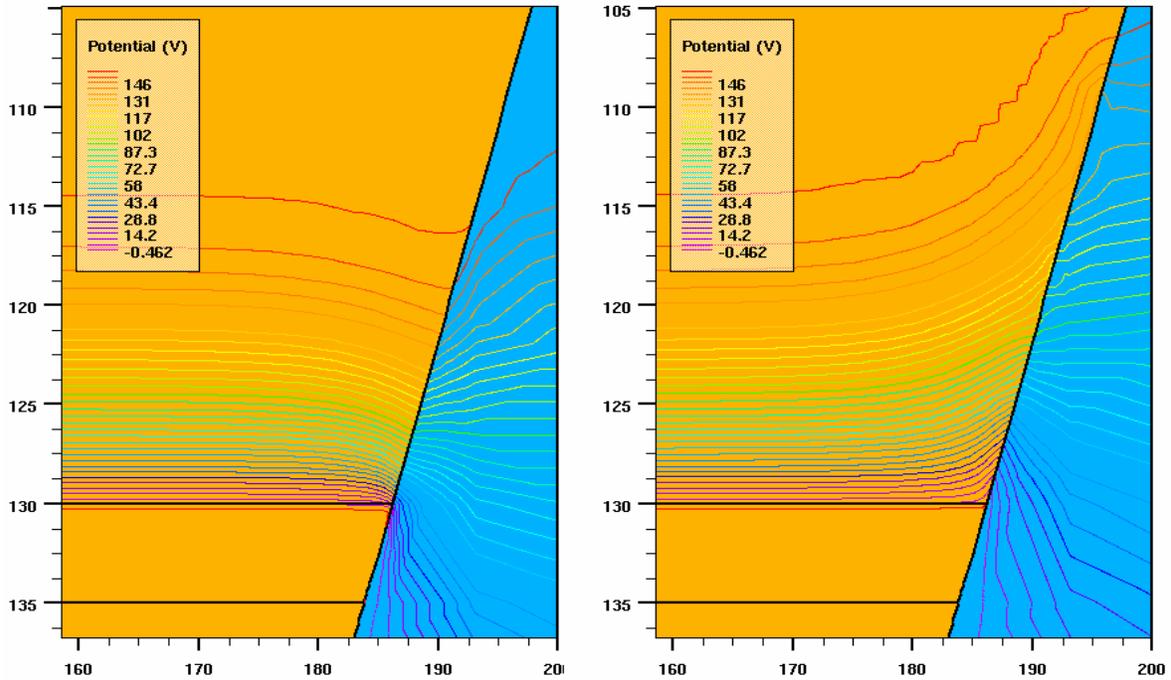


Figura 3.29 – Distribuição das linhas de potencial elétrico para o ângulo de 75° e densidade de carga de $+10^{11}$ e -10^{11} cm^{-2} , respectivamente (polarização de 155 V).

A figura 3.29 mostra que uma densidade de carga positiva diminui a largura da região de depleção na superfície do dispositivo, o que resulta num campo elétrico máximo de $3,20 \times 10^5$ V/cm. Para a passivação com carga negativa ocorre o efeito contrário, isto é, na superfície a região de depleção aumenta de tamanho, reduzindo o campo elétrico máximo para $2,64 \times 10^5$ V/cm. Esta redução do campo elétrico causada pela presença de uma densidade de carga negativa no SiO_2 faz com que a tensão de *breakover* do dispositivo aumente. Na tabela 3.8 está mostrado a variação da tensão de *breakover* e do campo elétrico em função da densidade de cargas para o caso de corte a 75°.

Tabela 3.8 – Campo elétrico máximo em função da carga na interface Si-SiO₂ para corte em 75°.

Densidade de carga (cm^{-2})	Tensão de <i>breakover</i> (V)	Campo elétrico (10^5 V/cm)
-1×10^{12}	277	1,60
-1×10^{11}	239	2,64
-1×10^{10}	219	2,87
0	216	2,95
$+1 \times 10^{11}$	194	3,20

Os resultados obtidos indicam que devemos realizar ângulos de corte próximos a 90° para obtermos tensões de *breakover* dentro da faixa desejada (de 200 V a 300 V) e também que a utilização de passivante com carga negativa ajuda a evitar a ruptura prematura pela superfície do dispositivo.

3.3 Discussão dos resultados

Neste capítulo estudamos como cada parâmetro da estrutura do dispositivo supressor de surto de tensão afeta o seu funcionamento.

Verificamos que a dopagem da região n_1 (substrato) é fundamental na determinação da tensão de *breakover* do dispositivo e que, para obtermos valores entre 260 V e 300 V, devemos ter N_{D1} entre 8×10^{14} e 10^{15} cm^{-3} . Ao mesmo tempo, observamos que podemos usar também a largura da base n_1 (W_n) para alterarmos a tensão de *breakover*. No entanto, devido à baixa dopagem, a largura desta região não pode ser muito grande para evitar uma dissipação de potência muito elevada quando o dispositivo é submetido a uma condição de surto muito intenso. Nas simulações realizadas, para valores entre 80 e 110 μm , os resultados se mostraram satisfatórios.

No estudo do efeito da dopagem das camadas p, mostramos que o comportamento do dispositivo supressor de surto de tensão é muito prejudicado à medida que aumentamos N_A acima de $2 \times 10^{17} \text{ cm}^{-3}$, sendo que os melhores resultados são obtidos para $5 \times 10^{16} \leq N_A \leq 1 \times 10^{17} \text{ cm}^{-3}$. O mesmo comportamento foi observado quando variamos a largura da base p (W_p), isto é, aumentando a largura acima de 10 μm o dispositivo supressor novamente tem sua operação degradada, não sendo disparado em toda a sua área. Mesmo sendo disparado, para $W_p = 10 \mu\text{m}$ a corrente de manutenção do dispositivo teve um aumento bastante grande quando comparada ao valor medido com $W_p = 5 \mu\text{m}$. Um problema que surge neste caso é que o controle de larguras de base entre 5 e 10 μm pode ser difícil de obter, uma vez que esta região é gerada por difusões profundas durante o processo de fabricação do dispositivo.

A variação da dopagem das regiões de emissores (N_{D2}) não provocou grande impacto sobre a operação do dispositivo supressor. As principais diferenças observadas são um pequeno aumento da corrente de manutenção e da tensão de estado ligado do

dispositivo conforme cresce o nível de dopagem. Os melhores resultados são obtidos para $1 \times 10^{19} \leq N_{D2} \leq 1 \times 10^{20} \text{ cm}^{-3}$. Já o estudo do comprimento das regiões n_2 mostrou que é interessante se realizar uma sobreposição entre o emissor para diminuir o valor da corrente de disparo do dispositivo supressor, pois o afastamento das regiões cria um caminho paralelo para o fluxo da corrente que resulta em correntes de disparo maiores.

Por fim, o estudo do ângulo de corte e passivação da superfície mostrou que conforme o ângulo diminui o mesmo ocorre com a tensão de *breakover*, o que está de acordo com que o que foi exposto no capítulo 2. Além disso, as simulações indicaram que a carga no dielétrico de passivação influenciou bastante no valor da tensão para o ângulo de 75° . Neste caso, uma densidade de carga positiva prejudica enquanto uma da densidade de carga negativa faz com que a tensão que o dispositivo supressor pode operar seja maior. Um resultado interessante é que para os ângulos de 45° e 90° a carga presente no dielétrico de passivação não influenciou significativamente no comportamento do dispositivo supressor. Como desejamos obter uma tensão de *breakover* na faixa entre 200 V e 300 V, a passivação com ângulo de corte próximo a 90° e preferencialmente utilizando um dielétrico com densidade de carga negativa se mostra adequada. A literatura mostra, como apresentado no capítulo 2, que ângulos bem menores de 45° novamente provocam um aumento da tensão de ruptura. No entanto, não foi possível simular estes casos, pois o número necessário de pontos da grade de simulação da estrutura fica enorme.

Capítulo 4

Projeto do Processo de Fabricação do Dispositivo Supressor de Surto de Tensão

A partir dos resultados obtidos pelas simulações elétricas do capítulo 3, propomos neste capítulo projetar um processo de fabricação para o dispositivo supressor de surto de tensão a partir do programa de simulação ATHENA da *Silvaco International* [17]. Além disso, realizamos simulações elétricas da estrutura gerada, estudando também o efeito dos *emitter-shorts* sobre a operação do dispositivo através de simulações *quasi-3D* [13].

4.1 Especificações do processo de fabricação

Para atender às características físicas determinadas no capítulo 3, as especificações quanto para o processo de fabricação do dispositivo supressor são:

- Substrato de silício tipo n com dopagem de fósforo 10^{15} cm^{-3} ;
- Espessura da lâmina de silício: 200 μm ;
- Profundidade das camadas p de 50 μm ;
- Profundidade das regiões de emissores: 40 μm .

Com as exigências acima, a largura da base n_1 do dispositivo supressor é de 100 μm e a largura da base p é de 10 μm , assim como foi estabelecido pelas simulações do capítulo 3. Além disso, as profundidades de junções especificadas fazem com que o nível de dopagem da base p fique abaixo de 10^{17} cm^{-3} , o que é fundamental para haver o disparo completo do dispositivo supressor e se obter tensões de condução menores que 2V.

4.2 Simulação do processo do dispositivo supressor básico

A lâmina de silício inicial para a execução da fabricação do dispositivo supressor tem orientação cristalina (111). O substrato definido no início da simulação no programa ATHENA é mostrado na figura 4.1.

A utilização de lâminas (111) é mais adequada porque a geração de defeitos cristalinos do tipo *stacking faults* é menor para esta orientação durante os processos de oxidação térmica [20], que em dispositivos de potência são feitos com temperaturas mais elevadas e por longos tempos.

Para a fabricação do dispositivo supressor básico da figura 3.1, as etapas de processo são:

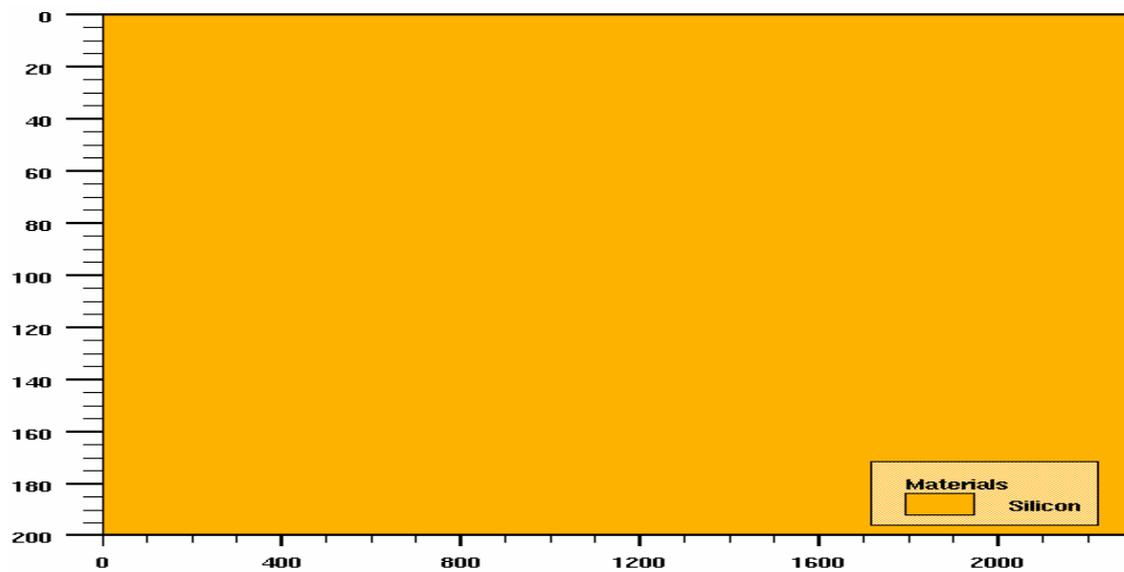


Figura 4.1 – Lâmina de silício inicial, como definido em ATHENA.

1. Formação das camadas tipo p

Realizando-se a difusão de átomos de boro no silício em um forno a uma temperatura de 1250 °C durante 31 horas, mantendo uma concentração de $1 \times 10^{20} \text{ cm}^{-3}$ átomos de boro nas superfícies da lâmina, o perfil resultante da difusão é mostrado na figura 4.2.

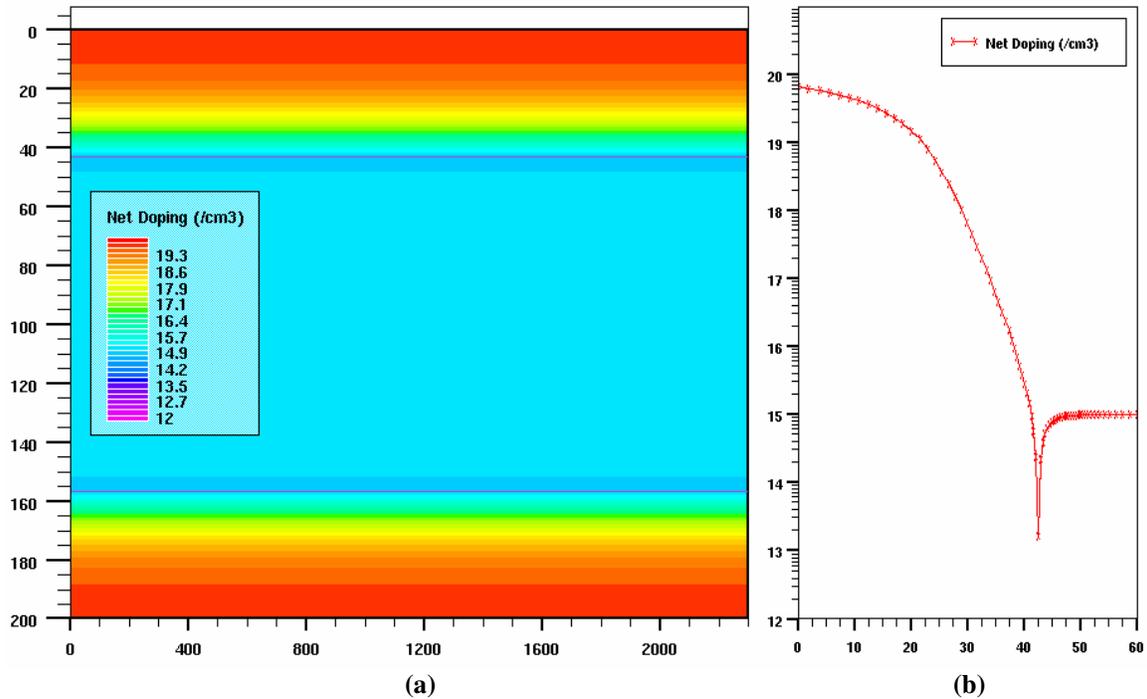


Figura 4.2 – Dopagem da rede após a difusão de boro. (a) Bidimensional. (b) Ao longo de uma linha em $x = 1200 \mu\text{m}$ a partir da superfície.

A figura mostra que após esta etapa a junção p-n₁ metalúrgica é formada a uma profundidade em torno de 42 μm.

2. Oxidação térmica

O filme de SiO₂ formado nesta etapa serve como máscara durante a difusão dos átomos de fósforo para a formação das regiões n₂. Portanto, o filme deve ter espessura suficiente para impedir que os átomos de fósforo o atravessem e atinjam a superfície da lâmina nos locais em que o óxido está presente.

Fazendo a oxidação em um forno a uma temperatura de 1150 °C, por 6 horas e em ambiente úmido, isto é, numa atmosfera com presença de oxigênio e vapor d'água, a espessura de óxido obtida é de 2 μm. Esta espessura é suficiente para garantir que os átomos de fósforo não difundam através do óxido e atinjam o substrato de silício.

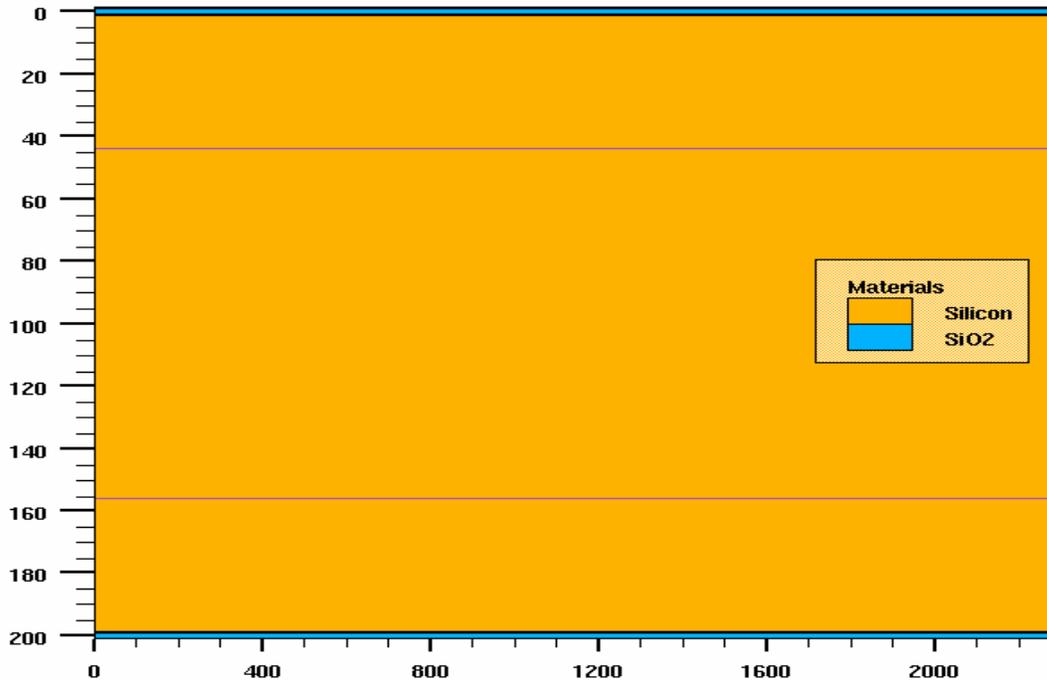


Figura 4.3 – Estrutura do dispositivo após etapa de oxidação térmica.

Devido ao efeito da temperatura ocorre a difusão dos átomos de boro, porém a profundidade da junção é muito pouco alterada, ficando em torno de 43 μm .

3. Fotogravação das regiões n_2

A fotogravação das regiões n_2 é realizada nos seguintes passos:

- i) Deposição de fotorresiste AZ 1350J através de centrifugação a 7000 rpm por 30 segundos sobre a lâmina;
- ii) Coloca-se a lâmina em uma estufa a 90 °C durante 30 minutos para fixação do fotorresiste;
- iii) Utilizando uma fotoalinhadora, uma máscara com a geometria da figura 4.4 é colocada sobre a lâmina e realiza-se a exposição do conjunto em luz ultravioleta (UV) com potência de 200 W por 23 segundos. As regiões do fotorresiste atingidas pela luz são polimerizadas;

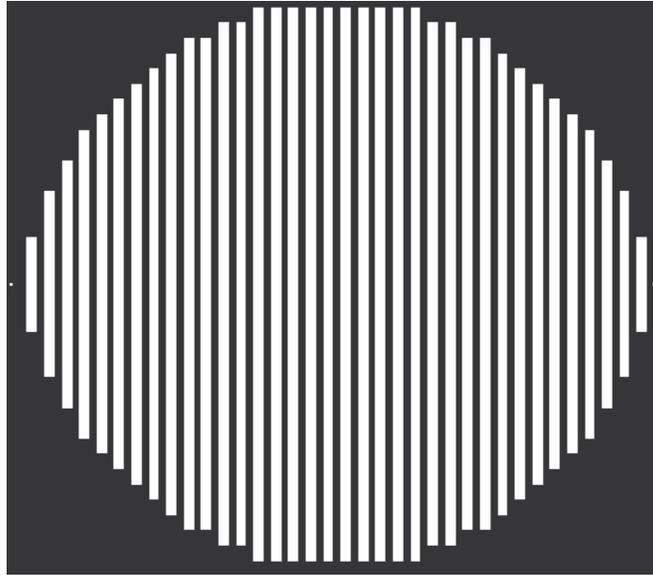
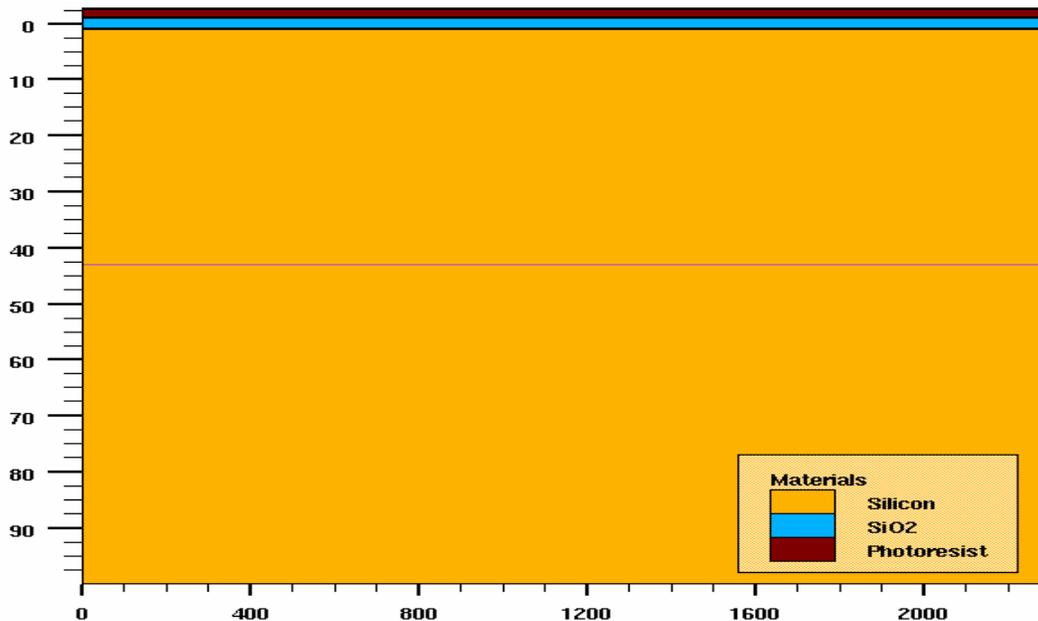


Figura 4.4 – Máscara para a fotogração das regiões de emissores.

- iv) Revelação do fotorresiste sensibilizado durante 1 minuto através de uma solução composta por MIF312 e água deionizada na proporção 1:1.

Na figura 4.5 está mostrada a estrutura do dispositivo supressor (apenas a metade superior) após a realização dos passos acima descritos.



(a)

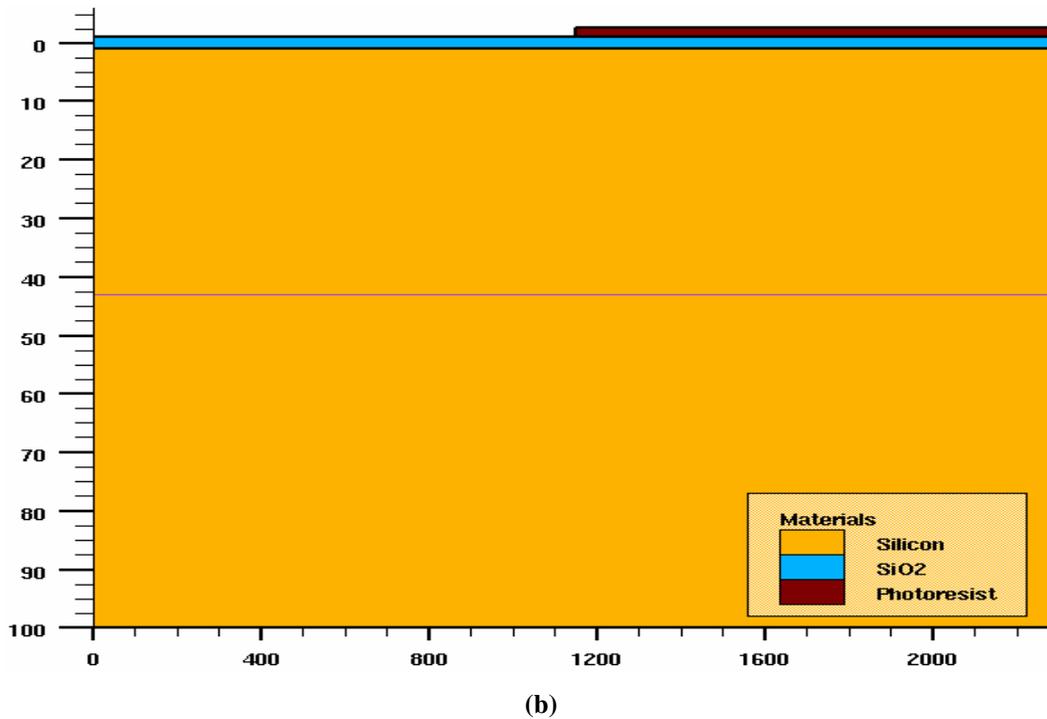


Figura 4.5 – Fotogração de emissores. (a) Estrutura após passo i). (b) Após passo iv).

Depois da fotogração, o padrão de linhas da máscara da figura 4.4 foi transferido para a lâmina de silício. O fotorresiste removido expõe o óxido formado na etapa 2. Agora, podemos realizar a corrosão deste óxido e abrir a janela para a difusão de fósforo.

4. Corrosão do SiO₂

Como o óxido crescido é espesso, antes da corrosão é necessário realizar um *hard-baking* do fotorresiste em estufa a 120 °C por 30 minutos para que ele consiga suportar ao tempo da corrosão do SiO₂. Esta corrosão pode ser feita por uma solução *buffer* de HF a 30 °C, que possui uma taxa de corrosão de 1500 angstroms/min, por aproximadamente 14 minutos. Após a corrosão, remove-se o fotorresiste restante com acetona, resultando na estrutura da figura 4.6.

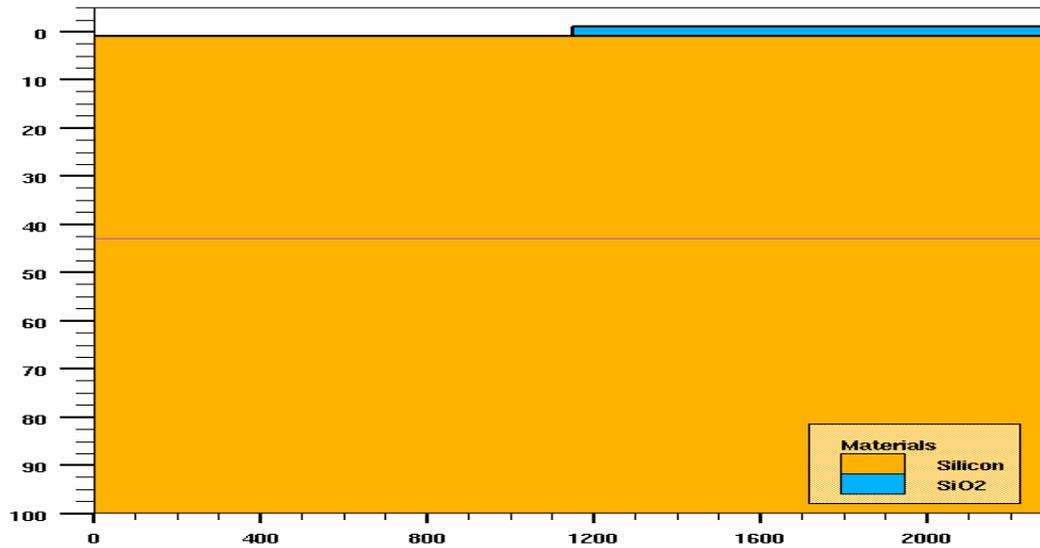


Figura 4.6 – Dispositivo supressor após etapa de corrosão do SiO₂.

As etapas 3 e 4 do processo são realizadas separadamente para cada uma das superfícies da lâmina, isto é, primeiro fazemos a fotogração e corrosão em um lado da lâmina, protegendo o outro com uma camada de fotorresiste. Depois repetimos o processo fazendo uma segunda fotogração e corrosão do óxido para o lado antes protegido. A execução deste processo exige bastante cuidado, pois a segunda fotogração deve ser corretamente alinhada com a primeira, requerendo-se para isto uma fotoalinhadora de dupla-face. Após as etapas acima serem concluídas, a estrutura resultante é mostrada na figura 4.7.

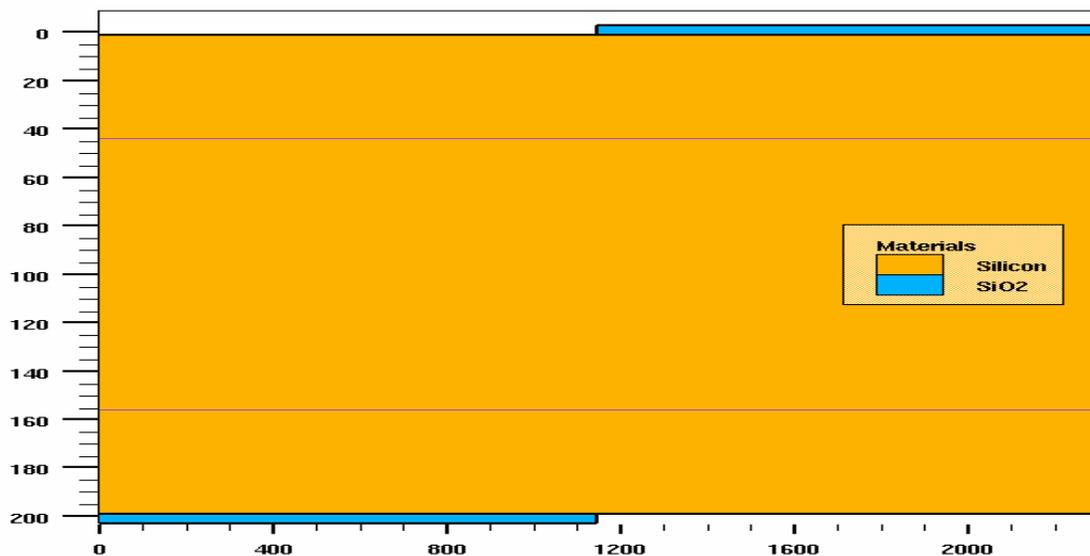


Figura 4.7 – Estrutura do dispositivo supressor após as etapas 3 e 4 para ambos os lados da lâmina.

5. Difusão de fósforo para a formação das regiões n_2

Nesta etapa é feita a difusão de átomos de fósforo com concentração superficial de 10^{21} cm^{-3} , a uma temperatura de $1250 \text{ }^\circ\text{C}$ durante 12,5 horas. A figura 4.8 mostra o perfil de fósforo resultante da difusão a partir da superfície superior do substrato.

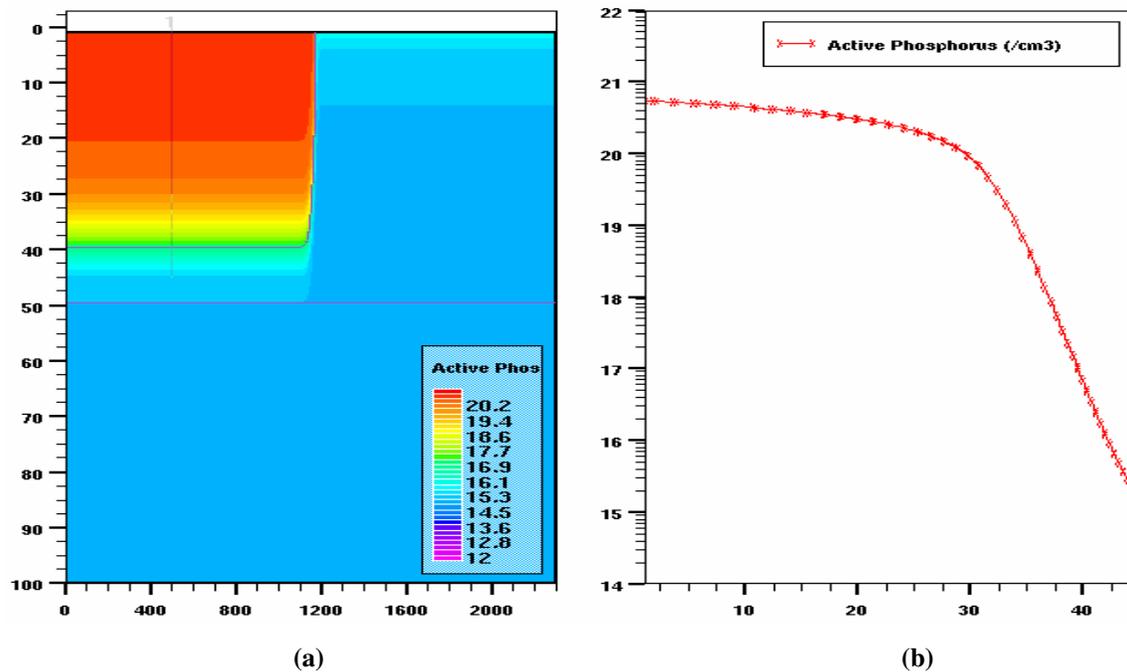


Figura 4.8 – Perfil de fósforo. (a) Bidimensional. (b) Ao longo da linha mostrada em (a).

Após esta etapa observamos que as camadas p têm profundidade de $50 \mu\text{m}$ e as regiões n_2 $40 \mu\text{m}$. Portanto, o dispositivo resultante tem a base n (região n_1 na Fig. 3.1) com largura de $100 \mu\text{m}$ enquanto a largura da base p é de $10 \mu\text{m}$.

No capítulo 3 vimos que o melhor desempenho foi obtido para o dispositivo com largura da base p de $5 \mu\text{m}$. No entanto, isto levava em consideração dopagens uniformes e uma junção p- n_1 abrupta, onde a região de depleção estava localizada inteiramente no lado n_1 . Como no processo de fabricação as junções são profundas e obtidas por longos processos de difusão, o controle de uma largura de base estreita torna-se mais difícil, sendo conveniente aumentar esta dimensão. Além disso, devido ao perfil gradual, a camada de depleção se estende para o lado p da junção, diminuindo a largura da base efetiva do transistor n_2 -p- n_1 , o que também justifica o aumento da largura da base p.

A figura 4.9 mostra a estrutura inteira do dispositivo supressor após a formação das regiões n_2 .

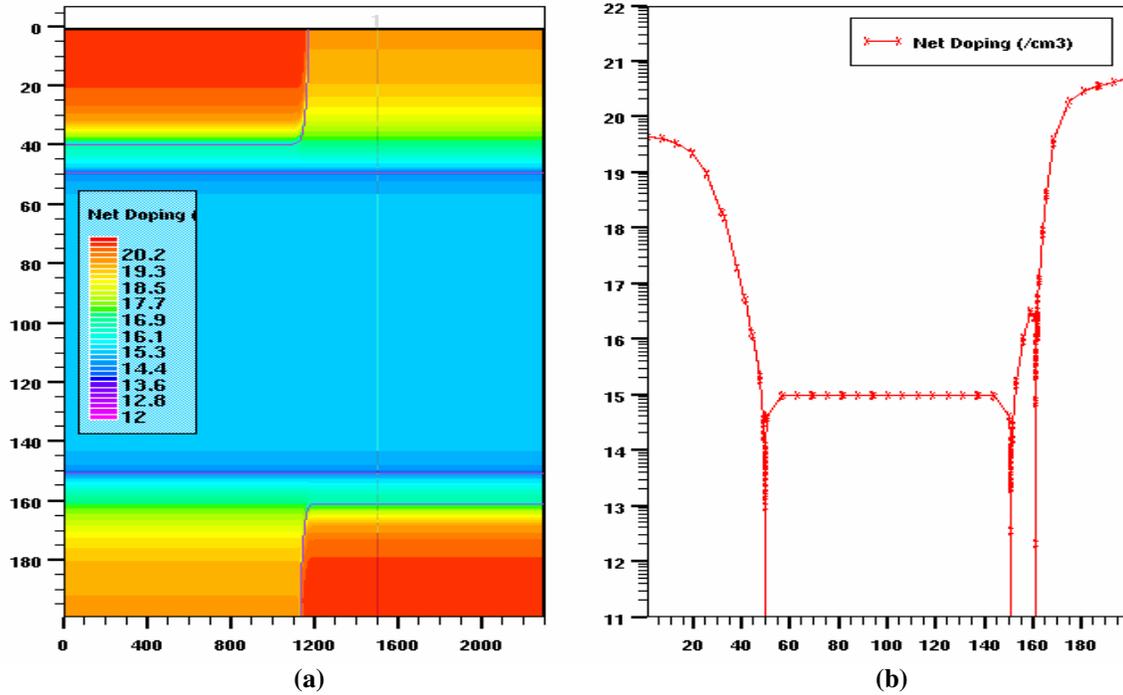


Figura 4.9 – Dopagem da rede. (a) Bidimensional. (b) Ao longo da linha mostrada em (a).

6. Deposição de metal e formação de contatos

Os contatos metálicos são feitos pela deposição de um filme de níquel por processo eletroquímico seguido de uma etapa de sinterização.

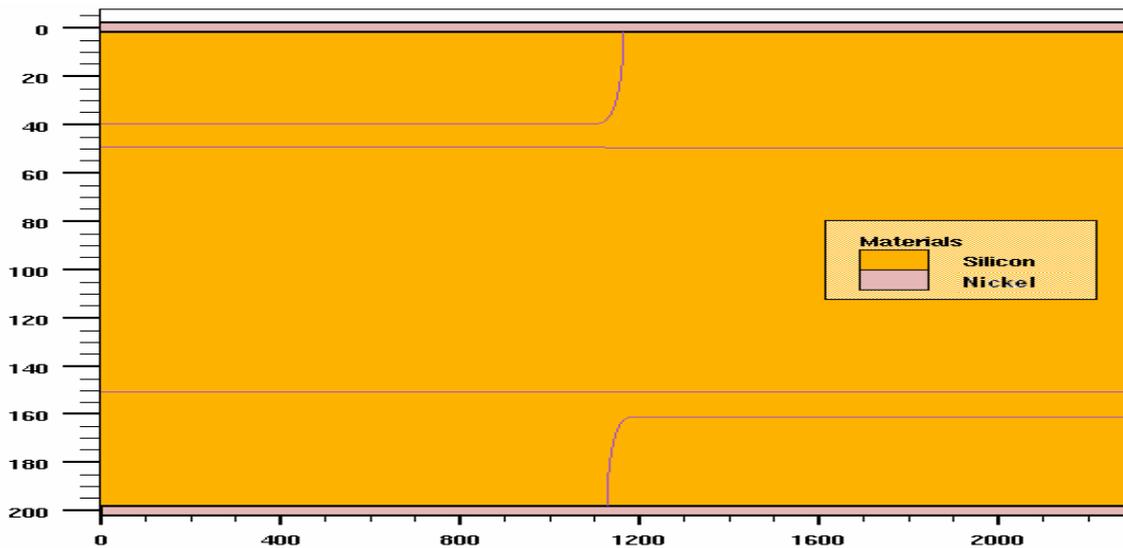


Figura 4.10 – Estrutura com níquel depositado.

7. Fotogravação para definição dos contatos metálicos

Esta etapa de fotogravação não só define a área de contato como também tem a função de abrir janelas nas bordas do dispositivo para se fazer a passivação da superfície do silício. Os passos para a execução desta etapa é idêntica àqueles descritos na etapa 3, reescritos aqui por conveniência.

- i) Deposição de fotorresiste AZ 1350 através de centrifugação a 7000 rpm por 30 segundos sobre a lâmina;
- ii) Coloca-se a lâmina em uma estufa a 90 °C durante 30 minutos;
- iii) Utilizando a máscara da figura 4.11, realiza-se a exposição da lâmina em luz ultravioleta (UV) com potência 200 W por 23 segundos.
- iv) Revelação do fotorresiste sensibilizado durante 1 minuto através de uma solução composta por MIF312 e água deionizada na proporção 1:1.

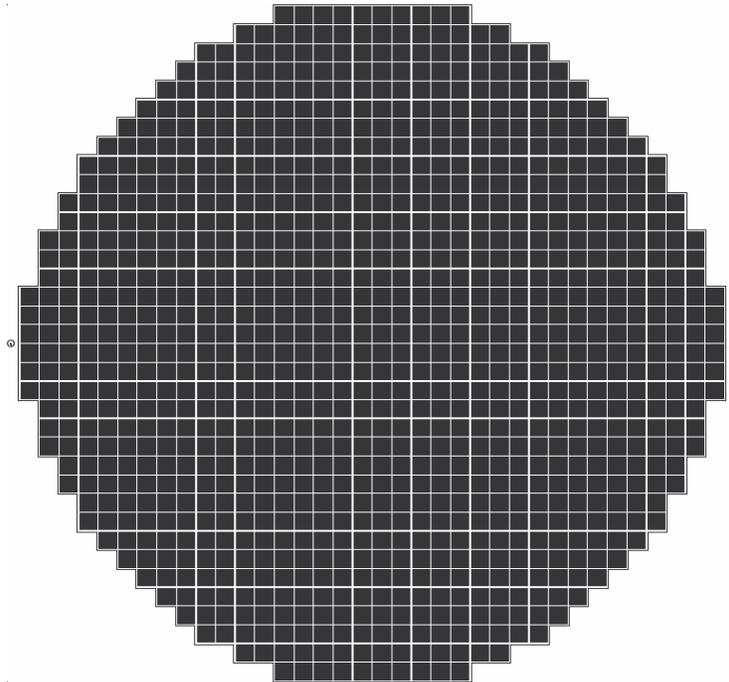


Figura 4.11 – Máscara de definição dos contatos.

Na figura 4.12 é mostrada a estrutura resultante após a execução desta etapa do processo de fabricação do dispositivo supressor.

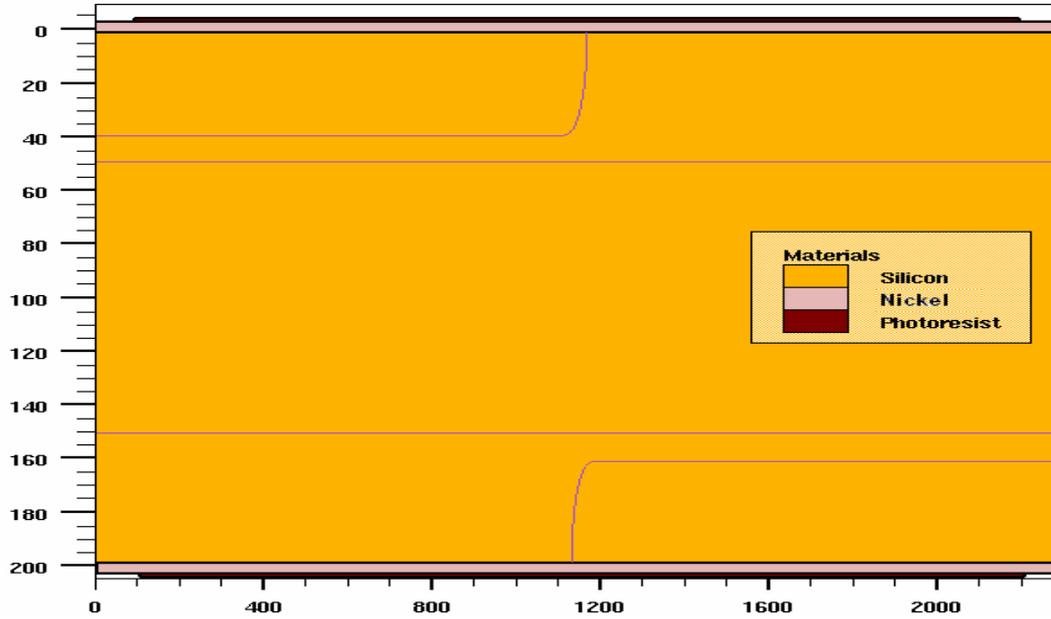


Figura 4.12 – Fotogração de contatos.

8. Corrosão do níquel

A corrosão do níquel pode ser feita quimicamente através de uma solução de H_3PO_4 e HNO_3 [21] a $55\text{ }^\circ\text{C}$. Nestas condições obtivemos uma taxa de corrosão de $1\text{ }\mu\text{m}/\text{min}$, aproximadamente.

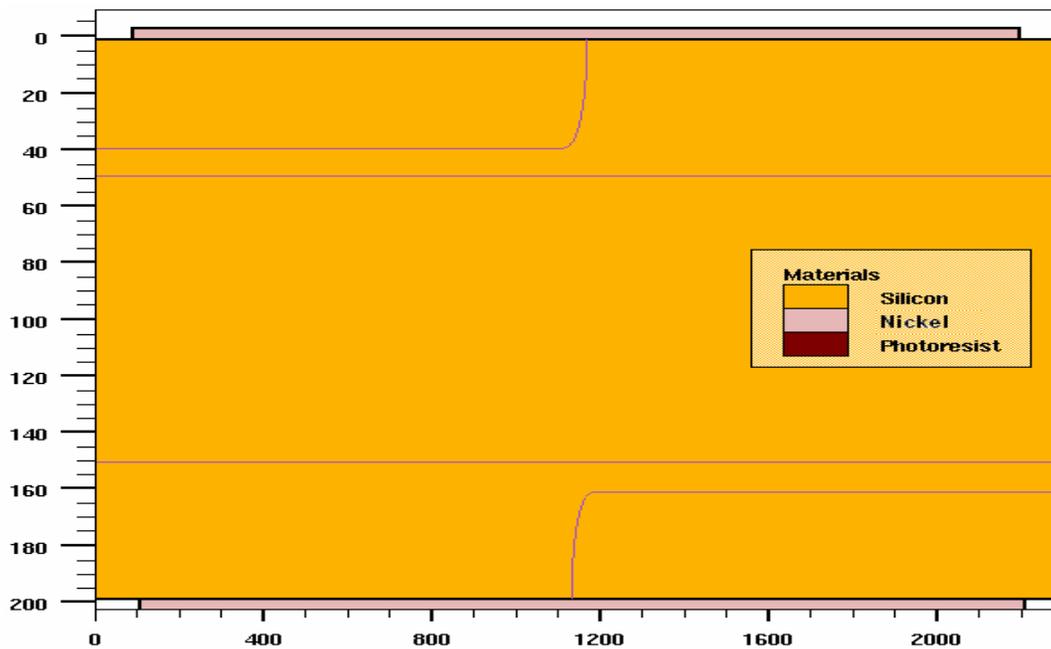


Figura 4.13 – Corrosão do níquel e abertura de janela para corrosão do Si e passivação.

9. Corrosão do silício e passivação

Nesta etapa a corrosão do silício deve ser profunda o suficiente para garantir que o canal aberto ultrapasse a junção p-n₁, ou seja, a profundidade da corrosão não pode ser menor que 50 µm. Isto pode ser realizado por processo de corrosão úmida e isotrópica ou até mesmo por plasma, que possui a vantagem de ser anisotrópico. Como mostrado no capítulo 3, o ângulo da corrosão na junção tem influência importante na tensão de *breakover* do dispositivo e, portanto, esta é uma etapa crítica de fabricação.

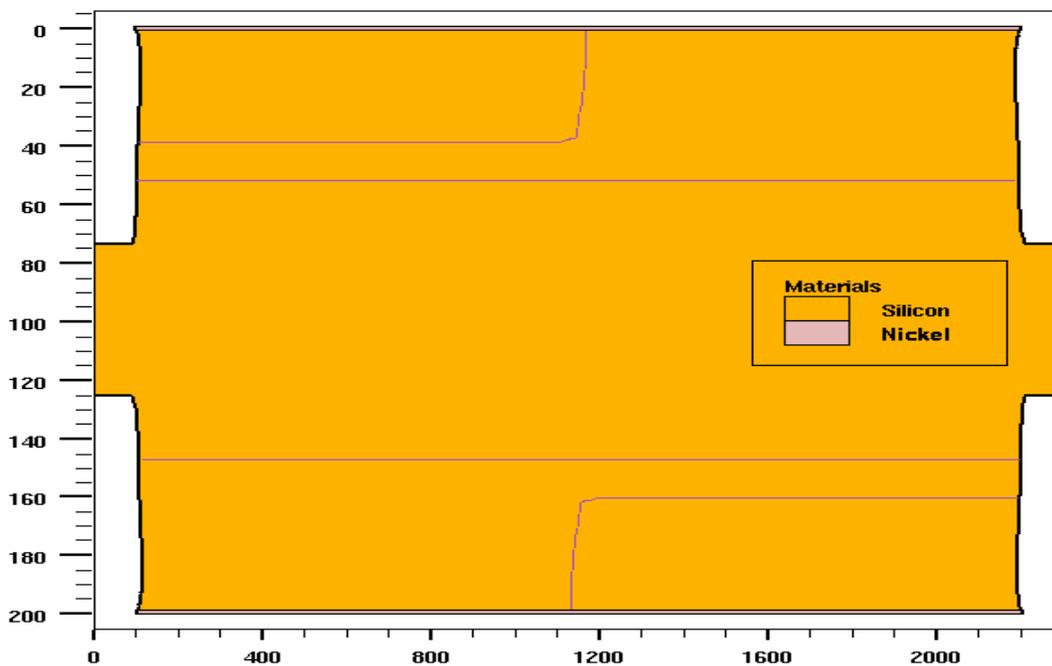


Figura 4.14 – Estrutura após corrosão do Si com canais abertos para passivação.

Após a corrosão, a passivação pode ser feita com borracha de silicone ou vidro. Novamente, no capítulo 3 mostramos que a carga do material de passivação pode influenciar significativamente o valor da tensão de *breakover* do dispositivo.

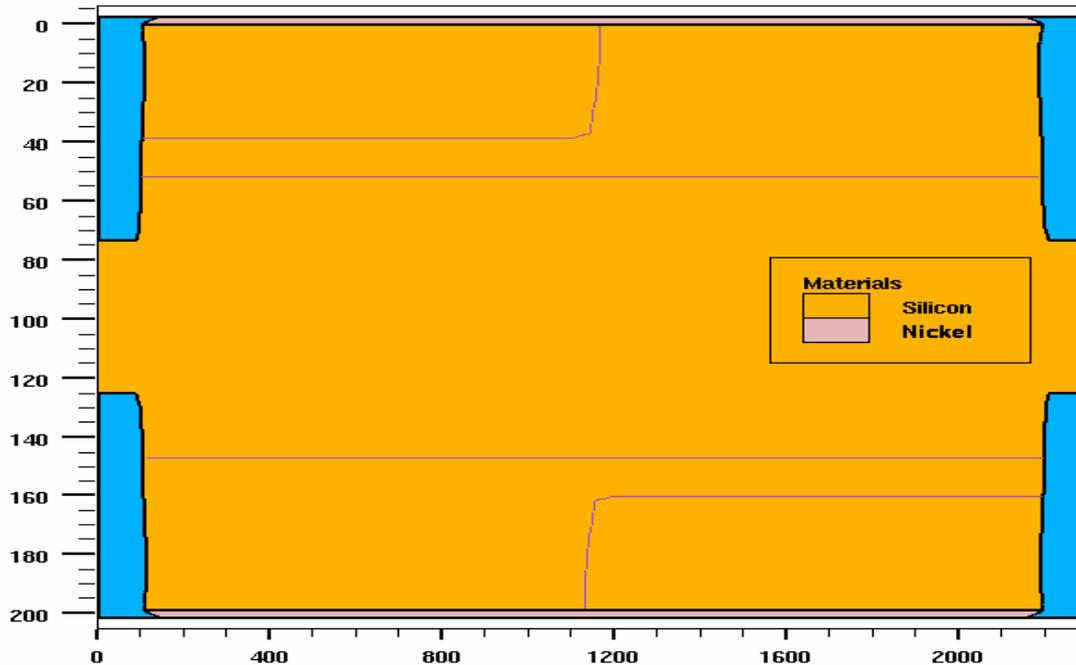


Figura 4.15 – Dispositivo supressor de surto de tensão “real”.

4.2.1 Simulações elétricas

Realizando a simulação elétrica de um dispositivo supressor com área $200\ \mu\text{m} \times 200\ \mu\text{m}$ gerado pelo processo de fabricação descrito anteriormente, a curva característica $I \times V$ obtida é mostrada na figura 4.16.

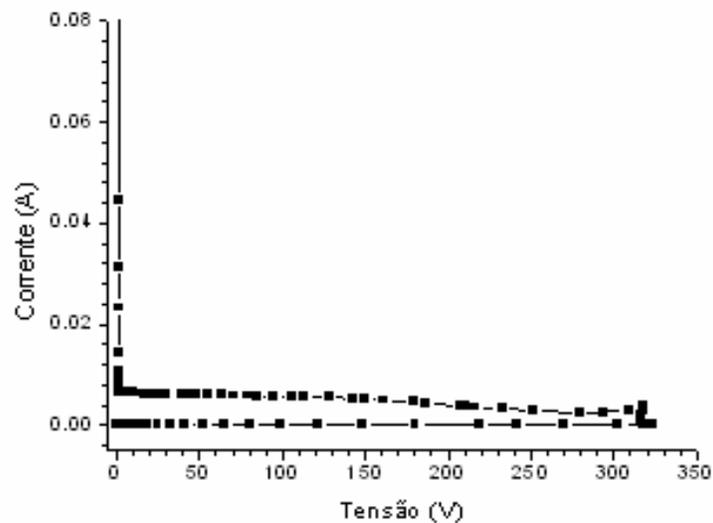


Figura 4.16 – Curva $I \times V$ do dispositivo supressor gerado por processo de fabricação.

Na tabela 4.1 apresentamos alguns parâmetros extraídos da curva acima juntamente com os dados do dispositivo equivalente gerado pelo programa DEVEDIT e estudado no capítulo 3.

Tabela 4.1 – Comparação entre dispositivo gerado por simulação de processo no ATHENA e dispositivo idealizado obtido pelo DEVEDIT.

Dispositivo	V_{BO} (V)	I_H (mA)	V_T (V)
gerado no ATHENA	323	7,0	1,1
gerado no DEVEDIT	229	13,4	1,2

Dos resultados acima verificamos que a tensão de *breakover* aumentou de maneira bastante significativa, ficando acima de 300 V, que é a máxima tensão permitida pelos critérios do projeto. Isto ocorreu devido à gradação da junção p-n₁ causada pela difusão dos átomos de boro nas etapas térmicas do processo de fabricação do dispositivo, pois quanto menor o coeficiente de gradação da junção, maior é a sua tensão de ruptura [3]. Além disso, o perfil gradual da dopagem da base p faz aparecer um campo elétrico nesta região que contribui para a injeção dos elétrons vindos do emissor n₂ do transistor n₂-p-n₁ em direção ao coletor, aumentando o ganho do transistor e o processo de realimentação do tiristor como um todo, o que resulta na diminuição da corrente de manutenção e também da queda de tensão no estado ligado do dispositivo, como foi observado.

No entanto, para avaliarmos o desempenho real do dispositivo supressor de surto de tensão projetado com as características determinadas no capítulo 3 e processo de fabricação descrito neste capítulo, realizamos simulações considerando as dimensões reais do dispositivo supressor, correspondendo a uma área de 2,3 mm x 2,3 mm. Somado a isso, estudamos o comportamento transitório destes dispositivos quando submetidos a pulsos de corrente com forma 10/300 µs, como definido na figura 4.17.

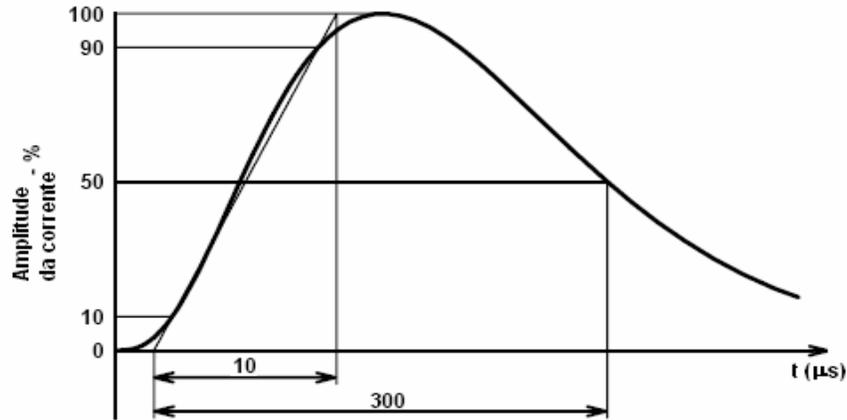


Figura 4.17 – Forma do pulso de corrente aplicado ao dispositivo supressor (retirado da ref. [2]).

Para uma polarização DC de 0 V e aplicando um pulso de corrente de amplitude 100 A/cm^2 , mostrado na figura 4.18(a), a resposta do dispositivo supressor está apresentada na figura 4.18(b).

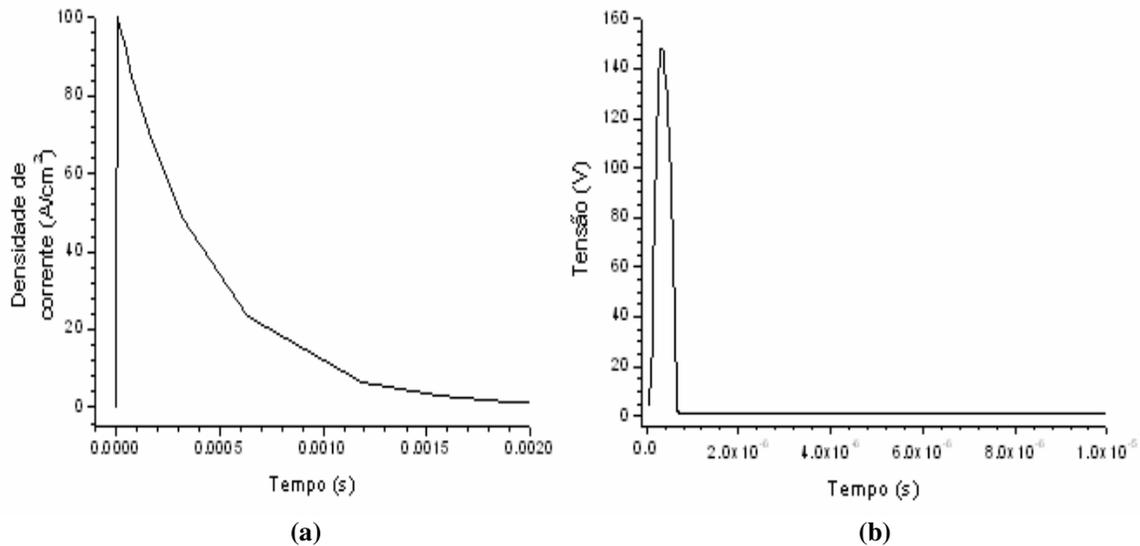


Figura 4.18 – (a) Pulso de corrente aplicado. (b) Resposta do dispositivo supressor.

Combinando os gráficos acima resulta na curva característica do dispositivo supressor de surto de tensão da figura 4.19.

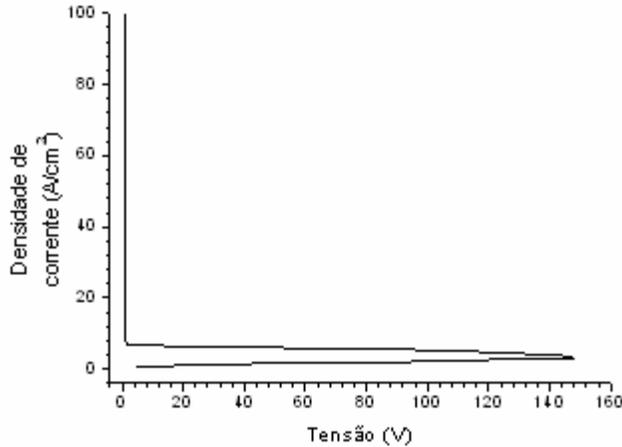


Figura 4.19 – Curva característica do dispositivo supressor para pulso de corrente de 100 A/cm^2 .

Neste caso, embora a estrutura tenha junções com perfil gradual, obtivemos uma tensão de *breakover* em torno de 150 V , valor bem abaixo do limite mínimo de 200 V desejado. Verificamos que a diminuição da tensão é consequência das grandes dimensões laterais do dispositivo, sendo o comprimento das regiões n_2 da ordem de $1000 \mu\text{m}$. Vimos no capítulo 3 que até o disparo do tiristor a corrente percorre a região da base p lateralmente em direção ao contato, provocando uma queda de potencial lateral nesta região que polariza a junção base-emissor de n_2 -p- n_1 diretamente. Como neste dispositivo a resistência lateral da base é grande, a queda de potencial na periferia (local onde ocorre a concentração das linhas de corrente próximo ao disparo (figura 3.6)) é suficiente para polarizar p- n_2 diretamente, disparando o dispositivo mesmo com uma baixa tensão sobre os seus terminais. Uma possível solução para este problema é a introdução das estruturas com *emitter-shorts*, discutidas anteriormente no capítulo 2.

4.3 Estruturas com *emitter-shorts*

Sabemos que a introdução de regiões de curto-circuito, os *emitter-shorts*, entre a base tipo p e o emissor da região n_2 do transistor n_2 -p- n_1 muda a distribuição da corrente pelo dispositivo. Além disso, estas estruturas reduzem significativamente a resistência da base p, um fator que influencia de forma muito importante o valor da tensão de *breakover* do dispositivo supressor.

A presença dos *emitter-shorts* no dispositivo supressor faz com que um número maior de etapas de processo seja necessário para a sua fabricação. Estas etapas são apresentadas a seguir. Como o processo permanece idêntico até a etapa 5 do item anterior, apenas as reescrevemos sucintamente.

1. Formação das camadas tipo p

Difusão de boro com concentração na superfície de 10^{20} cm^{-3} , a $1250 \text{ }^\circ\text{C}$ por 31 horas (vide figura 4.2).

2. Oxidação térmica

Oxidação por 6 horas à temperatura de $1150 \text{ }^\circ\text{C}$ em ambiente úmido (figura 4.3).

3. Fotogravação das regiões n_2

- i) Deposição de fotorresiste AZ 1350J através de centrifugação a 7000 rpm por 30 segundos;
- ii) Coloca-se a lâmina em uma estufa a $90 \text{ }^\circ\text{C}$ durante 30 minutos;
- iii) Utilizando a máscara da figura 4.4, exposição em luz ultravioleta (UV) com potência 200 W por 23 segundos;
- iv) Revelação do fotorresiste sensibilizado durante 1 minuto através de uma solução composta por MIF312 e água deionizada na proporção 1:1.

A figura 4.5 mostra esta etapa do processo.

4. Corrosão do SiO_2

Corrosão do óxido utilizando a solução *buffer* de HF a $30 \text{ }^\circ\text{C}$ (vide figura 4.7).

5. Difusão de fósforo para a formação das regiões n_2

Difusão de fósforo com concentração na superfície de 10^{21} cm^{-3} , a $1250 \text{ }^\circ\text{C}$ por 12,5 horas (vide figura 4.9).

6. Oxidação térmica

O óxido crescido durante esta etapa é utilizado como máscara para a corrosão do silício para a abertura dos canais de *emitter-shorts*. Fazendo a oxidação à temperatura de 1150 °C durante 3 horas em ambiente úmido resulta num óxido de 1,2 µm. Esta espessura de óxido é usada para que este resista ao ataque da solução HNA, a qual é utilizada na etapa 8 para a corrosão do silício. A taxa de corrosão do óxido nesta solução pode chegar a 800 angstroms/min [22].

7. Fotogravação dos *emitter-shorts* e corrosão do óxido

Os passos para a execução deste item é idêntico àqueles da realizados para a fotogravação da etapa 3.

- i) Deposição de fotorresiste AZ 1350J.
- ii) Coloca-se a lâmina em uma estufa a 90 °C durante 30 minutos;
- iii) Usando uma máscara como a ilustrada pela figura 4.20, realiza-se a exposição da lâmina em luz ultravioleta.
- iv) Revelação do fotorresiste sensibilizado.

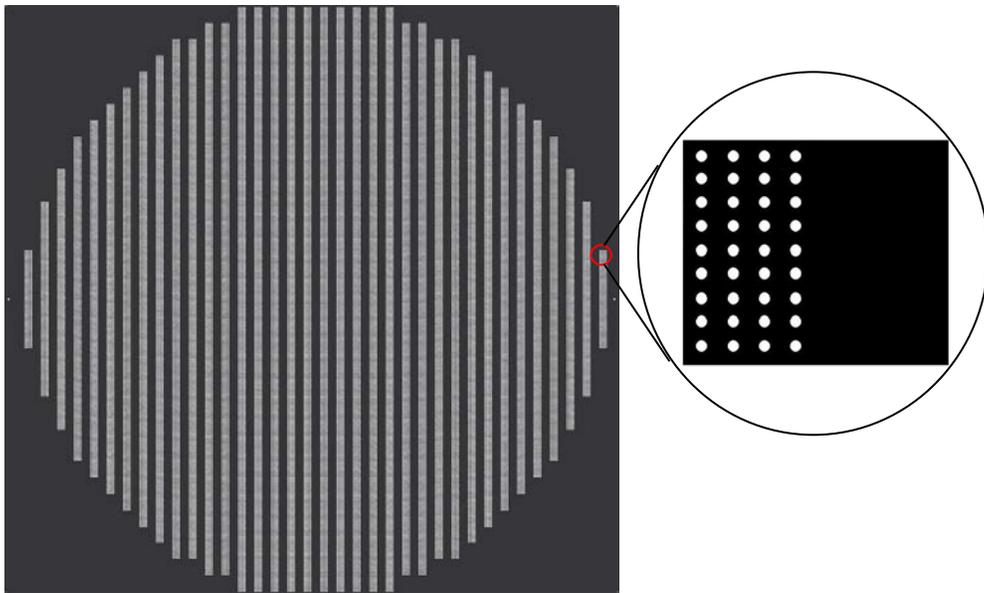


Figura 4.20 – Máscara para fotogravação de *emitter-shorts*.

Após os passos acima, faz-se a corrosão do SiO₂ exposto por 8 minutos utilizando a mesma solução *buffer* da etapa 4. Em seguida remove-se todo o fotorresiste, resultando na estrutura mostrada pela figura 4.21.

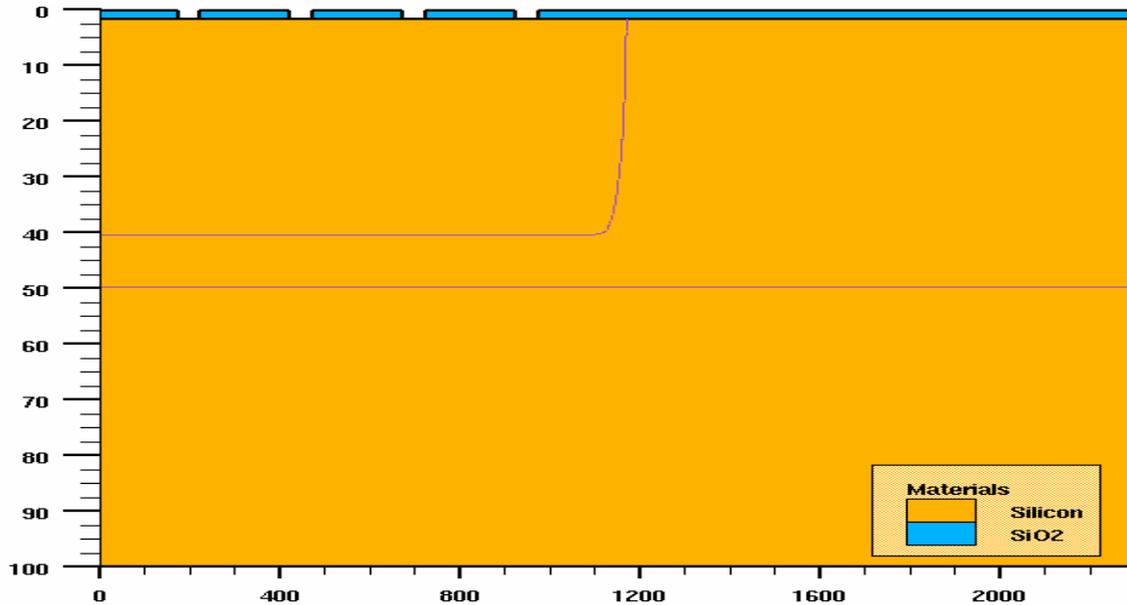


Figura 4.21 – Óxido como máscara para abertura de canais no Si.

Assim como na fotogração das regiões n₂, esta etapa é realizada separadamente para cada uma das faces da lâmina de silício.

8. Abertura dos canais de *emitter-shorts*

A abertura dos canais de *emitter-shorts* pode ser feita através da corrosão isotrópica do silício das regiões desprotegidas utilizando uma solução contendo HF, HNO₃ e CH₃COOH (ácido acético) também conhecida como HNA. A taxa de corrosão desta solução é 5 μm/min a 25 °C [21, 22].

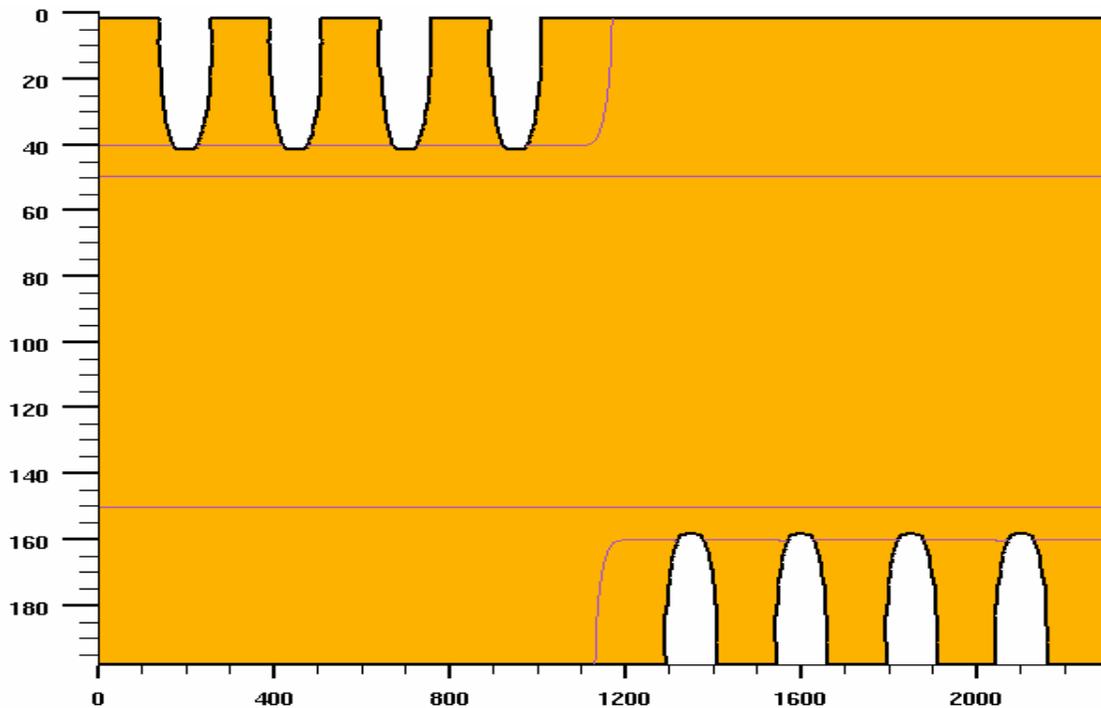
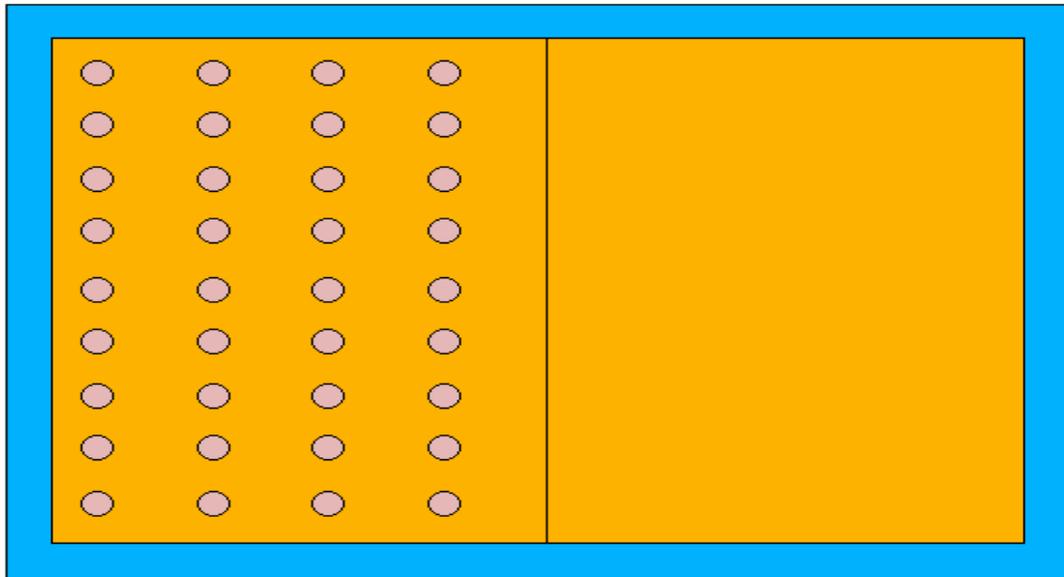


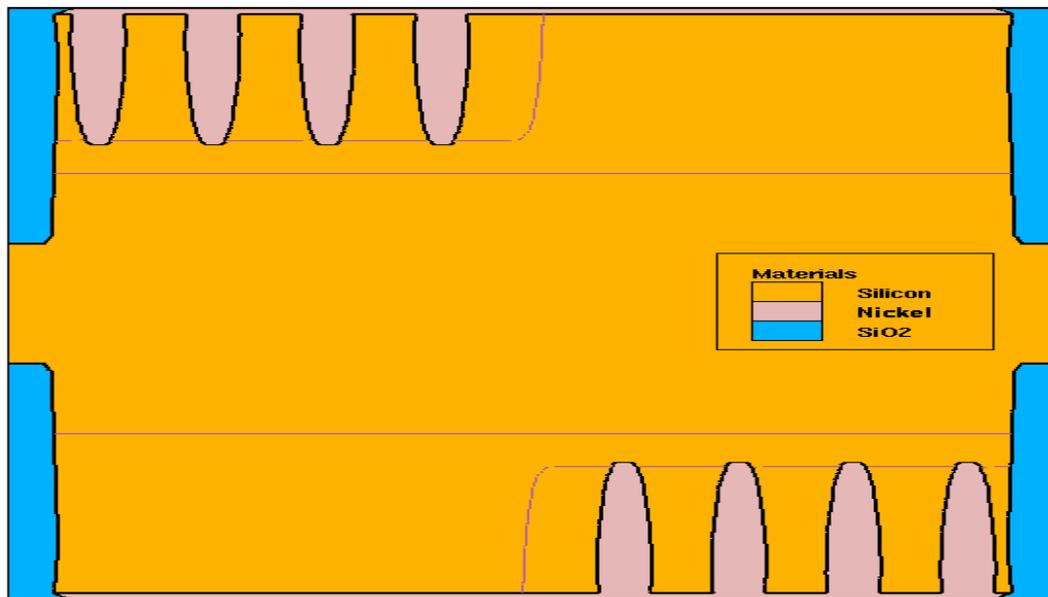
Figura 4.22 – Canais dos *emitter-shorts*.

A figura mostra que os canais têm profundidade em torno de 40 μm , valor mínimo para garantir que a junção p-n₂ seja colocada em curto-circuito. Esta etapa requer cuidado para que a corrosão não seja muito mais profunda que este valor, o que poderia colocar o dispositivo supressor em curto-circuito caso os canais ultrapassassem a junção n₁-p.

A partir deste ponto, o processo de fabricação do dispositivo com *emitter-shorts* é idêntico àquele do dispositivo supressor básico apresentado anteriormente, passando pelas mesmas etapas 6, 7, 8 e 9 da seção 4.2. A figura 4.23(a) mostra a vista superior do dispositivo supressor de surto ao final do seu processo de fabricação, da qual podemos observar a distribuição dos *emitter-shorts* ao longo da área do dispositivo, enquanto a figura 4.23(b) mostra a seção transversal.



(a)



(b)

Figura 4.23 – Dispositivo supressor de surto de tensão com *emitter-shorts*. (a) Vista superior. (b) Seção transversal.

4.3.1 Simulações *quasi-3D* de estruturas com *emitter-shorts*

Pela distribuição dos *emitter-shorts* da figura 4.23 fica claro que o comportamento do dispositivo supressor de surto de tensão com estas estruturas tem natureza tridimensional, de forma que simulações bidimensionais realizadas com o programa ATLAS não podem fornecer resultados confiáveis. No entanto, simulações 3D são impraticáveis, pois exigem recursos computacionais avançados e demandam tempos de simulação enormes. No entanto, simuladores *quasi-3D* baseados em Spice se mostram bastante adequados para o estudo de dispositivos como os TSPDs [13].

O método *quasi-3D* se baseia em dividir o dispositivo em volumes de quatro camadas, sendo cada um deles associado a um circuito elétrico equivalente, como mostra a figura 4.24, enquanto cada uma das camadas é uma rede discreta baseada em diferenças finitas com nós conectados por fontes de corrente de difusão-deriva [13]. Isto faz com que na direção vertical sejam solucionadas as equações referentes ao modelo dos transistores bipolares e na transversal se utiliza o método de diferenças finitas.

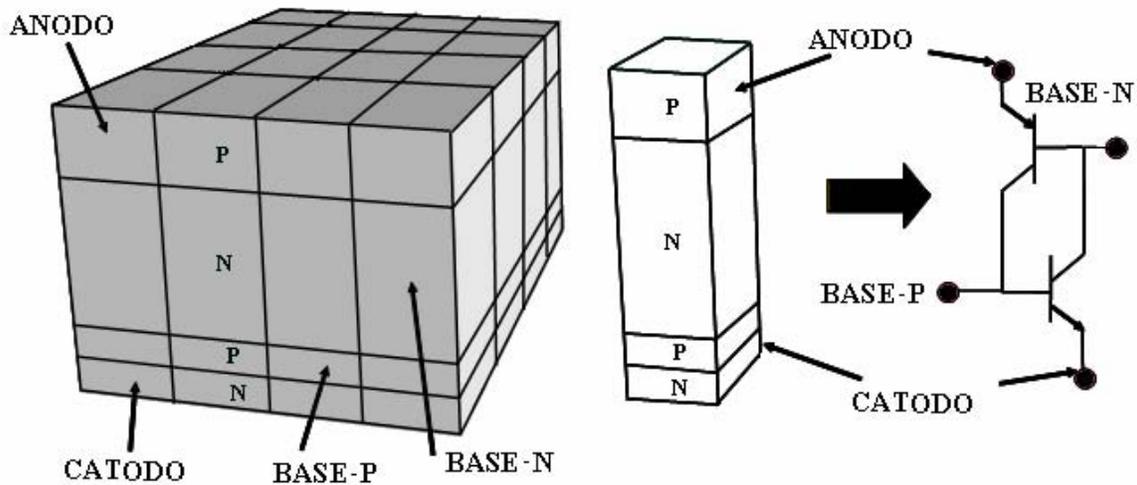


Figura 4.24 – Ilustração do método *quasi-3D* (retirado da ref. [13]).

Tipicamente, a geometria e dimensões dos *emitter-shorts* utilizadas em dispositivos comerciais são mostradas na figura 4.25.

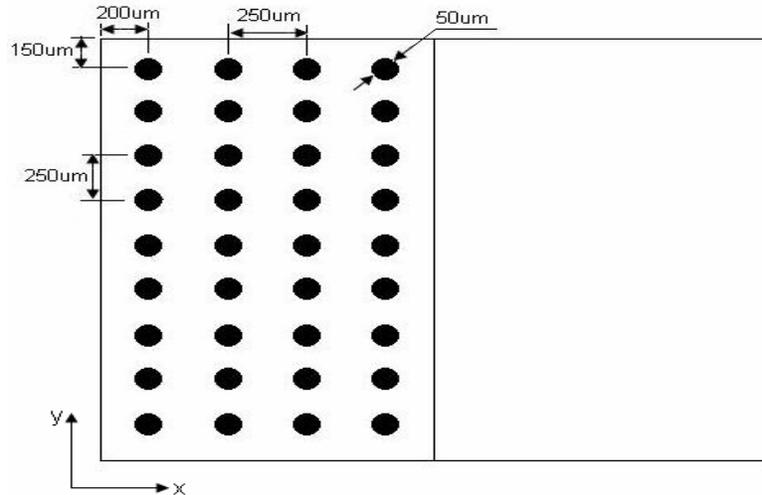


Figura 4.25 – Distribuição dos *emitter-shorts*.

Para um dispositivo supressor com disposição de *emitter-shorts* acima, é aplicado o pulso de corrente mostrado pela figura 4.26.

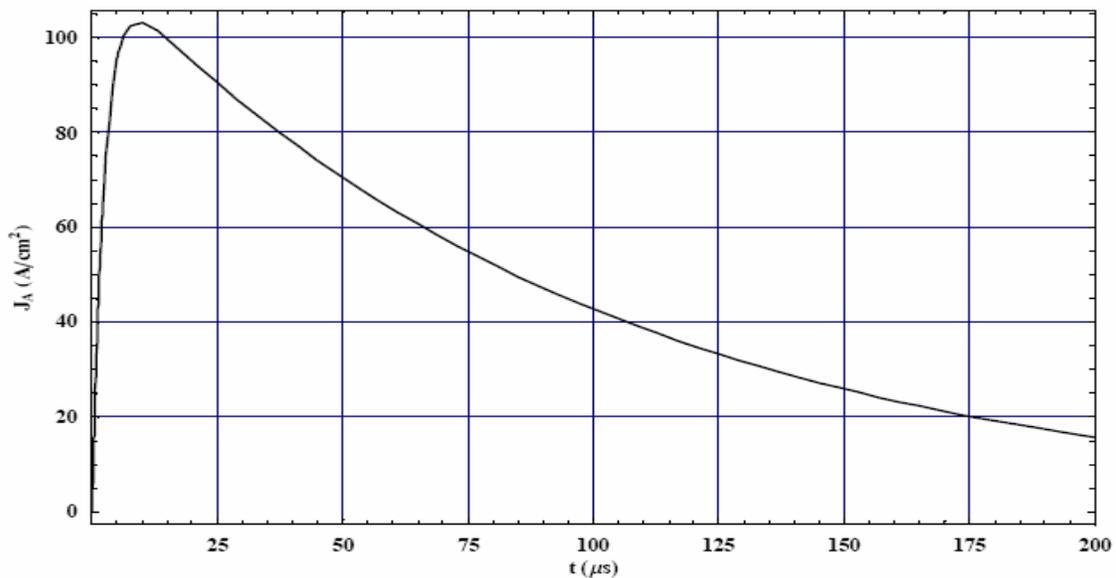
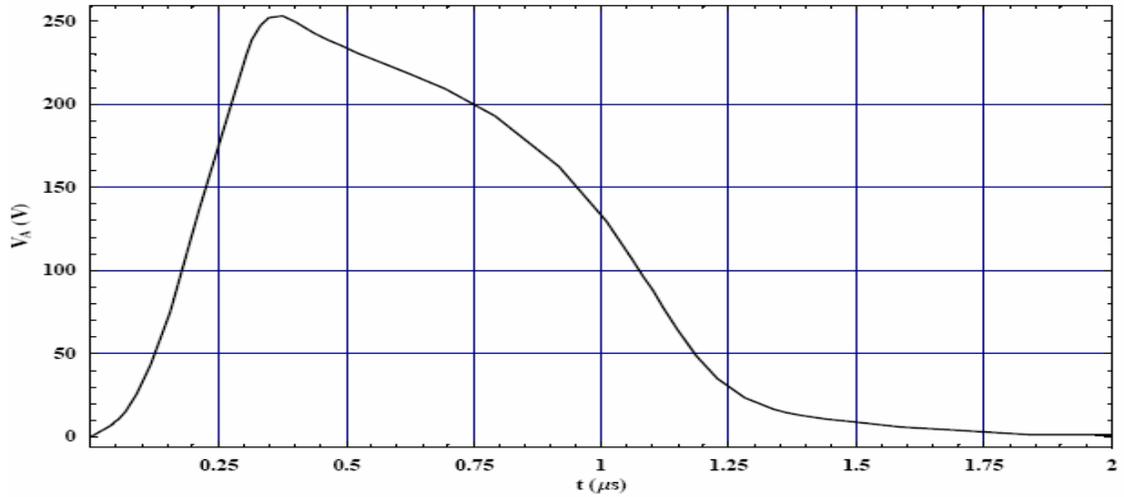
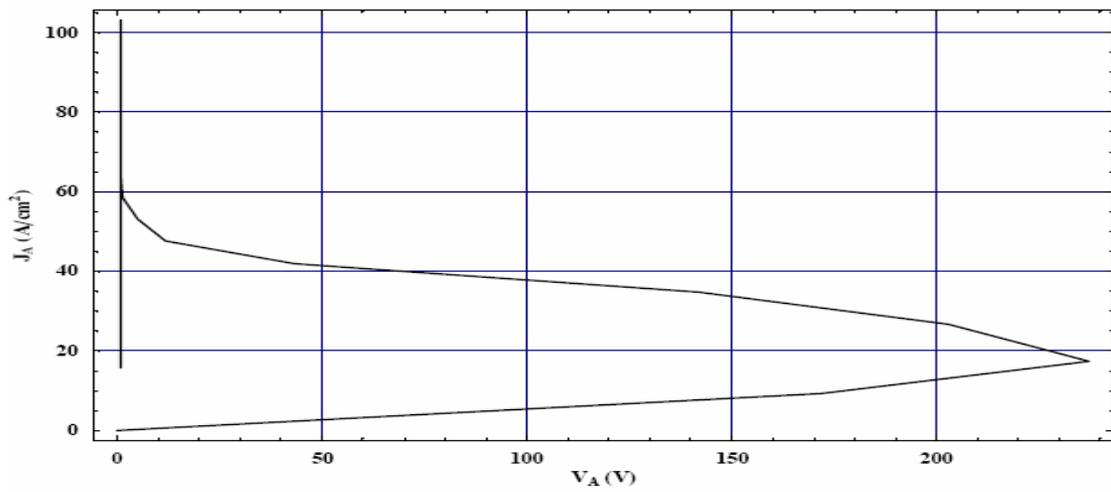


Figura 4.26 – Pulso de corrente aplicado ao dispositivo supressor de surto de tensão.

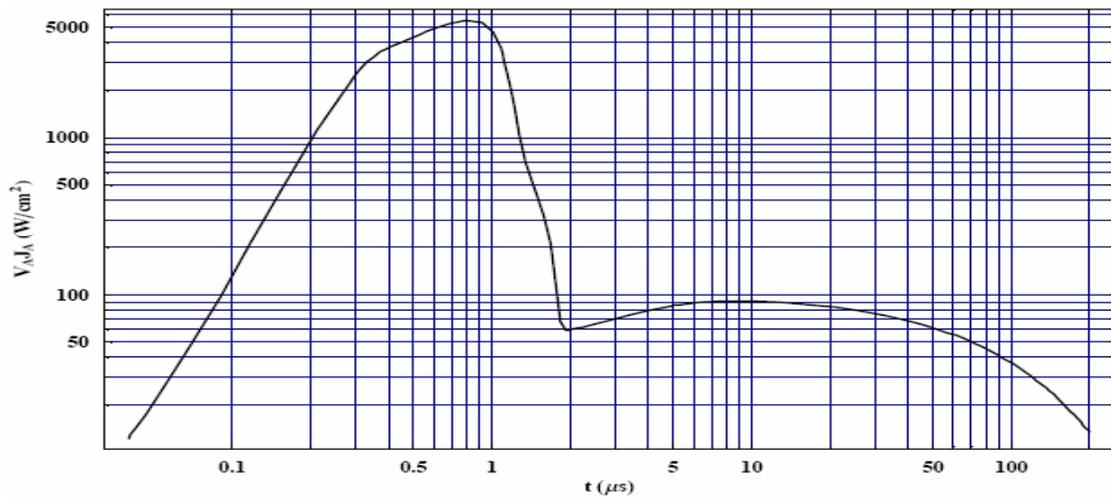
O resultado da simulação indica que o ponto de *breakover* ocorre para uma tensão em torno de 250 V. Além disso, a máxima dissipação de potência de $5000 \text{ W}/\text{cm}^2$ acontece no instante $t = 0,8 \mu\text{s}$, quando o dispositivo ainda não foi disparado e se encontra com uma alta queda de tensão atravessado por uma alta corrente. Estes resultados podem ser verificados pelos gráficos da figura 4.27.



(a)



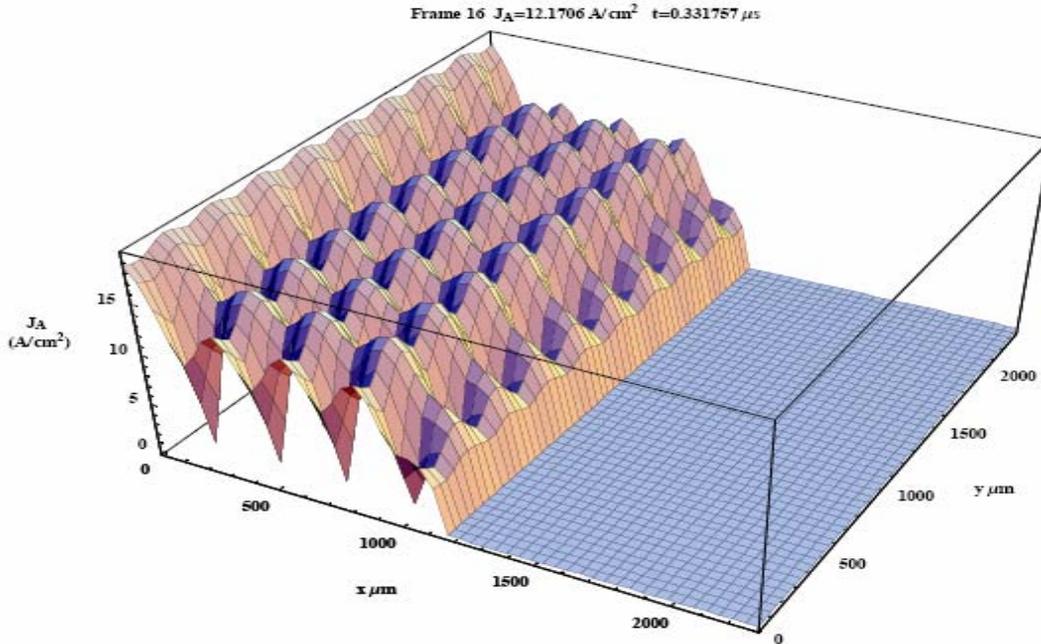
(b)



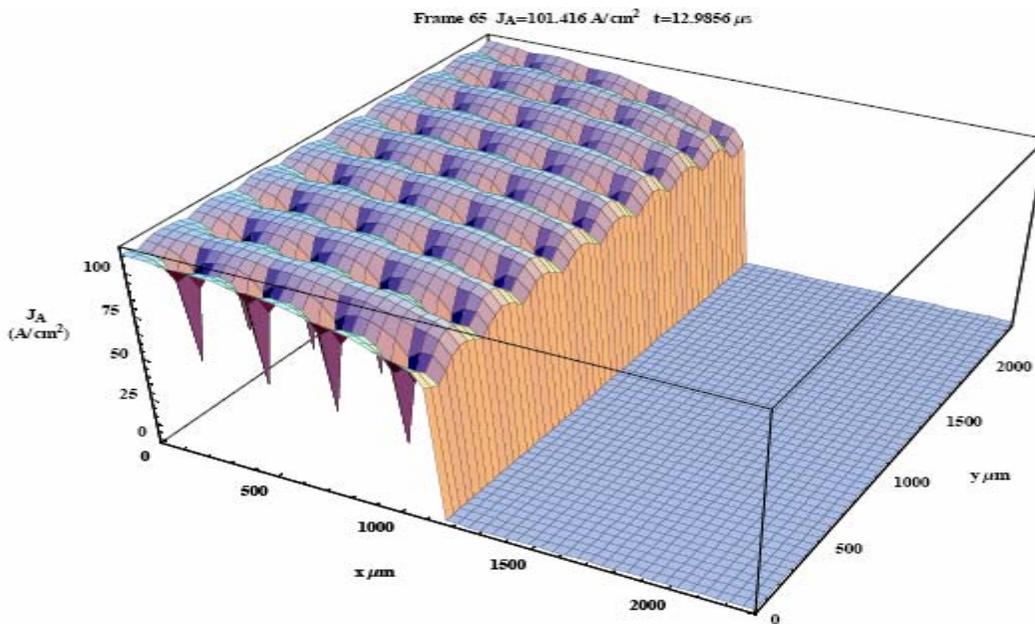
(c)

Figura 4.27 – (a) Tensão sobre o dispositivo. (b) Curva característica. (c) Potência dissipada.

Observamos que, para a distribuição de *emitter-shorts* proposta, a densidade de corrente é menor próximo à linha central do dispositivo, como mostra a figura 4.28(a). Isto ocorre devido ao curto-circuito parcial que é introduzido pela terminação da junção p-n₂. Após o chaveamento a densidade de corrente tende a se distribuir ao longo do dispositivo, tornando-se mais uniforme, como mostra a figura 4.28(b).



(a)



(b)

Figura 4.28 – Distribuição da densidade de corrente. (a) $t = 0,33 \mu\text{s}$. (b) $t = 12 \mu\text{s}$.

A potência máxima dissipada ocorre para o instante de aproximadamente 1 μs , atingindo o pico de 7374 W/cm^2 na borda do dispositivo.

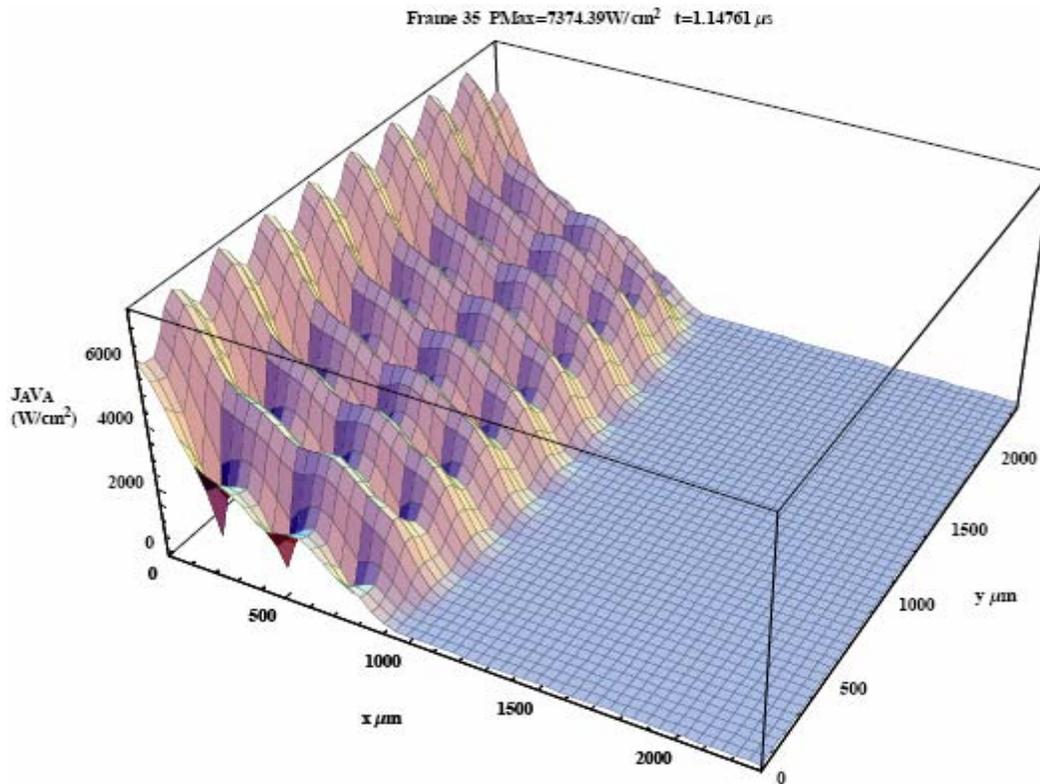


Figura 4.29 – Potência dissipada no instante 1,1 μs .

Uma característica desejável para o dispositivo supressor de surto de tensão é que a distribuição da corrente e dissipação de potência sejam as mais uniformes possíveis em sua área, pois assim se evita que o dispositivo seja danificado devido a um aquecimento local muito grande do silício. Com o padrão de curtos-circuitos mostrado na figura 4.25, que é centralizado em relação à área da região n_2 , não se obtém uma boa uniformidade. A causa para tal comportamento é a existência de um curto-circuito parcial introduzido pela terminação da junção $p-n_2$ no centro da estrutura, como já foi mencionado anteriormente. Na tentativa de obter distribuições mais uniformes, deslocamos em 100 μm e 150 μm o conjunto de *emitter-shorts* em direção à periferia do dispositivo, afastando-os da linha central, como mostra a figura 4.30 para o deslocamento de 100 μm .

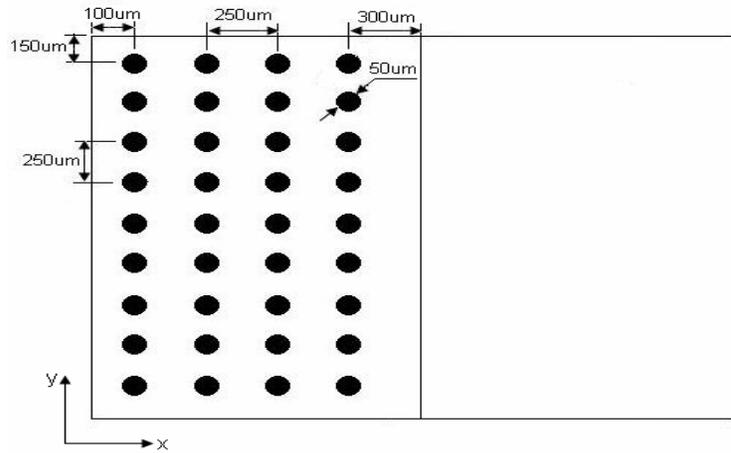
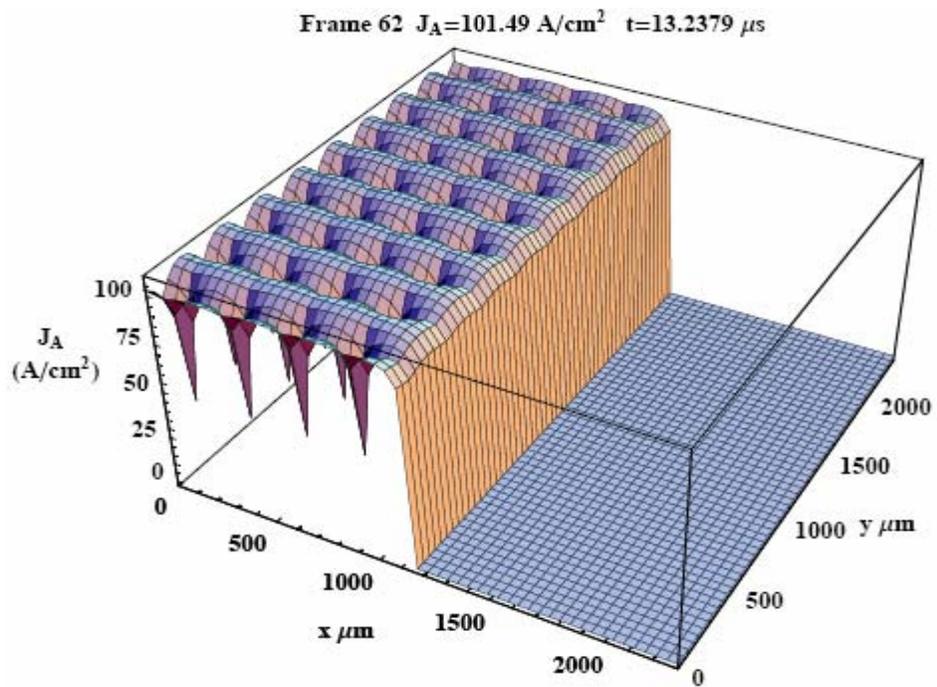
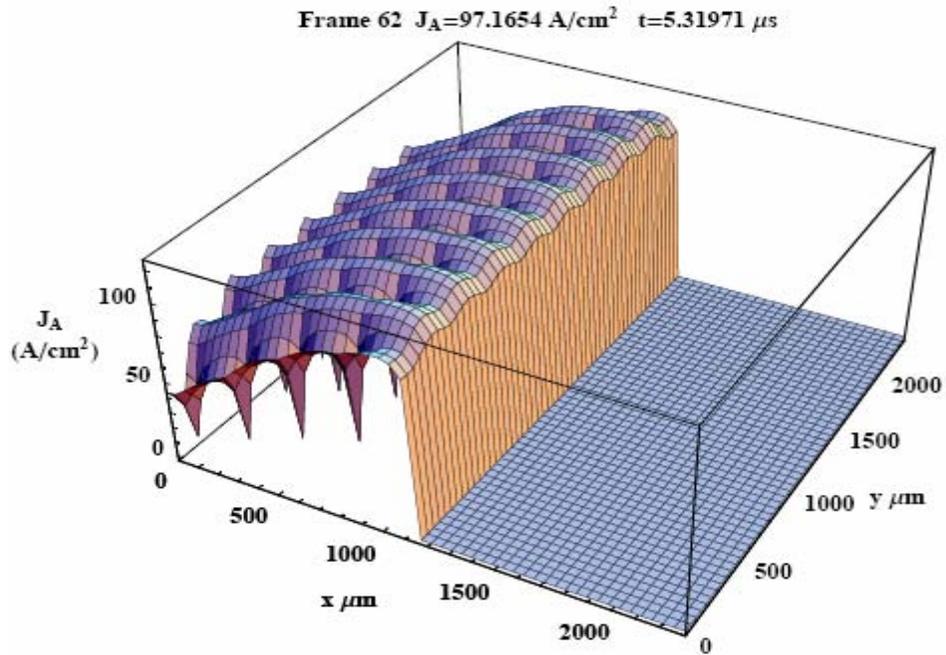


Figura 4.30 – Distribuição de *emitter-shorts* após o deslocamento do conjunto de 100 μm para a borda do dispositivo.

A distribuição da densidade de corrente obtida após os deslocamentos está mostrada na figura 4.31.



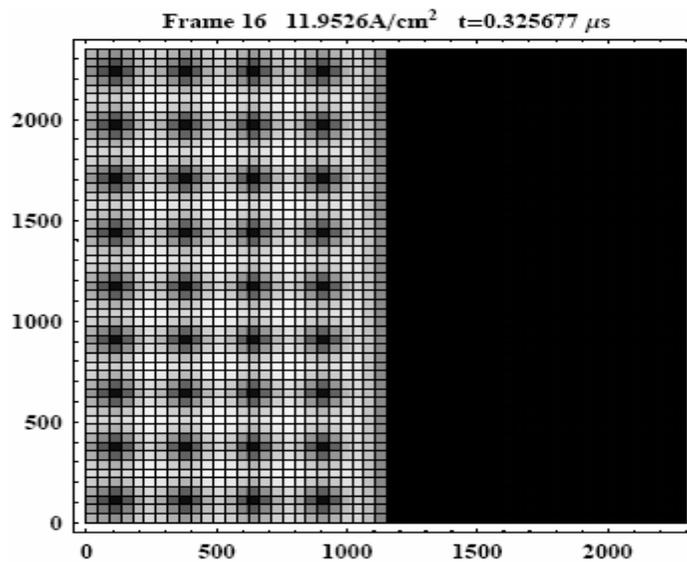
(a)



(b)

Figura 4.31 – Densidade de corrente. (a) Deslocamento de 100 μm. (b) Deslocamento de 150 μm.

Da figura 4.31 observamos que o deslocamento dos *emitter-shorts* de 100 μm resulta na maior uniformidade da distribuição da densidade de corrente. Já para o deslocamento de 150 μm a situação se inverte e a densidade de corrente fica maior na região central do dispositivo. Uma outra forma de visualização dos gráficos apresentados na figura anterior é mostrada bidimensionalmente pela figura 4.32.



(a)

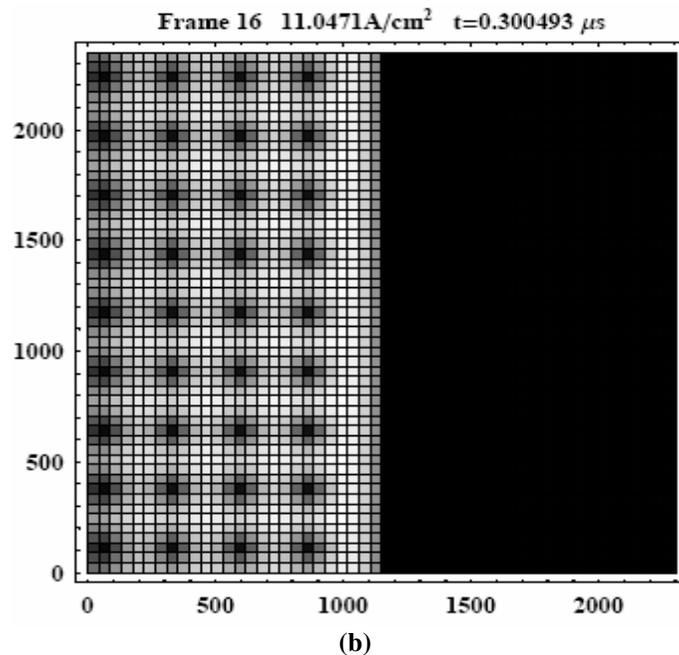


Figura 4.32 – Visualização 2D da densidade de corrente. (a) Deslocamento de 100 μ m. (b) 150 μ m.

Na figura 4.32, quanto mais escura estiver uma região, menor é a sua densidade de corrente.

Na análise acima apenas deslocamos as posições dos *emitter-shorts*, mantendo o seu diâmetro e as distâncias entre eles constantes, ou seja, a área de curto-circuito também permaneceu constante. Porém, da literatura [14, 22], sabemos que os parâmetros acima modificam o comportamento do dispositivo supressor conforme eles são alterados. Como expomos no capítulo 2, o aumento da área de curto, tanto pelo aumento das dimensões dos *emitter-shorts* quanto pela diminuição do espaçamento entre eles, aumenta a taxa dv/dt que o dispositivo pode suportar e diminui o tempo de recuperação reversa. No entanto, quanto maior for a área do curto mais tempo leva para ocorrer o espalhamento do modo de condução no dispositivo, podendo prejudicar a capacidade de suportar picos de corrente mais elevados.

4.4 Discussão dos resultados

O dispositivo supressor de surto de tensão gerado a partir de um processo de fabricação apresenta junções com perfil gradual, o que tende a aumentar a tensão de

ruptura da junção p-n₁ e, conseqüentemente, a tensão de *breakover*. No entanto, as simulações do dispositivo supressor básico (sem *emitter-shorts*) com dimensões reais mostraram que a tensão de *breakover* diminui bastante devido ao grande comprimento da região da base p.

Embora torne o processo de fabricação mais longo e um pouco mais complicado, uma solução para o problema citado no parágrafo acima é a introdução dos *emitter-shorts* na estrutura do dispositivo supressor, como ficou demonstrado pelas simulações através do método *quasi-3D*. Como resultado destas simulações, a tensão de *breakover* do dispositivo supressor ficou em torno de 250 V, valor que se encontra dentro da faixa estabelecida como critério de projeto. Além disso, verificamos que a melhor distribuição dos *emitter-shorts* é obtida quando os deslocamos de 100 µm para a borda do dispositivo, em relação à distribuição centralizada mostrada na figura 4.25, pois neste caso, a distribuição da corrente e da potência dissipada é a mais uniforme possível na área do dispositivo supressor de surto de tensão.

Capítulo 5

Conclusão

Neste trabalho, realizamos o projeto de um dispositivo supressor de surto de tensão comercial, com auxílio de ferramentas de simulação, para ser aplicado na proteção de equipamentos de telecomunicações.

O principal fator que determina a tensão de *breakover* do dispositivo é a dopagem do substrato tipo n e, para obtermos valores entre 200 V e 300 V, tal dopagem deve ficar próxima a 10^{15} cm^{-3} . A largura da base n formada no substrato também influencia o valor da tensão de *breakover*, no entanto, de forma bem menos significativa, o que garante certa tolerância na sua escolha. Isto é importante porque permite que ela seja adaptada conforme a necessidade do perfil de dopagem das camadas p, pois são estas que determinam o tamanho da base n. Outros fatores relevantes para a tensão de *breakover* são o ângulo de corte da junção e a passivação do dispositivo. Os melhores resultados ao obtidos com ângulos próximos de 90° e com materiais de passivação que contenham carga negativa.

A dopagem da base p representa um parâmetro crítico do dispositivo supressor. Para valores superiores a $2 \times 10^{17} \text{ cm}^{-3}$ o seu desempenho é drasticamente prejudicado, pois não ocorre o chaveamento completo do dispositivo de forma que a queda de tensão sobre seus terminais permanece extramente elevada, centenas de volts, mesmo sob condições de altas densidades de corrente. Como resultado, a dissipação de potência seria excessivamente alta e levaria à destruição do dispositivo. Este mesmo comportamento foi observado conforme a largura da região da base p é alterada. As simulações mostraram que para uma largura de $5 \mu\text{m}$ o dispositivo apresenta o melhor comportamento. Porém, devido às junções serem profundas, torna-se difícil obter uma base muito estreita e, dessa forma, no dispositivo final foi utilizada uma base com $10 \mu\text{m}$ de largura. Isto não representou degradação da operação do dispositivo supressor devido ao perfil gradual das junções.

O comprimento e a dopagem das regiões de emissores não têm grande relevância sobre o desempenho do dispositivo supressor, porém podem ser utilizados para provocar pequenas melhorias e alterações nos parâmetros de operação do dispositivo. Mantendo a dopagem entre 10^{19} cm^{-3} e 10^{21} cm^{-3} obtém-se bons resultados.

Pelas simulações *quasi-3D*, ficou evidente que a utilização de estruturas com *emitter-shorts* é a melhor opção, uma vez que estas possuem características de operação bastante superiores em relação à estrutura básica sem *emitter-shorts*. O dispositivo supressor final com *emitter-shorts* de 50 μm de diâmetro e espaçados entre si de 250 μm , não-centralizados em relação ao emissor e deslocados em direção à periferia apresentou um comportamento muito bom, com tensão de *breakover* de 250 V e com maior uniformidade na distribuição da densidade de corrente.

Portanto, o dispositivo supressor de surto de tensão a ser fabricado deve possuir as seguintes características:

- ✓ Substrato com dopagem de fósforo de 10^{15} cm^{-3} , espessura de 200 μm e área 2,3 x 2,3 mm^2 ;
- ✓ Profundidade das camadas p de 50 μm , dopadas com átomos de boro e difundidas a 1250 °C com concentração de 10^{20} cm^{-3} na superfície;
- ✓ Profundidade dos emissores de 40 μm , dopados com fósforo e difundidos a 1250 °C com concentração superficial de 10^{21} cm^{-3} ;
- ✓ Largura da base n_1 de 100 μm ;
- ✓ Largura da base p de 10 μm ;
- ✓ Distribuição de *emitter-shorts* de 50 μm de diâmetro, separados entre si de 250 μm e posicionados da mesma maneira como mostrado pela figura 4.30.
- ✓ Corte da junção n_1 -p em ângulo próximo a 90° e utilização de passivante com carga negativa.

Finalmente, podemos concluir que o objetivo principal deste trabalho foi atingido, tendo sido projetado um dispositivo supressor de surto de tensão que possui parâmetros de operação adequados para a proteção de equipamentos de telecomunicações e, além

disso, com um processo de fabricação simples, característica fundamental para sua aplicação em linha de produção comercial.

Como sugestões para trabalhos futuros, podemos citar:

- Executar a fabricação completa do dispositivo supressor de surto de tensão;
- Realizar a caracterização elétrica;
- Submeter os dispositivos a testes de confiabilidade.

Referências bibliográficas

- [1] D. Flores, X. Jordà, S. Hidalgo, J. Fernández, J. Rebollo, J. Millán, I. Sierra e I. Mazarredo, “An Optimized Bidirectional Lightning Surge Protector Semiconductor Device”, IEEE Trans. on Electromagnetic Compatibility, Vol. 41, No. 1, February 1999.
- [2] IEEE C62.37-1-2000, IEEE Guide for the Application of Thyristor Surge Protective Devices.
- [3] S. M. Sze, “Physics of Semiconductor Devices”, second edition, John Wiley & Sons, 1981, pp. 190 – 234.
- [4] F. E. Gentry, R. I. Scace and J. K. Flowers, “Bidirectional Triode P-N-P-N Switches”, Proc. of the IEEE, April 1965, pp. 355 – 369.
- [5] N. Mohan, T. M. Undeland, W. P. Robbins, “Power Electronics: Converters, Applications and Design”, John Wiley, New York, 1989.
- [6] BOURNS[®], “TISP[®] Terms and Letter Symbols”, October 2000.
- [7] H. Satoh, “Study on Increasing the Surge Capability of a Lightning Surge Protection Semiconductor Device”, IEEE Trans. on Electromagnetic Compatibility, Vol. 35, No. 2, May 1995, pp. 311 – 315.
- [8] GR-974-CORE, “Generic Requirements for Telecommunications Line Protector Units (TLPUs)”, Issue 3, June 2002.
- [9] S. Selberherr, “Analysis and Simulation of Semiconductor Devices”, Springer-Verlag, Wien, 1984.
- [10] IEEE C62.37-1996, IEEE Standard Test Specification for Thyristor Diode Surge Protective Devices.
- [11] A. Blicher, “Thyristor Physics”, Springer – Verlag, New York, 1976.
- [12] A. Blicher, “Field-Effect and Bipolar Power Transistor Physics”, Academic Press, 1981, pp. 3 – 170.
- [13] Rodolfo Quintero Romo, “Current Distribution Optimization of Thyristor Over-Voltage Protectors, by Quasi-3D Simulation”, Proc. of the 6th International

- Caribbean Conference on Devices, Circuits and Systems, Mexico, Apr. 26-28, 2006, pp. 333 – 338.
- [14] C. K. Chu, “Geometry of Thyristor Cathode Shunts”. IEEE Trans. on Electron Devices, Vol. ED-17, No. 9, September 1970, pp. 687 – 690.
- [15] S. Ikeda, T. Araki, “The di/dt Capability of Thyristors”, Proc. of the IEEE, Vol. 55, No. 8, August 1967, pp. 1301 – 1305.
- [16] R. L. Davies and F. E. Gentry, “Control of Electric Field at the Surface of P-N Junctions”, IEEE Trans. on Electron Devices, pp. 313 – 323.
- [17] Manual SILVACO.
- [18] “Modeling Bidirectional Thyristor Using ATLAS”, The Simulation Standard, Silvaco International, November 1999.
- [19] Felipe Lorenzo Della Lucia – Comunicação pessoal.
- [20] S. M. Sze, “VLSI Technology”, McGraw-Hill, 1984, pp. 160 – 163.
- [21] J. L. Vossen, W. Kern, “Thin Film Processes”, Academic Press, 1978, pp. 438 – 450.
- [22] M. J. Madou, “Fundamentals of Microfabrication”, second edition, CRC Press, 2001, pp. 201 – 215.
- [23] A. Munoz-Yague, P. Leturcq, “Optimum Design of Thyristor Gate-Emitter Geometry”, IEEE Trans. on Electron Devices, Vol. ED-23, No. 8, August 1976, pp. 917 – 924.
- [24] W. H. Dodson and R. L. Longini, “Skip Turn-On of Thyristors”, IEEE Trans. on Electron Devices, Vol. ED-13, No. 7, July 1966, pp. 598 – 604.
- [25] S. Ikeda, S. Tsuda, Y. Waki, “The Current Pulse Ratings of Thyristors”, IEEE Trans. on Electron Devices, Vol. ED-17, No. 9, September 1970, pp. 690 – 693.
- [26] W. W. Sheng, “The Effect of Auger Recombination on the Emitter Injection Efficiency of Bipolar Transistors”, IEEE Trans. on Electron Devices, January 1975, pp. 25 – 27.
- [27] H. J. J. De Man, “The Influence of Heavy Doping on the Emitter Efficiency of a Bipolar Transistor”, IEEE Trans. on Electron Devices, Vol. ED-18, No. 10, October 1971, pp. 833 – 835.

- [28] J. Cornu and M. Lietz, "Numerical Investigation of the Thyristor Forward Characteristic", IEEE Trans. on Electron Devices, Vol. ED-19, No. 8, August 1972, pp. 975 – 981.
- [29] J. Cornu, "The Influence of Doping Inhomogeneities on the Reverse Characteristic of Semiconductor Power Devices", IEEE Trans. on Electron Devices, Vol. ED-22, No. 3, March 1975, pp. 108 – 114.
- [30] M. S. Adler, V. A. K. Temple, "A General Method for Predicting the Avalanche Breakdown Voltage of Negative Bevelled Devices", IEEE Trans. on Electron Devices, Vol. ED-23, No. 8, August 1976, pp. 956 – 960.
- [31] R. A. Kokosa, "The Potential and Carrier Distributions of a p-n-p-n Device in the ON State", Proc. of the IEEE, Vol. 55, No. 8, August 1967, pp. 1389 – 1400.
- [32] M. Otsuka, "The Forward Characteristics of Thyristors", Proc. of the IEEE, Vol. 55, No. 8, August 1967, pp. 1400 – 1408.
- [33] I. Somos and D. E. Piccone, "Behavior of Thyristors Under Transient Conditions", Proc. of the IEEE, Vol. 55, No. 8, August 1967, pp. 1306 – 1311.
- [34] H. Satoh, Y. Shimoda, "Lightning Surge Protection Semiconductor Device for Subscriber Telecommunication Equipment", Proc. of 1995 IEEE International Symposium on Electromagnetic Compatibility, August 1995, pp. 242 – 247.
- [35] H. Satoh, Y. Shimoda, "Two-Dimensional Analysis of Surge Response in Thyristor Lightning Surge Protection Device", Proc. of 1996 International Symposium on Power Semiconductor Devices & ICs, May 1996, pp. 265 – 268.
- [36] T. S. Sundresh, "Reverse Transient in p-n-p-n Triodes", IEEE Trans. on Electron Devices, Vol. 14, July 1967, pp. 400 – 402.
- [37] S. W. Byatt, M. J. Maytum, "Improving the Low temperature Lightning Surge Performance of Thyristor Overvoltage Protectors", Proc. of 1993 IEEE International Symposium on Electromagnetic Compatibility, August 1993, pp. 455 – 460.
- [38] P. R. Walsh, A. F. J. Murray, W. A. Lane, "A Family of Novel Surge Protection Devices with Improved Parameter Control", Proc. of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto, pp. 301 – 304.

- [39] B. Freydin, E. Velmre, A. Udal, “Failure Prediction of Power Devices Under Reverse Surge Current Conditions”, Proc. of 1992 International Symposium on Power Semiconductor Devices & ICs, Tokyo, pp.118 – 123.
- [40] M. S. Tyagi, “Introduction to Semiconductor Materials and Devices”, John Wiley, New York, 1991.
- [41] J. A. Pomílio, “Apostila de Eletrônica de Potência – Cap. 1”, 2001.
- [42] J. Millman, C. C. Halkias, “Eletrônica”, Vol. 2, 2ª edição, McGraw-Hill do Brasil, 1981, pp. 756 – 764, 773 – 806.

Apêndice A

O Tiristor

O tiristor básico é composto por quatro camadas de material semiconductor, normalmente silício, formando uma estrutura p-n-p-n. Tipicamente, possuem três terminais denominados anodo, catodo e porta (ou *gate*), como mostra a figura abaixo.

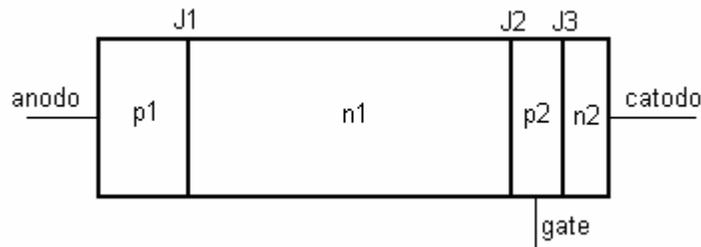


Figura A.1 – Estrutura básica do tiristor.

Nesta estrutura a região p_1 é o anodo, a região n_2 é o catodo e as regiões n_1 e p_2 são conhecidas como bases do tiristor. Vemos que esta estrutura é composta por três junções, designadas aqui por J_1 , J_2 e J_3 . Conforme a polarização externa aplicada aos terminais do dispositivo, estas junções podem ser diretamente ou reversamente polarizadas, o que determina o modo de operação do tiristor.

Suponhamos inicialmente que ao terminal de anodo seja aplicada uma tensão positiva em relação ao catodo, mantendo-se o terminal de porta em aberto. Isto faz com que as junções J_1 e J_3 fiquem diretamente polarizadas, enquanto a junção J_2 permanece reversamente polarizada. Devido a esta polarização reversa em J_2 , a corrente que circula do terminal de anodo em direção ao catodo é muito pequena e, neste caso, dizemos que o tiristor está operando no modo de bloqueio direto (*forward blocking mode*), região entre os pontos (0) e (1) mostrados na figura A.2, a curva característica do tiristor. Esta condição será mantida até que a tensão V_{AK} (tensão entre anodo e catodo) seja grande o suficiente para provocar a ruptura da barreira de potencial em J_2 , isto é, quando V_{AK} atinge V_{BF} (*Forward Breakover Voltage*) a região de depleção formada pela polarização

reversa em J_2 é desfeita e o dispositivo é chaveado para um estado de baixa tensão podendo conduzir uma corrente bastante elevada, região representada no gráfico entre os pontos (2) e (3). Nesta condição, o tiristor opera na região de condução direta (*forward on-state*). Entre os pontos (1) e (2) temos a região de resistência negativa, pois a corrente aumenta ao passo que a tensão diminui.

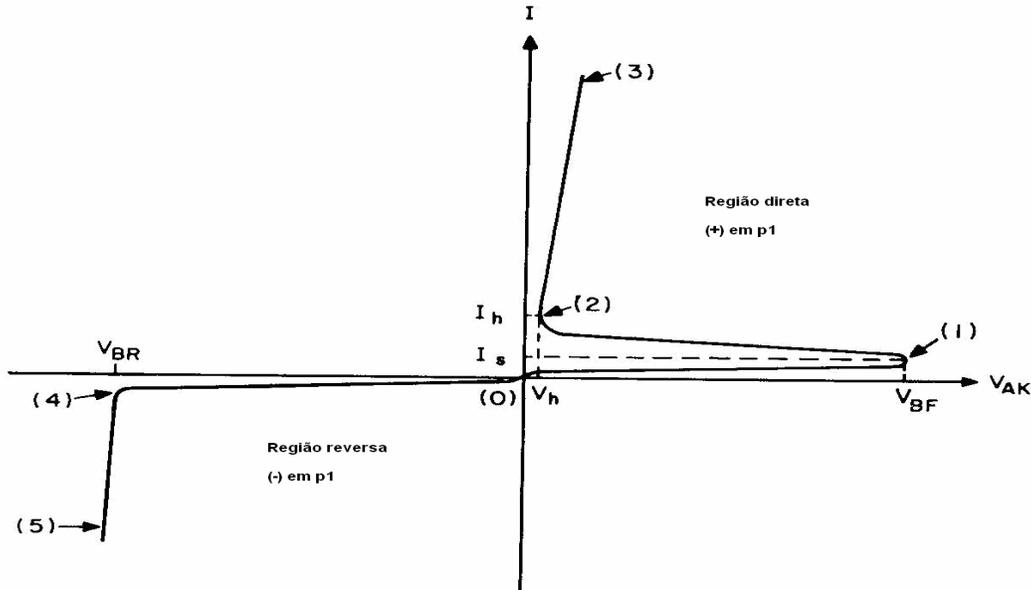


Figura A.2 – Curva característica do tiristor (retirado da ref. [3]).

De acordo com o gráfico, a mínima corrente necessária para fazer com que o dispositivo passe do modo de bloqueio direto para o modo de condução direta é I_S , denominada corrente de chaveamento (*switching current*). Após entrar na região de condução direta, o dispositivo deve conduzir uma corrente maior que I_H , denominada corrente de manutenção (*holding current*), para que permaneça nesta região de operação.

O comportamento descrito acima ainda não leva em consideração o terminal de porta para o funcionamento do tiristor. Aplicando-se uma tensão positiva a este terminal, a junção J_3 é diretamente polarizada e, portanto, circula uma corrente entre os terminais de porta e catodo. Esta corrente faz com que elétrons sejam injetados da região n_2 para a região p_2 através de J_3 . Por construção, a camada p_2 é estreita o suficiente para permitir que estes elétrons atinjam e atravessem J_2 , sendo então atraído pelo anodo. Se esta corrente que circula entre porta e catodo for suficientemente elevada para fazer com que a corrente entre anodo e catodo alcance I_S , o tiristor é disparado e levado à condução direta.

Isto significa que o terminal de porta pode controlar o disparo do tiristor, reduzindo a tensão V_{BF} em que ocorre esse chaveamento.

Pela discussão apresentada fica claro que a estrutura p-n-p-n apresenta um comportamento biestável, ou seja, pode ser mantida em um estado de alta impedância (ou desligado) mantendo-se a corrente abaixo de I_S e pode ser mantida em um estado de baixa impedância (ligado) fazendo a corrente ser maior que I_H .

Para o tiristor operando no modo de bloqueio reverso (entre os pontos (4) e (5) da figura A.2), isto é, aplicando uma tensão negativa entre anodo e catodo, as junções J_1 e J_3 ficarão reversamente polarizadas enquanto J_2 permanecerá diretamente polarizada. Como J_3 é formada por camadas com alta dopagem ela não pode sustentar uma polarização reversa muito elevada, ou seja, a tensão aplicada é sustentada basicamente por J_1 . Neste caso, circula uma corrente inversa pequena entre anodo e catodo até que a tensão aplicada provoque a ruptura de J_1 , fazendo com que a corrente reversa aumente rapidamente. Isto ocorre para uma tensão denominada tensão de ruptura reversa (V_{BR} – *reverse breakover voltage*).

A.1 O Modo de Bloqueio Reverso

A tensão de ruptura reversa de uma junção pode ser limitada por dois fatores: pelo processo de ruptura por avalanche ou pelo *punch-through* da região de depleção.

Como descrito anteriormente, com o tiristor polarizado reversamente, praticamente toda a tensão aplicada cai sobre a região de depleção em J_1 dentro da camada n_1 , uma vez que esta é bem menos dopada que a região p_1 . Portanto, o fator que determina se o mecanismo de ruptura no tiristor é por avalanche ou *punch-through* é a espessura W_{n1} da região n_1 . Se a região de depleção formada na tensão de ruptura for menor que W_{n1} , então a ruptura se dá por avalanche, e se ela cobrir toda a largura W_{n1} então ocorre o fenômeno de *punch-through*, ou seja, a junção J_1 é curto-circuitada com J_2 [2]. Em um tiristor W_{n1} geralmente é grande o suficiente para suportar altas quedas de tensão e com isso a ruptura ocorre normalmente pelo processo de avalanche.

Considerando-se que a dopagem da camada n_1 é muito menor que a da região p_1 , a tensão de ruptura desta junção é basicamente determinada pelo nível de dopagem em n_1 e é dada, em volts, por [3]

$$V_B = 5,34 \times 10^{13} (N_{D1})^{-3/4} \quad (A.1)$$

onde N_{D1} é a concentração de dopantes da região n_1 na unidade cm^{-3} .

No entanto, a capacidade de bloqueio do tiristor é sempre menor que aquela dada acima. As camadas $p_1-n_1-p_2$ formam uma estrutura equivalente a de um transistor pnp com a base em aberto, cuja tensão de ruptura é reduzida devido ao efeito transistor e é dada por [3]

$$V_{BR} = V_B (1 - \alpha_p)^{1/m} \quad (A.2)$$

onde α_p é o ganho de corrente DC do transistor pnp na configuração base comum, m é uma constante (~ 6 para diodos p^+n) e V_B é dado pela equação (A.1).

Na equação (A.2), o termo $(1 - \alpha_p)^{1/m}$ é sempre menor que 1 e, portanto, a tensão de ruptura reversa do tiristor é sempre menor que V_B .

A.2 O Modo de Bloqueio Direto

A estrutura do tiristor pode ser modelada pelo circuito elétrico equivalente mostrado na figura A.3. Neste circuito as camadas $p_1-n_1-p_2$ compõem um transistor bipolar pnp, enquanto que $n_2-p_2-n_1$ formam o transistor npn.

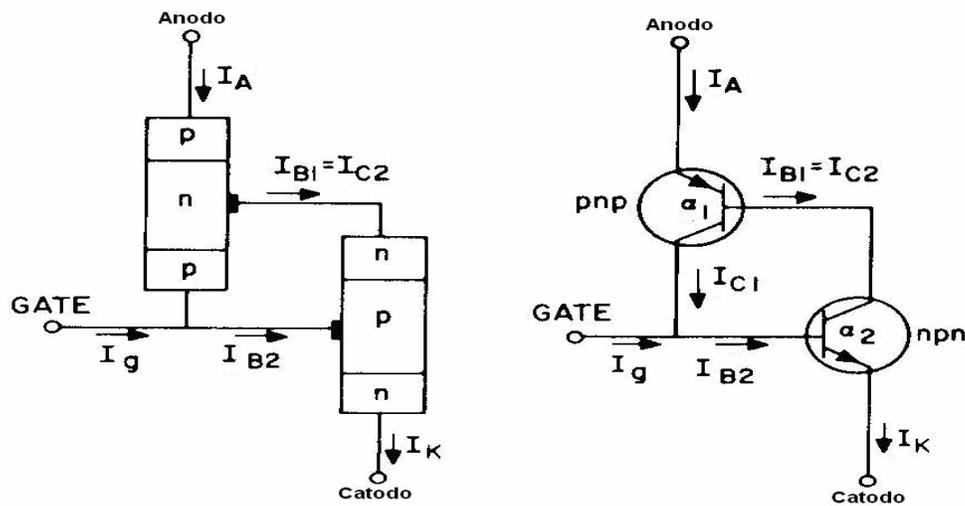


Figura A.3 – Circuito equivalente da estrutura do tiristor (retirado da ref. [3]).

Sabendo que para um transistor bipolar

$$I_C = \alpha I_E + I_{C0} \quad (\text{A.3})$$

e

$$I_B = (1 - \alpha)I_E - I_{C0} \quad (\text{A.4})$$

onde I_{C0} é a corrente reversa de saturação da junção base-coletor do transistor, realizando uma análise do circuito equivalente temos [3]

$$I_{B1} = (1 - \alpha_p)I_A - I_{C01} \text{ e } I_{C2} = \alpha_N I_K + I_{C02} \quad (\text{A.5})$$

para o transistor pnp e para o transistor npn, respectivamente.

Porém, $I_{B1} = I_{C2}$, como mostra o circuito, resultando em

$$(1 - \alpha_p)I_A - I_{C01} = \alpha_N I_K + I_{C02}. \quad (\text{A.6})$$

Substituindo $I_K = I_A + I_G$ e resolvendo a equação (A.6) para I_A , obtemos

$$I_A = \frac{\alpha_N I_G + I_{C01} + I_{C02}}{1 - (\alpha_p + \alpha_N)}. \quad (\text{A.7})$$

Assumindo que $I_G = 0$, a equação acima fica

$$I_A = \frac{I_{C01} + I_{C02}}{1 - (\alpha_p + \alpha_N)}. \quad (\text{A.8})$$

A equação mostra que a corrente no tiristor é baixa enquanto a soma dos ganhos dos transistores é muito menor que a unidade. Esta situação corresponde ao modo de bloqueio direto, onde a tensão V_{AK} é suportada pela junção J_2 , como já foi descrito anteriormente.

A modelagem de transistores bipolares mostra que o ganho α não é constante, sendo uma função da corrente de emissor [4]. Assim, à medida que a corrente pelo dispositivo aumenta, tanto pelo aumento da tensão entre anodo e catodo quanto pelo aumento de I_G , os ganhos dos transistores também aumentam e quando $\alpha_P + \alpha_N = 1$ a corrente I_A cresce indefinidamente. Na prática isto é impossível e o ponto em que o denominador da equação (A.8) se anula corresponde ao chaveamento do tiristor do estado de bloqueio direto para o estado de condução direta [2, 3].

O ponto de *breakover* do tiristor é definido por $dV_{AK}/dI_A = 0$, e na verdade, esta condição ocorre antes mesmo de $\alpha_P + \alpha_N = 1$. De fato, é a condição $\alpha_1 + \alpha_2 = 1$ que determina o chaveamento [2, 3], onde α_1 e α_2 são os ganhos em pequenos sinais dos transistores pnp e npn, respectivamente.

Assumindo que a junção J_2 permaneça reversamente polarizada com uma queda de tensão V_2 suficientemente elevada para produzir a multiplicação de portadores dentro da região de depleção e que circula uma corrente I pela junção, podemos escrever [3]

$$I = M_p I_p + M_n I_n \quad (\text{A.9})$$

onde $M_{p(n)}$ é coeficiente de multiplicação de lacunas (elétrons).

Sendo I_p a corrente de coletor do transistor pnp e I_n a corrente do transistor npn, assumindo $I_A = I_K = I$ e ainda fazendo $M_p = M_n = M$, temos

$$I_p = \alpha_P(I) \cdot I + I_{C01} \quad \text{e} \quad I_n = \alpha_N(I) \cdot I + I_{C02}$$

e, portanto,

$$I = M(V_2) [\alpha_P(I) \cdot I + \alpha_N(I) \cdot I + I_{C01} + I_{C02}]. \quad (\text{A.10})$$

O fator de multiplicação M pode ser expresso por [3]

$$M(V_2) = \frac{1}{1 - (V_2/V_B)^m} \quad (\text{A.11})$$

onde V_B é dado pela equação (A.1) e m é uma constante.

Combinando as equações (A.10) e (A.11) e assumindo $I \gg I_{C01} + I_{C02}$ obtemos a tensão de ruptura direta, isto é, a tensão de chaveamento

$$V_{BF} = V_B (1 - \alpha_P - \alpha_N)^{1/m}. \quad (\text{A.12})$$

Podemos observar que esta equação é muito semelhante à equação (A.2) para a tensão de ruptura do tiristor no modo de bloqueio reverso.

De acordo com a teoria de transistores bipolares [2-4], o ganho α pode ser expresso por

$$\alpha = \alpha_T \gamma \quad (\text{A.13})$$

onde α_T é denominado fator de transporte e γ é a eficiência de injeção. Para um transistor bipolar com base uniformemente dopada o fator de transporte é dado por [4]

$$\alpha_T = [\cosh(W_B / L_B)]^{-1} \quad (\text{A.14})$$

onde W_B é a largura da base e L_B é comprimento de difusão dos portadores minoritários na base. Para larguras de base muito menores que o comprimento de difusão, a expressão anterior pode ser aproximada por [3, 4]

$$\alpha_T = 1 - \frac{1}{2} \left(\frac{W_B}{L_B} \right)^2. \quad (\text{A.15})$$

A eficiência de injeção pode ser aproximada por [3]

$$\gamma \approx \frac{1}{1 + N_B W_B / N_E L_E} \quad (\text{A.16})$$

onde N_E e N_B são as dopagens da região de emissor e base, respectivamente, W_E é o comprimento do emissor e L_E é o comprimento de difusão dos portadores minoritários no emissor.

A.3 O Modo de Condução Direta

No modo de bloqueio direto J_1 e J_3 estão diretamente polarizadas enquanto J_2 está reversamente polarizada. Devido à polarização de J_1 , lacunas são injetadas da região de emissor p_1 para a base n_1 . Nesta região as lacunas difundem até atingirem a região de depleção formada em J_2 e serem coletadas em p_2 , que é a base do transistor n_2 - p_2 - n_1 . Estas lacunas provenientes de p_1 que são coletadas em p_2 representam um excesso de portadores majoritários na base do transistor n_2 - p_2 - n_1 e este aumento de carga na base faz com que o emissor n_2 injete mais elétrons para a base p_2 . Estes elétrons percorrem essa região até serem coletados em n_1 , aumentando a carga de elétrons nesta região. Da mesma forma, o excesso de portadores majoritários presentes na base n_1 faz com que mais lacunas sejam injetadas a partir de p_1 . Como vemos, este é um processo de realimentação positiva, onde o aumento da injeção de lacunas a partir de p_1 culmina com o aumento da injeção de elétrons de n_2 , resultando no aumento da corrente através do dispositivo [2]. Quando a corrente que circula pelo dispositivo é grande o suficiente, ela rompe a região de depleção em J_2 provocando a diminuição de sua tensão reversa até o ponto em que ela desaparece e fica diretamente polarizada. Este é o processo de chaveamento que conduz o tiristor ao modo de condução direta.

Neste modo de operação todas as três junções estão diretamente polarizadas, de forma que lacunas são injetadas da região p e elétrons da região n_2 . Como o transistor n_2 - p - n_1 opera em saturação ele estabelece um contato remoto com a região n_1 e o dispositivo oferece a mínima resistência ao fluxo de corrente direto. Nestas condições, o tiristor opera de forma semelhante a um diodo p - i - n [3].

Para um diodo p-i-n onde a largura da região i é W, a corrente direta é função da taxa de recombinação das lacunas e elétrons dentro da região i, sendo dada por [3]

$$J = \int_0^W qR dx \quad (\text{A.17})$$

onde R é a taxa de recombinação e pode ser expressa por [3]

$$R = G(n^2 p + p^2 n) + \frac{np - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)} \quad (\text{A.18})$$

onde o primeiro termo é devido ao processo de recombinação Auger e o seu coeficiente G é $\sim 2 \times 10^{-31} \text{ cm}^6/\text{s}$ para o silício. O segundo termo é causado pela recombinação via estados localizados no meio da banda proibida, e τ_p e τ_n são os tempos de vida das lacunas e elétrons, respectivamente. Uma vez que todas as três junções do dispositivo estão diretamente polarizadas é razoável se considerar que, no limite, $n = p \gg n_i$, e a equação (A.18) é reduzida a [3]

$$\tau_{ef} = \frac{n}{R} = \left(2Gn^2 + \frac{1}{\tau_p + \tau_n} \right)^{-1}. \quad (\text{A.19})$$

Se a concentração de portadores é aproximadamente constante na região i, a densidade de corrente é dada por [3]

$$J = \frac{qnW}{\tau_{ef}}. \quad (\text{A.20})$$

Ao mesmo tempo, a densidade de corrente pode ser escrita como [3]

$$J = q(\mu_n + \mu_p)nE = \frac{q}{kT} \frac{(b+1)^2}{2b} qD_a nE \quad (\text{A.21})$$

onde E é o campo elétrico médio, b é a taxa μ_n/μ_p , e D_a é o coeficiente de difusão ambipolar.

Sendo a queda de tensão através da região i dada por $V_m = W.E$, combinando (A.20) e (A.21), temos [3]

$$V_m = \frac{kT}{q} \frac{2b}{(b+1)^2} \left(\frac{W^2}{D_a \tau_{ef}} \right). \quad (\text{A.22})$$

A equação acima mostra que a tensão de condução direta do tiristor é inversamente proporcional ao tempo de vida efetivo dos portadores, isto é, se desejamos que o dispositivo opere com baixa queda de tensão direta devemos aumentar o tempo de vida dos portadores e reduzir W .

Neste ponto devemos salientar que, em condução direta as junções do tiristor estão diretamente polarizadas e isto pode conduzir o dispositivo a um estado de alta injeção. Neste caso, além do efeito sobre o tempo de vida dos portadores, já considerado anteriormente, a condição de alta injeção provoca a redução dos coeficientes de difusão, mobilidade dos portadores, culminando com um aumento de V_m . Além disso, se tivermos regiões com altas dopagens, estes parâmetros também são reduzidos, o que novamente resulta no aumento da tensão de condução direta do tiristor.