

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E
MICROELETRÔNICA

Este exemplar corresponde à redação final da tese
defendida por WALTER GERMANOVIX
e aprovada pela Comissão
Juizadora em 27/08/93.
Orientador
CARLOS ALBERTO DOS REIS FILHO

DISSERTAÇÃO DE MESTRADO

TÍTULO: UM TRANSMISSOR DE DOIS FIOS ENDEREÇÁVEL INTEGRÁVEL

ALUNO: WALTER GERMANOVIX ^{≅47}

ORIENTADOR: PROF. DR. CARLOS ALBERTO DOS REIS FILHO [±]

Dissertação apresentada à Comissão de Pós-Graduação
da Faculdade de Engenharia Elétrica como parte dos re-
quisitos para obtenção do título de Mestre em Engenharia
Elétrica.

AGRADECIMENTOS

De maneira especial ao meu orientador que, com dedicação e de forma sábia conduziu este trabalho, e às pessoas que de alguma forma cooperaram para que esta tese de mestrado pudesse ser realizada.

ÍNDICE:

RESUMO.....	3
INTRODUÇÃO.....	4
CAPÍTULO 1	
1.1 - DESCRIÇÃO DO SISTEMA A NÍVEL DE BLOCO.....	6
1.2 - ELEMENTOS DO SISTEMA.....	7
1.2.1 - UNIDADE DE ENDEREÇAMENTO.....	8
1.2.2 - LINHA DE TRANSMISSÃO.....	12
1.2.3 - UNIDADES REMOTAS.....	13
CAPÍTULO 2	
PROJETO DO CIRCUITO (INTEGRADO) DA UNIDADE REMOTA.....	15
2.1 - INTRODUÇÃO.....	15
2.2 - FILTRO ATIVO PASSA-BANDA COM AMPLIFICADOR IDEAL.....	15
2.2.1 - CIRCUITO DO FILTRO COM AMPLIFICADOR IDEAL.....	16
2.3 - PROJETO DO FILTRO PARA O C.I. COM TRANSISTORES MOS..	18
2.3.1 - AMPLIFICADOR COM TRANSISTORES MOS.....	18
2.3.2 - CIRCUITO DE POLARIZAÇÃO.....	26
2.3.3 - SEGUIDOR DE FONTE.....	27
2.3.4 - DESLOCADOR DE NÍVEL.....	29
2.3.5 - FILTRO ATIVO COMPLETO.....	32
2.3.5.1 - SIMULAÇÃO DO FILTRO NO PSPICE.....	32
2.3.5.2 - IMPLEMENTAÇÃO DO FILTRO EM "BREAD BOARD".....	34
2.4 - DETETOR DE PICO.....	35
2.4.1 - IMPLEMENTAÇÃO DO CIRCUITO EM "BREAD-BOARD".....	35
2.4.2 - O CAPACITOR DO DETETOR DE PICO DO C.I.....	36
2.5 - COMPARAÇÃO E MEMORIZAÇÃO DO SINAL DE ENDEREÇAMENTO..	37
2.5.1 - DESCRIÇÃO DE QUATRO CASOS POSSÍVEIS.....	37
2.5.2 - PROJETO DO CIRCUITO COMPARADOR E MEMÓRIA.....	49
2.5.2.1 - IMPLEMENTAÇÃO DO CIRCUITO EM "BREAD-BOARD".....	49
2.5.2.2 - VERSÃO INTEGRADA DO CIRCUITO DE COMPARAÇÃO E ME- MÓRIA.....	52

CAPÍTULO 3

3.1 - PROJETO DO C.I. DA UNIDADE REMOTA.....	56
3.1.1 - PONTOS DE ACESSO INTERNO AO C.I.....	58
3.1.2 - SIMULAÇÕES.....	60
3.1.3 - SIMULAÇÃO DA CONEXÃO DE TRÊS UNIDADES REMOTAS NA LINHA DE TRANSMISSÃO.....	61
3.2 - IMPLEMENTAÇÃO DE UM U. R. COMPLETA COM CD4007 EM "BREAD-BOARD".....	69
3.2.1 - ESQUEMA DO CIRCUITO COMPLETO DE UMA UNIDADE REMOTA UTILIZANDO "ARRAYS" DE TRANSISTORES CD4007.....	71
3.2.2 - COMPARAÇÃO DO PROJETO DO C.I. COM A MONTAGEM.....	74
3.3 - ACIONAMENTO DO SCR.....	80
3.3.1 - RESULTADOS EXPERIMENTAIS.....	81
3.4 - MÁSCARA DO C.I.....	89
CONCLUSÃO.....	90
APÊNDICE A	
FILTRO ATIVO PASSA-BANDA.....	91
APÊNDICE B	
AMPLIFICADOR COM TRANSISTORES MOS.....	97
APÊNDICE C	
MODELOS DOS TRANSISTORES MOS DO PMU7.....	105
REFERÊNCIAS.....	106

RESUMO

Transmissores de loop de corrente, alimentados por uma unidade central, são os meios mais usados para interfaceamento de sensores remotos e equipamentos de leitura de dados, de um sistema de controle de processo. Estes transmissores fornecem um condicionamento "in loco" do sinal produzido pelo sensor, estabelecendo uma relação linear entre o sinal do sensor e a corrente de loop.

O transporte de informação, por meio da modulação de corrente, tem a vantagem de ser bastante insensível às interferências ambientais. Além disso, a informação pode ser facilmente lida pela central que alimenta o transmissor.

Normalmente, toda unidade remota, que consiste de um transmissor de loop de corrente e um sensor, é conectada individualmente a um equipamento de leitura de dados através de um par de fios. Consequentemente quando um número grande de sensores é envolvido, uma grande quantidade de cabos convergem para a central, causando dificuldades para a expansão e manutenção do sistema.

Este trabalho descreve uma técnica de endereçamento, específica para esta aplicação, que permite a utilização de apenas um par de fios do qual compartilham diversas unidades remotas.

Resultados de uma montagem experimental, que inclui uma linha de transmissão de 400 m, com três unidades remotas endereçáveis são apresentados.

INTRODUÇÃO

A comunicação entre sensores remotos e a central de aquisição de dados em uma instalação industrial é normalmente feita através de um dispositivo, instalado junto ao sensor, que se acha conectado à central de aquisição de dados através de dois fios.

Este dispositivo condiciona localmente o sinal produzido pelo sensor e o converte em corrente contínua que fluirá pelos dois fios que o liga à central.

A unidade remota, aqui chamada Condicionador-Transmissor é energizada pela fonte de alimentação, situada junto à central de aquisição de dados, que impõe uma tensão nos terminais dos dois fios.

A utilização de um par de fios para cada sensor gera problemas de manutenção e expansão à medida que o número de sensores aumenta.

Considerando que na maioria dos processos industriais que envolvem o controle e monitoração de Temperatura, Pressão, etc., os tempos de leitura são razoavelmente grandes, Reis e Wilgo [1 - 2] propuseram uma ligação destes elementos em paralelo com uma única linha de dois fios, atribuindo a cada unidade remota um endereço exclusivo: Um condicionador/transmissor de dois fios endereçável.

Neste sistema a fonte de alimentação muda periodicamente de polaridade de tal modo que durante a vigência de uma destas polaridades, um sinal de endereçamento, por exemplo frequência, é aplicado à linha, atingindo todas as unidades a ela conectadas. O elemento endereçado armazena esta informação em um dispositivo de memória que, na transição da mudança de polaridade da tensão de alimentação da linha, acionará uma chave analógica,

fechando o circuito que a une à central de aquisição.

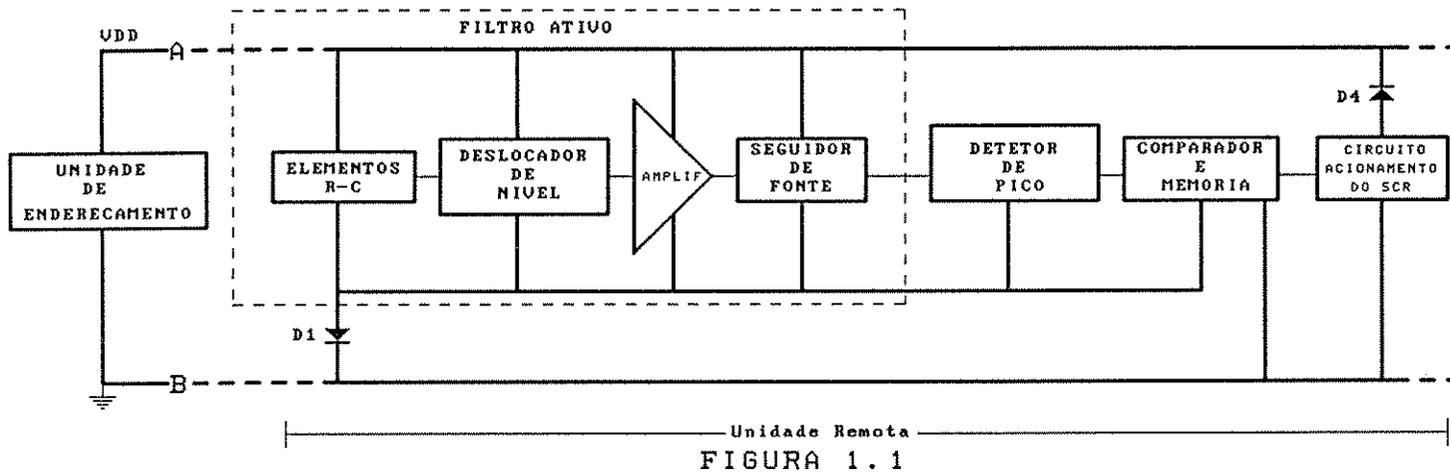
Desta forma se estabelece uma conexão única entre a central de aquisição de dados e a unidade remota endereçada, onde a informação do sinal do sensor está contida no nível de corrente, entre 4 a 20mA, produzida pelo circuito condicionador que é parte da unidade remota.

Uma implementação, com resultados experimentais deste sistema, é descrita em [1] e [2]. Uma nova implementação, mais apropriada para integração em tecnologia CMOS é o objetivo deste trabalho.

CAPÍTULO 1

1.1 - DESCRIÇÃO DO SISTEMA A NÍVEL DE BLOCOS:

O funcionamento do sistema pode ser entendido através da descrição do diagrama de blocos mostrado na figura 1.1:



Unidade Remota

FIGURA 1.1

A finalidade da unidade de endereçamento é gerar, sobre a linha de transmissão representada por A B, uma tensão DC que é a alimentação das unidades remotas. A esta tensão DC é sobreposto um sinal de pequena amplitude cuja frequência corresponde ao endereçamento de uma unidade remota. Após um certo tempo, a tensão de alimentação da linha é invertida, isto é, passa a ser negativa e a unidade de endereçamento fica ligada em série com a unidade remota endereçada, permitindo a leitura em corrente da informação produzida pelo sensor remoto. Decorrido mais um tempo há nova inversão de polaridade na linha e o envio de um outro sinal de endereçamento.

A linha de transmissão é o meio físico de interligação entre a unidade de endereçamento com as unidades remotas.

Quando a tensão na linha é positiva, as unidades remotas têm como finalidade, identificar a frequência do sinal sobreposto à alimentação da linha e armazenar essa informação. Se a frequência corresponder ao seu endereço, a unidade remota coloca o circuito que contém o sensor, em série com a linha, quando a unidade de endereçamento inverter a polaridade da alimentação.

1.2 - ELEMENTOS DO SISTEMA:

De acordo com a descrição do diagrama de blocos acima, entende-se que o sistema é composto de três partes: Uma unidade de endereçamento, a linha de transmissão e as unidades remotas.

1.2.1 - UNIDADE DE ENDEREÇAMENTO:

A figura 1.2 apresenta o circuito da unidade de endereçamento [1,2]:

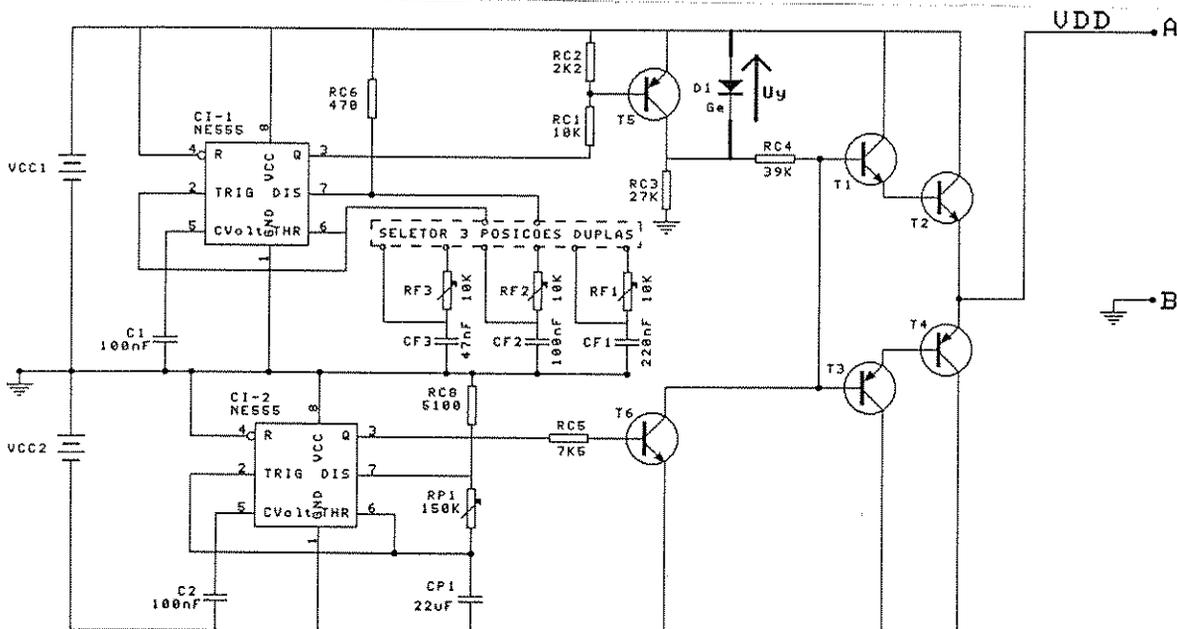


FIGURA 1.2

Para essa configuração o CI-1 (555) gera o sinal de endereçamento cuja frequência é dada pelo resistor R_{Fx} e pelo capacitor C_{Fx} , dependendo da posição da chave seletora. O CI-2 (555) é responsável pela troca e tempo em que a polaridade da linha da transmissão é mantida invertida. Esse tempo é controlado pelo resistor $RP1$ e pelo capacitor $CP1$. O funcionamento do circuito é o seguinte:

Considerando primeiramente que o CI-2 apresenta o pino 3 em potencial baixo resulta que o transistor $T6$ está em corte assim como os transistores $T3$ e $T4$, com isso os transistores $T1$ e $T2$ são polarizados pelo diodo $D1$ ou pelos terminais coletor-emissor do transistor

T5, dependendo do potencial no pino 3 do CI-1, que oscila conforme a frequência de endereçamento de uma unidade remota.

No caso em que o CI-1 apresentar o seu pino 3 em potencial baixo o transistor T5 conduzirá, colocando o diodo D1, de germânio, em "curto", uma vez que $V_{CE} \cong 0$, e o potencial no ponto A da linha de transmissão em relação ao ponto B será aproximadamente:

$$V_A \cong V_{CC1} - 2.V_{BE} \quad \text{eq. (1.1)}$$

onde V_{BE} está representando a queda de tensão nas junções PN dos transistores T1 e T2.

ou seja:

$$V_A \cong V_{CC1} - 1.2 \quad \text{eq. (1.2)}$$

Agora, quando o pino 3 do CI-1 estiver com seu potencial alto o transistor T5 deixa de conduzir, fazendo com que a tensão direta do diodo D1, altere o valor do potencial do ponto A para:

$$V_A \cong V_{CC1} - U_y - 2.V_{BE} \quad \text{eq. (1.3)}$$

Logo teremos :

$$V_A \cong V_{CC1} - 1.4V \quad \text{eq. (1.4)}$$

Tal como descrito em [1] e [2], é utilizado um diodo de Germânio para estabelecer a amplitude do sinal de endereçamento em aproximadamente 200 mV.

Desse modo, o sinal produzido em A tem a forma de uma onda quadrada cuja amplitude varia de $V_{CC1} - 1.2$ a $V_{CC1} - 1.4$, com frequência estabelecida pelo CI-1.

A inversão de polaridade da tensão VA ocorre quando o pino 3 do CI-2 passa para o estado de potencial alto, fazendo o transistor T6 conduzir, que corta os transistores T1 e T2. Quando ainda os transistores T1 e T2 estão em corte os transistores T3 e T4 conduzem e definem o potencial VA que passa a ser:

$$V_A \cong -V_{CC2} + 2.V_{BE} \quad \text{eq. (1.5)}$$

ou seja, a polaridade da linha de transmissão é invertida.

Essa condição permanece até que o pino 3 do CI-2 mude, repetindo, assim o ciclo.

Temos assim, dois estados definidos na linha de transmissão. Um, onde o potencial no terminal A é positivo em relação a B, e ao qual é sobreposto um sinal cuja frequência caracteriza o endereçamento de uma unidade remota e outro estado, onde a polaridade de A é invertida. Neste último caso a unidade remota endereçada no estado anterior, fecha o circuito de comunicação com a unidade de endereçamento, podendo transmitir informações, por exemplo de um sensor a ela conectado, em forma de corrente contínua. A corrente transmitida pela unidade remota pode ser lida através da queda de potencial no resistor R_{LER} , conforme ilustra o esquema da figura 1.3.

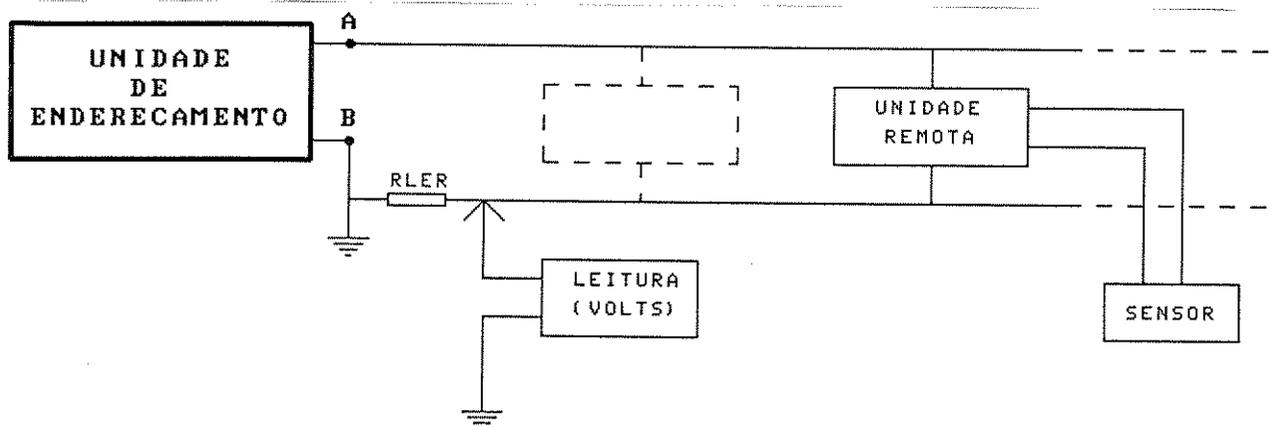


FIGURA 1.3

Adotamos a tensão nominal de alimentação da linha como +15 [V] para o primeiro estado, e -15 [V] para o segundo. Como sinais de endereçamento, adotamos as frequências 500 Hz, 1000 Hz e 2000 Hz em correspondência a três unidades remotas que foram utilizadas na caracterização dos circuitos experimentais.

1.2.2 - LINHA DE TRANSMISSÃO:

A linha de transmissão, indicada na figura 1.1 pelos pontos A e B, consiste de um par de fios tipo FE-100, normalmente utilizada para comunicações telefônicas, cujas especificações são:

Comprimento: 400 m

Diâmetro dos condutores: 1 mm

Distância entre os condutores: $\cong 4,2$ mm

Revestimento: polietileno

Resistência ôhmica: 32 m Ω /metro

Capacitância: 67 pF/metro (medida realizada com um capacímetro marca ENGRO - mod. CD-820, que aplica, para tal medida, uma frequência de 820 Hz na linha).

Para dimensionar o sistema, consideramos a utilização de dez unidades remotas, podendo cada unidade suportar uma variação máxima de 3V em sua tensão de alimentação que corresponde a uma variação percentual máxima de 20 % , quando a linha for alimentada com 15 V.

Para verificar, a máxima corrente que cada unidade remota, durante a fase de endereçamento, poderá consumir, consideramos que todas as unidades estão conectadas no ponto mais distante da linha. Com isso, chegamos à corrente máxima de 11mA por unidade remota.

Embora tenhamos especificado o sistema para a utilização de até dez unidades remotas, todo trabalho experimental foi realizado utilizando-se apenas três unidades remotas.

1.2.3 - UNIDADES REMOTAS:

A identificação de uma frequência de endereçamento, em cada unidade remota, é feita através de um filtro ativo, passa banda, sintonizado individualmente.

O sinal na saída do filtro ativo, que é senoidal, é aplicado a um detetor de pico e a tensão DC obtida é comparada com uma tensão de referência.

O circuito comparador informa uma memória analógica se a frequência corresponde, ou não, ao endereço da unidade remota. Esta informação implica em acionar, ou não, um SCR de baixa potência que fechará o circuito no ponto onde se encontra a unidade remota endereçada. As unidades remotas não endereçadas permanecerão desativadas nesse tempo.

Assim, as unidades remotas conectadas ao longo da linha, têm como função identificar o sinal de endereçamento e acionar um SCR de baixa potência que fecha o circuito, neste ponto, com a unidade de endereçamento.

Quando houver a inversão de polaridade na linha de transmissão, o diodo D1, mostrado na figura 1.1, têm como finalidade bloquear o circuito de identificação associado a cada unidade remota.

No desenvolvimento deste trabalho implementamos diversos circuitos experimentais, utilizando matrizes de transistores MOS (CD4007), verificando assim, o aspecto funcional do sistema. A partir destes circuitos que utilizam o CD4007 foi projetado o circuito integrado da

unidade remota. Durante o projeto do C.I. nos serviram como balizadores os resultados obtidos em "bread-board" e simulações em PSPICE, usando os modelos de transistores do PMU7.

CAPÍTULO 2

PROJETO DO CIRCUITO (INTEGRADO) DA UNIDADE REMOTA

2.1 - INTRODUÇÃO:

A unidade remota se constitui, essencialmente, dos seguintes elementos: Um filtro ativo passa-banda, um detetor de pico, um comparador de tensões e um circuito de acionamento de SCR.

No texto que se segue, relatamos o procedimento de projeto, focalizando cada um destes elementos que compõem a unidade remota.

Inicialmente fizemos o dimensionamento do circuito, resultados de simulações em PSPICE, e resultados experimentais da caracterização da versão equivalente com transistores CD4007.

2.2 - FILTRO ATIVO PASSA BANDA COM AMPLIFICADOR IDEAL

A figura 2.1 mostra a configuração básica do filtro ativo utilizado. Sua função de transferência é representada pela equação 2.1 [3, pg. 693].

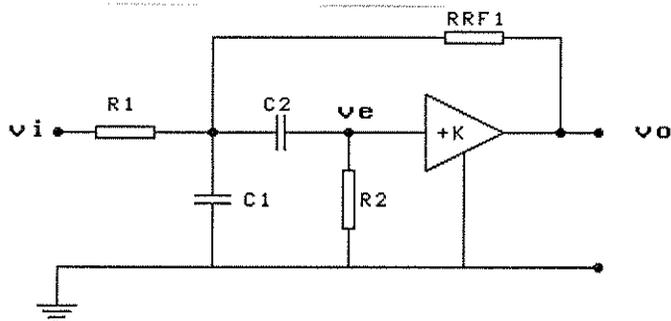


FIGURA 2.1

$$H(s) = \frac{K \cdot B \cdot s}{s^2 + B \cdot s + \omega_0^2} \quad \text{eq. (2.1)}$$

O equacionamento para os coeficientes K, B e ω_0 é mostrado nos Apêndices 1 e 2.

Na equação 2.1, K representa o ganho, de malha fechada, de um amplificador que têm ganho em malha aberta suficientemente grande, para que o ganho K possa ser controlado por elementos externos, sem provocar distorções significativas ao se amplificar pequenos sinais.

A frequência de sintonia do filtro é dada por:

$$f_0 = \frac{1}{2 \cdot \pi} \cdot \left[\frac{1}{R_2 \cdot C_1 \cdot C_2} \cdot \left(\frac{1}{R_{RF1}} + \frac{1}{R_1} \right) \right]^{1/2} \quad \text{eq. (2.2)}$$

2.2.1 - CIRCUITO DE FILTRO

O circuito da figura 2.2 apresenta o filtro ativo com um amplificador de tensão com ganho, em malha aberta, igual a 100K. O ganho K, em malha fechada, é dado por:

$$K \cong 1 + \frac{R_{F1}}{R_{I1}} \quad \text{eq. 2.3}$$

que é a própria equação 2.10.

Para simular este circuito utilizamos os resistores $R_1 = R_2 = 2K \Omega$ que é combinado com os capacitores $C_1 = C_2 = 210.5 \text{ nF}$ para $f_0 = 500 \text{ Hz}$; $C_1 = C_2 = 100 \text{ nF}$ para $f_0 = 1K \text{ Hz}$; e $C_1 = C_2 = 50.5 \text{ nF}$ para $f_0 = 2K \text{ Hz}$.

Substituindo esses valores na equação 2.2 encontraremos as frequências de 488.05 Hz, 1027 Hz e 2054 Hz respectivamente. Podemos encontrar os valores de R1, R2, C1 e C2 para resultar nas frequências exatas de 500 Hz, 1K Hz e 2K Hz.

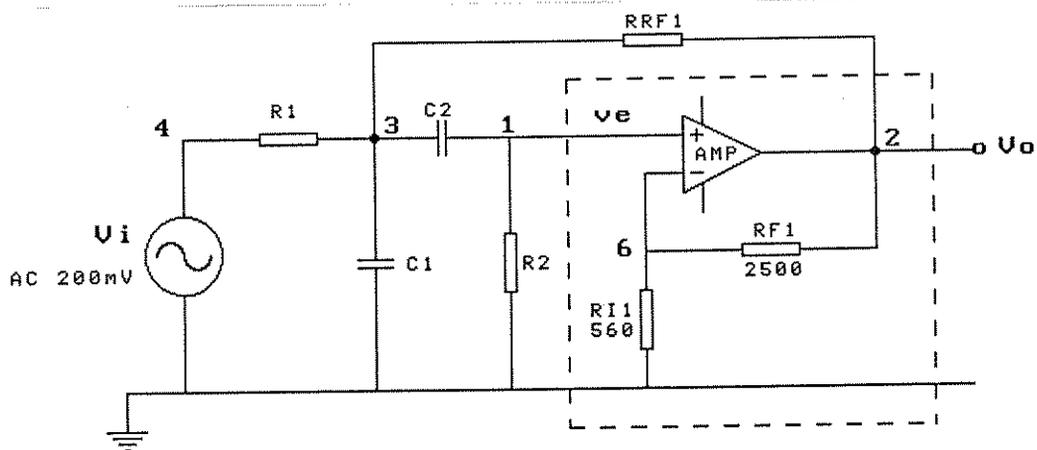


FIGURA 2.2

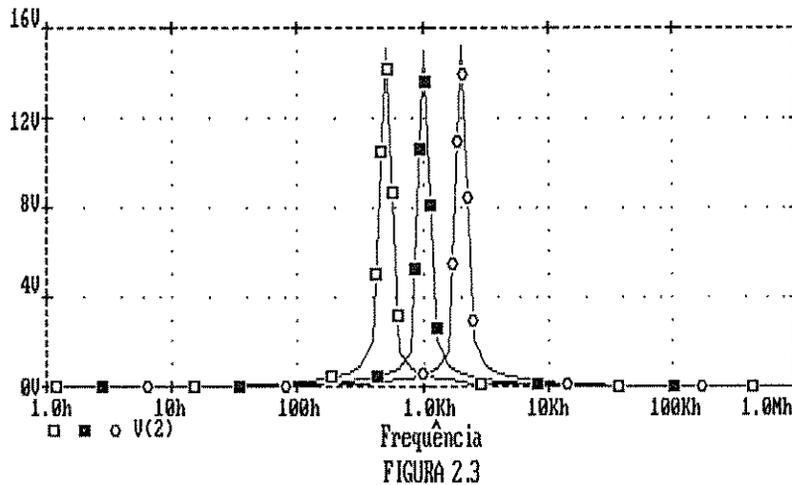
Para este circuito temos o seguinte NETLIST:

FILTRO

```

EAMP1  2  0  1  6  100K (AMPLIFICADOR IDEAL)
VI      4  0  AC  200mV
R1      4  3  2K
R2      1  0  2K
RRF1    2  3  3K
C1      3  0  210.5nF; 100nF; 50.15nF
C2      3  0  210.5nF; 100nF; 50.15nF
RF1     2  6  2500
RI1     6  0  560
    
```

A figura 2.3 mostra o resultado de simulações em análise AC para as três frequências que resultaram de combinações de C1, C2, R1 e R2.



2.3 - FILTRO ATIVO PASSA BANDA, PROJETADO PARA O C.I., COM TRANSISTORES MOS

A configuração do amplificador, com transistores MOS, que utilizamos para o filtro ativo compreende o amplificador de tensão, circuito de polarização da unidade remota, o seguidor de fonte e o deslocador de nível.

2.3.1 - AMPLIFICADOR COM TRANSISTORES MOS

Verificamos que para a implementação do filtro ativo é necessária a utilização de um amplificador de tensão, não inversor, com ganho de tensão, em malha fechada, K.

Como os estágios de amplificação de tensão, utilizando transistores MOS, atingem baixos valores de ganho em decorrência da baixa transcondutância normalmente obtida, adotamos a configuração mostrada na figura 2.4 que envolve dois estágios de alto ganho a fim de que o ganho K , que é um termo da função de transferência do circuito do filtro, seja mais precisamente estabelecido através de realimentação.

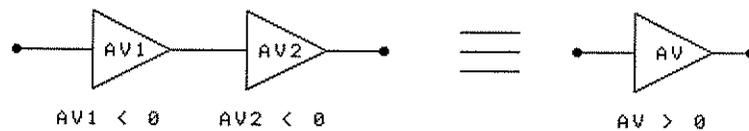


FIGURA 2.4

Av , $Av1$ e $Av2$ representam o ganho em malha aberta de cada amplificador.

A configuração adotada para o amplificador é mostrada na figura 2.5:

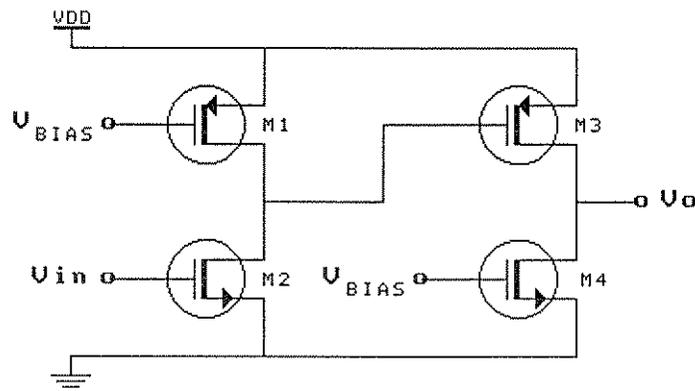


FIGURA 2.5

Pode ser mostrado (apêndice B) que o ganho em malha aberta, de tal configuração é dado por [4]:

$$A_v = A_{v1} \cdot A_{v2} = \frac{g_{m2} \cdot g_{m3}}{[g_{ds1} + g_{ds2}] \cdot [g_{ds3} + g_{ds4}]} \quad \text{eq. (2.4)}$$

onde:

g_m é a transcondutância do transistor

g_{ds} é a condutância do canal do transistor

Analisando a equação 2.4 chegamos à conclusão que o ganho de tensão aumenta com a diminuição da corrente de polarização, com o aumento do comprimento dos canais dos transistores e com o aumento da largura W dos transistores de comando M_2 e M_3 . [4]

Através de realimentação negativa, podemos obter o ganho K de amplificação necessário ao filtro.

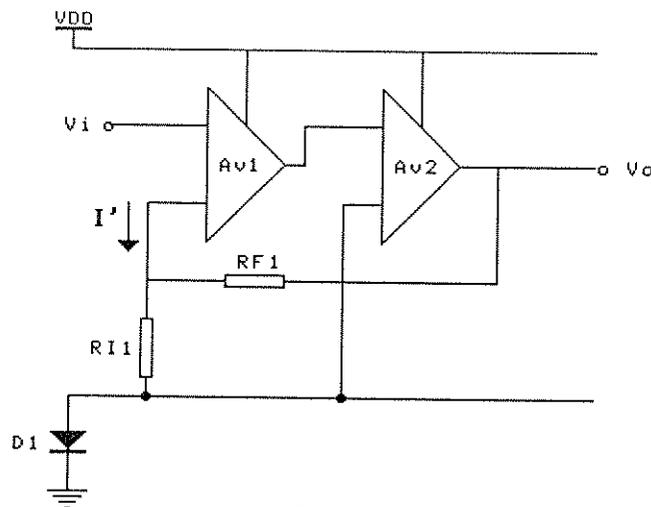


FIGURA 2.6

A figura 2.6 ilustra uma configuração típica de dois amplificadores com ganhos A_{v1} e A_{v2} respectivamente e ligados em cascata, onde a saída do segundo estágio é retornada à entrada através do circuito de realimentação formado pelos elementos RF_1 e RI_1 . [5]

O ganho incremental aproximado pode ser obtido

verificando as impedâncias de entrada e saída. Para a entrada, levando em conta o efeito de carga, façamos $V_o=0$, então R_{F1} aparece em paralelo com R_{I1} . Para o circuito de saída, abre-se o "loop" de entrada fazendo $I'=0$, logo R_{I1} aparece em série com R_{F1} e o circuito pode ser redesenhado como a figura 2.7 ilustra:

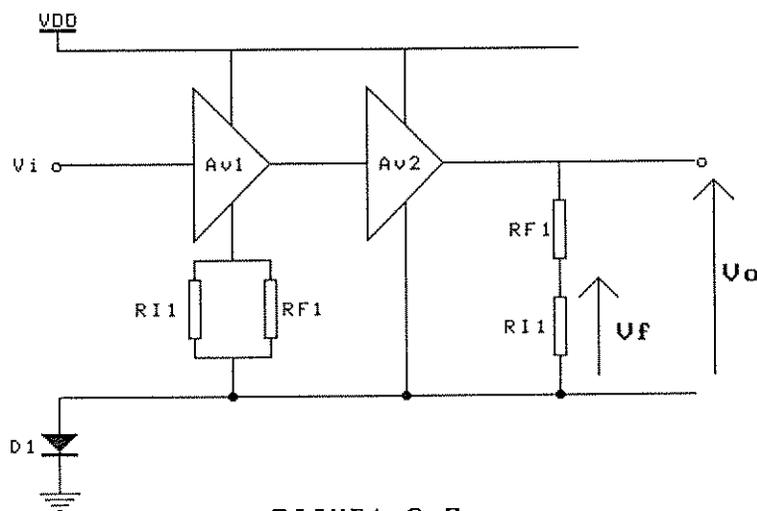


FIGURA 2.7

A tensão V_f indicada no circuito é a tensão de realimentação que retorna à entrada em oposição ao sinal V_i . (ligação série na entrada e paralelo na saída).

O ganho incremental, levando em conta a realimentação negativa, é dado por [5]:

$$A_{vf} = \frac{A_v}{1 + \beta \cdot A_v} \quad \text{eq. (2.5)}$$

e:

$$\lim_{A_v \rightarrow \infty} A_{vf} = \frac{1}{\beta} \quad \text{eq. (2.6)}$$

onde A_v representa o ganho do amplificador dado pela equação 2.4.

Ainda temos que

$$V_f = \beta \cdot V_o \quad \text{eq. (2.7)}$$

e

$$V_f = V_o \cdot \frac{R_{I1}}{R_{I1} + R_{F1}} \quad \text{eq. (2.8)}$$

o que traz:

$$\beta = \frac{R_{I1}}{R_{I1} + R_{F1}} \quad \text{eq. (2.9)}$$

e da equação 2.6 teremos que:

$$A_{vf} \cong 1 + \frac{R_{F1}}{R_{I1}} \quad \text{eq. (2.10)}$$

Uma análise de circuito mais precisa, para verificar o ganho de tensão, é apresentada no Apêndice B.

Com o auxílio do programa PSPICE vejamos alguns resultados de simulação do circuito da figura 2.5, quando este é realimentado de forma a controlar seu ganho.

A figura 2.8 apresenta o circuito a ser simulado.

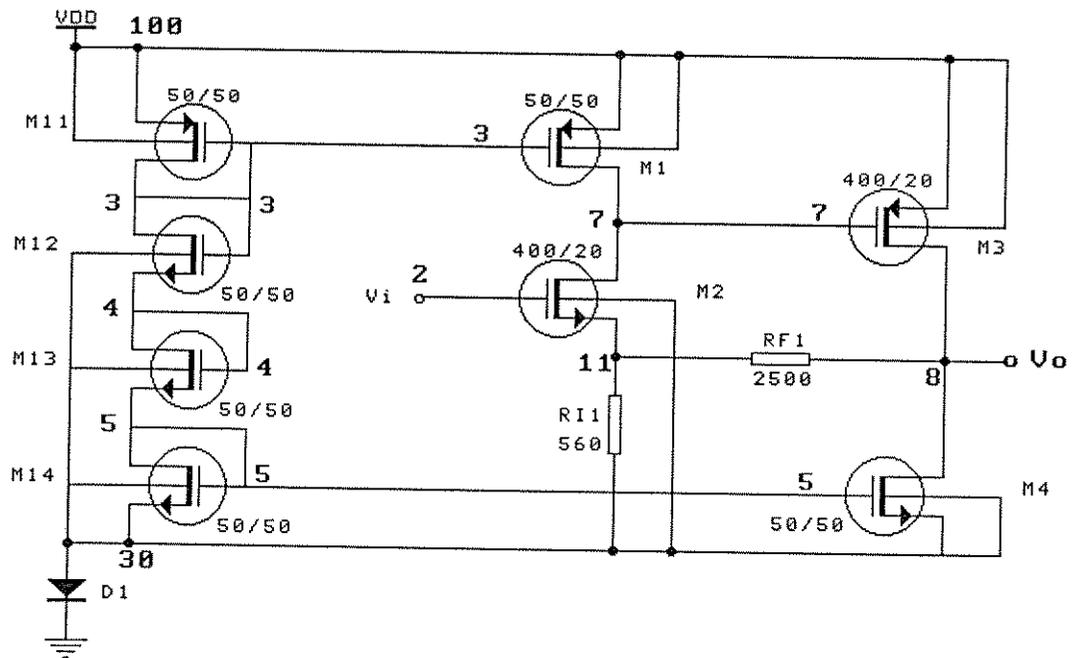


FIGURA 2.8

Os transistores M11, M12, ,M13 e M14 formam o circuito de polarização.

A figura 2.9 mostra o gráfico da variação do sinal de saída em relação à variação do sinal de entrada aplicado ao amplificador da figura 2.8.

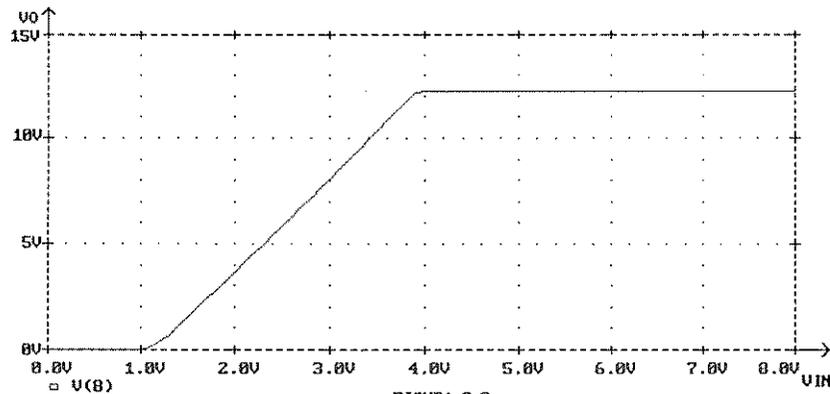


FIGURA 2.9

A faixa útil do sinal de entrada, v_i , está entre 1.2 e 3.8 V aproximadamente.

O gráfico também mostra que o ganho incremental é cerca de 4.5, mas a equação 2.10 estava prevendo um ganho de aproximadamente 5.5, pois $R_{F1} = 2500\Omega$ e $R_{I1} = 560\Omega$.

Podemos visualizar o valor do ganho incremental através da figura 2.10 que mostra dvo/dvi .

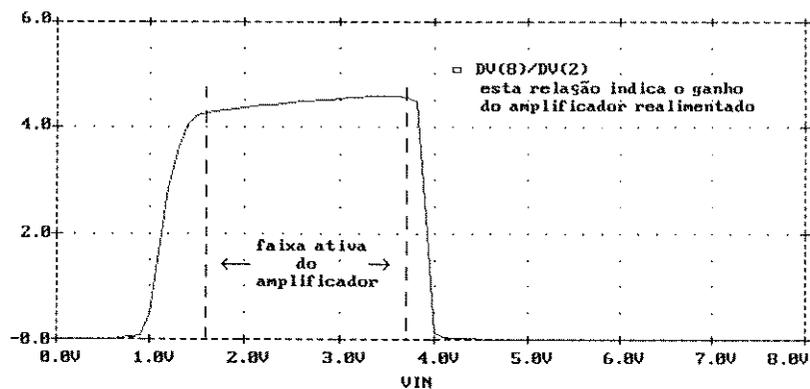


FIGURA 2.10

A redução do ganho observada é devida ao substrato do transistor M2 não estar no mesmo potencial do seu terminal de "source", evidenciando assim, o chamado efeito de corpo (g_{mbs}) [4].

Como ilustração, a figura 2.11 mostra o resultado do ganho quando o substrato do transistor M2 está no mesmo potencial que o terminal de "source".

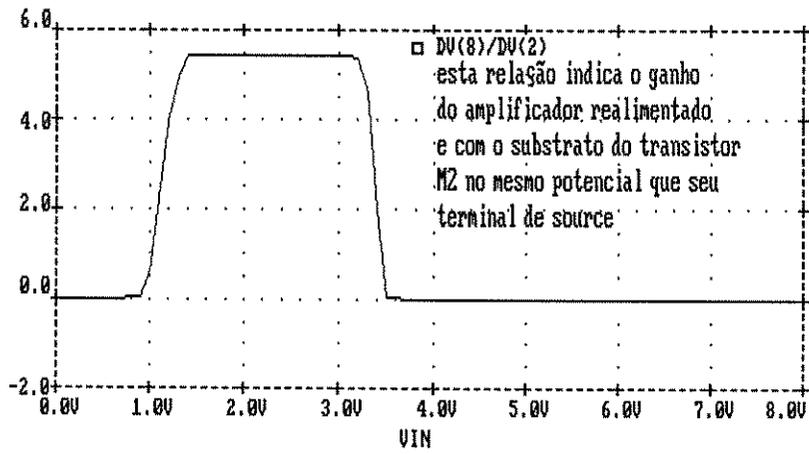


FIGURA 2.11

O gráfico mostra que há conformidade com a equação 2.10.

2.3.2 - POLARIZAÇÃO:

A polarização dos circuitos que compõem uma unidade remota é efetuada pelos transistores M11 a M14, ilustrado pela figura 2.12.

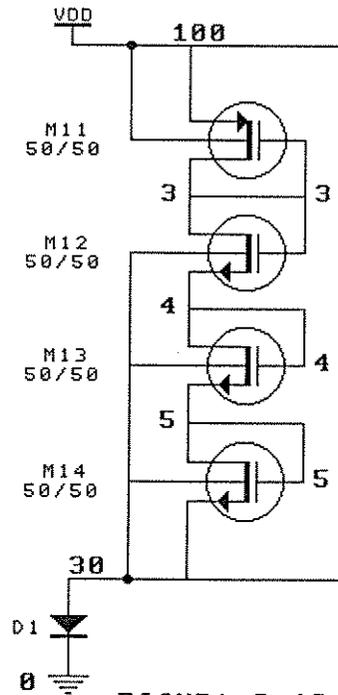


FIGURA 2.12

O objetivo da simulação a seguir é mostrar que variações na tensão de alimentação VDD do circuito em $\pm 1.5V$, (20% sobre VDD = 15 V), que provocam variação de corrente no circuito de polarização, não traz alterações significativas no ganho do amplificador.

A figura 2.13, mostra o resultado de simulação referente a variação de 13,5V a 16,5V na tensão VDD.

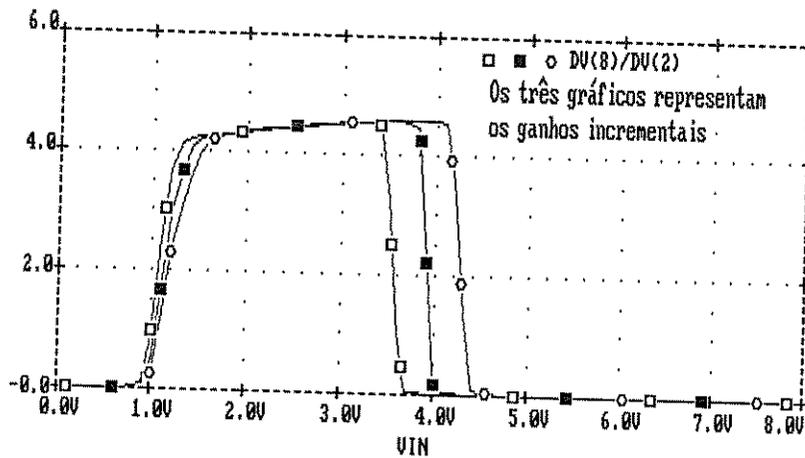


FIGURA 2.13

À medida que a tensão VDD aumenta há um deslocamento da faixa de operação linear do amplificador, que, entretanto não afeta o ganho de forma significativa.

2.3.3 - SEGUIDOR DE FONTE

A figura 2.14 mostra o circuito seguidor de fonte.

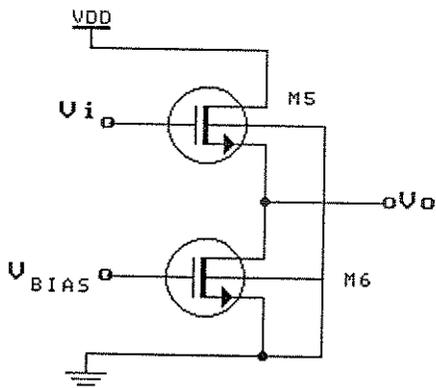


FIGURA 2.14

Para verificar o ganho desse circuito, substituímos os transistores pelos seus respectivos modelos

para pequenos sinais incrementais, válido em baixas frequências, mostrado na figura 2.15: [4]

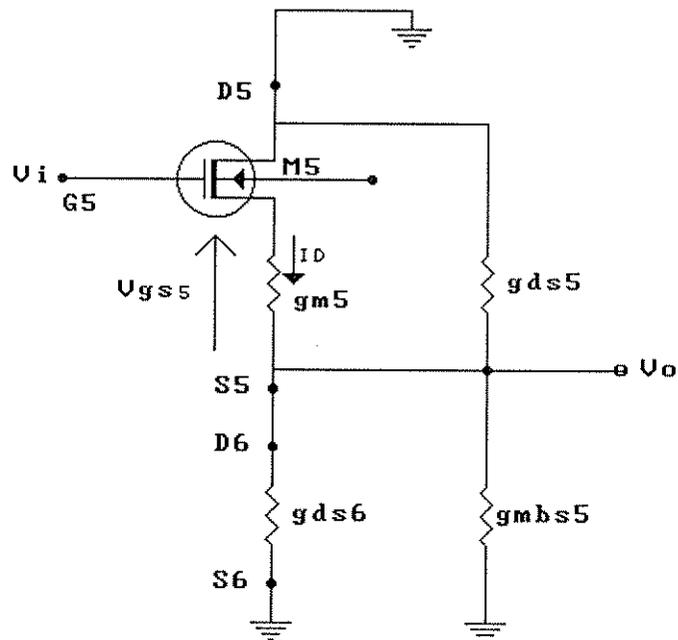


FIGURA 2.15

$$A_v = \frac{V_o}{V_i} \quad \text{eq. (2.11)}$$

onde:

$$V_o = \frac{i_D}{g_{ds5} + g_{ds6} + g_{mbs5}} \quad \text{eq. (2.12)}$$

e:

$$i_D = v_{gs5} \cdot g_{m5} \quad \text{eq. (2.13)}$$

o que resulta:

$$A_v = \frac{g_{m5}}{g_{m5} + g_{ds5} + g_{mbs5} + g_{ds6}} \quad \text{eq. (2.14)}$$

uma vez que $v_{gs5} = V_i - V_o$.

Logo, se considerarmos que os transistores envolvidos na análise, têm um canal suficientemente longo, poderemos desprezar o efeito de modulação de canal uma vez que a condutância de canal, g_{ds} , é proporcional a λ , que por sua vez é inversamente proporcional ao comprimento L de canal. [6].

A equação 2.14 pode ser reescrita como:

$$A_v \cong \frac{g_{m5}}{g_{mbs5} + g_{m5}} \quad \text{eq. (2.15)}$$

Para amenizar o efeito de corpo devemos trabalhar com baixos níveis de corrente, uma vez que este parâmetro é proporcional a g_m , que também é proporcional à corrente de polarização. [6]

2.3.4 - DESLOCADOR DE NÍVEL

Na análise do amplificador realimentado, mostrado na figura 2.8, verificamos que a faixa de tensão de entrada, para operação dentro da região em que se apresenta ganho incremental, está entre 1.2V e 3.8V.

Temos que a tensão de saída dos elementos R-C responsáveis pelo desacoplamento e filtragem da componente AC sobreposta à tensão de alimentação da linha, está na faixa de 160mV. Logo, há necessidade de deslocar esse nível de tensão para que essa tensão desacoplada esteja dentro da faixa de operação do amplificador.

Como deslocador de nível adotamos o seguinte circuito:

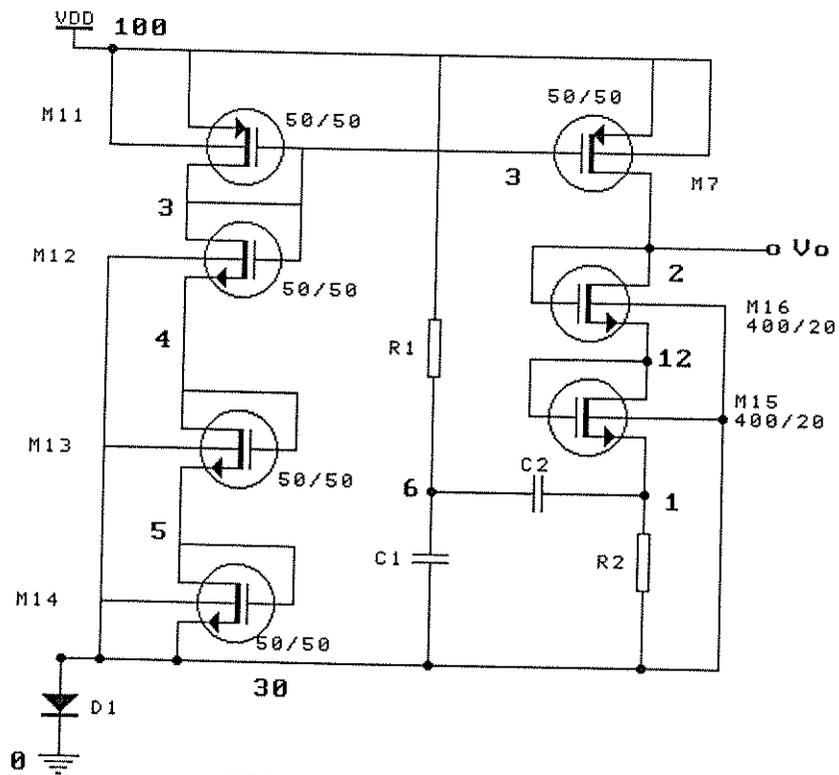


FIGURA 2.16

A figura 2.17 mostra o resultado de simulação referente ao deslocamento de nível DC que o nó 1, do circuito do figura 2.16, é submetido quando VDD varia em $\pm 1,5$ V. Nesse exemplo, é sobreposto a VDD uma tensão AC senoidal que varia sua amplitude em 200 mV na frequência de 1 KHz.

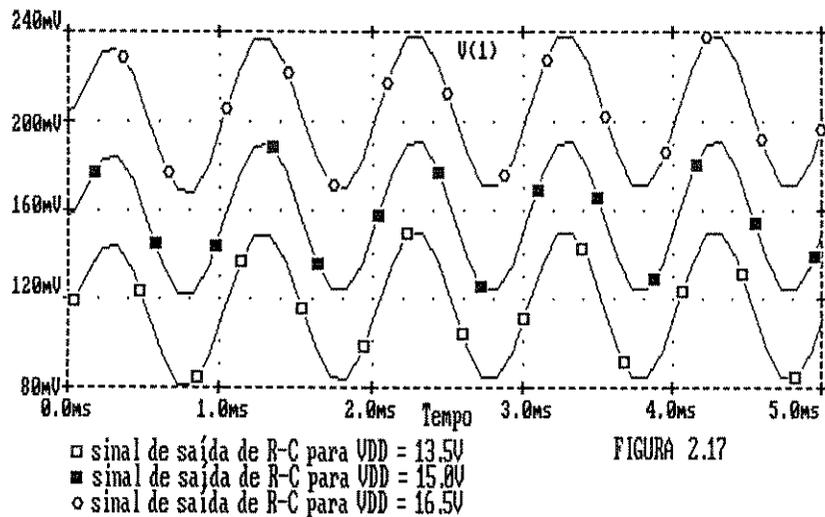


FIGURA 2.17

A figura 2.18 é o resultado do deslocamento de nível ocorrido no nó 2, para a mesma variação de VDD anterior, onde se observa que os níveis de saída do deslocador estão dentro da faixa de operação do amplificador, mostrada na figura 2.13.

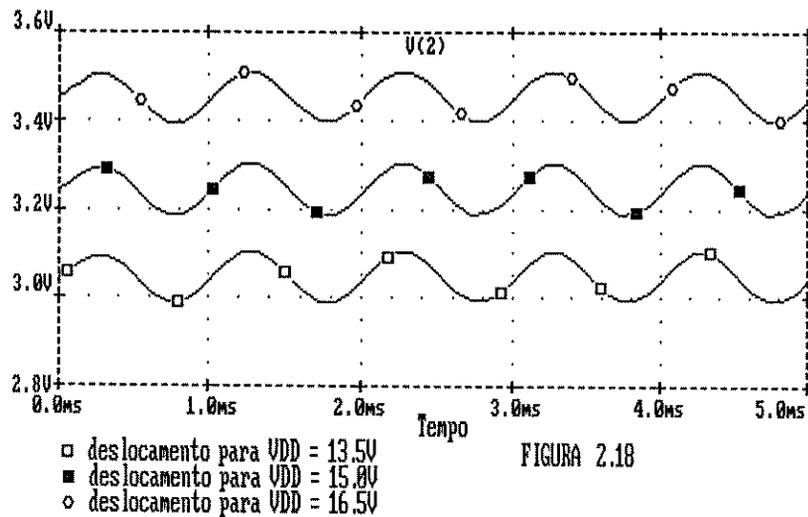


FIGURA 2.18

2.3.5 - FILTRO ATIVO COMPLETO:

A figura 2.19 mostra o esquema completo do filtro ativo, projetado para o C.I. Os substratos dos transistores canal N estão conectados ao nó 30 e os substratos dos transistores canal P ao nó 100.

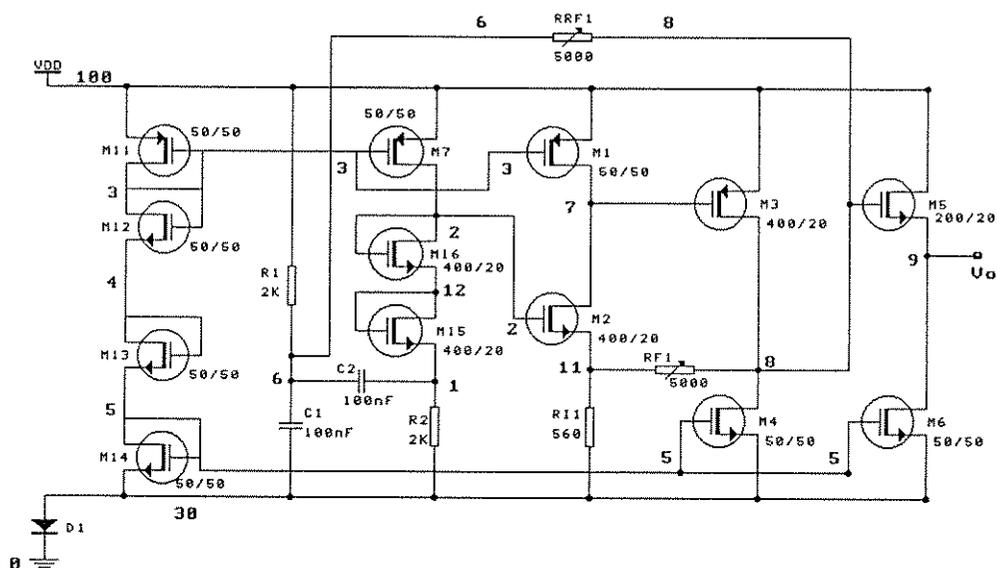


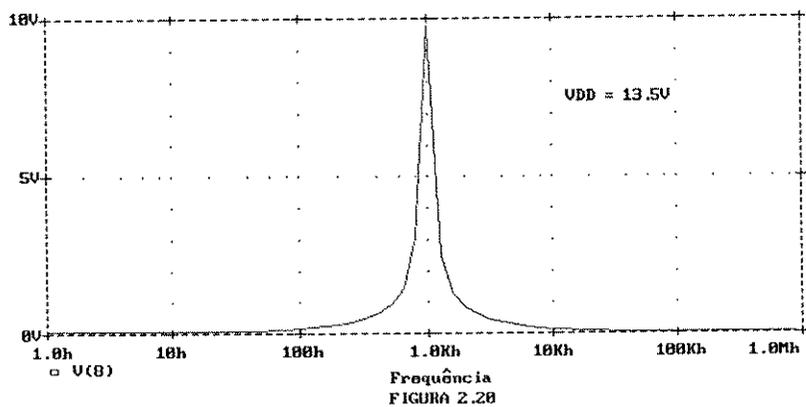
FIGURA 2.19

A equação 2.2 mostra que os resistores R_1 , R_2 e RRF_1 , os capacitores C_1 e C_2 são responsáveis pela sintonia do filtro, logo, esses elementos deverão ser externos ao circuito a ser integrado.

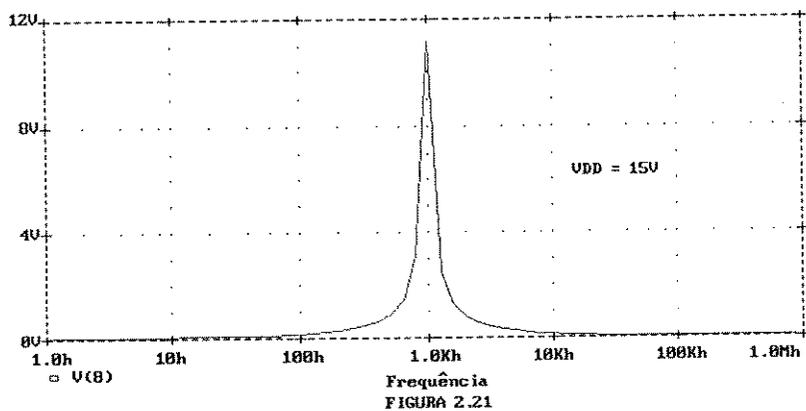
Nessa fase de desenvolvimento, também colocamos externos ao C.I. os resistores RI_1 , RF_1 e RRF_1 , para termos meios de alterar o ganho do amplificador, quando realimentado em malha fechada.

2.3.5.1 - SIMULAÇÃO

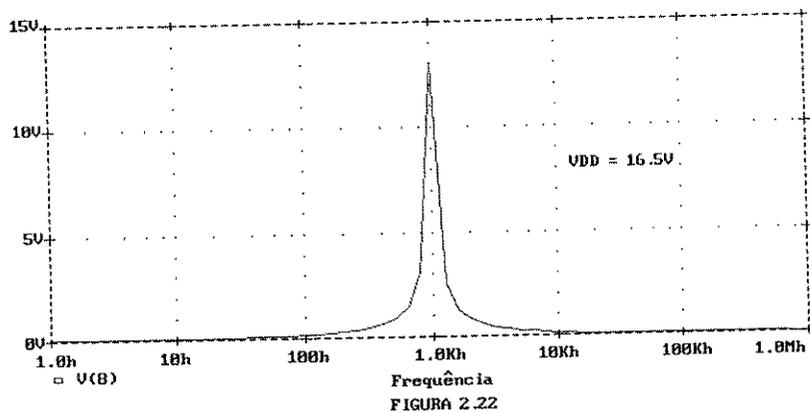
As figuras 2.20, 2.21, e 2.22 mostram os resultados de simulações de sintonia do filtro, nas condições de polarização do amplificador em que V_{DD} assume os valores de 13,5V, 15V e 16,5V.



..



..



As simulações indicam que a mudança no nível de tensão de alimentação altera, apenas, a amplitude do sinal de saída. Não há variação na frequência de sintonia.

Outros testes de simulação serão apresentados no item 3.1.2 que mostra o circuito integrado completo de uma unidade remota.

2.3.5.2 - IMPLEMENTAÇÃO DO FILTRO EM "BREAD-BOARD"

Na figura 2.23 é mostrado o esquema do filtro ativo correspondente à implementação com transistores do "array" CD4007.

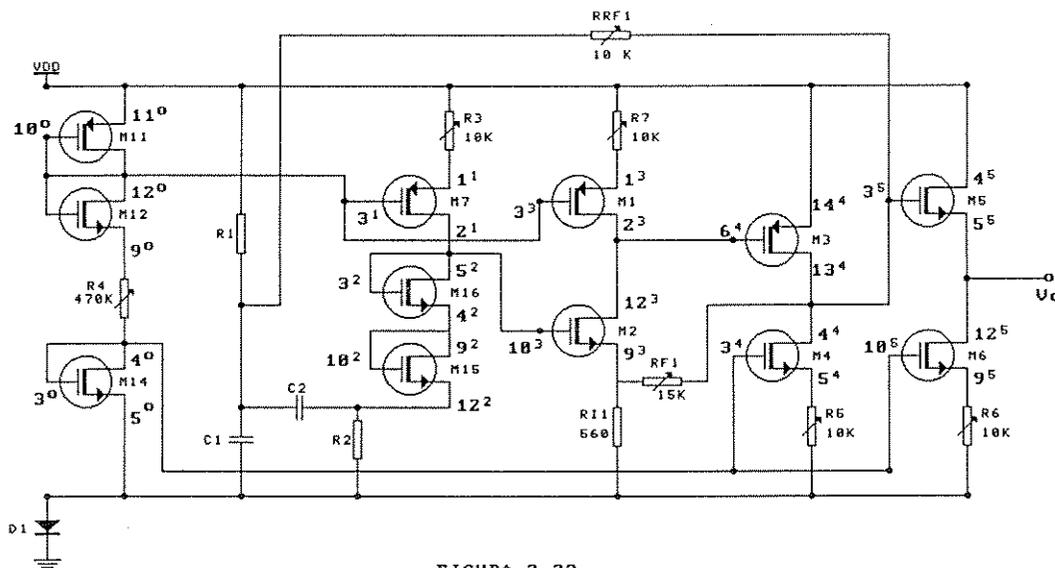


FIGURA 2.23

Os resultados experimentais dessa montagem estão mostrados no item 3.2.1, que trata da implementação da unidade remota completa.

2.4 - DETETOR DE PICO

2.4.1 IMPLEMENTAÇÃO DO CIRCUITO EM "BREAD-BOARD":

A figura 2.24 mostra o circuito montado em "bread-board" para detetar o nível DC máximo na saída do filtro ativo, sobre o nó 39, que é comparado com o nível de

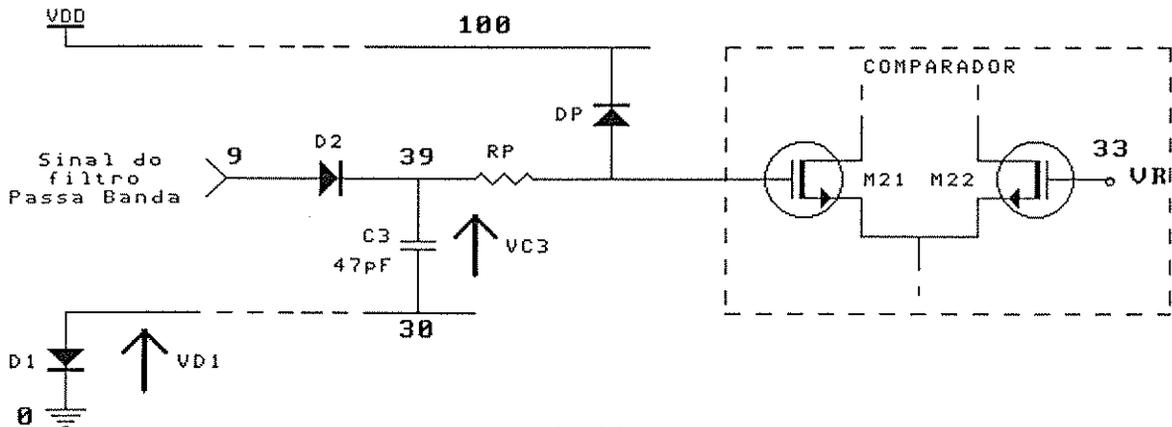


FIGURA 2.24

O diodo DP e o resistor RP fazem parte do circuito de proteção de "gate" do transistor M21. Esta proteção está embutida no circuito integrado CD-4007, que foi adotado na montagem prática das unidades remotas.

O sinal na saída do filtro ativo (nó 9) é senoidal, e tem sua maior amplitude quando a frequência de endereçamento, sobreposta à VDD, está sintonizada com o filtro.

O valor de pico desse sinal é mantido em C3, uma vez que não há um "caminho" para descarregar o capacitor enquanto VDD for positivo. Isso possibilita utilizarmos um capacitor de baixo valor, compatível com valores de integração de circuitos.

2.4.2 - CAPACITOR C3 DO C.I.

A figura 2.25 mostra o circuito do detetor de pico utilizado no projeto do circuito integrado da unidade remota.

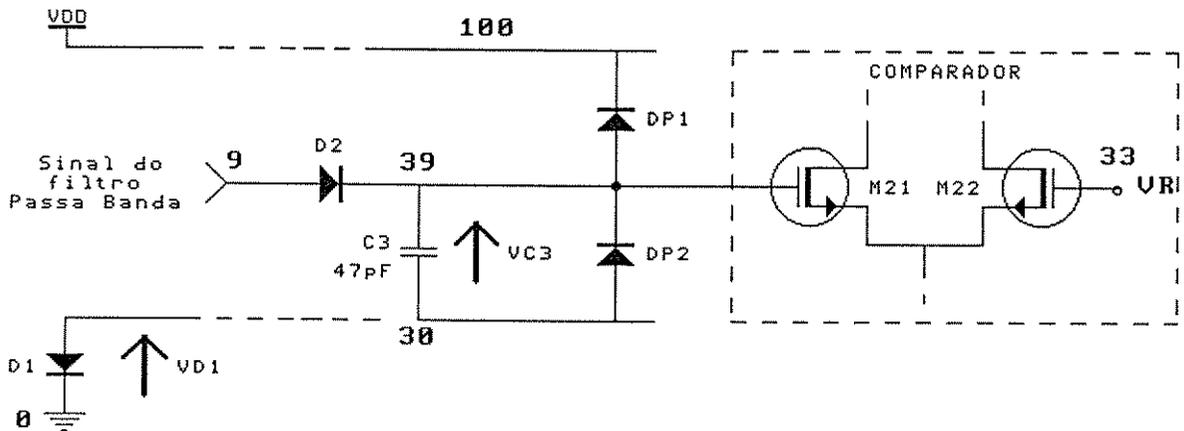


FIGURA 2.25

Como já descrito, na montagem prática, o capacitor C3 permanece carregado, mesmo para baixos valores de capacitância, enquanto não ocorrer a transição de VDD, possibilitando assim, a integração de um capacitor de baixo valor.

Os diodos DP1 e DP2 foram adicionados para proteção do "gate" do transistor M21, que faz parte do comparador de tensão a ser mostrado a seguir.

Além da finalidade de proteção, o diodo DP1 faz parte do circuito de descarga do capacitor C3, uma vez que durante a inversão de polaridade, as tensões VC3 e VD1 permanecem fixas, fazendo com que a tensão sobre o diodo DP1, V_{DP1} , diminua. A diminuição gradativa da tensão VDD, durante o transitório de inversão de polaridade, provocará a descarga de C3 à partir do momento em que VDD for menor que $V_{D1} + V_{C3}$.

Quando VDD atinge valores negativos o diodo D1 está bloqueado e C3 descarregado.

2.5 - COMPARAÇÃO E MEMORIZAÇÃO DO SINAL DE ENDEREÇAMENTO

2.5.1 DESCRIÇÃO TEÓRICA DE QUATRO CASOS POSSÍVEIS

A seguir se apresentam as condições em que uma unidade remota pode se encontrar e para cada uma delas é feita uma análise do circuito que acionará ou não o SCR da unidade remota.

Definimos ainda que o potencial VDD ao se apresentar positivo em relação ao terra, o circuito se encontra no estado que denominamos de fase de endereçamento e a alimentação da linha será representada por VDD_+ , e o potencial VDD ao se apresentar negativo em relação ao terra, o circuito se encontra no estado que denominamos de fase de leitura, onde uma única unidade remota estará endereçada. Nessa condição o potencial VDD será representado por VDD_- .

A transição de VDD_+ para VDD_- , que é efetuada pela unidade de endereçamento, montada na prática, foi registrada através de um osciloscópio de memória e o tempo mostrado é de aproximadamente 160 nS, (figura 3.25). Esse dado será utilizado na simulação do circuito integrado completo.

Consideramos ainda que $|VDD_+| = |VDD_-| = |VDD|$
= 15 V.

A figura 2.26 mostra o circuito de comparação, e o circuito de acionamento do SCR de modo simplificado:

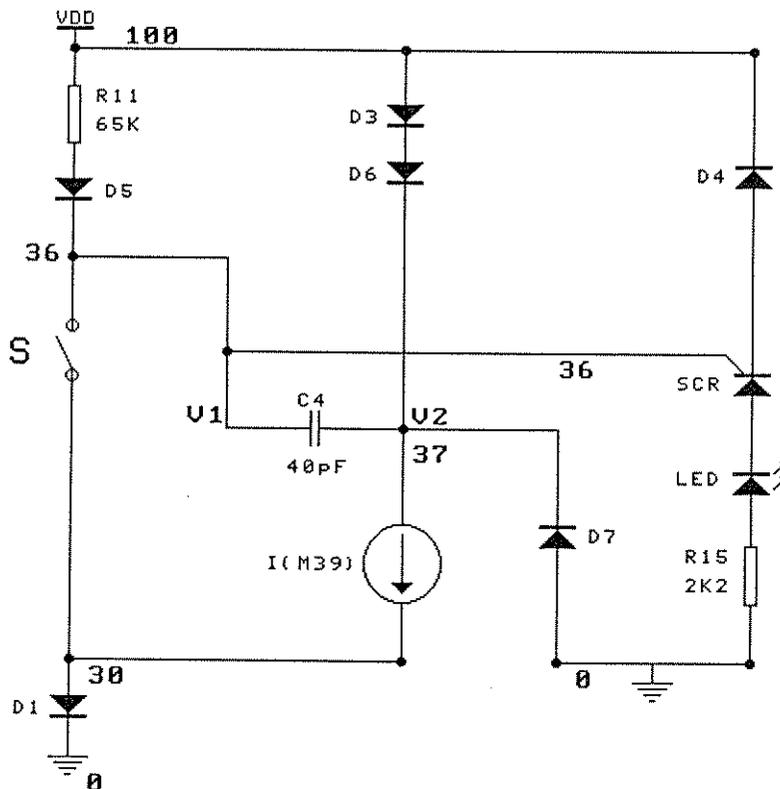


FIGURA 2.26

Na fase de endereçamento, analisaremos a tensão $V(36,37)$, que é a diferença de potencial aplicada ao capacitor C4. Na fase de leitura verificaremos a tensão $V(36,100)$, isto é, a diferença de potencial do nó V1 de C4 em relação a VDD , pois essa é a tensão que será aplicada ao "gate" do SCR.

2.5.1.1 FASE DE ENDEREÇAMENTO - UNIDADE NÃO ENDEREÇADA

Consideramos inicialmente que a unidade mostrada na figura 2.26 não está endereçada. Neste caso a chave S, que representa um transistor, está fechada e VDD permanece positivo durante um tempo suficiente, para que a tensão sobre o capacitor C4 atinja um nível estável.

Para essa situação o circuito da figura 2.26 pode ser redesenhado como:

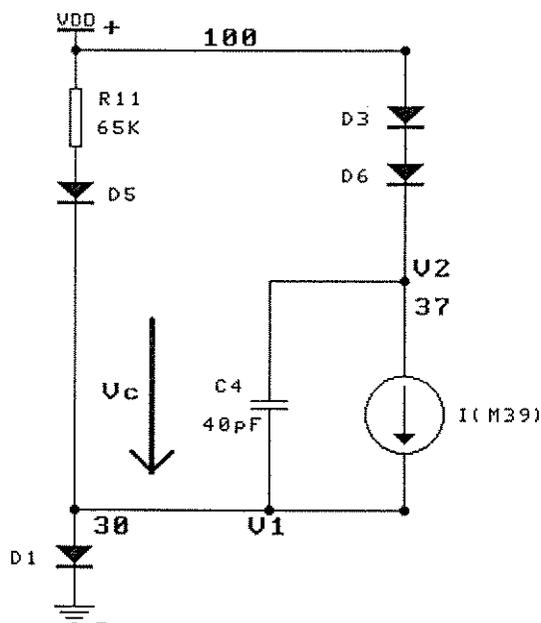


FIGURA 2.27

Por inspeção do circuito, verificamos qual é a tensão sobre C4:

$$V_C = V_1 - V_2 \quad \text{eq. (2.16)}$$

onde:

$$V_1 \cong V_{D1} = V_D \quad \text{eq. (2.17)}$$

e

$$V2 \cong VDD_+ - VD6 - VD3 = VDD_+ - 2 \cdot VD \quad \text{eq. (2.18)}$$

então:

$$VC \cong - \left[VDD_+ - 3 \cdot VD \right] \quad \text{eq. (2.19)}$$

Podemos verificar a validade dessa equação, através de dados numéricos, mediante a simulação a seguir. Consideramos que a fonte de corrente, da figura 2.27, está fornecendo $70 \mu A$, que é a corrente que o circuito de polarização da unidade remota estará "espelhando".

Vejamos agora, o resultado referente à análise de transiente, do circuito da figura 2.27:

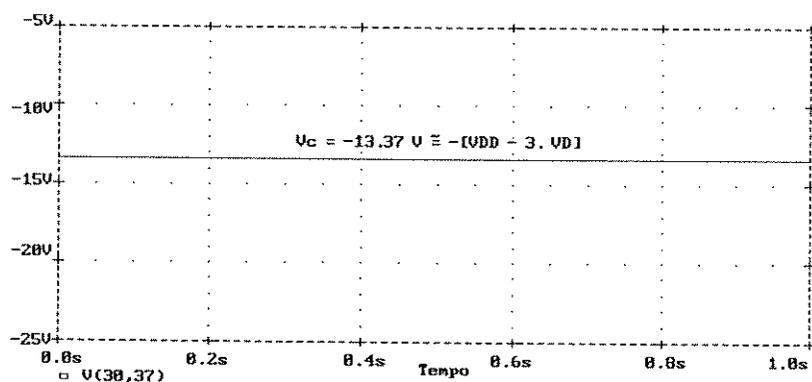


FIGURA 2.28

A figura anterior mostra que o resultado é o previsto pela equação 2.19, onde o valor da tensão sobre o capacitor C4 é $-13,37 \text{ (V)}$.

Durante a inversão de polaridade o diodo D5, mostrado no figura 2.26, atua de maneira que o capacitor C4 mantenha a tensão que foi armazenada na fase de endereçamento, e conseqüentemente sua tensão inicial para a fase de leitura é dada pela equação 2.19.

2.5.1.2 FASE DE LEITURA - UNIDADE NÃO ENDEREÇADA

Dando sequência ao funcionamento do sistema, agora verifiquemos o que ocorre quando há troca de polaridade da linha de transmissão, onde VDD passa a ser negativo.

Em referência a figura 2.26, o comparador representado pela chave S, os diodos D3, D6, D1 e D5, e ainda a fonte de corrente ICM39 "abrem" em consequência da inversão de polaridade da linha.

Nessas condições o circuito pode ser redesenhado como:

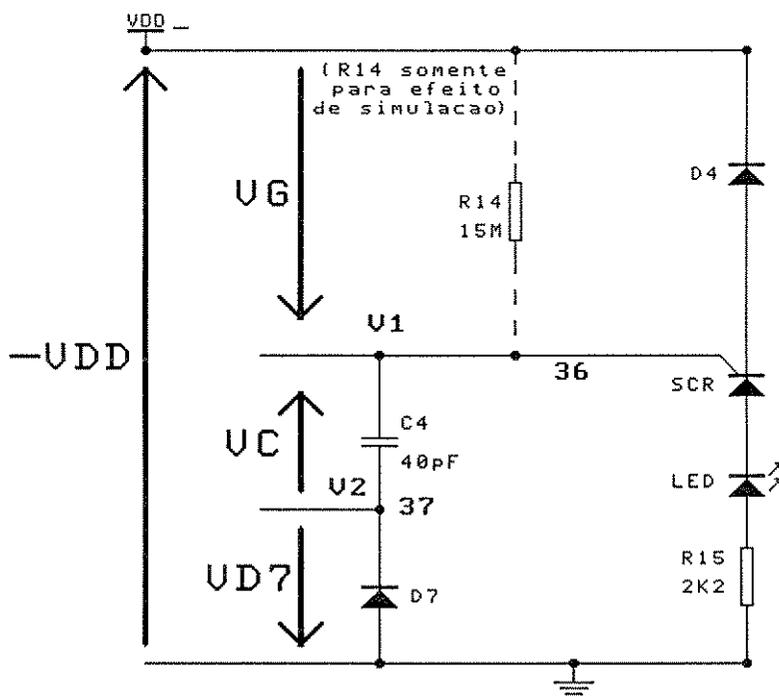


FIGURA 2.29

Podemos verificar, pelo circuito anterior que a tensão armazenada em C4 atua diretamente sobre o "gate" do SCR quando VDD atingir valores negativos. Para o circuito da figura 2.29 temos o seguinte equacionamento:

$$-(-VDD) - VG + VC_{inicial} - VD7 = 0 \quad \text{eq. (2.20)}$$

mas sabemos que:

$$VC_{inicial} = - \left[VDD - 3.VD \right] \quad \text{e} \quad \text{que} \quad VD7 = VD$$

então:

$$VDD - VG - VDD + 3.VD - VD = 0 \quad \text{eq. (2.21)}$$

o que traz:

$$VG \cong 2.VD \quad \text{eq. (2.22)}$$

Verificamos pela equação 2.22 que é aplicado ao terminal de "gate" do SCR uma tensão equivalente a 2.VD. Esta tensão não é suficiente para disparar o SCR devido a ação do diodo D4 e do próprio SCR.

Observemos o resultado de simulação, da análise de transiente, do circuito da figura 2.29 onde no NETLIST constamos que a tensão inicial sobre o capacitor C4, proveniente do primeiro caso, é $V_c = -13,37 \text{ V}$ e $|VDD_-| = |-15V|$, que é seu valor máximo após a transição, uma vez que nessa condição o "gate" será submetido à maior tensão.

Ainda neste teste foi adicionado, para efeito de simulação, o resistor R14 com valor de $15M \Omega$ e o tempo de análise considerado de $10mS$, onde pode ser visualizado o maior valor de VG, imediatamente após a inversão de polaridade.

A figura 2.30 mostra $V_G \cong 1,5V \cong 2.V_D$, aplicado ao terminal de gate do SCR, insuficiente para dispará-lo.

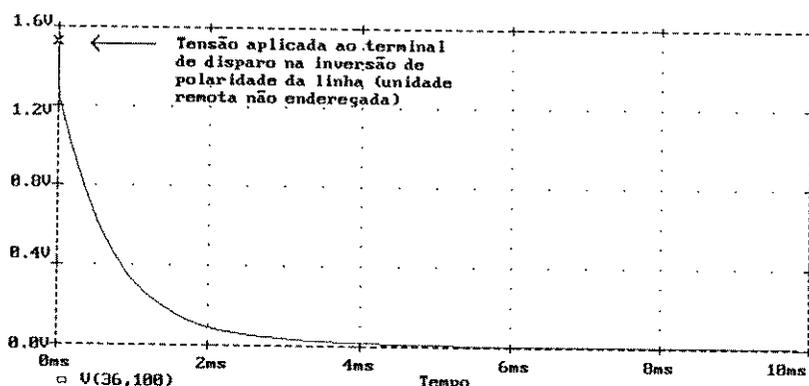


FIGURA 2.30

As duas últimas simulações trataram separadamente da fase de endereçamento e de leitura utilizando-se de um circuito idealizado, quando a unidade remota não estava endereçada. Agora verifiquemos a fase de endereçamento e leitura para uma unidade remota endereçada.

2.5.1.3 FASE DE ENDEREÇAMENTO - UNIDADE REMOTA ENDEREÇADA

Quando a unidade remota está endereçada e a chave S, mostrada na figura 2.26, estará aberta. Podemos redesenhar o circuito da seguinte forma:

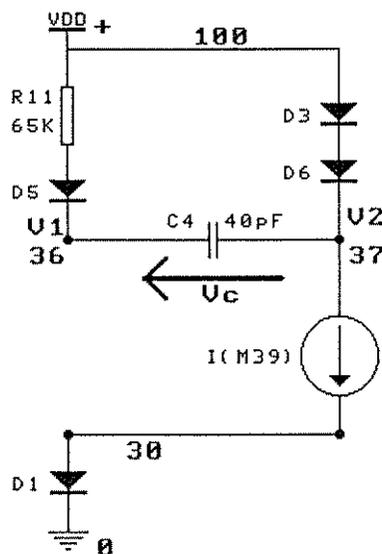


FIGURA 2.31

A tensão VDD aplicada na linha de transmissão é positiva e com duração suficiente para que o capacitor C4 alcance a tensão de regime permanente. O objetivo da análise que se segue é verificar essa tensão.

Os diodos D3 e D6 estão polarizados e apresentam quedas de tensões em seus terminais equivalentes a $V_{D3} = V_{D6} = V_D$.

Para um tempo suficientemente longo, a tensão VC sobre C4, pode ser equacionada da seguinte forma:

Da figura 2.35 temos:

$$VC = V1 - V2 \quad \text{eq. (2.23)}$$

$$V1 = VDD - VD5 \quad \text{eq. (2.24)}$$

e

$$V2 = VDD - VD3 - VD6 \quad \text{eq. (2.25)}$$

e considerando que $VD5 = VD3 = VD6 = VD$

resulta que

$$VC = VD \quad \text{eq. (2.26)}$$

Concluimos que o capacitor C4 armazena uma tensão $VC4 = VD$ quando a unidade remota está endereçada e essa tensão é $V_{c\text{ inicial}}$ para a próxima fase que é de leitura.

Vejamos agora o resultado de simulação, na fase de endereçamento, do circuito dado pela figura 2.31.

A figura 2.32 mostra a análise de transiente onde está sendo observado a tensão sobre os terminais do capacitor C4, isto é, $VC = V(36,37)$, na fase de endereçamento, durante 1S, onde $VC \cong 0.9V$.

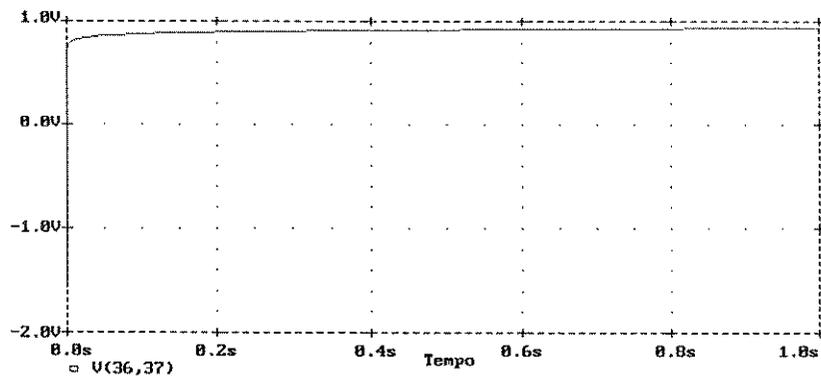


FIGURA 2.32

2.5.1.4 FASE DE LEITURA - UNIDADE REMOTA ENDEREÇADA

Esse caso é sequência do anterior, onde o capacitor C4 apresenta uma tensão $V_{c_{inicial}} \cong VD |V|$.

Os diodos D5, D3, D6 e D1, e ainda a fonte de corrente ICM39, mostrados na figura 2.26 "abrem" devido a troca de polaridade.

Para essas condições o circuito da figura 2.26 pode ser redesenhado como já mostrado na figura 2.29, e é apresentado novamente:

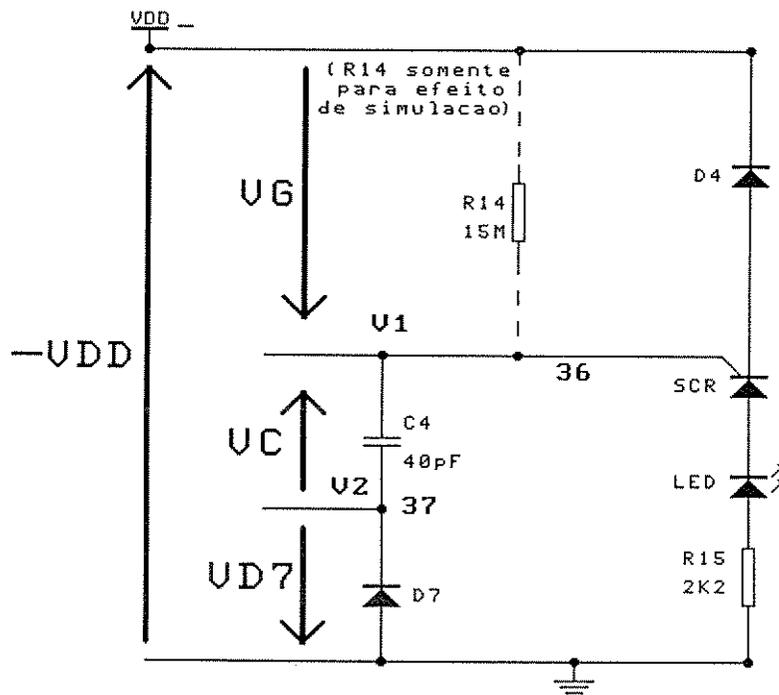


FIGURA 2.33

Pela equação de malha temos:

$$-(-VDD) - VG + VC_{inicial} - VD7 = 0 \quad \text{eq. (2.27)}$$

mas já verificamos que:

$$V_{C_{inicial}} = V_D [V] \quad \text{e} \quad \text{que } V_{D7} = V_D$$

então:

$$V_{DD} - V_G + V_D - V_D = 0 \quad \text{eq. (2.28)}$$

o que traz:

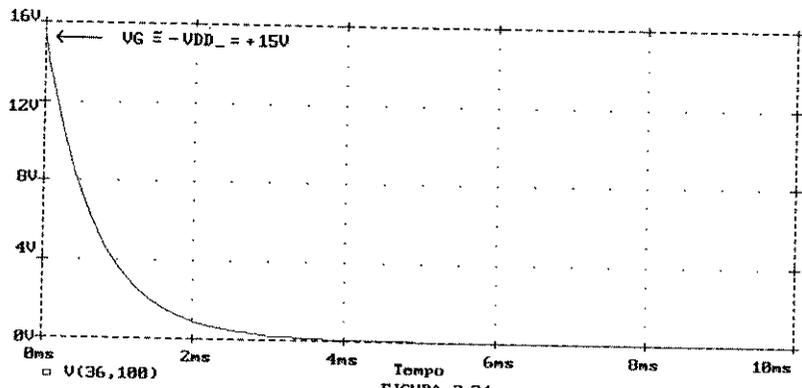
$$V_G \cong V_{DD} \quad \text{eq. (2.29)}$$

Logo V_G estará submentendo, ao terminal de disparo, um alto valor positivo que dá condições de disparar o SCR.

O circuito a ser simulado a seguir é o da figura 2.33, onde no NETLIST consta que a tensão inicial sobre o capacitor C_4 , proveniente do caso anterior é $V_C = V_D \cong 0.9 [V]$, dado pelo gráfico da figura 2.32.

Da mesma forma, descrita anteriormente, nesta simulação, foi adicionado o resistor R_{14} com valor de $15 \text{ M}\Omega$ e o tempo de análise de 10 mS , para melhor vizualizar o valor V_G para $t > 0$.

A figura 2.34 mostra que o valor inicial de VG aplicado ao terminal de disparo é aproximadamente +15 [V], que é suficiente para acionar o SCR.



Assim o SCR fecha o circuito, conectando o circuito associado ao sensor local à central de leitura.

2.5.2 - CIRCUITO COMPARADOR E DE MEMÓRIA

A função desse circuito é comparar o nível DC proveniente do detetor de pico com uma tensão de referência e armazenar essa informação em forma de tensão, em um capacitor, que denominamos capacitor de memória.

2.5.2.1 - IMPLEMENTAÇÃO DO CIRCUITO DE COMPARAÇÃO E MEMÓRIA

A figura 2.35 mostra o circuito projetado e montado na prática, com "ARRAY" de transistores do CD4007, que inclui o comparador de tensão e o capacitor de memória.

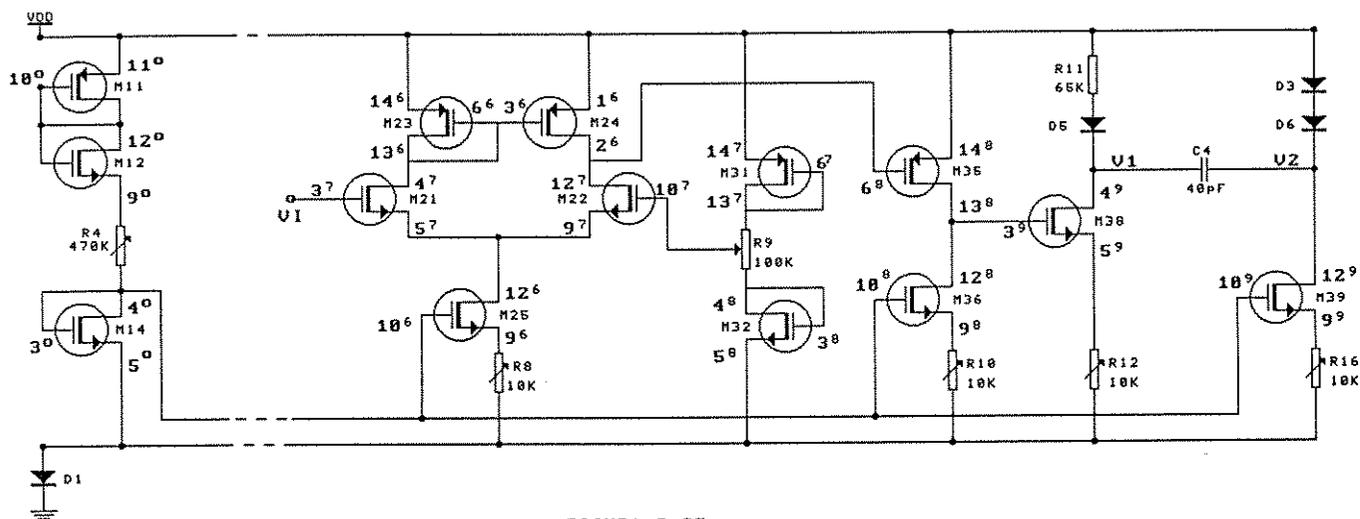


FIGURA 2.35

Quando o potencial V_I for menor que o potencial V_R , indicados na figura anterior, a memória não está sendo endereçada, e a saída do comparador, representada pelo nó V_1 , está com seu potencial "baixo", isto é, o transistor M38, que é representado pela chave S na figura 2.26, está conduzindo e sua tensão dreno-fonte, $V_{DS_{(M38)}}$, é próxima a zero volts, fazendo com que a tensão sobre C_4 seja:

$$V_c = V_1 - V_2 \cong -[V_{DD} - 3.V_D] \quad \text{eq. (2.30)}$$

Quando o potencial V_I for maior que V_R , significando que a memória está endereçada, a saída do comparador apresenta potencial "alto", pois nessa condição o transistor M38 está cortado e a tensão sobre C_4 é:

$$V_c = V_1 - V_2 \cong V_D \quad \text{eq. (2.31)}$$

Concluimos que, para a unidade remota não endereçada o capacitor C_4 armazena a tensão V_C próxima de $-V_{DD}$, e quando endereçada o capacitor C_4 está praticamente descarregado.

Observemos que as equações 2.30 e 2.31 são as próprias equações 2.19 e 2.26, respectivamente.

O teste experimental a seguir teve como objetivo verificar os valores das tensões de referência, dada pelo nó 33, tensão de entrada a ser comparada, dada pelo nó 39, tensão no "dreno" do transistor M38 e a tensão armazenada pelo capacitor C_4 . Cada uma dessas medidas foi realizada em duas condições, isto é, com a unidade remota endereçada e não endereçada.

Das medidas efetuadas, antes da inversão de polaridade, obtivemos a seguinte planilha:

	UNIDADE REMOTA ENDEREÇADA	UNIDADE REMOTA NÃO ENDEREÇADA
V(39)	7,0 V	5,2 V
V(33)	6,5 V	6,5 V
V(36)	14,6 V	1,1 V
V(36, 37)	0,2 V	-13,2 V

onde:

V(39) é o sinal DC de saída do detetor de pico.

V(33) a tensão de referência dada pelos transistores M31 e M32 e R9.

V(36) a tensão no "dreno" do transistor M38.

V(36, 37) a tensão armazenada em C4.

2.5.2.2 - VERSÃO INTEGRADA DO CIRCUITO DE COMPARAÇÃO E MEMÓRIA

A figura 2.36 mostra o circuito que inclui o comparador de níveis e memória, que fazem parte do circuito integrado da unidade remota.

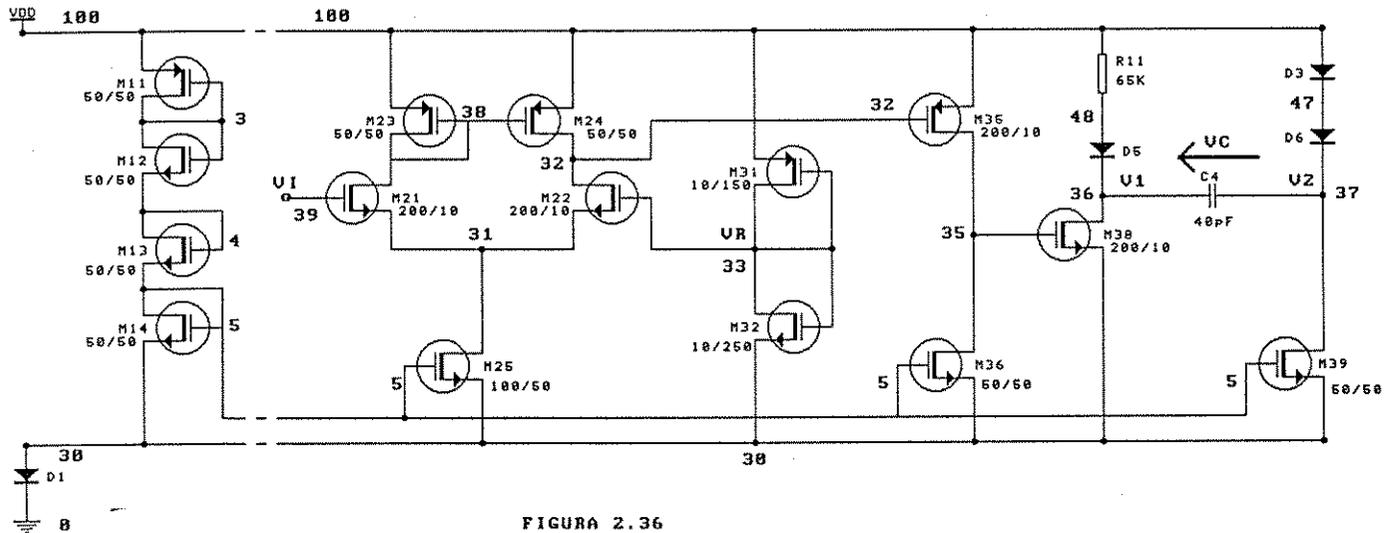


FIGURA 2.36

A próxima simulação tem com objetivo abordar as duas primeiras fases, em um único teste, analisados nos itens 2.5.1.1 e 2.5.1.2, respectivamente, e levar em conta o tempo de transição de VDD_+ para VDD_- .

A tensão VDD, considerada no programa PSPICE, é o comando PULSE com duração de 2S aproximadamente, onde no primeiro Segundo VDD é positivo, no segundo Segundo VDD é negativo e o tempo de transição de 160 nS, tempo este medido na prática.

Na figura 2.36 ao nó 39 é aplicada a tensão VI que é comparada com a tensão de referência VR, do nó 33. Para esta simulação foi adotado $VI < VR$ (unidade não endereçada).

O gráfico da figura 2.37 mostra a tensão sobre C4, que é relativa ao primeiro caso analisado.

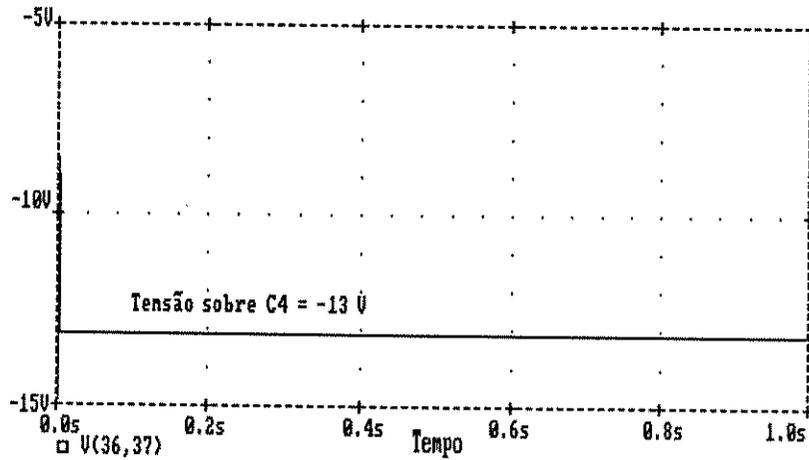


FIGURA 2.37

A tensão $V_c = V(36,37) \cong -13 \text{ V}$ é equivalente à equação 2.30.

O fato de interesse na figura 2.38 é mostrar a tensão $V_G = V(36,100)$ que é aplicada ao terminal de disparo do SCR imediatamente após a inversão de polaridade da linha.

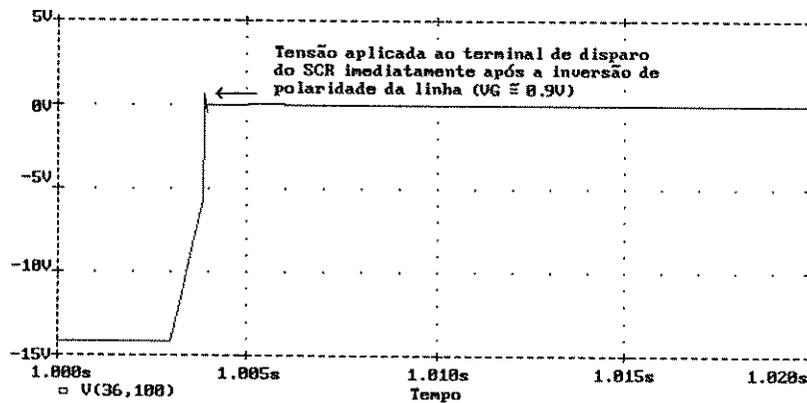


FIGURA 2.38

O gráfico da figura 2.38 considera o tempo a partir de 1S uma vez que a partir desse tempo é que o circuito de acionamento do SCR estará ativo. A faixa de

tempo mostrada está entre 1S e 1,02S para melhor ser visualizada a tensão VG, que é aproximadamente 900mV, não sendo suficiente para o disparo do SCR.

Procedendo da mesma maneira que anteriormente, vejamos o resultado de simulação das terceira e quarta fases para o circuito da figura 2.36.

Para essa simulação foi considerado no NETLIST VI > VR, significando que a unidade remota está endereçada.

O resultado de simulação, mostrado pela figura 2.39 apresenta a tensão sobre o capacitor C4, relativa ao terceiro caso analisado.

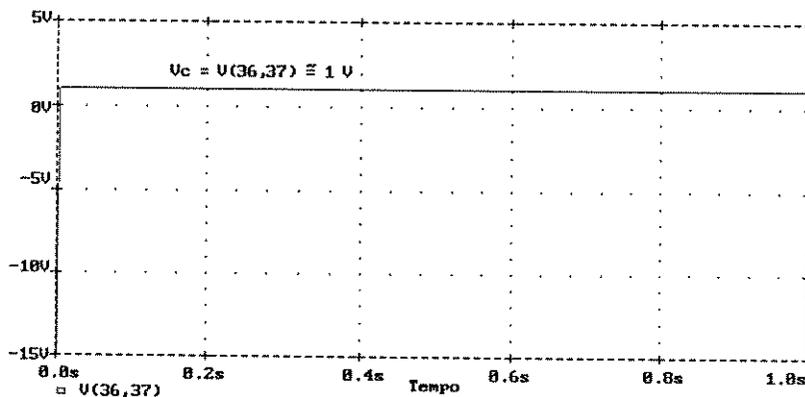


FIGURA 2.39

A tensão $V_c = V(36,37) \cong 1$ [V] corresponde a equação 2.26.

A figura 2.40 mostra a tensão $V_G = (30,100) \cong 6$ [V], que é aplicada ao terminal de disparo do SCR, suficiente para ativá-lo.

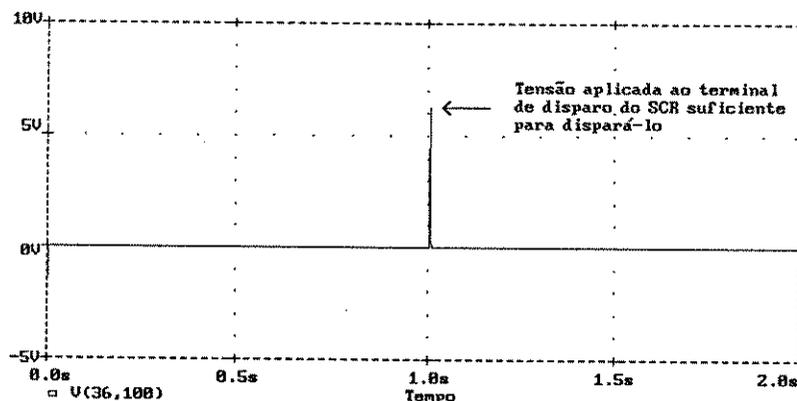


FIGURA 2.40

Ainda com os resultados de simulação montamos a seguinte planilha de valores de tensão, nos nós indicados, antes da inversão de polaridade:

	UNIDADE REMOTA ENDEREÇADA	UNIDADE REMOTA NÃO ENDEREÇADA
V(39)	8,68 V	6,23 V
V(33)	6,63 V	6,63 V
V(36)	14,87 V	0,72 V
V(36, 37)	0,93 V	-13,22 V

que comparada à planilha dos resultados experimentais em "BREAD-BOARD", (página 51), mostra que as tensões verificadas na montagem prática estão dentro dos valores esperados em simulação.

CAPÍTULO 3: UNIDADE REMOTA COMPLETA

3.1 - PROJETO DO CIRCUITO INTEGRADO DA UNIDADE REMOTA:

Apresentamos o circuito completo de uma Unidade Remota, proposto para a integração do C.I.

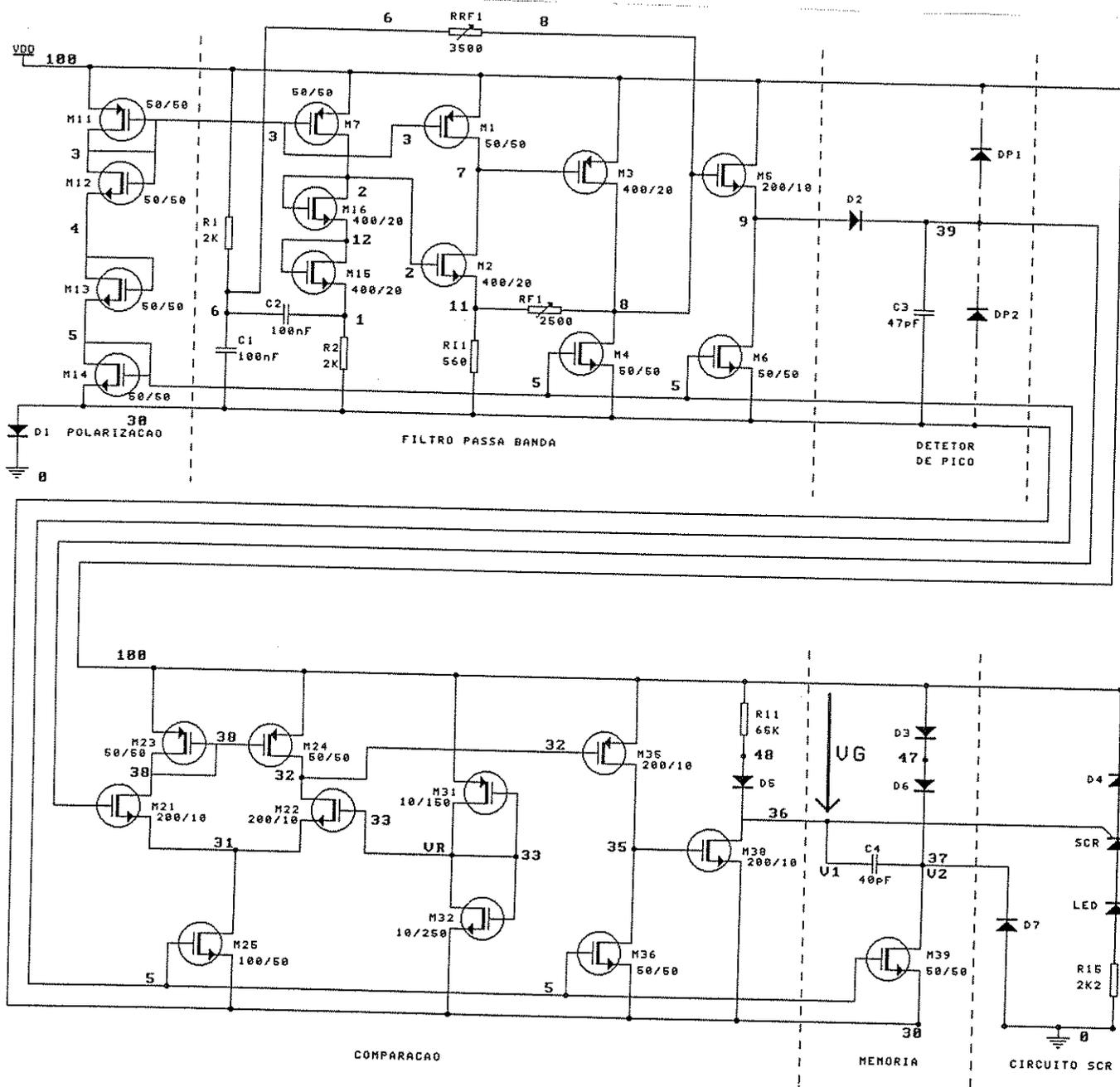


FIGURA 3.1

Os substratos dos transistores canais N estão ligados ao nó 30 e os substratos dos transistores canal P estão ligados ao nó 100, e não estarão representados nas figuras que se seguem afim de simplificá-las.

Lembramos que os resistores R1, R2 e RRF1 e os capacitores C1 e C2 não fazem parte da integração, o mesmo acontecendo com o circuito SCR, os diodos D1 e D7.

O circuito da figura 3.1 pode ser dividido em duas partes. A primeira denominada de Unidade Remota, compreende os estágios de polarização, filtro passa banda, detetor de pico, comparador e memória. Estes estágios estarão ativos quando VDD for positivo. Ao se inverter a polaridade esses circuitos deixam de atuar devido ao bloqueio do diodo D1.

A segunda parte é denominada de circuito de acionamento do SCR, que estará polarizado diretamente quando VDD for negativo, e a unidade remota sendo endereçada, entrará em série com a linha de transmissão.

3.1.1 - PONTOS DE ACESSO PARA MEDIDAS ELÉTRICAS NO CI:

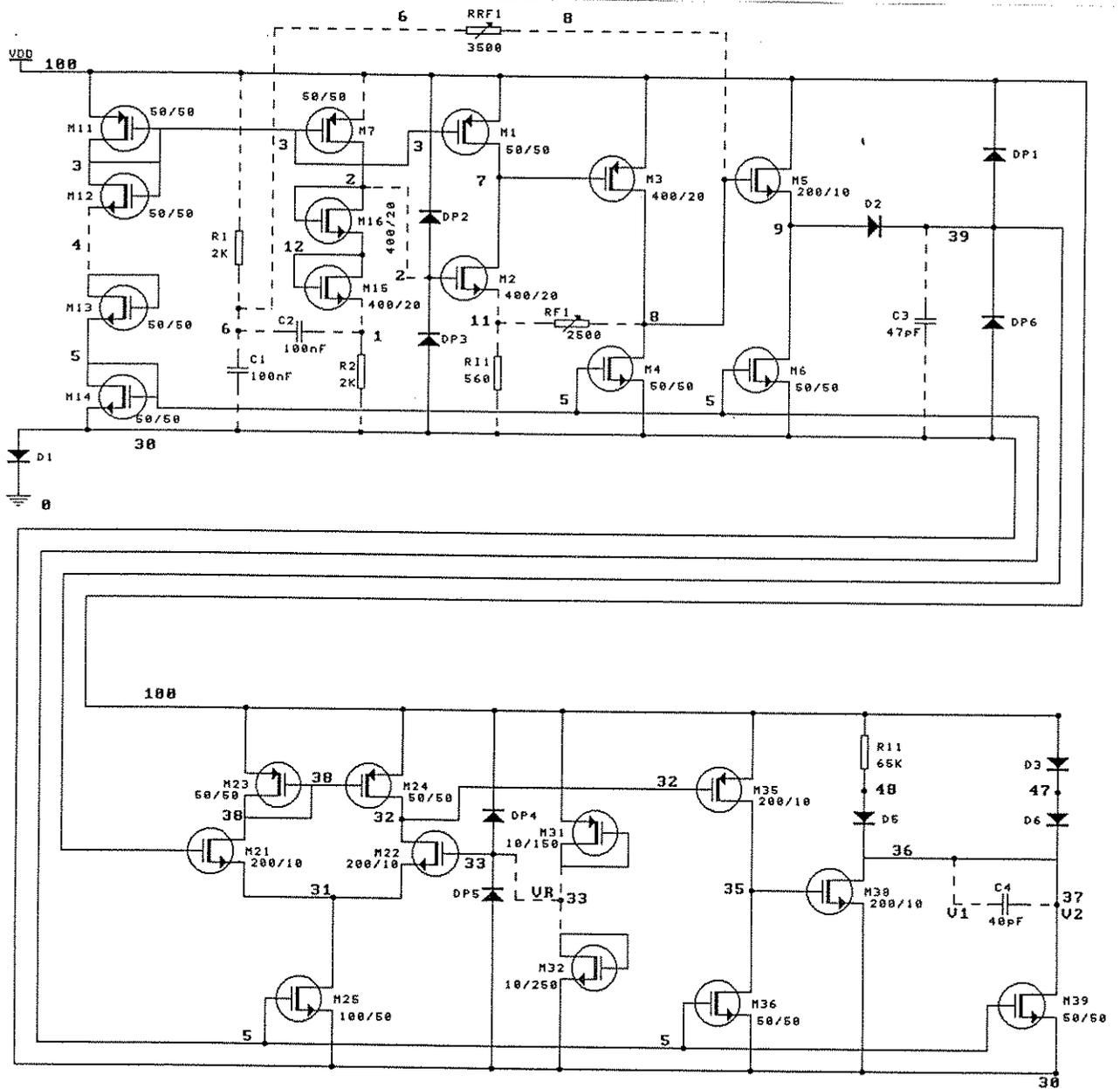


FIGURA 3.2

No projeto da máscara do C.I. indicamos para acesso interno, aos vários subcircuitos que compõem o circuito integrado de uma unidade remota, os nós 1, 11, 8, 39, 36, 37 indicados na figura 3.1. Nesses pontos serão

conectados os elementos externos ao C.I., afim de caracterização elétrica.

As ligações entre os transistores M12 a M13, M2 a M16, M7 a VDD, e M31 e M32 a M22 estão em aberto, onde as conexões são feitas externamente, para permitir um maior controle interno do CI.

A figura 3.2 indica os pontos de acesso em linhas tracejadas.

No circuito desse projeto foram colocados diodos para proteção dos transistores M2, M21 e M22, pois ambos, nessa fase de integração estarão com seus terminais de "gate" em aberto. O circuito de proteção é exercido pelos diodos DP1 a DP6, conforme mostra a figura 3.2.

Ao mesmo tempo que faz parte da proteção do "gate" de M21, o diodo DP1 tem a finalidade de possibilitar a descarga de C3, como descrito no item 2.4.2.

3.1.2 - SIMULAÇÃO DA CORRENTE DE CONSUMO

A simulação que se segue tem como objetivo verificar a corrente de consumo do circuito nas condições de endereçamento e não endereçamento da unidade remota, e comparar os resultados com a especificação apresentada no ítem 1.1 e com os resultados experimentais dos testes na montagem prática de uma unidade remota.

Para esta simulação fizemos uma análise DC onde VDD varia de 13.5V a 16.5V.

3.1.2.1 - Unidade não endereçada:

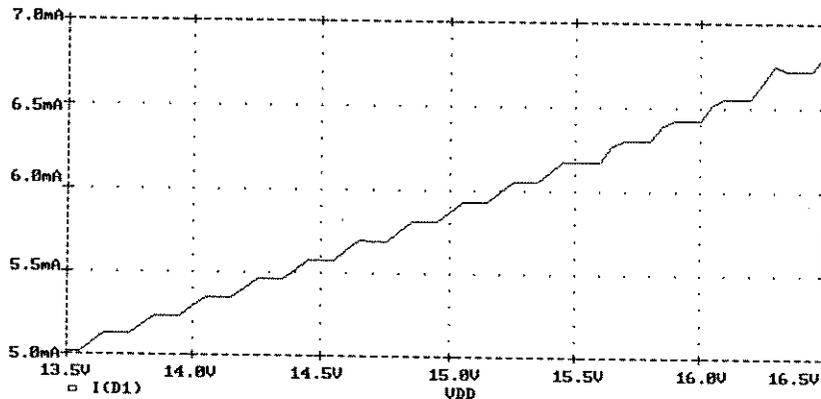


FIGURA 3.3

A amostra de corrente foi verificada no diodo D1, e essa se encontra entre 5mA e 7mA. Estes valores estão abaixo do máximo permitido na especificação de uma unidade remota.

3.1.2.2 - Unidade endereçada:

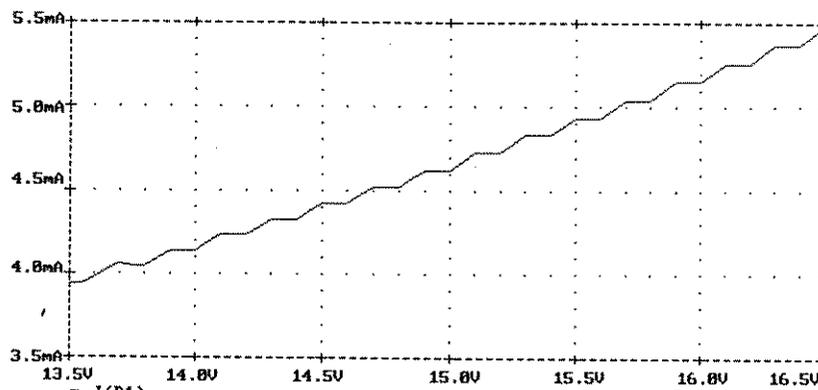


FIGURA 3.4

Como observado o consumo atende a especificação.

3.1.3 - CONECTANDO TRÊS UNIDADES REMOTAS NA LINHA DE TRANSMISSÃO:

A simulação a seguir, se refere a conexão de três unidades remotas, que estão conectadas à linha, e distribuídas a distâncias equivalentes a 100m, 200m e 400m. Para cada trecho da linha, seu valor ôhmico é representado pelos resistores RT's, o mesmo acontecendo com a capacitância, representada pelos capacitores CT's. Os valores dos resistores RT's e capacitores CT's foram obtidos da especificação da linha de transmissão no item 1.1, que é utilizada na implementação do sistema.

A figura 3.5 ilustra tal ligação:

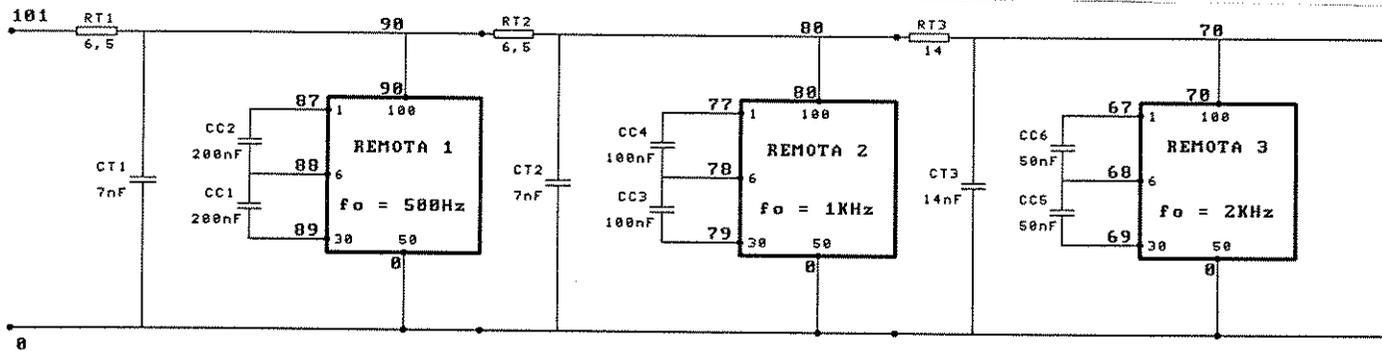


FIGURA 3.5

O objetivo da simulação é mostrar o desempenho de cada uma das três unidades remotas, observando o funcionamento do filtro ativo, e a resposta do comparador, quando a unidade for endereçada.

O NETLIST a seguir se baseia nas figuras 3.1 e 3.5, e os modelos dos transistores estão apresentados em 2.2.1. As Unidades Remotas estão como subcircuito.

```

VDD 101 99 16.5V
VBB 99 0 SINC(0 0.2 500); SINC(0 0.2 1000); SINC(0 0.2 2000)
RT1 101 90 6.5
CT1 90 0 7NF
RT2 90 80 6.5
CT2 80 0 7NF
RT3 80 70 14
CT3 70 0 14NF
CC1 88 89 200nF
CC2 88 87 200nF
CC3 78 79 100nF
CC4 78 77 100nF
CC5 68 69 50nF
    
```

```

CC6  68  67  50nF
RES1  85  0  15MEG
RES2  75  0  15MEG
RES3  65  0  15MEG
REF1  133 0  15MEG
REF2  134 0  15MEG
REF3  135 0  15MEG
RSA1  136 0  15MEG
RSA2  137 0  15MEG
RSA3  138 0  15MEG
RD1   140 0  15MEG
RD2   141 0  15MEG
RD3   142 0  15MEG

```

```

X1  90 0 88 89 87 85 133  136  140  REMOTA
X2  80 0 78 79 77 75 134  137  141  REMOTA
X3  70 0 68 69 67 65 135  138  142  REMOTA

```

```

.SUBCKT REMOTA 100 50 6 30 1 9 33 36 39

```

```

D1 30 50 DIODE

```

```

M11 3 3 100 100 PMOS L=50U W=50U
M12 3 3 4 30 NMOS L=50U W=50U
M13 4 4 5 30 NMOS L=50U W=50U
M14 5 5 30 30 NMOS L=50U W=50U
M1 7 3 100 100 PMOS L=50U W=50U
M2 7 2 11 30 NMOS L=20U W=400U
M3 8 7 100 100 PMOS L=20U W=400U
M4 8 5 30 30 NMOS L=50U W=50U
M5 100 8 9 30 NMOS L=20U W=200U
M6 9 5 30 30 NMOS L=50U W=50U

```

M7	2	3	100	100	PMOS	L=50U	W=50U
M15	12	12	1	30	NMOS	L=20U	W=400U
M16	2	2	12	30	NMOS	L=20U	W=400U
RI1	11		30	560			
RF1	8		11	2500			
RRF1	8		6	3750			
R1	100		6	2000			
R2	1		30	2000			
D2	9	39		DIODE			
C3	39	30		47pF			
M21	38	39	31	30	NMOS	L=10U	W=200U
M22	32	33	31	30	NMOS	L=10U	W=200U
M23	38	38	100	100	PMOS	L=50U	W=50U
M24	32	38	100	100	PMOS	L=50U	W=50U
M25	31	5	30	30	NMOS	L=50U	W=100U
M31	33	33	100	100	PMOS	L=150U	W=10U
M32	33	33	30	30	NMOS	L=250U	W=10U
M35	35	32	100	100	PMOS	L=10U	W=200U
M36	35	5	30	30	NMOS	L=50U	W=50U
M38	36	35	30	30	NMOS	L=10U	W=200U
R11	100	48		65K			
D5	48	36		DIODE			
D7	50	37		DIODE			
M39	37	5	30	30	NMOS	L=50U	W=50U
D3	100	47		DIODE			

D6	47	37	DIODE
C4	36	37	47pF

Para termos "acesso" aos nós internos a cada subcircuito, foram conectados resistores de alto valor ôhmico (15 M Ω), que aparecem no NETLIST mas não são mostrados na figura 3.5, e não fazem parte da unidade remota.

A sintonia do filtro de cada unidade remota é feita pelos capacitores CC1 a CC6 que substituem os capacitores C1 e C2 mostrados na figura 3.1.

As unidades remotas 1, 2 e 3 serão endereçadas quando as frequências, sobrepostas à VDD, forem respectivamente 500 Hz, 1000 Hz e 2000 Hz.

Como já descrito anteriormente, quando a unidade não estiver endereçada, o potencial no nó 36 é "baixo" e quando for endereçada o potencial é será "alto".

Os pontos de observação para as simulações a seguir são os nós 85, 75 e 65 que mostram as formas de ondas na saída do filtro passa banda de cada Unidade Remota, e os nós 136, 137 e 138, que são a saída do comparador, isto é, são os nós que indicam se a unidade está ou não endereçada.

Os nós acima mencionados pertencem respectivamente, às Unidades Remotas 1, 2 e 3, em referência à figura 3.5.

As figuras a seguir, se referem à simulações quando a frequência sobreposta à alimentação da linha é de 500 Hz.

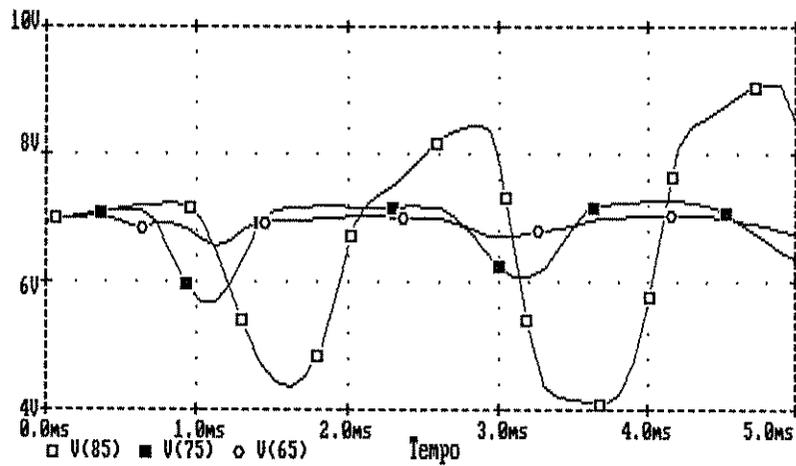


FIGURA 3.6

A figura 3.6 mostra o gráfico da tensão de saída do filtro, onde o sinal na frequência de 500 Hz, atinge maior amplitude, devido a sintonia do filtro.

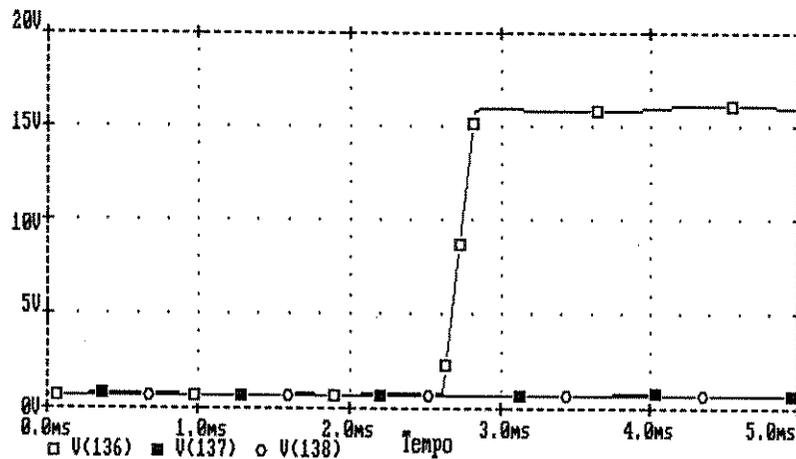


FIGURA 3.7

A figura 3.7 mostra a tensão no nó de saída, V(36), de cada unidade remota (sub-circuito), onde a unidade que se apresenta endereçada, nesse caso a primeira, apresenta seu nó de saída em potencial "alto" e as demais em potencial "baixo".

Agora passamos a simular para um sinal de 1000 Hz sobreposto à linha.

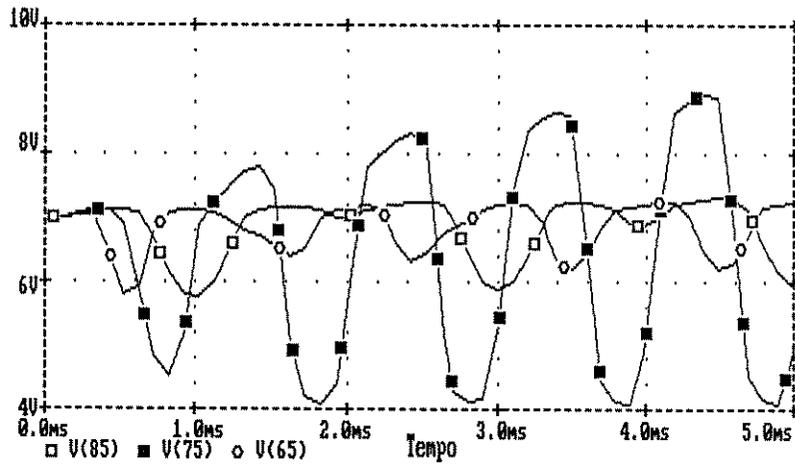


FIGURA 3.8

A figura anterior mostra a saída do filtro de cada unidade. O sinal de 1000 Hz apresenta maior amplitude em sua excursão.

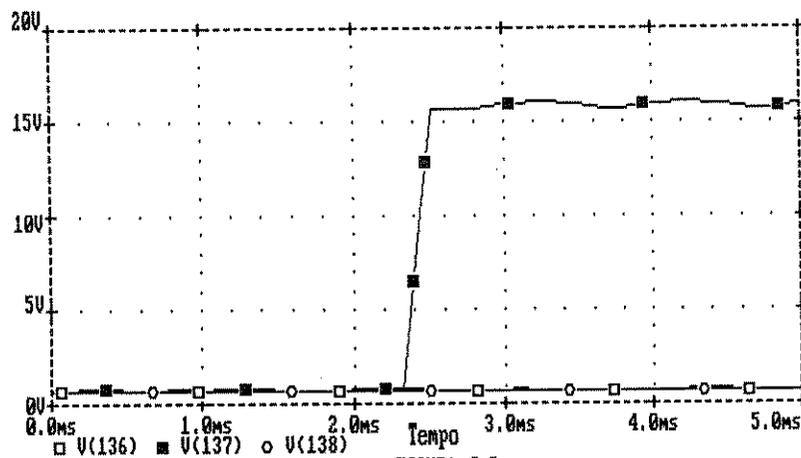


FIGURA 3.9

A unidade endereçada está com seu potencial V(36) em "alto" e as demais em potencial "baixo".

E para finalizar passamos a simular para um sinal em 2000 Hz.

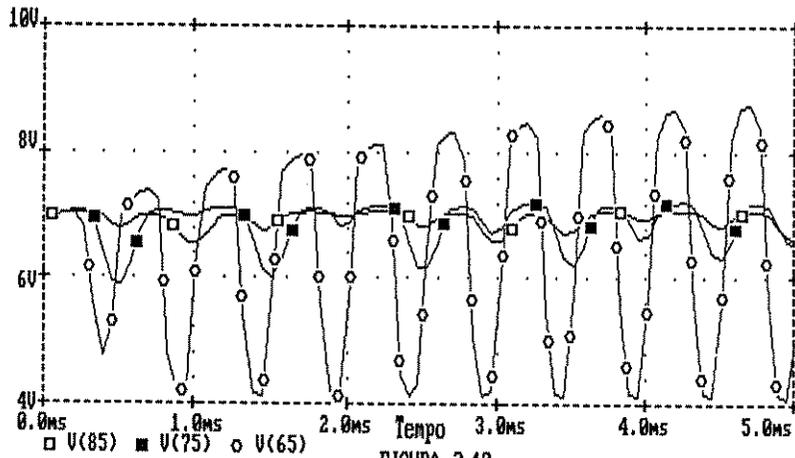


FIGURA 3.10

A figura anterior mostra a excursão dos sinais de saída dos filtros, onde 2000 Hz apresenta maior amplitude.

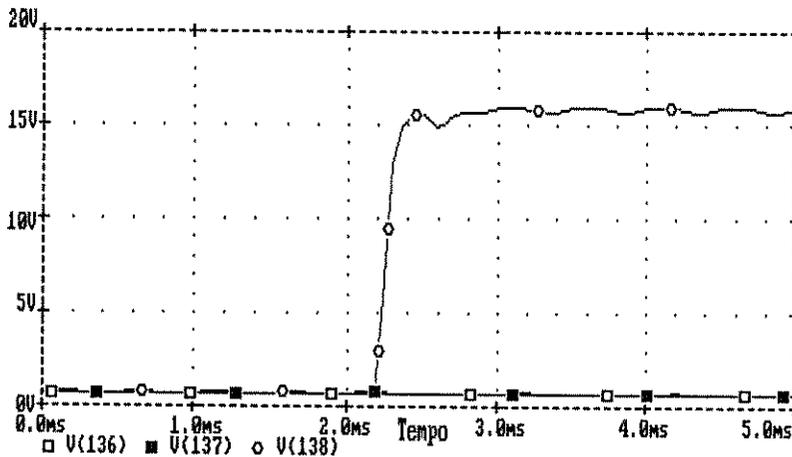


FIGURA 3.11

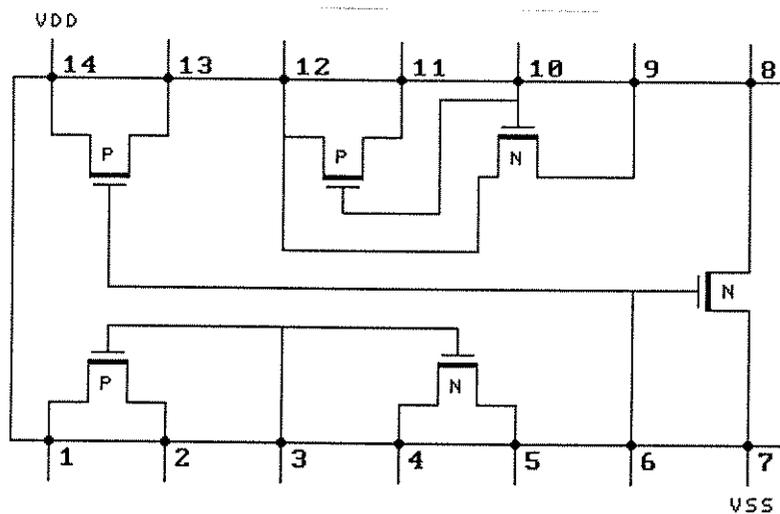
A unidade endereçada está com o nó 36 em potencial "alto", uma vez que a mesma está endereçada, as demais em potencial "baixo".

Os resultados de simulação mostraram que as três Unidades Remotas, conectadas simultaneamente em uma linha de transmissão, puderam reconhecer suas frequências de endereçamento.

3.2 - IMPLEMENTAÇÃO DE UMA UNIDADE REMOTA COMPLETA COM "ARRAY" DE TRANSISTORES CD4007

O circuito da Unidade Remota foi implementado com componentes discretos, e os transistores MOS utilizados na montagem, pertencem ao circuito integrado CD4007, que consiste de três pares complementares de transistores canais N e P, no modo enriquecimento.

A figura 3.12 mostra o diagrama dos pinos do CD4007.



NOTA: Todos os substratos dos transistores canal-P são conectados a VDD, e todos canal-N são conectados a VSS.

FIGURA 3.12

Todos os terminais de "gates" são protegidos, de cargas eletrostáticas, por diodos ligados reversamente a VDD e VSS, conforme mostra a figura 3.13.

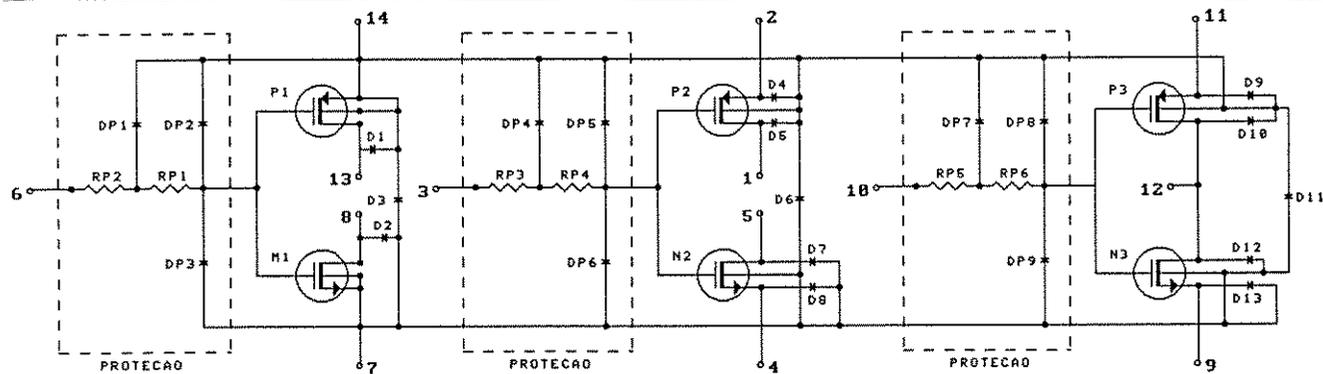


FIGURA 3.13

3.2.1 - ESQUEMA DO CIRCUITO COMPLETO DE UMA UNIDADE REMOTA, UTILIZANDO "ARRAYS" DE TRANSISTORES CD4007

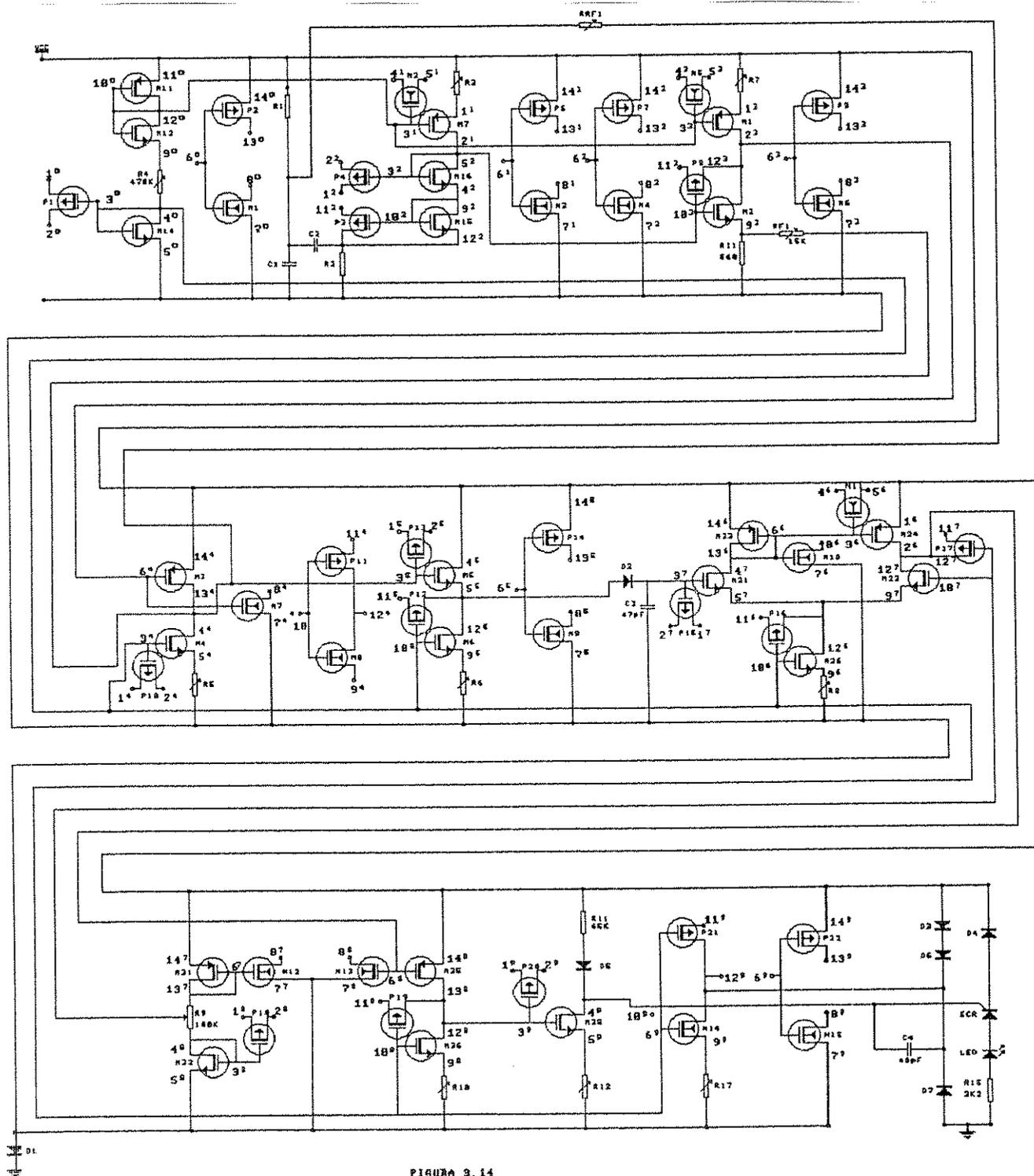


FIGURA 3.14

A figura 3.14 apresenta o circuito completo da implementação de uma Unidade Remota, utilizando-se de componentes discretos.

São utilizados 10 (dez) CI's CD4007 numerados de 0 a 9. Estão indicados no circuito, o pino e o número do CI a que pertence esse pino. Por exemplo, quando indicamos 10^o, referimos ao pino 10 do CI número 9.

Nem todos os transistores disponíveis em um CD4007 foram utilizados na montagem do circuito da unidade remota, pois os transistores desse CI formam 3 (três) pares de amplificadores inversores CMOS, onde cada par tem o "gate" do transistor canal P ligado ao "gate" do transistor canal N. Isto nos levou a utilizar no máximo 3 (três) transistores de cada CD4007.

A figura 3.15 mostra o circuito implementado de forma mais simplificada, onde foram retirados os transistores não utilizados.

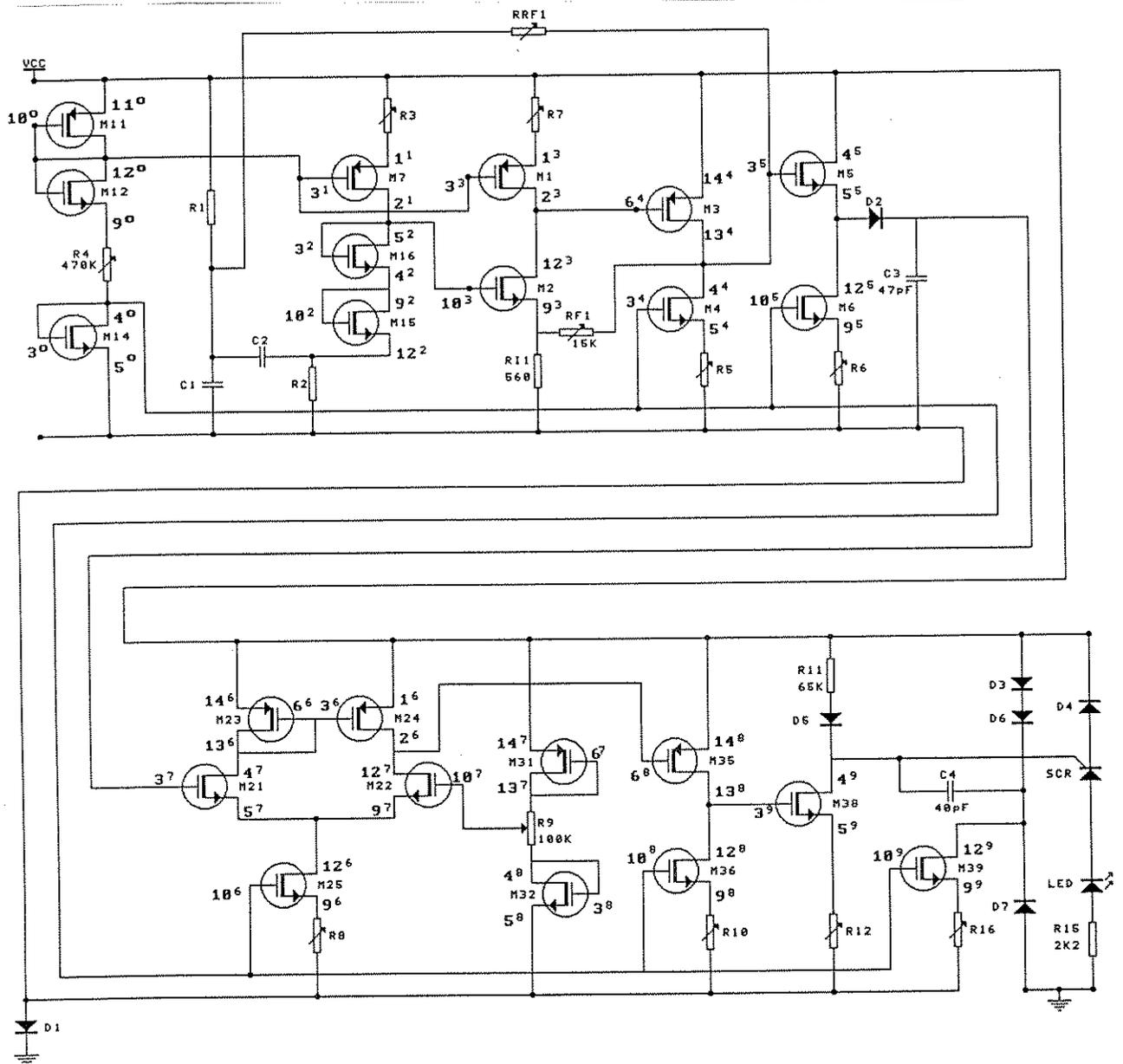


FIGURA 3.15

Nesta figura, a proteção dos "gates" não foram desenhadas. Detalhes da proteção pode ser verificado na figura 3.13.

O projeto de um transistor MOS é fundamentado na relação entre a largura e comprimento de canal, nas regras de projeto para implementação e nos parâmetros de modelamento. Com a ausência dessas informações, em relação ao CD4007, na montagem do circuito foram utilizados resistores variáveis, para controle de correntes e tensões necessárias à polarização.

3.2.2 - COMPARAÇÃO DO PROJETO DO C.I. COM A MONTAGEM PRÁTICA

O circuito montado na prática difere, do projetado para o C.I., no aspecto mencionado no item anterior, que é a necessidade da introdução de resistores cujos valores devem ser ajustados em vários pontos do circuito.

3.2.2.1 - LEITURA DO CONSUMO DE CORRENTE

Cada unidade remota, em teste, com VDD igual a 16.5V, consome aproximadamente 6,5mA quando não endereçada, e aproximadamente 5.3mA quando endereçada. Com VDD igual a 13,5V temos respectivamente 5,6mA e 2,6mA.

Comparando esses resultados com as figuras 3.3 e 3.4, verificamos que o consumo de corrente das unidades está próximo dos valores obtidos em simulação.

3.2.2.2 - FORMA DE ONDA NA LINHA DE TRANSMISSÃO E NA SAÍDA DO FILTRO:

A alimentação das unidades remotas é feita pela unidade de endereçamento descrita no Capítulo 1, figura 1.2, onde as frequências adotadas para o teste prático são 500Hz, 1000Hz e 2000Hz, podendo ser ajustados para outros valores. Cada unidade está programada para atuar em sua frequência de endereçamento.

Convém observar que foram escolhidas frequências múltiplas, uma das outras, com o propósito de verificar, exatamente, a rejeição de cada filtro às frequências harmônicas das frequências de endereçamento.

A figura 3.16 mostra o esquema de ligação do teste prático com três unidades remotas, com o emprego da linha de transmissão especificada no Capítulo 1.

A montagem foi realizada, utilizando-se 400m do fio FE-100, dispondo-se as três Unidades Remotas a 100m, 200m e 400m, da extremidade onde se encontra a central.

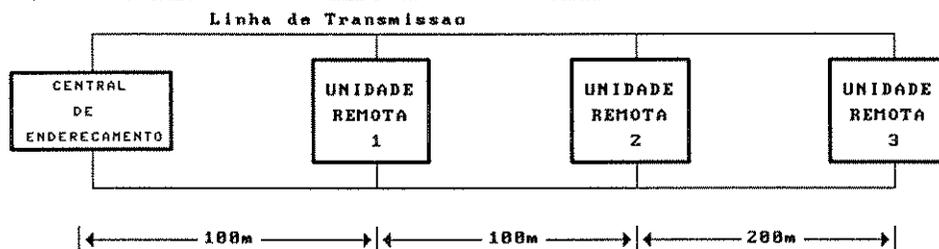


FIGURA 3.16

Com auxílio de um osciloscópio de memória marca TEKTRONICS, modelo 2232, 100MHz, registramos o gráfico da forma de onda AC sobreposta à alimentação VDD da linha, que é o endereçamento da Unidade Remota, e a forma de onda

na saída do filtro de cada Unidade Remota.

As próximas figuras mostram os gráficos do sinal de endereçamento na saída da central e a 100m, 200m e 400m, respectivamente, em relação a esta.

A frequência desse teste é 2000 Hz.

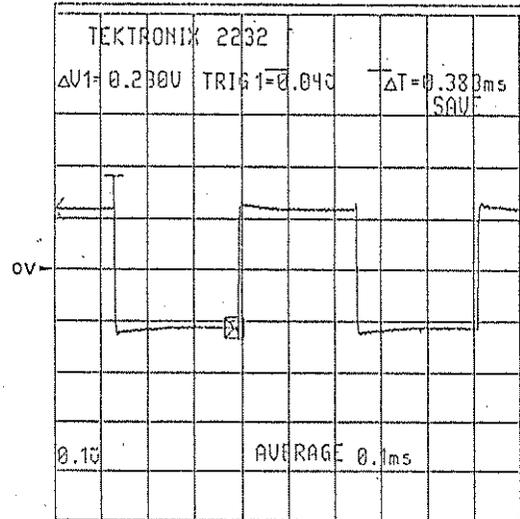


FIGURA 3.17

SINAL AC SOBREPOSTO A VDD À SAÍDA DA CENTRAL

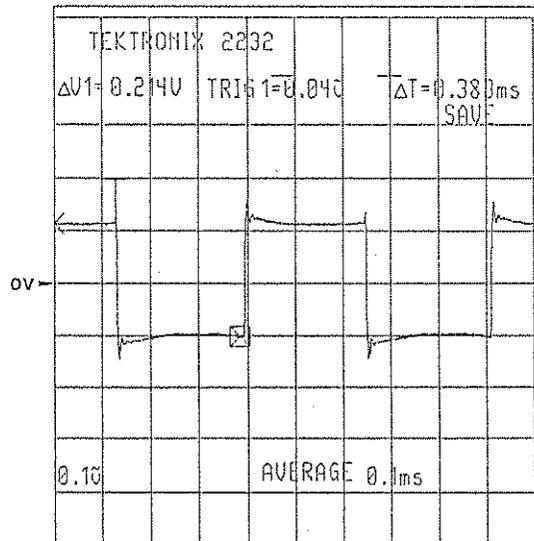


FIGURA 3.18

SINAL AC SOBREPOSTO A VDD À 100m DA CENTRAL

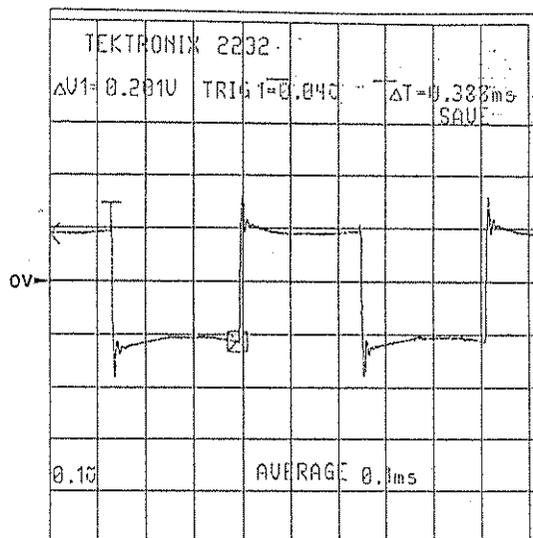


FIGURA 3.19
 SINAL AC SOBREPOSTO A VDD À 200m DA CENTRAL

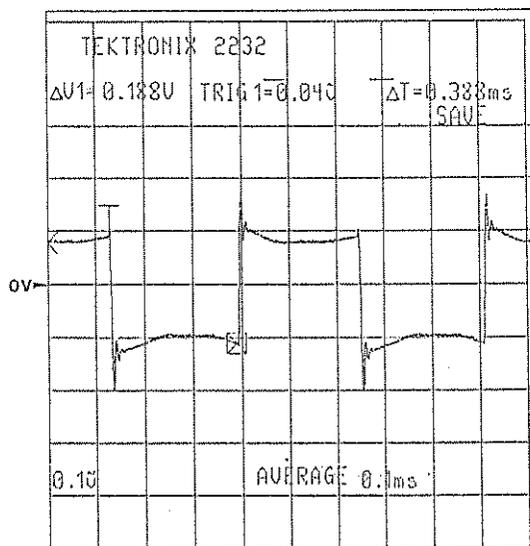


FIGURA 3.20
 SINAL AC SOBREPOSTO A VDD À 400m DA CENTRAL

As formas de ondas mostradas nas figuras anteriores evidenciam a distorção causada pela linha de transmissão.

As próximas figuras mostram o registro dos sinais nas saídas dos filtros das Unidades Remotas.

A figura 3.21 apresenta dois sinais simultâneos, sendo que o sinal de maior excursão foi amostrado do filtro da Unidade Remota endereçada, e o sinal de menor amplitude, de uma unidade não endereçada. Estas foram conectadas a 400m e 100m respectivamente, e como pode ser verificado, mesmo no ponto mais distante, o sinal é perfeitamente reconhecível.

A figura 3.22, semelhante à figura 3.21, mostra a mesma unidade endereçada com outra não endereçada conectada a 200m.

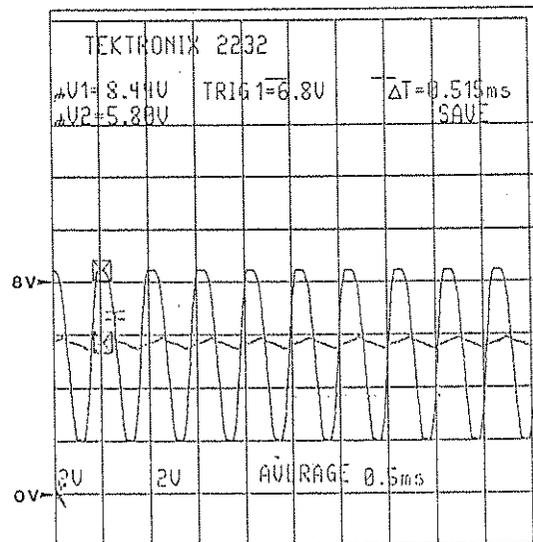


FIGURA 3.21

SINAIS DE SAÍDA DO FILTRO DA UNIDADE REMOTA ENDEREÇADA, À 400m, E DA UNIDADE NÃO ENDEREÇADA, À 100m

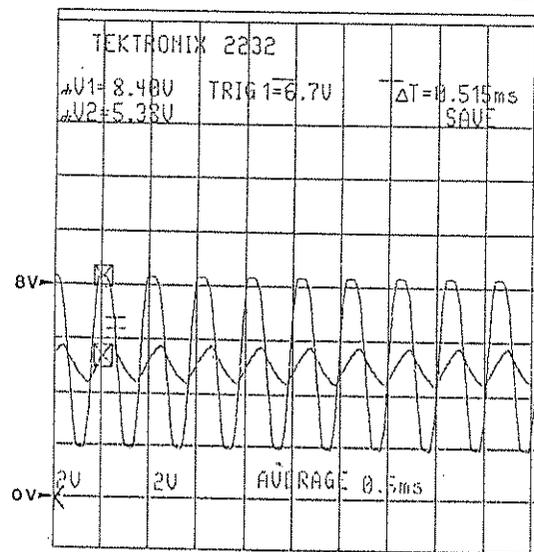


FIGURA 3.22

SINAIS DE SAÍDA DO FILTRO DA UNIDADE REMOTA ENDEREÇADA, À 400m , E DA UNIDADE NÃO ENDEREÇADA, À 200m

As formas de ondas mostradas pelas figuras 3.21 e 3.22 se encontram dentro do esperado pela simulação dada pela figura 3.10, que mostra o sinal de saída do filtro passa-banda de uma unidade remota endereçada, com $f_0 = 2KHz$.

3.3 - ACIONAMENTO DO SCR

A figura 3.23 mostra o circuito que contém um SCR de baixa potência o qual desempenha o papel de chave analógica unidirecional. Nos diversos experimentos realizados, foi utilizado como circuito teste, em lugar de um condicionador/transmissor 4 - 20 mA, um LED em série com um resistor, R15. Assim pode-se visualizar facilmente o endereçamento de cada unidade remota.

O diodo D4 tem a finalidade de diminuir a sensibilidade de disparo do SCR.

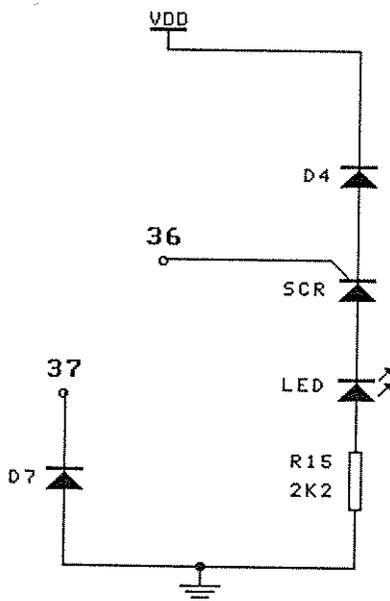


FIGURA 3.23

A figura 3.24 mostra a ligação do circuito de comparação e memória com o circuito de acionamento do SCR.

O primeiro, com auxílio de um "Curve Trace", marca TEKTRONIX, modelo 577 (277) pudemos levantar as correntes e tensões mínimas de disparo que deve ser aplicado sobre o "gate" do SCR. Utilizamos 14 (quatorze) amostras aleatórias desse dispositivo e com os resultados obtidos montamos a seguinte planilha:

NÚMERO DA AMOSTRA	CORRENTE IGT MÍNIMA DE DISPARO	TENSÃO VGT MÍNIMA DE DISPARO
1	2,16 μA	0,635 V
2	1,03 μA	0,630 V
3	4,14 μA	0,644 V
4	0,75 μA	0,622 V
5	0,83 μA	0,628 V
6	2,62 μA	0,636 V
7	< 50 nA	0,612 V
8	< 50 nA	0,606 V
9	< 50 nA	0,606 V
10	1,00 μA	0,626 V
11	1,22 μA	0,626 V
12	0,93 μA	0,630 V
13	0,46 μA	0,620 V
14	0,11 μA	0,624 V

Como se observa pelo quadro acima, enquanto as tensões de disparo variam entre si de até 8 %, as correntes variam de até mais de 80 (oitenta) vezes, como é o caso da amostra 3 em relação as amostras 7, 8 e 9. Isso dificulta a estimativa de parâmetros em caso de modelamento do SCR para simulação, dificultando o emprego do método sugerido por Avant e Lee [7], que se baseia em valores típicos de

parâmetros à partir do "data sheet".

A sensibilidade de disparo também está ligada à posição em que a unidade se encontra na linha de transmissão, e de maneira geral, quanto mais distante da unidade de endereçamento a unidade remota se encontrar, mais sensível se torna o disparo do SCR. Isso ocorre porque na inversão da polaridade há uma oscilação amortecida, de alta frequência, onde a tensão de pico atinge um valor maior que o dobro de VDD, submetendo assim os terminais anodo-catodo do SCR, a uma tensão que exige menos corrente no "gate" para o disparo.

As figuras 3.25, 3.26, 3.27 e 3.28 mostram a transição de VDD₊ para VDD₋, onde se observa que na unidade remota a 400m da unidade de endereçamento, a tensão VDD₋ chega a atingir 34 V.

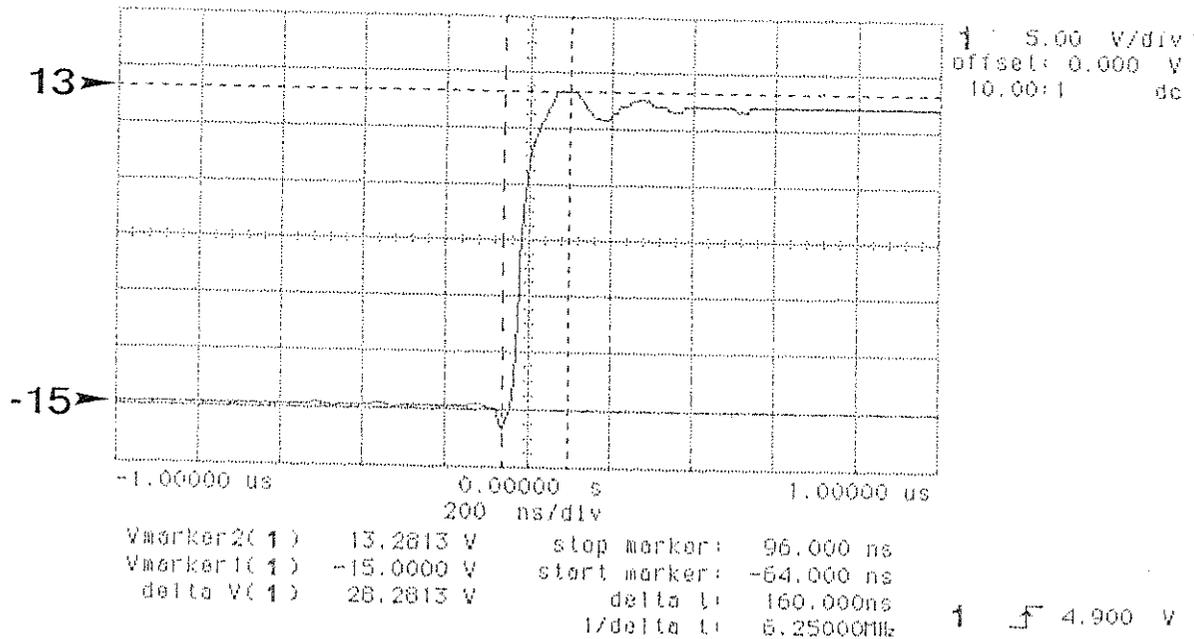


FIGURA 3.25
TRANSIÇÃO DE VDD A ZERO METROS

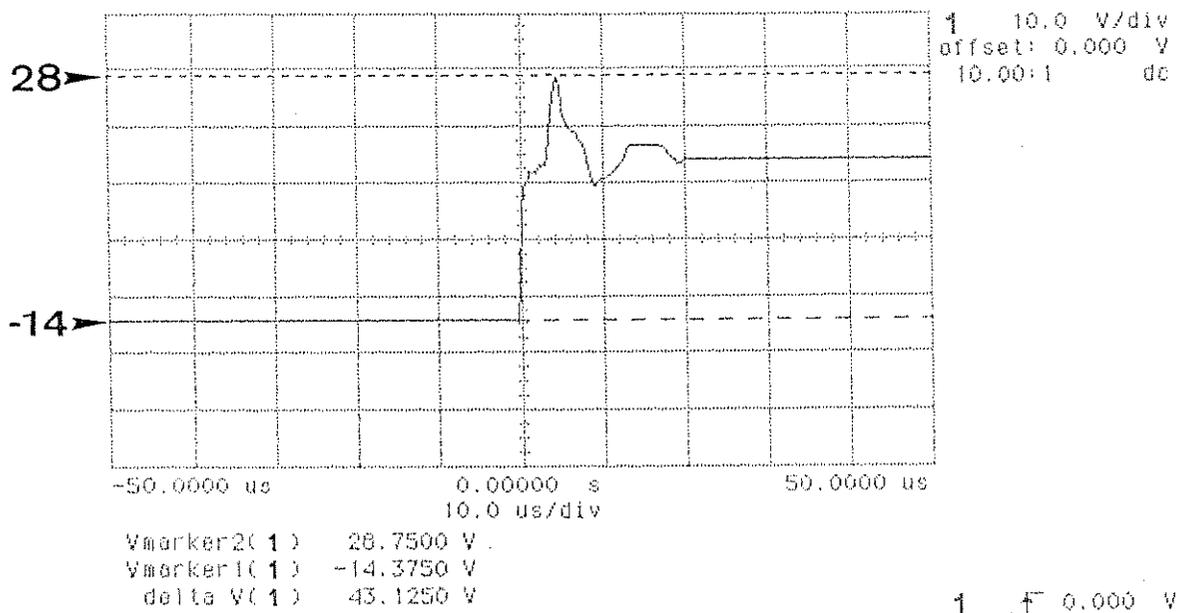


FIGURA 3.26
TRANSIÇÃO DE VDD A 100 m

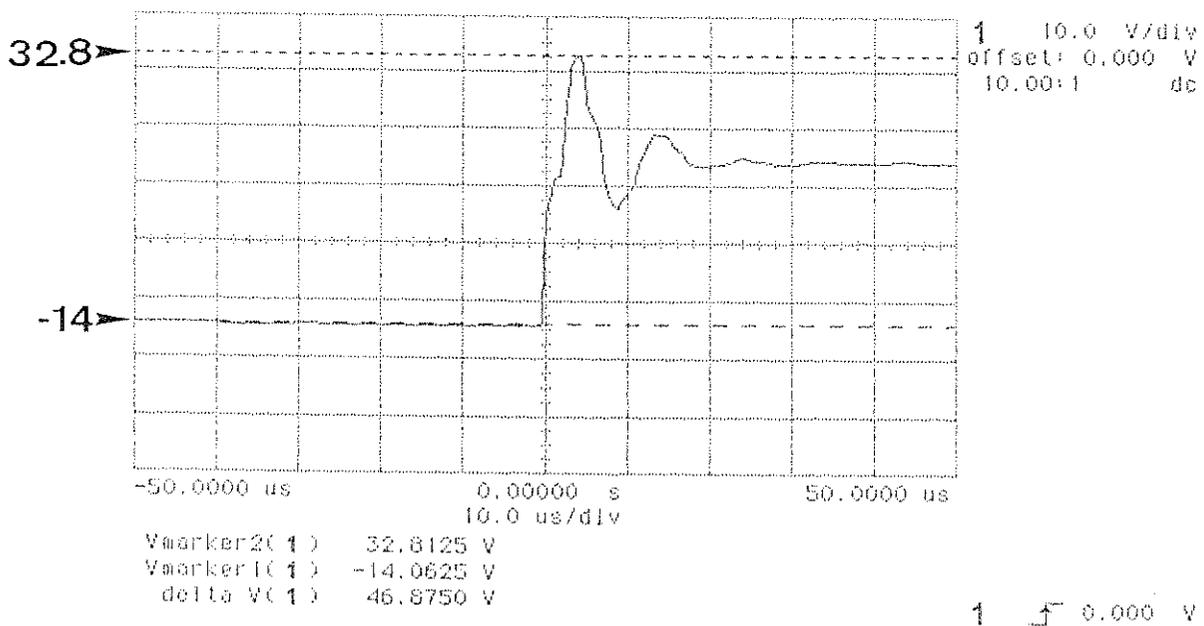


FIGURA 3.27
TRANSIÇÃO DE VDD A 200 m

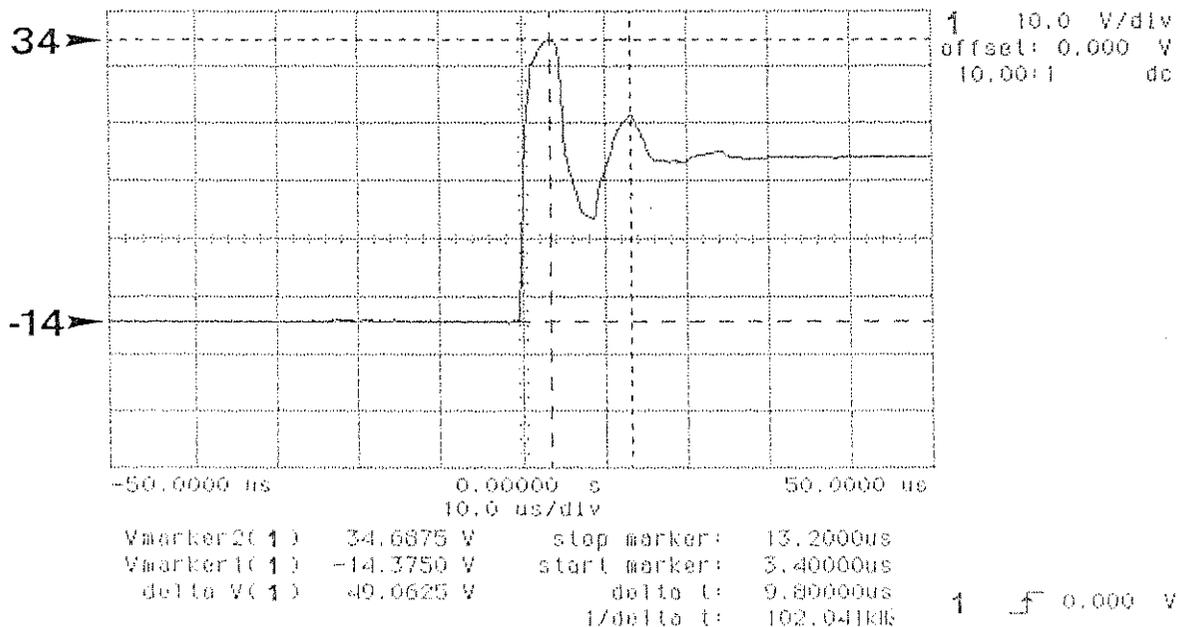
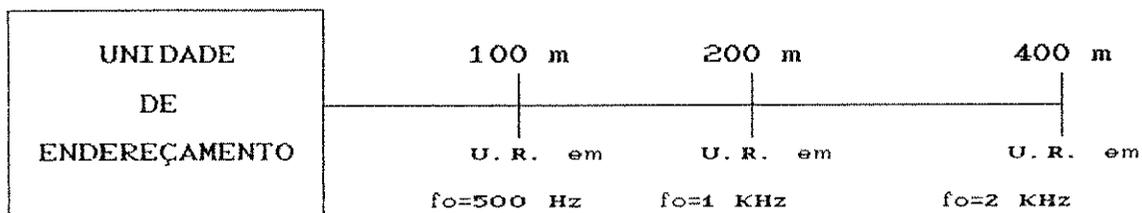


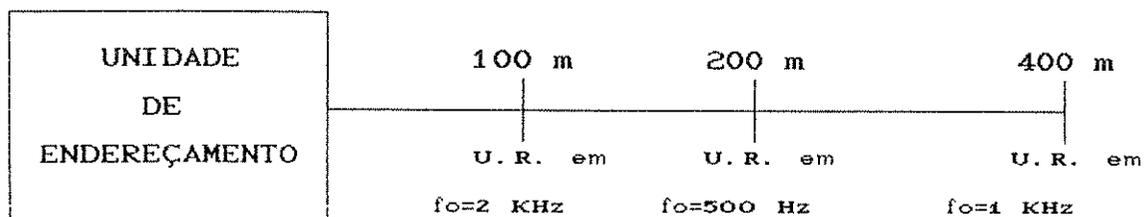
FIGURA 3.28
TRANSIÇÃO DE VDD A 400 m

Para dimensionar o intervalo de valores de C4, que garante o correto funcionamento do SCR, independentemente da posição da unidade remota na linha de transmissão, escolhemos três das várias combinações possíveis para a ligação das unidades remotas, as quais são mostradas nos diagramas a seguir:

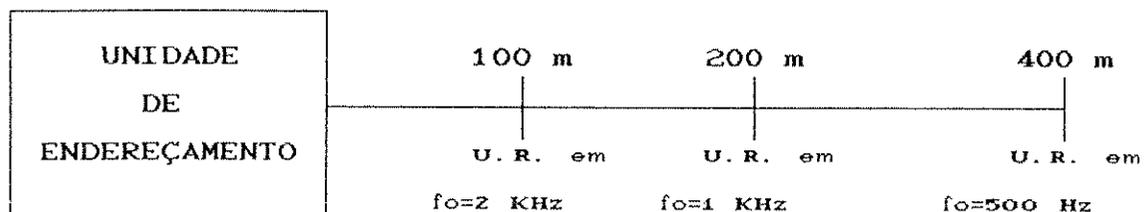
Primeira combinação:



Segunda combinação:



Terceira combinação:



O teste, para cada combinação, consistiu em identificar, para cada unidade remota, o valor mínimo de C4 para o correto disparo do SCR, e o valor máximo para não ocorrer o acionamento indevido.

Da primeira combinação resultaram os seguintes intervalos:

- U. R. a 100 m ($f_o = 500$ Hz) : 25 pF a 60 pF
- U. R. a 200 m ($f_o = 1$ KHz) : 25 pF a 30 pF
- U. R. a 400 m ($f_o = 2$ KHz) : 4,7 pF a 7 pF

Da segunda combinação:

- U. R. a 100 m ($f_o = 2$ KHz) : 25 pF a 90 pF
- U. R. a 200 m ($f_o = 500$ Hz) : 15 pF a 30 pF
- U. R. a 400 m ($f_o = 1$ KHz) : 4,7 pF a 7 pF

Refizemos novamente o teste anterior e chegamos nos seguintes resultados:

Da primeira combinação:

- U.R. a 100 m ($f_0 = 500$ Hz) : 25 pF a 276 pF
- U.R. a 200 m ($f_0 = 1$ KHz) : 25 pF a 130 pF
- U.R. a 400 m ($f_0 = 2$ KHz) : 10 pF a 40 pF

Da segunda combinação:

- U.R. a 100 m ($f_0 = 2$ KHz) : 25 pF a 484 pF
- U.R. a 200 m ($f_0 = 500$ Hz) : 15 pF a 70 pF
- U.R. a 400 m ($f_0 = 1$ KHz) : 4,7 pF a 60 pF

Da terceira combinação:

- U.R. a 100 m ($f_0 = 2$ KHz) : 25 pF a 484 pF
- U.R. a 200 m ($f_0 = 1$ KHz) : 25 pF a 207 pF
- U.R. a 400 m ($f_0 = 500$ Hz) : 4,7 pF a 40 pF

Desses novos intervalos obtidos chegamos ao conjunto solução: 25 pF a 40 pF, que representa os valores que C4 pode assumir.

Três outros testes de sensibilidade ao valor de C4 foram efetuados conectando apenas uma unidade remota, utilizando o resistor em série com "gate" do SCR, em cada trecho da linha.

U.R. com $f_0 = 500$ Hz conectada a 100 m e com os pontos de 200 m e 400 m em aberto: 25 pF a 207 pF

U.R. com $f_0 = 1$ KHz conectada a 200 m e com os pontos de 100 m e 400 m em aberto: 25 pF a 130 pF

U.R. com $f_0 = 2$ KHz conectada a 400 m e com os pontos de 100 m e 200 m em aberto: 4,7 pF a 32 pF

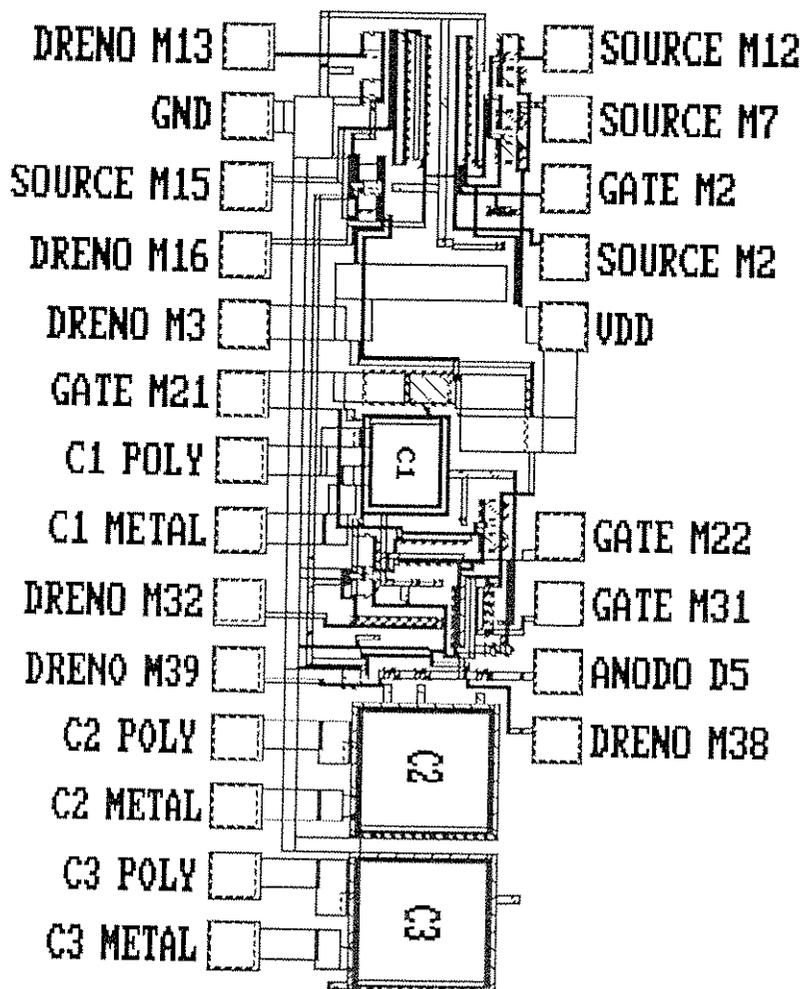
o que nos trouxe o seguinte intervalo solução: 25 pF a 32 pF. Fazendo a intersecção com o intervalo solução anterior

chegamos ao intervalo 25 pF a 32 pF.

Adotamos $C4 = 30$ pF e verificamos que este tem seu valor de capacitância compatível com o processo de integração.

3.4 - MÁSCARA DO CIRCUITO INTEGRADO PROPOSTO

A seguir se apresenta a máscara do C.I. proposto para a integração da unidade remota. Infelizmente, devido a um erro na polarização do poço-n dos diodos, não foi possível sua caracterização.



CONCLUSÃO

Neste trabalho foi investigado uma implementação mais apropriada à integração em tecnologia CMOS de unidades remotas endereçáveis que compartilham de uma linha de dois fios e que têm como aplicação o sensoriamento remoto através de loop de corrente em 4 - 20mA.

Circuitos experimentais implementados, utilizando "arrays" de transistores MOS (CD 4007) foram caracterizados e comprovaram o funcionamento da técnica.

Um circuito integrado foi projetado e implementado através do PMU nacional. Devido a erros no lay-out apenas parte do C.I. funcionou. Exaustivas simulações, em SPICE, utilizando modelos validados de transistores integrados, entretanto, mostraram que a versão integrada deve operar satisfatoriamente.

APÊNDICE A

CONSIDERAÇÕES SOBRE O CIRCUITO DE FILTRO ATIVO

Na condição em que a tensão V_{AB} , de alimentação da linha de transmissão, for positiva, haverá uma frequência de endereçamento sobreposta na tensão DC de alimentação. Essa frequência será detetada pelo filtro ativo passa banda que se encontra ligado diretamente à linha de transmissão.

A figura 1 mostra configuração típica de um filtro ativo cuja função de transferência é representada pela equação 1 [3].

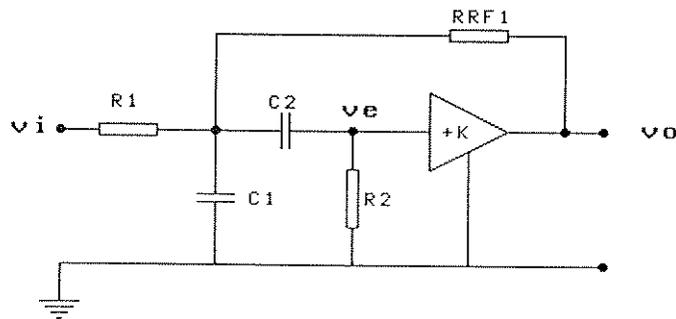


FIGURA 1

$$H(s) = \frac{K \cdot B \cdot s}{s^2 + B \cdot s + \omega_0^2} \quad \text{eq. (1)}$$

De um modo mais geral a função de transferência do circuito da figura 1 é dada por:

$$H(s) = \frac{v_o(s)}{v_i(s)} \quad \text{eq. (2)}$$

O objetivo dessa análise de circuito, é verificar a equação 2 em função dos componentes do circuito.

Ainda da figura 1 temos:

$$v_o = K \cdot v_e \quad \text{eq. (3)}$$

onde K está representando o ganho do amplificador, v_e e v_o as tensões incrementais de entrada e saída do amplificador, respectivamente.

Utilizando-se da superposição temos:

1.º) Fazendo $v_o = 0$ e considerando que o amplificador apresenta uma alta impedância de entrada, temos o seguinte circuito:

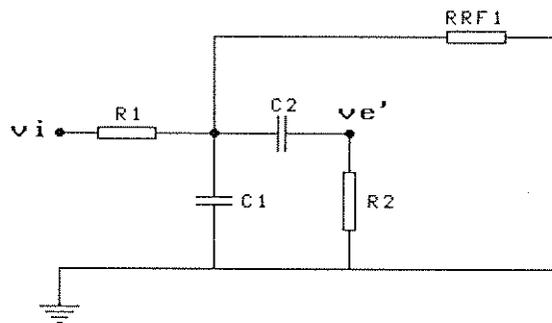


FIGURA 2

e rearranjando os componentes:

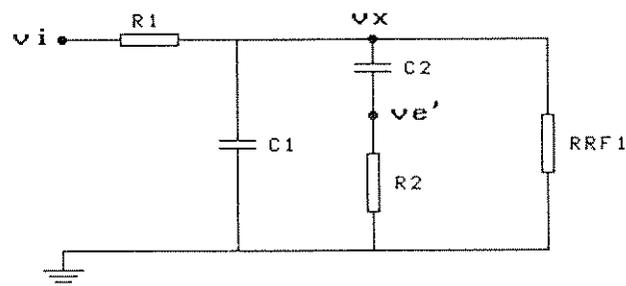


FIGURA 3

Nesse passo o objetivo é encontrar a expressão de v_e' , que por inspeção no circuito da figura 3 temos:

$$v_x = v_i \cdot \frac{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF1}{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF1 + R_1} \quad \text{eq. (4)}$$

e ainda:

$$v_{e'} = v_x \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}} \quad \text{eq. (5)}$$

e substituindo a equação 4 na equação 5 resulta em:

$$v_{e'} = v_i \cdot \frac{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF1}{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF1 + R_1} \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}}$$

eq. (6)

2.º } Fazendo agora, $v_i = 0$ no circuito da figura 1, resulta o seguinte diagrama:

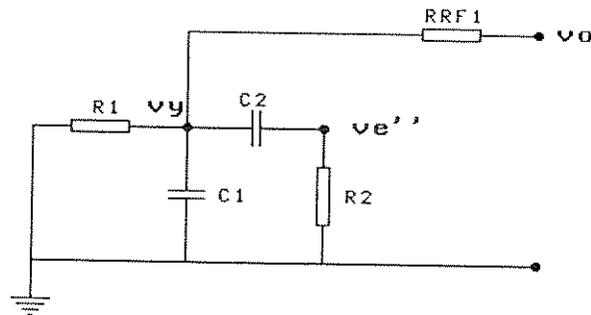


FIGURA 4

Por inspeção temos:

$$v_y = v_o \cdot \frac{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right]}{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] + RRF_1} \quad \text{eq. (7)}$$

e ainda:

$$v_{e''} = v_y \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}} \quad \text{eq. (8)}$$

e substituindo a equação 7 na equação 8 resulta em:

$$v_{e''} = v_o \cdot \frac{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right]}{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] + RRF_1} \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}} \quad \text{eq. (9)}$$

E, pela superposição temos que:

$$v_e = v_{e'} + v_{e''} \quad \text{eq. (10)}$$

e substituindo as expressões de $v_{e'}$ e $v_{e''}$ dadas pelas equações 6 e 9 respectivamente vem:

$$v_e = v_i \cdot \frac{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF_1}{\frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] \parallel RRF_1 + R_1} \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}} + v_o \cdot \frac{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right]}{R_1 \parallel \frac{1}{sC_1} \parallel \left[\frac{1}{sC_2} + R_2 \right] + RRF_1} \cdot \frac{R_2}{R_2 + \frac{1}{sC_2}} \quad \text{eq. (11)}$$

e pela equação 3

$$\frac{v_o}{k} = v_e \quad \text{eq (12)}$$

e substituindo a equação 12 na equação 11 resulta:

$$\frac{v_o}{K} = \frac{R_2}{R_2 + \frac{1}{sC_2}} \left[v_i \cdot \frac{\frac{1}{sC_1} \parallel \left(\frac{1}{sC_2} + R_2 \right) \parallel RRF1}{\frac{1}{sC_1} \parallel \left(\frac{1}{sC_2} + R_2 \right) \parallel RRF1 + R_1} + v_o \cdot \frac{R_1 \parallel \frac{1}{sC_1} \parallel \left(\frac{1}{sC_2} + R_2 \right)}{R_1 \parallel \frac{1}{sC_1} \parallel \left(\frac{1}{sC_2} + R_2 \right) + RRF1} \right]$$

$$\text{eq. (13)}$$

Simplificando a equação 13 para $\frac{v_o(s)}{v_i(s)}$ encontramos a função de transferência do filtro proposto no projeto.

Então:

$$H(s) = \frac{K \cdot \frac{1}{R_1 \cdot C_1} s}{s^2 + s \left(\frac{1}{R_1 \cdot C_1} + \frac{1}{RRF1 \cdot C_1} (1-K) + \frac{1}{R_2 \cdot C_1} + \frac{1}{R_2 \cdot C_2} \right) + \frac{1}{R_2 \cdot C_2 \cdot R_1 \cdot C_1} + \frac{1}{R_2 \cdot C_2 \cdot RRF1 \cdot C_1}}$$

$$\text{eq. (14)}$$

Comparando a equação 1 com a equação 14 podemos verificar a frequência de sintonia do filtro e a expressão de B.

Logo:

$$\omega_o^2 = \frac{1}{R_2 \cdot C_2 \cdot R_1 \cdot C_1} + \frac{1}{R_2 \cdot C_2 \cdot RRF1 \cdot C_1} \quad \text{eq. (15)}$$

que resolvendo para f_o encontramos

$$f_o = \frac{1}{2 \cdot \pi} \cdot \left[\frac{1}{R_2 \cdot C_1 \cdot C_2} \cdot \left(\frac{1}{RRF1} + \frac{1}{R_1} \right) \right]^{1/2} \quad \text{eq. (16)}$$

onde f_o representa a frequência de ressonância do filtro.

Ainda devido a equação 1 temos a seguinte igualdade, apresentada pela equação 14:

$$B = \frac{1}{R1 \cdot C1} = \frac{1}{R1 \cdot C1} + \frac{1}{RRF1 \cdot C1} (1 - K) + \frac{1}{R2 \cdot C1} + \frac{1}{R2 \cdot C2}$$

eq. (17)

e resolvendo a equação acima para K, temos:

$$K = \frac{RRF1}{R2} \left(\frac{C1}{C2} + 1 \right) + 1 \quad \text{eq. (18)}$$

Esta equação mostra o K, que é o ganho do amplificador, em relação aos componentes do filtro, quando o amplificador considerado na análise for ideal.

A expressão de K, considerando os parâmetros dos transistores MOS e os resistores de realimentação, é verificado no Apêndice B.

APÊNDICE B

CONSIDERAÇÕES SOBRE UM AMPLIFICADOR REALIMENTADO

Para a implementarmos o filtro ativo, é necessário a utilização de um amplificador de tensão, não inversor, com ganho K [3].

E considerando que os estágios de amplificação de tensão, utilizando transistores MOS, atingem baixos valores de ganho, em decorrência da baixa transcondutância normalmente obtidas, nos levou a adotar a configuração mostrada, de maneira simplificada, na figura 1, que envolve dois estágios de ganho em cascata.

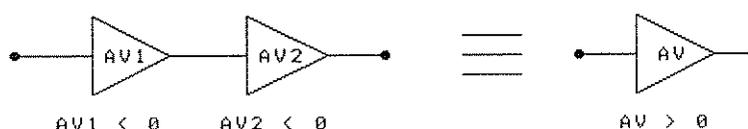


FIGURA 1

CÁLCULO DO GANHO INCREMENTAL [4]

Verificaremos o ganho de cada estágio, de forma individual. Após essa análise desenvolveremos a expressão analítica, que relaciona o ganho de um amplificador realimentado, em função dos componentes externos e dos parâmetros que definem o transistor.

Começaremos analisando o ganho de tensão incremental $Av1$, do amplificador, mostrado na figura 2, com a introdução de elementos auxiliares denominadas CONDUTANCIAS LINEARIZADAS, que facilitam a visualização do comportamento incremental do transistor.

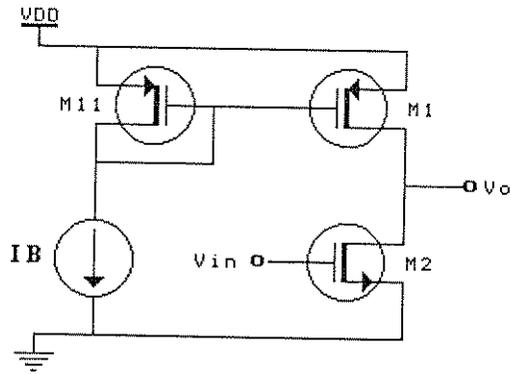


FIGURA 2

onde:

$$Av1 = \frac{v_o}{v_i} \quad \text{eq. (1)}$$

Um transistor real pode ser visto como um transistor ideal, conectando-se em seus terminais, condutâncias que explicitam suas não idealidades, como mostra a figura 3 [4]:

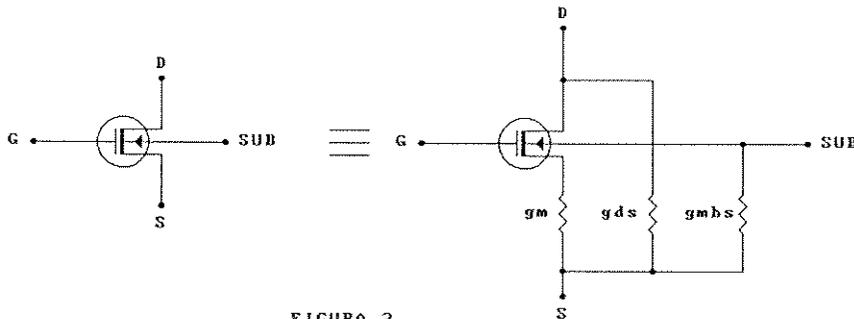


FIGURA 3

onde:

g_m é a transcondutância do transistor
 g_{ds} é a condutância do canal do transistor
 g_{mbs} é a transcondutância devido ao substrato.

Agora o amplificador da figura 2 pode ser redesenhado para sinais incrementais como:

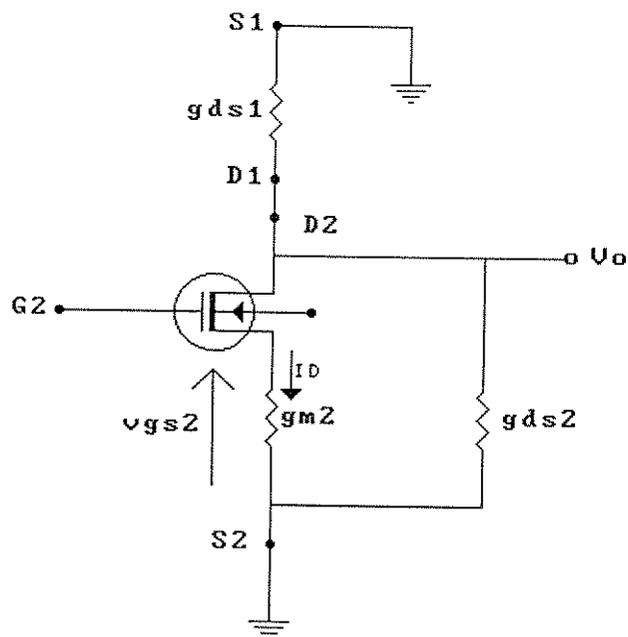


FIGURA 4

Estando os transistores M1 e M2, polarizados em suas regiões de saturação, e que o efeito de corpo pode ser desprezado, uma vez que $VBS_{(M1)} = VBS_{(M2)} = 0$ (zero), o ganho de tensão incremental é dado por:

$$Av1 = \frac{vo}{VGS2} \quad \text{eq. (2)}$$

E por inspeção, no circuito da figura 4:

$$ID = gm2 \cdot VGS2 \quad \text{eq. (3)}$$

e ainda:

$$vo = - \frac{ID}{[gds1 + gds2]} \quad \text{eq. (4)}$$

Substituindo as equações 3 e 4 na equação 2 resulta que:

$$Av1 = - \frac{gm2}{[gds1 + gds2]} \quad \text{eq. (5)}$$

E com a troca apropriada de polaridade, a análise anterior é igualmente válida quando o transistor de comando passa a ser um transistor canal P e sua carga ativa um transistor canal N. Esse estágio é mostrado na figura 5.

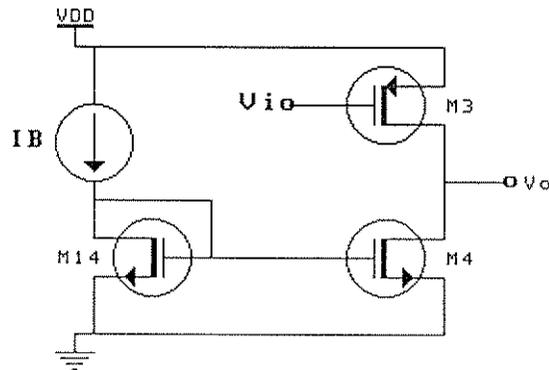


FIGURA 5

Onde o ganho $Av2$ desse estágio resulta em:

$$Av2 = - \frac{gm3}{[gds3 + gds4]} \quad \text{eq. (6)}$$

Considerando agora a ligação em cascata dos amplificadores analisados teremos o seguinte diagrama simplificado:

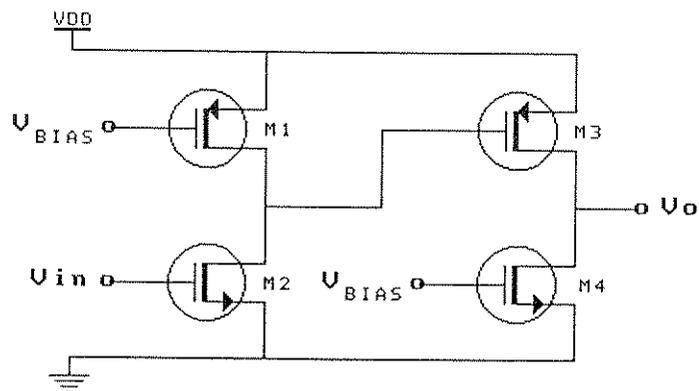


FIGURA 6

A expressão do ganho incremental $A_v = \frac{v_o}{v_{in}}$,
 resulta em:

$$A_v = A_{v1} \cdot A_{v2} = \frac{g_{m2} \cdot g_{m3}}{\left[g_{ds2} + g_{ds1} \right] \cdot \left[g_{ds3} + g_{ds4} \right]} \quad \text{eq. (7)}$$

Agora, verificaremos a expressão do ganho de tensão incremental, quando o amplificador apresentado na figura 6, é realimentado para controlar o ganho de tensão.

O circuito em sua forma simplificada é apresentado na figura 7:

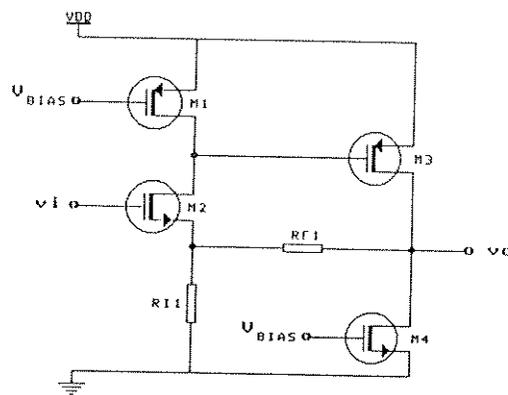


FIGURA 7

Para calcularmos o ganho incremental, $K = \frac{v_o}{v_i}$,
 recorreremos ao uso das condutâncias linearizadas, como
 elementos incrementais dos transistores.

Então circuito da figura 7 é redesenhado como:

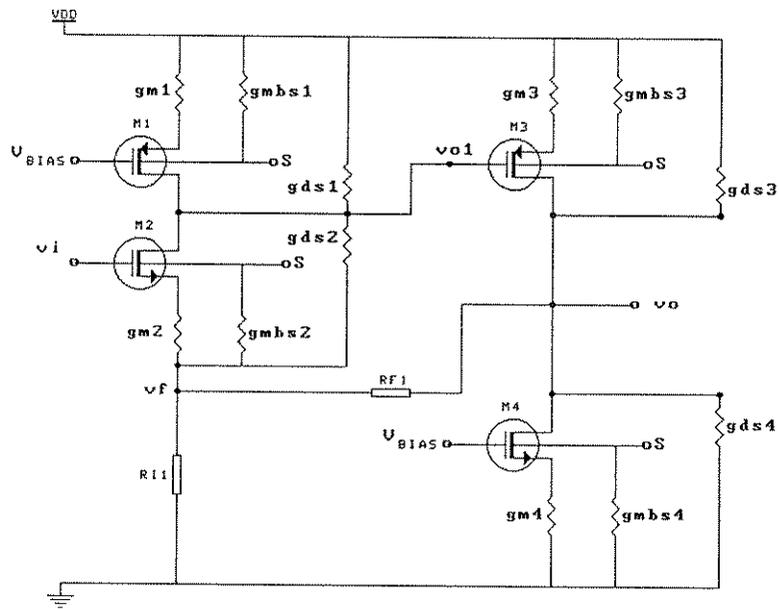


FIGURA 8

Para o ganho incremental, o circuito pode ser redesenhado como:

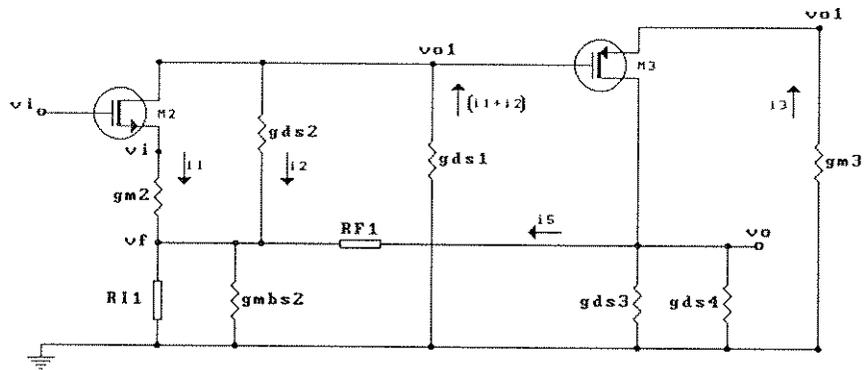


FIGURA 9

Por inspeção no circuito 9 podemos equacionar as seguintes relações:

$$v_f = (i_1 + i_2 + i_5) \cdot \left[R_{11} \parallel \frac{1}{g_{mbs2}} \right] \quad \text{eq. (8)}$$

$$v_{o1} = - \frac{(i_1 + i_2)}{g_{ds1}} \quad \text{eq. (9)}$$

$$v_o = \frac{(i_3 - i_5)}{(g_{ds3} + g_{ds4})} \quad \text{eq. (10)}$$

onde, para as correntes temos:

$$i_1 = (v_i - v_f).g_{m2} \quad \text{eq. (11)}$$

$$i_2 = (v_{o1} - v_f).g_{ds2} \quad \text{eq. (12)}$$

$$i_3 = -v_{o1}.g_{m3} \quad \text{eq. (13)}$$

$$i_5 = \frac{(v_o - v_f)}{R_{F1}} \quad \text{eq. (14)}$$

E para encontrarmos a expressão de $K = \frac{v_o}{v_i}$, relacionamos entre si as equações 8 a 14 que resulta em:

$$\begin{aligned} \frac{v_o}{v_i} &= \frac{g_{m2} \cdot \left\{ R_{F1} \cdot g_{m3} \cdot \left[R_{I1} \cdot g_{mbs2} + 1 \right] + R_{I1} \cdot \left[g_{m3} + g_{ds1} \right] \right\}}{g_{m2} \cdot R_{I1} \cdot \left\{ R_{F1} \cdot g_{ds1} \left[g_{ds3} + g_{ds4} \right] + g_{m3} + g_{ds1} \right\} + g_{ds2} \cdot \left\{ R_{F1} \left[g_{ds3} + g_{ds4} \right] \right\}} \approx \\ &\approx \left[R_{I1} \left[g_{mbs2} + g_{ds1} \right] + 1 \right] + R_{I1} \left[g_{mbs2} + g_{m3} + g_{ds3} + g_{ds4} + g_{ds1} \right] + 1 \approx \\ &\approx g_{ds1} \left\{ R_{F1} \left[g_{ds3} + g_{ds4} \right] \left[R_{I1} \cdot g_{mbs2} + 1 \right] + R_{I1} \left[g_{mbs2} + g_{ds3} + g_{ds4} \right] + 1 \right\} \end{aligned} \quad \text{eq. (15)}$$

Como pode ser verificado na equação 15, os elementos R_{I1} e R_{F1} , responsáveis pelo controle do ganho do

amplificador, através de realimentação, não estão apresentados de forma algebricamente simples. Isto dificulta a visualização do controle exercido, por esses elementos, sobre o ganho desta configuração. O principal motivo da complexidade desta expressão, é o fato de termos levado em consideração a influência do parâmetro gm_{bs2} , onde o transistor M2 apresenta sua tensão "gate-source" diferente de sua tensão "substrato-source".

Comparando a figura 8 com a figura 6, esta apresenta a seguinte característica em relação àquela:

$$gm_{bs2} = 0$$

$$R_{I1} = 0$$

e

$$R_{F1} \rightarrow \infty$$

Voltando na expressão 15 e substituindo os dados acima encontramos:

$$\lim_{R_{F1} \rightarrow \infty} \frac{v_o}{v_i} = - \frac{gm_3 \cdot gm_4}{\left[g_{ds1} + g_{ds2} \right] \cdot \left[g_{ds3} + g_{ds4} \right]} \quad \text{eq. (16)}$$

o que concorda com o resultado da equação 7 onde o amplificador, não inversor, não está sob influência de realimentação.

APÊNDICE C

1) Modelo dos transistores, em tecnologia MOS, empregados no PMU 7, e nas simulações:

```
.MODEL NMOS NMOS (LEVEL=2 LD=0.125U TOX=250E-10 NSUB=2E+16  
+ VTO=0.7 UO=510 UEXP=0.22 UCRIT=24.3K DELTA=0.40 XJ=0.4U  
+ VMAX=54K NEFF=4 RSH=55 NFS=0.0E+11 JS=2U CJ=130U  
+ CJSW=620P MJ=0.53 MJSW=0.53 PB=0.68 CGDO=320P CGSO=320P  
+ GAMMA=0.65 LAMBDA=0 NSS=0)
```

```
.MODEL PMOS PMOS (LEVEL=2 LD=0.10U TOX=250E-10 NSUB=5E+16  
+ VTO=-1.1 UO=210 UEXP=0.33 UCRIT=51K DELTA=0.40 XJ=0.5U  
+ VMAX=47K NEFF=0.88 RSH=75 NFS=0E+11 JS=10U CJ=490U  
+ CJSW=590P MJ=0.46 MJSW=0.46 PB=0.78 CGDO=320P CGSO=320P  
+ GAMMA=0.87 LAMBDA=0 NSS=0)
```

2) Modelo do diodo 1N-914, utilizado nas simulações:

```
.MODEL D1N914 D (IS=100E-15 RS=16 CJO=2PF TT=12NS BV=100 IBV=100E-15)
```

REFERÊNCIAS

- [1] Een Tweedraads Adresseringstechniek Voor Current Loop Transmitters
Auteur: W. M. Rozenblad
Mentor: Dr. Ir. G. C. M. Meijer
Dr. Carlos Alberto dos Reis Filho
Datum: Juni / 1987

- [2] Adressering Van de Tweedraads Current Loop Transmitter
Auteur: W. M. Rozenblad
Dr. Carlos Alberto dos Reis Filho
Datum: September / 1988

- [3] Bipolar and MOS Analog Integrated Circuit Design
Alan B. Grebene
(John Wiley & Sons) - 1984

- [4] Apostila e Notas de Aula
Circuitos Analógicos MOS
Prof. Dr. Carlos Alberto dos Reis Filho
UNICAMP

- [5] Integrated Electronics
Milman - Halkias
McGraw Hill

- [6] Small-Signal MOSFET Models for Analog Circuit Design
Journal of Solid-State Circuits
Vol. SC-17, n.º 6, December 1982
Saliy Liu and Lawrence W. Nagel

[7] A Unified SCR Model for Continuous Topology CADA
IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS
Vol.IE-31, No. 4 - November 1984
ROGER L. AVANT and FRED C. LEE