

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELETRICA
DEPARTAMENTO DE SEMICONDUTORES E FOTONICA

Este exemplar corresponde à redação final da li-
defendida por IVAN JORGE CHUEIRI
aprovada pela Comi.
Julgador: AS 05/93
Jacobus W. Swart
Orientador

"UMA CONTRIBUIÇÃO AO PROJETO DE
CI'S COM MESFET EM GaAs"

autor: Ivan Jorge/Chueiri ^{AS}

orientador: Prof. Dr. Jacobus Wilibrordus/Swart [†]

Dissertação apresentada à
Faculdade de Engenharia
Elétrica da Universidade
Estadual de Campinas -
UNICAMP - como parte dos
requisitos para obtenção
do Título de Mestre em
Engenharia Elétrica.

maio/1992



915516

*Dedico este trabalho a
minha esposa Martha e
nossa filha Debora pela
dedicação e incentivo.*

Quero externar os meus mais sinceros agradecimentos:

Ao Prof. Dr. Jacobus Willibrordus Swart, orientador e incentivador deste trabalho de Mestrado;

Ao Mestre em Ciências e amigo Alexandre Sansigolo Lujan, pelo apoio durante todo o trabalho e sua colaboração em fornecer os dispositivos para caracterização, fruto da sua Dissertação de Mestrado;

Aos amigos do Grupo de Pesquisas em Circuitos Integrados (Lab. 39), Cris, Patrícia, Celso, Marcio, Ricardo, Marlio, Augusto e Juscelino, pelo apoio e amizade;

Ao Mestre em Ciências Ricardo Fricks, pela amizade e incentivo durante o transcorrer deste trabalho;

Ao Paulo César Chiquito, pelo apoio na implantação das ferramentas de Software;

Aos amigos do LPD pela acolhida e infraestrutura material;

Ao DSIF pelo suporte prestado;

Ao CPqD pelo apoio dado ao Grupo de Pesquisa;

Ao LAC (UFPR/COPEL), pelo incentivo na formação do seu pessoal.

R E S U M O

Este trabalho visa criar um elo entre processos e projetos de Circuitos Integrados e Dispositivos no Laboratório de Pesquisa e Dispositivos. Na área referente a processos, o Laboratório de Pesquisa e Dispositivos vem desenvolvendo a técnica de "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido" e obtendo dispositivos básicos.

Dessa forma a partir deste trabalho foram extraídos os parâmetros Spice dos dispositivos em Arseneto de Gálio que vem sendo processados no Laboratório 39 do LPD. Para tanto desenvolvemos um programa de extração de parâmetros para o modelo de Raytheon (Statz et al.), utilizado em SPICE3D2 (UC-Berkeley).

Obtivemos ajustes das curvas características experimentais e de modelo com erro menor que 4%. Juntamente com estes parâmetros foram escritos arquivos de tecnologia, que são regras de projetos para o desenho de novos circuitos. Foi desenvolvido um "chipteste" contendo dispositivos e circuitos, com finalidade de se extrair parâmetros e testar a performance de cada um dos circuitos.

A B S T R A C T

The intent of the thesis, "A Contribution to Integrated Circuit Projects With GaAs MESFET", is to obtain a relationship between the Research on Devices Laboratory (LPD) GaAs process and the integrated circuits develop using this process.

The LPD develops integrated circuits using the "Rapid Thermal Diffusion of Sulphur in GaAs". The SPICE parameters, of the GaAs devices (depletion transistors) made using this process, was extracted.

A computer program was developed, that takes as input the characteristics' curves of a device and gives as output the SPICE parameters according to the Raytheon Model (Statz et al.).

This model is used in the SPICE3-D2 (and upgraded version) developed by UC-Berkeley. We have obtained the experimental characteristics' curves fit with that of the model with an error less than 4%.

We have, also written the technology file/design rules for MAGIC-6.3, for the LPD diffusion process.

Using MAGIC we have developed a test chip ("chipteste") with devices and circuits. These devices will be used to extract parameters that will contribute to the fine tuning of the model and the LPD process.

S U M A R I O

1 - INTRODUÇÃO	1
1.1 - HISTORICO SOBRE GaAs	1
1.2 - PROCESSOS DE FABRICAÇÃO	7
1.2.1 - Processo de Difusão por Processamento Térmico Rápido	7
1.2.2 - Sequência de um RTP	8
1.2.3 - Processo de Implantação Iônica	9
1.2.4 - Sequência de Implantação Iônica	10
1.3 - AREAS DE APLICAÇÃO DOS CIRCUITOS INTEGRADOS EM GaAs	11
1.3.1 - Aplicações na Area Digital	11
1.3.2 - Aplicações na Area de Telecomunicações ..	11
1.3.3 - Aplicações na Area Militar	11
1.4 - PRINCIPAIS FABRICANTES E USUARIOS	12
2 - DISPOSITIVOS EM GaAs - CONFIGURAÇÕES BASICAS	15
2.1 - Lógica FET com Acoplamento direto - DCFL	15
2.2 - Lógica FET - FL	17
2.3 - Lógica FET com Buffer - BFL	19
2.3.1 - Lógica FET de Baixa Potência com Buffer - BFL	21
2.3.2 - Lógica FET com Capacitor e Diodo Acoplado - CDFL	21
2.4 - Lógica FET com Diodo Schottky - SDFL	23
2.5 - Lógica FET com Fonte Acoplada - SCFL	24
2.5.1 - Lógica FET de Alta Variação e Tensão com Fonte Acoplada - HSCFL	25
2.5.2 - Lógica FET de Baixa Potência com Fonte Acoplada - LSCFL	26
2.6 - Transistor Diferencial de Passagem - DPTL	28
2.7 - Componentes Passivos	30
2.7.1 - Diodos	30
2.7.2 - Resistores	31
2.7.3 - Capacitores	31
2.8 - Tabela Comparativa entre Modelos Lógicos	32
3 - MODELOS SPICE	35
3.1 - MODELO PARA O DIODO DE BARREIRA SCHOTTKY	35
3.1.1 - Equações DC e AC para SBD	35
3.1.2 - Parâmetros utilizados no Modelo SPICE3 - Versão D2	36
3.2 - CIRCUITO EQUIVALENTE DE TRANSISTOR MESFET	37
3.3 - MODELO MESFET PARA SPICE3D2 (RAYTHEON)	38
3.3.1 - Capacitância de Dreno e Fonte	40
3.3.2 - Parâmetros para o Modelo Spice3D2	41
3.3.3 - Definição dos Parâmetros do Modelo Spice3D2	42
3.4 - MODELO DE CURTICE	46
3.4.1 - Parâmetros para o Modelo de Curtice	47
3.4.2 - Definição dos Parâmetros do Modelo de Curtice	48
3.5 - COMPARAÇÃO ENTRE MODELOS	48
4 - EXTRAÇÃO DE PARAMETROS SPICE	54

4.1	- FABRICAÇÃO DOS DISPOSITIVOS	54
4.1.1	- Dispositivos fabricados no LPD	54
4.1.2	- Dispositivos fabricados no RTI	55
4.2	- PROCEDIMENTO DE EXTRAÇÃO DE PARAMETROS	57
4.3	- MEDIDAS DOS DISPOSITIVOS E EXTRAÇÃO DOS PARAMETROS	58
4.3.1	- Transistor MESFET 3 [μm] - LPD	61
4.3.1.1	- Obtenção das Curvas $I_D \times V_{DS}$	61
4.3.1.2	- Medidas para Obtenção de R_{θ} e R_D	63
4.3.1.3	- Extração de Parâmetros	64
4.3.1.4	- Uso dos Programas de Ajustes dos Parâmetros	65
4.3.1.5	- Funcionamento dos Programas de Ajuste ..	66
4.3.2	- Transistor MESFET 2 [μm] - LPD	70
4.3.2.1	- Extração de Parâmetros	70
4.3.3	- Transistor MESFET 2 [μm] - RTI	71
4.3.4	- Transistor MESFET 2 [μm] - RTI	73
4.4	- PROCEDIMENTO DE EXTRAÇÃO DE PARAMETROS DE DIODOS	74
4.4.1	- EXTRAÇÃO DE PARAMETROS PARA SBD	74
4.4.2	- PARAMETROS PARA O MODELO SBD	75
4.5	- PARAMETROS SPICE OBTIDOS	76
4.5.1	- Transistor MESFET 3 [μm] - LPD	77
4.5.2	- Transistor MESFET 2 [μm] - LPD	77
4.5.3	- Transistor MESFET 2 [μm] - RTI	78
4.5.4	- Transistor MESFET 1 [μm] - RTI	78
4.7	- DISCUSSÃO DOS RESULTADOS OBTIDOS	79
5	- PROJETO DE CIRCUITOS E ELABORAÇÃO DO CHIP TESTE	85
5.1	- CIRCUITO INTEGRADO 1	87
5.1.1	- ESTRUTURAS DE TESTE	87
5.1.2	- DISPOSITIVOS MESFET - D-TRANSISTOR	90
5.1.3	- LAY-OUT DO CIRCUITO INTEGRADO 1	92
5.2	- CIRCUITO INTEGRADO 2	93
5.2.1	- ESTRUTURAS DE CONTATOS	93
5.2.2	- ESTRUTURAS DE PONTE AEREA	95
5.2.3	- DISPOSITIVO MESFET - DIODOS	95
5.2.4	- PORTAS LÓGICAS	97
5.2.4.1	- Lógica FET com Buffer - BFL ..	97
5.2.4.2	- Lógica FET com Capacitor e Díodo Acoplado - CDFL	100
5.2.4.3	- Lógica FET - FL	103
5.2.4.4	- Lógica FET com Díodo Schottky - SDFL	106
5.2.4.5	- Lógica FET com Capacitor de Realimentação - FFC	109
5.2.5	- LAY-OUT DO CIRCUITO INTEGRADO 2	115
5.2.6	- MAPA DO CIRCUITO INTEGRADO 2	116
5.3	- CIRCUITO INTEGRADO 3	117
5.3.1	- Porta NAND-2 entradas - BFL	117
5.3.2	- Porta NOR-2 entradas - SDFL	120
5.3.3	- Porta NOR-2 entradas - BFL	123
5.3.4	- Porta Complexa AND/NOR	126
5.3.5	- Flip-Flop tipo R-S	129
5.3.6	- Flip-Flop tipo J-K	132
5.3.7	- Flip-Flop tipo D	134
5.3.8	- Porta NOR-2 entradas com buffer	137
5.3.9	- LAY-OUT DO CIRCUITO INTEGRADO 3	140
5.3.10	- MAPA DO CIRCUITO INTEGRADO 3	141

5.4 - CIRCUITO INTEGRADO 4	142
5.4.1 - Oscilador em Anel	142
5.4.2 - Chaveador Dinâmico com DPLT	144
5.4.3 - Multiplexador - 2x1	146
5.4.4 - Amplificador de Transimpedância	151
5.4.5 - Circuito de Efeito Hall	154
5.4.6 - Marcas de Alinhamento	155
5.4.7 - LAY-OUT DO CIRCUITO INTEGRADO 4	156
5.4.8 - MAPA DO CIRCUITO INTEGRADO 4	157
5.4.9 - CHIP TESTE	158
5.5 - RESULTADOS E CONCLUSÕES	159
6 - CONCLUSÕES E SUGESTÕES	163
APENDICE A	1-A
APENDICE B	4-B
APENDICE C	9-C
APENDICE D	11-D
APENDICE E	19-E
APENDICE F	31-F
APENDICE G	40-G
APENDICE H	51-H
APENDICE I	53-I
APENDICE J	54-J

INDICE DE FIGURAS

figura 1.1	- MESFET em Arseneto de Gálio	1
figura 1.2	- Modelo de Transistor de Enriquecimento	3
figura 1.3	- Modelo de Transistor de Depleção	3
figura 1.4	- Arvore da familia FET	3
figura 1.5	- Complexidade x Anos	4
figura 1.6	- Etapas do Processo de Difusão Rápida	8
figura 1.7	- Etapas do Processo de Implantação Iônica	10
figura 2.1	- Inversores MOS e MES	15
figura 2.2	- Inversores E/D e E/R	16
figura 2.3	- Transistor normalmente "on"	17
figura 2.4	- Inversor FL	18
figura 2.5	- Inversor BFL	20
figura 2.6	- Lógica CDFL - Circuito Capacitivo	21
figura 2.7	- Circuito INV FL usando CDFL	22
figura 2.8	- Lógica OR SDFL	23
figura 2.9	- Lógica NOR SDFL	23
figura 2.10	- Lógica OR/NOR em HSCFL	25
figura 2.11	- Lógica OR/NOR em LSCFL	27
figura 2.12	- Circuitos usando DPTL	28
figura 2.13	- Circuito INVERSOR com Transistor de Passagem	29
figura 2.14	- Circuito Dinâmico com clock de duas fases ...	29
figura 2.15	- Diodos Schottky.....	30
figura 2.16	- Resistor em "mesa"	31
figura 3.1	- Modelo SBD	35
figura 3.2	- Modelo do Circuito equivalente para MESFET ..	37
figura 3.3	- Resistência de fonte	38
figura 3.4	- Estrutura melhorada para R_s e R_d	38
figura 3.5	- Curva característica do transistor D-MESFET .	39
figura 3.6	- Capacitâncias de fonte e dreno	40
figura 3.7	- Concentração de portadores x prof. do canal .	43

figura 3.8	- Circ. equivalente do modelo de Curtice	46
figura 3.9	- Curva I - V do Modelo de Curtice	49
figura 3.10	- Curva I - V do Modelo de Raytheon	51
figura 4.1	- Lay-out dos transistores MESFET do LPD	56
figura 4.2	- Lay-out dos dispositivos MESFET do RTI	57
figura 4.3	- Estação de testes	58
figura 4.4a	- Configuração dos Canais do HP4145B	59
figura 4.4b	- Configuração dos transientes para V_D e V_G ...	59
figura 4.4c	- Configuração dos eixos X e Y	60
figura 4.4d	- Gráfico I_D x V_D de um transistor MESFET	60
figura 4.5	- Curva I_D x V_D de um transistor MESFET (20/3).	61
figura 4.6	- Curvas I_D x V_D da região linear	63
figura 4.7	- Curvas I_D x V_D medidas e simuladas - LPD	65
figura 4.8	- Modelo MESFET	67
figura 4.9	- Curvas I_D x V_D medidas e simuladas - LPD	71
figura 4.10	- Curvas I_D x V_D medidas e simuladas - RTI	72
figura 4.11	- Curvas I_D x V_D medidas e simuladas - RTI	73
figura 4.12	- Curva $\log I_D$ x V_D para SBD	74
figura 4.13	- Determinação de V_{D1}	75
figura 5.1	- Dispositivos MESFET - transistores	86
figura 5.2	- Estrutura de Teste em Circuito Aberto	88
figura 5.3	- Estrutura de Teste em Curto Circuito	88
figura 5.4	- Lay-out da Estrutura de Teste em Circuito Aberto	89
figura 5.5	- Lay-out da Estrutura de Teste em Curto Circuito	89
figura 5.6	- Lay-out de um transistor D-MESFET com pad's do tipo G-S	90
figura 5.7	- Lay-out de um transistor D-MESFET com pad's do tipo G-S-G	91
figura 5.8	- Lay-out ampliado de um transistor D-MESFET ..	91
figura 5.9	- Máscara do Circuito Integrado 1	92
figura 5.10	- Lay-out da estrut. de Teste de Contato Ohmico	94
figura 5.11	- Lay-out da estrutura de teste de continuidade	94

figura 5.12 - Lay-out da estrutura em ponte-área	95
figura 5.13 - a) diodo Schottky b) diodo a partir de transistor D-MESFET	96
figura 5.14 - Lay-out de diodos Schottky	96
figura 5.15 - Circuito INVERSOR BFL	97
figura 5.16 - Sinal de entrada e saída da Lógica BFL	98
figura 5.17 - Relação do Tempo de Propagação da Lógica BFL	98
figura 5.18 - Curva de Transferência da Lógica BFL	99
figura 5.19 - Lay-out do circuito BFL	100
figura 5.20 - Circuito INVERSOR CDFL	100
figura 5.21 - Sinal de entrada e saída da Lógica CDFL	101
figura 5.22 - Relação do Tempo de Propag. da Lógica CDFL .	101
figura 5.23 - Curva de Transferência da Lógica CDFL	102
figura 5.24 - Lay-out do circuito CDFL	103
figura 5.25 - Circuito INVERSOR FL	103
figura 5.26 - Sinal de entrada e saída da Lógica FL	104
figura 5.27 - Relação do Tempo de Propag. da Lógica FL ...	104
figura 5.28 - Curva de Transferência da Lógica FL	105
figura 5.29 - Lay-out do circuito FL	106
figura 5.30 - Circuito INVERSOR SDFL	106
figura 5.31 - Sinal de entrada e saída da Lógica SDFL	107
figura 5.32 - Relação do Tempo de Propag. da Lógica SDFL .	107
figura 5.33 - Curva de Transferência da Lógica SDFL	108
figura 5.34 - Lay-out do circuito SDFL	109
figura 5.35 - Circuito INVERSOR FFC	109
figura 5.36 - Resposta em Frequência da Lógica BFL	110
figura 5.37 - Lógica CCL	110
figura 5.38 - Resposta em Frequência da Lógica FFC	110
figura 5.39 - Sinal de entrada e saída da Lógica FFC	111
figura 5.40 - Relação do Tempo de Propag. da Lógica FFC ..	111
figura 5.41 - Resposta em Freq. da Lógica FFC p/ 2ns	112
figura 5.42 - Rel. do Tempo de Prop. da Lógica FFC p/ 2ns	112
figura 5.43 - Curva de Transferência da Lógica FFC	113

figura 5.44 - Lay-out do circuito FFC	114
figura 5.45 - Máscara do Circuito Integrado 2	115
figura 5.46 - Mapa do Circuito Integrado 2	116
figura 5.47 - Circuito da Porta NAND-2 entradas - BFL	117
figura 5.48 - Sinais de entrada e saída da Porta NAND	118
figura 5.49 - Relação do Tempo de Propag. da Porta NAND ..	118
figura 5.50 - Curva de Transferência da Porta NAND	119
figura 5.51 - Lay-out da Porta NAND	120
figura 5.52 - Circuito da Porta NOR-2 entradas - SDFL	120
figura 5.53 - Sinais de entrada e saída da Porta NOR	121
figura 5.54 - Relação do Tempo de Propag. da Porta NOR ...	121
figura 5.55 - Curva de Transferência da Porta NOR	122
figura 5.56 - Lay-out da Porta NOR	123
figura 5.57 - Circuito da Porta NOR-2 entradas - BFL	123
figura 5.58 - Sinais de entrada e saída da Porta NOR	124
figura 5.59 - Relação do Tempo de Propag. da Porta NOR ...	124
figura 5.60 - Curva de Transferência da Porta NOR	125
figura 5.61 - Lay-out da Porta NOR	126
figura 5.62 - Circuito da Porta Complexa AND/NOR	126
figura 5.63 - Sinais de entr. e saída da Porta AND/NOR ...	127
figura 5.64 - Rel. do Tempo de Prop. da Porta AND/NOR	128
figura 5.65 - Lay-out da Porta Complexa AND/NOR	129
figura 5.66 - Flip-Flop tipo RS	129
figura 5.67 - FF RS a partir da Porta Complexa AND/NOR ...	129
figura 5.68 - Sinais de entrada R-S e Clock	130
figura 5.69 - Sinais de saída Q e Q\	131
figura 5.70 - Lay-out do Flip-Flop R-S	131
figura 5.71 - a) Flip-Flop R-S b) Flip-Flop J-K	132
figura 5.72 - Flip-Flop J-K	132
figura 5.73 - Circuito interno Flip-Flop J-K	132
figura 5.74 - Sinais de entrada J-K e Clock	133
figura 5.75 - Sinais de saída Q e Q\	133

figura 5.76 - Lay-out do Flip-Flop J-K	134
figura 5.77 - Flip-Flop R-S com Inversor	134
figura 5.78 - Flip-Flop tipo D	135
figura 5.79 - Circuito interno do Flip-Flop tipo D	135
figura 5.80 - Sinal de entrada D e Clock	135
figura 5.81 - Sinais de saída Q e Q\	136
figura 5.82 - Lay-out do Flip-Flop D	136
figura 5.83 - Porta NOR-2 entradas com buffer	137
figura 5.84 - Pontos de monitoração na porta NOR	137
figura 5.85 - Circuito discretizado da porta NOR	137
figura 5.86 - Sinais de entrada na porta NOR	138
figura 5.87 - Sinais nos pontos A e B	138
figura 5.88 - Sinais nos pontos C e D	138
figura 5.89 - Sinal de saída na Porta NOR	139
figura 5.90 - Lay-out da Porta NOR-2 entradas	139
figura 5.91 - Máscara do Circuito Integrado 3	140
figura 5.92 - Mapa do Circuito Integrado 3	141
figura 5.93 - Oscilador em Anel	142
figura 5.94 - Frequência de Oscilação máxima do Oscilador	143
figura 5.95 - Lay-out do Oscilador em Anel	143
figura 5.96 - Chaveador Dinâmico	144
figura 5.97 - Sinal de entrada e para o chaveador	144
figura 5.98 - Sinal de entrada e saída na lógica BFL	145
figura 5.99 - Relação do Tempo de Propagação	145
figura 5.100- Lay-out do Circuito Chaveador	146
figura 5.101- Circuito Multiplexador com DPTL	147
figura 5.102- Circuito Multiplexador 2x1 - duplo	147
figura 5.103- Sinais de entrada A_0 , A_1 e clock S_0	148
figura 5.104- Sinais de saída Y_0 e $Y_0\backslash$	149
figura 5.105- Sinais de entrada B_0 , B_1	149
figura 5.106- Sinais de clock S_1 e $S_1\backslash$	150
figura 5.107- Sinais de saída Multiplexados Y_0 e $Y_0\backslash$	150

figura 5.108- Lay-out do multiplexador 2x1 - duplo	151
figura 5.109- Amplificador de Transimpedância	152
figura 5.110- Curva de Transferência do Ampl. de Trans. ..	152
figura 5.111- Banda passante	152
figura 5.112- Curva AC de transimpedância	153
figura 5.113- Lay-out do Amplificador de Transimpedância .	153
figura 5.114- Lay-out do Circuito Hall	154
figura 5.115- Marcas de alinhamento em forma quadrada	155
figura 5.116- Marcas de alinhamento em forma estrela	155
figura 5.117- Máscara do Circuito Integrado 4	156
figura 5.118- Mapa do Circuito Integrado 4	157
figura 5.119- CHIP TESTE	158

INDICE DE TABELAS

tabela 1.1 - Circuitos Projetados em GaAs e Si	7
tabela 2.1 - Tabela comp. de desemp. de circuitos 33	33
tabela 3.1 - Parâmetros para o Modelo MESFET/SPICE3	40
tabela 3.2 - Parâmetros para o Modelo de Curtice	45
tabela 4.1 - Valores de I_D x V_{DS} e V_{GS} medidos	63
tabela 4.2 - Valores de I_D , V_{DS} e V_{GS} e R_{TOTAL}	65
tabela 4.3 - Parâmetros extraídos dos dispositivos do LPD	65
tabela 4.4 - Parâmetros extraídos dos dispositivos do LPD	71
tabela 4.5 - Parâmetros extraídos dos dispositivos do RTI	73
tabela 4.6 - Parâmetros extraídos dos dispositivos do RID	74
tabela 4.7 - Parâmetros para o modelo SBD	77
tabela 4.8 - Parâmetros SPICE - dispositivos LPD 3[um] ...	77
tabela 4.9 - Parâmetros SPICE - dispositivos LPD 2[um] ...	78
tabela 4.10- Parâmetros SPICE - dispositivos RTI 2[um] ...	78
tabela 4.11- Parâmetros SPICE - dispositivos RTI 1[um] ...	79
tabela 5.1 - Dados obtidos da Lógica BFL	99
tabela 5.2 - Dados obtidos da Lógica CDFL	102
tabela 5.3 - Dados obtidos da Lógica FL	105
tabela 5.4 - Dados obtidos da Lógica SDFL	108
tabela 5.5 - Dados obtidos da Lógica FFC	113
tabela 5.6 - Dados obtidos da Porta NAND-2 entradas	119
tabela 5.7 - Dados obtidos da Porta NOR-2 entradas	122
tabela 5.8 - Dados obtidos da Porta NOR-2 entradas	125
tabela 5.9 - Dados obtidos da Porta AND/NOR-3 entradas ..	128
tabela 5.10 - Tabela Verdade Flip-Flop R-S	129
tabela 5.11 - Tabela Verdade Flip-Flop J-K	132
tabela 5.12 - Tabela Verdade Flip-Flop tipo D	135
tabela 5.13 - Comparação de desempenho das lógicas	160

CAPITULO 1: INTRODUÇÃO

1.1 - HISTORICO E VANTAGENS SOBRE GaAs:

Recentes avanços em materiais semicondutores e processos de fabricação, deram início ao desenvolvimento de Circuitos Integrados em Arseneto de Gálio ("GaAs"), formado por transistores conhecidos como "MESFETs" ("Metal-Semiconductor Field Effect Transistor").

A combinação alta velocidade/baixo consumo de potência, contribuiu na implementação de circuitos que há tempos atrás (aproximadamente 7 anos), não eram obtidos em processos de tecnologia em Silício. A partir de 1984 iniciou-se a produção comercial de Circuitos Integrados em Arseneto de Gálio marcando a quarta geração dos mesmos.

A alta mobilidade aliada à baixa capacitância parasita, exibida pela pastilha semi-isolante de Arseneto de Gálio ("GaAs"), permite a fabricação de transistores de alta velocidade. A alta mobilidade se dá devido ao fato da massa efetiva[1] do GaAs ser de somente 8.2% da massa de elétrons[2], contra 98% no caso do Silício. Para que se possa obter uma maior integração e diminuir os efeitos de capacitâncias parasitas, a interligação entre transistores faz-se utilizando-se o processo de ponte aérea ("air-bridge")[3]. A figura 1.1 mostra a seção transversal de um transistor MESFET em um substrato semi-isolante de GaAs

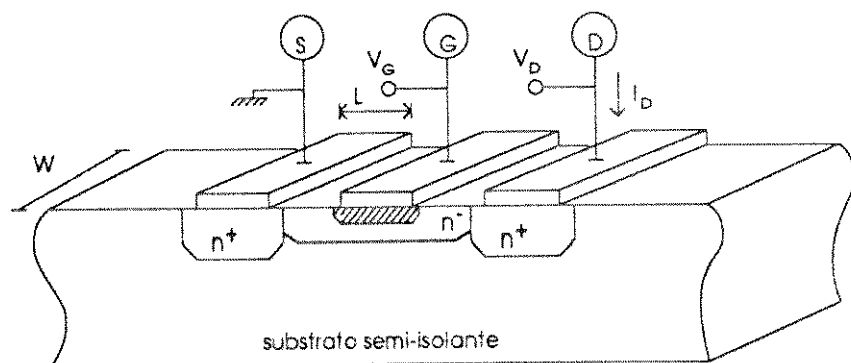


fig. 1.1 - MESFET em Arseneto de Gálio

Onde:

S = fonte ("source")
G = porta ("gate")
D = dreno ("drain")
W = largura da porta [μm]
L = comprimento da porta [μm]
Vd = tensão de dreno (V)
Vg = tensão de porta (V)
Id = corrente de dreno (A)
n⁻ = camada n⁻
n⁺ = camada n⁺

Assim circuitos construídos em GaAs podem operar em faixas de até 40GHz para circuitos digitais e até 50GHz para circuitos de telecomunicações.

Os circuitos integrados em GaAs operando com tempo de atraso de 150ps, dissipam aproximadamente 1mW/transistor[2]. Com tempo de atraso de 70ps, a potência dissipada é em torno de 0.1mW/transistor, e equivale a 1/100 da potência dissipada por um circuito em Si do tipo MOS operando em velocidade de 50MHz.

Transistores em Arseneto de Gálio podem ser feitos tanto em material do tipo *p* ou *n*, porém, transistores em material tipo *p* (lacunas) possuem uma baixa mobilidade, contribuindo para uma menor transcondutância (g_m). Já transistores em material tipo *n* possuem uma alta mobilidade (elétrons) que por sua vez resulta em uma transcondutância (g_m) maior, em torno de 160mS/mm para o processo de "Difusão por Processamento Térmico Rápido - RTP"[4].

Transistores fabricados em Arseneto de Gálio ou Silício podem ser do tipo *p* ou *n*, podendo operar no modo de Depleção ("depletion") ou Enriquecimento ("enhancement"). Porém, como foi dito não é comum a fabricação de transistores em Arseneto de Gálio do tipo *p*.

Os transistores de Enriquecimento, não conduzem quando a porta e a fonte estão no mesmo potencial.

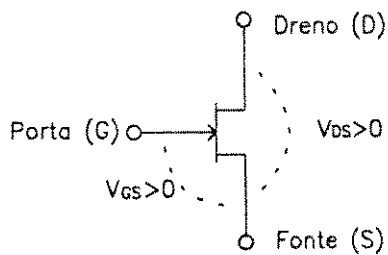


fig. 1.2 - Transistor MESFET operando no modo Enriquecimento

Para a corrente circular entre dreno e fonte, é necessário polarizar positivamente a porta com relação à fonte. A figura 1.2 mostra um transistor MESFET de Enriquecimento em GaAs, onde D = dreno, G = porta e S = fonte.

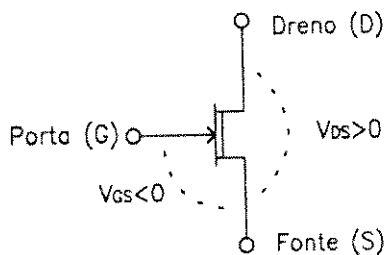


fig. 1.3 - Transistor MESFET operando no modo Depleção

Os transistores de Depleção, conduzem quando a porta e a fonte estão no mesmo potencial. Para a corrente não circular entre dreno e fonte, é necessário polarizar negativamente a porta em relação à fonte. A figura 1.3 mostra um transistor MESFET de Depleção em GaAs.

O dispositivo MESFET ("metal semiconductor field-effect transistor") em GaAs foi proposto por Carver A. Mead[5] em 1966 e posteriormente foi fabricado por W. W. Hoper e W. I. Lehrer[6], onde usaram crescimento epitaxial sobre um substrato semi-insolante de Arseneto de Gálio.

Transistores do tipo FET derivam-se em três famílias como mostra a figura 1.4.

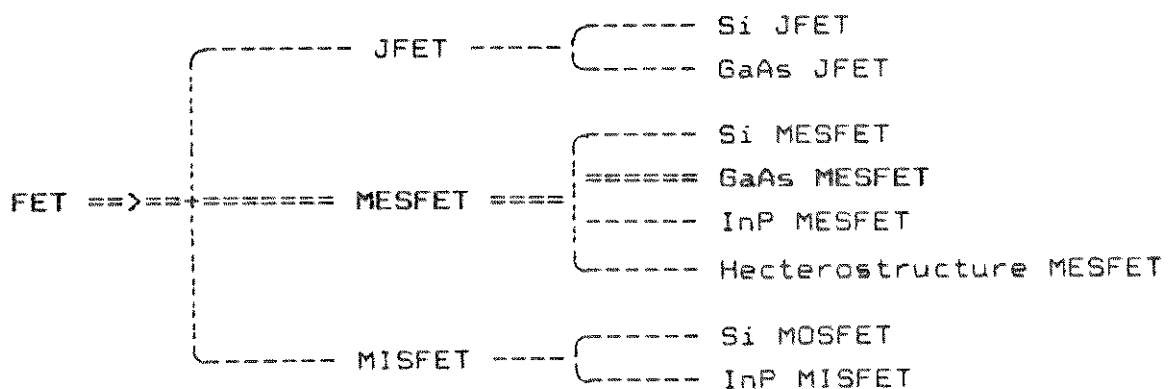


fig. 1.4 - Arvore da família FET

O desenvolvimento de circuitos em Arseneto de Gálio (GaAs), está dividido em quatro gerações, de acordo com a evolução das tecnologias empregadas tanto na área de processo como em projetos.

A primeira geração teve início em 1974 e vai até 1977, quando Van Tuyl e Liechti[7,8] demonstraram o potencial de transistores em GaAs para altas velocidades (faixa de GHz) e um tempo de atraso em torno de 100ps.

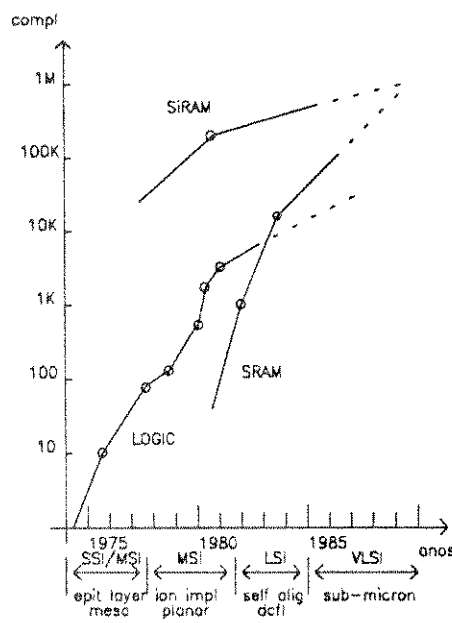


fig. 1.5 - complexidade x anos

O circuito consistia de transistores com porta de $1\mu\text{m}$ ($L=1\mu\text{m}$) e diodos Schottky como deslocadores de nível ("level-shift-diode") processados em material do tipo n usando crescimento epitaxial ("liquid phase epitaxial layer") em substrato semi-isolante, dopado com Cr. Os circuitos projetados e construídos apresentavam um atraso de 60ps.

O centro de pesquisas da HP implementou com os transistores, circuitos do tipo flip-flop, divisores de frequência e multiplexadores com aproximadamente 60 transistores, isto já em 1977[10].

Entre estes circuitos ainda foi projetado um divisor por dois, operando na faixa de de 4.5GHz. O tempo de atraso era de 60ps, entretanto a potência dissipada por transistor era de 40mW.

A Fujitsu Laboratories, Ltd., em 1977 apresentou circuitos com baixa dissipação de potência, em torno de $264\mu\text{W}/\text{transistor}$ com um atraso de 280ps, utilizando Lógica FET de Acoplamento Direto - DCFL ("Direct Coupled FET Logic")[11]. Esta lógica havia sido utilizado em circuitos do tipo JFET ("junction FET") pela McDonnell-Douglas[12]

Nesta fase, inicialmente os circuitos integrados foram desenvolvidos em SSI e MSI (Pequena e Média Escala de Integração) e eram projetados e processados sobre "mesas"[13,14].

A geração seguinte (segunda), vai de 1978 a 1980, onde o processo de fabricação passou a ser feito através de implantação iônica ("selective ion implantation") em substrato semi-isolante.

O desenvolvimento de um processo uniforme e planar resultou em circuitos de Média Escala de Integração e nos primeiros circuitos em VLSI ("Very Large Scale of Integration").

Esta geração foi iniciada e comandada pela Rockwell dentro da sua área de pesquisas, que desenvolveu o processo uniforme e planar utilizando implantação iônica ("localized ion implantation") em substratos semi-isolantes[15].

Canal tipo n e camadas de baixa resistência tipo n^+ foram utilizadas no processo para MESFETs ou diodos; lógico e deslocador de nível; formados por implantação iônica de Se, S ou Si.

A terceira geração, que vai de 1980 a 1984 foi direcionada para projetos em Larga Escala de Integração ("LSI"). Nesta fase foram executados projetos utilizando-se Lógica FET de Acoplamento Direto - DCFL. Estes projetos foram desenvolvidos utilizando-se de técnicas de estruturas auto-alinhadas em Larga Escala de Integração.

Nesta geração, circuitos LSI usando Lógica FET de Acoplamento Direto - DCFL, foram desenvolvidos principalmente no Japão. As características da

lógica DCFL são a baixa dissipação de potência, que é menor que 1mW por transistor, e a construção de pares Enriquecimento/Depleção. Entretanto, é necessário alta uniformidade e processo acurado para transistores de enriquecimento com alta transcondutância (g_m).

Em 1983, a Fujitsu Laboratories, Ltd., produziu o circuito "multiplicador paralelo 16x16 bits" com 3000 transistores[16] e memórias RAM estática com capacidade para 1kbit[17] usando transistores com porta de material refratário e auto-alinhado.

Após fabricar a primeira memória RAM estática de 16bits em 1981[18], a NTT projetou uma memória RAM estática de 1kbit em 1982[19], memória RAM estática de 4kbits[20] em 1984. Ainda em 1984 foi projetada uma memória RAM estática de 16kbits com 102.000 transistores[21,22].

A produção comercial de Circuitos Integrados em Arseneto de Gálio iniciou-se em 1984.

Além disso, o uso de transistores de passagem[23] ("Differential Pass-Transistor Logic - DPTL"), utilizando transistores de depleção, foram implementados nesta geração.

A quarta geração inicia-se a partir de 1985 até os dias de hoje, e é nesta geração que circuitos em Arseneto de Gálio, vem sendo pesquisados e desenvolvidos para as chamadas *tecnologias sub-micron*, voltadas para o desenvolvimento de memórias e principalmente processadores em tecnologia RISC ("Reduced Instruction Set Computers")[24,25].

Os desenvolvimentos neste período estão baseados na produção de circuitos em pequena ("SSI"), média ("MSI") e larga ("LSI") escala de integração, incluindo circuitos "gate-arrays"[26].

Atualmente a DARPA[27,28], vem desenvolvendo um micro processador para operar com "clock" de 200MHz.

1.2 - PROCESSOS DE FABRICAÇÃO

Como ilustração de processos de fabricação, apresentamos a seguir duas sequências como exemplos. Os processos de fabricação aqui descritos são os de "Difusão por Processamento Térmico Rápido" e "Implantação Iônica"[29].

1.2.1 - PROCESSO DE DIFUSÃO POR PROCESSAMENTO TÉRMICO RÁPIDO:

No processo de difusão por processamento térmico rápido - RTP, temos as seguintes etapas para fabricação de um dispositivo ou circuito[29].

Primeira etapa - Difusão de Enxofre (S), na lâmina de GaAs para formar as regiões tipo n (figura 1.6a). A difusão ocorre sobre toda a lâmina.

Segunda etapa - Formação das mesas e marcas de alinhamento (figura 1.6b). As mesas definem as áreas semi-condutoras que formarão os dispositivos.

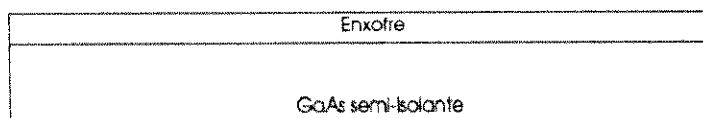
Terceira etapa - Nesta etapa são depositados os contatos ôhmicos (ohmic-contact) dos dispositivos (transistores e diodos), mostrado na figura 1.6c. O material de contato ôhmico é composto de Al_2O_3 , Ni (ouro, germânio e níquel).

Quarta etapa - Metalização de porta sendo o material utilizado o alumínio (figura 1.6d).

Quinta etapa - A quinta etapa define o primeiro nível de metalização (figura 1.6e), interligando os dispositivos. O material utilizado é o composto Cr-Au (Cromo e Ouro). Para circuitos de pequena integração, podemos utilizar somente um nível de metalização. Assim, nesta etapa o metal de interconexão pode cruzar linhas metálicas de contatos por estrutura ponte aérea ("air-bridge").

Sexta etapa - A sexta etapa define o segundo nível de metalização e metalização de "pads" (figura 1.6f). Aqui também é utilizado o processo de ponte aérea para as linhas de metal, principalmente se trabalharmos em alta escala de integração.

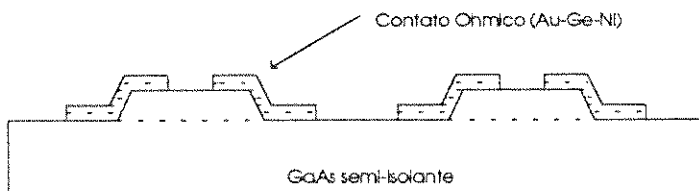
1.2.2 - SEQUENCIA DE PROCESSO MESFET USANDO DOPAGEM POR RTP:



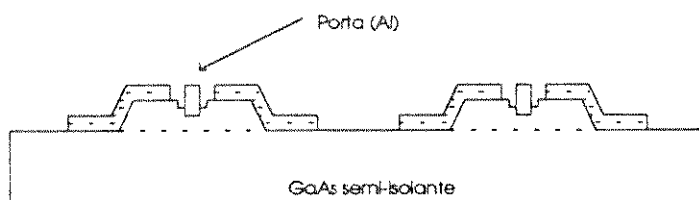
1.6a - Difusão de Enxofre por RTP



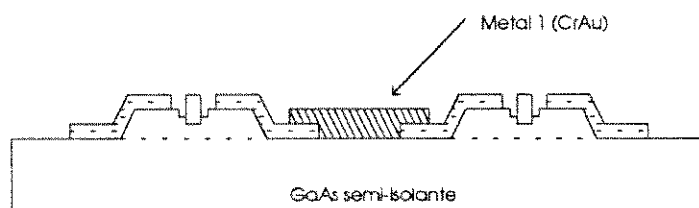
1.6.b - Formação das mesas



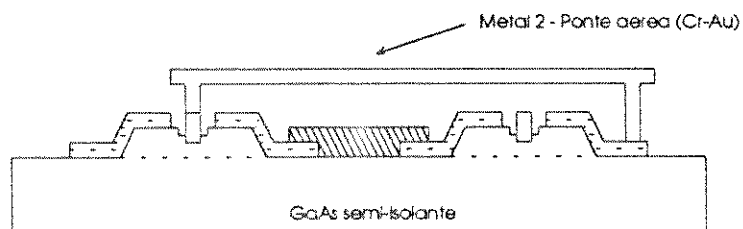
1.6c - Deposição do Contato Ohmico



1.6d - Metalização da porta



1.6e - 1º nível de Metalização



1.6f - 2º nível de Metalização

figura 1.6 - Etapas de processo de fabricação de dispositivos MESFET utilizando o processo RTP

1.2.3 - PROCESSO DE IMPLANTAÇÃO IÔNICA LOCALIZADA:

O processo de implantação iônica difere do modo de difusão. Como o nome diz a implantação é localizada, e as áreas definidas para os dispositivos não requerem decapagem. O processo neste caso é planar.

Abaixo temos etapas para fabricação de um dispositivo ou circuito[30].

Primeira etapa - Nesta etapa são definidas e implantadas as áreas para dispositivos de depleção como mostra a figura 1.7a, é o chamado D-MODE IMPLANT.

Segunda etapa - A seguir são definidas e implantadas as áreas para dispositivos de enriquecimento como mostra a figura 1.7b, denominado E-MODE IMPLANT.

Terceira etapa - E nesta etapa que são formadas as áreas de alta dopagem para posterior contato ôhmico ("ohmic contact"), onde será depositado o metal ôhmico ("ohmic metal") para formação de fonte e dreno ("source e drain") como mostra a figura 1.7c.

Quarta etapa - Na quarta etapa é depositado o metal ôhmico (ohmic metal) e feito o "lift-off" do restante do metal depositado sobre o fotoresiste, que é mostrado na figura 1.7d. O material depositado é composto AuGeNi (Ouro, Germanio e Níquel).

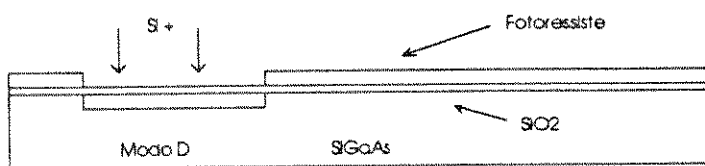
Quinta etapa - Aqui é depositado o metal para formação de porta, opcionalmete com "gate-recess" e depositado metal sobre o contato ôhmico. O material sobre estas áreas é composto de $\text{T}_1\text{P}_1\text{Au}$ (Titânio, Platina e Ouro). Além disso é feito o "lift-off" do material depositado sobre o restante da lâmina de GaAs (figura 1.7e.)

Sexta etapa - A sexta etapa define o primeiro nível de metalização. O material depositado nesta etapa é $\text{T}_1\text{P}_1\text{Au}$ (Titânio, Platina e Ouro), como mostra a figura 1.7f. Aqui também após a deposição do metal é feito "lift-off".

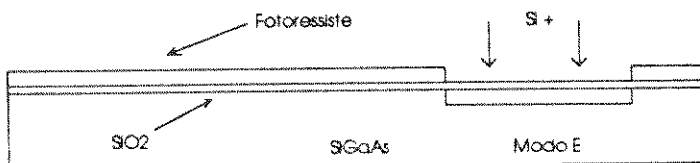
Setima etapa - Na última etapa do processo é depositado o segundo metal. Neste etapa utiliza-se o processo de ponte aérea, uma vez que este não pode tocar as camadas inferiores (figura 1.7g).

Nesta etapa é feito também o "plate-up" do circuito. Plate-up vem a ser o espessamento das linhas do metal por processo de eletro-deposição.

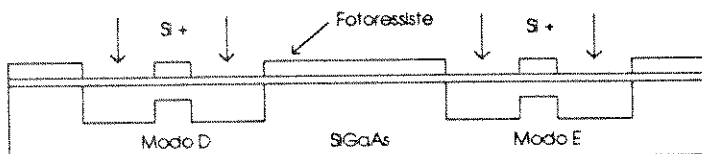
1.2.4 - SEQUENCIA DE PROCESSO MESFET USANDO DOPAGEM POR IMPLANTAÇÃO IONICA:



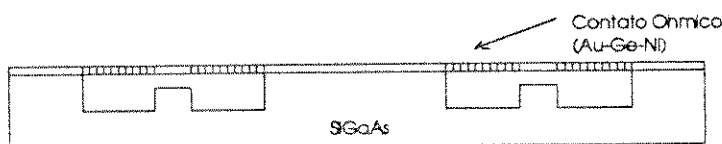
1.7a - Implante modo Depleção



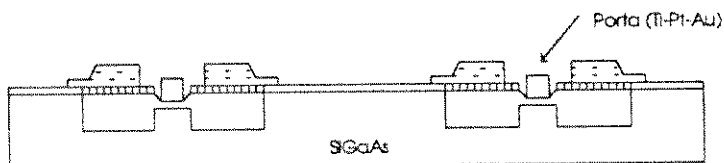
1.7b - Implante modo Enriquecimento



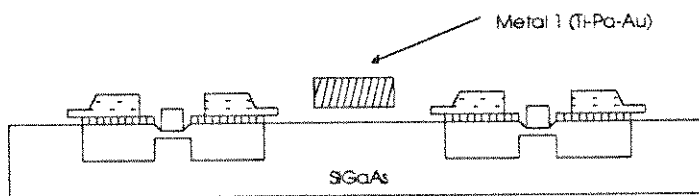
1.7c - Implante n°



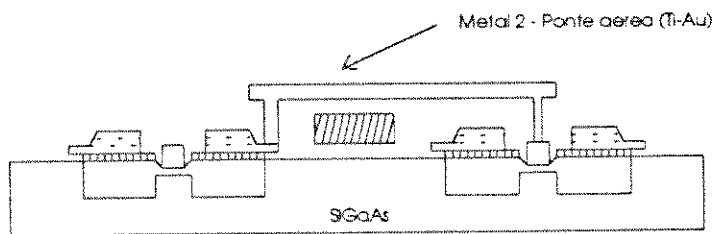
1.7d - Metalização do Contato Ôhmico



1.7e - Metalização de Porta



1.7f - Interconexão 1° Nível



1.7g - Interconexão 2° Nível

figura 1.7 - Etapas do processo de fabricação de dispositivos MESFET utilizando o processo de implantação iônica

1.3 - AREAS DE APLICAÇÃO DOS CIRCUITOS INTEGRADOS EM GaAs:

Atualmente os circuitos integrados em Arseneto de Gálio apresentam uma vasta gama de aplicações, abrangendo desde aplicações comerciais em circuitos digitais e de telecomunicações até circuitos de aplicação militar.

1.3.1 - APLICAÇÕES NA AREA DIGITAL:

Na produção de memórias[31] de alta velocidade e grande capacidade de armazenamento.

Microprocessadores de tecnologia RISC[32] (Reduced Instruction Set Computer).

Circuitos lógicos principalmente em máquina de estados finitos ("Finite State Machine"), Standard Cells, Gate Arrays, Circuitos lógicos programáveis, ASICS, CSICS.

Multiplexadores e Demultiplexadores, Conversores Analógicos/Digitais, Multiplicadores.

1.3.2 - APLICAÇÕES NA AREA DE TELECOMUNICAÇÕES:

Circuitos de Microondas, utilizado nos sistemas de comunicações, para transmissão de dados, transmissão de imagem e telefonia.

- Satélites de Comunicações;
- Telefonia Celular;
- Televisores de Alta Definição (HDTV);
- Sistema de Navegação por Satélite (LORAN, GPS)[33];

1.3.3 - APLICAÇÕES NA AREA MILITAR [34]:

Equipamentos de alta confiabilidade com baixo MTBF e alta segurança, tais como:

- Computadores de Alta Velocidade;
- Radares;
- Sistemas de Telemetria;
- Processamento de Sinais;

1.4 - PRINCIPAIS FABRICANTES E USUARIOS:

Abaixo citamos algumas Empresas[35] que fazem pesquisa e desenvolvimento em GaAs:

- TEXAS INSTRUMENTS, TRIQUINT SEMICONDUCTOR, TRW, AVANTEK, NEC, VITESSE SEMICONDUCTOR, RAYTHEON, NADIGICS, OKI, HITACHI, TOSHIBA, MITSUBISHI, NTT, GIGABIT, FUJITSU, PHILIPS, HUGHES AIRCRAFT, HEWLETT-PACKARD, McDONNELL-DOUGLAS, AT&T, HARRIS, MOTOROLA, SIEMENS, THOMSON CSF, CMP.

Além disso, cresce o número de usuários que necessitam de equipamentos com circuitos de alta velocidade e bom desempenho, assim podemos citar:

- ALCATEL SPACE, ALCATEL NETWORK, ALCATEL TELETTRA, BELL NORTHERN RESEARCH, BOEING, BOFORS, CNET, COMSAT, CONTROL DATA, CONVEX, CRAY RESEARCH, DASSAULT, DAVID SARNOFF RESEARCH CENTRE, DOLPHI SCIENTIFIC, GE AEROSPACE, GRUMMAN, HARRIS, HP, ICTP, INTERGRAPH, ITT, MAGNAVOX, MARCONI DEFENCE SYSTEMS, McDONNELL-DOUGLAS, NCR, SCHLUMBERGER, SAT, TEKTRONIX, HEWLETT-PACKARD, IBM, UNISYS.

- [1] Blakemore, J. S. (1982). "Semiconducting other major properties of GaAs". *Journal of Applied Physics*, pg. 123;
- [2] MacMillan, D. and Gheewala, T. (march 22, 1984). "Learn Gallium-Arsenide Basics Before applying High-Speed ICs", *EDN*, pg. 239;
- [3] Enoki, T., Yamasaky, K., Osafune, K. and Ohwada, K. (1986). *Electronics Letter*, 22, pg. 68;
- [4] Lujan, A. S. (1991). "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido", *Dissertação de Mestrado, IFGW - LPD, Unicamp*, pg. 29-81;
- [5] Mead, C. A. (1966). "Schottky Barrier Gate Field-Effect Transistor", *Proceeding IEEE*, 54, pg. 307;
- [6] Hooper, W. W. e Lehrer, W. I. (1967). "An Epitaxial GaAs Field-Effect Transistor" *Proceeding IEEE*, 55, pg. 1237;
- [7] Van Tuyl, R. L. (1977). *IEEE Journal of Solid-State Circuits*, pg. 269;
- [8] Van Tuyl, R. L. and Liechti, C. A. (1974). *ISSCC Technology Digest*, pg. 114;
- [9] Ohwori, M. (1984). *11th International Symposium of GaAs and Related Compounds, Biarritz*;
- [10] Van Tuyl, R. L., Liechti, C. A., Lee, R. E. and Growen, E. (1977). *IEEE Journal of Solid-State Circuits*, pg. 482;
- [11] Ishikawa, H., Kusakawa, H., Suyama, and Fukuta, M. (1977). *ISSCC Technology Digest*, pg.200;
- [12] Nottoff, J. K. and Zuleeg, R. (1975). *IEDM Technology Digest*, pg. 264;
- [13] Lujan, A. S. (1991). "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido", *Dissertação de Mestrado, IFGW - LPD, Unicamp*, pg. 29-81;
- [14] Liechti, C. A. (1976). "GaAs FET Logic", *GaAs Symposium, Institute of Physics Conference*, pg. 227;
- [15] Welch, B. M. and Eden, R. C. (1977). *IEDM Technology Digest*, pg. 205;
- [16] Nakayama, Y., Suyama, K., Shimizu, K., Yokoyama, N., Shibatomi, A. and Ishikawa, H. (1983). *ISSCC Technology Digest*, pg. 48;
- [17] Yokoyama, N., Ohnishi, T., Onodera, H., Shinoki, A. and Ishikawa, H. (1983). *ISSCC Digest of Technology Papers*, pg. 44;
- [18] Asai, K., Ino, M., Kurumada, K., Kawasaki, Y. and Ohwori, M. (1981). "International Symposium of GaAs and Related Compound", *Institute of Physics and Conference Service*, pg. 533;
- [19] Ino, M., Hirayama, M., Ohwada, K. and Kurumada, K. (1982). *GaAs IC Symposium of Technology Digest*, pg. 2;
- [20] Hirayama, M., Ino, M., Matsuoka, Y. and Suzuki, M. (1984). *ISSCC Technology Digest*, pg. 46;
- [21] Ohwori, M. (1984). *11th International Symposium of GaAs and Related Compounds, Biarritz*;
- [22] Ishii, Y., Ino, M., Idda, M., Hirayama, M. and Ohwori, M. (1984). *GaAs IC Symposium Technology Digest*, pg. 121;
- [23] Pasternak, J. H., Shubat, A. S. and Salama, C. A. T. (1987). *IEEE Journal of Solid State-Circuits*. SC-22, pg. 216;
- [24] Patterson, D. A. an Séquin, C. H. (1982). "A VLSI RISC". *IEEE Computer*, vol. 15, nº 9, pg.8;
- [25] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" *McGraw-Hill Publishing Company, New York*, pg. 347;

- [26] Kawasaki, H., Wada, Y., Takano, C. and Kasahara, J. (1990). "10K gate Gas JFET Sea of Gate" IEEE GaAs IC Symposium, pg. 135;
- [27] Digital Design (1985, october). "High-Performance ICs Fuel Up With GaAs", pg. 41;
- [28] Defense Advanced Research Projects Agency - DARPA, SDI and GaAs - IEEE Computer (oct, 1986) pg. 17;
- [29] Lujan, A. S. (1991). "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido", Dissertação de Mestrado, IFGW - LPD, Unicamp, pg. 160-186;
- [30] Koyama, R. Y. (dec/1990). "The GaAs IC: An Overview of Technologies, Applications and Markets". TriQuint Semiconductor/CPQD TELEBRAS - Campinas.
- [31] Hirayama, M., Togashi, M., Kato, N., Suzuki, M., Matsuoka, Y., and Kawasaki, Y. (jan/1986). "A GaAs 16-kbit Static RAM Using Dislocation-Free Crystal". IEEE Transactions on Electron Devices, Vol. ED-33, pg. 104
- [32] Fox, E. R., Kiefer, K. J., Vangen, R. F., and Whalen, S. P. (oct/1986). "Reduced Instruction Set Architecture for a GaAs Microprocessor System" IEEE Computer, pg. 71
- [33] Sclater, N. (1988) "Gallium Arsenide IC Technology - Principles and Practice" TAB Professional and Reference Books - Division of TAB BOOKS Inc - Blue Ridge Summit, Pa, pg. 111 - Satellite Navigation Receivers;
- [34] Sclater, N. (1988) "Gallium Arsenide IC Technology - Principles and Practice" TAB Professional and Reference Books - Division of TAB BOOKS Inc - Blue Ridge Summit, Pa, pg. 112.
- [35] BIS Strategic Decisions - Worldwide Advisors on Information Technology (may/92), "Gallium Arsenide IC User Survey - Survey Report" BIS - A NYNEX Company,

CAPITULO 2: CIRCUITOS EM GaAs

CONFIGURAÇÕES BÁSICAS:

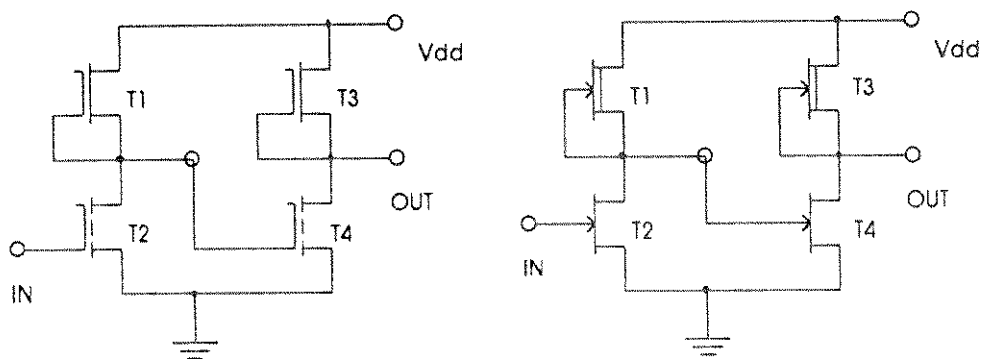
As configurações básicas de circuitos aqui apresentadas permitem desenvolver Circuitos Integrados de acordo com a aplicação desejada. Como veremos as configurações em Arseneto de Gálio diferem em alguns pontos das configurações em Silício

2.1 - LÓGICA FET COM ACOPLAMENTO DIRETO - DCFL ("Direct Coupled FET Logic")

A Lógica FET com Acoplamento Direto - DCFL[1] utiliza transistores do tipo Enriquecimento/Depleção ("enhancement/depletion") ou Enriquecimento/Resistor ("enhancement/resistor") e seu funcionamento é similar à lógica Si-NMOS.

Isto é, a conexão direta entre a saída do primeiro estágio e a entrada para o próximo é idêntica a utilizada na lógica Si - NMOS[2].

Podemos comparar o funcionamento entre Silício e Arseneto de Gálio[3], pelos circuitos abaixo, que são inversores típicos. O par inversor NMOS é construído com transistor de carga (figura 2.1a) e é análogo ao inversor MESFET (figura 2.1b). O primeiro estágio dos dois inversores são idênticos e alimentam o segundo estágio da mesma forma.



(a)

(b)

figura 2.1 - inversores a) MOS SI e b) MES GaAs

Entretanto, o nível lógico alto em DCFL não é determinado pela fonte V_{DD} , como na tecnologia MOS. Este está em torno de 0.8V na porta do transistor.

A tensão de alimentação (" V_{DD} "), está em torno de 1.0V a 1.5V. Quando se necessita trabalhar com baixo consumo, usa-se 1.0V.

A tensão de limiar (" V_T "), para transistores MESFET de Enriquecimento e transistores MESFET de Depleção está em torno de 0.1V a 0.2V e -0.4 a -0.8V respectivamente.

A configuração de um INVERSOR em DCFL é mostrada tanto em E/D como E/R, nas figuras 2.2a e 2.2b.

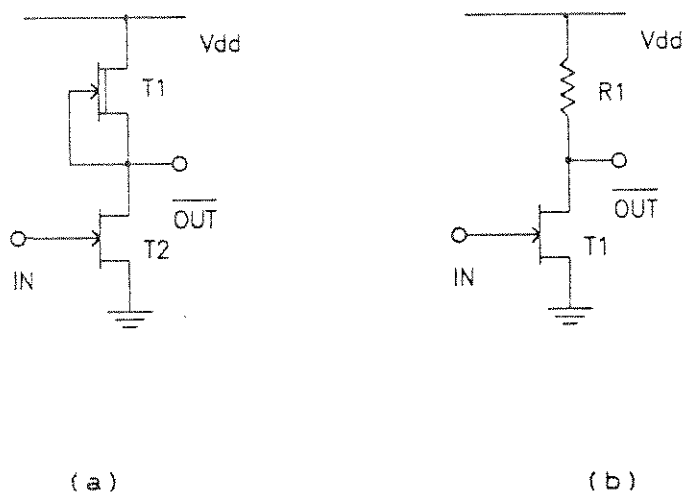


figura 2.2 - configuração INV a) E/D e b) E/R

Quando a tensão de entrada V_{IN} vai para nível lógico alto, o transistor de chaveamento entra em condução e a saída V_{OUT} vai para nível baixo. Quando a tensão de entrada está em nível lógico baixo, isto é, menor que V_T , a tensão de saída V_{OUT} vai para nível lógico alto.

No modo E/D o circuito consiste de um transistor de enriquecimento - T_1 - como elemento chaveador e um de depleção como carga - T_2 . No modo R/D usa um resistor como carga - R_L .

DCFL, é considerada a lógica da família GaAs - MESFET, mais apta para circuitos em LSI e VLSI, porque, possui três grandes vantagens:

1. Pequena dissipação de potência - $10\mu\text{W}$ a 1mW /porta ("gate");
2. Produto potência x atraso pequeno - 1fJ a 50fJ ;
3. Configuração simples, caracterizada pelo número pequeno de elementos para construção de uma lógica, além da área de porta ser reduzida.

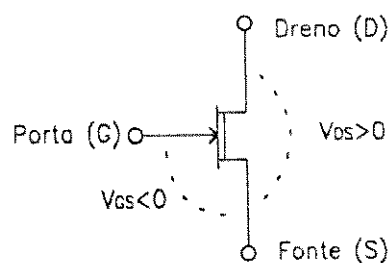
Circuitos osciladores em anel[4] foram implementados usando a lógica DCFL e apresentaram um atraso de propagação muito baixo, em torno de 10ps /transistor; para uma carga mínima.

Porém, é necessário salientar que, para a construção de circuitos com a lógica DCFL, exige-se um estrito controle e uma alta uniformidade em comparação às demais lógicas. A lógica DCFL possui um baixo V_T e uma margem de ruído muito pequena.

2.2 - LÓGICA FET - FL ("FET Logic")

A Lógica FET (FL)[5] basicamente é um Circuito Inversor e consiste de transistores de depleção e diodos deslocadores de nível ("level-shift-diode"). Esta lógica é considerada um circuito típico de depleção.

Circuitos projetados com transistores de depleção (normalmente "on"), são caracterizados pelos níveis de entrada e saída desigual. O valor de V_{DS}



(tensão de porta-dreno) tem que ser negativo para cortar o transistor MESFET de depleção enquanto V_{DS} (tensão de dreno-fonte) pode ser positivo durante todo o tempo.

figura 2.3 - transistor normalmente "on"

Conseqüentemente, circuitos deslocadores de nível, tipicamente compostos por diodos Schottky são utilizados como deslocadores de nível para manter os níveis de saída idênticos aos de entrada.

Duas fontes de alimentação são necessárias para circuitos que utilizam transistores de depleção, a positiva (V_{DD}) e a negativa (V_{SS}).

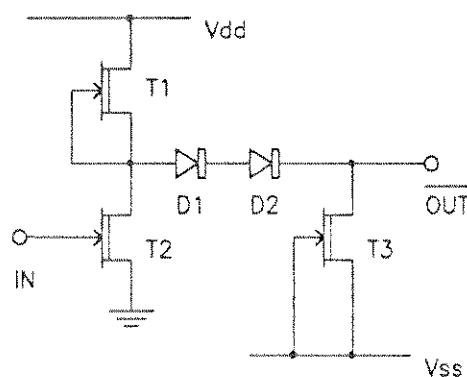
A utilização da fonte adicional negativa (V_{SS}), que não se faz necessária em circuitos de enriquecimento, faz com que a dissipação de potência seja maior.

Por outro lado a excursão do sinal de nível alto para baixo e vice-versa (V_{HL} ou V_{LH}), é bem maior, isto porque o nível varia de V_T ($V_T < 0$) até o nível positivo, perto de 0.7V.

Este nível é determinado por V_T mais a soma do deslocamento necessário, e esta mesma afirmação não se aplica a transistores de enriquecimento, pois o V_{GS} dos mesmos é sempre positivo.

Em geral o alto nível de variação de tensão produz uma alta corrente, mas não necessariamente a grandes atrasos.

A figura 2.4 mostra o INVERSOR FL, onde o transistor T_1 é utilizado como fonte de corrente ("pull-up") e tem por finalidade prover corrente



na saída do circuito para o próximo estágio, quando T_2 está em corte, por outro lado, T_3 ("pull-down") é usado para descarregar o próximo estágio, quando T_2 está conduzindo.

figura 2.4 - inversor FL

Durante a condução de T_2 , os diodos deslocadores de nível D_1 e D_2 permanecem cortados.

Em geral circuitos do tipo FL, são pouco utilizados, uma vez que a carga a ser aplicada na sua saída deve ser de baixo valor (décimos de fF). Caso queiramos colocar cargas maiores, teremos que aumentar a área dos dispositivos (W_0), aumentando a área projetada do circuito e assim incrementando a potência dissipada/dispositivo.

A potência dissipada por dispositivo é dado pela equação:

$$P_D = I_{DSS}(V_{DD}W_{T1} + V_{SS}W_{T3}) \quad [1]$$

onde:

$I_{DSS} = I_{DS}$ para $V_{DS} = V_{DSsat}$, com $V_{GS}=0$ e $W=1\mu m$

I_{DSS} é a máxima corrente de dreno-fonte na região de saturação.

A corrente saturada de dreno (I_{DS})[6], é dada por:

$$I_{DS} = \beta (V_{GS} - V_T)^2 \quad [2]$$

Para que não seja necessário o aumento do dispositivo podemos utilizar a Lógica FET com Buffer como veremos no próximo item (2.3).

2.3 - LÓGICA FET COM BUFFER - BFL ("Buffered FET Logic")

A Lógica FET com Buffer - BFL, ainda pode ser encontrada nas versões Lógica FET de Baixa Potência com Buffer - LBFL ("Low Power Buffered FET Logic") e Lógica FET com Capacitor a Diodo-Acoplada - CDFL ("Capacitor diode-coupled FET Logic"), e utiliza transistores de depleção e diodos deslocadores de nível.

Circuitos projetados com a lógica BFL[7], usam transistores de depleção, como elementos chaveadores. Deslocadores de nível utilizando diodos[8] são necessários para se fazer a conexão entre os dois estágios como mostra a figura 2.5.

O circuito seguidor (segundo estágio), usa diodos para este propósito.

Na lógica BFL, são utilizadas duas fontes de alimentação (V_{DD} e V_{SS}).

A magnitude da fonte de alimentação e o número de deslocadores de níveis (diodos), dependem diretamente do V_T dos transistores utilizados. Normalmente as alimentações V_{DD} e V_{SS} variam de 3.0 a 4.5V e -2.0 a -3.5V respectivamente, para um V_T de -1.0 a -2.5V.

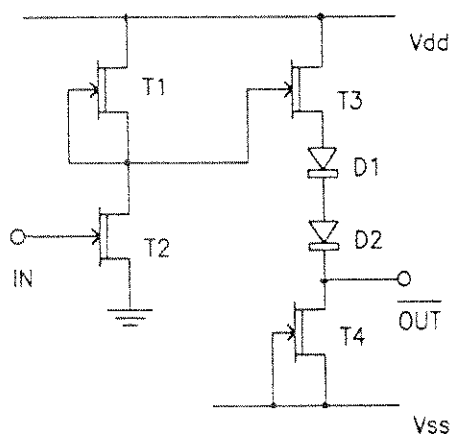


figura 2.5 - circuito INVERSOR - BFL

Uma das vantagens da lógica BFL é alta velocidade, isto porque, os transistores de depleção possuem uma frequência de corte (f_T) alta ("cut-off"), comparada aos transistores de enriquecimento.

A capacidade de corrente para as capacitâncias das linhas de interconexão é também maior que na lógica DCFL, devido a impedância de saída do circuito seguidor ser pequena.

Adicionalmente, a margem de ruído é grande, dado que a variação do nível lógico é de 1.0 a 2.0V.

A larga margem de ruído e o uso de transistores de depleção, faz com que a fabricação de circuitos com lógica BFL, sejam mais simples que a fabricação com lógica DCFL.

Por outro lado, a dissipação de potência é muito alta (10 a 40mW/porta) para poder se integrar um grande número de transistores em um único Circuito Integrado.

A máxima integração está limitada em 50 a 200 transistores, desde que a potência total não ultrapasse 2W.

Circuitos Integrados utilizando lógica BFL estão disponíveis comercialmente[8].

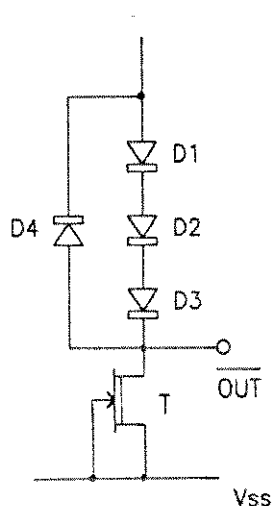
2.3.1 - LÓGICA FET DE BAIXA POTÊNCIA COM BUFFER - LBFL ("Low Power Buffered FET Logic")

Em ordem decrescente de dissipação de potência, a Lógica FET de Baixa Potência com Buffer - LBFL[9], usando transistores de depleção, com um pequeno V_T negativo (aprox. $-0.5V$), foi proposto em 1983.

Usando a lógica LBFL, um "somador de 32 bits" com 420 transistores e dissipação de potência de $1mW/transistor$ foi projetado e construído. A alimentação foi reduzida para $V_{DD} = 2.0V$ e $V_{SS} = -1.0V$ para tecnologia LSI.

Entretanto, devido à complexidade restante do circuito e, as vantagens acima mencionadas na lógica BFL normal, tornam-se pequenas na lógica LBFL.

2.3.2 - LÓGICA FET COM CAPACITOR A DIODO-ACOPLADO - CDFL ("Capacitor Diode-Coupled FET Logic")



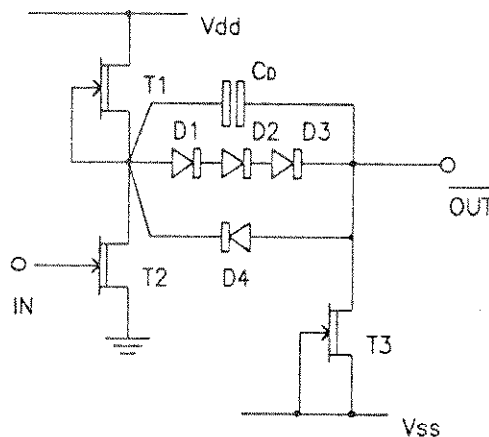
CDFL[10] é uma versão melhorada da lógica BFL. O deslocamento de nível do circuito mostrado na figura 2.6 é empregado para se obter altas velocidades e baixa dissipação de potência[11]. Diodos Schottky reversamente polarizados são usados para criar o efeito "bootstrapping", dessa forma permitindo dar velocidade ao circuito quando D_1 , D_2 e D_3 estão cortados.

figura 2.6 - circuito capacitivo

Podemos citar como exemplo típico um circuito do tipo FL (FET Logic)[12], mostrado na figura 2.7.

Uma das deficiências dos circuitos do tipo lógica FL é a corrente disponível na sua saída (V_{OUT}), que é pequena, como foi visto no item 2.2, uma vez que esta é determinada pelos transistores de pull-up e pull-down e que se os mesmos forem aumentados (W maior), aumenta-se a potência dissipada pelo circuito.

Dessa forma se a corrente não for suficiente para alimentar o estágio seguinte, o sinal de saída será degradado, fazendo com que o tempo de propagação ("rise-time") aumente. Para que possamos projetar dispositivos, utilizando FL, com os transistores de pull-up e pull-down com pequenas áreas (porta - W e L), podemos implementar o circuito mostrado na figura 2.7.



Durante a excursão de nível alto para nível baixo (t_{FHL} - high to low delay) do circuito da figura 2.7, temos que D_1 , D_2 e D_3 (diodos deslocadores de nível) estarão cortados, enquanto T_1 estiver em condução e T_3 estiver descarregando a carga

figura 2.7 - circuito INV FL usando CDFL

C_L , desse modo diminuindo a corrente do transistor de chaveamento T_2 . Caso T_2 estivesse acoplado diretamente à carga C_L seu W (largura da porta), deveria ser suficiente para manter t_{FHL} a valores mínimos desejados.

O diodo (de grande área) reversamente polarizado (D_4), geralmente em paralelo com C_D , é colocado em paralelo com os diodos deslocadores de nível (D_1 , D_2 e D_3). Esta capacitância adicional cria um

caminho de baixa impedância (feedforward) para sinais de alta frequência de forma a diminuir o tempo de subida e descida do sinal de saída acoplado ao mesmo C_L .

Em outras palavras, T_1 pode agora fornecer uma menor corrente para C_L , devido a corrente fornecida através de D_4 e C_D . Este circuito adicional é conhecido como CDFL[10]. As fontes de alimentação são determinadas de modo a saturar T_1 e T_3 .

2.4 - LÓGICA FET COM DIODO SCHOTTKY - SDFL ("Schottky Diode FET Logic")

A Lógica FET com Diodo Schottky - SDFL[13] baseia-se no uso de transistores de depleção, diodos lógicos e deslocadores de nível, como mostra o circuito da figura 2.9, uma configuração NOR de duas entradas.

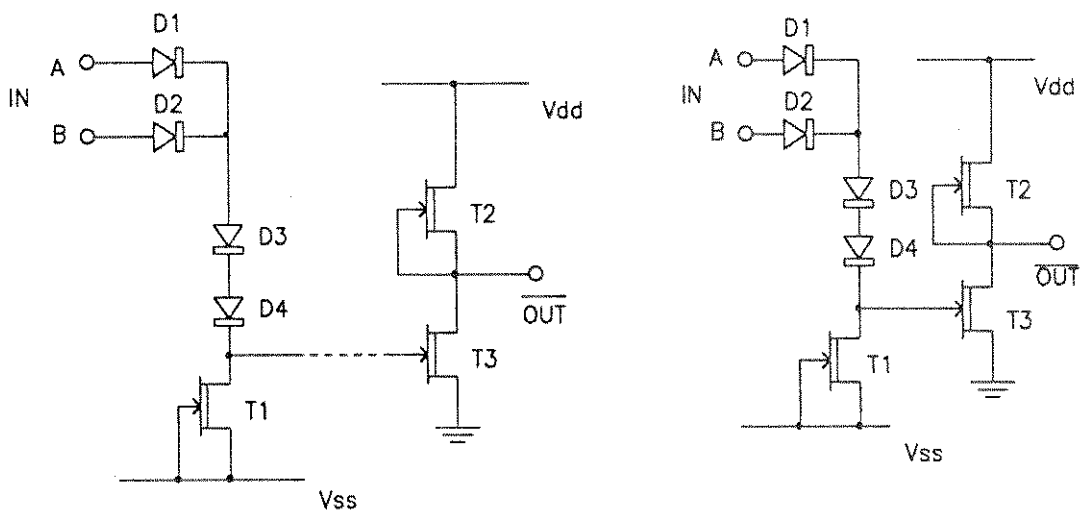


fig 2.8a

fig 2.8b

fig. 2.9

figura 2.8 - a) lógica OR b) circuito chaveador

fig. 2.9 - circuito NOR SDFL

Os diodos D_1 e D_2 e o transistor T_1 (fonte de corrente), formam uma lógica NOR (fig. 2.8a), e chaveiam T_3 (fig 2.8b). T_3 (funciona como chaveador) e T_2 (transistor de carga), operam como um circuito inversor, provendo ganho ao circuito no todo. Os diodos D_3 e D_4 atuam como deslocadores de nível. As fontes V_{DD} e V_{SS} são 1.5 a 2.5V e -1.0 a -2.0V respectivamente, e a variação do nível lógico

fica em torno de 1.0 e 1.5V. O valor de V_T fica na faixa de -1.0V a -1.5V.

Nos circuitos com lógica SDFL, a corrente da parte funcional (porta NOR), I_{SS} é tão pequena quanto I_{DD} . Desse modo, uma pequena dissipação de potência é obtida (em torno de 0,12 a 1.5mW/porta) comparável à lógica BFL.

A área da célula de porta é tão pequena quanto a célula da lógica BFL, e a pequena área projetada dos diodos D_1 , D_2 , D_3 e D_4 correspondem a pequena corrente I_{SS} que passam por eles.

Porém, a velocidade decresce de acordo com a diminuição da potência dissipada.

Portanto, a lógica SDFL, pode ter um moderado nível de integração (acima de 1K transistores) com relativa performance de velocidade.

Já em 1984 foi construído um Circuito Integrado comercial em SDFL com uma integração acima de 1K transistores[14].

2.5 - LÓGICA FET COM FONTE ACOPLADA - SCFL ("Source-Coupled FET Logic")

Da Lógica FET com Fonte Acoplada - SCFL[15] derivam-se duas outras lógicas que são Lógica FET de Alta Variação de Tensão com Fonte Acoplada - HSCFL ("High Logic-Voltage-Swing Source-Coupled") e Lógica FET de Baixa Potência com Fonte Acoplada - LSCFL ("Low Power Source-Coupled FET Logic").

Estruturas utilizando circuitos amplificadores diferenciais vem sendo utilizadas durante anos com grande sucesso. Podemos citar como exemplo circuitos bipolares do tipo ECL. Esta mesma técnica está sendo aplicada em circuitos MESFET, onde em muitos casos existe uma grande similaridade com circuitos do tipo ECL.

alto rendimento na fabricação de Circuitos Integrados.

Isto ocorre porque o nível lógico é determinado pela tensão de referência CC (" V_{REF} ").

A grande variação da tensão lógica (níveis "High" e "Low"), em torno de 1.5 a 2.0V, se faz necessário na lógica HSCFL para que se possam obter altas velocidades de operação, fazendo com que o circuito tenha uma alta f_T (frequência de corte), para um V_T de -0.5 a -1.0V (figura 2.10)[15]. A alimentação neste tipo de lógica varia de -5.0 a -8.0V.

Isto porém, representa uma enorme desvantagem para a lógica HSCFL, que é a grande dissipação de potência ($\sim 10\text{mW/transistor}$), causada pela tensão de alimentação necessária, dada a complexidade do circuito.

Por isso a lógica HSCFL é apropriada para pequenas e médias escalas (SSI e MSI) de integração, permitindo construir circuitos de alta velocidade.

A lógica HSCFL é compatível à lógica ECL, e é utilizada como interface de I/O em Circuitos do tipo "Static RAM"[18].

2.5.2 - LÓGICA FET DE BAIXA POTENCIA COM FONTE ACOPLADA - LSCFL ("Low Power Source-Coupled FET Logic")

A Lógica FET de Baixa Potência com Fonte Acoplada - LSCFL[19], utiliza transistores de enriquecimento, diodos deslocadores de nível e resistores. Esta lógica opera no modo seguidor de corrente (corrente de condução). Abaixo na figura 2.11, temos um circuito OR/NOR de duas entradas.

A Lógica FET de Baixa Potência com Fonte Acoplada - LSCFL, opera no modo dual (verdadeiro/falso), e o ganho de transferência fica duas vezes maior que na Lógica FET de Alta Variação de Tensão com Fonte Acoplada - HSCFL se os mesmos transistores e resistores forem empregados no seu circuito.

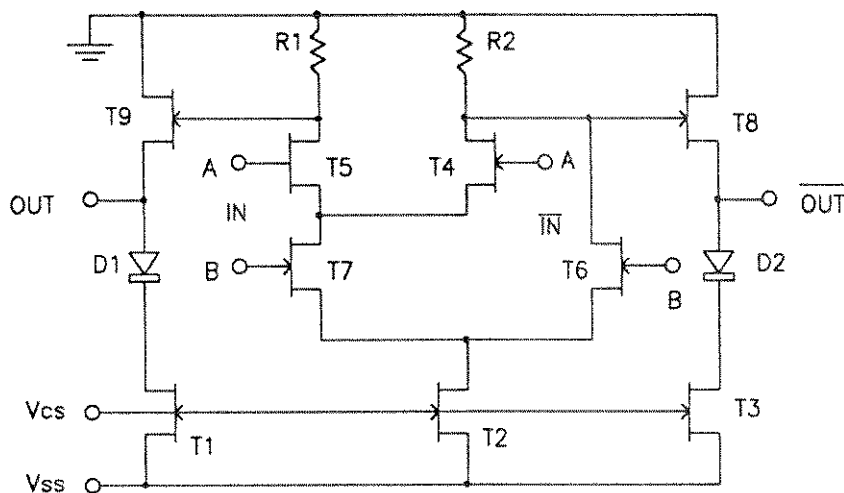


figura 2.11 - circuito QR/NOR LSCFL

Portanto a resistência de carga, pode ser reduzida pela metade para que este tenha o mesmo ganho em comparação à lógica HSCFL.

Isto implica em uma pequena variação da tensão lógica V_{Ls} ("level shift voltage"). Além disso, a lógica LSCFL, geralmente se utiliza de transistores de enriquecimento, o qual dá um decremento efetivo de V_{Ls} .

Valores pequenos de V_{Ls} (0.6 a 0.8V), permitem uma alta velocidade (~50ps/porta) e baixa dissipação de potência (0.5 a 2.0mW), dada a baixa alimentação.

O valor da tensão de limiar (V_T) para transistores de enriquecimento é normalmente de 0.1 a 0.2V. V_{ss} é de -2.5V ou -3.5V para dois ou três níveis de porta, respectivamente.

O potencial para corrente de porta em T_1 , T_2 e T_3 são ajustados para serem 0.6 a 0.7V acima de V_{ss} . Assim V_{cs} será $(V_{ss} + 0.6)$. A larga margem para variação da tensão de limiar (V_T) nos circuitos lógicos LSCFL é grande.

Da mesma forma que a lógica HSCFL, este permite um rendimento grande ("Yield")[20] na sua fabricação.

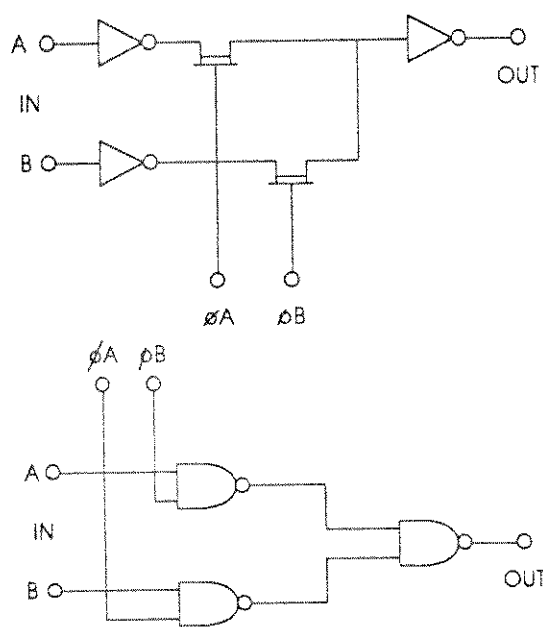
A técnica aqui empregada (portas em série), traz uma grande vantagem para a lógica LSCFL, pois reduz

o tempo de propagação e a potência dissipada em circuitos complexos.

Esta lógica é indicado para projetos de circuitos "flip-flops" e "contadores".

2.6 - TRANSISTOR DIFENCIAL DE PASSAGEM - DPTL ("Differential Pass-Transistor-Logic")

Transistor lógico de passagem ("Differential Pass-Transistor-Logic") [21], conhecido também como "Transmission Gate Logic", é um dispositivo amplamente utilizado em projetos de Tecnologia NMOS e CMOS em Silício, sendo que estes tem demonstrado vantagens significativas em velocidade e área, e no uso em projetos de Máquina de Estados Finitos [22,23] e lógica aritmética [24,25]. Os transistores diferenciais de passagem ("DPTL") são geralmente empregados como chaveadores de "clock" e, apesar de degenerarem o sinal na sua saída (saída do transistor de passagem), isto é contornado aumentando-se a área (W - width) dos transistores de entrada do próximo circuito a ele acoplado. No caso do circuito apresentado na figura 2.12 o Inversor C, terá seus dois transistores (par complementar p e n) aumentados para compensar tal efeito.



A figura 2.12 mostra um circuito 2 para 1, usando transistores de passagem [26].

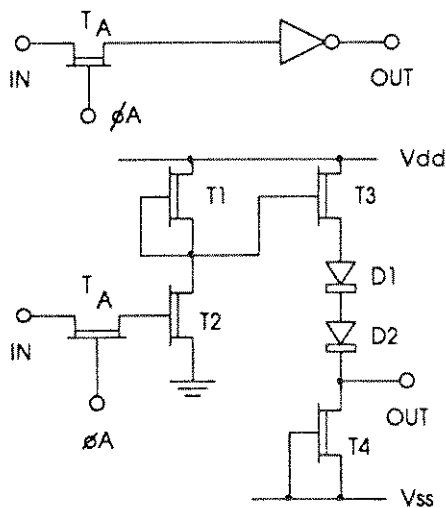
Este circuito poderia ser implementado com três portas tipo NOR de duas entradas, porém, o circuito da figura ao lado emprega menor número de transistores, o que implica por sua vez em um menor consumo.

figura 2.12 - circuito com transistor de passagem

Em Arseneto de Gálio, o transistor diferencial de passagem[27] tem sua aplicação também como circuito chaveador e vem sendo utilizado desde 1987.

Como podemos ver, o transistor de passagem (DPTL), é equivalente a uma chave bi-direcional. Na figura 2.13 temos sua aplicação como chaveador de inversores[28]. Os inversores geralmente são do tipo Lógica FET com Buffer, entretanto, circuitos similares podem ser utilizados, dependendo da escolha, com transistores de passagem. Estes circuitos podem ser do tipo CDFL, SDFL, SCFL e outros de acordo com a conveniência do projeto a ser executado.

Seu controle é feito da seguinte forma:



$$V_{BL} \leq V_L + V_T \quad [3]$$

$$V_H + V_T \leq V_{BH} \leq V_L + 0.7 \quad [4]$$

onde:

V_{BL} = Nível de Tensão de porta a nível baixo (gate low);

V_{BH} = Nível de Tensão de porta a nível alto (gate low);

V_L = Nível lógico baixo

V_H = Nível lógico alto

V_T = Tensão de limiar

figura 2.13 - circuito INVERSOR com transistor de passagem

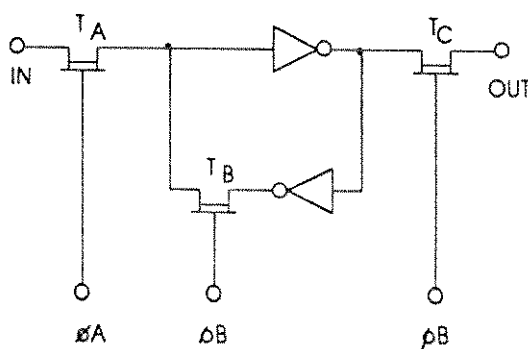


figura 2.14 - circuito com clock de duas fases (non-overlapping)

Transistores lógicos de passagem são usados em divisores de frequência[29], como mostra a figura 2.14. Em geral circuitos desse tipo apresentam um alto rendimento na fase de processo, em torno de 80%[30] dado a sua baixa complexidade.

2.7 - COMPONENTES PASSIVOS

Os componentes passivos utilizados em circuitos integrados com MESFET's de GaAs, são diodos, resistores, e capacitores.

2.7.1 - DIODOS:

Com exceção da lógica DCFL que necessita de transistores de depleção e enriquecimento além de resistores, todas as outras lógicas necessitam de diodos.

Em tecnologia de MESFET, os diodos Schottky são utilizados principalmente como elementos "chaveadores" e "deslocadores de nível", nos seguintes circuitos lógicos: BFL, LBFL, CDFL, SDFL, SCFL, HSCFL e LSCFL.

Além de serem usados para este propósito, são também usados em circuitos de alta velocidade na área de telecomunicações[31] e possuem a grande vantagem de serem de fácil construção.

De uma forma geral os diodos são projetados curto-circuitando-se dreno e fonte, ou então usando-se somente o Metal Schottky (SM) e a "mesa", que é a área difundida ou implantada ionicamente.

A figura 2.15, mostra os dois modelos de diodo Schottky usado na tecnologia MESFET.

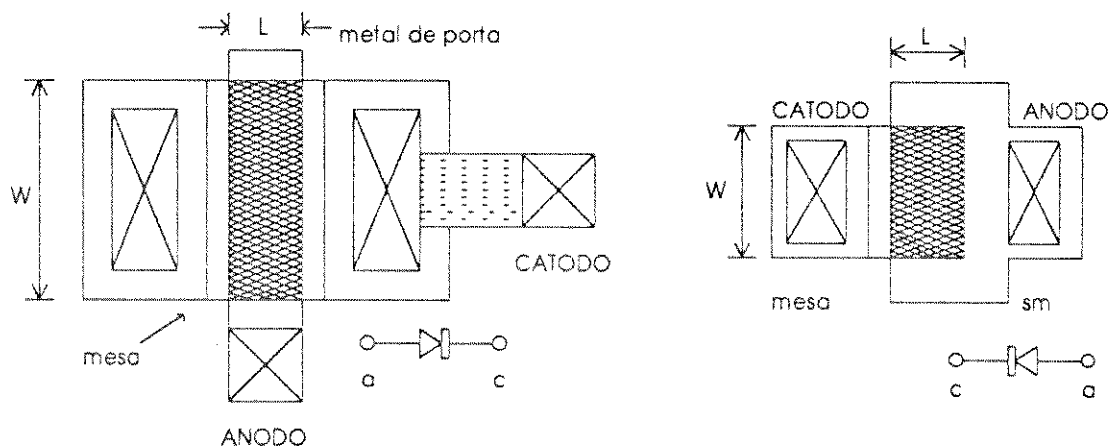


figura 2.15 - lay-out de Diodos Schottky

Diodos reversamente-polarizados ("reverse-biased") são usados também nas Lógicas FET com Capacitor Acoplado - CCFL ("Capacitor-Coupled FET Logic")[32] e Lógica FET com Capacitor a Diodo-Acoplado - CDFL ("Capacitor Diode-Coupled FET Logic")[33].

2.7.2 - RESISTORES:

Os resistores são empregados como cargas resistivas na Lógica FET com Acoplamento Direto - DCFL do tipo E/R (enriquecimento/resistor) e na Lógica FET com Fonte Acoplada - SCFL.

Estes resistores são feitos utilizando-se uma área difundida ou implantada (mesa), aonde são colocados somente os terminais com contato ôhmico nos extremos. Dessa forma obtemos resistores cujos valores dependem da área projetada. Estes valores podem variar em centenas de ohms.

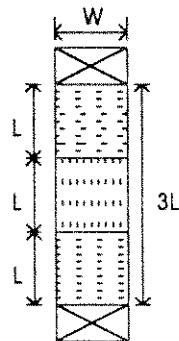


figura 2.16 - resistor

Para as mesas construídas pelo processo RTP[35], a resistência ôhmica/quadrado está em 300ohms.

$$R = R_s(L/W) \quad [5]$$

2.7.3 - CAPACITORES:

Os capacitores são utilizados em geral para circuitos de alta velocidade. Capacitores de acoplamento e desacoplamento são geralmente fabricados com MIM ("metal-insulator-metal"). Estes capacitores podem ser feitos em filmes finos utilizando-se Si_3N_4 e SiO_2 , aplicados sobre o material condutor.

Para circuitos de alta velocidade e de acoplamento, podemos utilizar diodos reversamente polarizados ("reverse-biased"). Capacitores de

desacoplamento são utilizados para minimizar as impedâncias das fontes de alimentação.

2.8 - TABELA COMPARATIVA ENTRE LOGICAS

Na tabela abaixo podemos comparar o desempenho de cada lógica da família básica de MESFETs.

tabela 2.1 - desempenho comparativo entre modelos lógicos[36]

LOGICA	ESCALA	POT. DISS.	VEL PROP	TIPO TRANS	MARG.
DCFL	M/LSI	10u-1mW/porta	70pseg	E/D E/R	estr.
BFL	M/LSI	10-40mW/porta	150pseg	DFET	larga
LBFL	S/MSI	1mW/porta	70pseg	DFET	larga
CDFL	S/MSI	1mW/porta	50pseg	DFET	larga
SDFL	S/MSI	.12-1.5mW/por	200pseg	DFET	larga
HSCFL	M/LSI	10mW/porta	50pseg	DFET	larga
LSCFL	M/LSI	.5-2mW/porta	50pseg	EFET	larga

- [1] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 211;
- [2] Mead, C. and Conway, L. (1980). "Introduction to VLSI Systems". pg. 5-8;
- [3] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 3;
- [4] Cirillo, N. and Arawah, J. (1985). "8.5ps Ring Oscillator Gate Delay". 43rd IEEE Devices Research Conference, paper IIA-7, Boulder, Colorado, Abstract in IEEE Transaction Electronics Devices, vol ED-32, pg. 530;
- [5] Van Tuyl, R. L., Liechti, C. a., Lee, R. E. and Gowen, E. (1977). IEEE Journal of Solid-State Circuits, pg. 485;
- [6] Eden, R. C., Lee, F. S., Long, S. I., Welch, B. M. e Zucca, R. (fev/1980). "Multi-Level Logic Gate Implementation in GaAs Using Schottky Diode FET Logic", Digest Tech. Papers, International Circuit Conference, pg. 222;
- [7] Shur, M. (1987). GaAs Devices and Circuits, Cap. 7. "Device Physics and Modeling", Edit. Plenum, pg. 312;
- [8] Vu, T. T., et al (1987). "Multiple Input and output OR/AND Circuits for VLSI GaAs IC's", IEEE Transactions Electronics Devices, vol. ED-34, pg. 1630;
- [9] Ikoma, T. (1991). "Very High Speed Integrated Circuits", pg. 195;
- [10] Yamamoto, R., Higashisaka, A., Asai, S., Tsuji, T., Takayama, Y. and Yano, S. (1983). ISSCC Technology Digest, pg. 40;
- [11] Eden, R. C. (1984). "Capacitor Diode FET Logic (CDFL) Circuit. Approach for GaAs D-MESFES ICs". Gallium Arsenide IC Symposium Proceeding, Boston, Mass.;
- [12] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 198;
- [13] Namordi, M. and White, W (1982). "A Novel Low-Power Static GaAs MESFET Logic Gate", IEEE Electronics Device Letter. Vol EDL-3. pg. 264-267;
- [14] Eden. R. C. (1981). U.S. Patent 4,300,064 (1981): Schottky Diode FET Logic;
- [15] Lee, F. S., Kaelin, G. R., Welch, B. M., Zucca, R., Shen, E., Asbeck, P., Kirkpatrick, C. G., Long, S. I. and Eden, R. C. (1982). "High Speed GaAs Integrated Circuits" IEEE Journal of Solid State Circuits, S-17, pg. 638;
- [16] Takada, T., Idda, M. and Sudo, T. (1981). National Convention Record on Semiconductors and Materials of IECE, Japan, pg. 123;
- [17] Takada, T., Togashi, M., Kato, N. and Idda, M. (1984). Extended Abstracts of the 16th International Conference on Solid State Devices and Materials, Kobe, Japan, pg. 403
- [18] Mead, C. and Conway, L. (1980). "Introduction to VLSI Design". pg. 5-20;
- [19] Takahashi, K., Maeda, T., Katano, F., Furutsuka, T. Higashikasaka, A. (1985). ISSCC. pg. 68;
- [20] Takada, T., Togashi, M., Idda, M., Yamasaki, K. and Hoshikawa, K. (1985). Paper Technology Group on Solid State Devices, IECE, Japan. pg. 97;
- [21] Van Tuyl, R. L., Kumar, V., D'Avanzo, D. C., Taylor, T. W., Peterson, V. E., Hornbuckle, D. P., Fisher, R. A. and Estreich, D. B. (1982). "A manufacturing process for analog and digital GaAs Integrated Circuit" IEEE Transactions Devices. pg. 1032;
- [22] Pasternak, J. H., Shubat, A. S. and Salama, C. A. T. (1987). "CMS differential pass-transistor logic design". IEEE Journal of Solid-State Circuits. pg. 2166;

- [23] Pasternak, J. H., Salama, C. A. T. (1989). "Optimization of submicron CMOS differential Pass-Transistor". ESSCIRC, Vienna, Austria, pg. 218;
- [24] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 407;
- [25] Pasternak, J. H., Salama, C. A. T. (1989). "Differential pass-transistor logic partial-product generator for interative multipliers". ECCTD, Brighton. pg. 176;
- [26] Yano, K., Yamanaka, T., Saitoh, M., Shimonhigashi, K. and Shimizu, A. (1989). "A 38ns CMOS 16x16 multiplier using complementary pass-transistor logic". CICC, San Diego, California;
- [27] Pasternak, J. H., Salama, C. A. T. (1990). "GaAs Mesfet Differential Pass-Transistor Logic". Eletronics Letters. Vol. 26. pg. 1597-1598;
- [28] Rocchi, M. e Gabillard, B. (1983). "GaAs digital dynamic IC's for applications up to 10GHz", Journal of Solid State Circuits, SC-18(3), pg. 369;
- [29] Shur, M. (1987). "GaAs Logic Families", capitulo 9. GaAs Devices and Circuits, pg. 442;
- [30] Namordi, M., Newman, P. F., Cappon, A. M., Hanes, L. K. and Statz, H. (1985). "A 2.26Hz Transmission Gate GaAs Shift Register". Digest Technology Papers, IEEE International Solid-State Circuits Conference;
- [31] Rocchi, M. e Gabillard, B. (1983). "GaAs digital dynamic IC's for applications up to 10GHz", Journal of Solid State Circuits SC-18, pg. 369;
- [32] Wada, O., Hamagushi, H., Makiuchi, M., Kumai, T., Ito, M., Nakai, K., Horimatsu, T. and Sakurai, T. (1986). "Monolithic Four-Channel Photodiode/Amplifier Receiver Array Integrated on a GaAs Substrate". Journal of Lightwave Technology, vol. LT-4, n° 11, pg. 1694;
- [33] Livingstone, A. W. and Mellor, P. J. T. (1980). "Capacitor Coupling of GaAs Depletion mode FET's". GaAs Symposium, Las Vegas, Nev., paper 16;
- [34] Eden, R. C. (1984). "Capacitor Diode FET Logic (CDFL) Circuit Approach for GaAs D-Mesfet IC's". IEEE GaAs IC Symposium, Boston, Mass., pg. 11;
- [35] Lujan, A. S. (1991). "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido", Dissertação de Mestrado, IFGW - LPD, Unicamp, pg. 116;
- [36] Wilson, D. (oct/1985). "High Performance IC's Fuel-Up with GaAs". Digital Design, pg. 42.

CAPITULO 3:

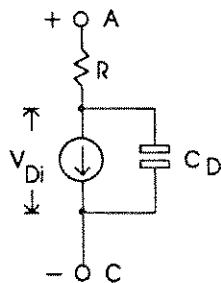
MODELOS SPICE PARA DISPOSITIVOS

Neste capítulo descrevemos os Modelos Spice mais utilizados atualmente para transistores MESFET e Diodos de Barreira Schottky (SBD).

3.1 - MODELO PARA DIODO DE BARREIRA SCHOTTKY:

Como apresentamos no Capítulo 2 (página 30), existem duas maneiras de se projetar e obter diodos, a primeira é o diodo propriamente dito utilizando "metal schottky" e mesa ou área crescida ou implantada, chamado de "Diodo Schottky". A segunda maneira é tomando um transistor MESFET e colocando em curto fonte e dreno.

3.1.1 - EQUAÇÕES DC E AC PARA SBD:



O circuito equivalente para o modelo do Diodo de Barreira Schottky (SBD)[1] é mostrado na figura 3.1, e sua equação de corrente é dada por:

figura 3.1 - modelo SBD

$$I_D = I_s [\exp(qV_{Di}/nkT) - 1] \quad [6]$$

onde:

I_s = *diode saturation current* ou corrente de saturação do diodo que está em torno de $10E-15A$ a $10E-14A$;

n = *ideality factor ou emission coefficient*, que é o fator de idealidade ou coeficiente de emissão;

q = *electron charge* ou carga do elétron;

k = *Boltzmann's constant* ou constante de Boltzmann;

T = *temperature* ou temperatura em *K;

R_D = *source ohmic resistance* ou resistência parasitária série entre contatos;

V_D = *diode voltage* ou tensão nos terminais do diodo.

Onde V_{D1} , é dado por:

$$V_{D1} = V_D - I_D R_D \quad [7]$$

A capacitância C_D , é dada por:

$$C_D = C_{j0} (1 - V_{D1}/V_{b1})^{-m} \quad [8]$$

onde:

C_{j0} = *zero-bias junction capacitance*, ou capacitância da junção, que está em torno de 1 a $2\text{fF}/\mu\text{m}^2$;

$V_{b1} = V_j =$ *Built-in potential* ou barreira de potencial no semiconductor cujo valor típico está em torno de 0.7 a 0.8V

m = *grading coefficient* ou *coefficient for forward-bias depletion for capacitance formula*, que é o coeficiente de graduação ou coeficiente de polarização direta para a equação de capacitância cujo valor é 0,5 para dopagem uniforme em GaAs, podendo variar de 0,33 para um nível de dopagem gradual ou 1,3 para implantação iônica com perfil Gaussiano[2];

t_t = *transient time* ou tempo de transição este valor é zero para o modelo SBD na simulação SPICE.

3.1.2 - PARAMETROS UTILIZADOS NO MODELO SPICE VERSAO 3D2

A tabela 3.1 mostra os principais parâmetros utilizados para simulação de diodos, usando o software Spice3D2.

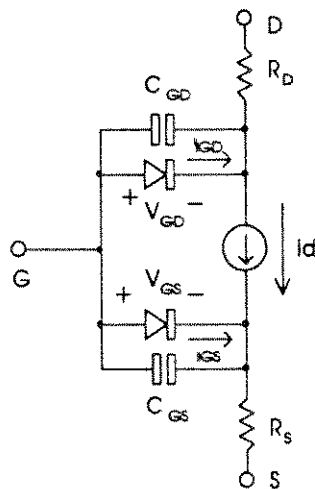
tabela 3.1 - parâmetros para o modelo SBD

nome	parâmetro	unid.	área
1	IS	saturation current	A *
2	RD	ohmic resistance	Ω *
3	N	ideality factor	-
4	TT	transit time	sec
5	Cj0	zero-bias junction capacitance	F *
6	VJ	built-in potential	V
7	M	grading coefficient	-

Os parâmetros em "asteriscos" da tabela 3.1 são multiplicados pelo fator de área do diodo.

3.2 - CIRCUITO EQUIVALENTE MESFET PARA O SIMULADOR SPICE:

Partindo do circuito equivalente, podemos definir equações para simulações de circuitos utilizando o simulador SPICE.



A figura 3.2 mostra o diagrama do circuito equivalente usado para representar um transistor MESFET em GaAs. A fonte controlada de corrente I_D , é dependente das tensões de porta-fonte e porta-dreno que são respectivamente V_{GS} e V_{DS} .

figura 3.2 - modelo do circuito equivalente para transistor MESFET

Estas tensões diferem das tensões nos terminais de dreno e fonte. Este fato ocorre devido à existência de resistências de dreno e fonte (R_D e R_S).

Os diodos G_D e G_S representam as junções de porta-dreno e porta-fonte. As capacitâncias do modelo são dadas por C_{GS} e C_{GD} .

A figura 3.3, mostra a área onde forma-se a resistência de fonte (R_S). Esta resistência reduz a tensão externa aplicada na porta (V_{GS}), uma vez que temos uma queda causada por R_S . Esta resistencia

por sua vez, diminui I_D (corrente de dreno) e g_m (transcondutância).

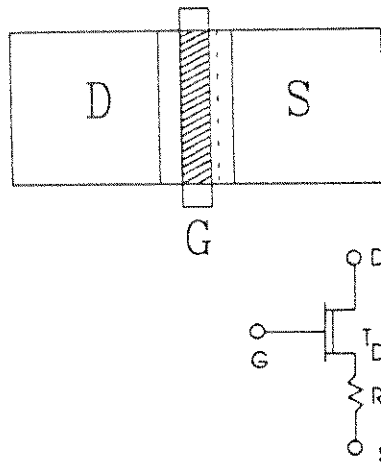


figura 3.3 - formação da resistência de fonte e diagrama elétrico

Para que possamos minimizar esta resistência, ao fazermos um projeto contendo transistores MESFET, devemos utilizar um processo que permita a formação de R_S com menor valor possível.

Uma maneira de se reduzir as resistências é incrementar o nível de dopagem ("doping-level"), nas regiões de fonte e dreno. Esta forma é conhecida como processo auto-alinhado ("self-alignment")[3,4]. Outra maneira é engrossar a região de fonte e dreno e fazer a decapagem no centro do canal ("gate-recessing")[5,6], como mostra a figura 3.4.

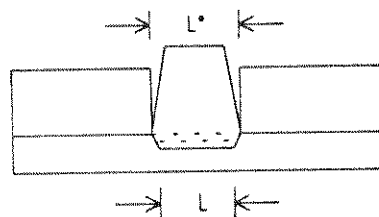


figura 3.4 - Estrutura melhorada para diminuir R_s e R_d , usando "gate-recessing"

Os valores de V_{GS} e V_{DS} , são dadas por:

$$V_{GS}' = V_{GS} - I_D R_s \quad [9]$$

$$V_{DS}' = V_{DS} - I_D (R_s + R_d) \quad [10]$$

L = Largura verdadeira

L^* = Largura medida

3.3 - MODELO MESFET PARA SPICE3 - VERSÃO 3D2

O Modelo MESFET utilizado na ferramenta de simulação elétrica SPICE3 - Versão 3D2 é baseado no modelo escrito por Herman Statz et al.[7] (sendo conhecido também por modelo de Raytheon[8]), onde, além dos parâmetros DC e AC, foram incorporados parâmetros para análise de ruído.

A equação DC de Statz et al. para I_D é dada por:

$$I_D = (B(V_{GS} - V_T)^2 / (1 + b(V_{GS} - V_T))) [1 - [1 - \alpha(V_{DS}/3)]^3] (1 + \Gamma V_{DS}) \quad [11]$$

para $0 < V_{DS} < 3/\alpha$ (Região Linear)

$$I_D = (B(V_{GS} - V_T)^2 / (1 + b(V_{GS} - V_T))) (1 + \Gamma V_{DS}) \quad [12]$$

para $V_{DS} > 3/\alpha$ (Região Saturada)

onde:

- I_D = Corrente de dreno;
- BETA = Parâmetro relacionado à Transcondutância;
- V_{GS} = Tensão de porta para fonte;
- V_{DS} = Tensão de dreno para fonte;
- V_T = Tensão de Limiar;
- LABDA = Modulação do comprimento do canal;
- ALPHA = Parâmetro relativo à tensão de saturação;
- b = Excesso de dopagem do canal.

E sua curva característica $I - V$, é mostrada na figura 3.5.

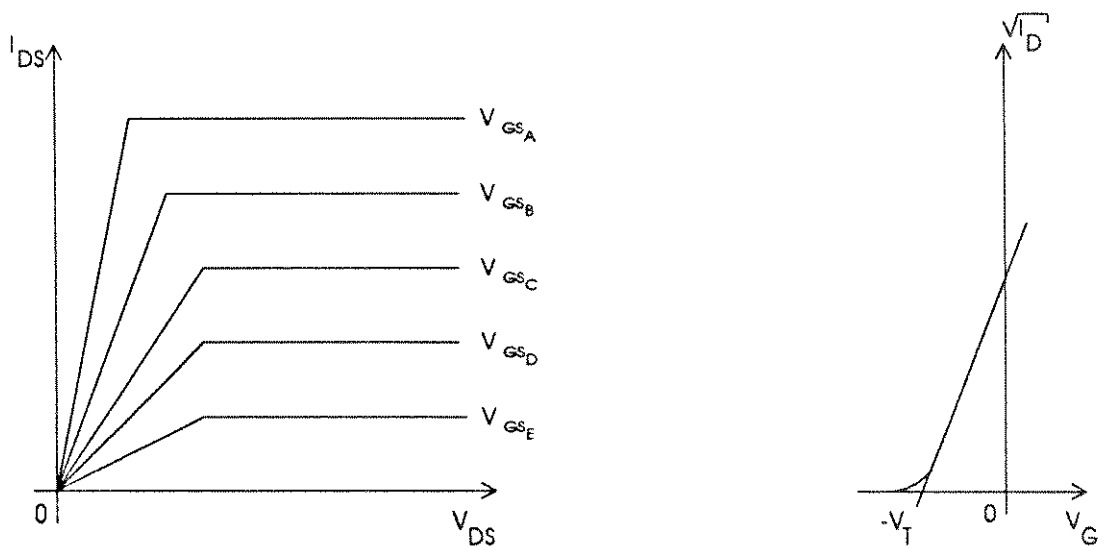


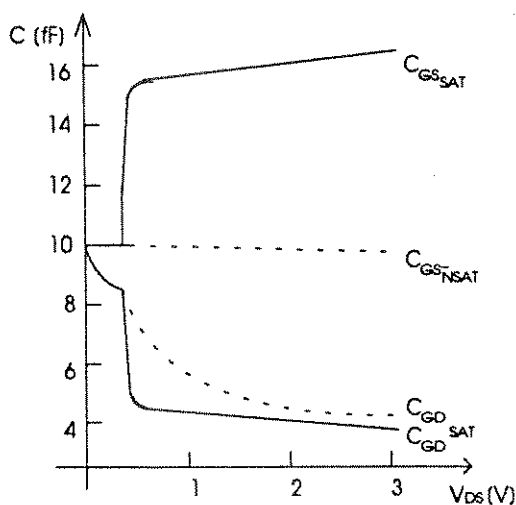
figura 3.5 - curva característica de um transistor D-MESFET em GaAs

3.3.1 - CAPACITANCIA DE DRENO E FONTE:

O modelo original do SPICE JFET, o modelo de Curtice e outros modelos que apresentam algumas modificações, usam o modelo do diodo (item 3.1) para determinar a capacitância de porta-dreno.

O modelo do diodo de Barreira Schottky é geralmente utilizado para descrever pequenas capacitâncias de porta-dreno. Esta aproximação cria sérios problemas, pois por simetria considera-se que a capacitância de porta-dreno e porta-fonte para V_{DS} igual a zero sejam iguais, e que estas variam em função de V_{DS} . No modelo do diodo esta variação ocorre para C_{GD} que vai ao limite de saturação, porém, para C_{GS} isso não ocorre sendo que esta mantém-se praticamente constante (figura 3.6).

O modelo de capacitância e equações de carga para o modelo de Raytheon são tomados em função de V_{GS} e V_{GD} . Em adição, os efeitos de saturação da velocidade e a corrente de constricção ("pinch-off"), foram incluídas. Dessa forma uma transição suave na região inversa é obtida. Esta transição existe quando o transistor MESFET tem sua polaridade de fonte e dreno invertida. Isto ocorre geralmente com transistores de passagem conhecidos também como "transmission gate" (DPTL).



A dependência entre C-V é mostrada na figura 3.6 onde Van der Ziel[9] mostrou a variação das capacitâncias para transistores MESFET's em GaAs (linhas pontilhadas), sem levar em consideração os efeitos de saturação da velocidade.

figura 3.6 - capacitâncias de fonte e dreno
modelo de Van der Ziel - linhas pontilhadas e
modelo de Statz para linhas cheias

Assim na figura 3.6, (linha pontilhada) usou-se a velocidade de portadores não saturada para os valores de C_{GS} e C_{GD} em função de V_{DS} para $V_{GS} = 0$. C_{GD} começa com o mesmo valor de C_{GS} para $V_{DS} = 0$, porém com o incremento de V_{DS} , C_{GD} começa a cair e atinge um valor mínimo quando atinge a tensão de constrição ("pinch-off").

Ocorre que ao levar-se em conta a saturação da velocidade, a situação muda, pois temos variações em C_{GS} e C_{GD} , como mostra a figura 3.6 (linhas cheias). Ou seja, C_{GS} sobe abruptamente no início da saturação e rapidamente se aproxima a um valor constante e por outro lado C_{GD} cai abruptamente e se aproxima também a um valor constante.

Segundo Statz et al., para o modelo de Raytheon estas variações abruptas na realidade, não ocorrem, porque a saturação de velocidade se inicia de modo gradual.

3.3.2 - PARAMETROS PARA O MODELO SPICE3 VERSAO 3D2:

A tabela 3.2 mostra os parâmetros utilizados na simulação de circuitos e dispositivos MESFET, estes parâmetros geralmente possuem um "default" no próprio software, porém, eles não representam uma "foundry".

tabela 3.2 - parâmetros para o Modelo MESFET/SPICE3D2

nome	parâmetro	unid.	área
1 VT	threshold voltage	V	
2 BETA	transconductance parameter	A/V ²	*
3 B	doping tail extending parameter	1/V	
4 LAMBDA	channel length modulation parameter ...	1/V	
5 ALPHA	saturation voltage parameter	1/V	
6 RD	drain ohmic resistance	Ω	*
7 RS	source ohmic resistance	Ω	*
8 CGS	zero-bias G_S junction capacitance	F	*
9 CGD	zero-bias G_D junction capacitance	F	*
10 PB	gate junction effective built-in potential	V	
11 IS	gate junction saturation current	A	*
12 KF	flicker noise coefficient	-	
13 AF	flicker noise exponent	-	
14 FC	coefficient for forward-bias depletion capacitance formula	-	

Os parâmetros da tabela 3.2 são utilizados no Programa SPICE3 - versão D2, e seus valores estão contidos no Capítulo 4.

Os parâmetros marcados em asterisco dependem do fator de largura do dispositivo/largura nominal, de acordo com as seguintes relações:

beta *A, rd/A, rs/A, cgs *A, cgd *A, is *A

3.3.3 - DEFINIÇÃO DOS PARAMETROS DO MODELO SPICE:

Neste item apresentamos uma breve descrição dos parâmetros da tabela 3.1 e suas respectivas expressões.

1 - V_T = *threshold voltage* ou tensão de limiar, representa a tensão mínima para que o transistor MESFET comece a conduzir.

A tensão de limiar é dada por:

$$V_T = V_{b1} - V_P \quad [13]$$

onde:

V_{b1} = built-in voltage ou barreira de potencial no semicondutor;

V_P = pinch-off voltage ou tensão de constrição;

V_P , é dado por:

$$V_P = 1/\epsilon \int_0^a x (x) dx \quad [14]$$

$$(x) = qN_D(x)$$

No caso de $N_D(x)$ ser constante:

$$V_P = qN_D a^2 / 2\epsilon \quad [15]$$

onde:

a = profundidade do canal;

N_D = densidade efetiva de doadores, que é assumida como a concentração de elétrons (n_0) na porção não depletada do canal. Para simplificar, adota-se perfil de dopagem de modo uniforme;

2 - BETA = *transconductance parameter*, parâmetro relacionado com a transcondutância do transistor, onde a transcondutância é dada por:

$$g_m = \delta I_{DS} / \delta V_{GS} \quad [16]$$

Sendo que g_m determina o ganho do dispositivo.

Temos que, na saturação:

$$I_D = (\beta(V_{GS} - V_T)^2 / (1 + b(V_{GS} - V_T)) \cdot (1 + \Gamma V_{DS}) \quad [17]$$

Logo, substituído [17] em [16] e derivando temos:

$$g_m = \{ \beta(V_{GS} - V_T)^2 b - [1 + b(V_{GS} - V_T)]^2 2\beta(V_{GS} - V_T) / [1 + b(V_{GS} - V_T)]^2 (1 + \Gamma V_{DS})$$

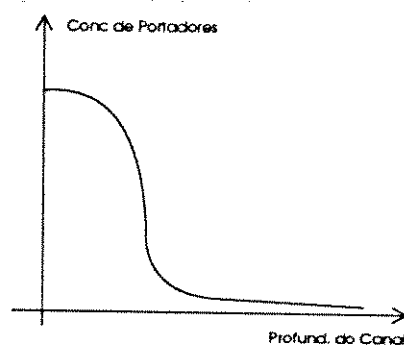
Assim para b , tendendo a zero, temos:

$$g_m = 2\beta(V_{GS} - V_T) \cdot (1 + \Gamma V_{DS}) \quad [18]$$

e BETA será:

$$\beta = g_m / 2(V_{GS} - V_T) \cdot (1 + \Gamma V_{DS}) \quad (A/V^2) \quad [19]$$

3 - B = *doping tail extending parameter*, conhecido também como excesso de dopagem do canal que se espalha em torno do mesmo, deixando um formato de cauda



(tail), ou seja, a concentração de portadores decresce formando uma "cauda" como mostra a figura 3.7 (concentração de portadores x profundidade do canal).

figura 3.7 - conc. de portadores x prof. do canal

Seu valor varia de 2.6 a 1.5/V (modelo MESFET para SPICE3D2) para transistores usados na referência [7], porém no nosso caso, por termos uma junção abrupta na região de canal o nosso valor varia entre 0 e 0.2/V (ver capítulo 4).

- 4 - LAMBDA = *channel length modulation parameter*, ou parâmetro de modulação do comprimento do canal, relativo a condutância de dreno, onde temos que ao aumentar V_{DS} , aumenta-se o comprimento da região saturada sobre o canal. Ocorrendo este aumento da região saturada há um aumento na corrente de dreno, o que corresponde a uma condutância de dreno diferente de zero.
Assim temos:

$$\Gamma = \delta I_{DS} / \delta V_{DS}. \quad [20]$$

Na região de saturação.

- 5 - ALPHA = *saturation voltage parameter*, parâmetro relacionado com a tensão de saturação, onde esta é dada por:

$$V_{DSsat} = 3/a \quad [21]$$

V_{DSsat} é considerado constante para transistores com canal ≤ 3.0 micron e para um $V_{PO} > 2V$ [10]

- 6 - R_D = *drain ohmic resistance*, ou resistência parasitária série de dreno localizada entre o metal de contato e a borda do canal junto ao dreno.

- 7 - R_S = *source ohmic resistance*, ou resistência parasitária série de fonte localizada o metal de contato e a borda do canal junto à fonte. Valores altos de resistência de dreno e fonte implicam na degradação da corrente I_D e g_m .
Isto ocorre porque a tensão V_{DSintr} entre borda do canal é dada por:

$$V_{DSintr} = V_{DSextr} - I_D R_S \quad [22]$$

Por outro lado o efeito sobre a transcondutância é dado por [11]:

$$g_{mextr} = g_{mintr} / (1 + g_{mintr} R_S) \quad [23]$$

8 - C_{gs} = *zero_bias G_S junction capacitance*, ou capacitância da região depletada de porta-fonte e é dada por:

$$C_{gs} = (C_{gs0} / A) 0.5[B + C_{gs0} C] \quad [24]$$

9 - C_{gd} = *zero_bias G_D junction capacitance*, ou capacitância da região depletada de porta-dreno e é dada por:

$$C_{gd} = (C_{gs0} / A) 0.5[C + C_{gs0} B] \quad [25]$$

Onde A, B e C são dados por:

$$A = (1 - (V_{b11}/V_B))^{1/2}$$

$$B = (1 + (V_{gs} - V_{gd})) / ((V_{gs} - V_{gd})^2 + D^2)^{1/2}$$

$$C = (1 - (V_{gs} - V_{gd})) / ((V_{gs} - V_{gd})^2 + D^2)^{1/2}$$

E o termo D é encontrado na referência [5].

10- P_b = *gate junction effective built-in potential*, ou potencial de difusão[11], é a tensão de barreira da junção metal/semicondutor, e é dado por:

$$\Phi_B = V_{b1} + E_c/q \quad [26]$$

onde:

E_c = Energia da Banda de Condução

Φ_B = Barreira de potencial do metal semicondutor ou altura da barreira Schottky.

q = $1.602E-19$ Coulombs

11- I_S = *gate junction saturation current*, é a corrente de saturação do diodo Schottky existente entre a porta e o canal.

12- K_F = *flicker noise coefficient*[13], ou coeficiente da flutuação espontânea de corrente através ou tensão entre semicondutor(es) e é dado por:

$$I_N^2 = (K_F I_D^{2F})/f \quad [27]$$

onde:

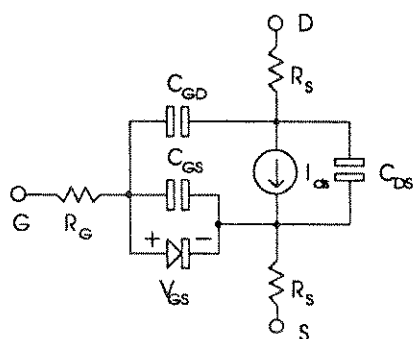
I_N = Source Current ou Corrente de Fonte (A);
 K_F = Flicker Noise Coefficient ou coeficiente da flutuação espontânea de corrente;
 I_D = Drain Current ou Corrente de Dreno (A);
 α_F = Flicker Noise Exponent, ou expoente de flutuação espontânea de corrente;
 f = Frequency ou frequência (Hz).

13- α_F = flicker noise exponent, ou expoente da flutuação espontânea de corrente através ou tensão entre semicondutor(es). Este coeficiente é utilizado na equação [27];

14- α_F = coefficient for forward-bias depletion capacitance formula, ou coeficiente de polarização direta para as fórmulas de capacitância onde $\alpha_F=1/3$ para junção gradual ou $\alpha_F=1/2$ para uma junção abrupta.

3.4 - MODELO DE CURTICE (ou tangente hiperbólica)

O modelo de Curtice ou Tangente Hiperbólica[14] é similar ao modelo apresentado por Van Tuyl e Liechti[15]. Porém a maioria dos modelos são baseados no modelo de Shockley[16] que foi criado para FET's de canais longos, assumindo como constante a mobilidade nos canais[17].



O modelo de Curtice ou Tangente Hiperbólica (figura 3.8) foi proposto para sinais de grande excursão ("large-signal") e canais curtos.

figura 3.8 - circuito equivalente do modelo de Curtice

e dessa forma I_{DS} , é dada por:

$$I_{DS} = \beta (V_{GS} + V_T)^2 (1 + \Gamma V_{DS}) \tanh(\alpha V_{DS}) \quad [28]$$

para $V_{GS} > V_T$

$$I_{DS} = 0 \quad [29]$$

para $V_{DS} \leq V_T$

A equação de I_{DS} , para este modelo, inclui ambas operações (linear e saturada), na mesma equação e utiliza um ajuste empírico que é $\tanh(\alpha V_{DS})$.

O modelo de Curtice é utilizado no Software PSPICE da MicroSim Corporation[18] como "level 1", sendo que ainda neste mesmo software o "level 2", utiliza o modelo de Raytheon e o "level 3" utiliza o modelo da "Triquint Semiconductors".

3.4.1 - PARAMETROS PARA O MODELO DE CURTICE

Com exceção do parâmetro b , todos os outros parâmetros utilizados no modelo de Curtice, são idênticos ao modelo de Raytheon (Statz et al.). A diferença existe quanto a equação de I_D utilizada por ambos os modelos.

Da mesma forma que para o modelo de Raytheon, no modelo de Curtice, os parâmetros em asteriscos estão relacionados diretamente com a área.

tabela 3.3 - parâmetros para o Modelo de CURTICE

nome	parâmetro	unid.	área
1	VT	threshold voltage	V
2	BETA	transcondutance parameter	A/V ² *
3	LAMBDA	channel length modulation parameter ...	1/V
4	ALPHA	saturation voltage parameter	1/V
5	RD	drain ohmic resistance	Ω *
6	RS	source ohmic resistance	Ω *
7	CGS	zero-bias G_S junction capacitance	F *
8	CGD	zero-bias G_D junction capacitance	F *
9	PB	gate junction effective built-in potential	V
10	IS	gate junction saturation current	A
11	KF	flicker noise coefficient	-
12	AF	flicker noise exponent	-
13	FC	coefficient for forward-bias depletion capacitance formula	-

3.4.2 - DEFINIÇÃO DOS PARÂMETROS DO MODELO DE CURTICE:

As definições dos parâmetros de Curtice são idênticas as dos parâmetros utilizados no modelo SPICE3 que é derivado do Modelo de Statz et al.

3.5 - COMPARAÇÃO ENTRE MODELOS:

Existem atualmente vários modelos, porém os mais utilizados, são os de Curtice, Raytheon e o de Shichman e Hodges (modificado para MESFET por Larson - SHL). O próprio Modelo de Curtice é derivado do Modelo Shichman e Hodges.

Além desses, existem os de, Shur[19], Materka[20] - este usado somente para dispositivos de Depleção, o modelo apresentado por McCamant et al.[21] e mais uma quantidade de modelos com pequenas variações nas suas equações, com intuito de melhorar o ajuste das curvas I - V.

O modelo de Curtice ou "tangente hiperbólica" foi um dos primeiros a ser implementado em um simulador de circuitos (SPICE), por volta de 1983 e segundo Paul Tuinenga[22], ganhou uma aceitação prematura. Este modelo é derivado do Modelo JFET, que por sua vez é baseado nas equações de Shichman e Hodges[23].

A diferença entre o modelo de Curtice e JFET está na adição do termo "tanh", que é uma função empírica, e é dado por:

$$\tanh(\alpha V_{DS}) \quad [30]$$

Esta modificação permite melhorar a transição entre a região linear e saturada, onde a saturação da corrente é dada segundo uma tangente hiperbólica:

$$I_{DS} = \beta(V_{GS} + V_T)^2 (1 + \Gamma V_{DS}) \tanh(\alpha V_{DS}) \quad [31]$$

onde o termo *tanh* é dependente somente de V_{DS} .

Desse modo a tensão de saturação será independente de V_{GS} e ocorrerá para uma tensão V_{DS} constante.

Este comportamento é típico para MESFET's com porta de comprimento pequeno[21]. Contrariamente, para transistores longos, vale o modelo JFET, onde V_{Dsat} varia gradualmente em função da expressão dada por:

$$V_{Dsat} = V_{GS} - V_T.$$

O novo parâmetro ALPHA, afeta a curva I-V, na região linear, e a tensão de saturação. O efeito na inclinação da curva I-V é dado pela derivada para um V_{DS} estimado em zero:

$$\delta I_{DS(0)} / \delta V_{DS} = \alpha \beta (V_G - V_T)^2 \quad [32]$$

Uma boa escolha de ALPHA, permite um bom ajuste na curva I-V, fazendo com que haja uma boa interação entre a região linear e saturada em função da inclinação da mesma.

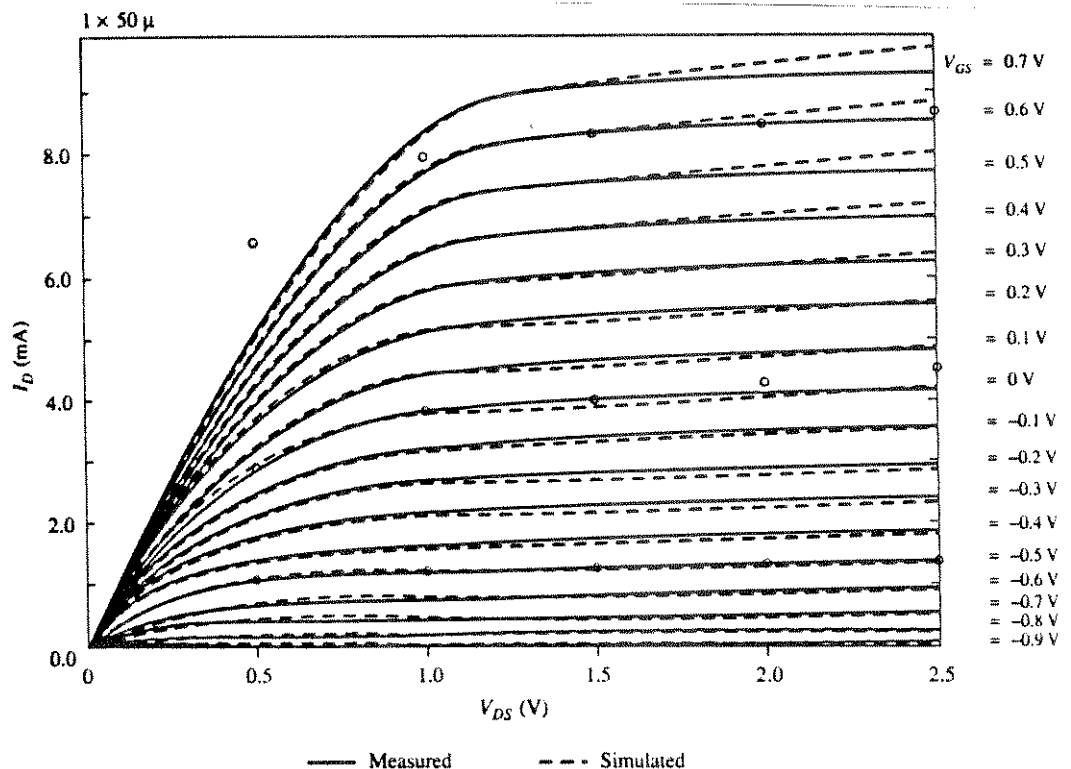


figura 3.9 - curvas I-V teórico/experimental do Modelo de Curtice

A figura 3.9 mostra o bom ajuste gerado pelo modelo de Curtice. Este resultado ocorre em função do ajuste do produto $\{\text{ALPHA } I_{DS}\}$

As capacitâncias para o Modelo de Curtice são simples:

A capacitância normal de junção pn é usada para a capacitância normal de porta-fonte e porta-dreno. A capacitância fixa é utilizada para o modelo de capacitância para dreno-fonte.

O modelo de Raytheon ou Statz como também é conhecido, é mais recente, cerca de 1986. Este modelo traz algumas vantagens sobre o Modelo de Curtice.

Em particular são duas as melhoras do Modelo de Raytheon sobre o Modelo de Curtice:

- (i) reformulação do ganho de corrente de dreno;
- (ii) o novo modelo de capacitância.

A fórmula de I_D (corrente de dreno) foi modificada adicionando-se ao denominador do primeiro termo a função $(1 + b(V_{GS} - V_T))$.

Assim para o Modelo de Curtice temos:

$$I_D = \beta(V_{GS} - V_T)^2 \quad [33]$$

No Modelo de Raytheon (Statz et al.), temos:

$$I_D = [(BV_{GS} - V_T)^2 / (1 + b(V_{GS} - V_T))] \quad [34]$$

Na equação de Statz[8], observamos que foi adicionado um denominador no primeiro termo (equação de I_{DS}). Este denominador aumenta se V_{GS} aumenta, reduzindo I_D proporcionalmente ao novo parâmetro b . O valor I_D para um V_{GS} pequeno começa com um comportamento de relação quadrática, semelhante aos modelo JFET e Curtice, porém, quando V_{GS} , começa a crescer, seu comportamento passa a ser linear. Com a adição do parâmetro b , as resistências R_S e R_D podem ser as reais e são usadas para representar as resistências parasitárias do canal, no lugar de emular o efeito de saturação da velocidade.

Por sua vez o último termo:

$$\tanh(x) \sim 1 - (1 - x/3)^2 \quad [35]$$

onde $x = \alpha V_{DS}$, é um ajuste polinomial da função \tanh , que permite maior velocidade computacional.

A figura 3.10, compara os dados teórico/experimentais de dispositivo similar ao da figura 3.9 simulado pelo Modelo de Raytheon. O erro apresentado na região linear é menor que 50mV para o MESFET auto-alinhado de depleção.

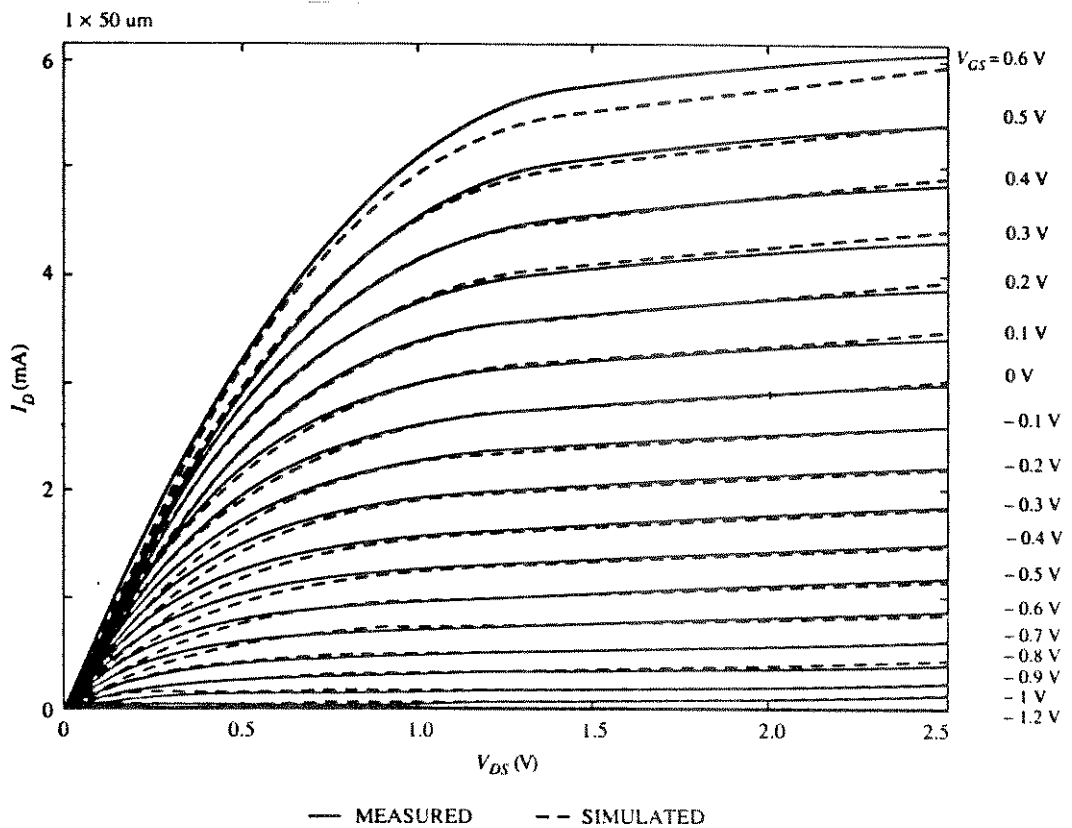


figura 3.10 curva IxV do Modelo de Raytheon

Enquanto Curtice e seus predecessores usaram o Modelo simples de Diodo para modelar as capacitâncias C_{GS} e C_{GD} , Statz et al. introduziram uma melhora significativa como explicitado no item 3.2.1.

Assim desta comparação pudemos perceber que o Modelo de Raytheon (Statz et al.), permite simulações mais rápidas dado a substituição da função \tanh por $[1-(1-x/3)^3]$, principalmente se os circuitos a serem simulados tiverem um número grande de dispositivos.

Adicionalmente, aumenta a precisão das simulações AC, dada a melhoria introduzida nos modelos das capacitâncias.

- [1] Estreich, D. B. (april/1983). "A Simulation Model for SD in GaAs Integrated Circuits" IEEE Transaction Computer-Aided Design, vol. CAD-2, pg.906;
- [2] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 81;
- [3] Ueno, K., Furatsuka, T., Toyoshima, H., Kanamori, M. e Higashiska, H. (1985). "A high transconductance GaAs MESFET with reduced short channel effect characteristics" IEEE Electronics Devices Meeting Technical Digest, pg. 52;
- [4] Yokoyama, N., Ohnishi, T., Odami, K., Onodera, H., e Abe, M. (1982) "Thin Silicide Gate Self-Alignment for Ultra-High-Speed MESFET LSI/VLSIs" IEEE Transactions Electr. Devices, Vol. ED-29, pg. 1541;
- [5] Ladbrooke, P. H. (1986) "GaAs MESFETs and HEMTs" Gallium Arsenide for Devices and Integrated Circuits;
- [6] Moran, P. W., Elliot, S. S., Wylie, N., Henderson, R. M. e del Alamo, J. D. (1991) "A process control methodology applied to manufacturing GaAs MMICs" IEEE Transactions on Semiconductor Manufacturing, vol. 4, pg. 304;
- [7] Statz, H., Newman, P., Smith, I. W, Pucel, R. A. e Haus, H. A. (1987) "GaAs FET Device and Circuit Simulation in Spice" IEEE Transactions on Electron Devices, ED-34, pg. 160;
- [8] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 100;
- [9] Van der Ziel, A. (1963) "Gate Noise in Field Effect Transistors at Moderately High Frequencies" Proceedings IEEE, vol. 51, pg. 461;
- [10] Shur, M. S. (1987) GaAs Devices and Circuits "Analytical Models of GaAs FET's", Plenum Press - New York, pg. 311;
- [11] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design" McGraw-Hill Publishing Company, New York, pg. 43;
- [12] Look, C. D. (1989) "Electrical Characterization of GaAs Materials and Devices", pg. 24, John Wiley and Sons Edt;
- [13] Kanapoulos, N. (1989) "Gallium Arsenide Digital Integrated Circuits" Prentice Hall, Englewood Cliffs, New Jersey, pg. 30;
- [14] Curtice, W. R. (1980) "A MESFET model for use in the design of GaAs Integrated Circuits" IEEE Transactions in Microwave theory and techniques. MIT-28, pg. 448;
- [15] Van Tuyl, R. and Liechti, C. A. (1974) "Gallium Arsenide digital integrated circuits", Air Force Avionics Lab., AFSC, WPAFB, Tech Rept. AFAL-TR-74-40;
- [16] Shockley, W. (1952) "A Unipolar Field-Effect Transistor", Proc. IRE, Vol. 40, pg. 1365;
- [17] Turner, A. J. and Wilson, B. L. H. (1968). "Implications of carrier velocity saturation in a GaAs Field Effect Transistor", International Symp. GaAs and Related Compounds, Dallas, Tex.;
- [18] PSpice "Circuit Analysis Manual - Version 4.05" (jan/1991). MicroSim Corporation, pg. 97;
- [19] Shur, M. S. (jan/1985). "Analytical Models of GaAs FET's" IEEE Transactions on Electron Devices" vol. ED-32, nr. 1, pg. 79;
- [20] Materka, A. e Kacprzak, T. (feb/1985). "Computer Calculation of Large-signal GaAs FET Amplifier Characteristics" IEEE Transactions Microwave Theory and Techniques, vol. MTT-33, pg. 129;
- [21] McCamant, A. J., McCormack, G. D. e Smith, D. H. (june/1990). "A Improved GaAs MESFET Model for SPICE" IEEE Transactions Microwave Theory and Techniques, vol. MTT-38, pg. 1990;

- [22] Tuinenga, P. W. (1988). "*SPICE - A Guide to Circuit Simulation & Analysis Using PSpice*". PRENTICE HALL, Englewood Cliffs, NJ. pg. 134;
- [23] Shichman, H. and Hodges, D. A. (sept/1968). "*Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits*" IEEE Journal of Solid- State Circuits, vol. SC-3, pg.285

CAPITULO 4:

EXTRAÇÃO DE PARAMETROS SPICE

Neste capítulo tratamos de medidas e extração de parâmetros, para que possamos fazer simulações de novos dispositivos e circuitos.

Os parâmetros SPICE necessários para a simulação do desempenho dos circuitos, foram extraídos dos dispositivos processados no LPD, no Instituto de "Física Gleb Wataghin" e no Research Triangle Institute, NC - USA.

Estes parâmetros serão utilizados para simulações de circuitos integrados em Arseneto de Gálio que serão projetados e processados no LPD.

As simulações em todos os circuitos foram feitas usando o programa SPICE3, versão 3D2, da "University of California - Berkeley, USA, que utiliza o modelo de Statz et al. (ver Capítulo 3).

4.1 - EXTRAÇÃO DE PARAMETROS DE DISPOSITIVOS:

Partindo de transistores já processados no LPD e RTI, extraímos seus parâmetros.

4.1.1 - DISPOSITIVOS FABRICADOS NO LPD:

Os dispositivos produzidos no LPD, por processo RTP, foram resultado do trabalho de Mestrado descrito na dissertação "Difusão de Enxôfre em Arseneto de Gálio por Processamento Térmico Rápido"[1].

As etapas de processo para obtenção de dispositivos processados no LPD são as seguintes:

1. Difusão de Enxôfre sobre a lâmina de GaAs a uma temperatura de 860°C por 90s;
2. Caracterização das amostras por Efeito Hall e obtenção de perfil por "polaron";
3. Fotogravação normal para as marcas de alinhamento;

4. Formação de marcas de alinhamento;
5. Fotogração das mesas;
6. Formação de "mesas" por corrosão utilizando solução de HF:H₂O₂:H₂O(DI);
7. Metalização do Contato ôhmico de fonte e dreno;
8. Ajuste da corrente de saturação, através de corrosão química de H₂SO₄:H₂O₂:H₂O(DI);
9. Metalização de porta em Alumínio com espessura de 300nm;
10. Metalização das áreas de contato e solda (pads) feito em duas etapas. Na primeira evapora-se Cromo a uma espessura de 60nm e na segunda evapora-se Duro a uma espessura de 400nm.

O lay-out dos dispositivos processados no LPD está mostrado na figura 4.1. São quatro transistores MESFET de Depleção e um Diodo Schottky com as seguintes dimensões:

Transistores: W/L = 20/3 [µm], W/L = 5/3 [µm],
W/L = 20/2 [µm], W/L = 5/2 [µm]

A distância entre os metais de porta e contato fonte/dreno é de 2µm.

Diodo: W/L = 110/90 [µm]

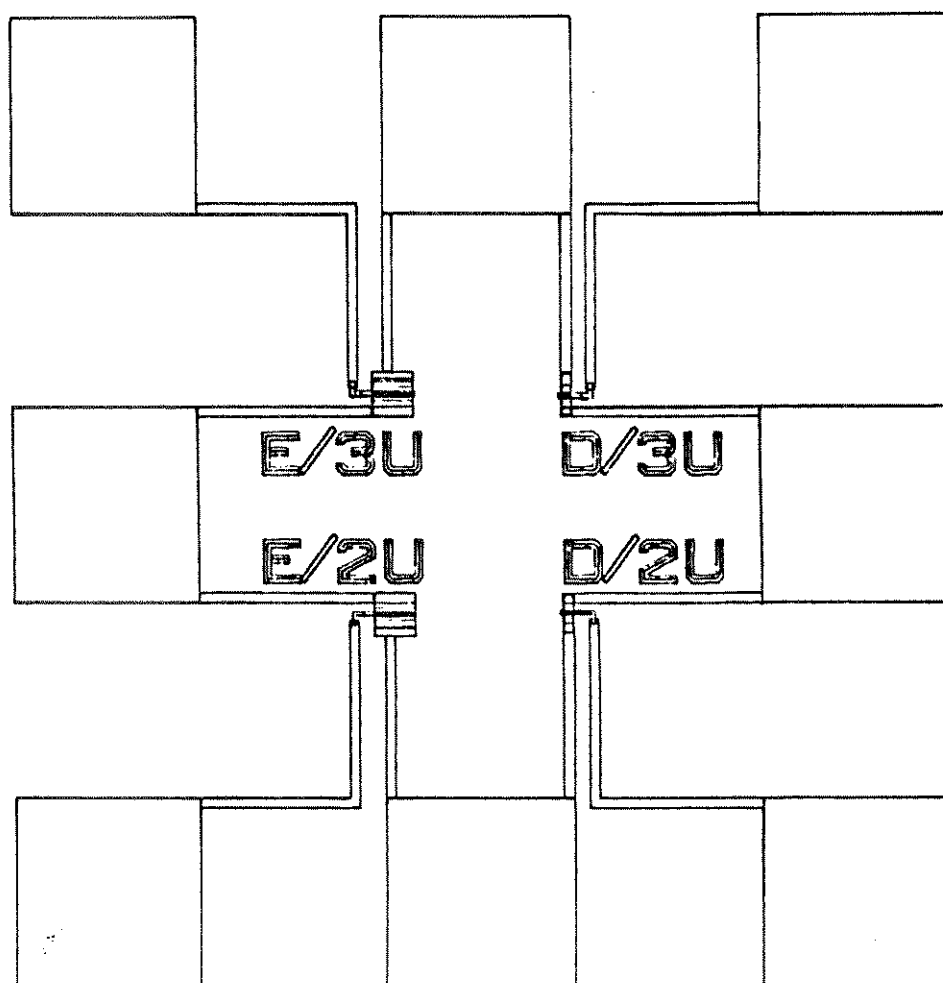
4.1.2 - DISPOSITIVOS FABRICADOS NO RTI:

Os dispositivos processados no RTI, NC-USA[2], foram caracterizados e seus parâmetros extraídos, vindo a contribuir na otimização dos procedimentos de obtenção de parâmetros.

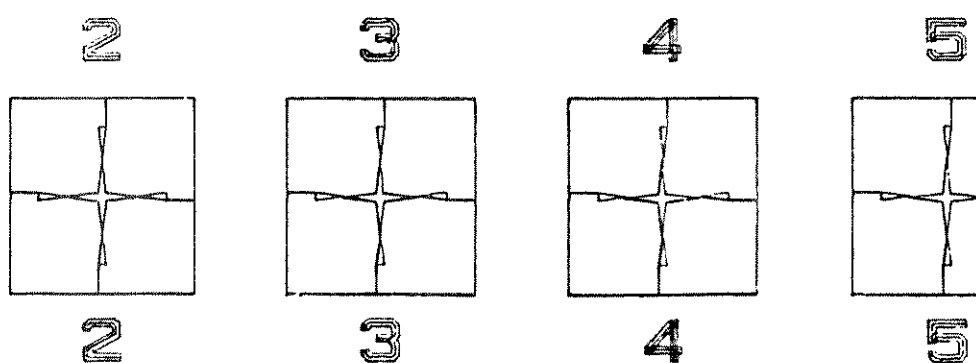
O processamento de MESFET's no RTI, foram obtidos através das etapas abaixo relacionadas:

1. Trabalho baseia-se em processo MESFET como proposto em [3,4];
2. O processo parte de um substrato de GaAs S.I. onde são crescidas as seguintes camadas por MOVPE a baixa pressão:

30nm	n ⁺ (Te + Si)	5 a 10E18	- capa
150nm	n (Si)	5E17	- canal
50nm	p (C)	1E17	- barreira
50nm	n ^o dopado		- buffer



TRANSISTORES DE TESTE



Os transistores de teste desenhados e processados no LPD possuem dimensões [W/L] $3/20[\mu\text{m}]$, $2/20[\mu\text{m}]$, $3/5[\mu\text{m}]$, $2/5[\mu\text{m}]$ e estão representados por E/3U ($3/20[\mu\text{m}]$), E/2U ($2/20[\mu\text{m}]$), D/3U ($3/5[\mu\text{m}]$) e D/2U ($2/5[\mu\text{m}]$), respectivamente.

figura 4.1 - lay-out dos transistores MESFET do LPD

3. Formação dos contatos ôhmicos de fonte/dreno (Au/Ni/AuGe) por "lift-off";
4. Recozimento de "alloy";
5. Formação de mesas de isolamento (X = 220nm);
6. Definição das áreas de porta;
7. "etch" de "gate recess" em solução de $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$;
8. Metalização de porta (Au/Ti) e "lift-off";
9. Metalização (Au/Ti) para interconexão.

Um dos dispositivos processados no RTI (lay-out) está na figura 4.2. Foram feitos dois transistores MESFET de Depleção com as seguintes dimensões:

$W/L = 10/2$ [μm], $W/L = 10/1$ [μm]

A distância entre os metais de porta e de contato fonte/dreno é de $1\mu\text{m}$.

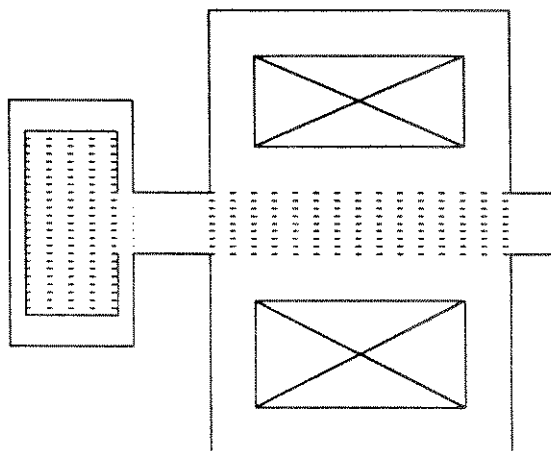


figura 4.2 - Lay-out dos dispositivos MESFET processados no RTI,NC

4.2 - PROCEDIMENTOS GERAIS PARA EXTRAÇÃO DE PARAMETROS:

Utilizamos a estrutura atual do Laboratório 39, que possui Mesa com Microponteiras Semi-Automática - EG-680, Semiconductor Parameter Analyzer - HP4145B, 1MHz Digital LCR Meter - HP4271A, e um microcomputador como mostra a figura 4.3.

A "estação de testes" permite medir parâmetros DC de transistores e diodos. As curvas contendo parâmetros que foram medidas através do HP-4145B,

são: $I - V$; transcondutância; curvas para extração de resistência de fonte e dreno.

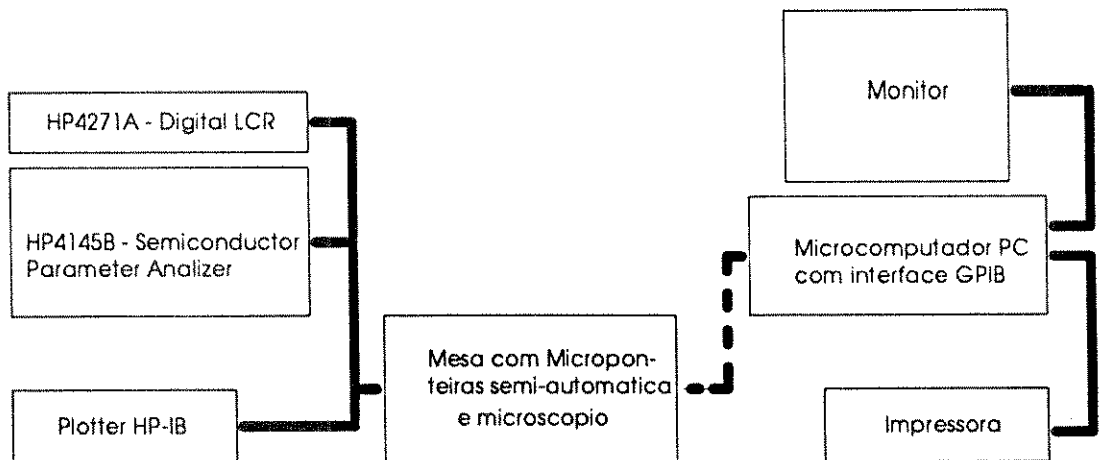


figura 4.3 - estação de testes

Como exemplo, as figuras 4.4.a, 4.4.b e 4.4.c mostram a programação do HP4145B para obtenção de curvas do tipo $I_D \times V_{DS}/V_{GS}$ e o resultado final através do Plotter na figura 4.4.d para posterior extração de parâmetros.

Partindo das medidas é possível com as curvas, extrairmos parâmetros para a tabela 3.1 (capítulo 3 - página 40), Modelo MESFET/SPICE3.

4.3 - MEDIDAS DOS DISPOSITIVOS E EXTRAÇÃO DE PARÂMETROS:

Neste item, passamos às medidas experimentais com os dispositivos processados no LPD e no RTI. Tomamos até (cinco) dispositivos de cada tipo (LPD - 20/3 [μm] e 20/2 [μm], RTI - 10/2 [μm] e 10/1 [μm]) e após obtermos os parâmetros de cada um deles, fizemos a média aritmética de cada um dos tipos.

As medidas e extração de parâmetros são feitas colocando-se a pastilha processada com os dispositivos na mesa de microponteiros e conectando-se as pontas de prova sobre a fonte, dreno e porta do dispositivo.

*** CHANNEL DEFINITION ***

CHAN	NAME		SOURCE	
	V	I	MODE	FCTN
SMU1	VS	IS	COM	CONST
SMU2	VDS	ID	V	VAR1
SMU3	VG	IG	V	VAR2
SMU4	VF	IF	V	CONST
Vs 1		-----	V	
Vs 2		-----	V	
Vm 1		-----	-----	-----
Vm 2		-----	-----	-----

USER FCTN	NAME (UNIT) = EXPRESSION
1	_____ () =
2	_____ () =

figura 4.4.a - configuração dos canais

***** SOURCE SET UP *****

	VAR1	VAR2
NAME	VDS	VG
SWEEP MODE	LINEAR	LINEAR
START	.0000V	.5000V
STOP	3.0000V	-----
STEP	.0500V	- .2500V
NO. OF STEP	61	8
COMPLIANCE	5.000mA	1.000uA

CONSTANT	SOURCE	COMPLIANCE
VS COM	.0000V	105.0mA
VF V	-3.0000V	1.000mA

figura 4.4.b - configuração dos transientes para V_{DS} e V_G

**** MEAS & DISP MODE SET UP ****

MEASUREMENT MODE: SWEEP

DISPLAY MODE: GRAPHICS

	X axis	Y1axis	Y2axis
NAME	VDS	ID	
SCL	LINEAR	LINEAR	
MIN	.0000V	.000 A	
MAX	3.0000V	800.0uA	

figura 4.4.c - configuração dos eixos X e Y

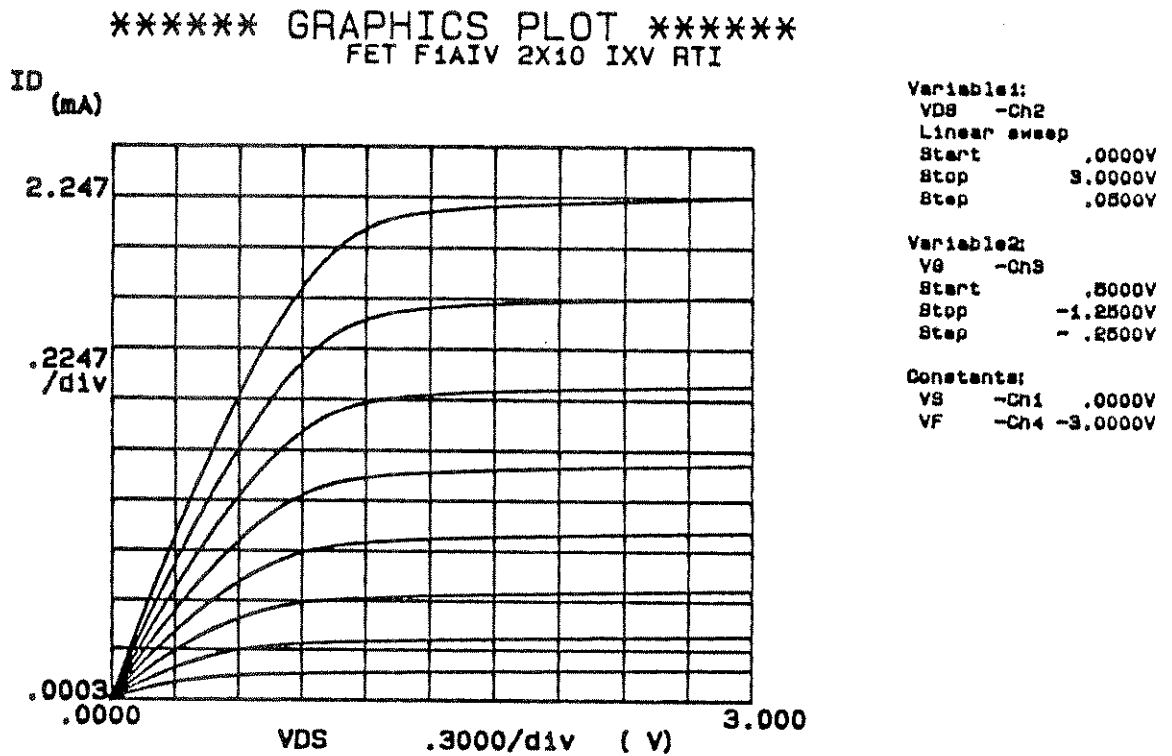


figura 4.4.d - gráfico de transistor MESFET - I_D x V_{DS}

Carregado o programa, passamos a observação das curvas obtidas. Em seguida salvamos as curvas obtidas em disquete para posterior análise.

4.3.1 - CARACTERIZAÇÃO DO TRANSISTOR - $W/L = 20/3$ [μm] - LPD

O transistor a ser caracterizado é do tipo depleção e aparece na figura 4.1 com a legenda E/3U

Juntamente com a extração dos parâmetros do transistor (LPD - $W/L = 20/3$ [μm]), apresentamos a descrição detalhada dos procedimentos e métodos empregados.

4.3.1.1 - OBTENÇÃO DAS CURVAS $I_D \times V_{DS}$

O primeiro passo foi tomar as curvas $I_D \times V_{DS}$, variando-se V_{GS} , como mostra a figura 4.5

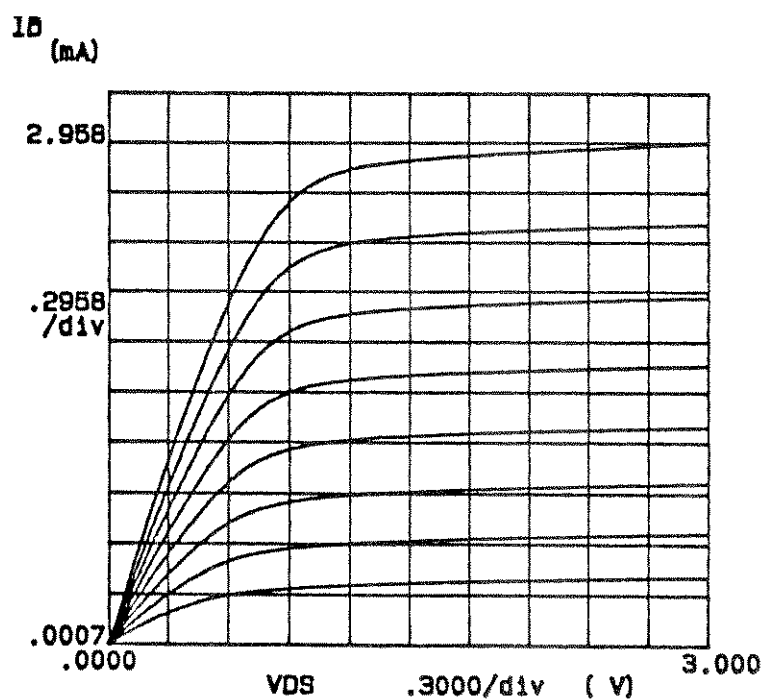


figura 4.5 - curva $I_D \times V_{DS}$ de um dispositivo $W/L = 20/3$ [μm]

Como o sistema de aquisição de dados entre o microcomputador e os instrumentos de medição, não estavam implementados para extração automática

(IEEE488 - GPIB - General Purpose Interface Bus), os valores de I_{DS} para dados valores de V_{DS} e V_{GS} foram extraídos manualmente como mostra a tabela 4.1. Deve-se observar que foram tomados pontos da região linear e saturada de cada curva, assim os pontos vão de 0.1 a 1.2V e de 2.0 a 3.0V.

tabela 4.1 - valores de I_{DS} versus V_{DS} e V_{GS} medidos no MESFET W/L = 20/3 [μm] processado no LPD

nº	V_{GS}	0.5	0.25	0.0	-0.25	-0.50	-0.75
	V_{DS}	I_D					
01	3.0	2.805	2.156	1.666	1.299	0.8300	0.4778
02	2.9	2.799	2.151	1.661	1.222	0.8232	0.4703
03	2.8	2.795	2.146	1.653	1.214	0.8232	0.4639
04	2.7	2.790	2.140	1.646	1.207	0.8146	0.4587
05	2.6	2.784	2.133	1.639	1.200	0.8056	0.4537
06	2.5	2.779	2.128	1.632	1.193	0.7976	0.4480
07	2.4	2.773	2.123	1.626	1.186	0.7881	0.4421
08	2.3	2.767	2.117	1.619	1.181	0.7815	0.4371
09	2.2	2.761	2.111	1.612	1.173	0.7746	0.4326
10	2.1	2.754	2.105	1.604	1.167	0.7656	0.4286
11	2.0	2.746	2.098	1.598	1.156	0.7532	0.4246
12	1.2	2.584	2.007	1.532	1.087	0.7063	0.3936
13	1.1	2.504	1.968	1.514	1.076	0.6997	0.3905
14	1.0	2.393	1.904	1.483	1.063	0.6918	0.3874
15	0.9	2.254	1.815	1.435	1.040	0.6832	0.3836
16	0.8	2.090	1.701	1.362	1.004	0.6705	0.3791
17	0.7	1.901	1.562	1.266	0.9500	0.6500	0.3716
18	0.6	1.690	1.401	1.146	0.8776	0.6154	0.3611
19	0.5	1.458	1.217	1.005	0.7828	0.5640	0.3424
20	0.4	1.205	1.012	0.8413	0.6677	0.4926	0.3113
21	0.3	0.9302	0.7876	0.6588	0.5307	0.4003	0.2632
22	0.2	0.6371	0.5432	0.4569	0.3732	0.2868	0.1956
23	0.1	0.3253	0.2792	0.2363	0.1952	0.1526	0.1074

O procedimento de extração destes valores é feito da seguinte forma:

Carrega-se o arquivo de dados (DF5512A), que se encontra armazenado em disquete no HP4145B. Com o gráfico $I_D \times V_{DS}$, tecla-se a softkey <EXTN>, em seguida a softkey <MARKER>. O marker aparece sobre o ponto 0 ($y=0, x=0$), a partir daí girando-se o botão de deslocamento do marker, vamos lendo os valores mostrados no display.

4.3.1.2 - MEDIDAS PARA OBTENÇÃO DE $R_S + R_D$:

Os valores de Resistência, são obtidos, tomando-se as curvas $I_D \times V_{DS}/V_{GS}$ no início da sua região linear, como mostra a figura 4.6. Pela relação entre os valores de V_{DS} por I_{DS} , obtemos o valor das resistências ($R_{TOTAL} = R_S + R_D + R_{ch}$). Note que o valor de V_{DS} usado foi o mesmo para todas as curvas tomadas como mostra a tabela 4.2.

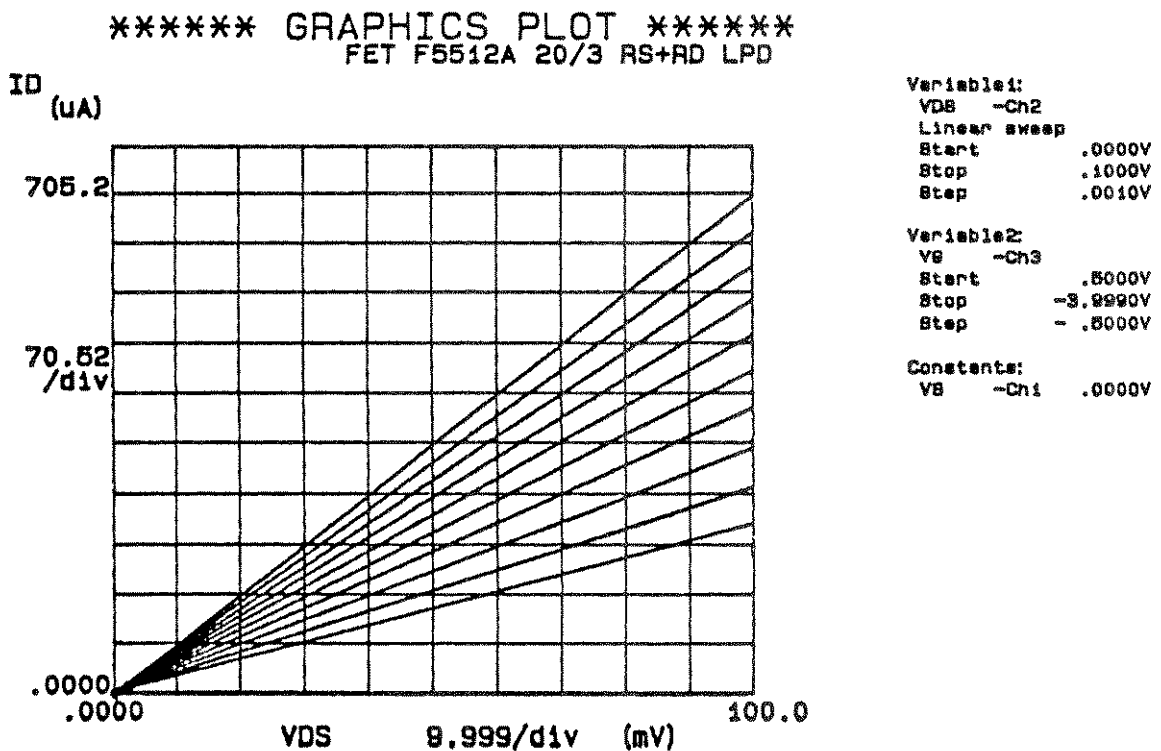


figura 4.6 - curvas $I_D \times V_{DS}$ da região linear do dispositivo

tabela 4.2 - valores de de I_D , V_{DS} , V_{GS} e R_{TOTAL}

nº	I_D	V_{DS}	V_{GS}	R_{TOTAL}
1	173.9µA	0.05V	0.50V	287.5Ω
2	149.0µA	0.05V	0.25V	335.6Ω
3	123.9µA	0.05V	0.0V	403.6Ω
4	99.59µA	0.05V	-0.25V	502.1Ω
5	76.19µA	0.05V	-0.50V	656.3Ω
6	53.77µA	0.05V	-0.75V	929.9Ω

4.3.1.3 - EXTRAÇÃO DOS PARÂMETROS:

Após as medidas realizadas de $I_D \times V_{DS}$ e R_{TOTAL} , extraímos os demais parâmetros SPICE, que são: V_T , $ALPHA$, $BETA$, b , $LAMBDA$, R_D e R_S .

Dessa forma inserimos os dados da tabela 4.1 no "Programa de Ajuste dos Parâmetros SPICE" (Apêndice B - pág. 4-B). Do programa obtivemos os parâmetros mostrados na tabela 4.3. Nos itens 4.3.1.4 e 4.3.1.5 apresentamos o método de extração desenvolvido.

tabela 4.3 - parâmetros extraídos dos dispositivos do LPD - $W/L=20/3[\mu m]$

parâmetr	BETA	V_T	b	ALPHA	LAMBDA	R_S	R_D
	A/V ²	V	1/V	1/V	1/V	Ω	Ω
disp1	4.00E-4	-1.60	3.84E-2	1.97	3.64E-2	44	44
disp2	3.87E-4	-1.50	1.10E-1	2.00	3.68E-3	40	40
disp3	3.90E-4	-1.87	9.44E-2	1.83	1.81E-2	46	46
disp4	7.73E-4	-1.51	5.56E-2	1.92	3.49E-3	42	42
média	5.87E-4	-1.47	7.46E-2	1.93	1.60E-2	48	48
normal.	2.93E-5	-1.47	7.43E-2	1.93	1.60E-2	880	880

A tabela 4.3 mostra os parâmetros obtidos dos quatro dispositivos e a média aritmética e os mesmos normalizados para $W = 1$ micron.

Tomando os parâmetros do "disp2" (tabela 4.3) fizemos a comparação da curva medida com a curva simulada (Software SPICE3-D2), onde o erro médio relativo foi de 4.5% e o erro absoluto foi de $50\mu\text{A}$, o que representa cerca de 1.8% da máxima corrente de saturação de dreno que é de 2.8mA no ajuste das curvas. A figura 4.7 mostra a curva I-V medida e simulada.

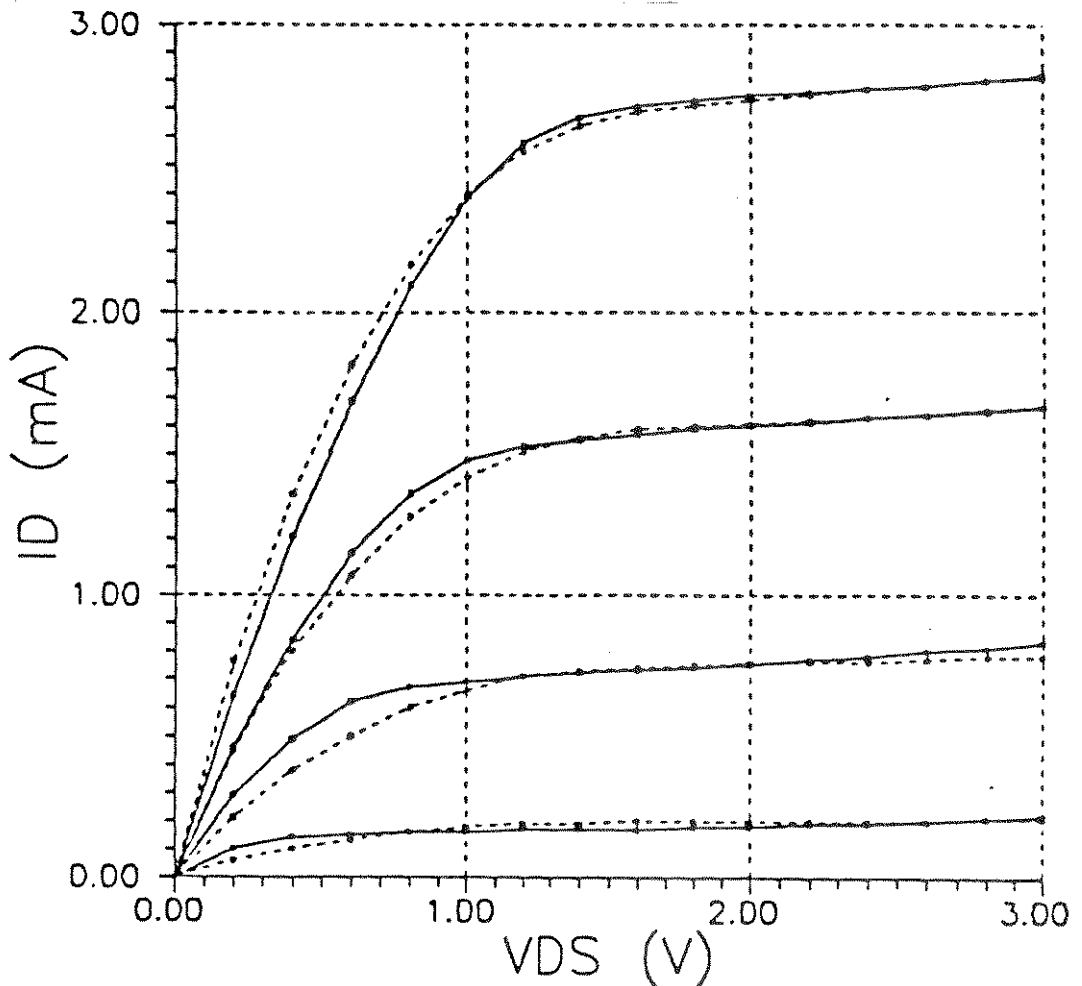


figura 4.7 - Curva $I_D \times V_{DS}$ medida (linhas cheias) e $I_D \times V_{DS}$ simulada (linhas tracejadas) do "disp2"

4.3.1.4 - USO DOS PROGRAMAS DE AJUSTES DOS PARÂMETROS:

Para que sejam ajustados os parâmetros medidos, utilizamos dois programas escritos em linguagem "PASCAL".

O primeiro, "Programa de Ajustes dos Parâmetros SPICE" (apêndice B) permite extrair os parâmetros V_T , ALPHA, BETA, LAMBDA e b .

O segundo, "Programa para Cálculo de $R_s + R_D$ " permite extrair os valores de $R_s + R_D$ (apêndice C).

Inicialmente inserimos os dados obtidos da tabela 4.1 em um arquivo de dados (.DAT). A seguir executamos o Programa de Ajustes dos Parâmetros SPICE, que lê o arquivo de dados previamente gravado.

O programa de ajuste irá pedir os valores de R_s e R_D . Por serem desconhecidos estes valores os mesmos são inseridos com valor zero.

Os parâmetros *ALPHA*, *BETA* e *LAMBDA* são afetados pelos valores de R_s e R_D , e portanto não são corretos. Os parâmetros V_T e b não são afetados. O valor obtido de V_T será usado para o cálculo das resistências.

O passo seguinte é a obtenção de R_s e R_D com os dados da tabela 4.2 (R_{TOTAL} e V_{DS}), e o valor de V_T e V_{bi} . Os dados são inseridos no "Programa para Cálculo de $R_s + R_D$ ".

Com o valor obtido de $R_s + R_D$, calculamos o valor médio de R_s e R_D , dividindo por dois, considerando a simetria da porta (é uma aproximação).

Executamos novamente o Programa de Ajustes dos Parâmetros SPICE, desta vez inserindo os valores de R_s e R_D . Os parâmetros *ALPHA*, *BETA* e *LAMBDA* obtidos serão os valores corretos, corrigidos pela influência de R_s e R_D .

4.3.1.5 - FUNCIONAMENTO DOS PROGRAMAS DE AJUSTE:

PROGRAMA DE EXTRAÇÃO DE PARÂMETROS SPICE:

O "Programa de Extração de Parâmetros SPICE" foi escrito de forma modular, ou seja, em blocos distintos para cada grupo de parâmetros

O programa inicia-se perguntando ao usuário, qual tipo de erro a ser calculado, se absoluto ou relativo.

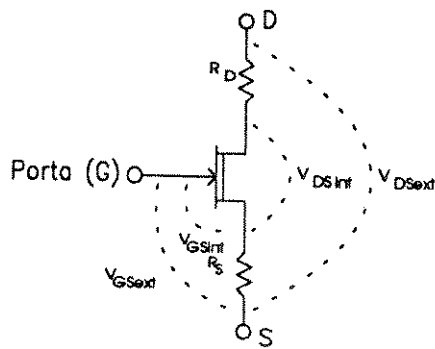
Para erro absoluto temos:

$$\text{Erro}_{abs} = P_{to\ calc} - P_{to\ med} \quad [36]$$

E para erro relativo, temos:

$$\text{Erro}_{rel} = P_{to\ calc} - P_{to\ med} / P_{to\ med} \quad [37]$$

O ajuste dos parâmetros é sempre feito otimizando-se um dos erros acima (escolhido pelo usuário).



O passo seguinte é calcular as tensões V_{DS} e V_{GS} no MESFET intrínseco (figura 4.8). Isso é feito, introduzindo-se os valores de R_S e R_D , que o programa utiliza para fazer o seguinte cálculo:

figura 4.8 - modelo MESFET

$$V_{DSint} = V_{DS} - I_D(R_S + R_D) \quad [38]$$

$$V_{GSint} = V_{GS} - I_D R_S \quad [39]$$

Sendo que V_{DSint} e V_{GSint} são as tensões usadas sobre o MESFET intrínseco, que serão usadas no cálculo dos parâmetros. É montada uma matriz de tensão V_{DSint} e V_{GSint} para a região linear, pois I_D varia e as tensões são corrigidas ponto a ponto. Já na região de saturação não é necessário pois I_D é aproximadamente constante (usamos um vetor para V_{DSint} e V_{GSint}).

A seguir o programa faz uma primeira estimativa de V_T , usando um regressão linear (modelo JFET), onde $V_{DS} = \text{constante}$, tomando a primeira curva I-V dada pela equação:

$$\sqrt{I_D} = \beta^*(V_G - V_T) \quad [40]$$

que equivale a equação da reta:

$$y = ax + b \quad [41]$$

Aqui é extraída a primeira estimativa de V_T . Depois de estimado o valor de V_T , passa-se ao seu ajuste. Isso é feito procurando-se um intervalo que contenha um ponto de mínimo no erro de ajuste.

Usamos uma curva do tipo:

$$I_D \times V_{DS} \quad \Bigg| \quad V_{DSsat} = cte$$

A procura é feita, tomando-se valores para V_T que são: V_T , $V_T + 0.1$ e $V_T + 0.2$, onde V_T é o valor previamente estimado. Os erros de ajuste são calculados nestes três pontos. Assim o programa varia V_T , procurando um intervalo que contenha um ponto de mínimo.

Achado o intervalo, o programa passa a procurar o ponto de mínimo dentro do intervalo. A procura é feita bi-partindo-se o intervalo, calculando numericamente a derivada do erro. Esta, a derivada, indica qual das duas metades devem ser mantidas. Isto ocorre até que o intervalo seja $< 500 \mu V$.

O ajuste de $LAMBDA$, utiliza a bi-partição de intervalo variando-se de 1 a zero. Ao bi-particionar o intervalo, tomando o valor médio de $LAMBDA$ e tomando os pontos da região saturada calcula-se juntamente os valores de $BETA$ e b para cada um dos valores de V_{DSsat} .

Assim, tomando-se um valor médio de $LAMBDA$ são calculados os valores de $BETA$ e b e o cálculo do erro de ajuste.

Dessa forma, bi-partindo-se o intervalo e otimizando-se o erro de ajuste, temos um valor ótimo de $LAMBDA$.

A bi-partição termina, quando $LAMBDA/LAMBDA_{médio}$, é menor que $10E-3$.

Dessa forma obtemos os valores de V_T , b , $BETA$ e $LAMBDA$.

O ajuste de *ALPHA* é feito tomando-se um intervalo de 20 à 0.1. A partir daí o intervalo é bi-partido e calcula-se o erro de ajuste. No erro de ajuste utiliza-se a equação de Statz et al. para região linear usando os valores obtidos de V_T , *LAMBDA*, *BETA* e *b*.

O critério de parada da bi-partição ocorre quando a variação de $ALPHA < 10E-3$.

Por fim são calculados os erros de ajuste relativo (%) e erro absoluto (A).

Resumindo, o erro de ajuste é calculado empregando a equação de Statz et al. para a região adequada (saturada ou linear) do transistor.

O erro absoluto, é obtido pelo calculo da corrente no ponto, usando os valores dos parâmetros naquele instante e subtraindo-se do valor medido no mesmo ponto.

Para obtenção do erro relativo, a diferença é dividida pelo valor do ponto medido.

PROGRAMA DE EXTRAÇÃO DE $R_S + R_D$:

Este programa extrai a soma das resistências R_D e R_S , fazendo uma regressão linear.

Partindo da equação[5]:

$$R_{TOTAL} = R_D + R_S + 1/G_o(1 - \sqrt{\eta}) \quad [42]$$

onde:

$$n = (V_{b1} - V_{b2}) / (V_{b1} - V_T) \quad [43]$$

G_o = Condutância do Canal totalmente aberto.

Inicialmente V_T é ajustado suavemente para que os pontos da curva produzam uma reta do tipo $y = ax + b$, onde $b = R_S + R_D$. Este ajuste é feito pela equação:

$$R_{ch} = 1 / (1 - \sqrt{\eta}) \quad [44]$$

Este programa aplica-se para obtenção de valores de resistência para MESFET's com canais de dopagem uniforme, uma vez que a equação utilizada para canais de dopagem não-uniforme é diferente[6].

Para MESFET's com "canais de dopagem não uniforme"[7], o Programa de Extração de Resistências usado encontra-se no Apêndice da Dissertação de Mestrado "Difusão de Enxôfre em Arseneto de Gálio por Processamento Térmico Rápido"[8].

4.3.2 - TRANSISTOR MESFET - W/L = 20/2 [μm] - LPD

O transistor a ser caracterizado é do tipo depleção e aparece na figura 4.1 com a legenda E/2U.

4.3.2.1 - EXTRAÇÃO DOS PARÂMETROS:

O procedimento de extração dos parâmetros SPICE, são os mesmos utilizados no item 4.3.1 e os resultados estão contidos na tabela 4.4.

tabela 4.4 - parâmetros extraídos dos dispositivos do LPD - W/L=20/2[μm]

parâmetr	beta A/V ²	V _r V	b 1/V	alpha 1/V	lambda 1/V	RS Ω	RD Ω
disp1	9.41E-4	-1.18	2.27E-1	1.006	3.42E-2	45	45
disp2	6.10E-4	-1.65	1.40E-1	1.660	4.79E-2	40	40
disp3	7.65E-4	-1.69	3.54E-2	1.215	2.80E-2	56	56
média	7.72E-4	-1.50	1.34E-1	1.176	3.67E-2	47	47
normal.	3.86E-5	-1.50	1.34E-1	1.176	3.67E-2	940	940

A tabela 4.4 mostra os parâmetros obtidos dos três dispositivos e a média aritmética, além da normalização dos mesmos para W = 1 micron.

Tomando os parâmetros do "disp2" (tabela 4.4) fizemos a comparação da curva medida com a curva simulada (Software SPICE3-D2), onde o erro médio relativo foi de 6.5% e o erro absoluto foi de 46 μA ,

o que representa cerca de 2.1% da máxima corrente de saturação de dreno que é de 2.28mA no ajuste das curvas. A figura 4.9 mostra a curva I-V medida e simulada.

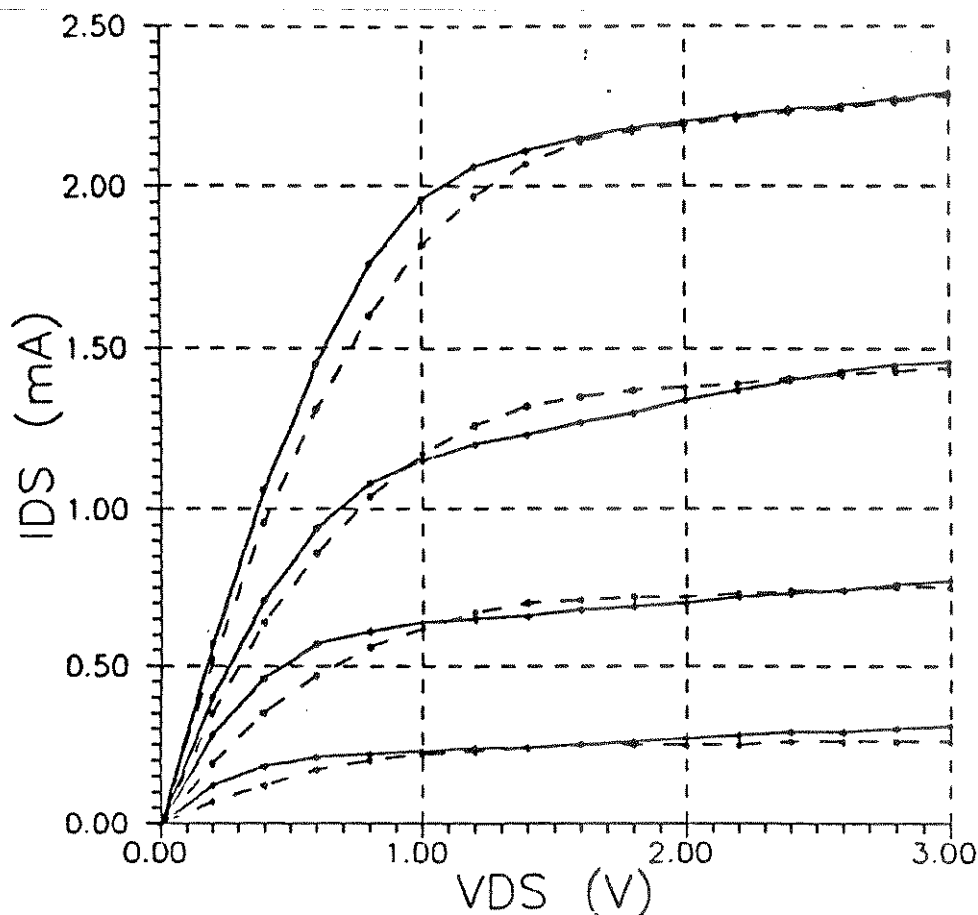


figura 4.9 - Curva $I_D \times V_{DS}$ medida (linhas cheias) e $I_D \times V_{DS}$ simulada (linhas tracejadas) do "disp2"

4.3.3 - TRANSISTOR MESFET - $W/L = 10/2$ [μm] - RTI

O transistor MESFET processado no RTI, a ser caracterizado possui dimensões $W/L = 10/2$ [μm] e encontra-se na figura 4.2.

O procedimento de extração dos parâmetros SPICE, são os mesmos utilizados no item 4.3.1, onde utilizou-se o programa para perfil de dopagem uniforme para extração de $R_s + R_D$ (Apêndice C). Os parâmetros obtidos estão na tabela 4.5.

A tabela 4.5 mostra os parâmetros obtidos dos quatro dispositivos e a média aritmética, além da normalização dos mesmos para $W = 1$ micron.

tabela 4.5 - parâmetros extraídos dos dispositivos do RTI - $W/L=10/2[\mu m]$

parâmetr	beta A/V ²	V _T V	b 1/V	alpha 1/V	lambda 1/V	R _s Ω	R _d Ω
disp1	5.77E-4	-3.03	1.78E-2	1.503	5.65E-3	42	42
disp2	8.57E-4	-2.47	1.89E-2	1.689	6.70E-3	73	73
disp3	5.08E-4	-1.76	4.40E-2	1.784	1.51E-2	48	48
disp4	5.45E-4	-3.01	2.20E-2	1.475	6.66E-3	40	40
média	6.21E-4	-2.56	2.57E-2	1.612	8.52E-3	51	51
normal.	6.21E-5	-2.56	2.57E-2	1.612	8.52E-3	510	510

Tomando os parâmetros do "disp3" (tabela 4.5) fizemos a comparação da curva medida com a curva simulada (Software SPICE3-D2), onde o erro médio relativo foi de 3.7% e o erro absoluto foi de 23μA, o que representa cerca de 1.0% da máxima corrente de saturação de dreno que é de 2.3mA no ajuste das curvas. A figura 4.10 mostra a curva I-V medida e simulada.

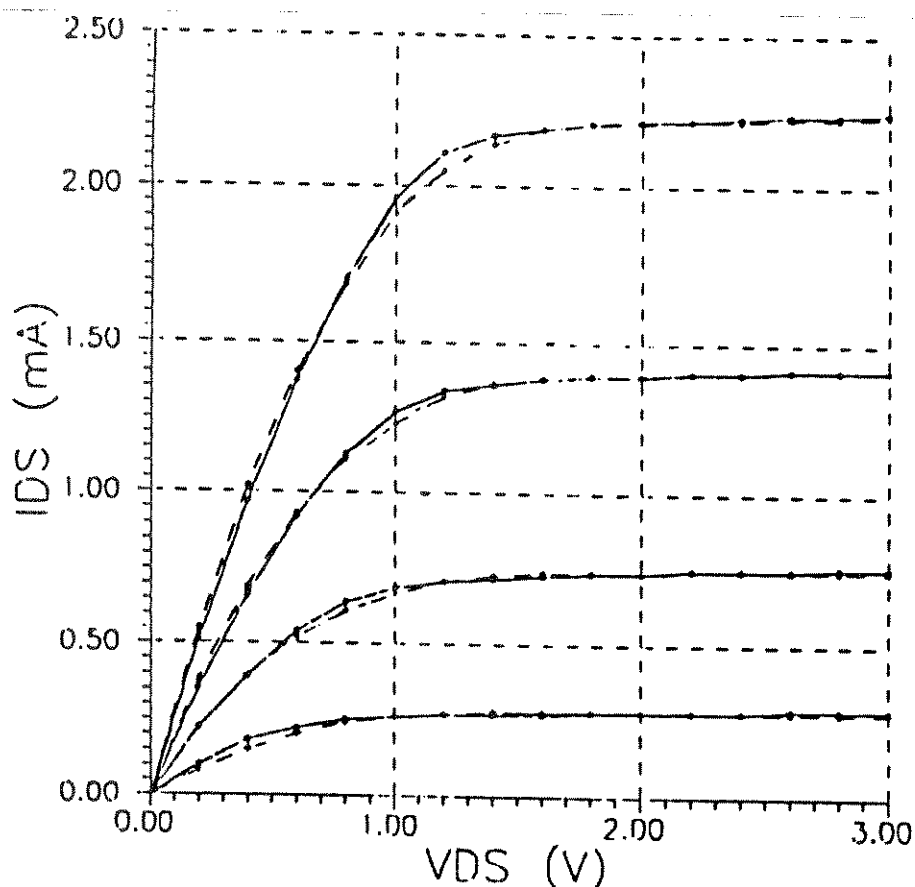


figura 4.10 - Curva $I_D \times V_{DS}$ medida (linhas cheias) e $I_D \times V_{DS}$ simulada (linhas tracejadas) do "disp3"

4.3.4 - TRANSISTOR MESFET - W/L = 10/1 [μm] - RTI

O transistor MESFET processado no RTI, a ser caracterizado possui dimensões W/L = 10/1 [μm] e é idêntico ao da figura 4.2, porém com porta L=1μm.

O procedimento de extração dos parâmetros SPICE, são os mesmos utilizados no item 4.3.1, onde utilizou-se o programa para perfil de dopagem uniforme para extração de $R_s + R_D$.

tabela 4.6 - parâmetros extraídos dos dispositivos do RTI - W/L=10/1[μm]

parâmetr	beta A/V ²	V _r V	b 1/V	alpha 1/V	lambda 1/V	R _s Ω	R _D Ω
disp1	1.04E-3	-1.57	3.72E-1	2.229	2.63E-2	46	46
disp2	6.98E-4	-2.83	1.01E-3	1.949	6.61E-3	38	38
disp3	5.07E-4	-2.17	6.08E-2	2.363	2.77E-2	50	50
disp4	4.44E-4	-3.51	3.68E-2	2.180	3.31E-3	38	38
média	6.72E-4	-2.52	4.70E-1	2.180	1.60E-2	43	43
param	6.72E-5	-2.52	4.70E-1	2.180	1.60E-2	430	430

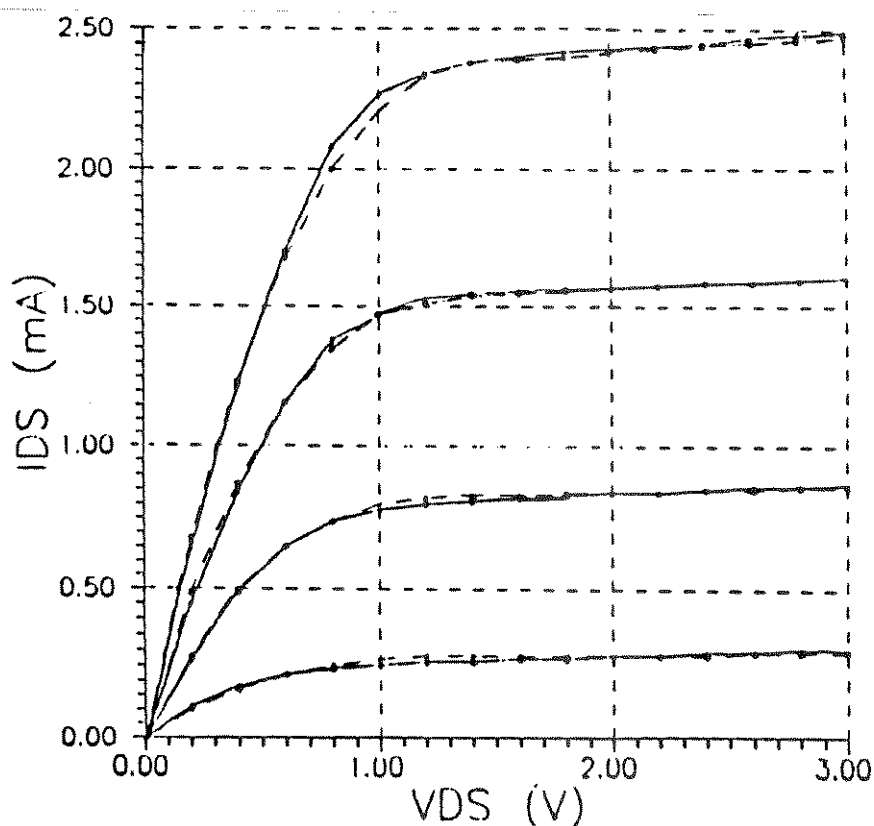


figura 4.11 - Curva $I_D \times V_{DS}$ medida (linhas cheias) e $I_D \times V_{DS}$ simulada (linhas tracejadas) do "disp1"

A tabela 4.6 mostra os parâmetros obtidos dos quatro dispositivos e a média aritmética, além da normalização dos mesmos para $W = 1$ micron.

Tomando os parâmetros do "displ" (tabela 4.6) fizemos a comparação da curva medida com a curva simulada (software SPICE3-D2), onde o erro médio relativo foi de 3.5% e o erro absoluto foi de $24\mu\text{A}$. Isto representa cerca de 1.0% da máxima corrente de saturação de dreno que é de 2.5mA no ajuste das curvas. A figura 4.11 mostra a curva I-V medida e simulada.

4.4 - PROCEDIMENTO DE EXTRAÇÃO DE PARÂMETROS DE DIODOS:

Aqui apresentamos uma breve descrição de como extrair parâmetros de diodos.

4.4.1 - EXTRAÇÃO DE PARÂMETROS PARA SBD:

A extração dos parâmetros I_s , n , R_s , C_{j0} , V_{bz} e m de forma experimental, é simples e direta.

A curva I - V (corrente x tensão), é plotada como $\log I_D \times V_D$, como mostra a figura 4.12.

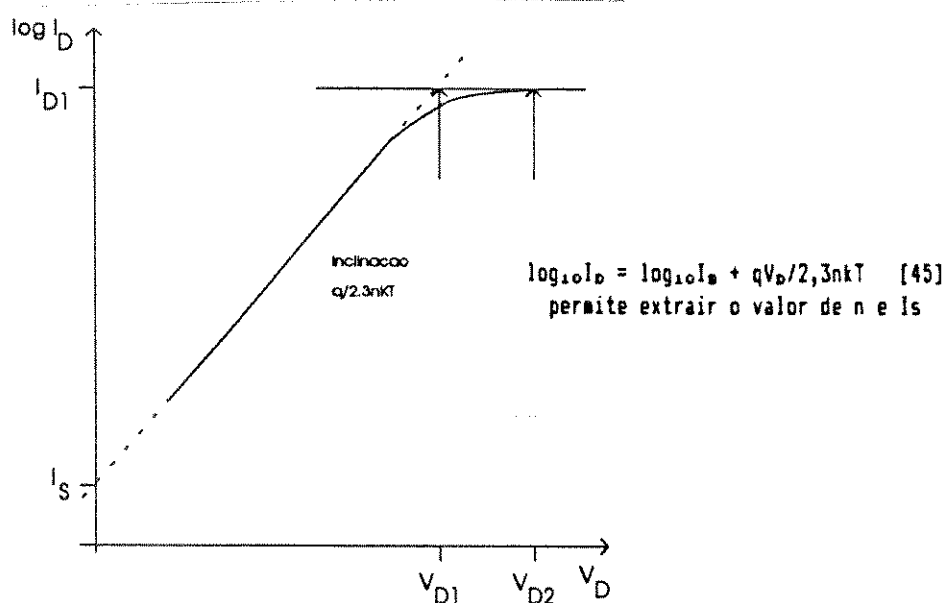


figura 4.12 - curva $\log I_D \times V_D$

Partindo da curva obtida na figura 4.12, obtemos as medidas de I_s , n e R_s , onde R_s é dado por[7]:

$$R_s = (V_{D2} - V_{D1})/I_{D1} \quad [46]$$

onde, para mesma corrente, extraímos a diferença entre duas tensões e dessa forma temos o valor de R_s , de acordo com o modelo do diodo (figura 3.1 - capítulo 3 - página 35).

A extração e medida de C_{j0} é obtida medindo-se C-V. Usando um capacitômetro digital para baixas frequências e aplicando-se um pequeno sinal de excitação ($\Delta V < 20\text{mV}$), podemos medir a capacitância de forma direta.

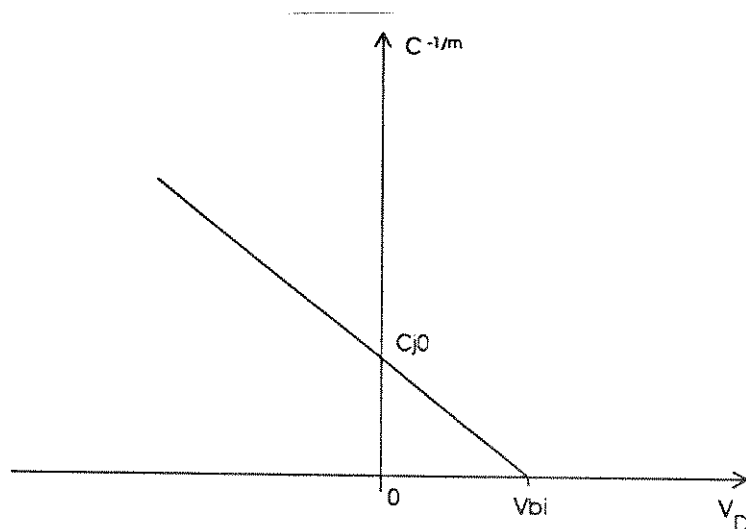


figura 4.13 - determinação de V_{bi}

Assim, a determinação de C_{j0} e V_{bi} , estimando um valor razoável para m e plotando $C_D^{-1/m} \times V_D$ na região reversamente polarizada, é realizado como mostra a figura 4.13.

4.4.2 - PARAMETROS PARA O MODELO SBD:

Dessa forma para um diodo de dimensões $W/L = 1/1$ [μm], temos os seguintes parâmetros[7].

Os parâmetros em "asteriscos" da tabela 4.7 são multiplicados pelo fator de área do diodo.

tabela 4.7 - parâmetros para o modelo SBD

	nome	parâmetro	unid.	área
1	IS	saturation current	1.0e-14 A	*
2	RS	ohmic resistance	1500 Ω	*
3	N	ideality factor	1.1	
4	TT	transit time	0 sec	
5	CJO	zero-bias junction capacitance	2 fF	*
6	VJ	built-in potential	0.8 V	
7	M	grading coefficient	0.5	

4.5 - PARAMETROS SPICE OBTIDOS:

Os parâmetros obtidos e normalizados estão nas tabelas abaixo, no formato SPICE para as equações de Statz et al.. Cada um deles tem o seu comprimento (L [μm]) respectivo, e estão normalizados para largura (W [μm]) = 1 micron, além de estar indicado em qual tipo de processo foram obtidos.

4.5.1 - TRANSISTOR MESFET - W/L = 20/3 [µm] - LPD

tabela 4.8 - parâmetros SPICE - dispositivos LPD

L=3µm e normalizado para largura (W) de 1micron

nome	parâmetro	unid.	área
1	VTO	threshold voltage	-1.5V
2	BETA	transconductance parameter	2.93E-5A/V ² *
3	B	doping tail extending parameter	7.46E-2/V
4	ALPHA	saturation voltage parameter	1.93/V
5	LAMBDA	channel length modulation parameter	1.60E-2/V
6	RD	drain ohmic resistance	880 Ω *
7	RS	source ohmic resistance	880 Ω *
8	CGS	zero-bias G_S junction capacitance .	1fF *
9	CGD	zero-bias G_D junction capacitance .	1fF *
10	PB	gate junction potencial	0.7V
11	IS	gate junction saturation current ...	1.0E-14 A *
12	KF	flicker noise coefficient	-
13	AF	flicker noise exponent	-
14	FC	coefficient for forward-bias depletion capacitance formula	0.33

4.5.2 - TRANSISTOR MESFET - W/L = 20/2 [µm] - LPD

tabela 4.9 - parâmetros SPICE - dispositivos LPD

L=2µm e normalizado para largura (W) de 1micron

nome	parâmetro	unid.	área
1	VTO	threshold voltage	-1.5V
2	BETA	transconductance parameter	3.86E-5A/V ² *
3	B	doping tail extending parameter	1.34E-1/V
4	ALPHA	saturation voltage parameter	1.17/V
5	LAMBDA	channel length modulation parameter	3.67E-2/V
6	RD	drain ohmic resistance	940 Ω *
7	RS	source ohmic resistance	940 Ω *
8	CGS	zero-bias G_S junction capacitance .	1fF *
9	CGD	zero-bias G_D junction capacitance .	1fF *
10	PB	gate junction potencial	0.7V
11	IS	gate junction saturation current ...	1.0E-14 A *
12	KF	flicker noise coefficient	-
13	AF	flicker noise exponent	-
14	FC	coefficient for forward-bias depletion capacitance formula	0.33

4.5.3. - TRANSISTOR MESFET - W/L = 10/2 [μm] - RTI

tabela 4.10 - parâmetros SPICE - dispositivos LPD

L=2 μm e normalizado para largura (W) de 1micron

nome	parâmetro	unid.	área
1	VTO	threshold voltage	-2.5 V
2	BETA	transconductance parameter	6.21E-5A/V ² *
3	B	doping tail extending parameter	2.57E-2/V
4	ALPHA	saturation voltage parameter	1.61/V
5	LAMBDA	channel length modulation parameter	8.52E-2/V
6	RD	drain ohmic resistance	510 Ω *
7	RS	source ohmic resistance	510 Ω *
8	CGS	zero-bias G_S junction capacitance .	1fF *
9	CGD	zero-bias G_D junction capacitance .	1fF *
10	PB	gate junction potencial	0.72V
11	IS	gate junction saturation current ...	1.0E-14 A *
12	KF	flicker noise coefficient	-
13	AF	flicker noise exponent	-
14	FC	coefficient for forward-bias depletion capacitance formula	1.1

4.5.4 - TRANSISTOR MESFET - W/L = 10/1 [μm] - RTI

tabela 4.11 - parâmetros SPICE - dispositivos RTI

L=1 μm e normalizado para largura (W) de 1micron

nome	parâmetro	unid.	área
1	VTO	threshold voltage	-2.5V
2	BETA	transconductance parameter	6.72E-5A/V ² *
3	B	doping tail extending parameter	4.70E-1/V
4	ALPHA	saturation voltage parameter	2.29/V
5	LAMBDA	channel length modulation parameter	1.60E-3/V
6	RD	drain ohmic resistance	430 Ω *
7	RS	source ohmic resistance	430 Ω *
8	CGS	zero-bias G_S junction capacitance .	1fF *
9	CGD	zero-bias G_D junction capacitance .	1fF *
10	PB	gate junction potencial	0.72V
11	IS	gate junction saturation current ...	1.0E-14 A *
12	KF	flicker noise coefficient	-
13	AF	flicker noise exponent	-
14	FC	coefficient for forward-bias depletion capacitance formula	1.1

4.7 - DISCUSSÃO DOS RESULTADOS OBTIDOS:

Mostramos neste capítulo os procedimentos para a caracterização de transistores MESFET e diodos Schottky e extração de parâmetros para a simulação SPICE.

A caracterização foi feita com o uso do Analisador de Parâmetros de Semicondutores (HP4145B), que nos forneceu as curvas típicas, $I_D \times V_{DS}$ para vários V_{GS} , $g_m \times V_{GS}$ para vários V_{DS} e $I_D \times V_{DS}$ na região linear para vários V_{GS} .

Alguns parâmetros foram extraídos diretamente das curvas dos transistores, como por exemplo R_D , R_S e V_{bi} . Outros parâmetros necessários para serem utilizados em simulações SPICE, foram extraídos usando programas desenvolvidos especialmente para esta função.

A simulação de curvas de um transistor usando o Software SPICE3-D2, com parâmetros obtidos da extração, resultou em pequeno erro, da ordem de 2% da máxima corrente de dreno ou em um erro de $\pm 50\mu A$, em termos absolutos.

Podemos concluir que os procedimentos de caracterização e extração nos fornecem bons parâmetros. Assim observamos pequenos erros de simulação, o que permitirá uma boa simulação de circuitos digitais usando MESFET's com auxílio do Software SPICE.

A escolha dos parâmetros para compor as tabelas de dados que farão parte do SPICE3 - Versão3D2, foram tirados das tabelas dos dispositivos (tab. 4.3, 4.4, 4.5 e 4.6). Para isto foi calculado a média entre dispositivos e normalizado os parâmetros de R_S , R_D e $BETA$.

Assim os valores médios dos dispositivos, tiveram seus dados inseridos nas tabelas 4.7, 4.8, 4.9 e 4.10 que se encontram no formato SPICE. Estes serão os dados a serem utilizados em futuras simulações

de dispositivos e circuitos para tecnologia de 110m ou 210m.

A dispersão apresentada entre dispositivos (parâmetros das tabelas) acreditamos existir principalmente pela difusão do Enxôfre por processo RTP na lâmina de GaAs nos dispositivos do LPD, e na decapagem do "gate recess" no processo RTI.

Os parâmetros listados nas tabelas 4.8, 4.9, 4.10 e 4.11 foram comparados considerando-se os dois processos e os diferentes comprimentos de canal.

Inicialmente comparamos os dispositivos processados no LPD versus os processados no RTI, com $L=210m$:

Os valores de BETA dos dispositivos processados no RTI são ligeiramente maiores. Isto ocorre devido ao fato do perfil de dopagem do processo do LPD ser uma função do tipo erro complementar[8], enquanto que os processados no RTI possuem dopagem uniforme. Os dispositivos processados no RTI possuem maior nível de dopagem em comparação aos processados no LPD (após o ataque para criar o "gate recess"). Isto por sua vez resulta em uma maior facilidade no movimento desta interface, gerando uma transcondutância maior. Beta varia inversamente ao comprimento do canal para ambos os processos. Esta dependência aumenta em função do aumento do comprimento do canal.

Da mesma forma podemos explicar o maior valor de b . Isto acontece como sendo resultante do perfil que no caso é menos abrupto em comparação aos dispositivos processados no RTI. A cauda ("tail") mais longa no perfil dos dispositivos processados no LPD faz com que o valor de b seja maior.

O parâmetro ALPHA para os dispositivos processados no LPD, com valor menor, pode ser explicado pela menor mobilidade e velocidade de saturação eletrônica dada a camada com difusão de enxôfre (S). É sabido que o enxôfre pode formar defeitos complexos, que são neutros ou aceitadores, o que diminui a mobilidade e velocidade de saturação[9].

aumentando a faixa de tensão de saturação, já que esta é função de u e V_s [10].

O parâmetro $LAMBDA$ dos dispositivos processados no LPD é muito maior que o dos dispositivos processados no RTI, isto pode ser explicado pela estrutura diferente de camadas usadas no processo de ambos os MESFET's. No RTI é crescida uma camada P sobre o substrato antes de ser crescida a camada N do canal. Esta camada P funciona como uma barreira de potencial e evita a injeção de portadores no substrato. Esta injeção resulta em uma corrente proporcional a tensão aplicada entre dreno e fonte e, portanto isto representa um incremento no valor de $LAMBDA$.

Nos dispositivos processados no LPD não existe a camada P , e o perfil apresenta uma cauda relativamente longa, o que facilita a injeção de portadores no substrato, fazendo com que o valor de $LAMBDA$ seja muito maior.

As diferenças entre R_s e R_D dos dispositivos processados no LPD e dispositivos processados no RTI, são resultantes do espaçamento entre porta-dreno e entre porta-fonte que é o dobro para os dispositivos processados no LPD.

A comparação feita entre dispositivos de mesmo processo, para o LPD foi feita entre dispositivos de $L=2\mu\text{m}$ e $L=3\mu\text{m}$.

Pudemos observar que os dispositivos de $L=2\mu\text{m}$ possuem um valor de $BETA$ maior, o que era esperado pois a transcondutância é uma função inversa ao comprimento de porta.

O valor de b praticamente não se altera, pois ele é uma função do perfil da cauda, que não se altera para diferentes valores de L .

O menor $ALPHA$, para $L=2\mu\text{m}$ pode ser explicado pelo efeito de canal curto. Dessa forma há uma maior

injeção de corrente no substrato, o que aumenta a corrente I_{DS} do dispositivo. O Programa de Ajuste dos Parâmetros SPICE, pode interpretar essa corrente como uma maior tensão de saturação e portanto apresentar um valor de $ALPHA$ menor.

O maior valor de $LAMBDA$ para $L=2\mu m$, é explicado da mesma forma (maior injeção de corrente para um L menor).

Quanto aos valores de R_S e R_D são iguais já que os espaçamentos não variam.

Finalmente comparamos os dispositivos processados no RTI que possuem $L=1\mu m$ e $L=2\mu m$.

O dispositivo de menor comprimento ($L=1\mu m$), apresenta maior $BETA$ pelas razões expostas anteriormente, o que é realmente observado.

O valor de b apresentou um comportamento anômalo devido a sua grande dispersão e sensibilidade a V_T . Era esperado que o valor de b permanecesse constante.

O maior valor de $ALPHA$ é decorrente do menor comprimento de porta. Como temos uma pequena injeção de portadores no substrato (devido a camada P), o efeito apresentado sobre os dispositivos processados no LPD com relação a $ALPHA$ (efeito canal curto), não ocorre nos dispositivos processados no RTI. Aqui temos um outro efeito, que é a diminuição da tensão de saturação, com a diminuição do comprimento da porta. Para dispositivos de canal saturado (caso do RTI), temos:

$$V_{DSsat} = F_s \cdot L$$

onde:

F_s = campo elétrico correspondente à velocidade de saturação.

O menor L , corresponde a um menor V_{DS} , e portanto a um maior $ALPHA$, pois:

$$\text{ALPHA} = 3/V_{DS}$$

O *LAMBDA* para o dispositivo com $L=1\mu\text{m}$ é maior que para o dispositivo com $L=2\mu\text{m}$ e é explicado da mesma forma que para os dispositivos processados no LPD.

Assim podemos concluir que:

- Os parâmetros dos transistores variam de acordo com o esperado fisicamente, para cada tipo de transistor, indicando que o modelo de Statz et al., é um bom modelo "físico".
- Embora os dispositivos do RTI apresentem uma transcondutância (ou *BETA*), um pouco menor, eles apresentaram as seguintes vantagens:

Redução dos efeitos de canal curto, maior condutância de saída;

Maior mobilidade e velocidade de saturação.

- [1] Lujan, A. S. (jan/1991) "Difusão de Enxofre em Arseneto de Gálio por Processamento Térmico Rápido". Dissertação de Mestrado apresentado no Instituto de Física "Gleb Wataghin" da UNICAMP;
- [2] Swart, J. W. (fev/91). "Relatório de Atividades de Pós-Doutorado no Research Triangle Institute, NC - USA" Relatório FAPESP Ref. 90/4186/8 - São Paulo, SP;
- [3] Berger, H. H. (oct/72). "Merged-Transistor Logic (MTL): A Low-Cost Bipolar Logic Concept", IEEE Journal of Solid-State Circuits, pg. 340;
- [4] Hart, K. and Slob, A. (oct/72). "Integration Injection Logic: A New Approach to LS", IEEE Journal of Solid-State Circuits, pg. 346;
- [5] Shur, M. (1986) GaAs Devices and Circuits, CAP. 7 "Device Characterization", pg. 369, Plenum Press, New York;
- [6] Shur, M. (1986) GaAs Devices and Circuits, CAP. 7 "Device Characterization", pg. 368 Plenum Press, New York.
- [7] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design". McGraw-Hill Publishing Company, New York, pg. 82.
- [8] Tuck, B. (1974). "Introduction to Diffusion in Semiconductor", IEE Monograph Series 16, PETER PEREGRINUS LTD, England;

CAPÍTULO 5:

PROJETO DE CIRCUITOS E DO CHIP TESTE

Neste capítulo descrevemos o projeto de dispositivos e circuitos empregando ferramentas de simulação e layout.

O programa para Simulação de Circuitos Elétricos e Dispositivos denominado SPICE, foi desenvolvido na UC - Berkeley, pelo Departamento de Engenharia Elétrica e Ciência da Computação. O modelo MESFET utilizado no SPICE3 - Versão 3D2[1] é o de Raytheon (Statz et al.) apresentado nos capítulos 3 e 4.

Com os parâmetros SPICE, obtidos no Capítulo 4 - Extração de Parâmetros SPICE - foram feitas simulações dos dispositivos e circuitos lógicos.

Os Circuitos Integrados foram projetados com auxílio de Ferramentas CAD. A ferramenta CAD utilizada para este fim é o Software MAGIC versão 6.3.

O Programa MAGIC[2] foi criado na UC-Berkeley em 1984, para ser uma ferramenta de auxílio a projetos de circuitos integrados com as seguintes características: gerenciamento hierárquico, editor geométrico, projeto interativo, regras de projeto, extrator de circuitos, extrator para simulações (simulações do tipo SPICE), geração de saída padrão para a descrição do lay-out (arquivo CIF - Caltech Interchange Format).

Para que pudessemos projetar circuitos integrados, foi necessário primeiramente criar arquivos de tecnologia ("technology file"), com as regras de projeto para o processo utilizado no LPD.

Dois arquivos de tecnologia foram criados para serem usados no LPD.

O primeiro arquivo, para tecnologia de 1 micron (apêndice F) para o processo de "implantação iônica" denominado "ilpd.tech".

O segundo arquivo, para tecnologia de 2 micron (apêndice G) para "processo térmico de difusão rápida - RTP" denominado "dipd.tech". Este processo encontra-se disponível no LPD.

O Programa MAGIC, assim como o Programa SPICE, encontram-se instalados numa Estação de Trabalho SUN SPARCStation 2 no LPD.

Ao se projetar dispositivos MESFET, é recomendável que todas as portas estejam posicionadas em uma mesma direção dada a natureza anisotrópica[3] do GaAs.

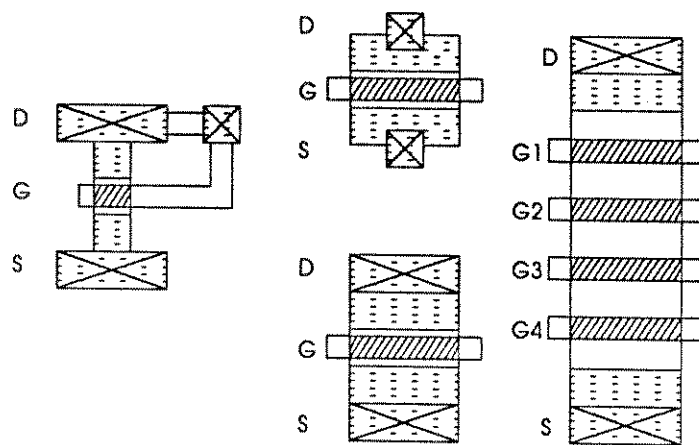


figura 5.1 - dispositivos MESFET - transistores

Porém esta regra não é rígida, pois diodos lógicos e deslocadores-de-nível não são afetados por esta anisotropia.

Para implementar os circuitos, optamos pelas lógicas de depleção do tipo BFL (Lógica FET com buffer), CDFL (Lógica FET com capacitor a diodo-acoplado), de onde podemos obter circuitos de maior velocidade em comparação à lógica BFL (ver pág. 15); SDFL (Lógica FET com Diodo Schottky), que utilizam diodos deslocadores de nível e transistores de depleção e por fim circuitos com Transistores Diferenciais de Passagem ("Differential Pass Transistor Logic").

Descrevemos a seguir o conteúdo dos vários CI's que compoem o CHIP TESTE, incluindo projeto e layout dos mesmos.

5.1 - CIRCUITO INTEGRADO 1

Composto de Estrutura de Teste e Dispositivos MESFET, tendo as seguintes características:

DIMENSÃO: 1x2mm [1000 μ x 2000 μ - 2000lambda x 4000lambda]

Estruturas de teste: 2 configurações

Dispositivos: 12 transistores

Tipo do dispositivo: D-MESFET - Transistores tipo N

Dimensão mínima de porta: W/L = 2/2 [μ m]

Distância centro a centro entre "pad's" = 150 μ m

Arquivo Tecnologia: dlpd.tech

5.1.1 - ESTRUTURA DE TESTE:

Utilizadas para medidas das capacitâncias e indutâncias parasitárias de interconexões e plataformas de solda ("pad"). As estruturas de teste tem por finalidade permitir a extração de capacitâncias e indutâncias parasitárias[4,5] e permitir a calibração das microponteiras do equipamento a ser utilizado na extração dos parâmetros (Ponte RLC, Network Analyser ou Semiconductor Parametric Analyser).

O modelo da estrutura de testes utiliza microponteiras do tipo "Cascade" (Cascade Microtech Probe).

No CI1 foram projetados dois tipos de estruturas para testes, a primeira é do tipo "GND - signal - GND", e a segunda é do tipo "GND - signal". Em geral estas estruturas são utilizadas para extração de parâmetros em Alta Frequência (em torno de 1 a 18GHz).

Para extração de capacitâncias e indutâncias, são utilizadas dois tipos de configurações:

Estrutura de teste em circuito aberto ("open test structure") e estrutura de teste em curto-circuito ("shorted test structure").

- Estrutura de Teste em Circuito Aberto ("open test structure"), como mostra a figura 5.2, consiste de uma estrutura de "pads" na forma "GND - signal - GND", segundo um padrão pré-definido de distâncias entre os mesmos e, permite medir capacitâncias parasitárias. Seu modelo físico é representado por um circuito do tipo "PI" de capacitores

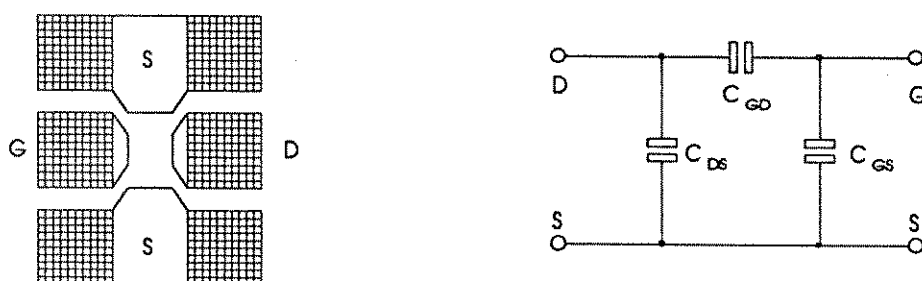


figura 5.2 - estrutura de teste em circuito aberto e modelo físico tipo PI

- A Estrutura de Teste em Curto-Circuito ("shorted test structure"), é utilizada para extrair indutâncias parasitárias, e para isto é inserido um dispositivo (transistor D-MESFET) com porta, fonte e dreno ("gate, source e drain"), em curto e seu modelo físico é representado por um circuito do tipo T, formado por resistores e indutores em série como mostra a figura 5.3.

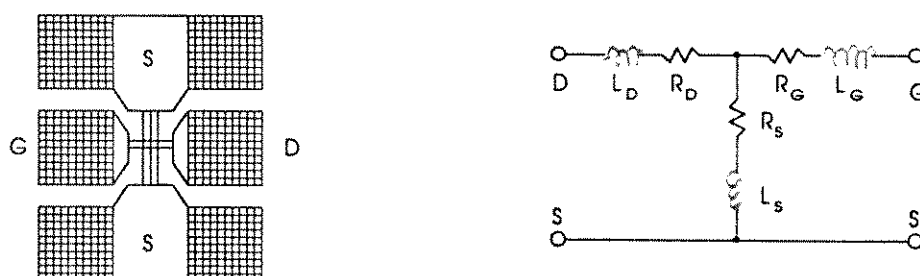


figura 5.3 - Estrutura de teste em curto-circuito e modelo físico tipo T

A figura 5.4 mostra o lay-out da estrutura de teste em circuito aberto, que é composto somente de estrutura de pad's. A figura 5.5 mostra o lay-out da estrutura de teste em curto-circuito, que é composta de estrutura de pad's e um transistor D-MESFET com fonte e dreno curto-circuitados em Metal-1.

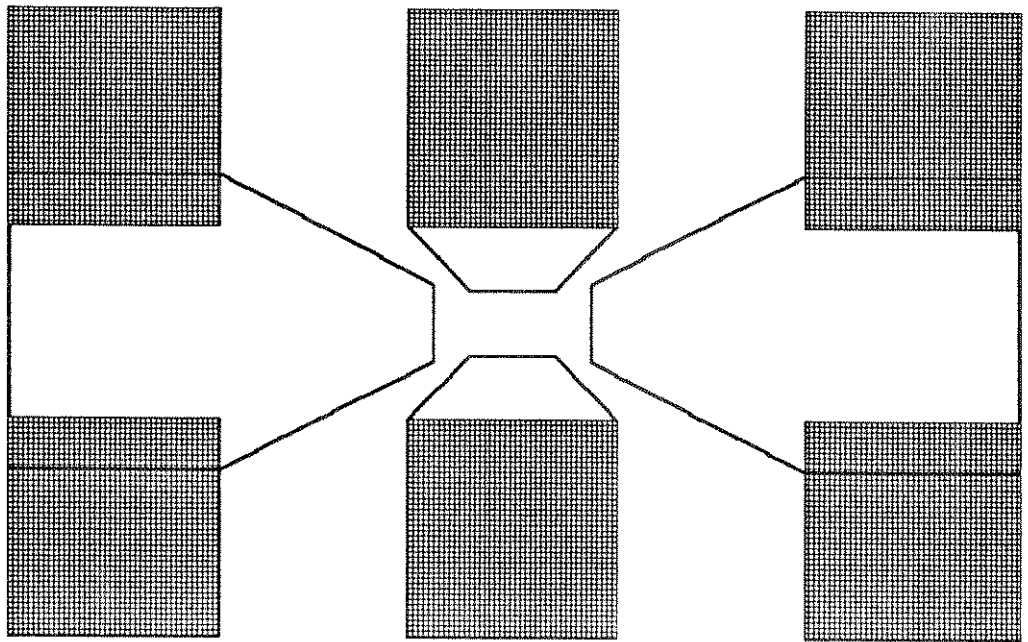


figura 5.4 - Lay-out da Estrutura de Teste em Circuito Aberto

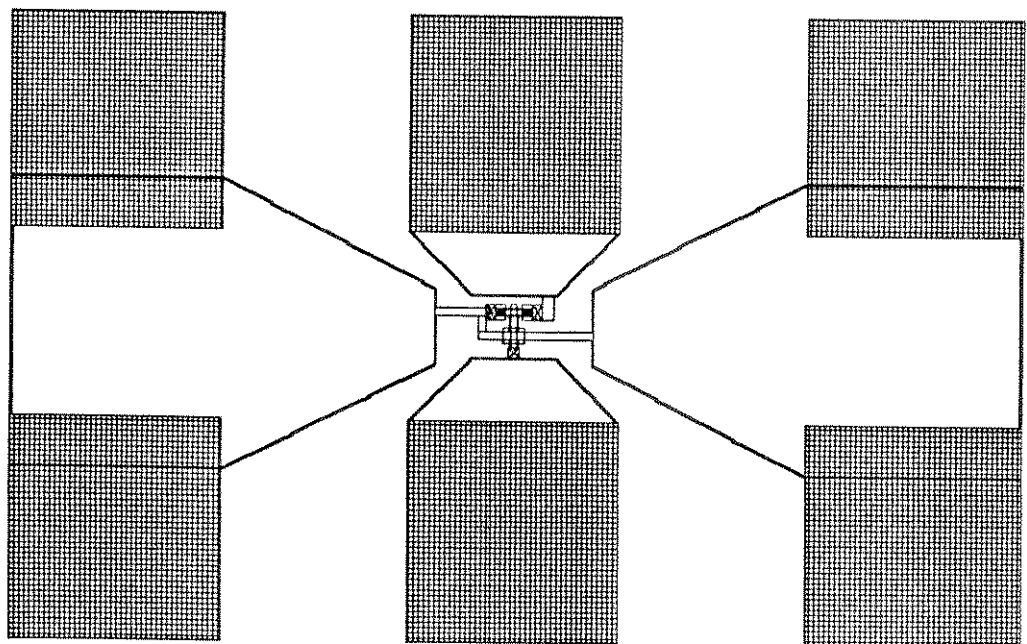


figura 5.5 - Lay-out da Estrutura de Teste em Curto Circuito

5.1.2 - DISPOSITIVOS MESFET (D-TRANSISTOR):

Para o CI1, foram definidos 12 (doze) dispositivos que são transistores de Depleção do tipo N. Estes dispositivos serão utilizados para extração de parâmetros SPICE DC e AC, seguindo o Modelo de Statz (ver capítulo 3 - Modelo SPICE).

Para tanto os circuitos de menor área que trabalham em alta frequência seguem o padrão de teste para microponteiros do tipo "Cascade" (GND - signal - GND).

Os dispositivos do Circuito Integrado 1, foram projetados com diferentes áreas, sendo que os de dimensões: $W/L = 20/20$ [μm], $W/L = 20/15$ [μm], e $W/L = 20/10$ [μm], trabalham em frequências mais baixas e utilizam a estrutura do tipo "GND - signal". Os demais são $W/L = 20/5$ [μm], $W/L = 20/3$ [μm], $W/L = 20/2$ [μm], $W/L = 20/1$ [μm], $W/L = 15/2$ [μm], $W/L = 10/2$ [μm], $W/L = 5/2$ [μm], $W/L = 3/2$ [μm] e $W/L = 2/2$ [μm], e utilizam a estrutura "GND - signal - GND".

A figura 5.6, mostra um dispositivo D-MESFET com estrutura G-S.

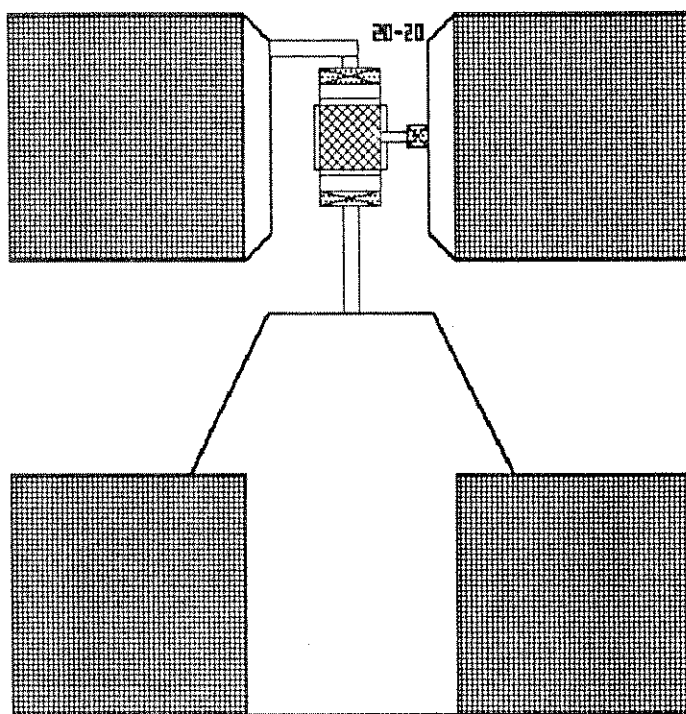


figura 5.6 - Lay-out de um dispositivo D-MESFET com "pad's" tipo G-S

Na figura 5.7 um dispositivo com estrutura G-S-G e a figura 5.8 uma vista ampliada mostrando o transistor D-MESFET.

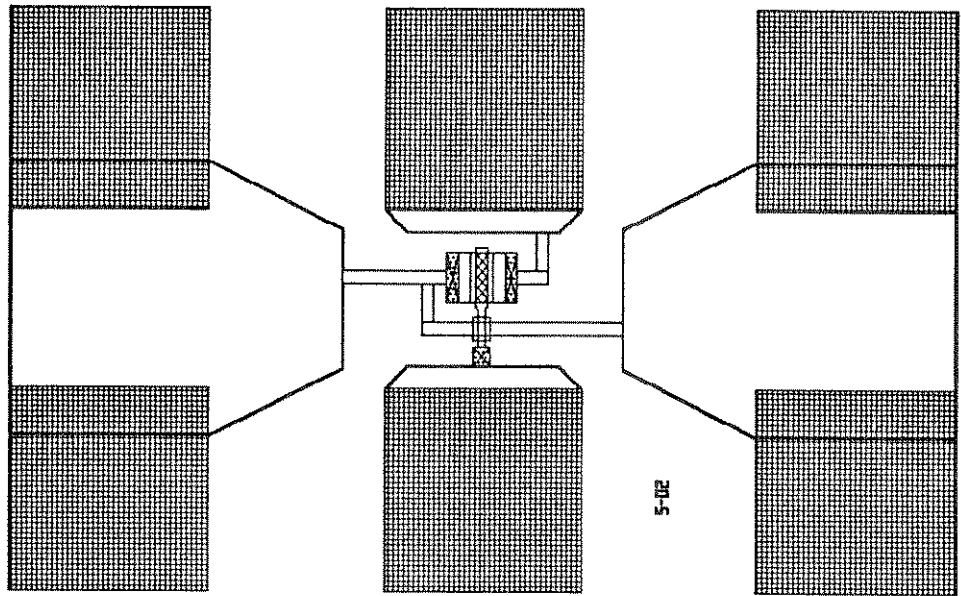


figura 5.7 - Lay-out de um dispositivo D-MESFET com "pad's" tipo G-S-G

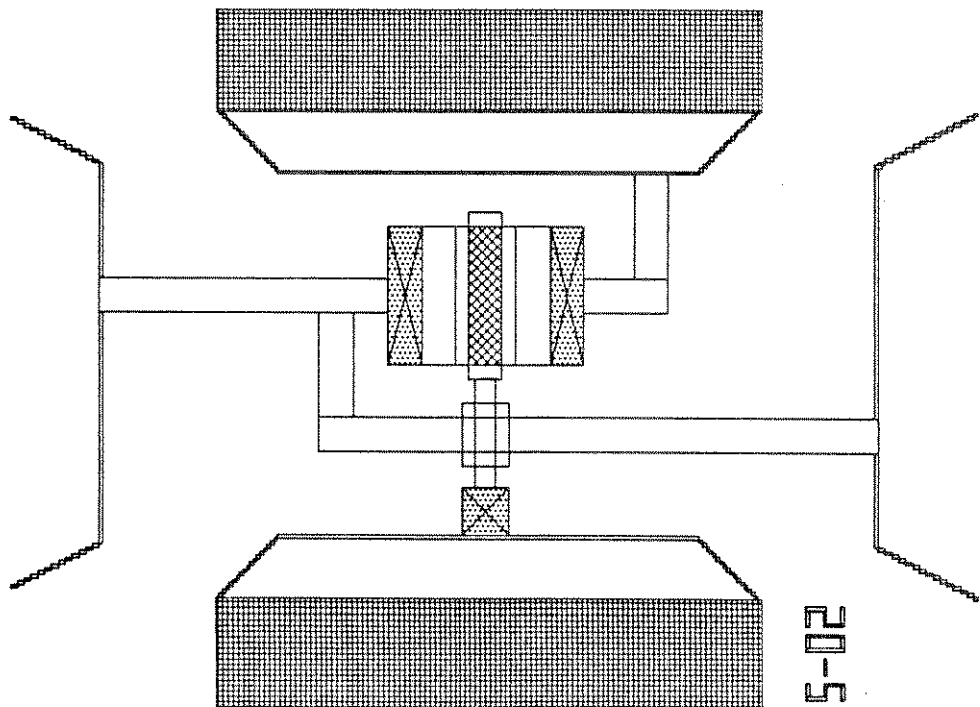


figura 5.8 - Lay-out ampliado de um transistor D-Mesfet

5.1.3 - LAY-OUT DO CIRCUITO INTEGRADO 1:

A figura 5.9 mostra o lay-out completo do Circuito Integrado 1, que contém as estruturas de teste e os transistores D-Mesfet com estruturas para extração de parâmetros.

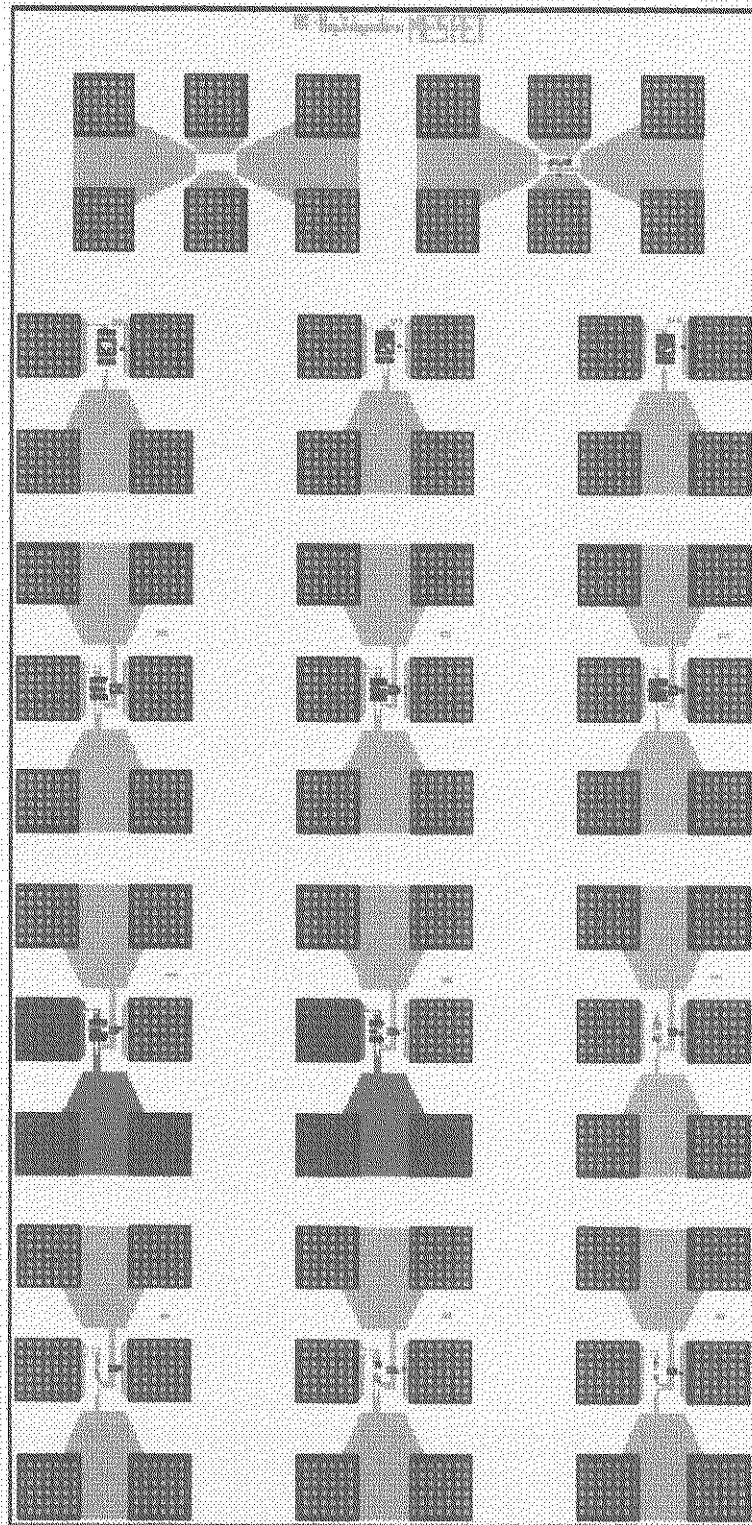


figura 5.9 - máscara do circuito integrado 1

5.2 - CIRCUITO INTEGRADO 2

Composto de Estruturas de Contato, Estrutura de Ponte Aérea Diodos e Portas Lógicas, tendo as seguintes características:

DIMENSÃO: 1x2mm [1000 μ x 2000 μ - 2000lambda x 4000lambda]

Estruturas de Contatos: 02 estruturas

Estruturas de Teste de Ponte-Aérea: 01 estrutura

Dispositivos: 07 diodos

Circuitos lógicos: 05 circuitos

Tipo do dispositivo: Diodos e Transistores de Depleção - N

Dimensão mínima de porta (gate): W/L = 2x2 [μ m]

Arquivo Tecnologia: dlpd.tech

5.2.1 - ESTRUTURAS DE CONTATOS:

No Circuito Integrado 2, foram montadas duas estruturas de teste para verificar a resistência e continuidade do "contato ôhmico".

A primeira estrutura consiste de uma mesa de W/L = 353/100 [μ m], com linhas de contato ôhmico de W/L = 100/20 [μ m] perfazendo um total de 7 (sete), com distâncias que variam de 5 μ m a 100 μ m entre si como mostra a figura 5.10.

Esta estrutura foi montada, a fim de permitir a extração de resistências de contato ôhmico de acôrdo com modelo TLM[6,7].

Dessa forma os "pad's" juntamente com as linhas de contato ôhmico desenhados são constituídos somente de "metal ôhmico" (composto de Ouro, Germânio e Níquel) que serão utilizados para extração do valor das resistências.

A segunda estrutura de ajuste é formada por uma mesa e três linhas de contato ôhmico, simulando fonte e dreno de um transistor MESFET, e é utilizada para medir a continuidade entre vias, como mostra a figura 5.11.

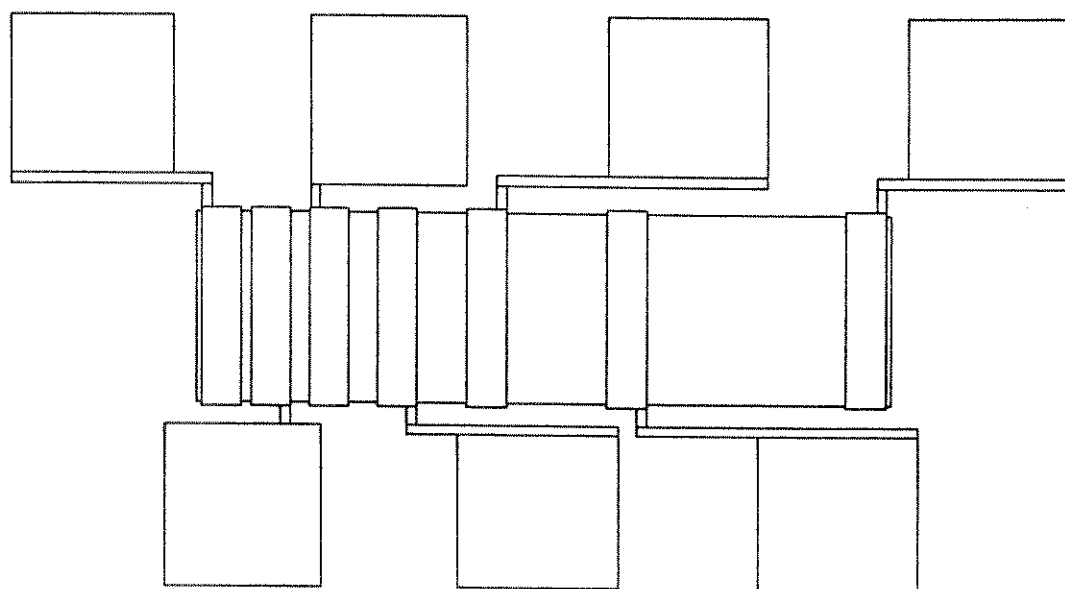


figura 5.10 - lay-out da estrutura de teste de contato ôhmico

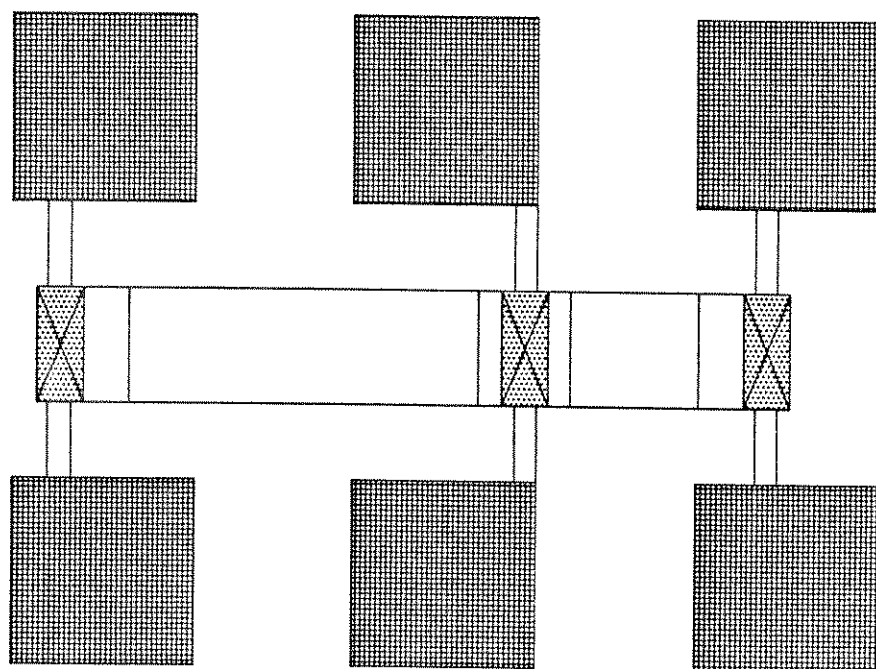


figura 5.11 - layout da estrutura de teste de continuidade

5.2.2 - ESTRUTURAS DE PONTE AEREA:

Para testar o processo de ponte aérea ("air-bridge") foi desenhada uma estrutura contendo linhas de metal schottky (sm) e metal₁ (m1) entre "pad's", mostrado na figura 5.12. Dessa forma é possível avaliar a funcionalidade do processo de ponte aérea.

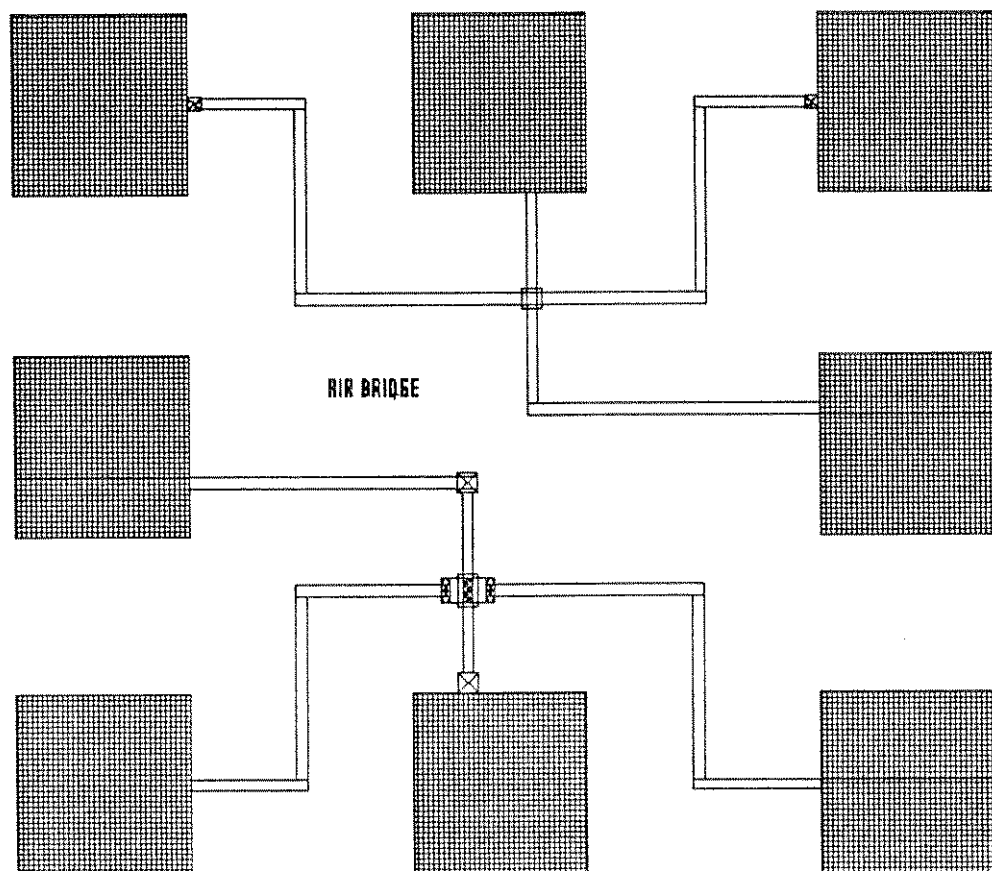


figura 5.12 - lay-out da estrutura em ponte aérea

5.2.3 - DIODOS:

Os dispositivos projetados no Circuito Integrado 2, são Diodos que serão utilizados como *diodos deslocadores de nível* e *diodos lógicos*. Estes diodos utilizados juntamente com transistores ("D-MESFET") compoem os circuitos lógicos.

Foram projetados dois tipos de diodos:

- O primeiro, é constituído de *mesa* e *metal schottky*, depositado sobre o mesmo como mostra a figura 5.13.a;

- O segundo tipo é montado, utilizando-se um transistor D-MESFET e deixando em aberto a fonte ou dreno, obtendo-se dessa forma um diodo como mostra a figura 5.13.b.

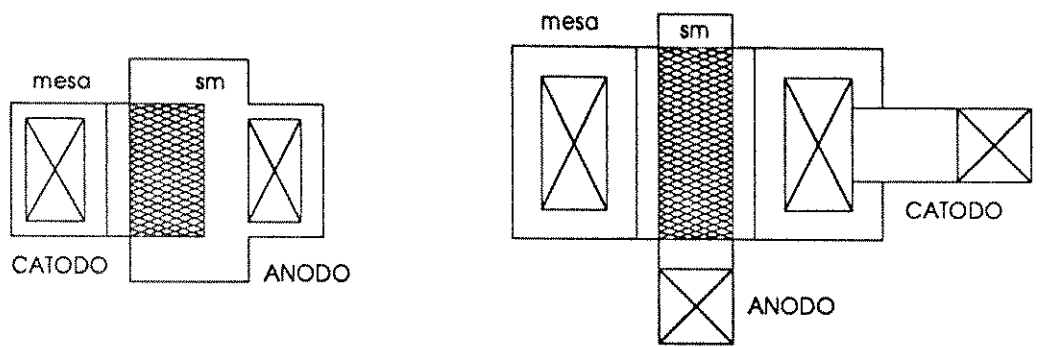


figura 5.13 - a) diodo Schottky b) diodo a partir de um transistor D-MESFET

As áreas dos diodos projetados são: $25\mu\text{m}^2$ ($W/L = 5/5$ [μm]), $100\mu\text{m}^2$ ($W/L = 10/10$ [μm]) e $400\mu\text{m}^2$ ($W/L = 20/20$ [μm]) para diodos utilizando mesa e metal schottky ("schottky metal") e para diodos a partir de MESFET's com fonte e dreno em curto, as dimensões são as seguintes, $W/L = 5/2$ [μm], $W/L = 10/2$ [μm], $W/L = 15/2$ [μm] e $W/L = 25/2$ [μm].

A figura 5.14 mostra o lay-out dos diodos schottky e lay-out de diodos a partir de transistores D-MESFET.

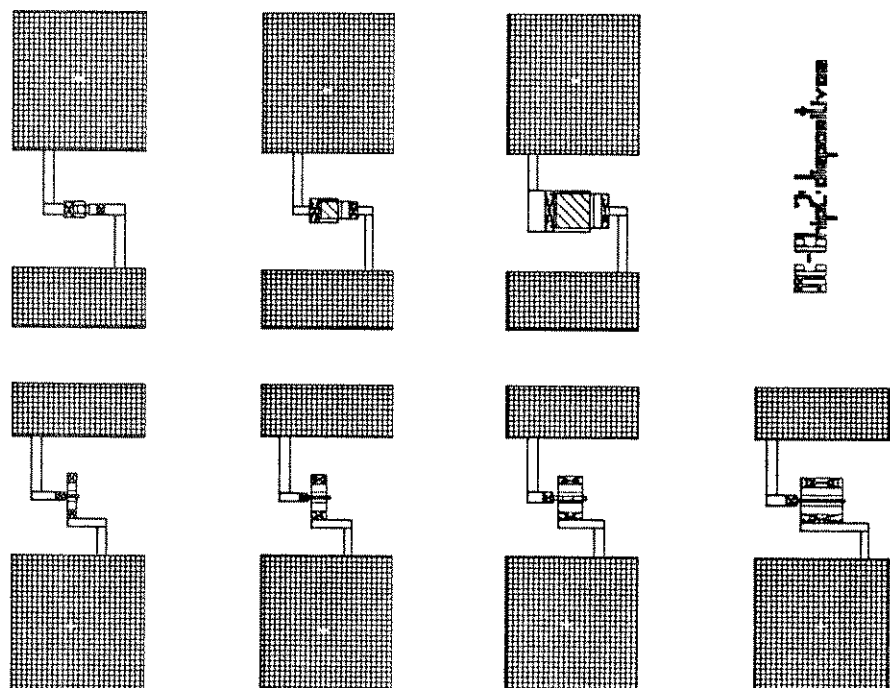


figura 5.14 - lay-out de diodos Schottky

5.2.4 - PORTAS LÓGICAS:

O Circuito Integrado 2 é constituído também por circuitos lógicos que serão utilizados para extração de parâmetros, além de verificação de características (fan-out, margem de ruído[8,9]) e performance (tempos de subida e descida e velocidade[10]).

Foram montados os seguintes circuitos: BFL ("Buffered FET Logic"), CDFL ("Capacitor Diode FET Logic"), FL ("FET Logic"), SDFL ("Schottky Diode FET Logic") e FFC ("Feed Forward Capacitor").

As alimentações dos circuitos (V_{SS} e V_{DD}), foram projetadas de forma independente para cada circuito, permitindo assim que possam ser testados de forma individual sem interferências que poderiam ser provocadas pelos outros circuitos.

Para simulação SPICE dos circuitos, usamos parâmetros da tabela 4.9 (transistor com $W/L=20/2$ [μm]), processados no LPD e normalizados para $W = 1\mu\text{m}$.

5.2.4.1 - LÓGICA FET COM BUFFER - BFL:

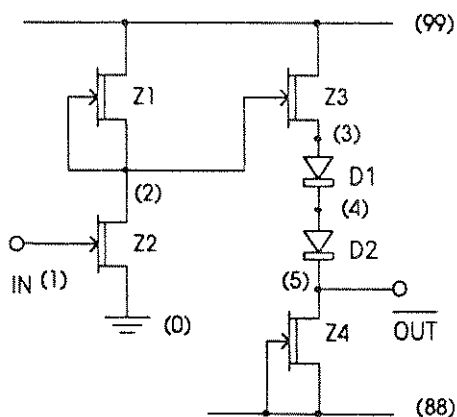


figura 5.15 - inversor BFL

A porta Lógica FET com Buffer (figura 5.15), projetada no Circuito Integrado 2, é um Inversor e a alimentação foi definida para $V_{DD} = 2.5\text{V}$ e $V_{SS} = -2.0\text{V}$. Foram executadas as simulações SPICE e com as medidas (W/L), foram desenhados os dispositivos da Lógica BFL.

A figura 5.16 mostra o sinal de saída em relação ao sinal de entrada, na figura 5.17 temos o gráfico do tempo de propagação entre o sinal de saída e o

sinal de entrada. Este tempo é calculado e extraído diretamente do gráfico gerado pelo simulador SPICE e encontra-se na tabela 5.1.

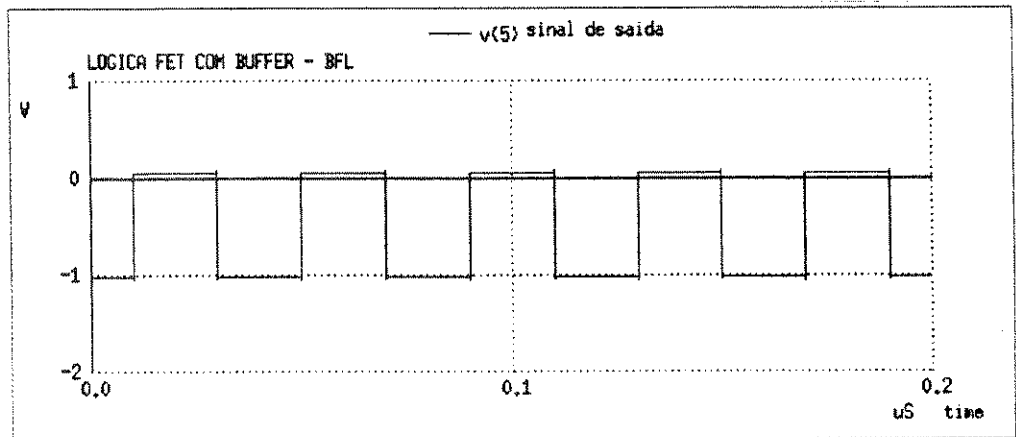
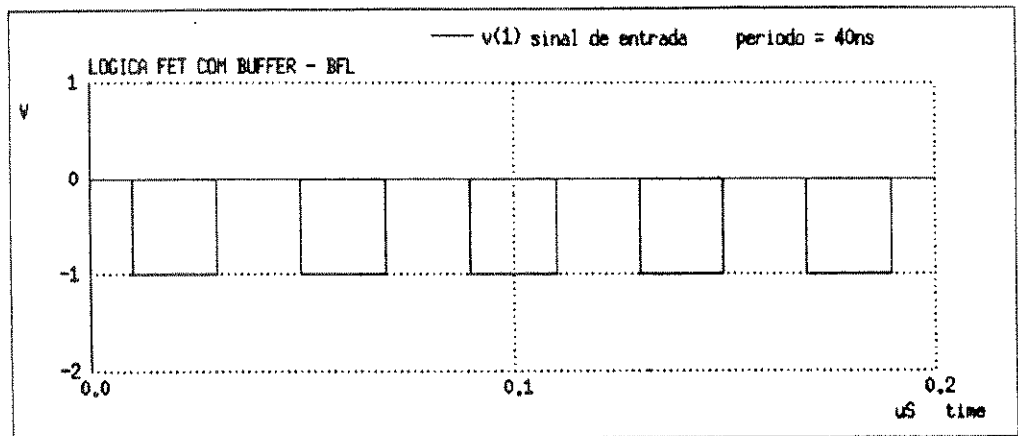


figura 5.16 - sinal de entrada e saída da Lógica BFL

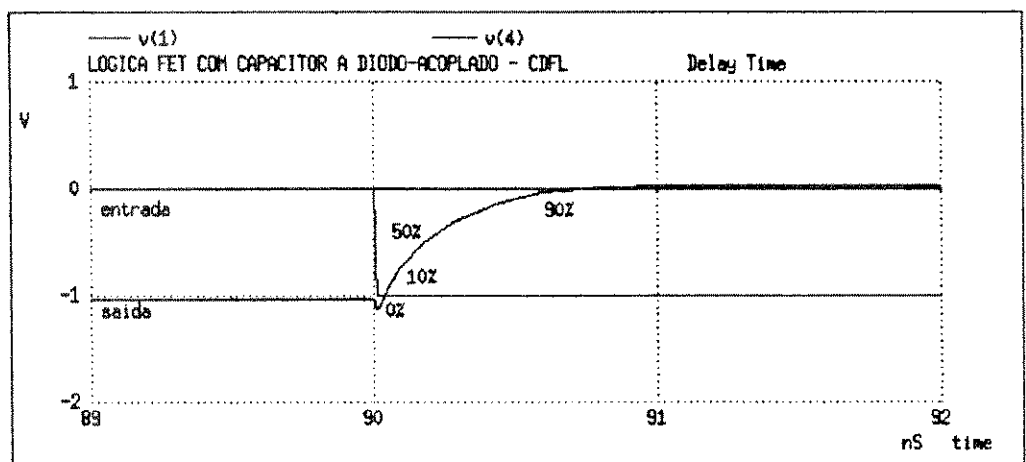
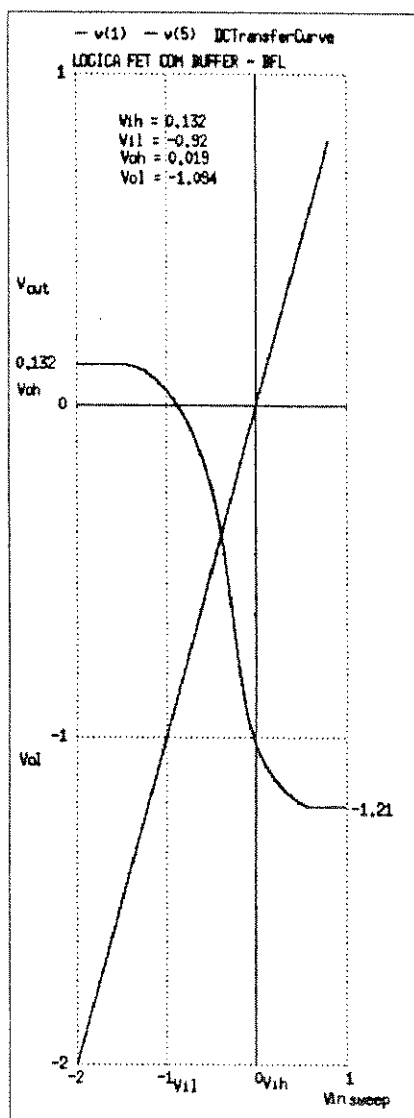


figura 5.17 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Lógica BFL



A curva de transferência[10,11,12] (figura 5.18), é utilizada para medir a margem de ruído do circuito.

Na tabela 5.1 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito BFL.

Na tabela 5.1, temos V_{OH} e V_{OL} que são as saídas do Inversor BFL a níveis alto e baixo, V_{IH} e V_{IL} , as entradas do próximo inversor. V_{NH} e V_{NL} , são as margens de ruído alto e baixo.

figura 5.18 - curva de transferência da Lógica BFL

Tabela 5.1 - Dados obtidos da Lógica BFL

Variável	$V_T = -1.5V$	FO=1	FO=2	FO=3
V_{OH}		0.019V	0.019V	0.019V
V_{OL}		-1.09V	-1.09V	-1.09V
V_{IH}		0.132V	0.132V	0.132V
V_{IL}		-0.92V	-0.92V	-0.92V
V_{NH}		0.11V	0.11V	0.11V
V_{NL}		0.17V	0.17V	0.17V
Tempo de Propagação (0%)		15.1ps	17.7ps	19.1ps
Tempo de Propagação (50%)		73.7ps	91.1ps	110.ps
Tempo de Subida (rise-time)		112.6ps	153.6ps	208.2ps
V_{DD}		2.5V	2.5V	2.5V
V_{SS}		-2.0V	-2.0V	-2.0V
Potência Dissipada		3.02mW	3.05mW	3.06mW
T_1 (W)		4.0 μm		
T_2 (W)		5.5 μm		
T_3 (W)		5.0 μm		
T_4 (W)		8.5 μm		
D_1 (W)		2.0 μm		
D_2 (W)		2.0 μm		

Foram realizadas simulações para "fan-out" = 1, 2 e 3.

O lay-out do circuito Inversor projetado com a lógica BFL é mostrado na figura 5.19.

Chip dispositivos

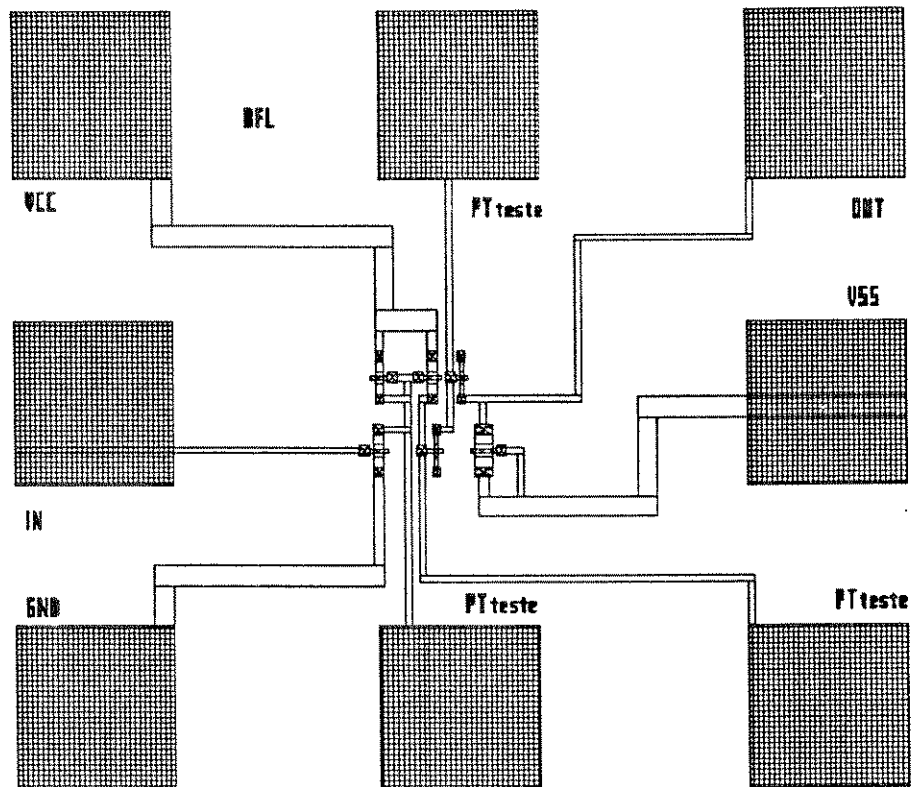


figura 5.19 - lay-out do circuito BFL

5.2.4.2 - CIRCUITO LOGICA FET COM CAPACITOR A DIODO-ACOPLADO - CDFL:

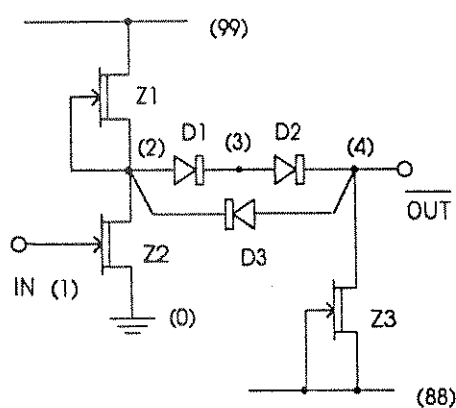


figura 5.20 - inversor CDFL

Na Lógica FET com Capacitor a Diodo-Acoplado (figura 5.20), que também é um Inversor, é colocado em paralelo aos diodos-deslocadores-de-nível um diodo de área maior ou equivalente, para permitir o aumento de velocidade no circuito.

A inclusão do diodo reversamente polarizado cria o efeito de "bootstrapping". A alimentação deste circuito é $V_{DD} = 2.5V$ e $V_{SS} = -2.0V$. A figura 5.21

mostra o sinal de saída em relação ao sinal de entrada, na figura 5.22 temos o gráfico do tempo de propagação entre o sinal de saída e o sinal de entrada.

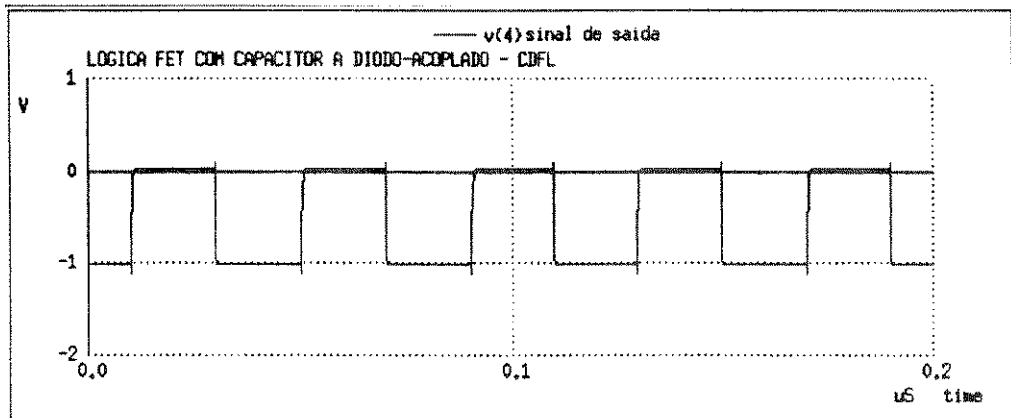
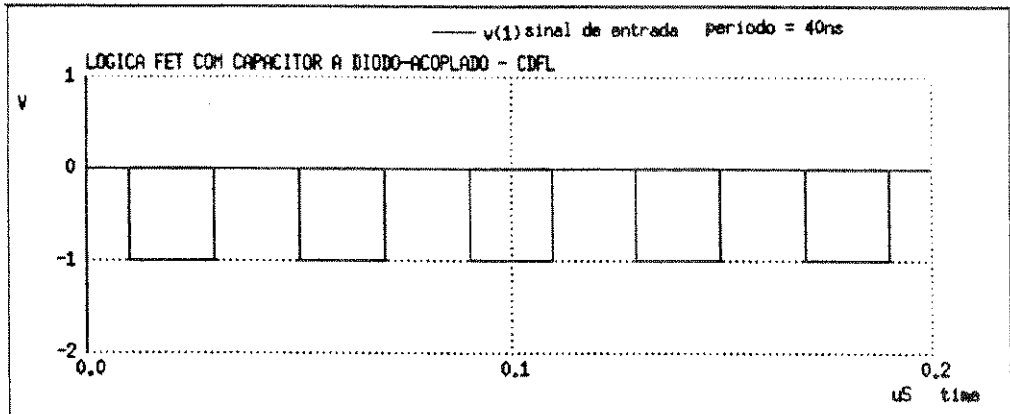


figura 5.21 - sinal de entrada e saída da Lógica CDFL

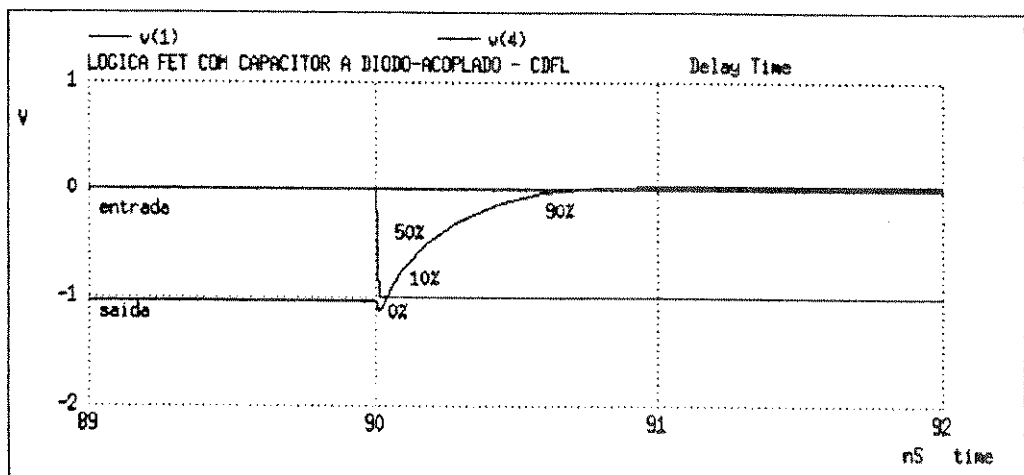
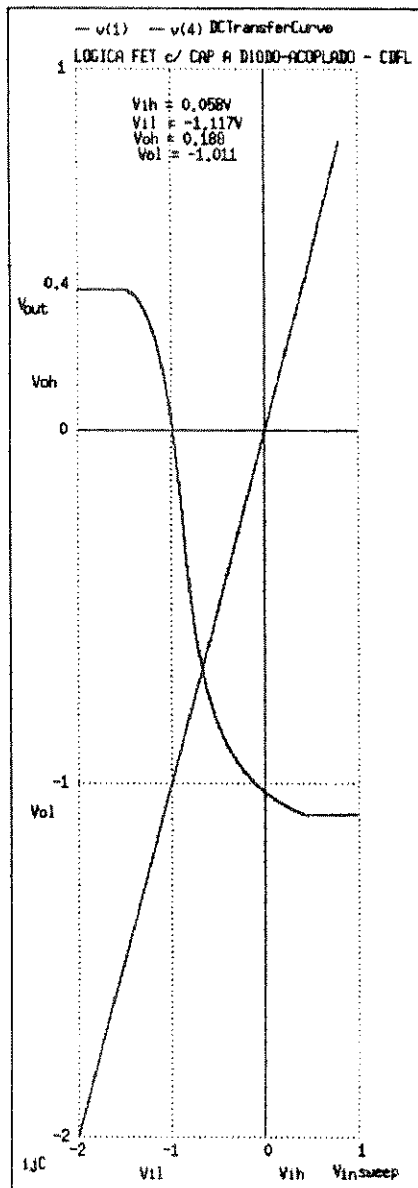


figura 5.22 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Lógica CDFL



A curva de transferência obtida está mostrada na figura 5.23, onde extraímos os valores de tempo de subida, tempo de atraso a 50% e 0%, utilizando os recursos do software SPICE3D2.

Na tabela 5.2 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito CDFL. Os níveis de ruído são obtidos pela relação:

$$V_{NH} = V_{OH} - V_{IH}, \quad [47]$$

$$V_{NL} = V_{IL} - V_{OL}$$

figura 5.23 - curva de transferência da Lógica CDFL

Tabela 5.2 - Dados obtidos da Lógica CDFL

Variável	$V_T = -1.5V$	$FO=1$	$FO=2$	$FO=3$
V_{OH}		0.188V	0.188V	0.188V
V_{OL}		-1.011V	-1.011V	-1.011V
V_{IH}		0.058V	0.058V	0.058V
V_{IL}		-1.117V	-1.117V	-1.117V
V_{NH}		0.13V	0.13V	0.13V
V_{NL}		0.106V	0.106V	0.106V
Tempo de Propagação (0%)		24.0ps	26.0ps	28.0ps
Tempo de Propagação (50%)		123.0ps	211.0ps	283.0ps
Tempo de Subida (rise-time)		294.0ps	396.2ps	522.0ps
V_{DD}		2.5V		
V_{SS}		-2.0V		
Potência Dissipada		4.06mW	5.09mW	6.01mW
T_1 (W)		18.5 μm		
T_2 (W)		23.0 μm		
T_3 (W)		14.0 μm		
D_1 (W)		7.0 μm		
D_2 (W)		7.0 μm		
D_3 (W)		10.0 μm		

O lay-out do circuito Inversor projetado com a lógica CDFL é mostrado na figura 5.24.

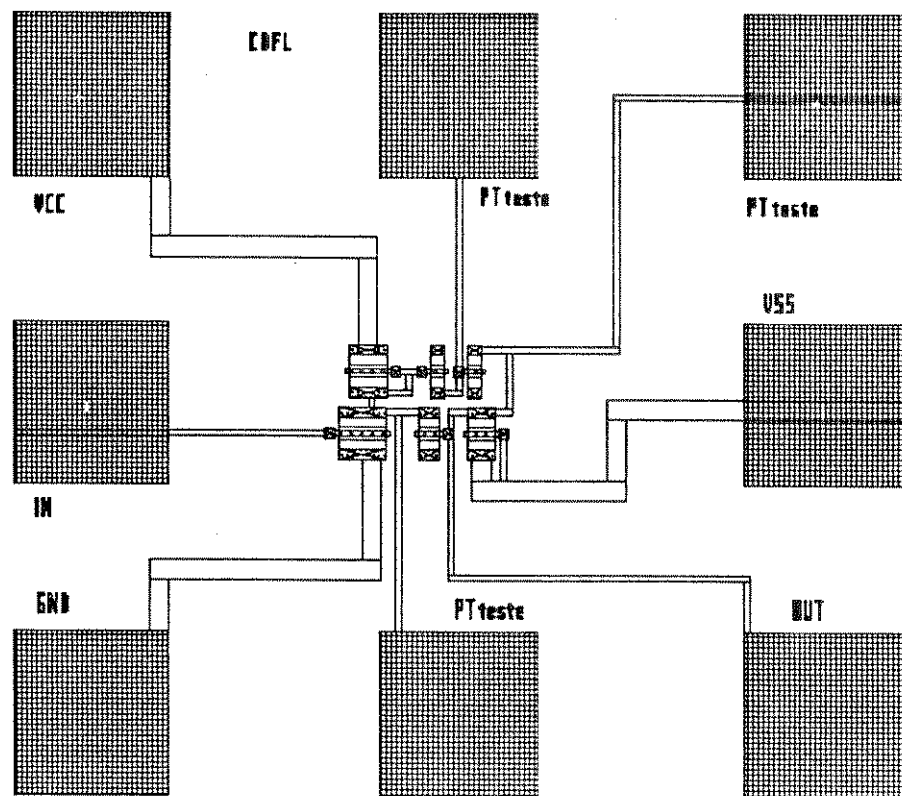


figura 5.24 - lay-out do circuito CDFL

5.2.4.3 - CIRCUITO LOGICA FET - FL:

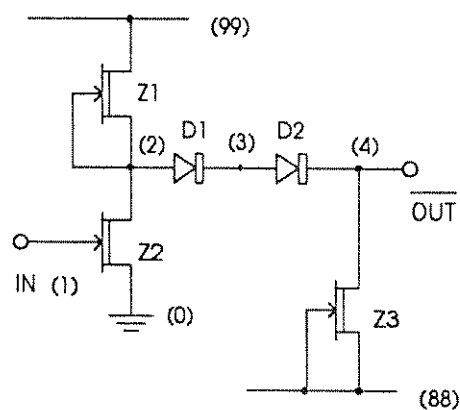


figura 5.25 - inversor FL

A Lógica FET (figura 5.25) é considerada o circuito básico das lógicas de depleção, pois é a mais simples e não utiliza transistor de pull-up no segundo estágio. A sua alimentação é $V_{DD} = 2.5V$ e $V_{SS} = -2.0V$

A lógica FL é idêntica a lógica CDFL, assim, utilizou-se o mesmo circuito CDFL, sendo que o diodo reversamente polarizado foi retirado. Dessa forma o circuito passa a ser um Inversor de Lógica FET.

O gráfico da figura 5.26 mostra o sinal de saída em relação ao sinal de entrada e na figura 5.27, temos o tempo de propagação entre o sinal de saída e o sinal de entrada simulado.

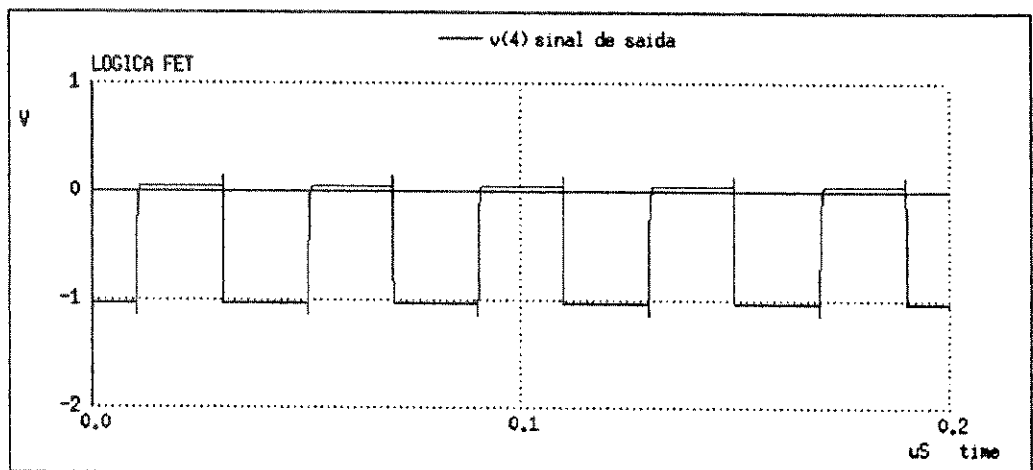
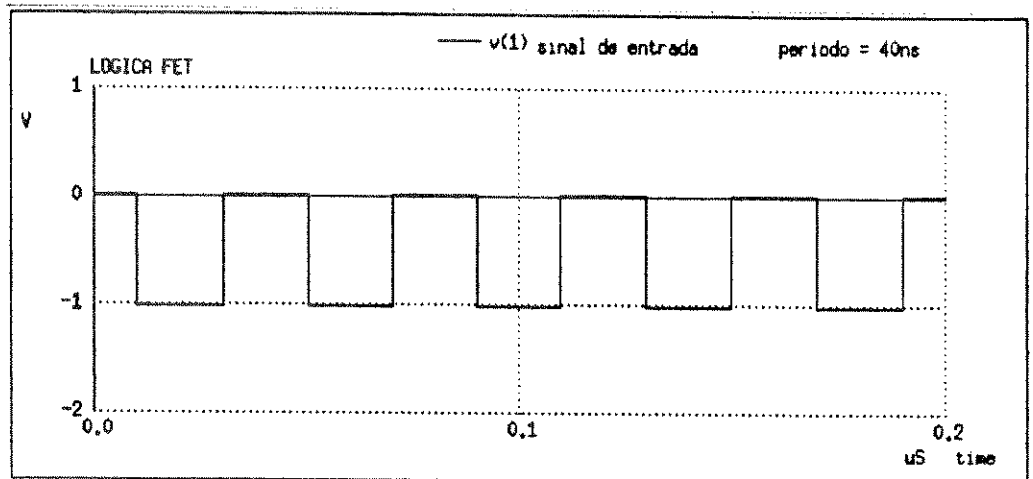


figura 5.26 - sinal de entrada e saída da Lógica FL

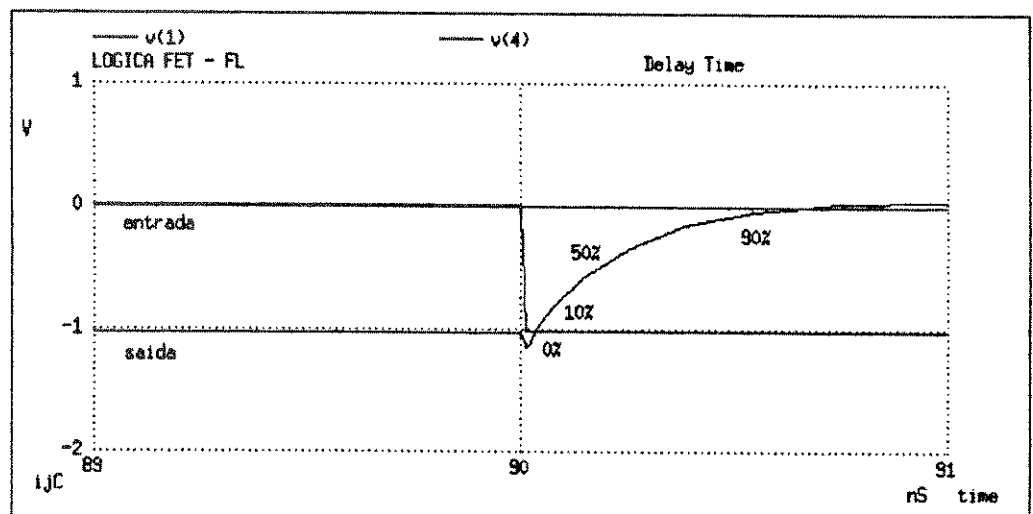
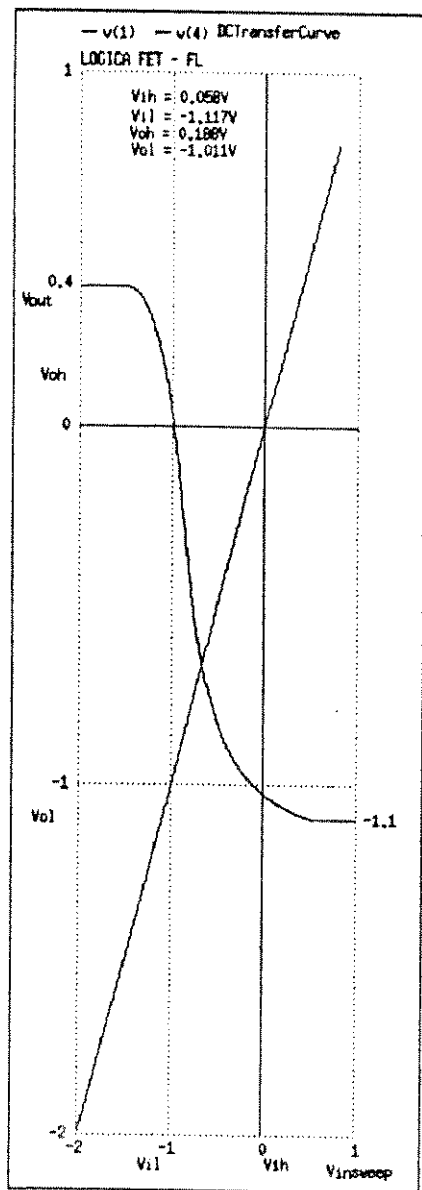


figura 5.27 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Lógica FL



A curva de transferência obtida está mostrada na figura 5.28. Na tabela 5.3 temos os valores das margens de ruído extraídos da curva de transferência ("DCtransferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito FL. As lógicas até aqui apresentadas (BFL, CDFL, FL e FFC), permitem acoplamento com a lógica ECL ("emitter coupled logic"). Para isso torna-se necessário a inclusão de um "buffer" para que se possa compatibilizar os níveis de tensão [13,14].

figura 5.28 - curva de transferência da Lógica FL

Tabela 5.3 - Dados obtidos da Lógica FL

Variável	$V_T = -1.5V$	FO=1	FO=2	FO=3
V_{OH}		0.188V	0.188V	0.188V
V_{OL}		-1.011V	-1.011V	-1.011V
V_{IH}		0.058V	0.058V	0.058V
V_{IL}		-1.117V	-1.117V	-1.117V
V_{NH}		0.13V	0.13V	0.13V
V_{NL}		0.106V	0.106V	0.106V
Tempo de Propagação (0%)		27.1ps	31.2ps	37.5ps
Tempo de Propagação (50%)		181.8ps	281.8ps	344.1ps
Tempo de Subida (rise-time)		435.4ps	701.8ps	906.8ps
V_{DD}		2.5V		
V_{SS}		-2.0V		
Potência Dissipada		4.06mW	5.09mW	6.01mW
T_1 (W)		18.5 μm		
T_2 (W)		23.0 μm		
T_3 (W)		14.0 μm		
D_1 (W)		7.0 μm		
D_2 (W)		7.0 μm		

O lay-out do circuito Inversor projetado com a lógica FL é mostrado na figura 5.29.

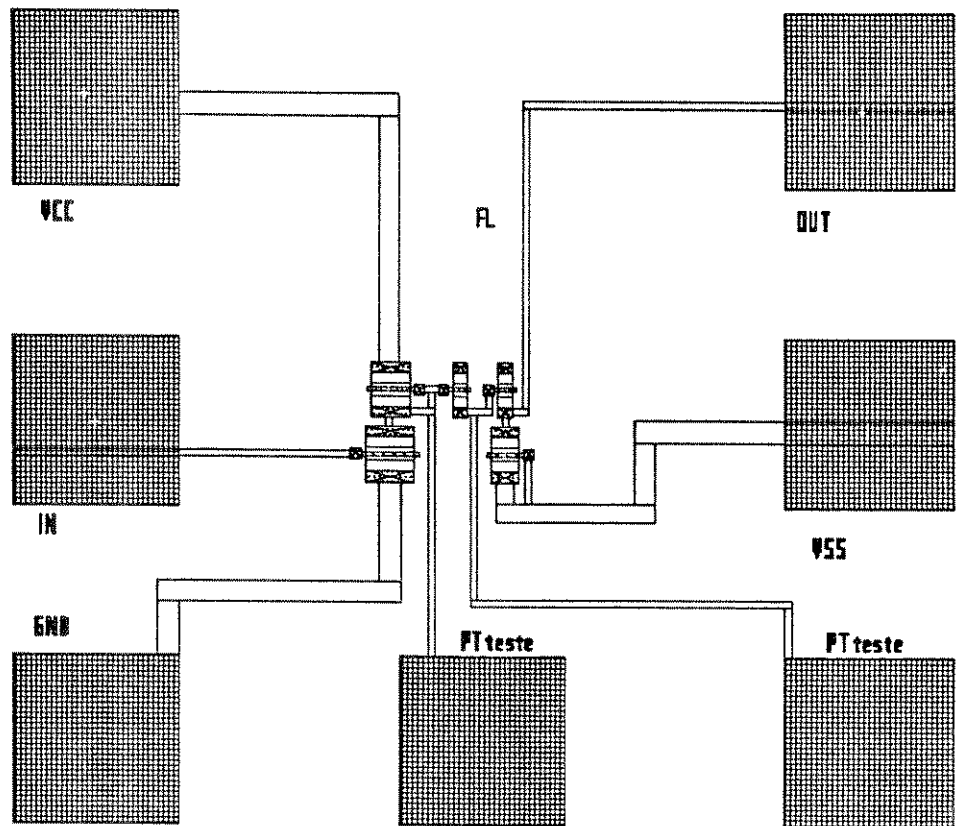


figura 5.29 - lay-out do circuito FL

5.2.4.4 - CIRCUITO LOGICA FET COM DIODO SCHOTTKY - SDFL:

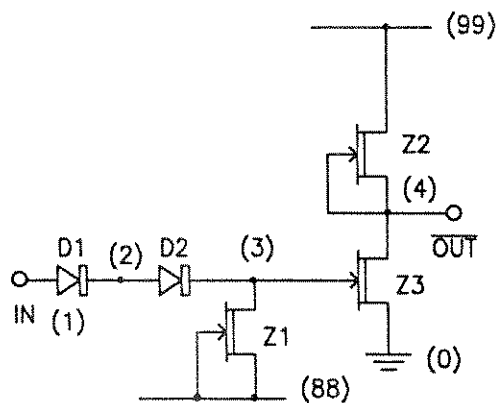


figura 5.30 - circuito Inversor SDFL

A Lógica FET com Diodo Schottky (figura 5.30) permite a construção de circuitos tipo NOR. A vantagem desta lógica é o uso de diodos, que possuem pequena área, baixa dissipação de potência, baixa capacitância e resistência série pequena em relação a transistores.

Neste circuito foi especificado um Inversor com $V_{DD} = 2.5V$ e $V_{SS} = -1.5V$. A figura 5.31 mostra a

simulação SPICE da Lógica SDFL. Na figura 5.32 temos o tempo de propagação entre o sinal de saída e o sinal de entrada simulado.

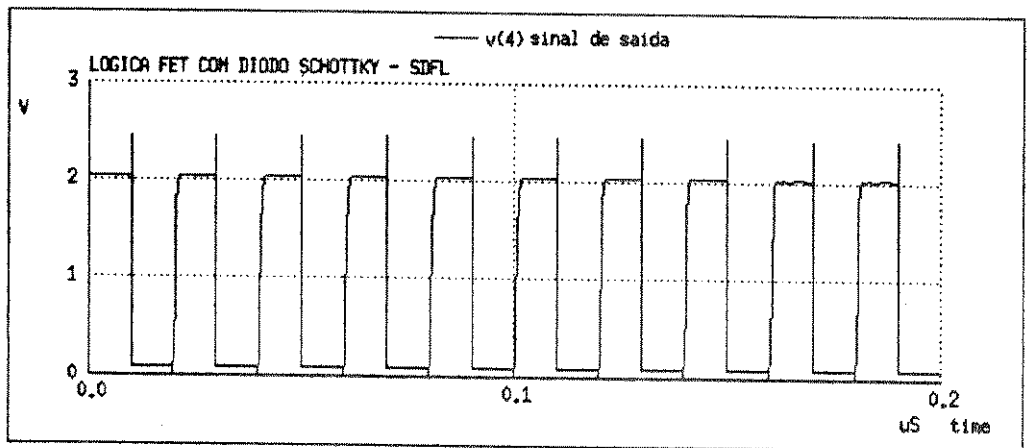
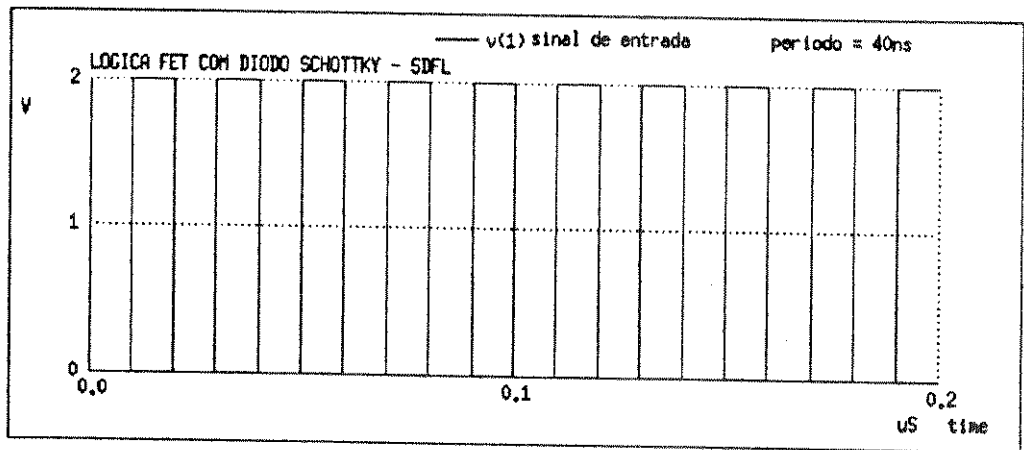


figura 5.31 - sinal de entrada e saída da Lógica SDFL

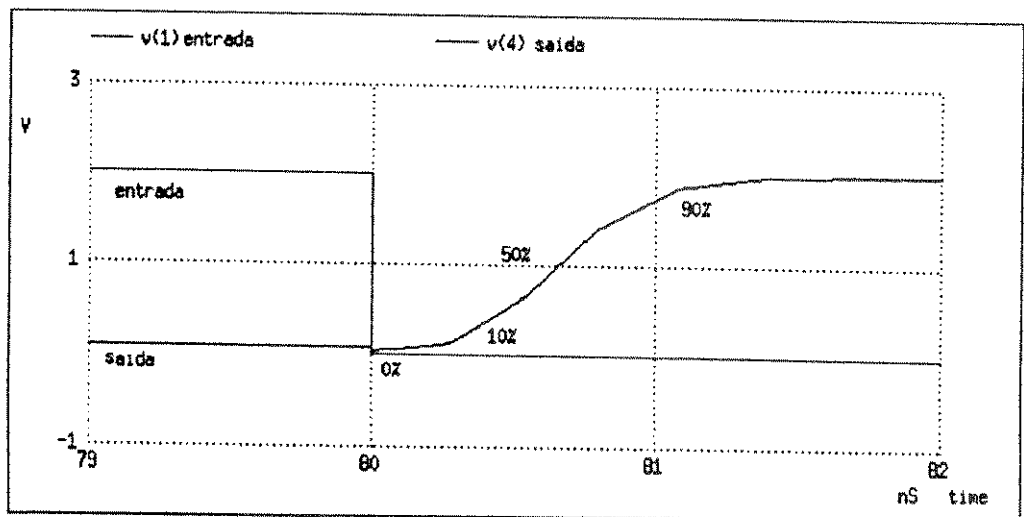
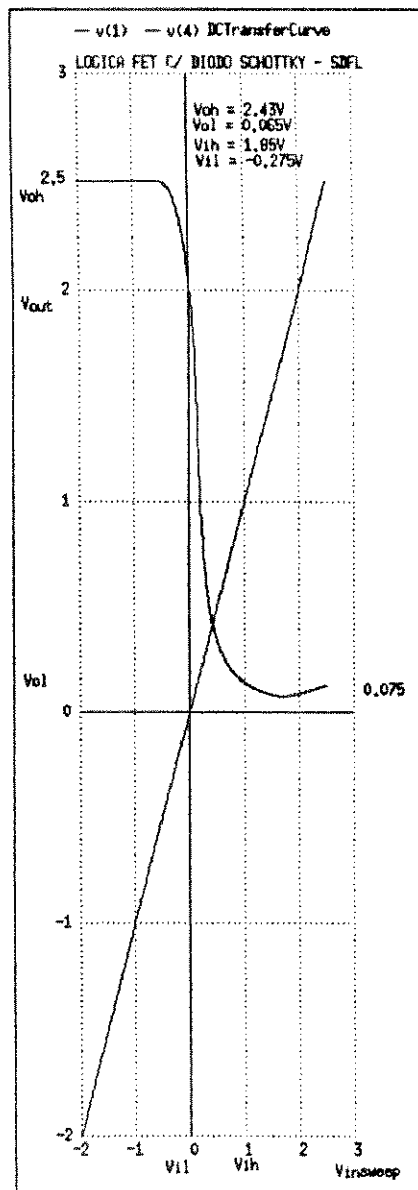


figura 5.32 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Lógica SDFL



A curva de transferência da Lógica SDFL está mostrada na figura 5.33.

A Lógica SDFL, permite acoplamento com circuitos TTL/CMOS e ECL. Por trabalhar com excursão de sinal a nível positivo este tipo de lógica é empregada principalmente na produção de memórias[15,16].

Na tabela 5.4 temos os valores das margens de ruído extraídos da curva de transferência ("DCtransferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito SDFL.

figura 5.33 - curva de transferência da Lógica SDFL

Tabela 5.4 - Dados obtidos da Lógica SDFL

Variável	$V_T = -1.5V$	FO=1	FO=2	FO=3
V_{OH}		2.43V	2.43V	2.43V
V_{OL}		0.065V	0.065V	0.065V
V_{IH}		1.85V	1.85V	1.85V
V_{IL}		-0.275V	-0.275V	-0.275V
V_{ZH}		0.57V	0.57V	0.57V
V_{ZL}		0.34V	0.34V	0.34V
Tempo de Propagação (0%)		14.2ps	16.1ps	18.9ps
Tempo de Propagação (50%)		665.2ps	685.6ps	715.0ps
Tempo de Subida (rise-time)		802.4ps	850.5ps	920.6ps
V_{DD}		2.5V		
V_{SS}		-1.5V		
Potência Dissipada		1.80mW	1.86mW	1.89mW
T_1 (W)		4 μm		
T_2 (W)		8 μm		
T_3 (W)		55 μm		
D_1 (W)		4 μm		
D_2 (W)		4 μm		

O lay-out do circuito Inversor projetado com a lógica SDFL é mostrado na figura 5.34.

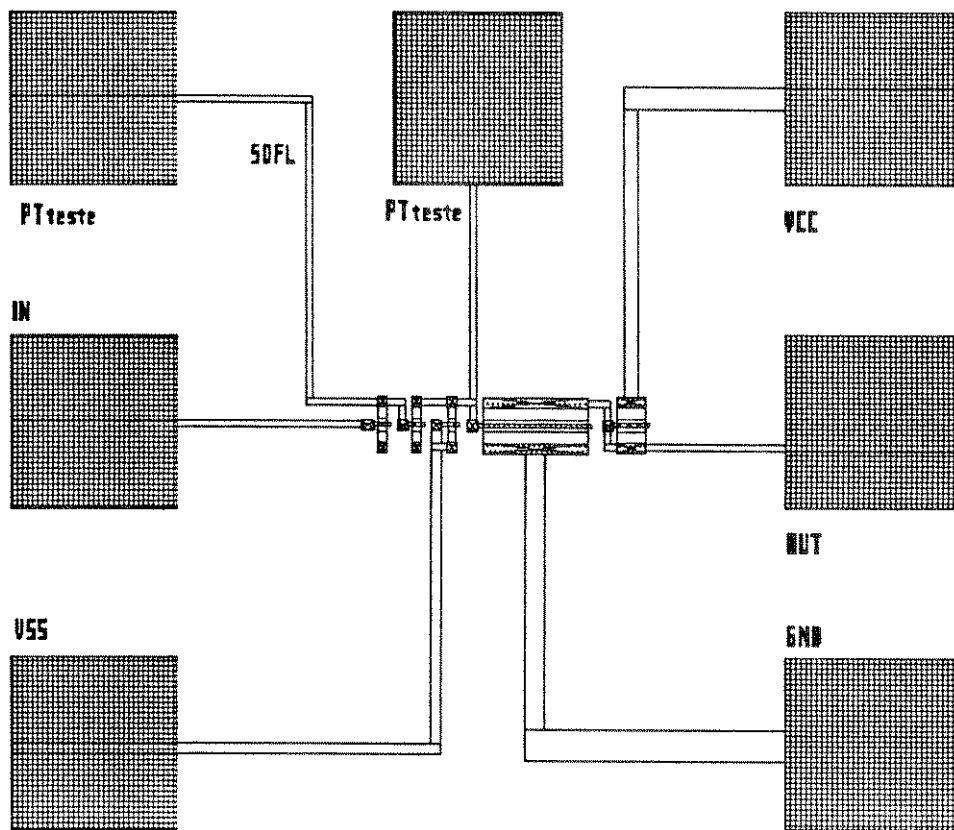


figura 5.34 - lay-out do circuito SDFL

5.2.4.5 - LÓGICA FET COM CAPACITOR DE REALIMENTAÇÃO - FFC:

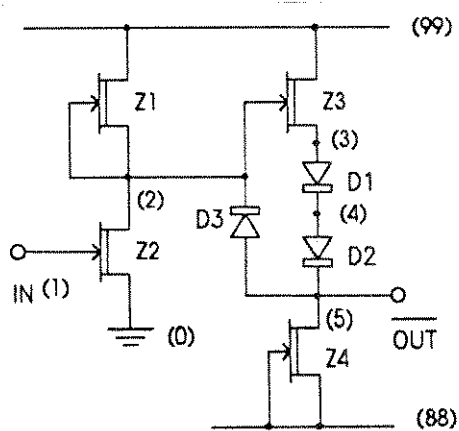
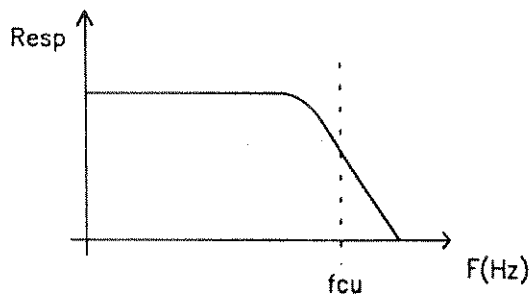


figura 5.35 - circuito inversor FFC

A Lógica FET com Capacitor de Realimentação (Feed-Forward Capacitor [17]), utiliza-se das Lógicas FET com Buffer - BFL (figura 5.35), e CCL (Lógica a Capacitor Acoplado)[18] que permite incrementar a resposta em frequência em até 35% comparado ao circuito BFL normal.



A figura 5.36, mostra a resposta da Lógica BFL em frequência (filtro passa-baixas).

figura 5.36 - resposta em frequência da lógica BFL

Já o circuito CCL (figura 5.37), possui o comportamento de um filtro "passa-faixas", portanto sua resposta em frequência varia de f_{cl} a f_{cu} (low cutoff-frequency, upper cutoff-frequency).

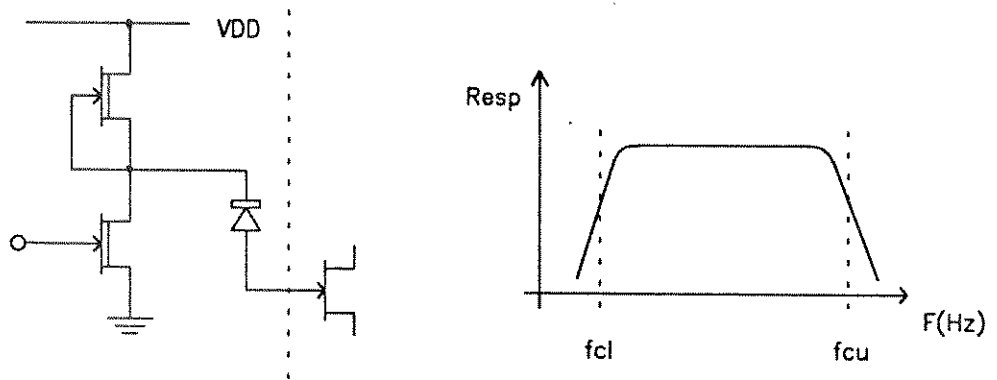
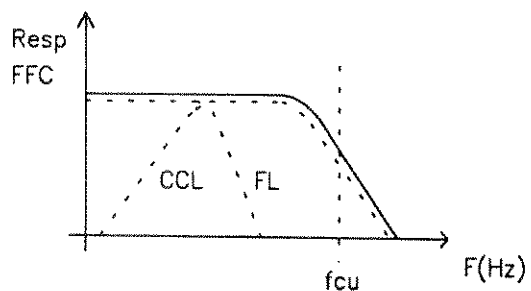


figura 5.37 - lógica CCL



Usando a lógica FFC, a resposta em frequência do filtro passa-baixas pode ser incrementado em até 35% como mostra a figura 5.38.

figura 5.38 - resposta em frequência da lógica FFC

Dessa forma implementamos o mesmo circuito BFL (item 5.2.4.1) que passou a ser um circuito com Lógica FFC como mostra a figura 5.35.

Inicialmente aplicamos um sinal com período de 40ns como mostra a figura 5.39. Na figura 5.40 temos o gráfico do tempo de propagação entre o sinal de saída e o sinal de entrada. Em seguida aplicamos um sinal com período de 2ns onde mostra o sinal de saída em relação ao sinal de entrada (figura 5.41). Observamos que a resposta em frequência é

bem maior, em torno de 25%, e o consumo de potência mais baixo (10% menos em relação à Lógica BFL). A figura 5.42, mostra os tempos de atraso a 0% e 50%, além do tempo de subida. A curva de transferência apresenta os mesmos níveis para diferentes frequências (figura 5.43), pois a mesma está relacionada diretamente ao "fan-out" do circuito. Os dados obtidos encontram-se na tabela 5.5.

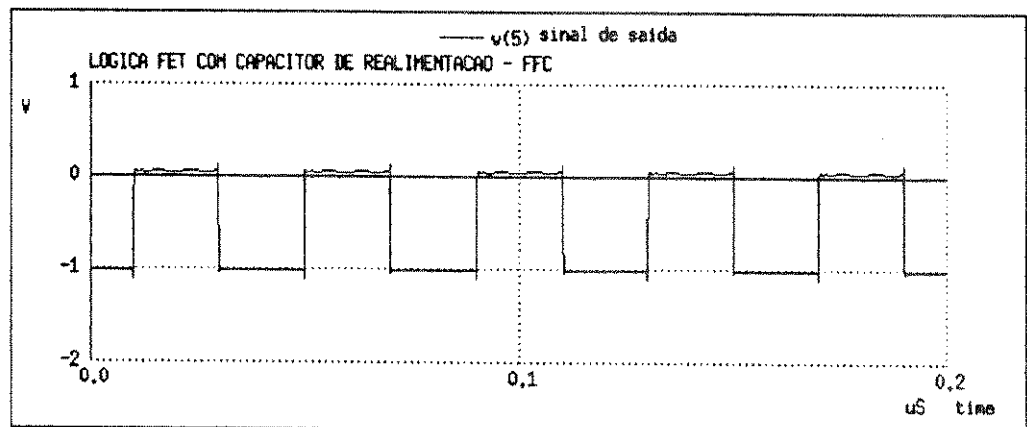
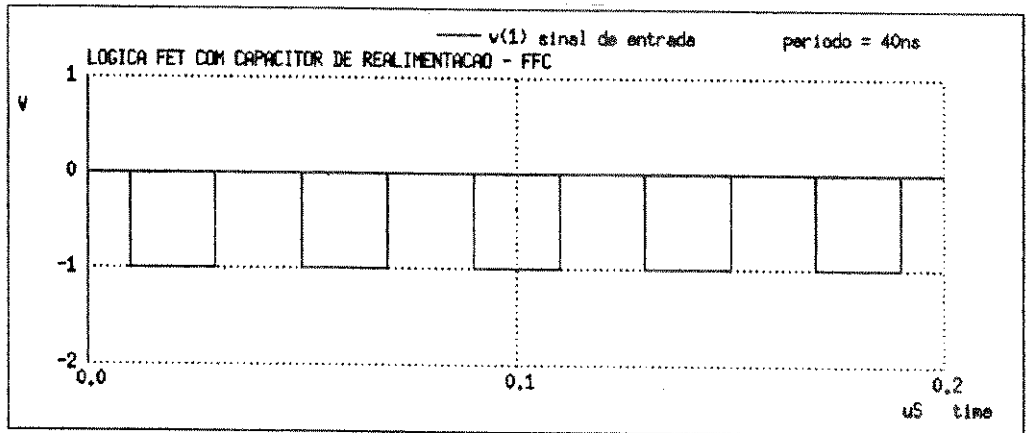


figura 5.39 - sinal de entrada e saída da Lógica FFC

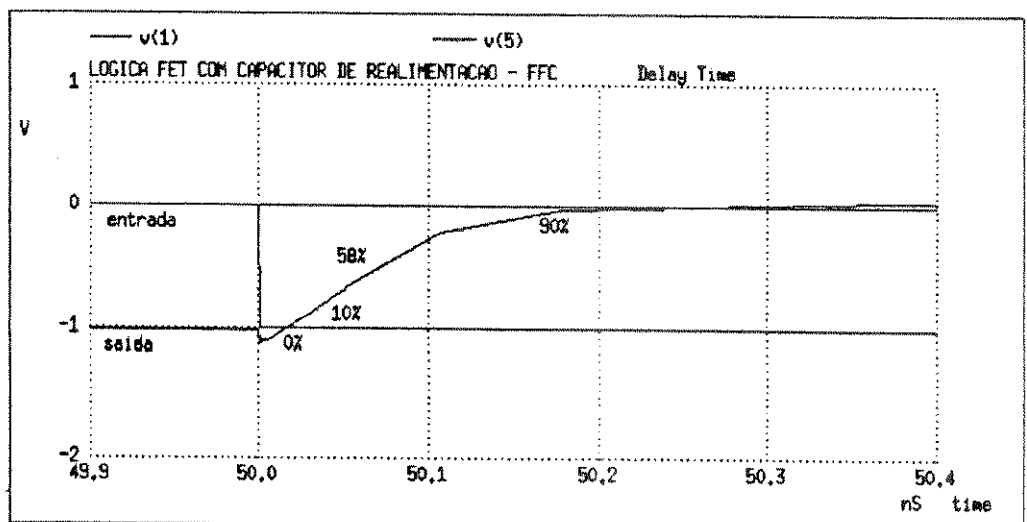


figura 5.40 - relação do tempo de propagação entre o sinal de saída o sinal de entrada da Lógica FFC

O uso de diodo como capacitor, permite que circuitos com configuração do tipo BFL possam trabalhar com períodos menores como mostra figura 5.41, com um mínimo de degeneração no seu sinal de saída.

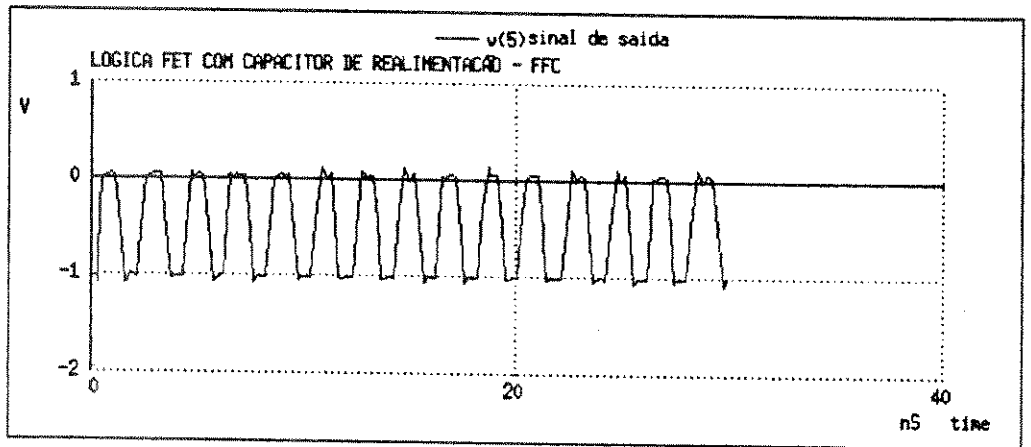
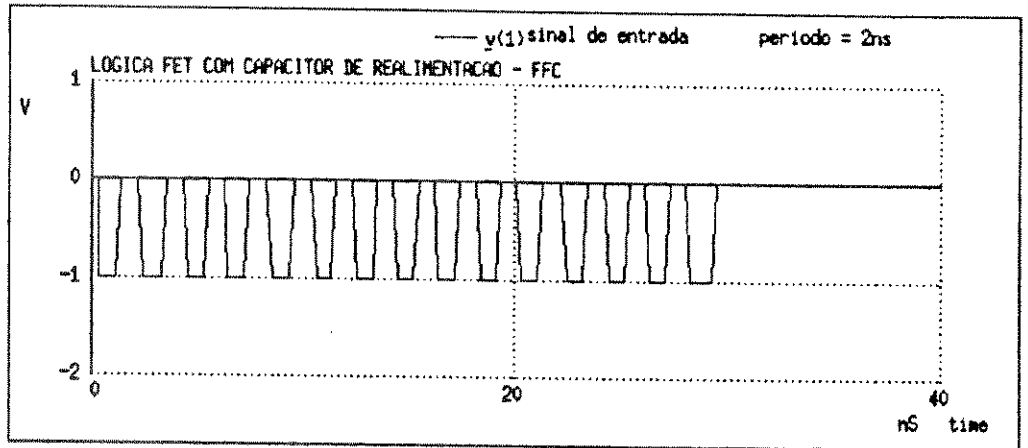


figura 5.41 - sinal de entrada e saída da Lógica FFC para um período de 2ns

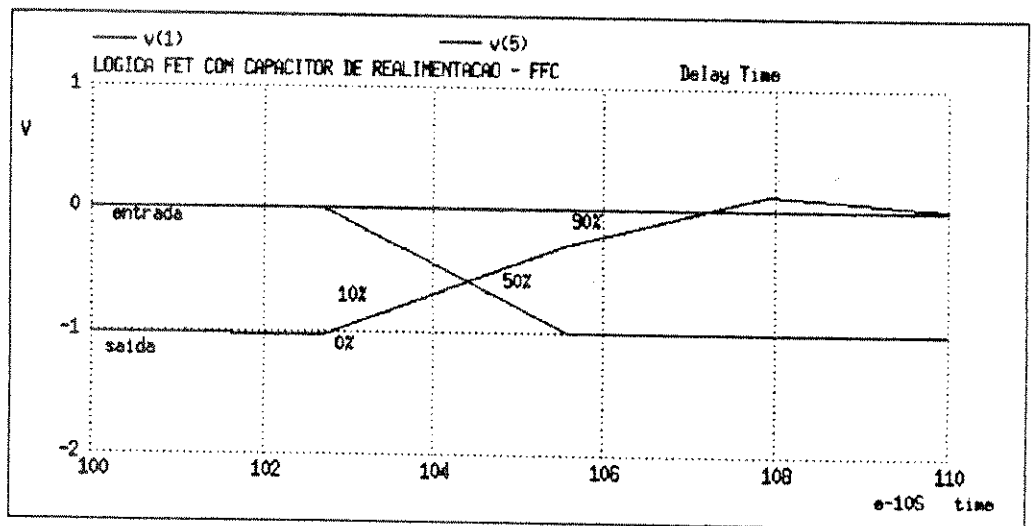


figura 5.42 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Lógica FFC para um P=2ns

A curva de transferência (figura 5.43), utilizada para medir a margem de ruído do circuito e na

tabela 5.5 temos os valores das margens de ruído extraídos da curva de transferência

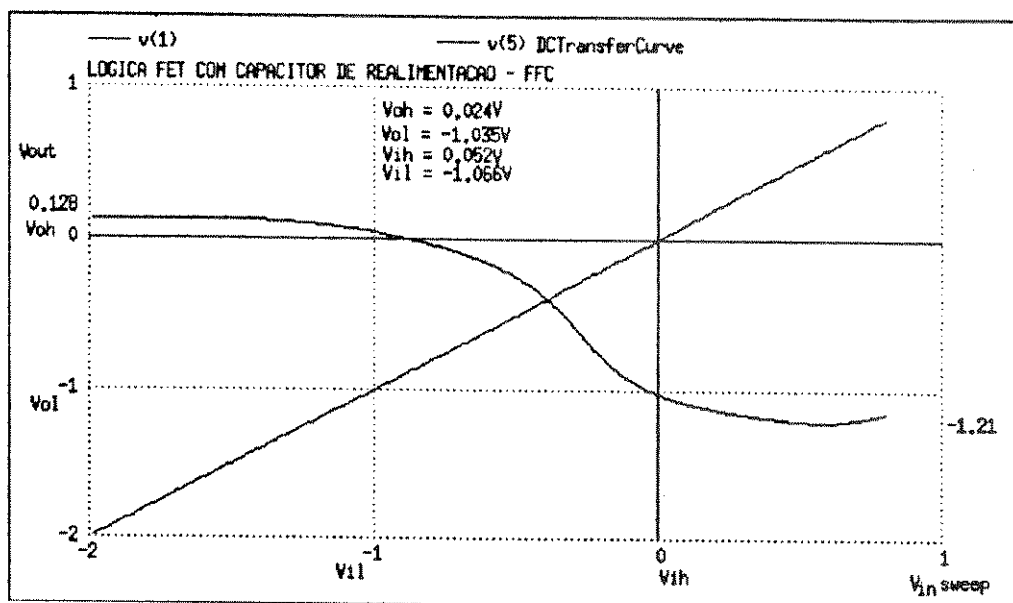


figura 5.43 - curva de transferência da Lógica FFC

Tabela 5.5 - Dados obtidos da Lógica FFC

Variável P=40ns $V_T = -1.5V$	F0=1	F0=2	F0=3
V_{OH}	0.024V	0.024V	0.024V
V_{OL}	-1.035V	-1.035V	-1.035V
V_{IH}	0.052V	0.052V	0.052V
V_{IL}	-1.066V	-1.066V	-1.066V
V_{NH}	0.028V	0.028V	0.028V
V_{NL}	0.035V	0.035V	0.035V
Tempo de Propagação (0%)	11.0ps	13.0ps	13.9ps
Tempo de Propagação (50%)	72.3ps	85.1ps	95.6ps
Tempo de Subida (rise-time)	134.6ps	179.0ps	236.9ps
V_{DD}	2.5V		
V_{SS}	-2.0V		
Potência Dissipada	3.04mW	3.04mW	3.04mW
Variável P=2ns $V_T = -1.5V$	F0=1	F0=2	F0=3
V_{OH}	0.05V	0.05V	0.05V
V_{OL}	-1.03V	-1.03V	-1.03V
V_{IH}	0.01V	0.01V	0.01V
V_{IL}	-1.00V	-1.00V	-1.00V
V_{NH}	0.04V	0.04V	0.04V
V_{NL}	0.03V	0.03V	0.03V
Tempo de Propagação (0%)	00.1ps	00.1ps	00.1ps
Tempo de Propagação (50%)	66.0ps	76.0ps	91.0ps
Tempo de Subida (rise-time)	122.0ps	135.8ps	210.0ps
Potência Dissipada	2.08mW	2.08mW	2.08mW
T_1 (W)	4.0 μ m		
T_2 (W)	5.5 μ m		
T_3 (W)	5.0 μ m		
T_4 (W)	8.5 μ m		
D_1 (W)	2.0 μ m		
D_2 (W)	2.0 μ m		
D_3 (W)	4.0 μ m		

O lay-out do circuito Inversor projetado com a lógica FFC é mostrado na figura 5.44.

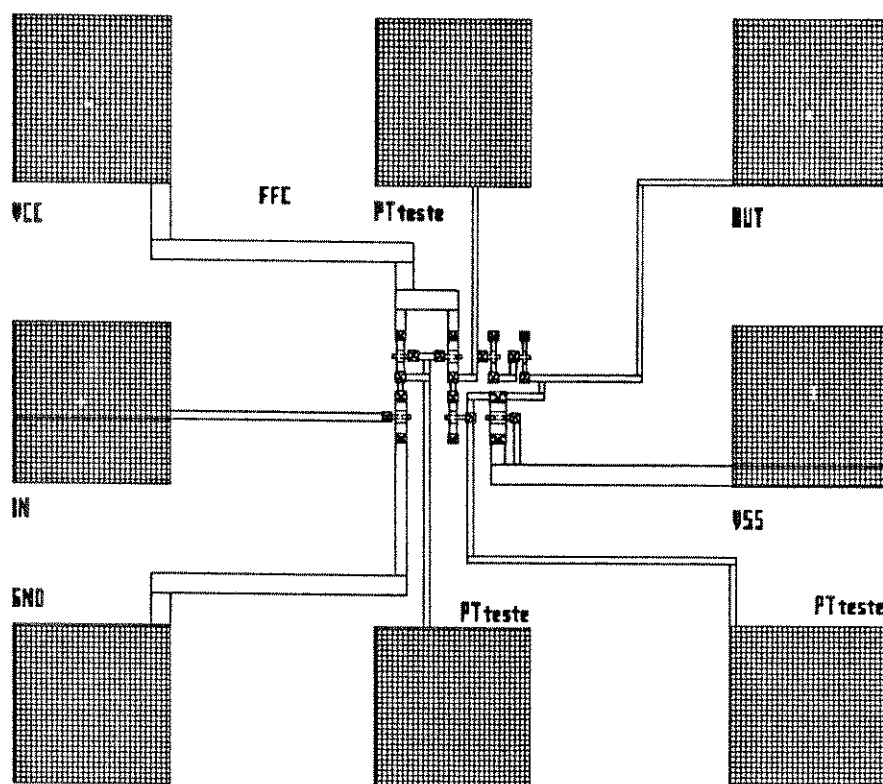


figura 5.44 - lay-out do circuito FFC

As lógicas construídas no "chip 2", foram simuladas e seus parâmetros teóricos inseridos nas suas respectivas tabelas. A partir desses dados foram simuladas e desenhadas as portas lógicas e flip-flops do "chip 3". Usamos para a construção dos circuitos do "chip 3", as seguintes lógicas: BFL, SDFL e FFC. Todos os circuitos do "chip 2", possuem pontos de teste para se poder verificar o comportamento dos mesmos (ver mapa dos circuitos - página 115).

5.2.5 - LAY-OUT DO CIRCUITO INTEGRADO 2:

A figura 5.45 mostra o lay-out completo do Circuito Integrado 2, composto de circuitos lógicos, diodos e estruturas de teste.

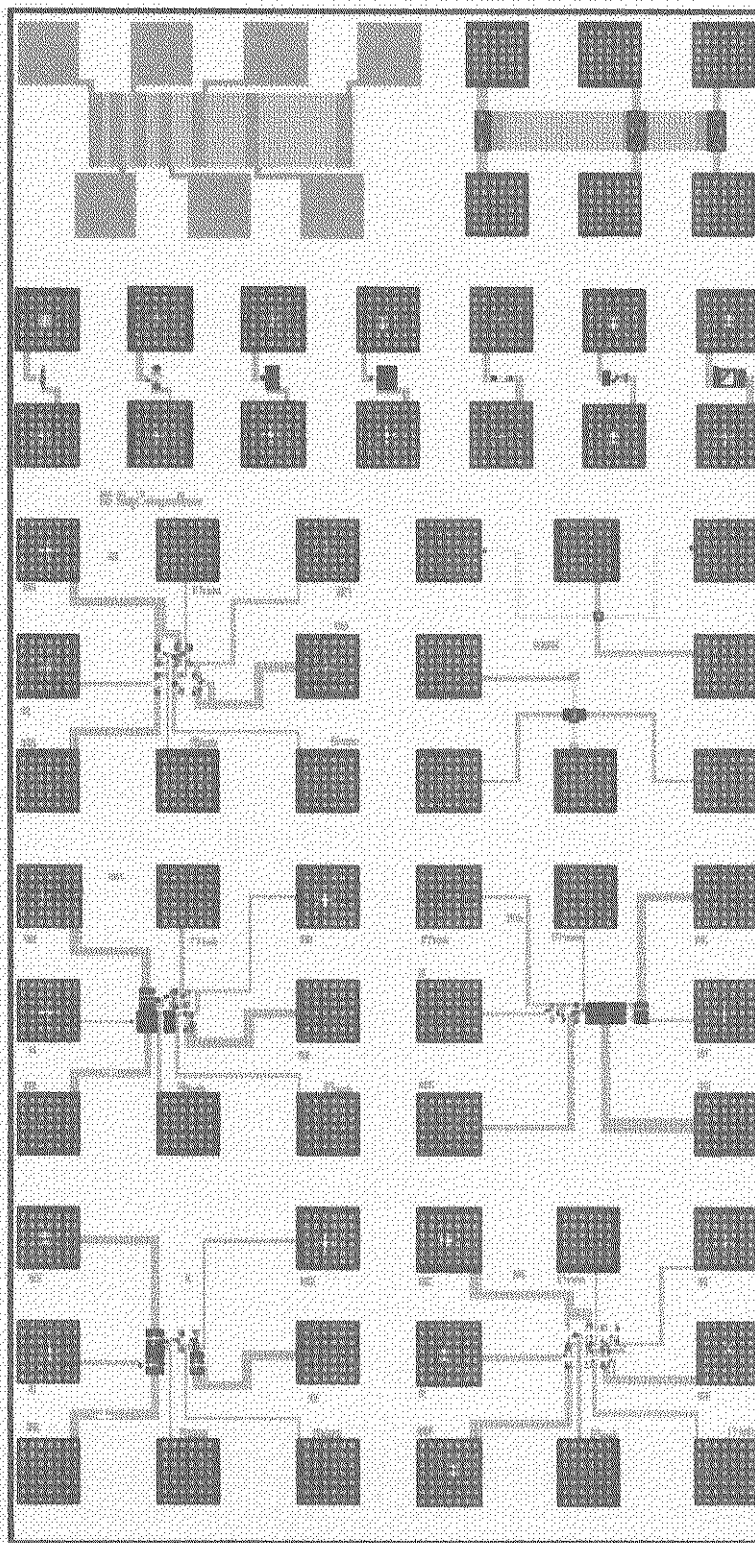


figura 5.45 - máscara do circuito integrado 2

5.2.6 - MAPA DO CIRCUITO INTEGRADO 2:

A figura 5.46 mostra o mapa completo do Circuito Integrado 2, com seus pontos de entrada e saída, alimentação e pontos intermediários para testes e extração de parâmetros.

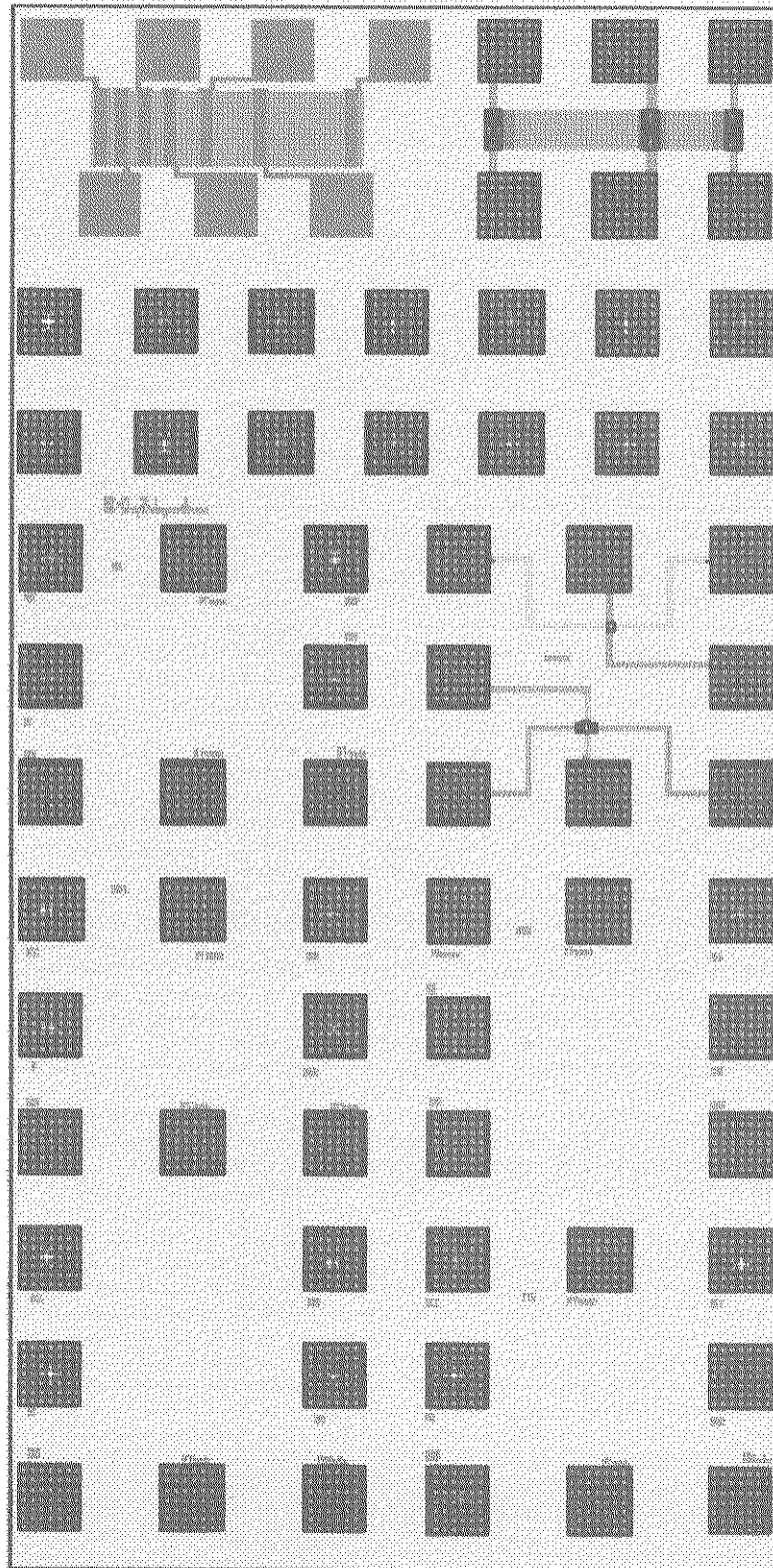


figura 5.46 - mapa do circuito integrado 2

5.3 - CIRCUITO INTEGRADO 3

Composto de Portas Lógicas, contendo as seguintes características:

DIMENSAO: 1x2mm [1000 μ x 2000 μ - 2000lambda x 4000lambda]

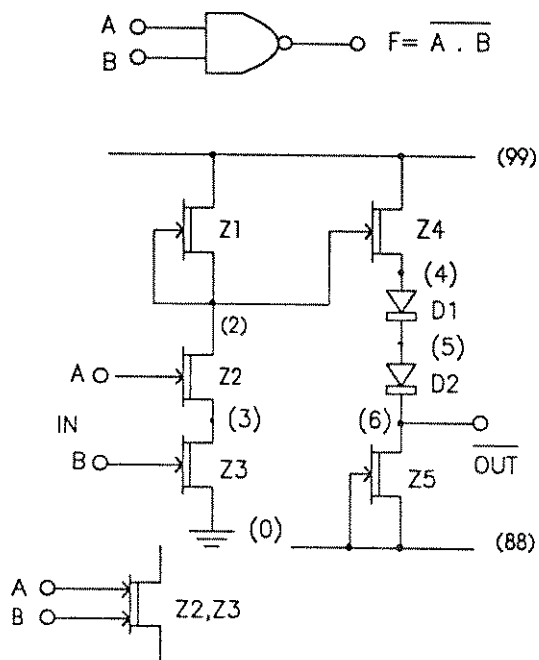
Circuitos lógicos: 06 circuitos

Tipo do dispositivo: Diodos e Transistores de Depleção - N

Dimensão mínima de porta (gate): W/L = 2x2 [μ m]

Arquivo Tecnologia: dlpd.tech

5.3.1 - PORTA NAND-2 ENTRADAS:



A porta NAND (figura 5.47a) de duas entradas (figura 5.47b) construída, utiliza a Lógica BFL e suas entradas; In A, In B; utilizam um único transistor de porta dupla (figura 5.47c). A amplitude do sinal de entrada e saída varia de $|\pm 1V|$. A variação do sinal é de 0 a -1V. A alimentação é $V_{DD}=2.5V$ e $V_{SS}=-2.0V$.

figura 5.47 - circuito da Porta NAND de 2-entradas

A figura 5.48 mostra a simulação SPICE da Porta NAND-2 entradas. Na figura 5.49 temos o tempo de propagação entre o sinal de saída e o sinal de entrada simulado. O ruído observado na saída do circuito é consequência das transições geradas pelos sinais de entrada no transistor Z_2 . Para o caso de sua utilização em conexão com outras lógicas não se faz necessário uma correção dos ruídos e "spikes" apresentados, porém se for utilizada como lógica de saída podem ser acoplados "buffer's" na saída para se obter uma conformação

de sinal idêntica ao da entrada. Este tipo de correção será mostrada mais adiante com aplicação de "buffers" nas saídas dos circuitos.

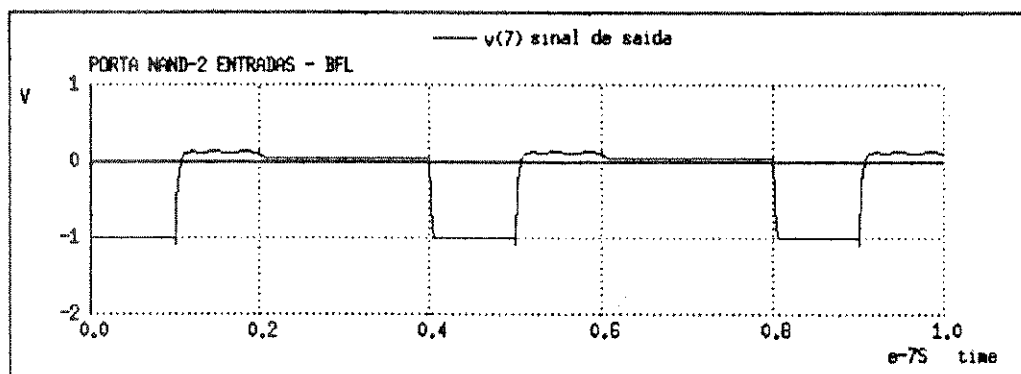
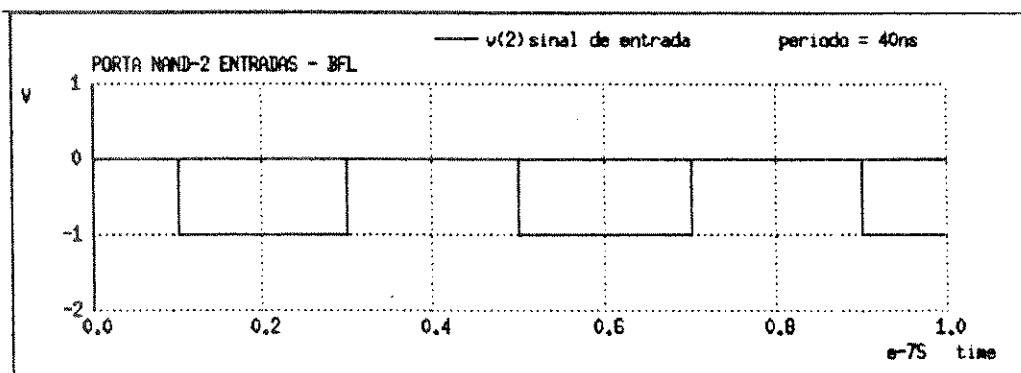
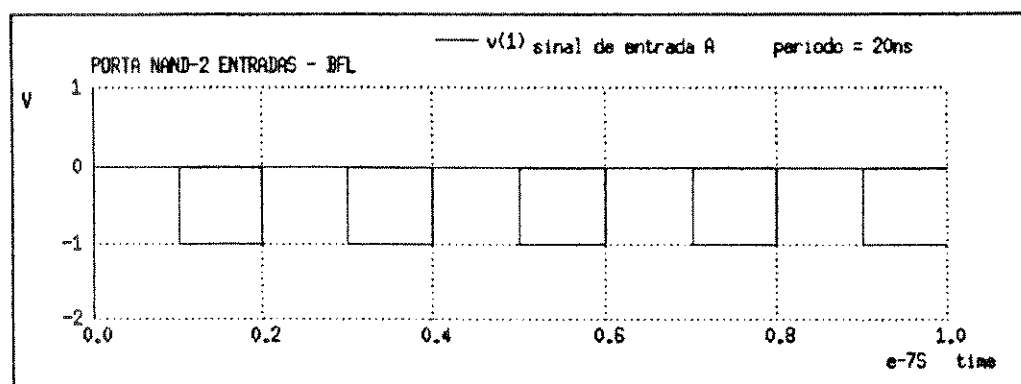


figura 5.48 - sinais de entrada e saída da Porta NAND

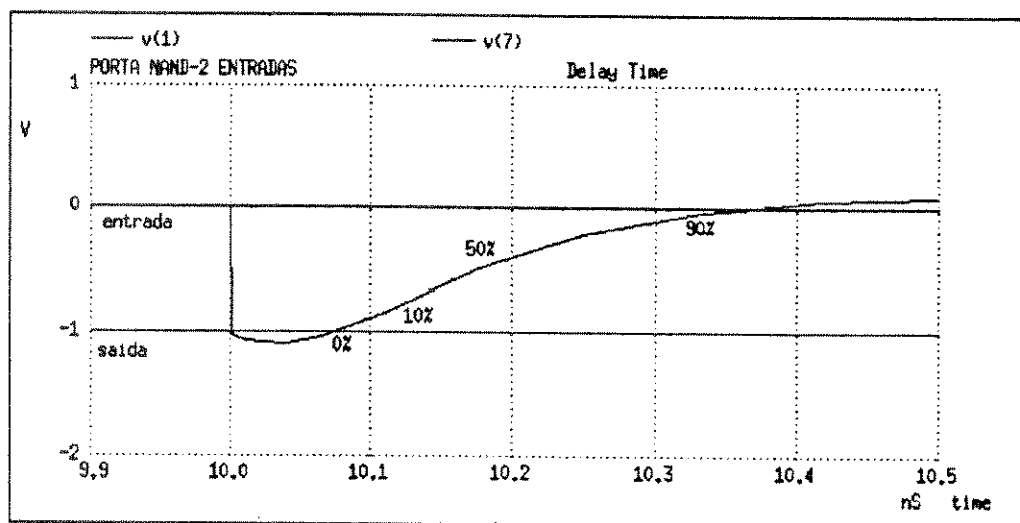


figura 5.49 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Porta NAND

A curva de transferência da Porta NAND está mostrada na figura 5.50.

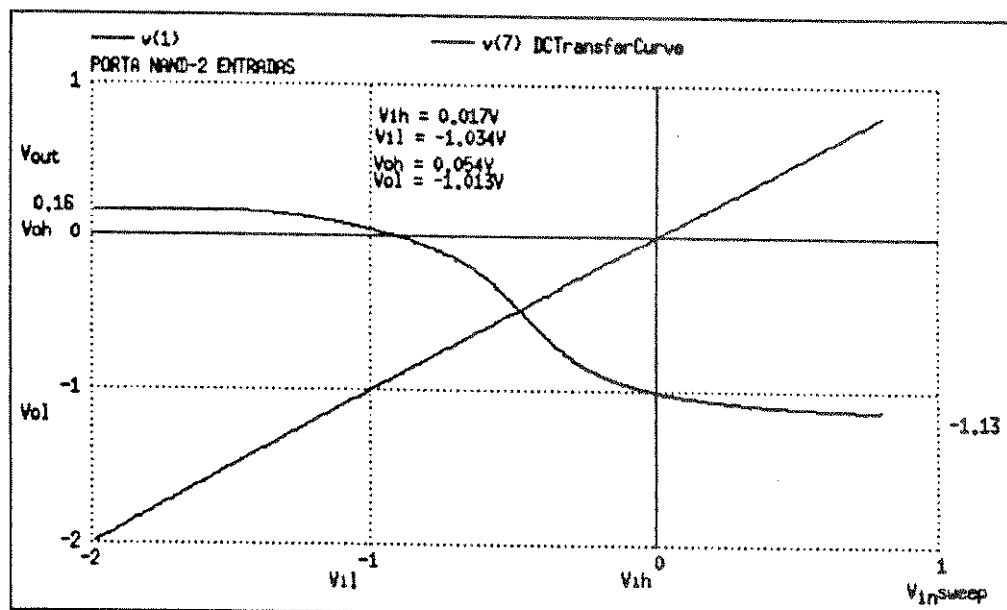


figura 5.50 - curva de transferência da Porta NAND-BFL

Na tabela 5.6 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito da PORTA NAND-BFL.

Tabela 5.6-Dados obtidos da Porta NAND-2 entradas

Variável	$V_T = -1.5V$	FO=1	FO=2	FO=3
V_{OH}		0.054V	0.054V	0.054V
V_{OL}		-1.013V	-1.013V	-1.013V
V_{IH}		0.017V	0.017V	0.017V
V_{IL}		-1.034V	-1.034V	-1.034V
V_{NH}		0.037V	0.037V	0.037V
V_{NL}		0.021V	0.021V	0.021V
Tempo de Propagação (0%)		61.6ps	66.5ps	70.7ps
Tempo de Propagação (50%)		149.0ps	178.4ps	203.9ps
Tempo de Subida (rise-time)		149.0ps	178.4ps	203.9ps
V_{DD}		2.5V		
V_{SS}		-2.0V		
Potência Dissipada		2.5mW	2.65mW	2.78mW
T_1 (W)		$3\mu\text{m}$		
T_2 (W)		$10\mu\text{m}$		
T_3 (W)		$8\mu\text{m}$		
T_4 (W)		$5\mu\text{m}$		
T_5 (W)		$8\mu\text{m}$		
D_1 (W)		$2\mu\text{m}$		
D_2 (W)		$2\mu\text{m}$		

O lay-out do circuito da Porta NAND-2 entradas projetado com a lógica BFL é mostrado na figura 5.51.

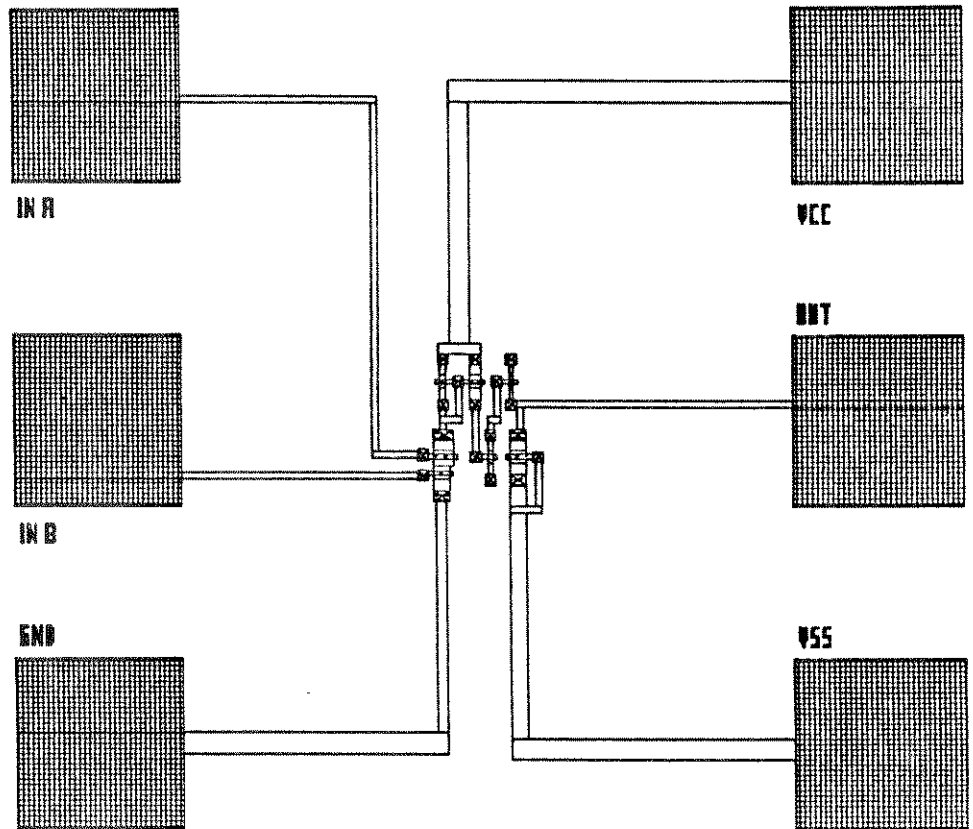
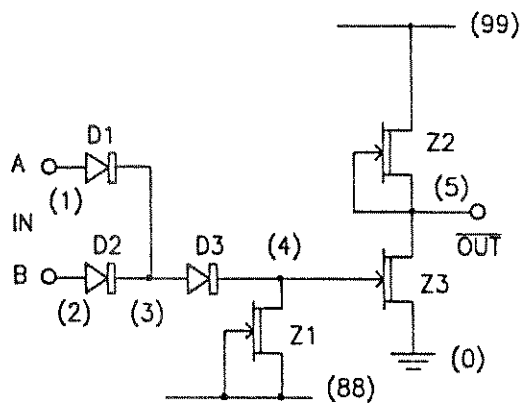


figura 5.51 - lay-out da porta NAND

5.3.2 - PORTA NOR-2 ENTRADAS:

A porta NOR de duas entradas, utilizando a Lógica SDFL (figura 5.52), foi projetada para ser compatível com lógicas do tipo TTL/MOS.



A diferença entre o circuito INVERSOR SDFL apresentado no "chip 2", está principalmente nos níveis de tensão aplicados. Para este circuito, é utilizado $V_{DD}=5V$ e $V_{SS}=-1.5V$, que permite uma variação de tensão similar as lógicas TTL e MOS.

figura 5.52 - circuito da Porta NOR-2 entradas

A figura 5.53, mostra os sinais de entrada e o de saída obtidos na simulação SPICE. A figura 5.54 mostra o tempo de propagação entre o sinal de saída e o sinal de entrada V(1).

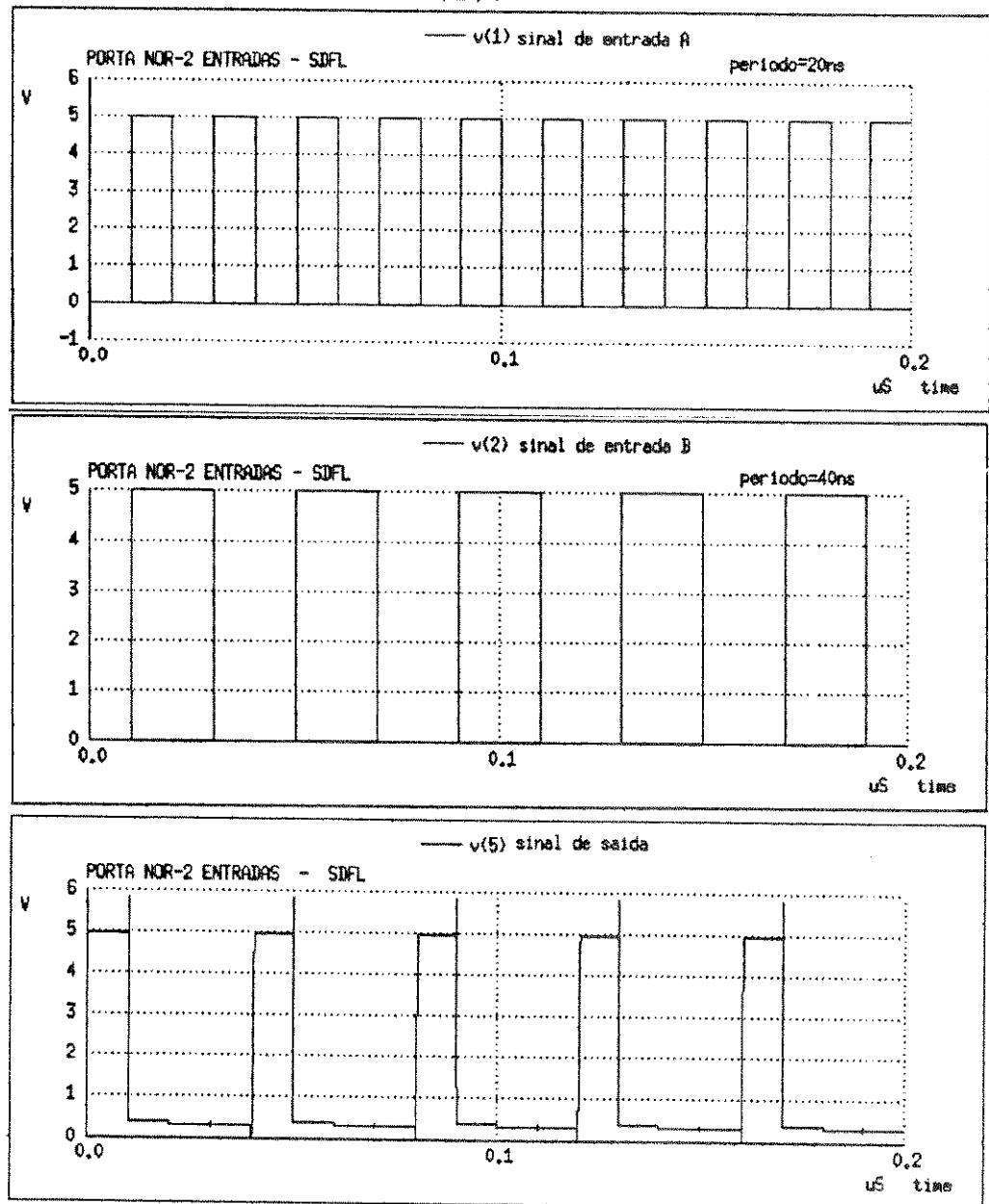


figura 5.53 - sinais de entrada e saída da Porta NOR

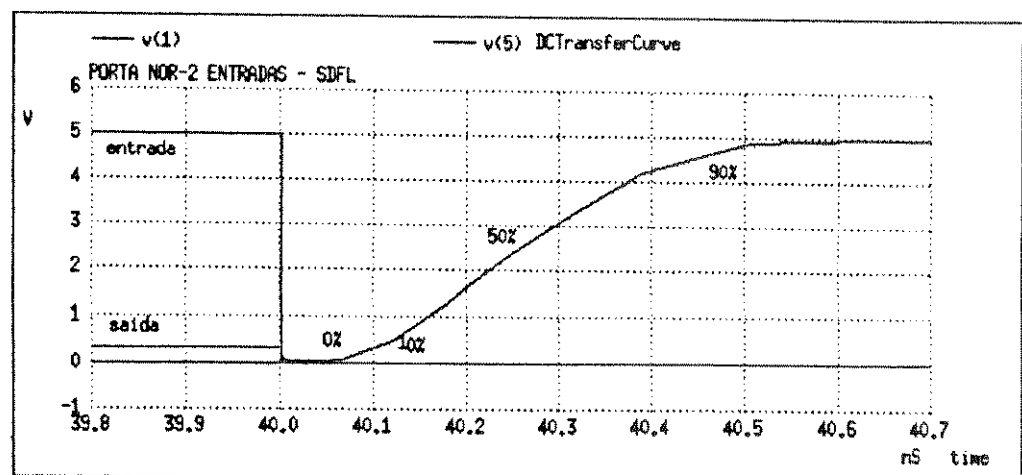


figura 5.54 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Porta NOR

A curva de transferência da Porta NOR-2 entradas está mostrada na figura 5.55.

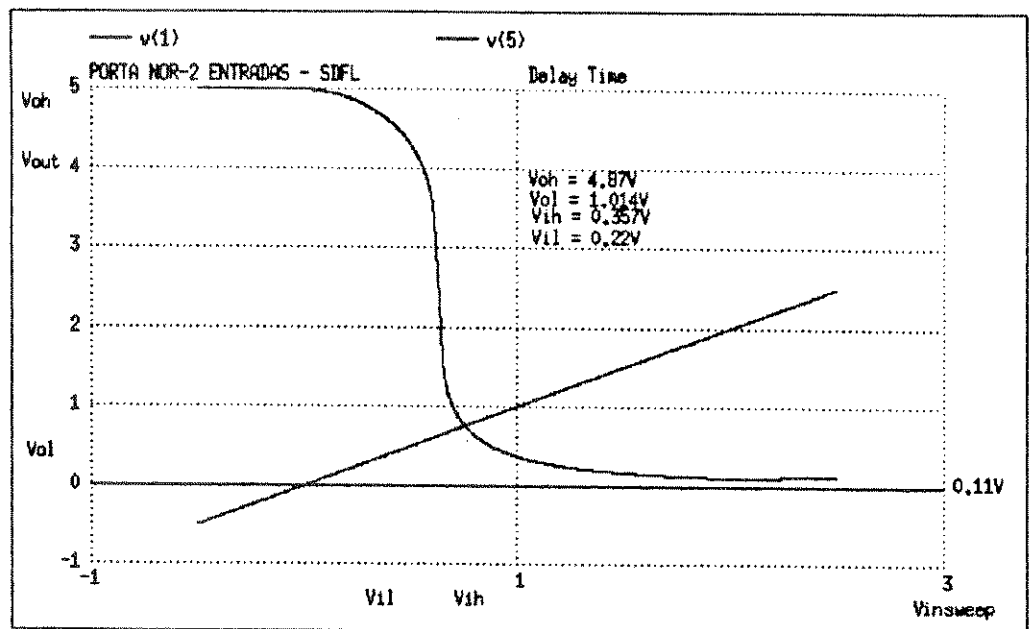


figura 5.55 - curva de transferência da Porta NOR-SDFL

Na tabela 5.7 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito da Porta NOR-SDFL.

Tabela 5.7-Dados obtidos da Porta NOR-2 entradas

Variável	$V_T = -1.5V$	F0=1	F0=2	F0=3
V_{OH}		4.87V	4.87V	4.87V
V_{OL}		1.04V	1.04V	1.04V
V_{IH}		0.35V	0.35V	0.35V
V_{IL}		0.22V	0.22V	0.22V
V_{NH}		4.52V	4.52V	4.52V
V_{NL}		0.80V	0.80V	0.80V
Tempo de Propagação (0%)		104.4ps	108.2ps	122.0ps
Tempo de Propagação (50%)		261.7ps	294.1ps	332.3ps
Tempo de Subida (rise-time)		326.0ps	386.3ps	443.0ps
V_{DD}		5.0V		
V_{SS}		-1.5V		
Potência Dissipada		7.6mW	7.7mW	7.9mW
T_1 (W)		20 μm		
T_2 (W)		10 μm		
T_3 (W)		50 μm		
D_1 (W)		4 μm		
D_2 (W)		4 μm		
D_3 (W)		4 μm		

O lay-out do circuito da Porta NOR-2 entradas projetado com a lógica SDFL é mostrado na figura 5.56.

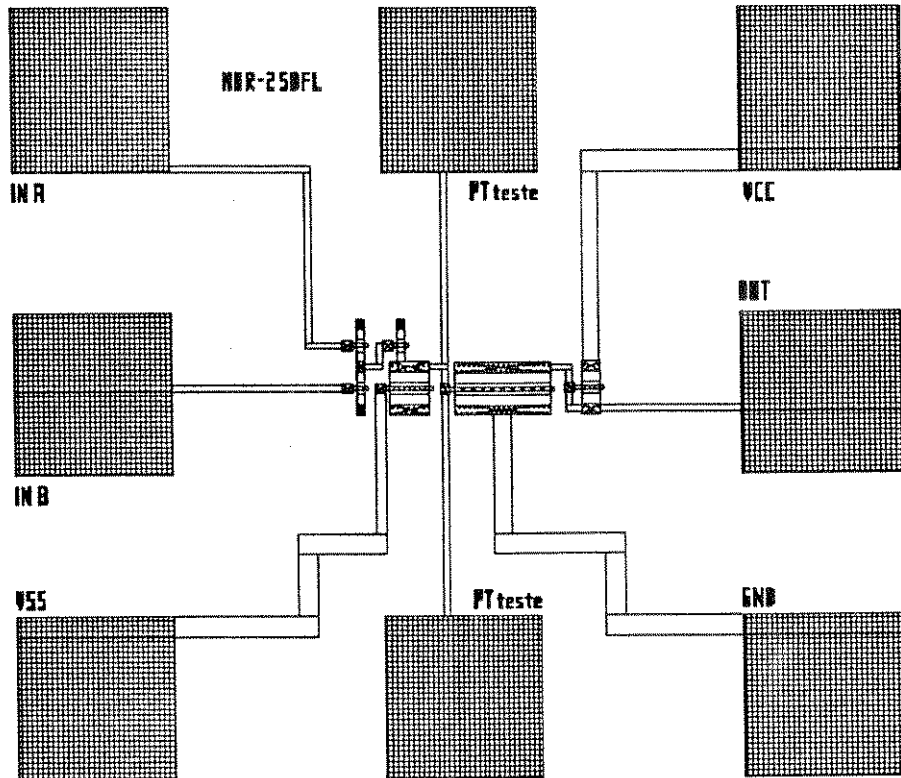


figura 5.56 - lay-out da Porta NOR-SDFL

5.3.3 - PORTA NOR-2 ENTRADAS:

A porta NOR de duas entradas utilizando a Lógica BFL (figura 5.57), está baseado no Circuito INVERSOR BFL.

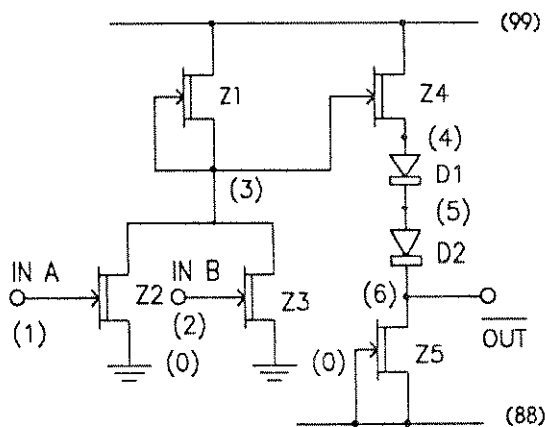
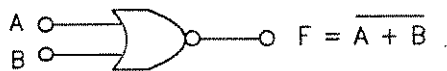


figura 5.57 - circuito da Porta NOR-2 entradas

As alimentações e os níveis de entrada e saída são idênticas a do circuito INVERSOR BFL. Na porta NOR de duas entradas, o primeiro estágio composto dos transistores Z_1 , Z_2 , e Z_3 , fazem a lógica OR. O segundo estágio composto de Z_4 e Z_5 , opera como circuito inversor.

A figura 5.58, mostra os sinais de entrada e o de saída obtidos na simulação SPICE. A figura 5.59 mostra o tempo de propagação entre o sinal de saída e o sinal de entrada V(1).

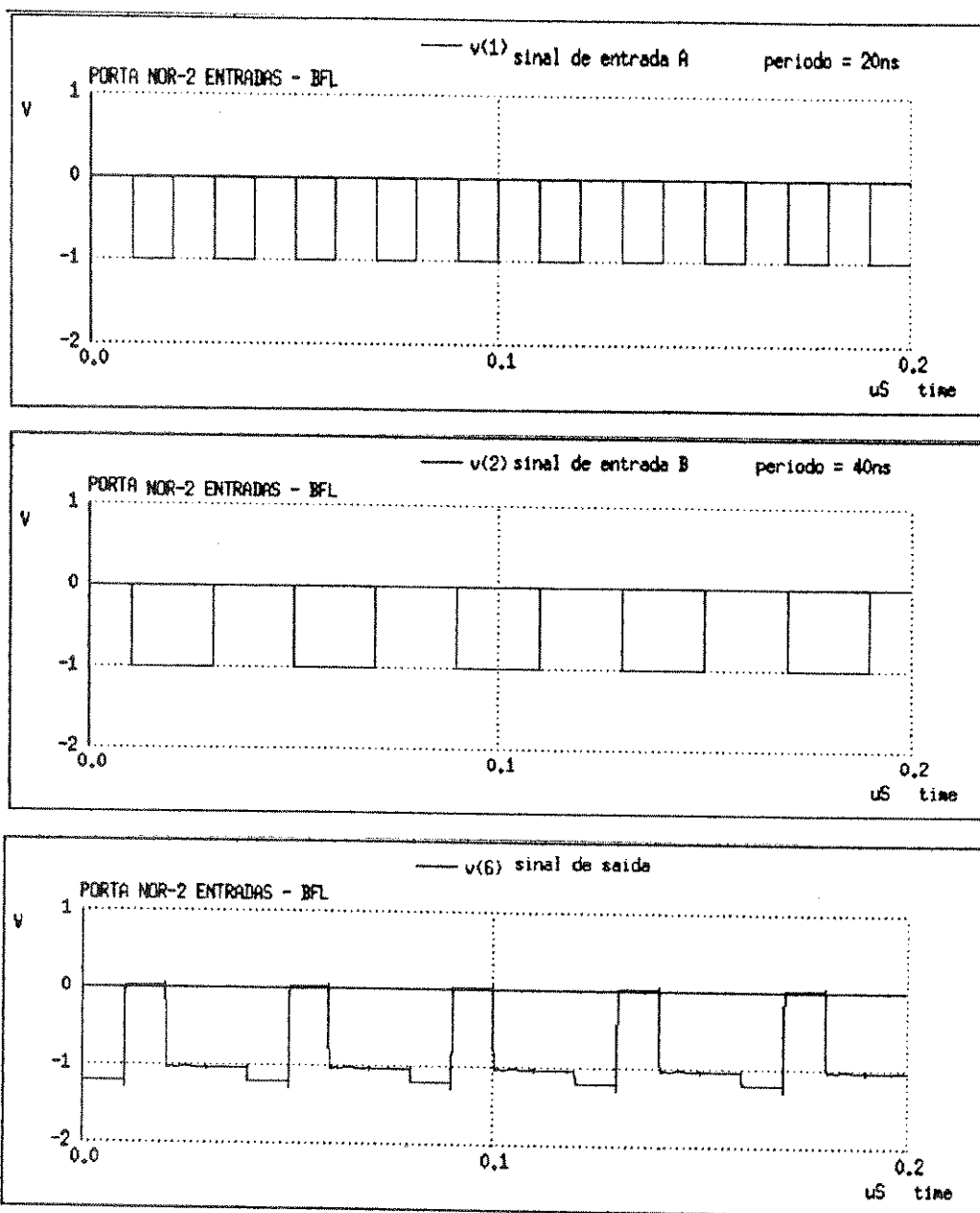


figura 5.58 - sinais de entrada e saída da Porta NOR

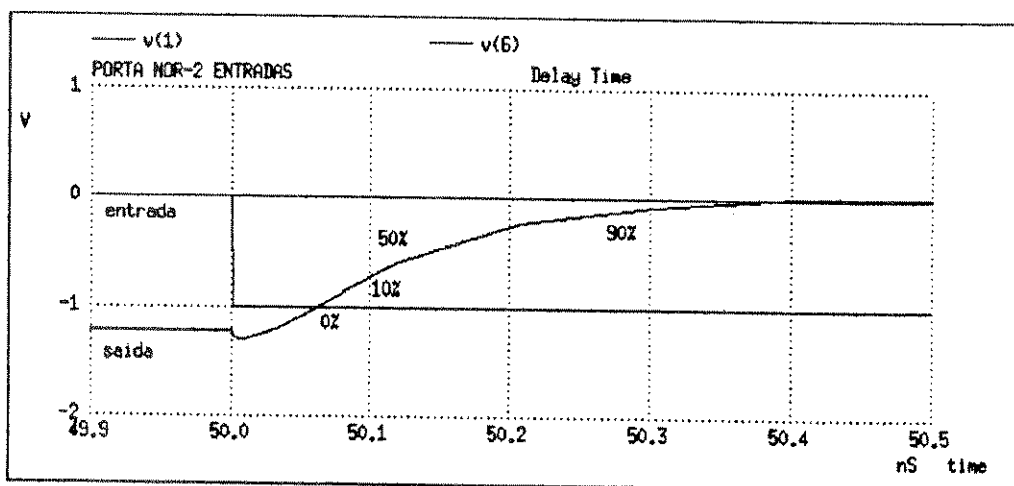


figura 5.59 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Porta NOR

A curva de transferência da Porta NOR-2 entradas está mostrada na figura 5.60.

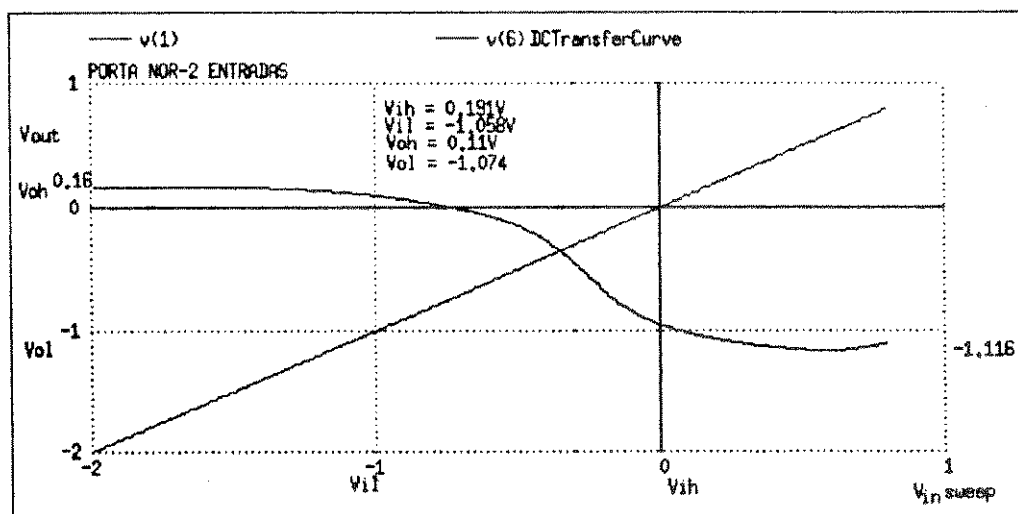


figura 5.60 - curva de transferência da Porta NOR-BFL

Na tabela 5.8 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito da PORTA NAND-BFL.

Tabela 5.8-Dados obtidos da Porta NOR-2 entradas

Variável	$V_T = -1.5V$	FO=1	FO=2	FO=3
V_{OH}		0.11V	0.11V	0.11V
V_{OL}		-1.074V	-1.074V	-1.074V
V_{IH}		0.191V	0.191V	0.191V
V_{IL}		-1.058V	-1.058V	-1.058V
V_{NH}		0.04V	0.04V	0.04V
V_{NL}		0.03V	0.03V	0.03V
Tempo de Propagação (0%)		59.8ps	89.7ps	105.8ps
Tempo de Propagação (50%)		147.1ps	207.8ps	262.5ps
Tempo de Subida (rise-time)		227.4ps	349.1ps	441.2ps
V_{DD}		2.5V		
V_{SS}		-2.0V		
Potência Dissipada		2.7mW	2.8mW	2.9mW
T_1 (W)		3 μm		
T_2 (W)		4 μm		
T_3 (W)		4 μm		
T_4 (W)		5 μm		
T_5 (W)		8 μm		
D_1 (W)		2 μm		
D_2 (W)		2 μm		

O lay-out do circuito da Porta NAND-2 entradas projetado com a lógica BFL é mostrado na figura 5.61.

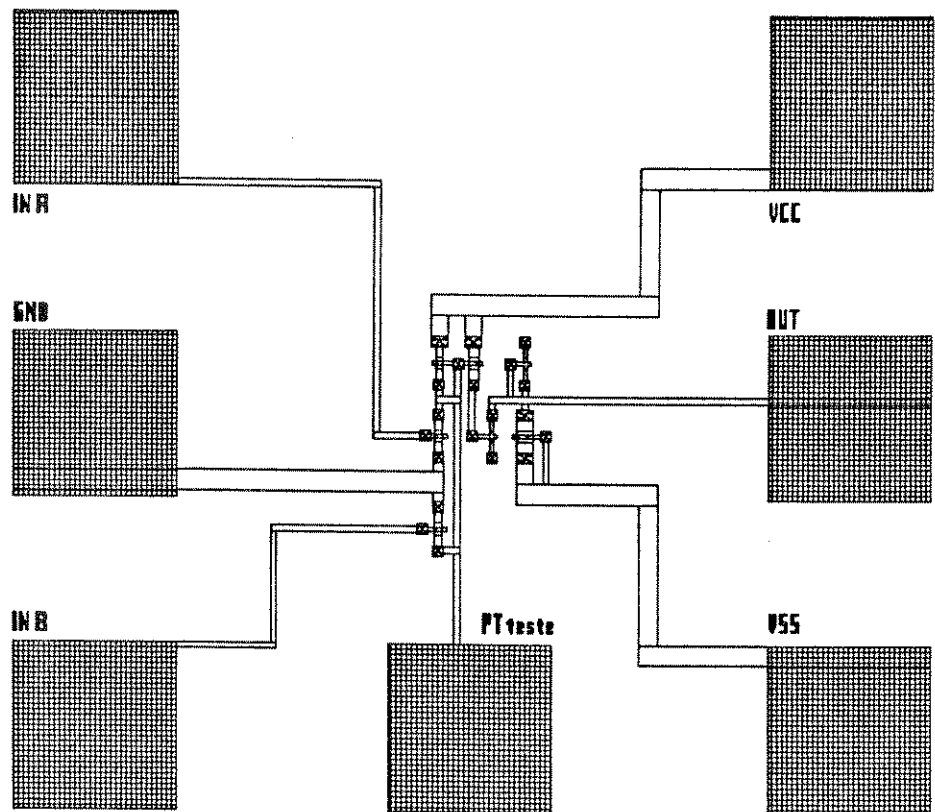


figura 5.61 - lay-out da porta NOR - BFL

5.3.4 - PORTA COMPLEXA AND/NOR:

A porta complexa AND/NOR-3 entradas (figura 5.62), utiliza a lógica BFL. Esta lógica permite implementar "flip-flops" como veremos adiante. O circuito utiliza-se da mesma estrutura da Lógica BFL.

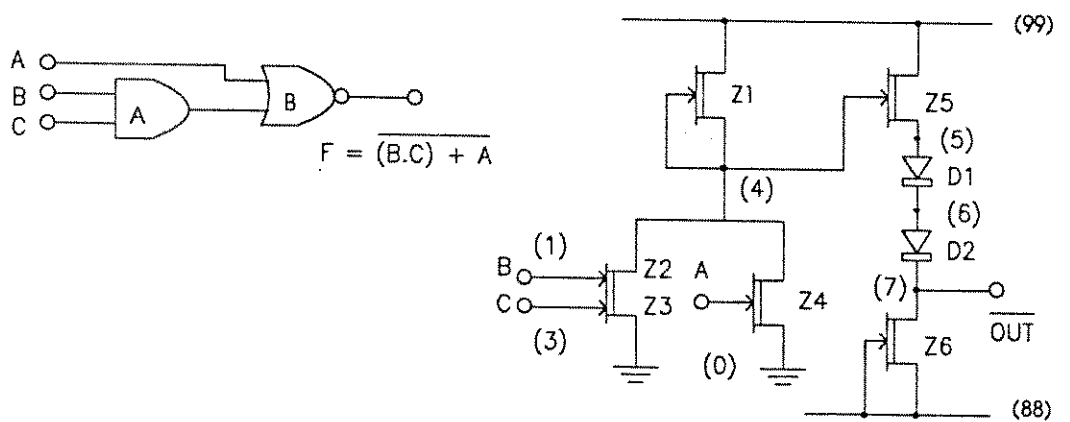


figura 5.62 - circuito da Porta Complexa AND/NOR

O transistor Z_1 , é um transistor do tipo D-MESFET de entrada dupla que faz a lógica AND, e com Z_2 , temos a lógica NOR. A alimentação do circuito é idêntica a usada no circuito INVERSOR BFL (5.2.4.1) e foi construído para trabalhar com fan-out=2.

A figura 5.63, mostra os sinais de entrada e o de saída obtidos na simulação SPICE.

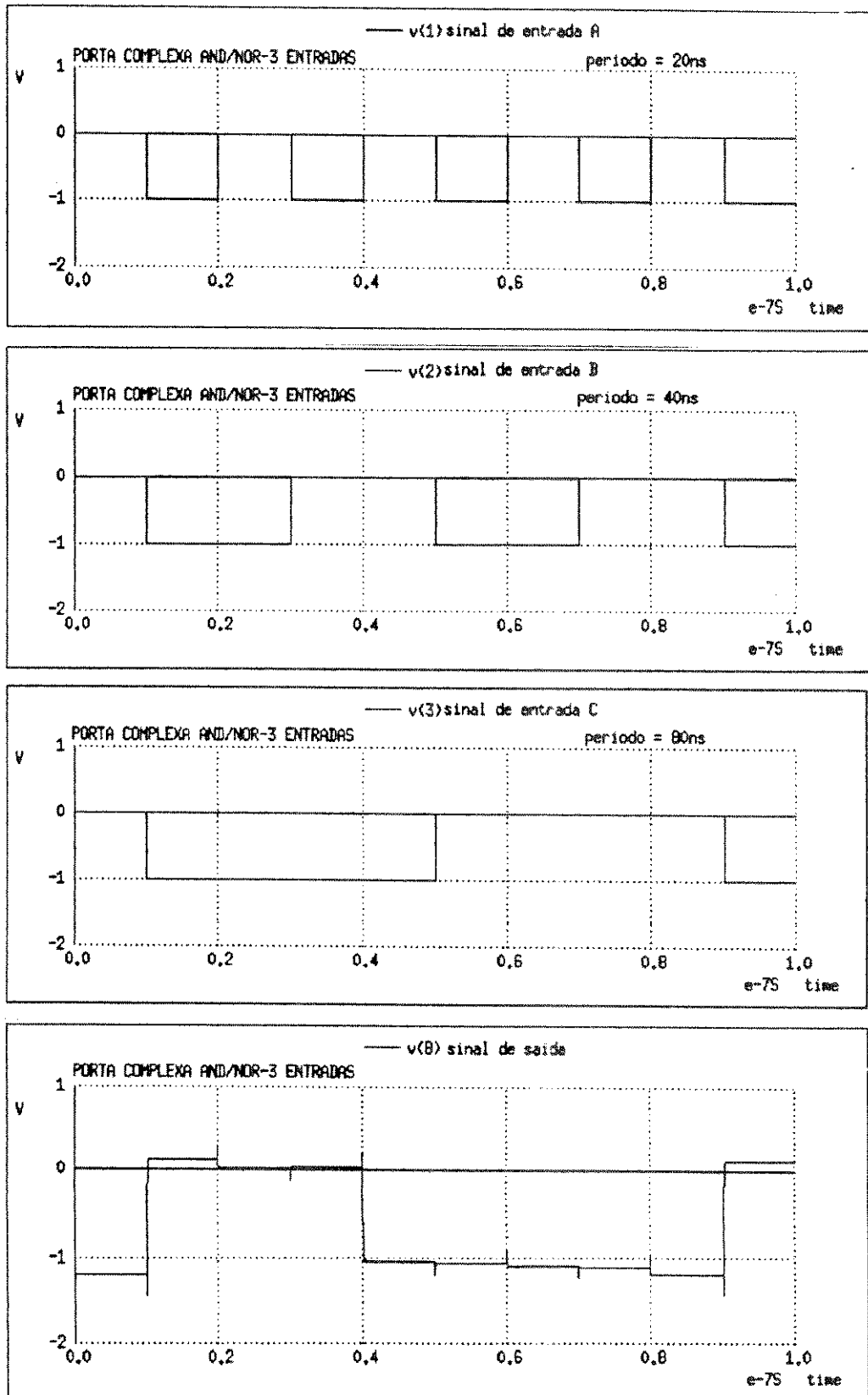


figura 5.63 - sinais de entrada e saída da Porta Complexa AND/NOR

A figura 5.64 mostra o tempo de propagação entre o sinal de saída e o sinal de entrada V(1).

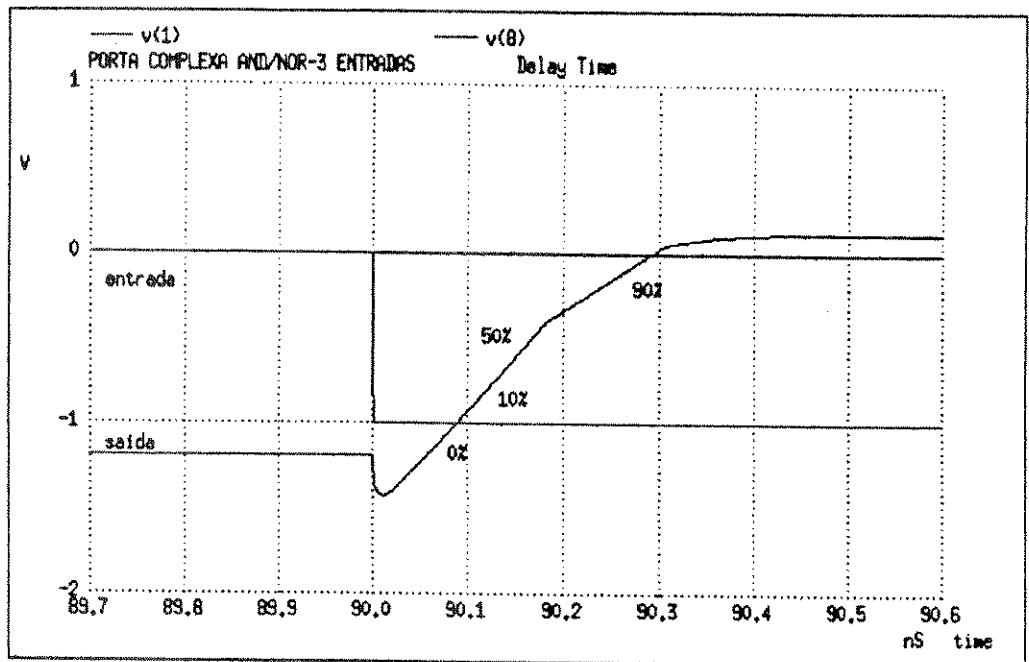


figura 5.64 - relação do tempo de propagação entre o sinal de saída e o sinal de entrada da Porta Complexa AND/NOR

Na tabela 5.9 temos os valores das margens de ruído extraídos da curva de transferência ("DC transferCurve") e as dimensões (W/L em relação ao valor nominal de 1/2 [μm]) para o circuito da Porta Complexa AND/NOR.

Tabela 5.9-Dados obtidos da Porta Complexa AND/NOR-3 entradas

Variável	$V_T = -1.5V$	F0=1	F0=2	F0=3
Tempo de Propagação (0%)		59.6ps	76.4ps	88.9ps
Tempo de Propagação (50%)		164.7ps	205.6ps	245.4ps
Tempo de Subida (rise-time)		223.4ps	248.1ps	280.2ps
V_{DD}		2.5V		
V_{SS}		-2.0V		
Potência Dissipada		2.77mW	2.77mW	2.77mW
T_1 (W)		3 μm		
T_2 (W)		10 μm		
T_3 (W)		8 μm		
T_4 (W)		5 μm		
T_5 (W)		5.5 μm		
T_6 (W)		8 μm		
D_1 (W)		2 μm		
D_2 (W)		2 μm		

O lay-out do circuito da Porta Complexa AND/NOR-3 entradas projetado com a lógica BFL é mostrado na figura 5.65.

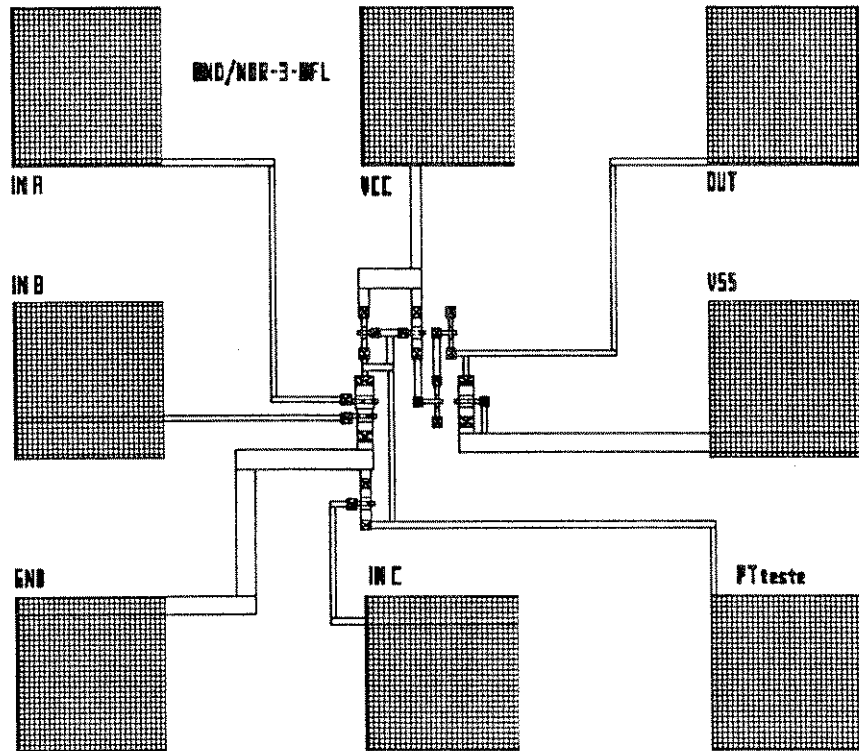
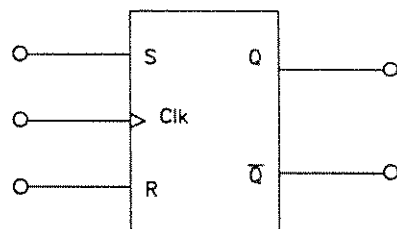


figura 5.65 - lay-out da Porta Complexa AND/NOR

5.3.5 - FLIP-FLOP TIPO R-S:

O Flip-Flop RS[19,20] (figura 5.66), foi desenvolvido a partir da Porta Complexa AND/NOR-3 entradas (item 5.3.4), como mostra a figura 5.67.



S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	X

figura 5.66 - Flip-Flop RS

tabela 5.10

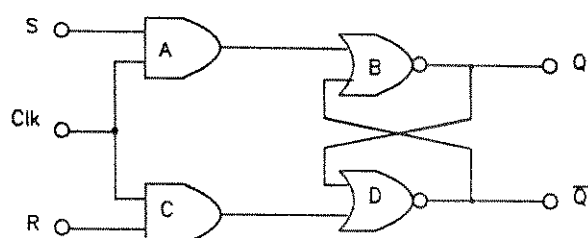


figura 5.67 - Flip-Flop RS a partir da Porta Complexa AND/NOR

Seu funcionamento está descrito na Tabela 5.10. Quando as entradas S ("set") e R ("reset") se apresentam a nível lógico 1 (alto), ambas as saídas, Q e Q\, vão para nível lógico 1 (alto), e este estado é considerado "indefinido"[21] para flip-flops do tipo RS. A figura 5.68, mostra os sinais de entrada e clock.

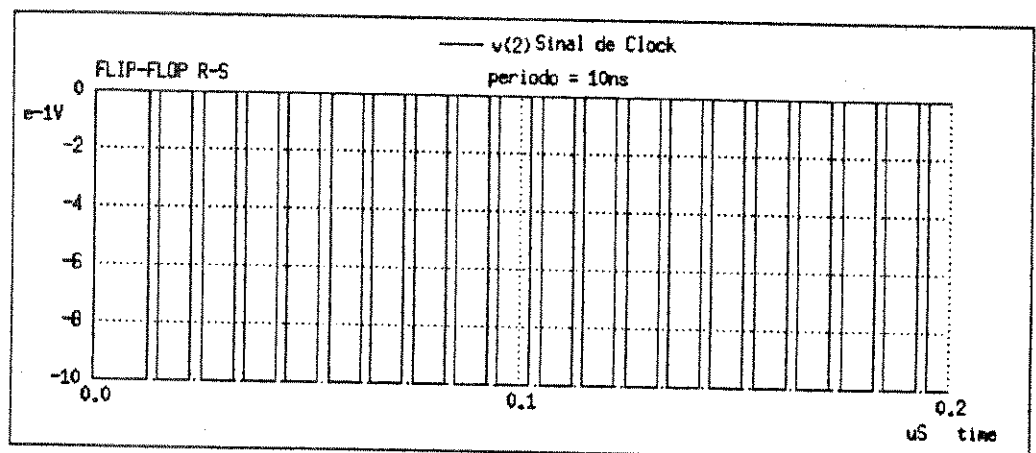
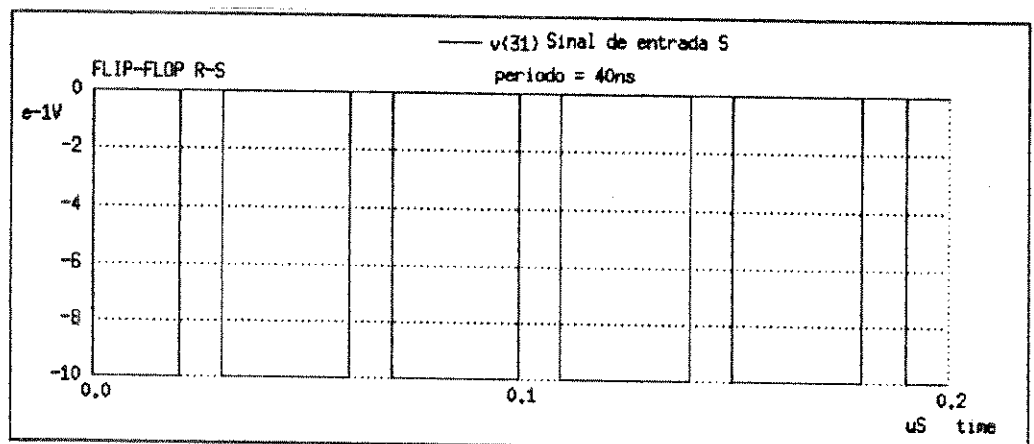
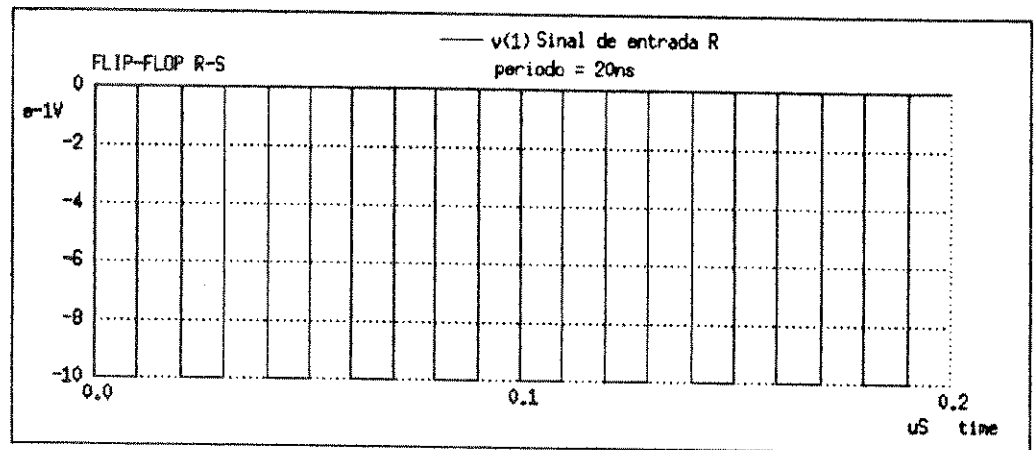


figura 5.68 - Sinais de Entrada R-S e Clock

A figura 5.69, mostra os sinais de saída Q e Q\ do Flip-Flop R-S.

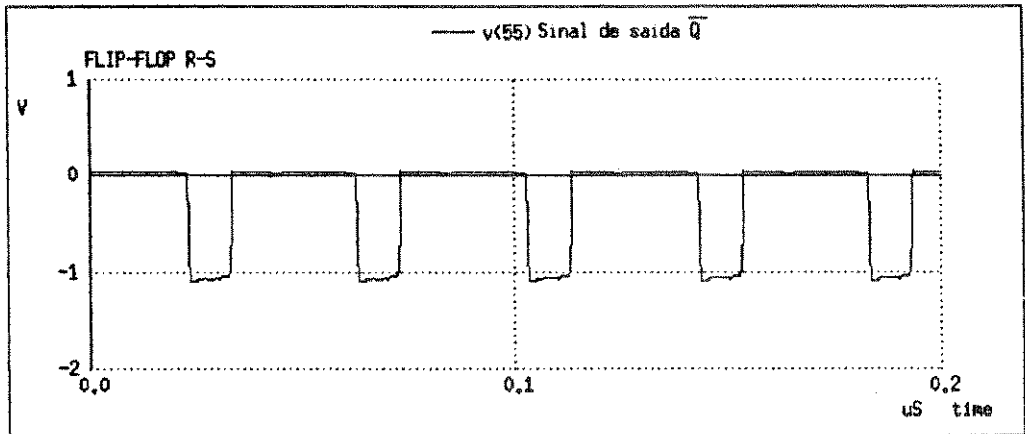
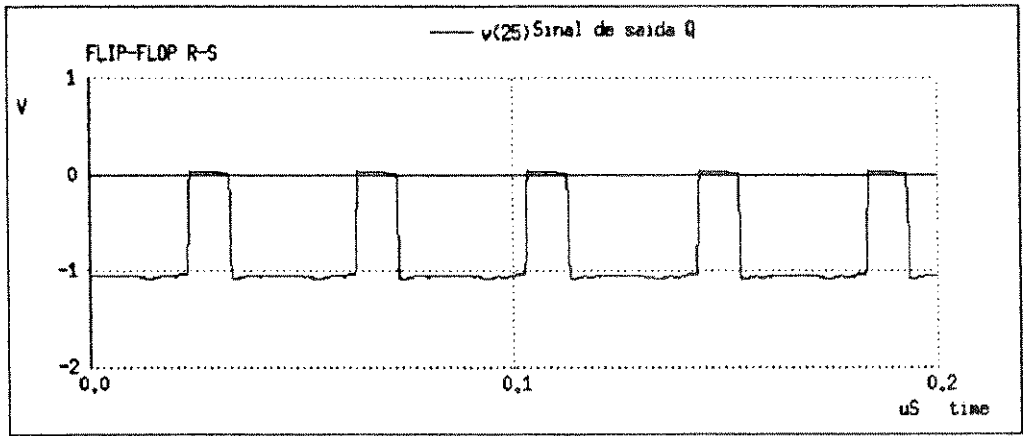


figura 5.69 - Sinais de Saída Q e \bar{Q}

5.3.5.1 - LAY-OUT DO FLIP FLOP R-S:

A figura 5.70, mostra o Lay-out do Flip-Flop RS.

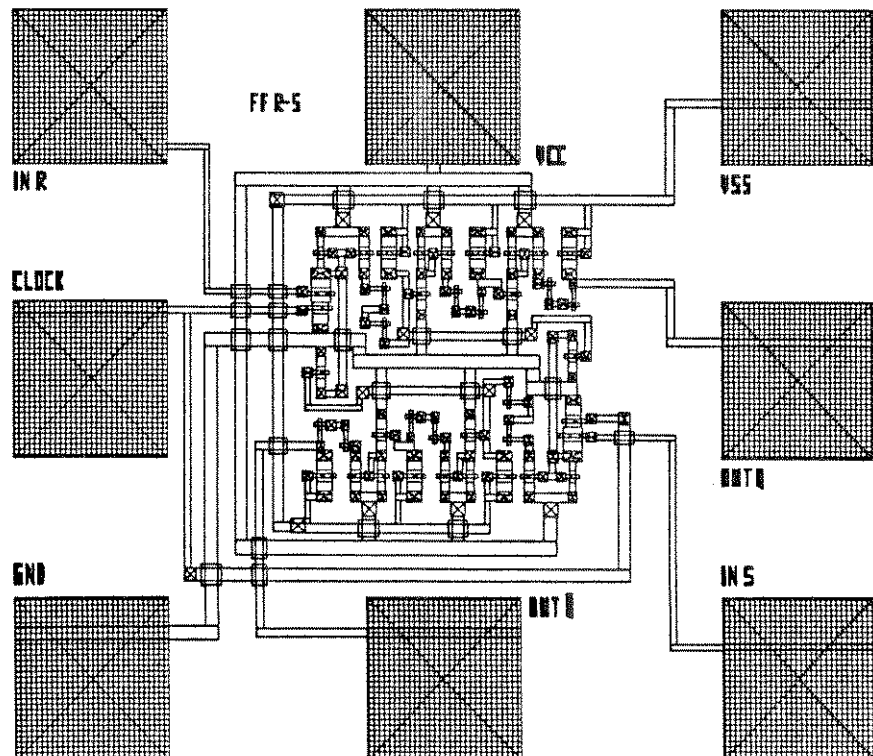


figura 5.70 - lay-out do Flip-Flop RS

5.3.6 - FLIP-FLOP TIPO J-K:

O Flip-Flop tipo JK[22,23], é montado a partir do Flip-Flop SR (figura 5.71), onde os sinais Q e Q\, são conectados as entradas J e K, entrada das Portas AND, N₁ e N₂.

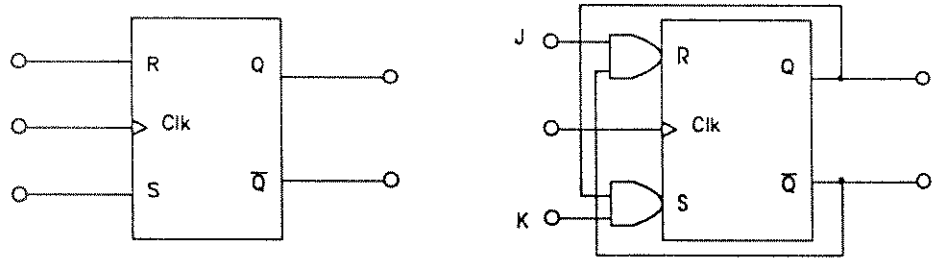
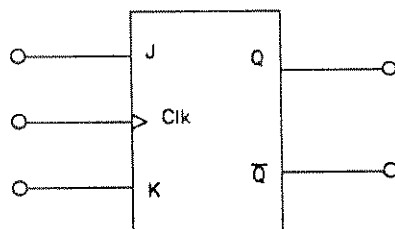


figura 5.71 - a) Flip-Flop RS b) Flip-Flop JK

A diferença entre o Flip-Flop JK e o Flip-Flop RS é que as entradas J e K podem ambas receberem nível lógico 1 (alto), simultaneamente, fazendo com que as saídas Q e Q\ mudem de estado[24,25], sem permanecerem ambas em nível lógico 1, como mostra a tabela 5.11. A figura 5.72, mostra o FF JK.



J _n	K _n	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

figura 5.72 - Flip-Flop JK

Tabela 5.11

Seu circuito discretizado em Portas Lógicas está mostrado na figura 5.73.

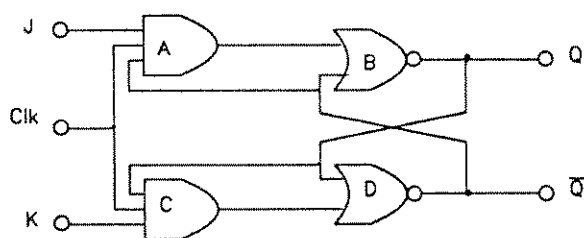


figura 5.73 - Circuito interno do Flip-Flop JK

Abaixo, temos os sinais de entrada, clock (figura 5.74) e sinais de saída (figura 5.75), obtidos na simulação SPICE para o Flip-Flop JK.

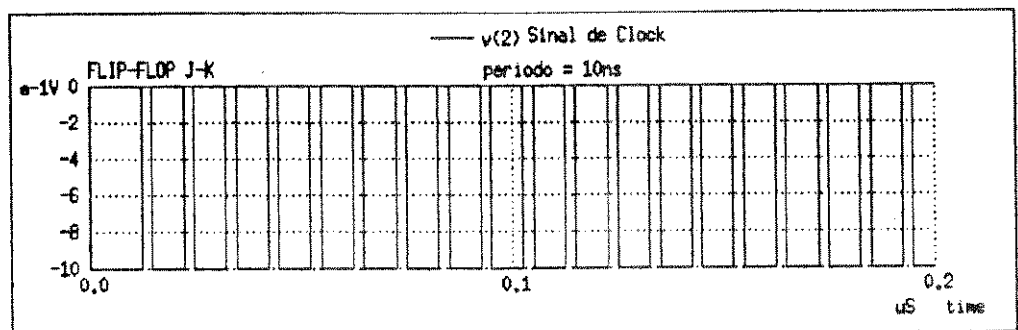
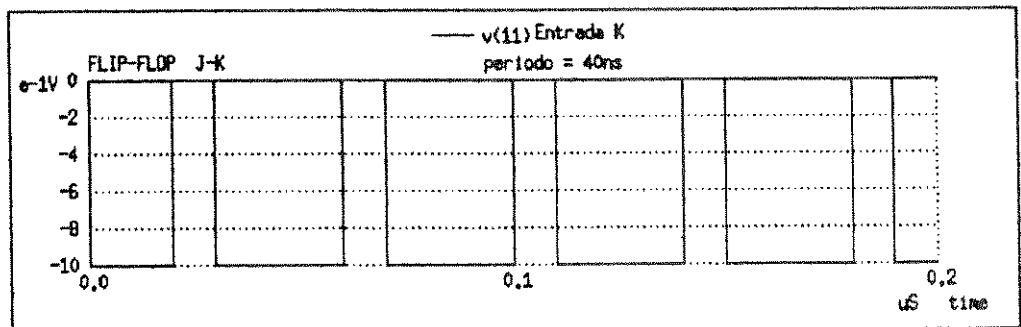
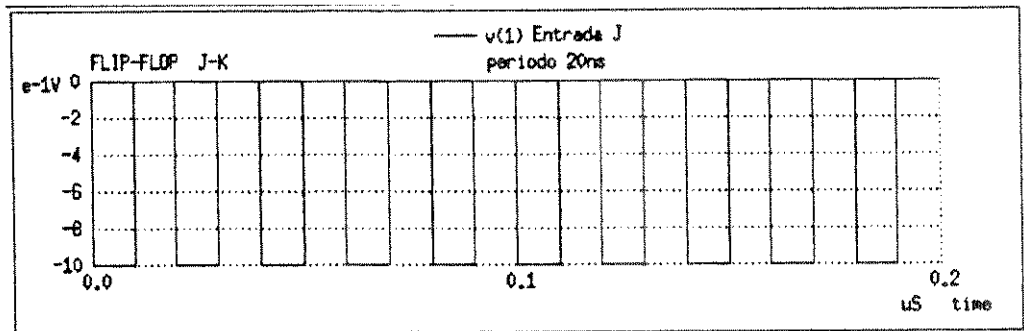


figura 5.74 - Sinais de entrada J-K e Clock

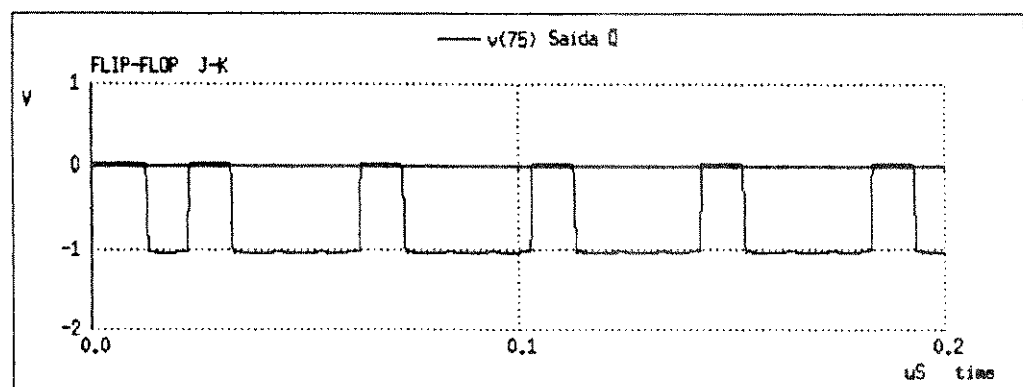
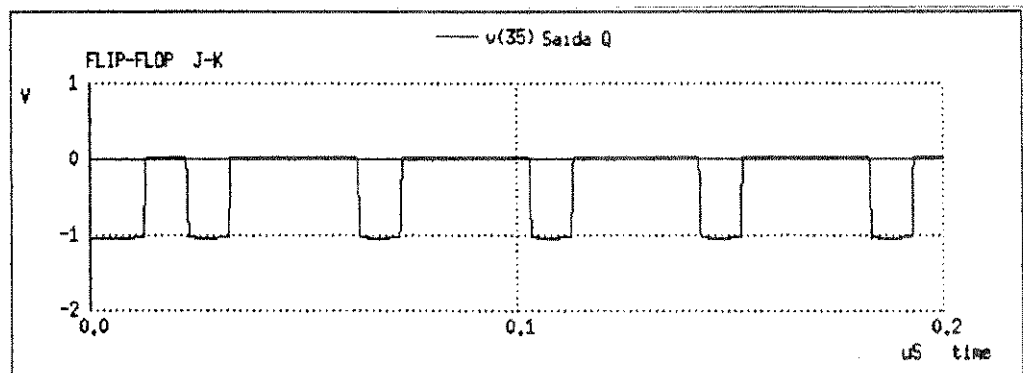


figura 5.75 - Sinais de Saída Q e Q-bar

5.3.6.1 - LAY-OUT DO FLIP FLOP J-K:

A figura 5.76, mostra o Lay-out do Flip-Flop J-K.

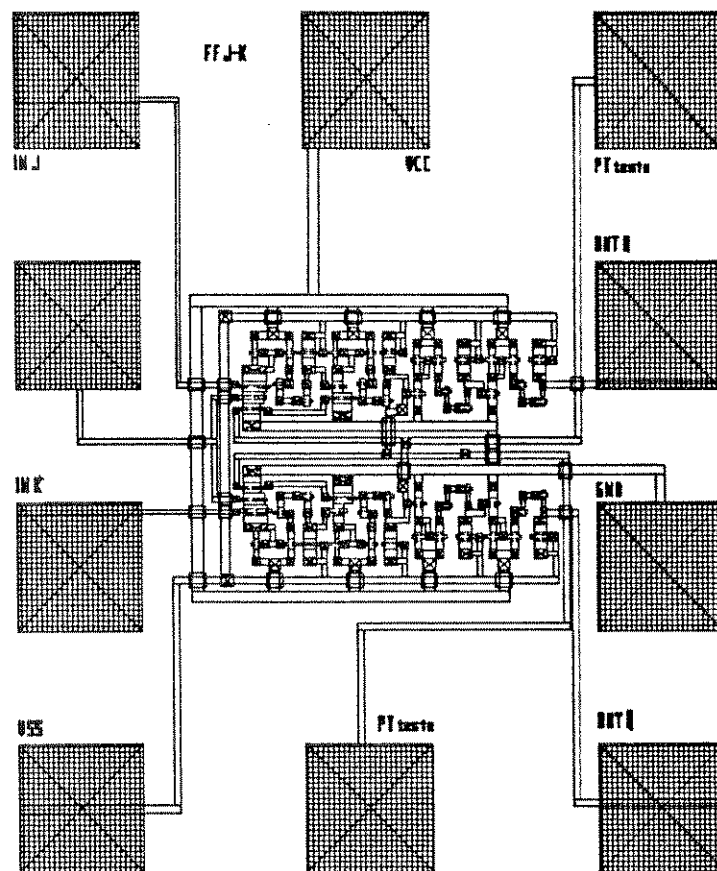


figura 5.76 - lay-out do Flip-Flop J-K

5.3.7 - FLIP-FLOP TIPO D:

O Flip-Flop tipo D (figura 5.77), é derivado do Flip-Flop R-S, que com a adição de um inversor, onde S é o complemento de R. A denominação tipo D ("delay")[28] se aplica a este tipo de circuito, pois o mesmo serve para gerar "atrasos" nos sinais digitais a ele aplicados.

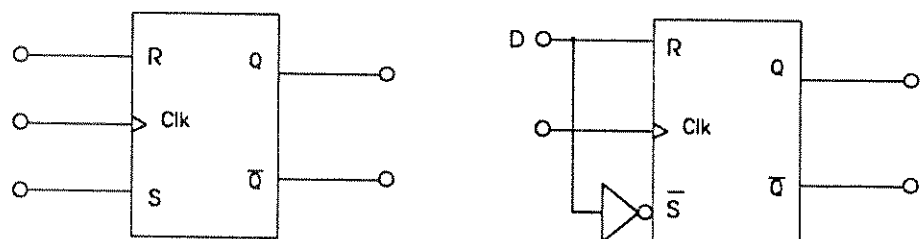
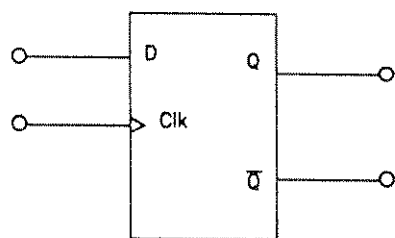


figura 5.77 - a) Flip-Flop R-S com Inversor

b) Flip-Flop D

A figura 5.78, mostra o simbolodo Flip-Flop tipo D, e a tabela 5.12, sua tabela verdade



D_n	Q_{n+1}
1	1
0	0

figura 5.78 - Flip-Flop tipo D

Tabela 5.12

O Flip-Flop tipo D foi construido a partir da Porta Complexa AND/NOR (item 5.3.4) e do INVERSOR BFL (item 5.2.4.1). A figura 5.79, mostra o circuito discretizado em portas lógicas.

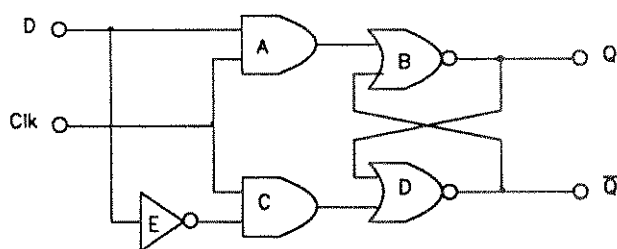


figura 5.79 - Circuito interno do Flip-Flop tipo D

A figura 5.80 temos os sinais de entrada e clock .

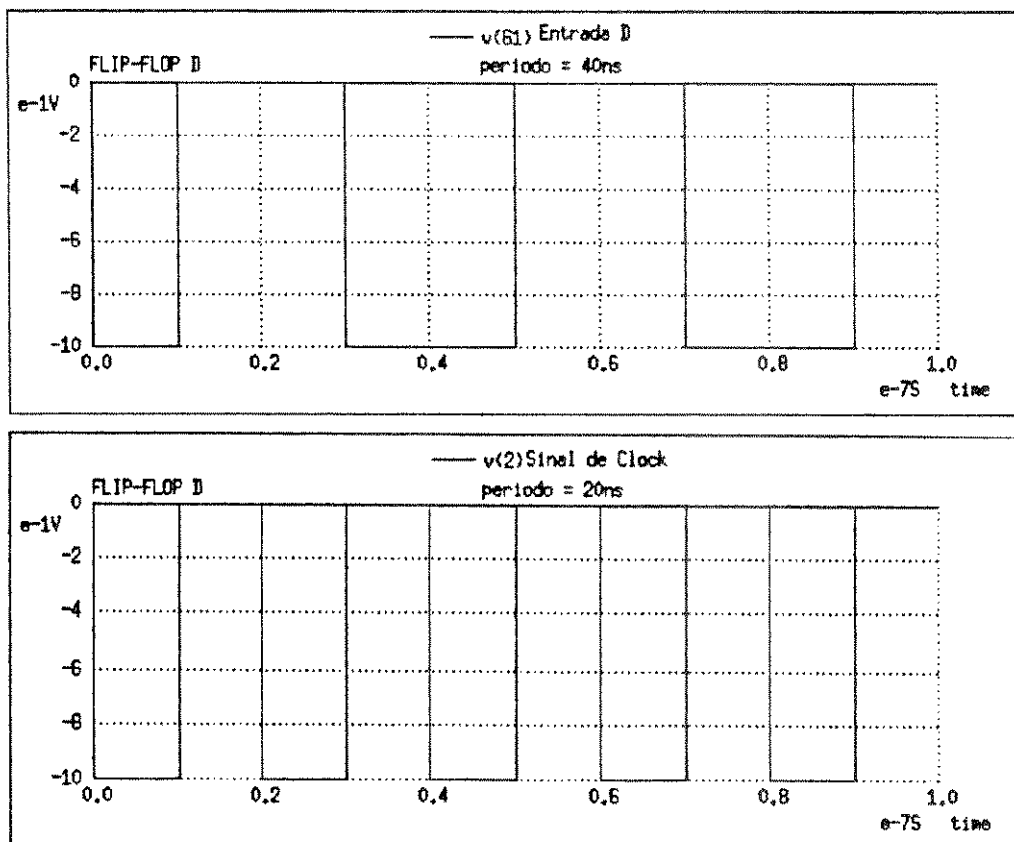


figura 5.80 - Sinal de entrada D e Clock

A figura 5.81 mostra os sinais de saída obtidos na simulação SPICE para o Flip-Flop tipo D.

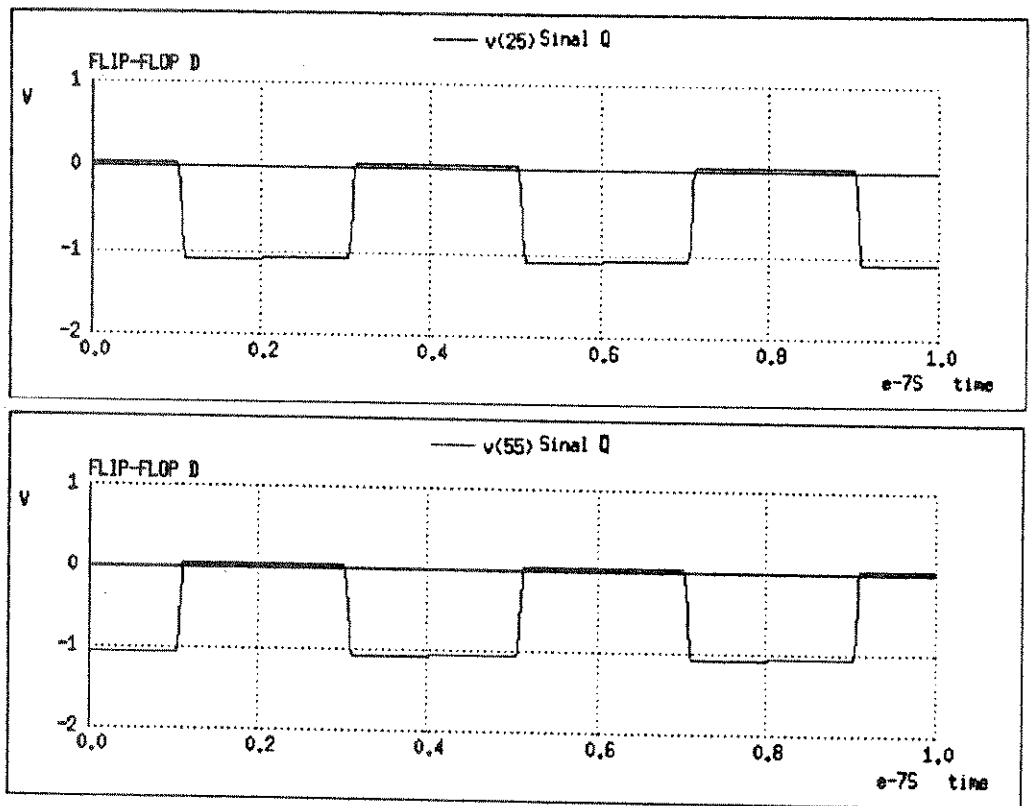


figura 5.81 - Sinais de Saída Q e Q\

5.3.5.1 - LAY-OUT DO FLIP-FLOP D:

A figura 5.82, mostra o Lay-out do Flip-Flop D.

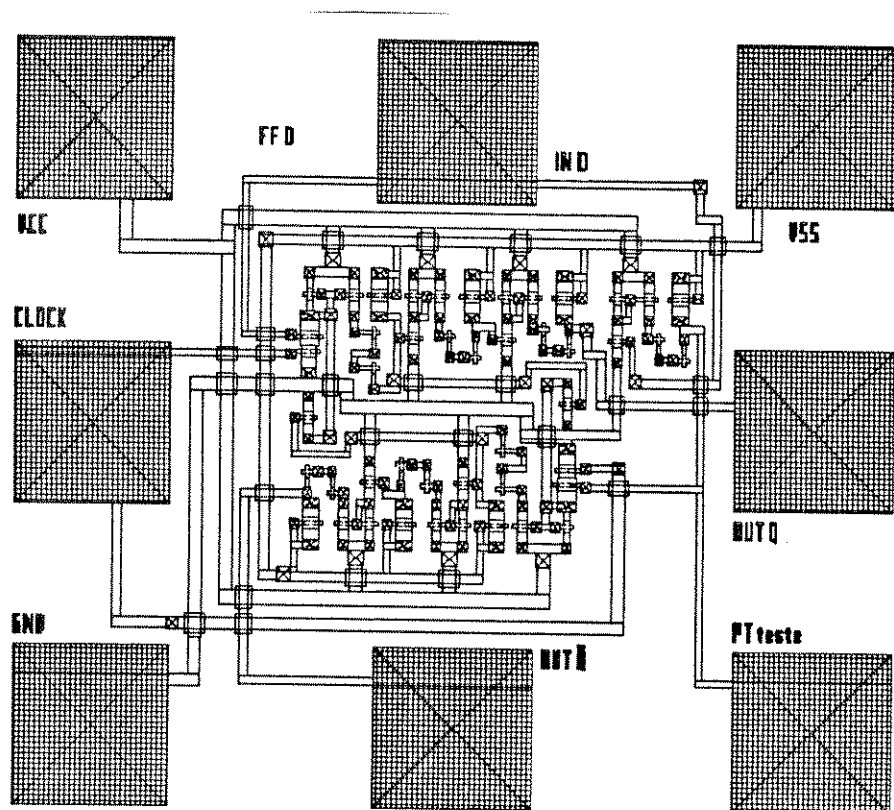
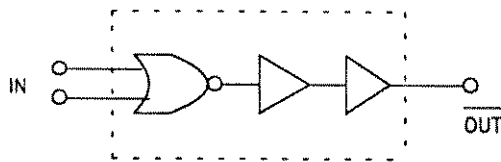


figura 5.82 - Lay-out do Flip-Flop tipo D

5.3.8 - PORTA NOR-2 ENTRADAS COM BUFFER:

A Porta NOR-2 entradas com buffer (figura 5.83), é derivada da porta NOR-2 entradas - BFL, tendo sido adicionado a sua saída dois buffers (cada buffer possui dois inversores) em lógica BFL.



Desta forma é possível ajustar o sinal de saída de modo a ser idêntico ao de entrada. Geralmente esta é a solução adotada para circuitos comerciais.

figura 5.83 - Porta NOR de 2-entradas com buffer

Este circuito foi projetado com pontos intermediários para monitoração de sinais. Sua alimentação é de $V_{DD}=2.5V$ e $V_{SS}=-2.0V$ e possui fan-out=3 (figura 5.84).

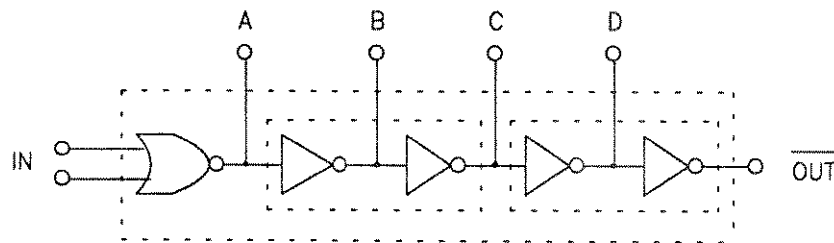


figura 5.84 - Pontos de monitoração da Porta NOR-2 entradas com buffer

A figura 5.85, mostra o circuito a nível de transistores. O circuito utiliza a lógica BFL, tanto para Porta NOR, como para as Portas INVERSORAS.

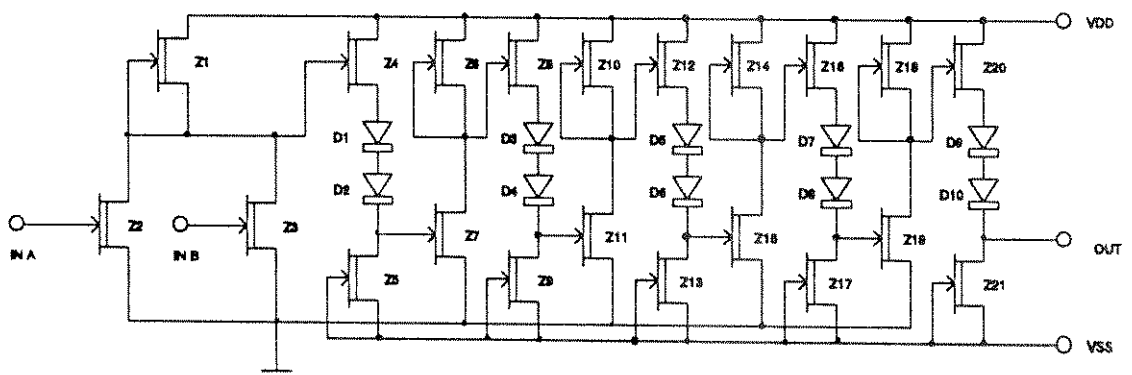


figura 5.85 - Circuito discretizado da Porta NOR

A simulação SPICE, mostra o comportamento do sinal nos pontos intermediários e na sua saída. Podemos observar que o sinal aplicado (figura 5.86),

monitorado nos pontos intermediários (figuras 5.87, 5.88) apresentam um valor maior que o de entrada. Isto foi feito propositalmente para que pudessemos ajustar o sinal de saída (figura 5.89) de forma a ser idêntico ao de entrada.

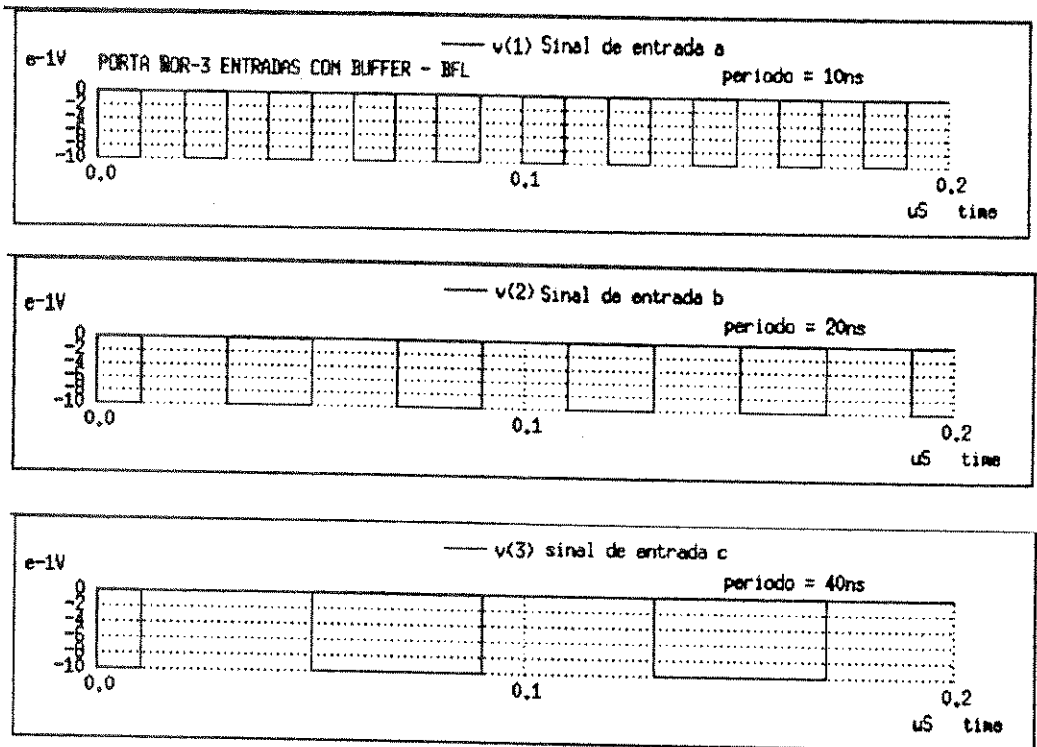


figura 5.86 - Sinais de entrada na Porta NOR

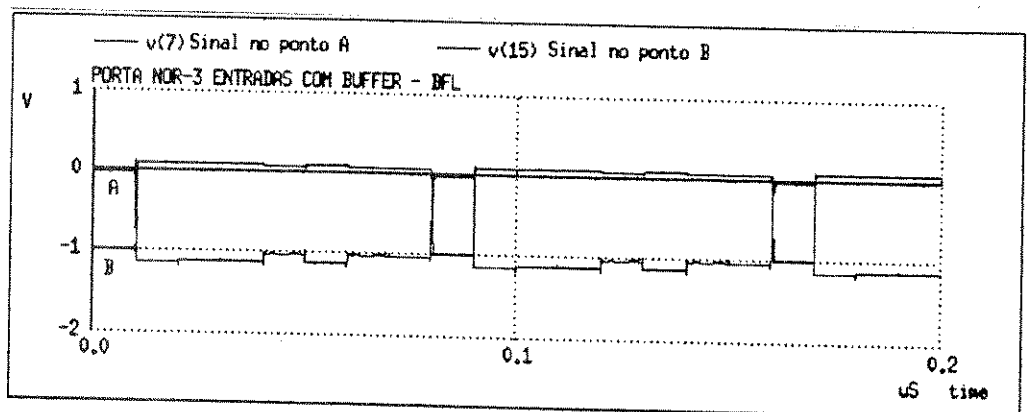


figura 5.87 - Sinais nos pontos A e B

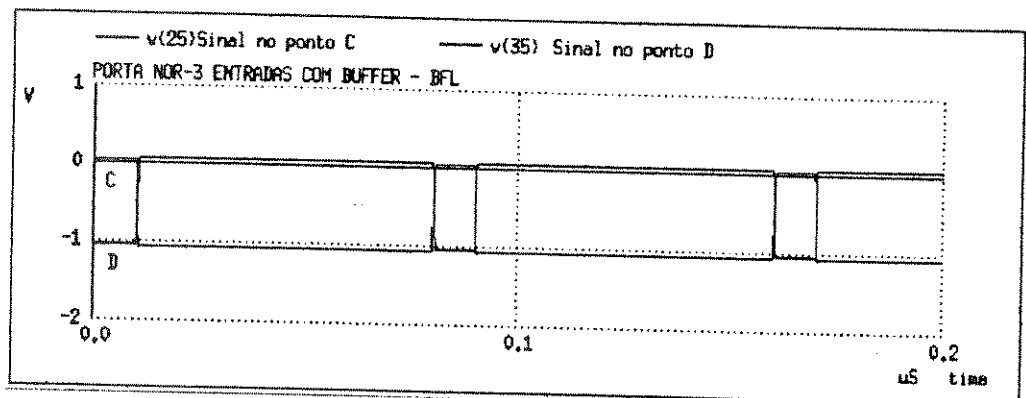


figura 5.88 - Sinais nos pontos C e D

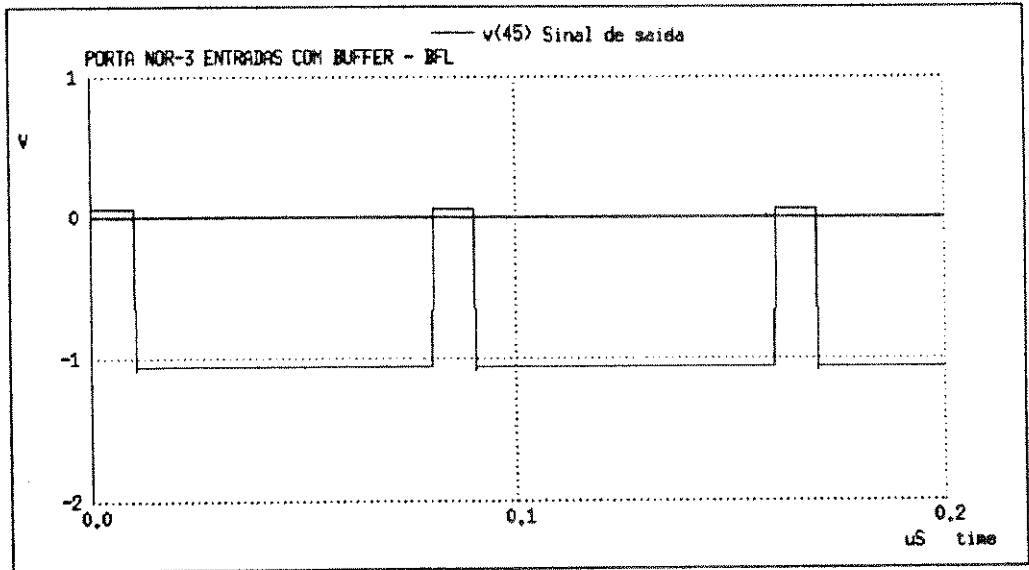


figura 5.89 - Sinal de Saída da Porta NOR

5.3.8.1 - LAY-OUT DA PORTA NOR-2 ENTRADAS COM BUFFER:

A figura 5.90, mostra o Lay-out da Porta NOR.

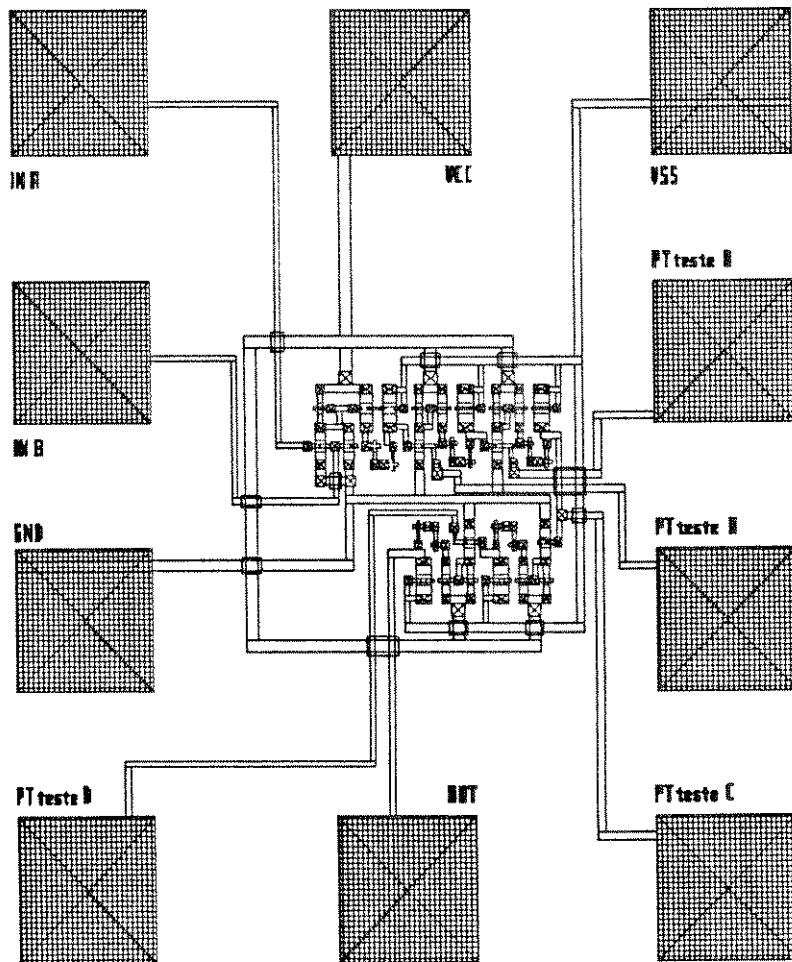


figura 5.90 - lay-out da Porta NOR-2 entradas com buffer

5.3.9 - LAY-OUT DO CIRCUITO INTEGRADO 3:

A figura 5.91 mostra o lay-out completo do Circuito Integrado 3, composto de portas lógicas e flip-flops.

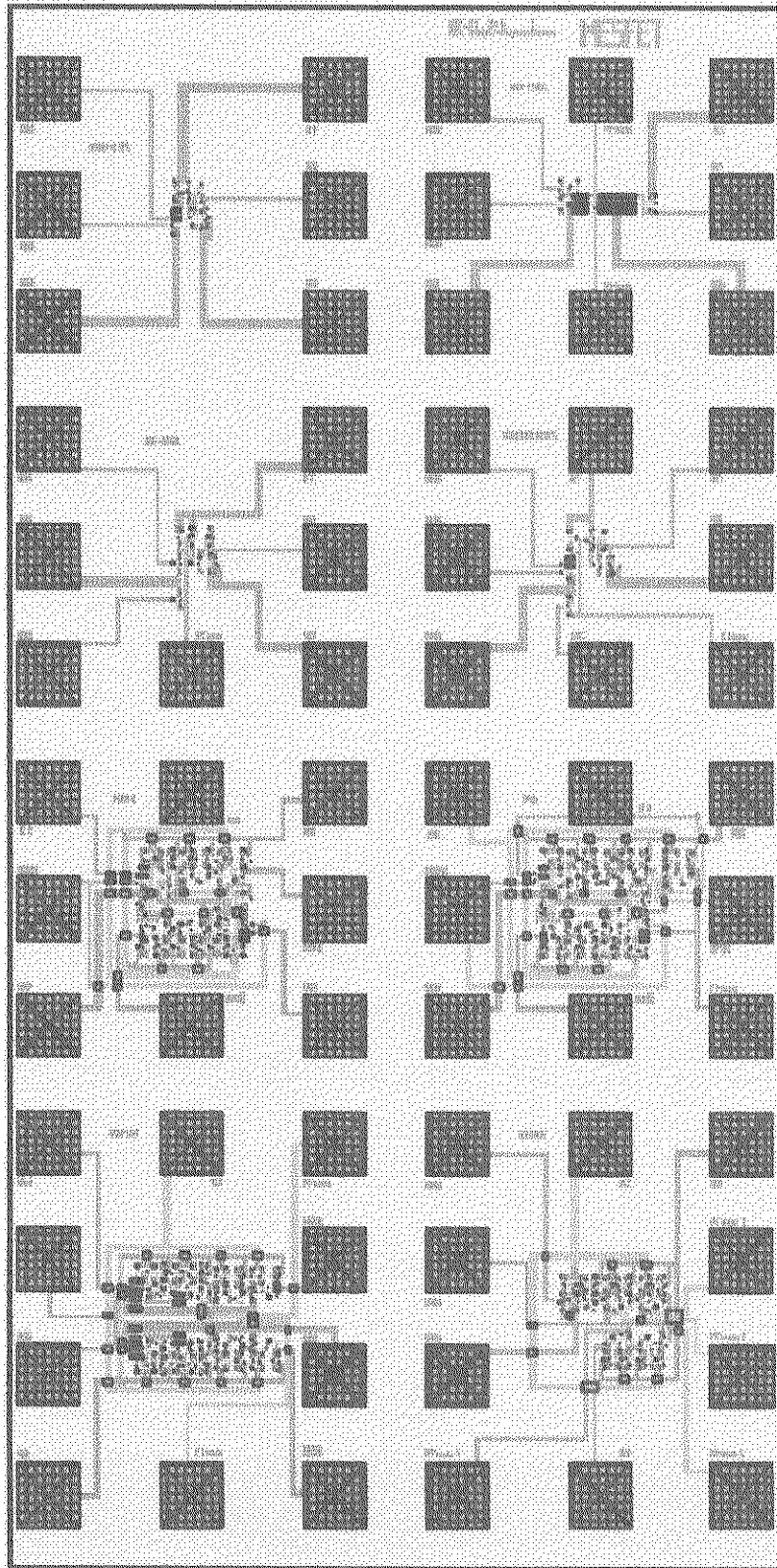


figura 5.91 - máscara do circuito integrado 3

5.3.10 - MAPA DO CIRCUITO INTEGRADO 3:

A figura 5.92 mostra o mapa completo do Circuito Integrado 3, com seus pontos de entrada e saída, alimentação e pontos intermediários para testes e extração de parâmetros.

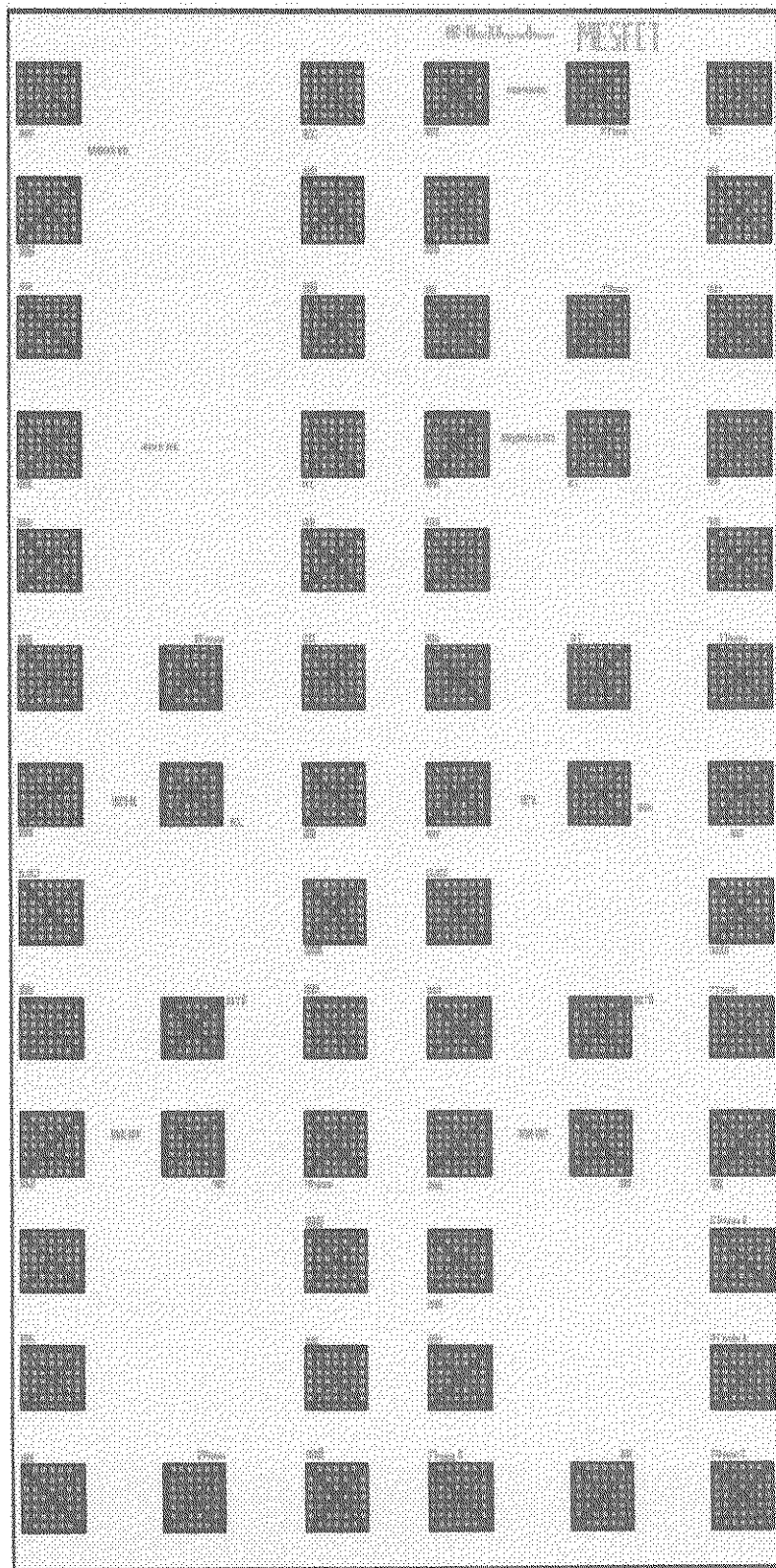


figura 5.92 - mapa do circuito integrado 3

5.4 - CIRCUITO INTEGRADO 4

Composto de Circuitos com Transistores de Passagem, Amplificador de Transimpedância e Oscilador em Anel (Ring Oscillator) com as seguintes características:

DIMENSAO: 1x2mm [1000 μ x 2000 μ - 2000lambda x 4000lambda]

Circuitos lógicos: 05 circuitos

Tipo do dispositivo: Diodos e Transistores de Depleção - N

Dimensão mínima de porta (gate): W/L = 2x2 [μ m]

Arquivo Tecnologia: dlpd.tech

5.4.1 - OSCILADOR EM ANEL (ring oscillator):

Circuitos Osciladores em Anel, são utilizados para avaliar a performance de portas lógicas. Um Oscilador em Anel, consiste de um número ímpar de portas lógicas conectadas entre si. Quando se alimenta o circuito, este começa a oscilar e sua frequência de oscilação é dada por:

$$f = 1/(2nt_{PD}) \quad [4B]$$

onde:

n = número de estágios (número de portas)

t_{PD} = atraso/porta

O oscilador construído, utiliza Inversores de lógica tipo BFL (Lógica FET com Buffer - Item 5.2.4.1). O circuito consiste em um número de 17 Inversores, como mostra a figura 5.93.

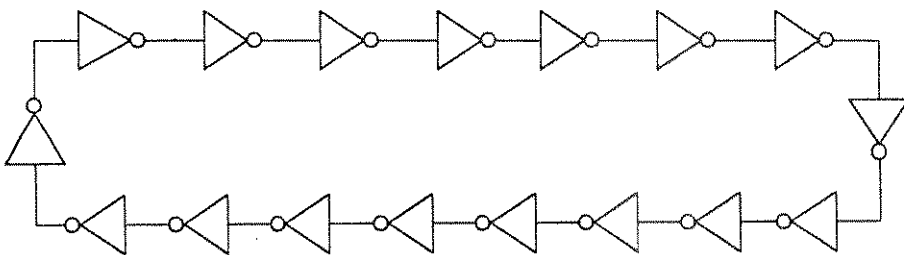


figura 5.93 - Oscilador em Anel

Teoricamente a frequência máxima é de 235.294117MHz, uma vez que o t_{PD} é de 125.776ps.

A simulação SPICE do Oscilador em Anel apresentou uma frequência máxima de 263.157894MHz, como mostra a figura 5.94.

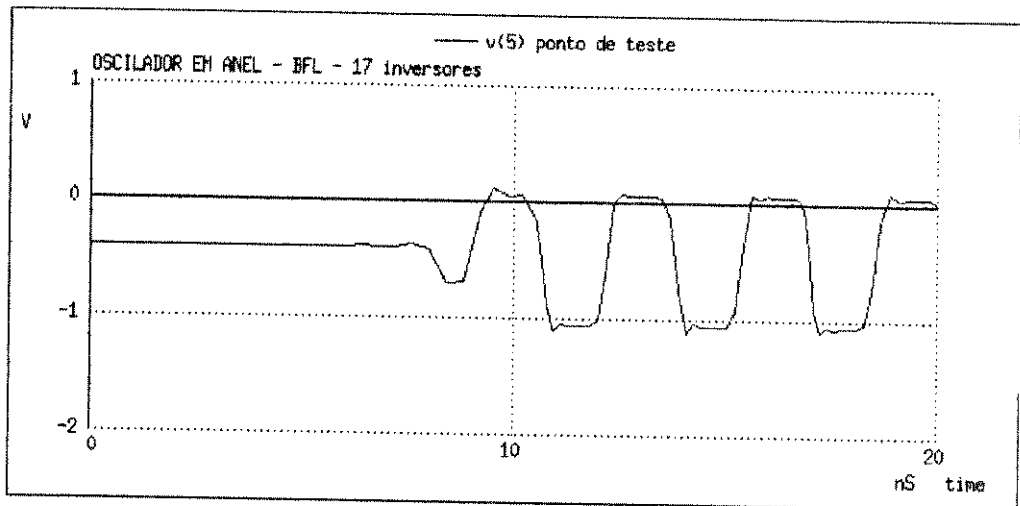


figura 5.94 - Frequência de oscilação máxima do Oscilador em Anel

A figura 5.95, mostra o lay-out do Oscilador em Anel.

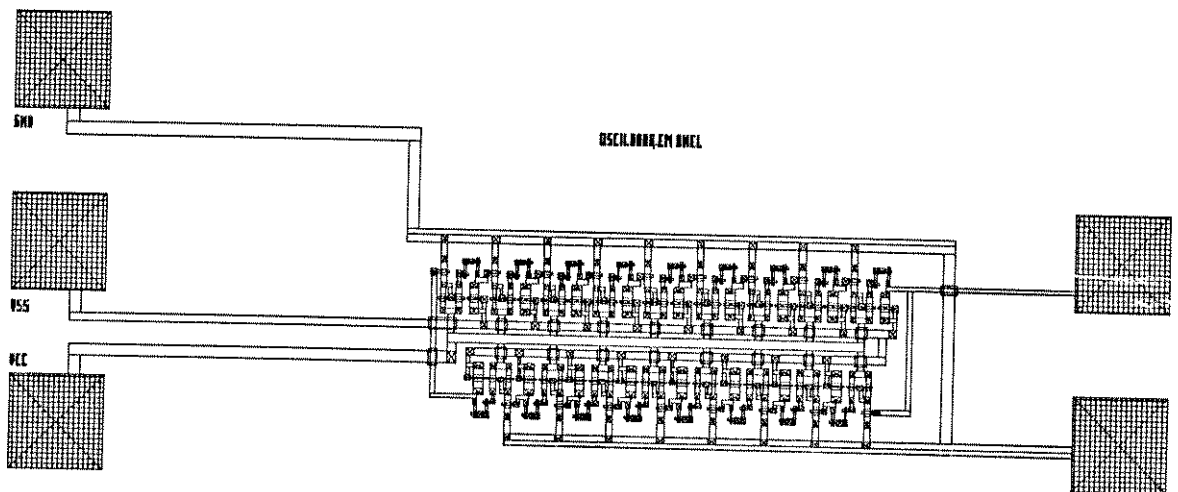


figura 5.95 - Lay-out do Oscilador em Anel

5.4.2 - CHAVEADOR DINÂMICO COM DPTL:

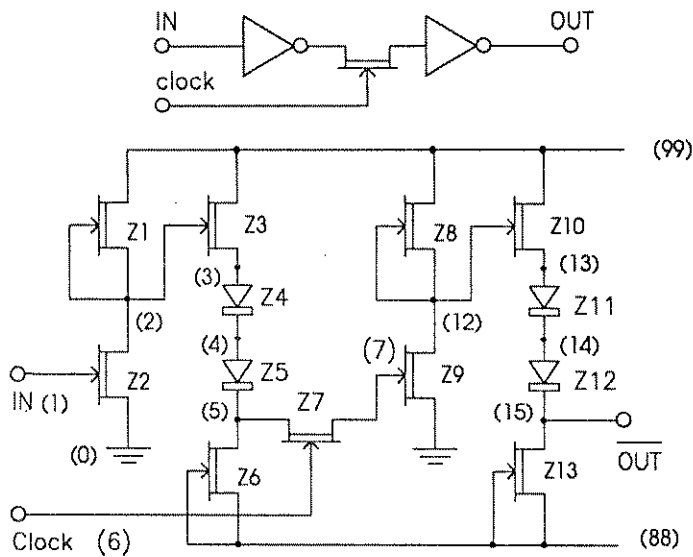


figura 5.96 - chaveador dinâmico

Circuitos projetados com uso de transistores de passagem, são geralmente dinâmicos (memórias) ou chaveadores (multiplexadores, demultiplexadores). O Chaveador Dinâmico (figura 5.96) especificado utiliza inversores BFL e o próprio transistor de passagem como chaveador

A alimentação dos circuitos BFL são $V_{DD} = 2.5V$ e $V_{SS} = -2.0V$. O nível de tensão no transistor chaveador vai de 0.5V a 1.3V. Este nível garante um bom funcionamento ao DPTL especificado. A figura 5.97, mostra o sinal de entrada $V(1)$ e o sinal do chaveador $V(6)$.

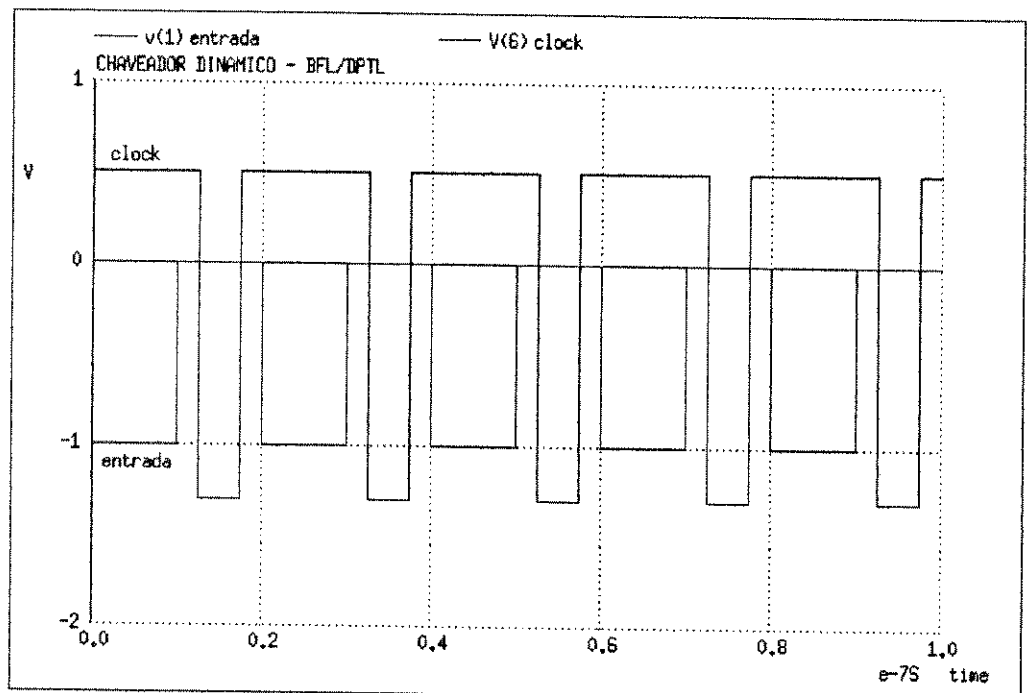


figura 5.97 - sinal de entrada para o circuito e do chaveador

A lógica BFL aqui empregada trabalha com dispositivos de mesmas dimensões do circuito apresentado no item 5.2.3.1. Como mostra a figura 5.96, forma empregados dois inversores e entre eles

um transistor diferencial de passagem (T7) com dimensão $W=10\ \mu\text{m}$. A figura 5.98 mostra o sinal de saída em função do sinal de entrada.

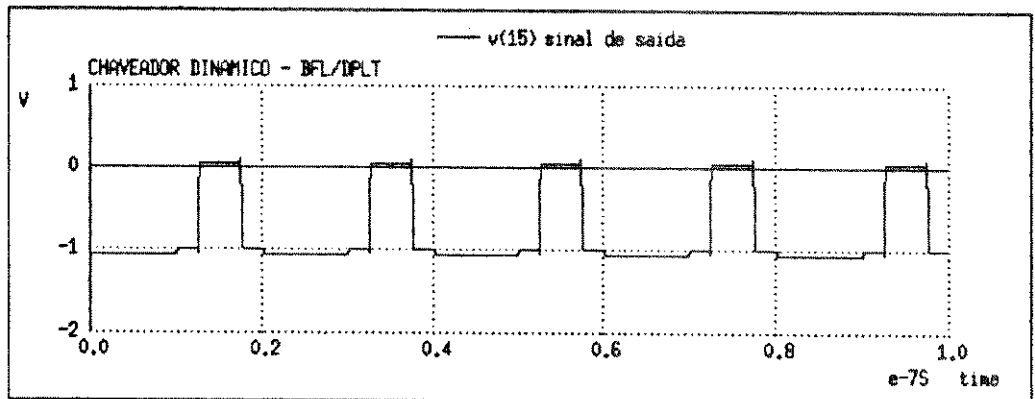
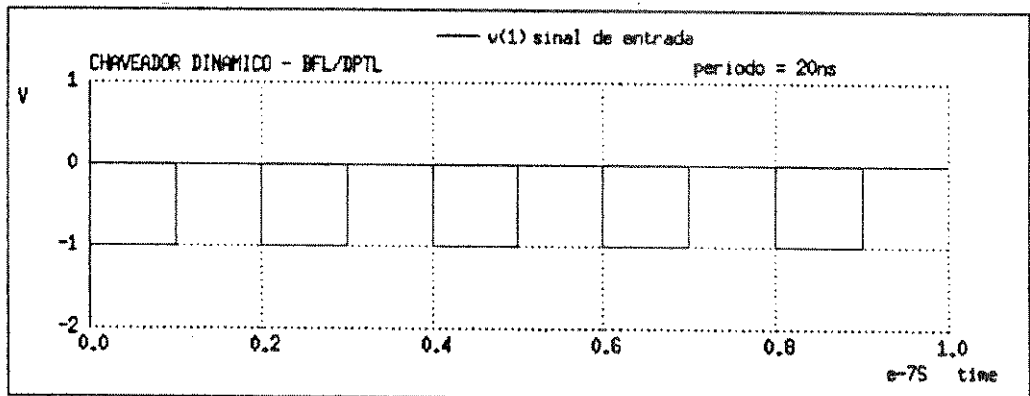


figura 5.98 - sinal de entrada e saída da Lógica BFL

A figura 5.99, mostra a relação de atraso entre o sinal de saída e o sinal de entrada.

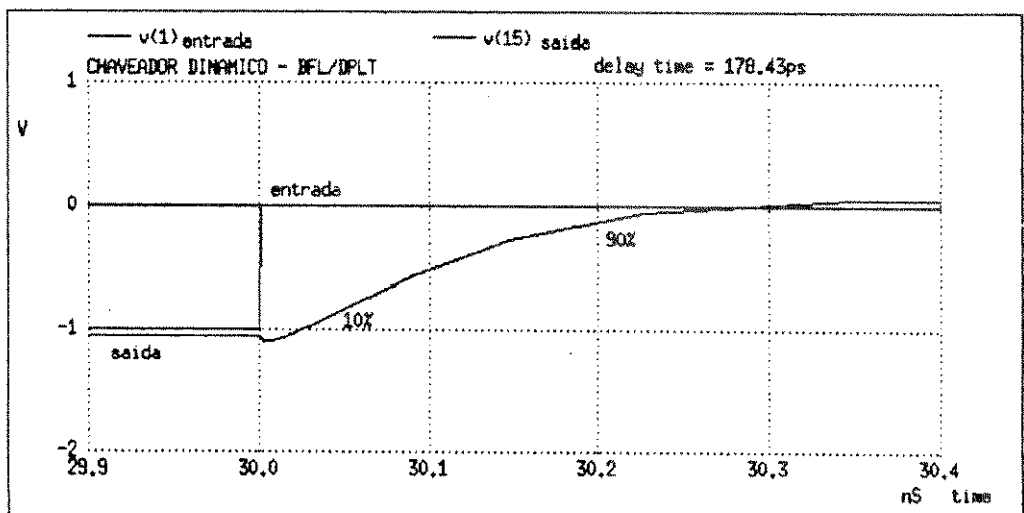


figura 5.99 - relação de atraso entre o sinal de entrada e saída da Lógica BFL

Na figura 5.100, temos o lay-out do circuito chaveador. Neste circuito foi utilizado vias com

auxílio de "ponte aérea" dado o aumento de integração do circuito.

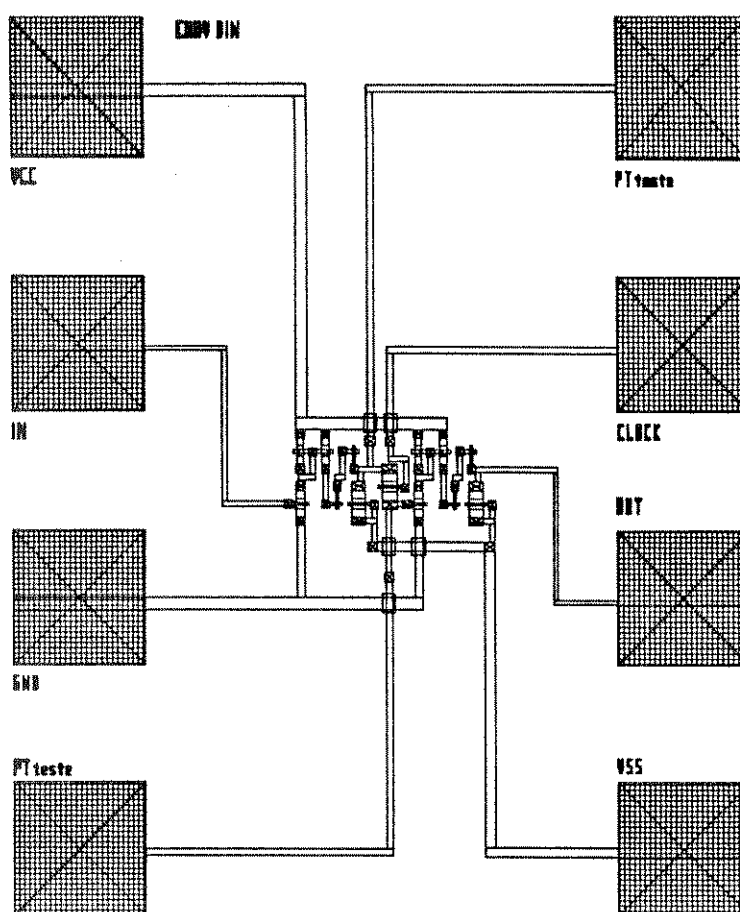


figura 5.100 - lay-out do circuito chaveador

5.4.3 - MULTIPLEXER 2x1:

Circuitos multiplexadores têm uma larga aplicação tanto na área digital como na área de telecomunicações. A utilização de transistores de passagem permitem reduzir o consumo e o tamanho dos circuitos, com a diminuição dos transistores a serem utilizados (item 2.6).

O circuito aqui proposto é um multiplexador de duas entradas, duplo, podendo ambos trabalharem de modo sincronizado ou independente (figura 5.101). Os inversores utilizados são do tipo BFL e os transistores de passagem do tipo D-MESFET.

Cada multiplexador utiliza um inversor como buffer em cada uma das entradas e um inversor na saída,

além disso foi incluído mais um inversor na saída para que se tenha o complemento do sinal de entrada.

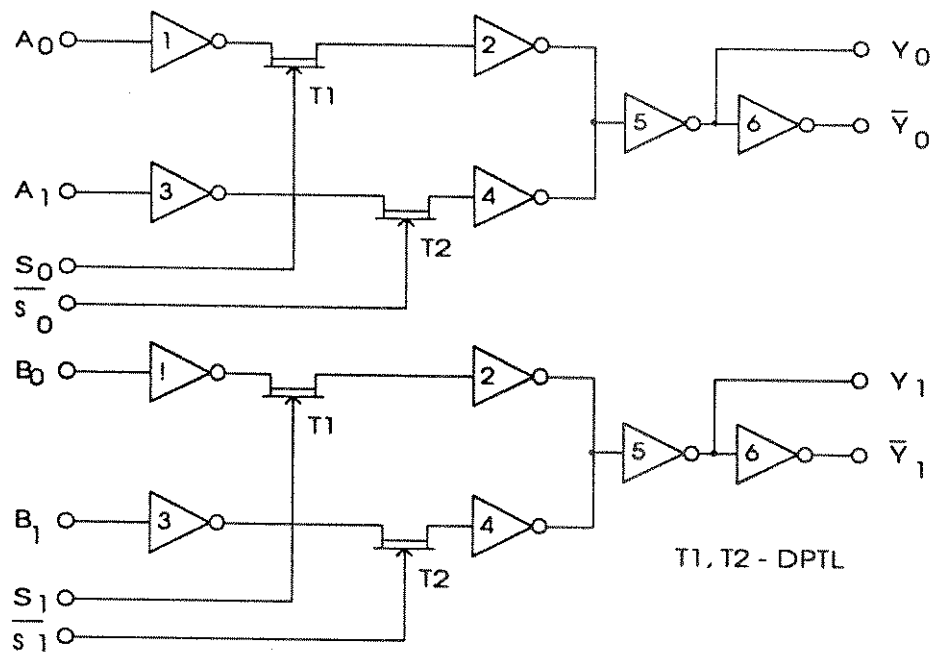


figura 5.101 - Circuito Multiplexador

Na figura 5.102, temos o diagrama do Multiplexador 2x1, duplo.

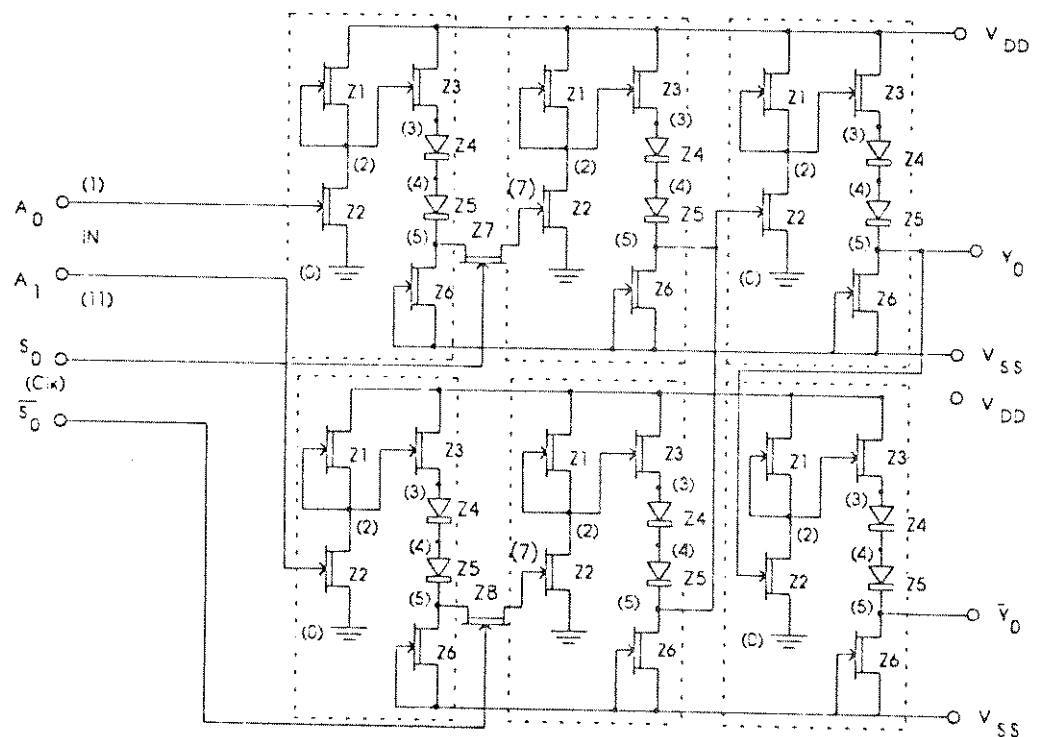


figura 5.102 - Circuito multiplexador 2x1 - duplo

O sinal de clock aplicado nas entradas S_0 e S_1 , pode ser o mesmo ou diferente em ambas as entradas. A figura 5.103, mostra os sinais de entrada, A_0 e

A_1 , Clock S_0 e $S_0\bar{}$, e a figura 5.104 mostra os sinais de saída Y_0 e $Y_0\bar{}$.

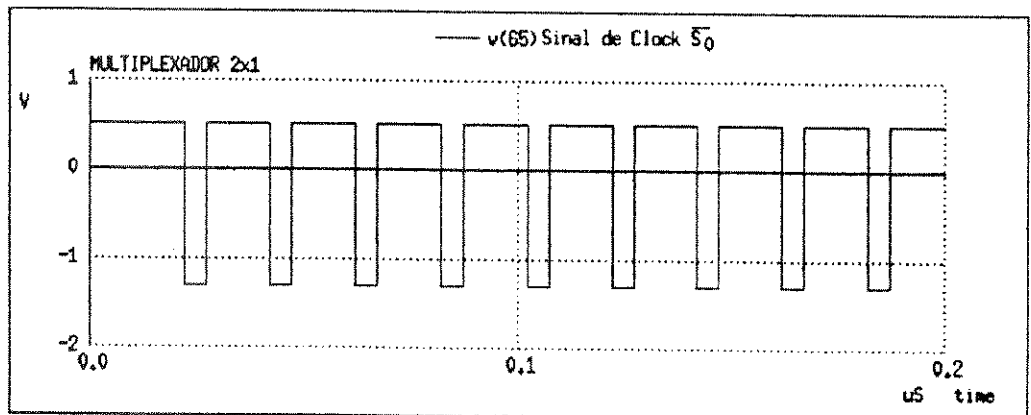
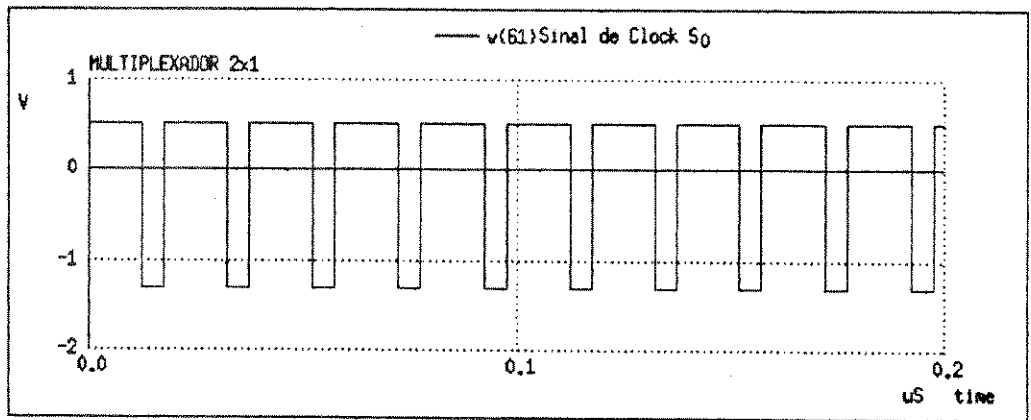
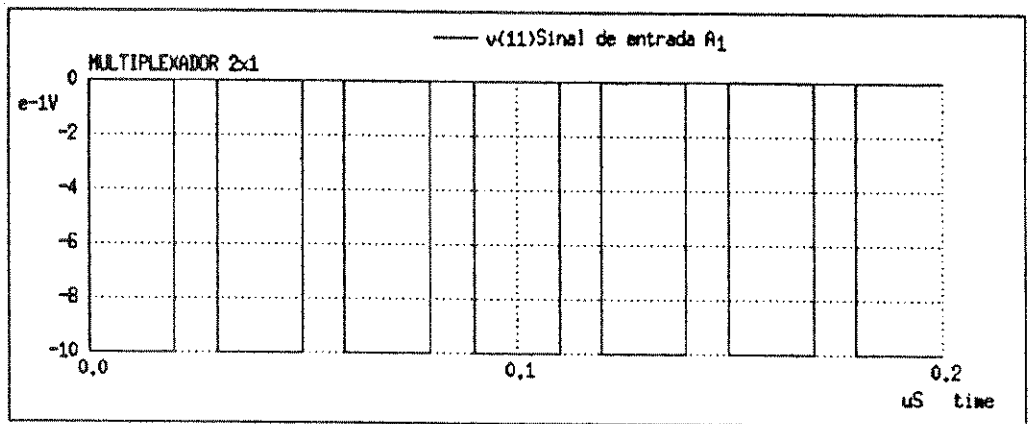
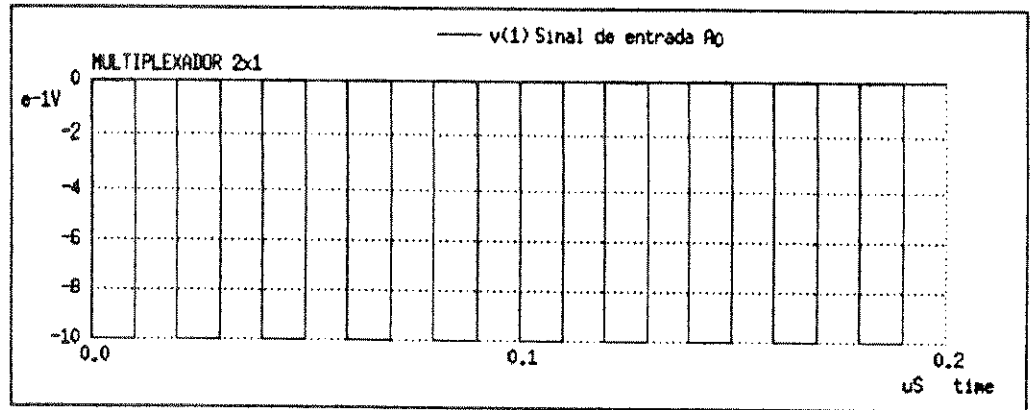


figura 5.103 - Sinais de entrada e Clock (A_0 e A_1 , S_0 e $S_0\bar{}$)

Os sinais multiplexados Y_0 e Y_0' (complementar) são mostrados na figura abaixo.

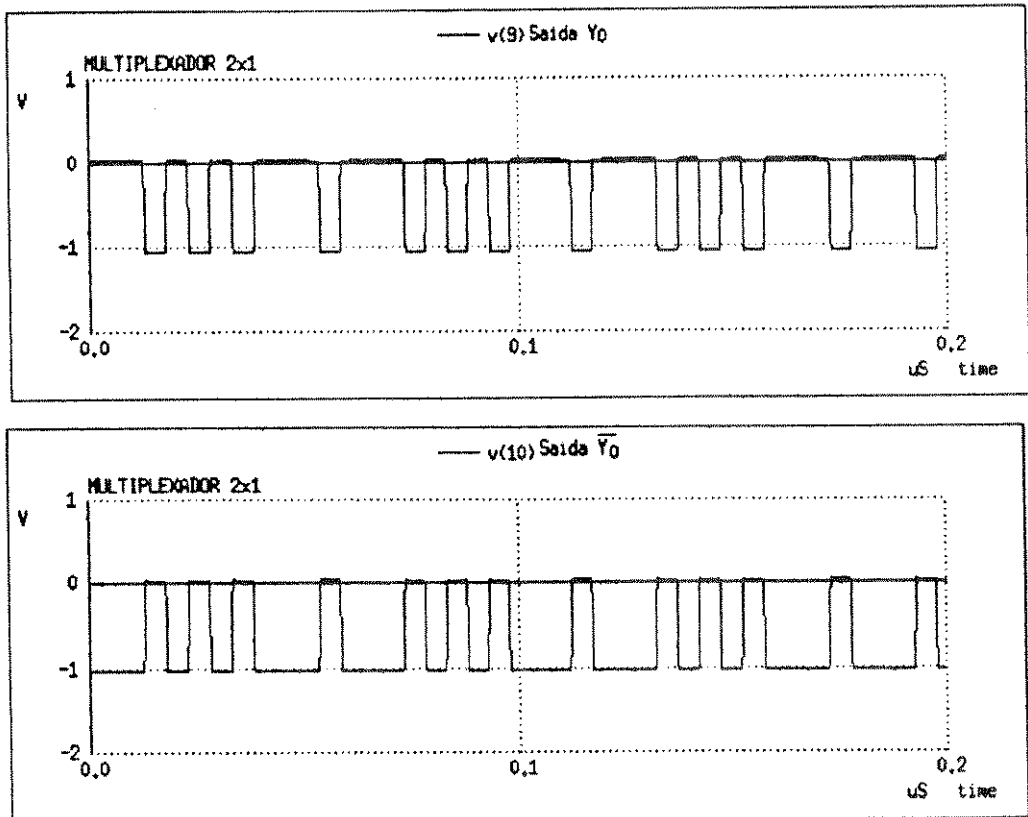


figura 5.104 - Sinais de saída do Y_0 e Y_0' multiplexador 2x1 - duplo

Abaixo temos a simulação SPICE do segundo multiplexador 2x1, trabalhando com clock assíncrono (clock $S_0 \langle \rangle S_1$). Na figura 5.105 temos os sinais de entrada B_0 , B_1 .

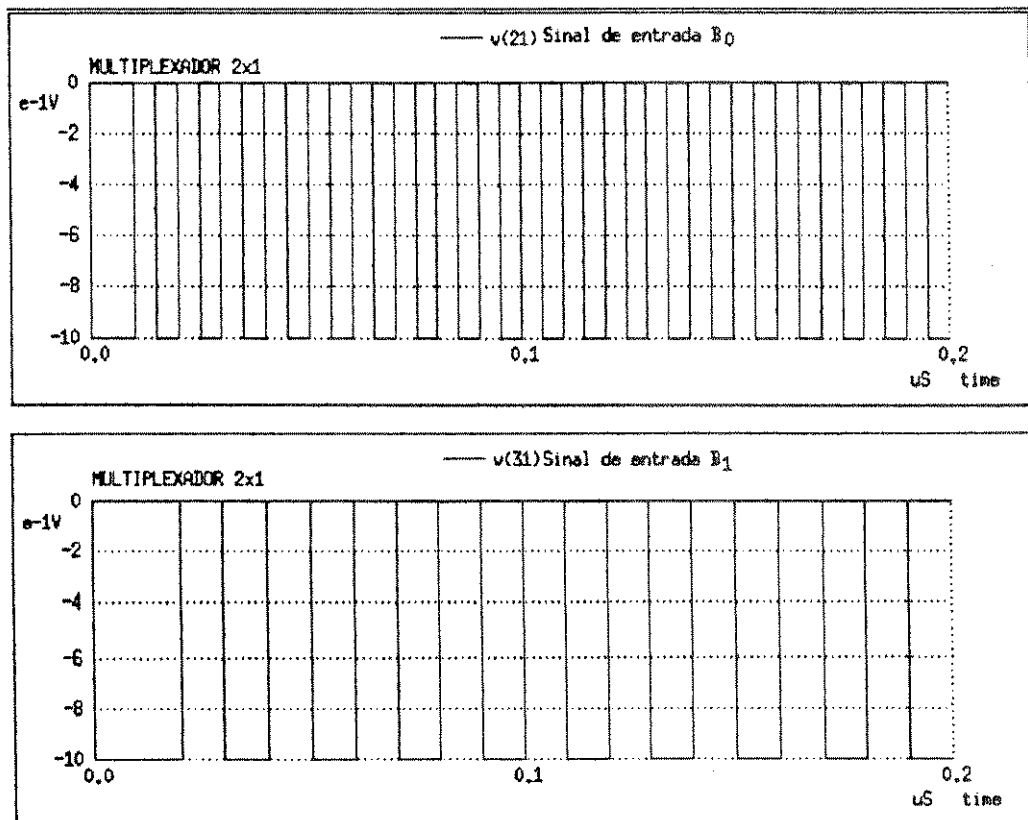


figura 5.105 - Sinais de entrada (B_0 e B_1) do segundo mux

A figura 5.106 mostra os sinais de Clock S_1 e $S_1\bar{}$ do segundo mux.

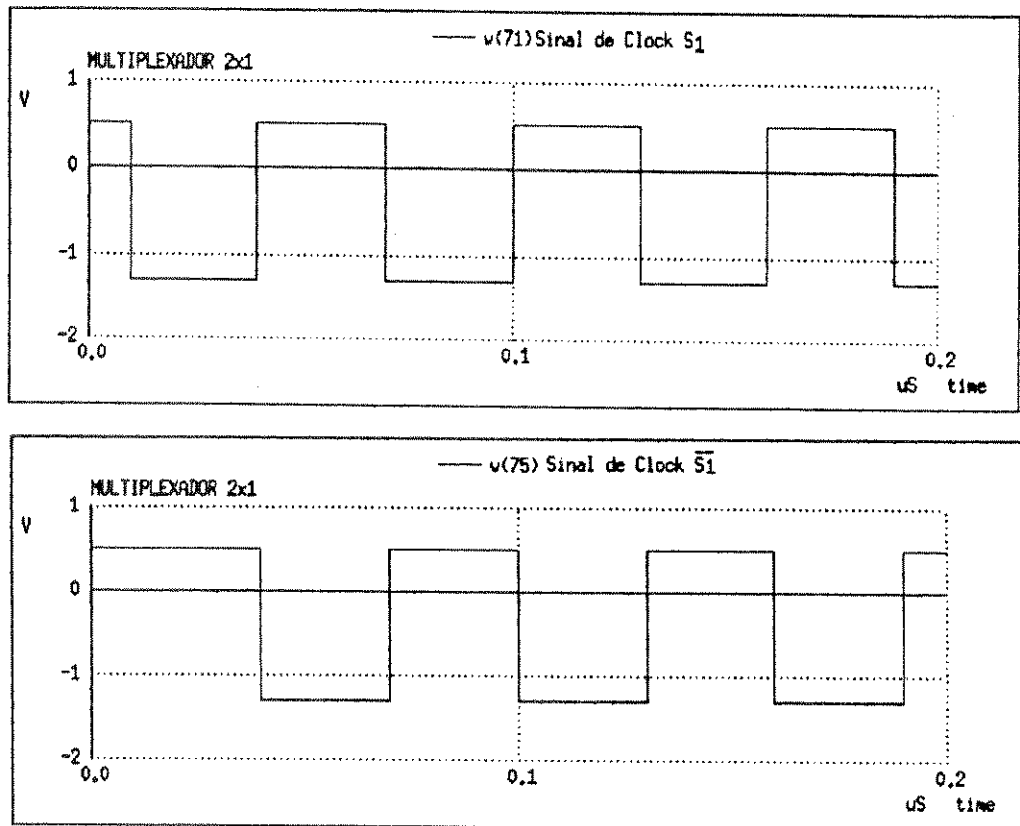


figura 5.106 - Sinais de clock S_1 e $S_1\bar{}$

Os sinais de saída do segundo mux (Y_1 e $Y_1\bar{}$) trabalhando com clock independente do primeiro mux estão mostrados na figura 5.107.

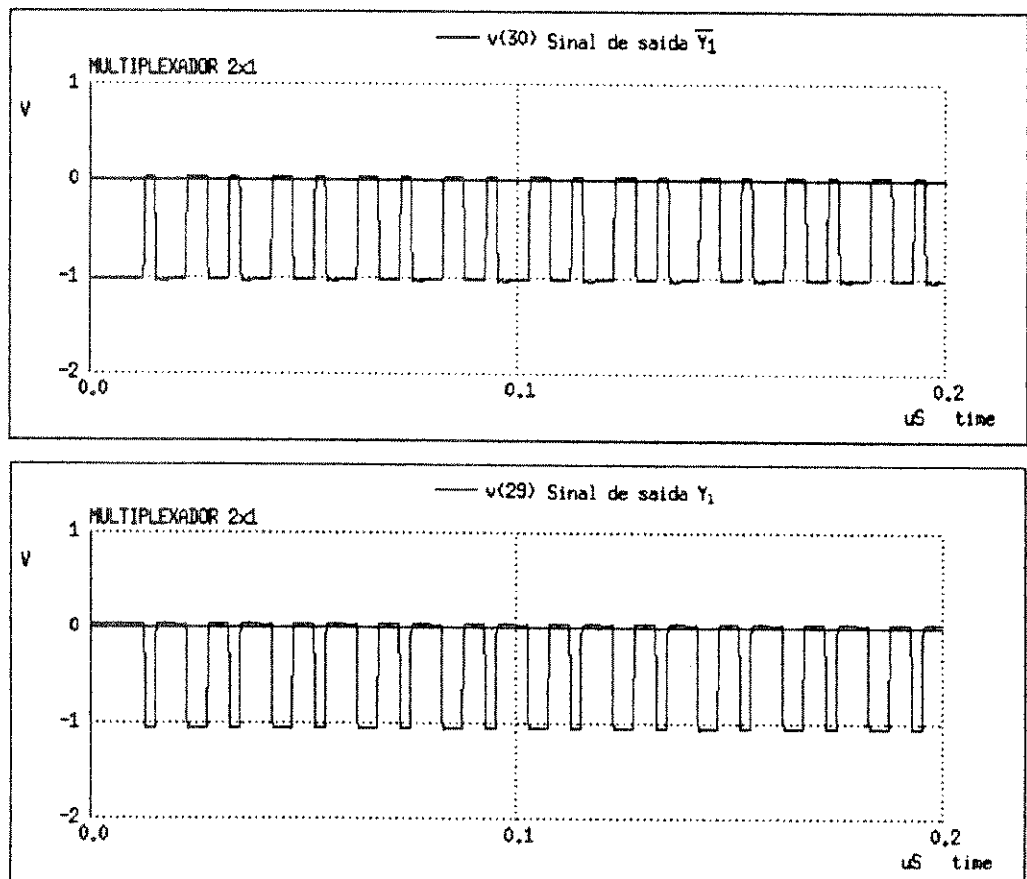


figura 5.107 - Sinais de saída multiplexados Y_1 e $Y_1\bar{}$

Abaixo, temos o lay-out do circuito Multiplexador 2x1 - duplo (figura 5.108).

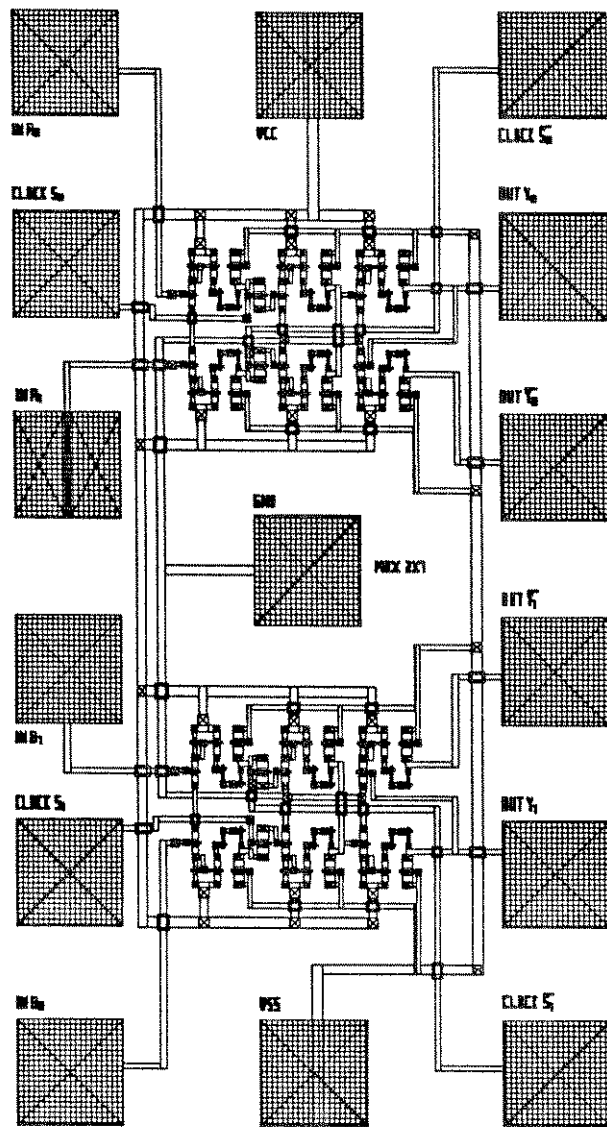


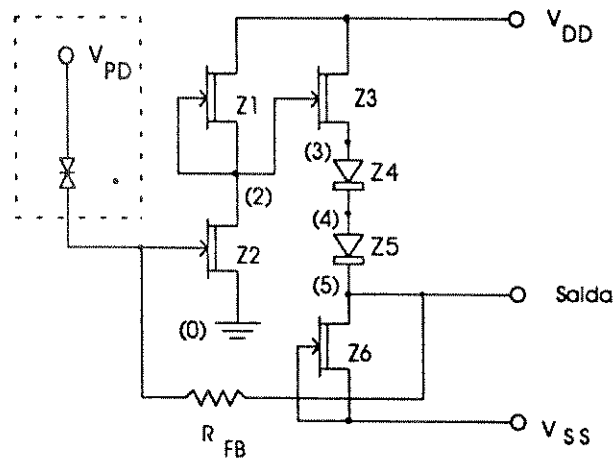
figura 5.108 - lay-out do multiplexador 2x1 - duplo

5.4.4 - AMPLIFICADOR DE TRANSIMPEDANCIA:

Amplificadores de Transimpedância ou "Transimpedance Amplifiers"[29] como são conhecidos, possuem larga aplicação em comunicações para transferência de dados em forma digital. Em geral os Amplificadores de Transimpedância se acoplam a cabos de Fibras Óticas, através de Diodos Detetores. Sinais de Luz, são convertidos em sinais Digitais, na faixa de GHz, permitindo assim alta taxa de transferência de informações entre pontas.

O Amplificador de Transimpedância apresentado[30], utiliza o circuito BFL com resistor de

realimentação R_{FB} (figura 5.109). Sua alimentação é de $V_{DD} = 3.0V$ e $V_{SS} = -2.8V$. Seu resistor de realimentação possui resistência de 500ohms.



- Z1 = 50•
- Z2 = 100•
- Z3 = 200•
- Z4 = 40•
- Z5 = 40•
- Z6 = 350•
- $R_{fb} = 500\text{ohms}$
- = circuito a parte

figura 5.109 - Amplificador de Transimpedância

Sua banda de passagem é de 1.6GHz e o produto ganho x banda = 0.8THz Ohm. A figura 5.110 mostra a curva de transferência do circuito sem o resistor de realimentação (R_{FB}) e a figura 5.111 a banda passante do circuito. Os níveis de ruído são:

$$V_{NH} = 0.37V$$

$$V_{NL} = 0.41V$$

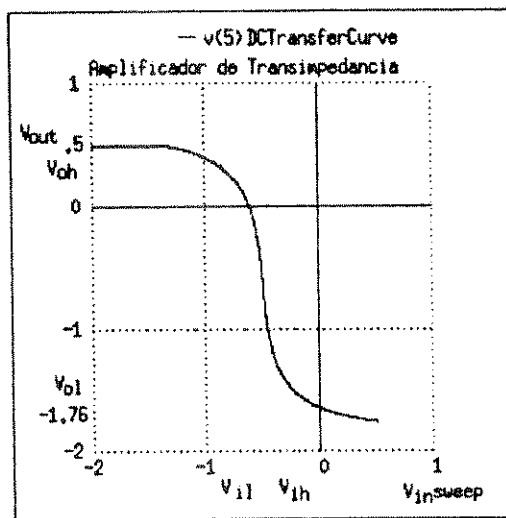


figura 5.110 - Curva de Transferência do Amplificador de Transimpedância

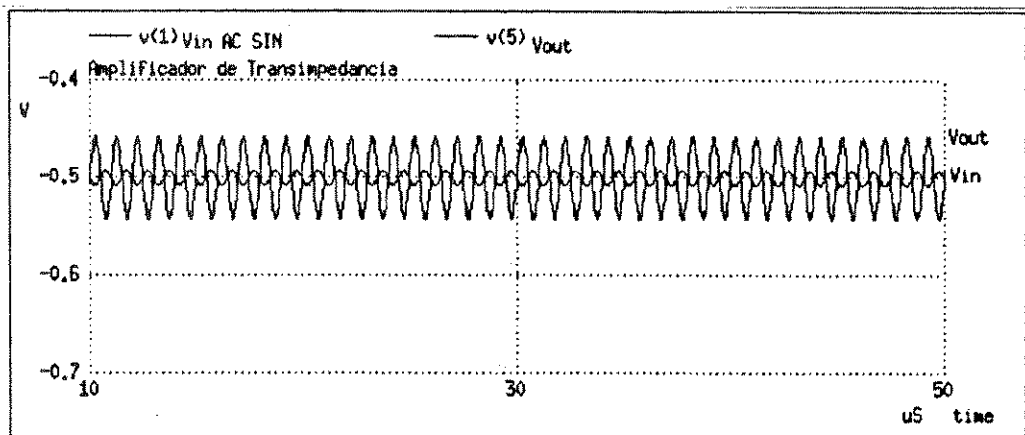


figura 5.111 - banda passante do Amplificador de Transimpedância

A figura 5.112, mostra as curva AC de transimpedância, que é obtida através da tensão de saída em função da corrente de entrada.

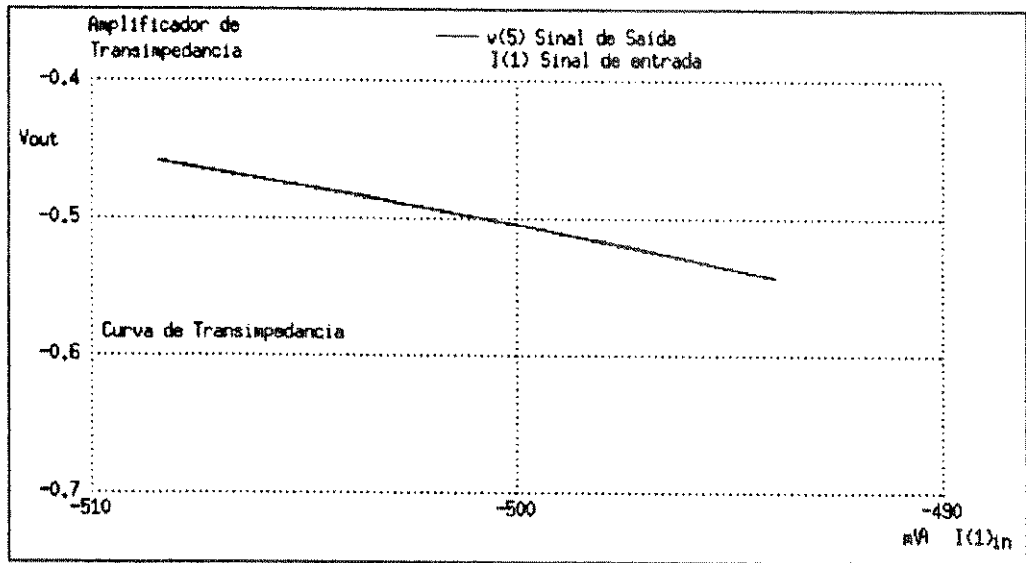


figura 5.112 - Curva AC de transimpedância

A figura 5.113, mostra o lay-out do Amplificador de Transimpedância. O resistor de Realimentação é conectado ao circuito externamente.

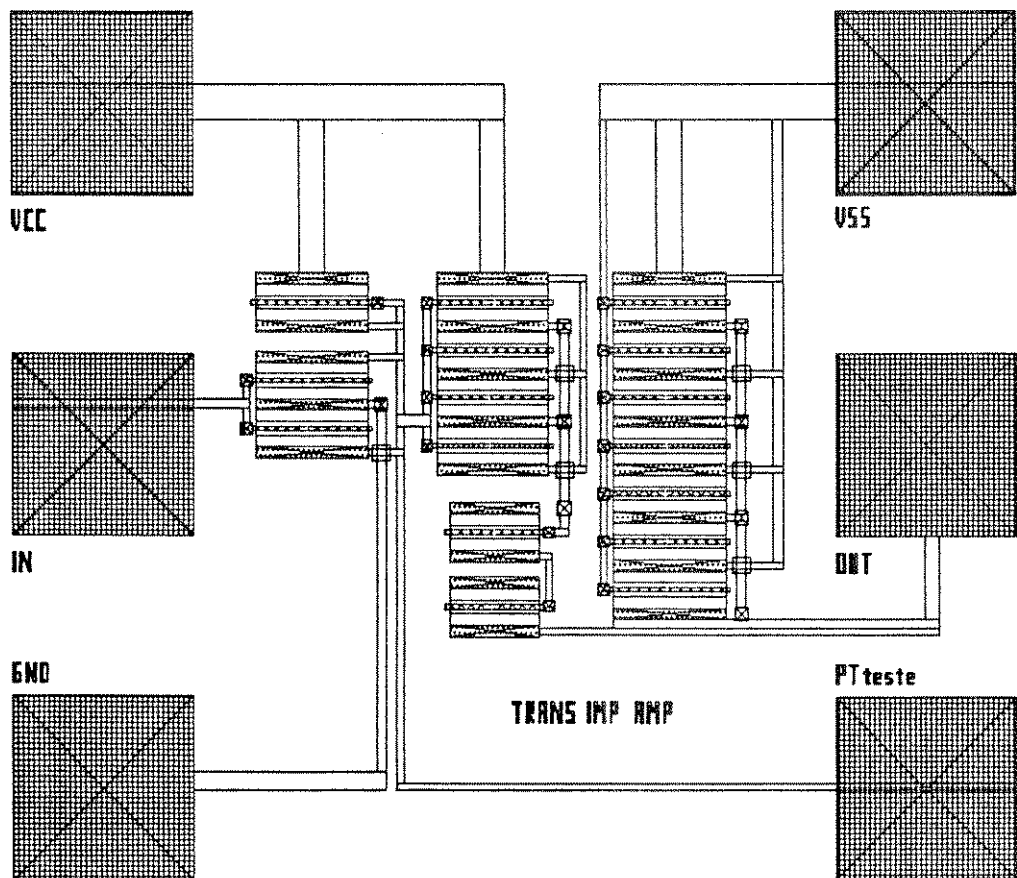


figura 5.113 - Lay-out do Amplificador de Transimpedância

5.4.5 - CIRCUITO EFEITO HALL:

Circuitos de Efeito Hall[31] são usados para medidas de mobilidade e concentração em semicondutores. Para uma área ativa $L \times W$ e espessura d , temos um fluxo B , a constante e a mobilidade Hall são dadas por:

$$R_H = (V_H d) / (I_x B) \quad [49]$$

$$\mu_H = (1 / W) \cdot (V_H / (V_x B)) \quad [50]$$

onde:

V_H = Tensão Hall medida [V];

V_x = Tensão aplicada [V];

I_x = Corrente [A];

d = Espessura [μm].

Para obtenção das medidas, foi desenhado um circuito Hall com área ativa de $20\mu\text{m} \times 20\mu\text{m}$, com os vértices conectados a pad's de dimensão $100\mu\text{m} \times 100\mu\text{m}$, como mostra a figura 5.114.

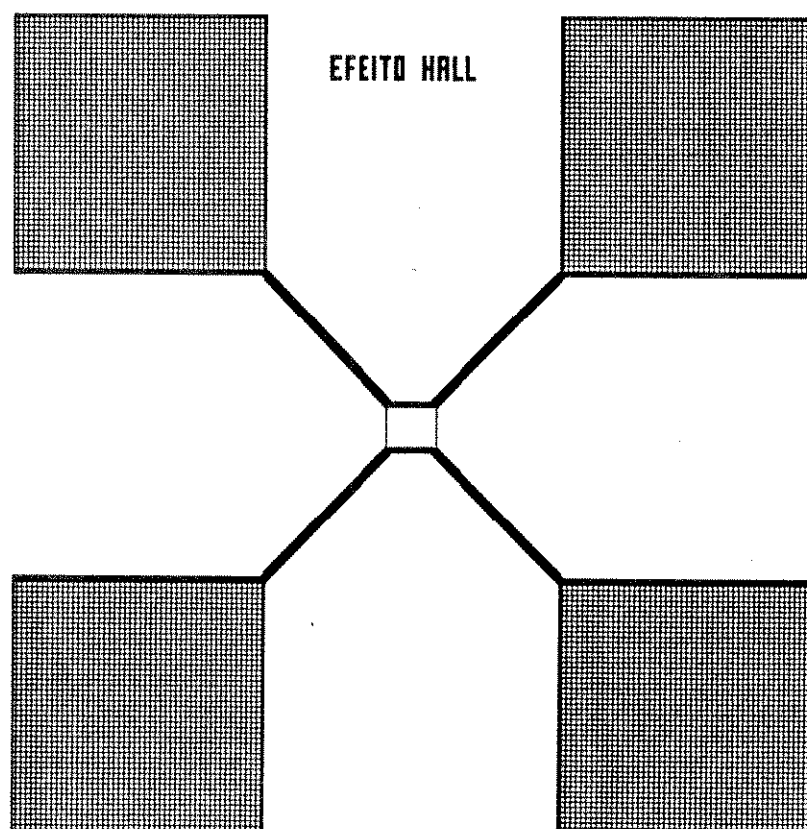


figura 5.114 - Lay-out do Circuito Hall

5.4.6 - MARCAS DE ALINHAMENTO:

Marcas de Alinhamento são utilizadas para auxiliar a "fotogravação", quando executada em processos manuais, tais como fotogravação com uso de "fotoalinhadora" ou "steper". Porcessos executados com auxílio de "electron-beam", dispensam marcas de alinhamento, pois utilizam arquivos CIF que são inseridos no computador de controle do EB.

Para este fim, foram desenhadas no Chip4, as marcas de alinhamento do Chip Teste. As marcas de alinhamento a serem usadas são de dois tipos. Em quadrados superpostos (figura 5.115) e em formato estrêla com quatro pontas (figura 5.116).

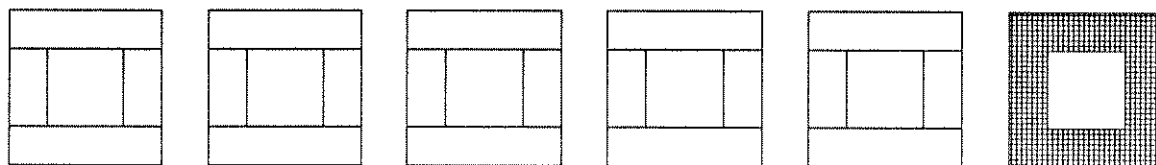


figura 5.115 - Marcas de alinhamento em forma quadrada

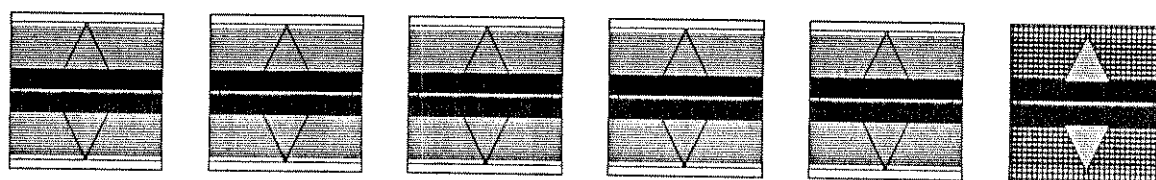


figura 5.116 - Marcas de alinhamento em forma estrêla

5.4.7 - LAY-OUT DO CIRCUITO INTEGRADO 4:

A figura 5.117 mostra o lay-out completo do Circuito Integrado, composto de portas lógicas e flip-flops.

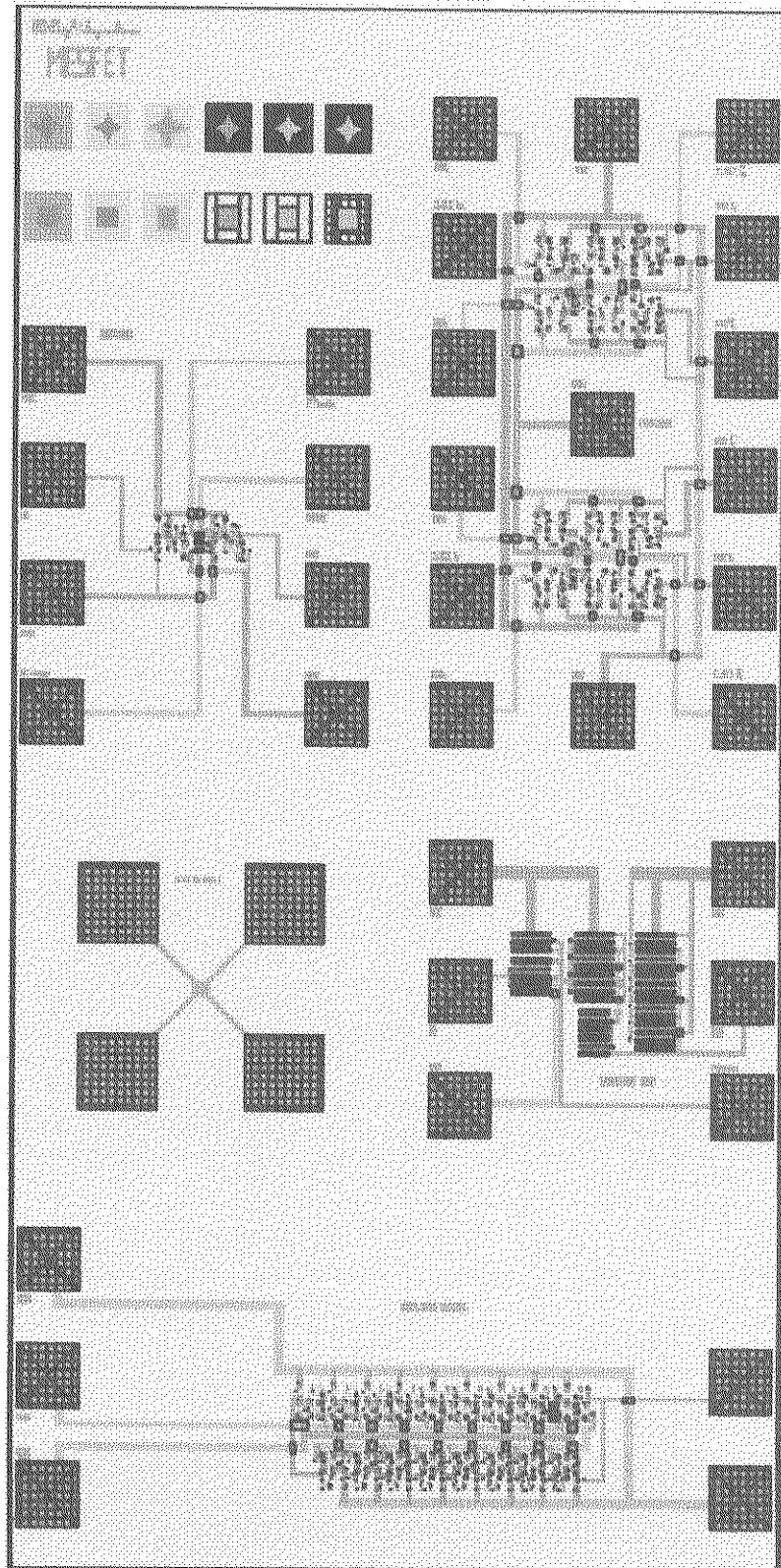


Figura 5.117 - máscara do circuito integrado 4

5.4.8 - MAPA DO CIRCUITO INTEGRADO 4:

A figura 5.118 mostra o mapa completo do Circuito Integrado 4, com seus pontos de entrada e saída, alimentação e pontos intermediários para testes e extração de parâmetros.

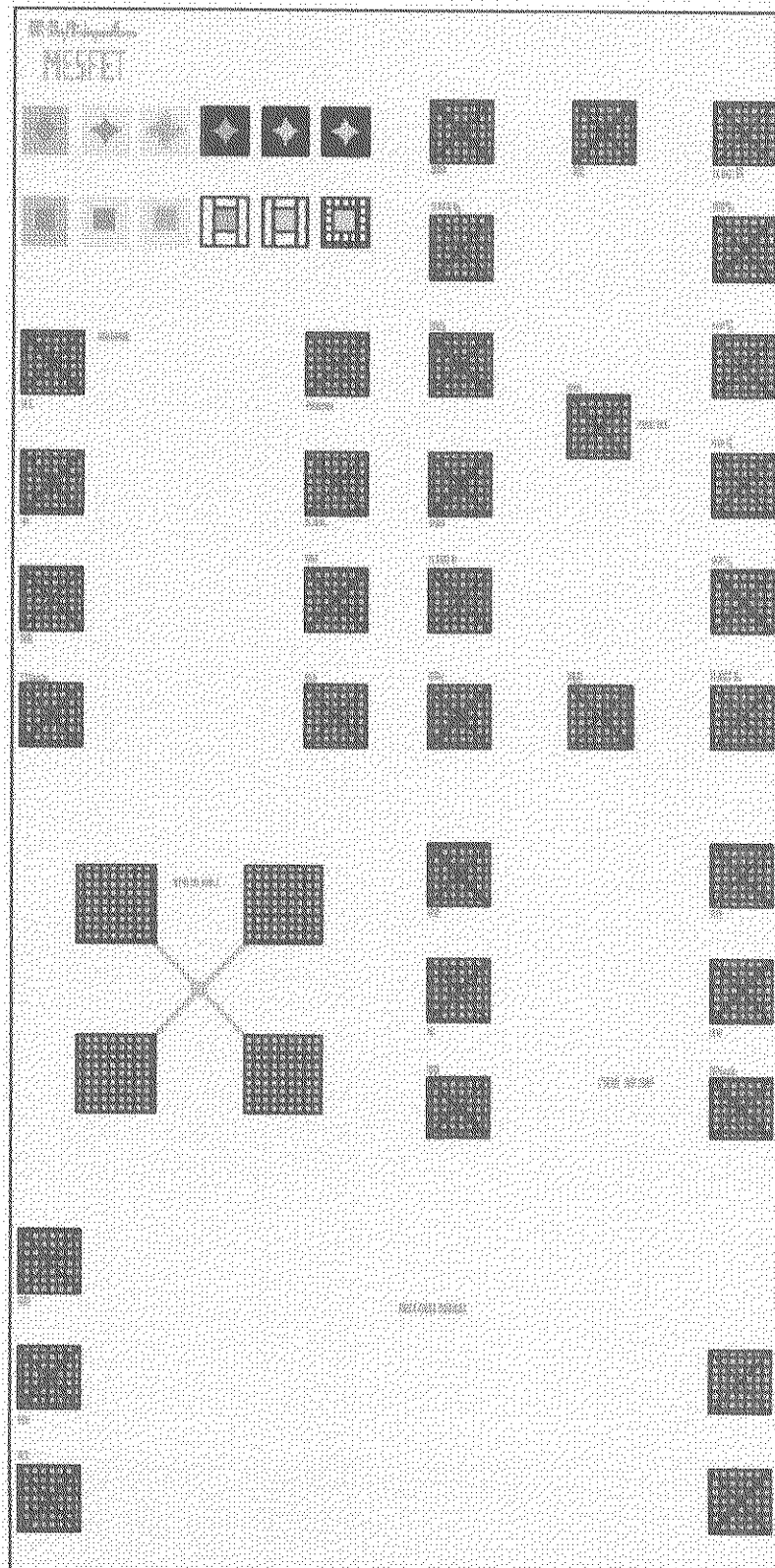


Figura 5.118 - mapa do circuito integrado 4

5.4.9 - CHIP TESTE:

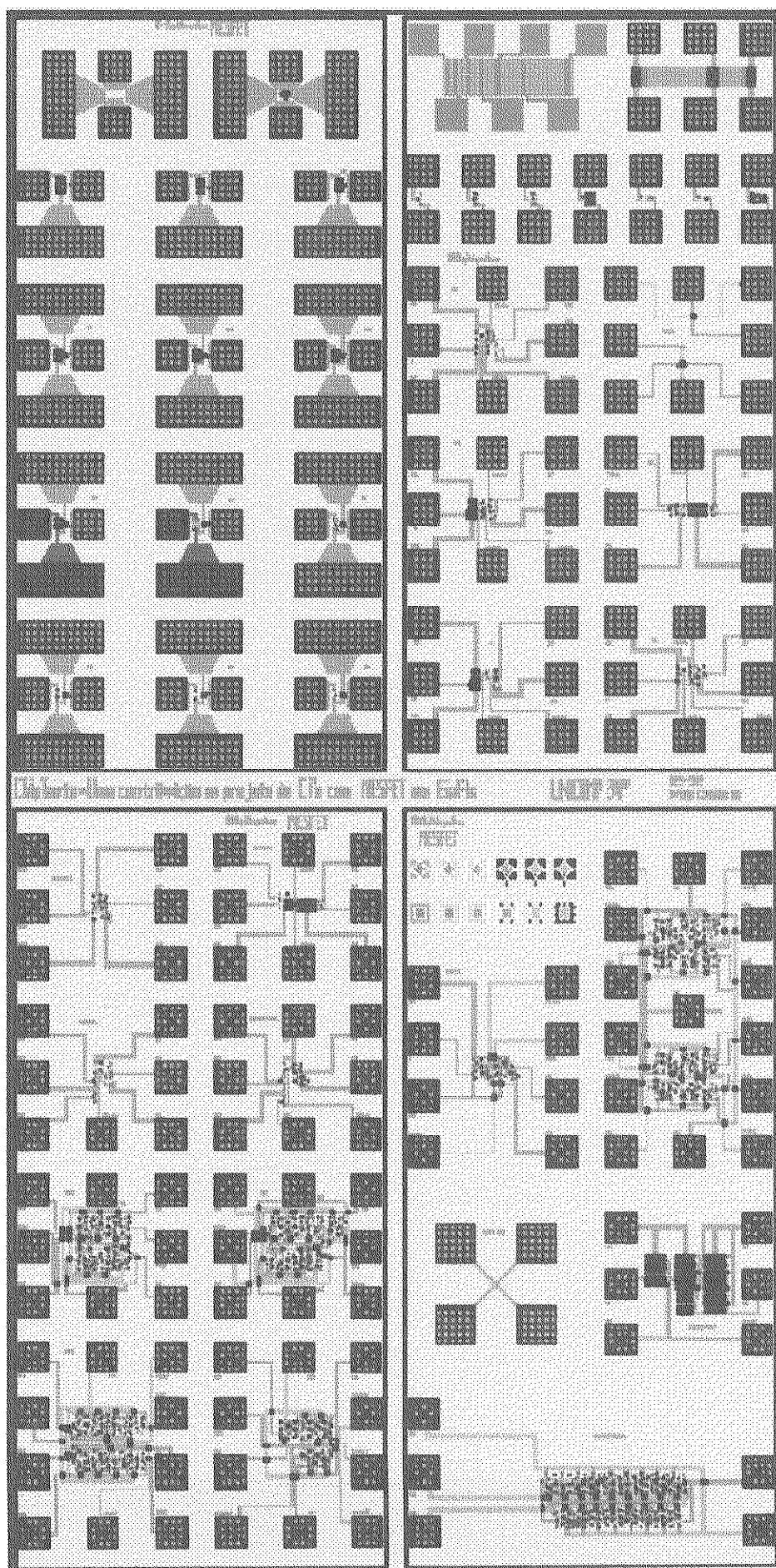


Figura 5.119 - CHIP TESTE

A figura 5.119 mostra os circuitos que compoem o Circuito Integrado de Testes - CHIP-TESTE.

5.5 - RESULTADOS E CONCLUSÕES:

A utilização das ferramentas SPICE e MAGIC, permitiu-nos um conhecimento não só na área de projetos, mas também na área de processo. Isto porque para se fazer o lay-out dos circuitos para o CHIP TESTE, foi necessário que desenvolvêssemos as regras de projetos para tal função. Assim foram criados dois arquivos de tecnologia (tech.file). O primeiro (dlpd.tech), é para ser utilizado no processo de difusão para transistores do tipo depleção e dimensão mínima de 2micron. O segundo (ilpd.tech), baseia-se no processo por implantação iônica e estrutura porta e fonte/dreno auto-alinhada. Este permite dimensões mínimas de 1micron.

Para executarmos as simulações SPICE, utilizamos os parâmetros extraídos dos dispositivos processados no LPD (vide tabela 4.9, cap. 4). Esses parâmetros nos permitem uma primeira aproximação, pois o CHIP TESTE (chip1), contém dispositivos com estruturas apropriadas para extração de parâmetros SPICE. Estes parâmetros serão utilizados para aprimorar o processo ora desenvolvido no LPD, e nos dar valores que venham permitir o desenvolvimento de lógicas com maior desempenho.

O CHIP TESTE, foi criado com a finalidade de permitir a extração de parâmetros, e estudo da performance de lógicas em GaAs. Como foi dito inicialmente, este foi dividido em quatro áreas, distintas, onde cada área possui uma finalidade.

O CHIP1, contém transistores de Depleção tipo N em GaAs, com estruturas apropriadas para extração de parâmetros.

O CHIP2, contém estruturas de testes para controle de processo, tais como "ponte aérea", resistores de contato. Além disso, foram colocados diodos tipo Schottky e circuitos básicos das diversas lógicas descritas no capítulo 2.

No CHIP3, foram construídas portas lógicas, e circuitos do tipo Flip-Flop, utilizando as lógicas básicas. Com estes circuitos lógicos poderemos observar o desempenho dos parâmetros extraídos dos dispositivos processados inicialmente no LPD.

No CHIP4, foram construídos circuitos com transistores de passagem, além de conter circuitos de teste tais como oscilador em anel e "efeito Hall". Neste chip ainda foi inserido um Amplificador de Transimpedância. Dois tipos de marcas de alinhamento foram desenhados para processo manual. O primeiro em forma de estrela e o segundo em forma de quadrados superpostos.

As lógicas básicas simuladas com auxílio da ferramenta SPICE (item 5.2.4), estão resumidas na tabela 5.10, que nos permite ter uma idéia do desempenho de cada uma delas.

tabela 5.10 - comparação de desempenho das lógicas simuladas

LÓGICA	ESCALA	VDD	VSS	VIN	ITEM. SUB.	TEM. PRO.	TIPO TRANSI	RUÍDO
BFL	1M/LSI	2.5V	-2.0V	-1.0V	112.6ps	15.1ps	DFET	larga
CDFL	1S/MSI	2.5V	-2.0V	-1.0V	294.0ps	24.0s	DFET	larga
SDFL	1S/MSI	2.5V	-2.0	1.0V	802.4ps	14.2ps	DFET	larga
FL	1S/MSI	2.5V	-2.0V	-1.0V	435.4ps	27.1ps	DFET	larga
FFC	1M/LSI	2.5V	-2.0V	-1.0V	122.0ps	0.1ps	DFET	larga

Circuitos utilizando transistores de passagem, apresentaram um bom comportamento. A lógica mais utilizada nas simulações e nos circuitos que compoem o CHIP TESTE, foi a "Lógica FET com Buffer - BFL". Esta lógica apresentou bom desempenho e uma grande facilidade nas simulações.

- [1] Spice3, Version 3D2 - User's Manual - October 31, 1990 - Department of Electrical and Computer Sciences - University of California - Berkeley, CA 94720;
- [2] 1986 VLSI Tools: Still More Works by Original Artists. "MAGIC V6.3" Department of Electrical and Computer Sciences - University of California - Berkeley, CA 94720;
- [3] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design", McGraw-Hill Publishing Company, New York, pg. 394.
- [4] Costa, D., Liu, M. U. and Harris Jr., J. S. (1991). "Direct Extraction of the AlGaAs/GaAs Heterojunction Bipolar Transistor Small-Signal Equivalent Circuit", IEEE Transactions on Electron Devices, Vol. 38 - No 9, pg. 2018;
- [5] Anholt, R., Swirhun, S. (1991). "Measurement and Analysis of GaAs MESFET Parasitic Capacitances", IEEE Transactions on Microwave Theory and Techniques, Vol. 39 - No 7, pg. 1247
- [6] Berger, H. H. (apr/1972). "Contact Resistance and Contact Resistivity", Journal of Electrochemical Soc.: Solid-State Science and Technology. Vol. 119, no 4. pg. 507;
- [7] Berger, H. H. (1972). "Model for Contacts to Planar Devices", Solid-State Electronics. ol 15, pg. 145;
- [8] Hodges, D. A. and Jackson, H. (1983) "Analysis and Design of Digital Integrated Circuits", Chapter 3, McGraw Hill Publishing Company, New York;
- [9] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design", Chapter 3, McGraw-Hill Publishing Company, New York, pg. 171;
- [10] Millman, J. and Grabel, A. (1987) "Microelectronics", Chapter 6, McGraw-Hill Publishing Company, New York, pg. 221;
- [11] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design", Chapter 3, McGraw-Hill Publishing Company, New York, pg. 142;
- [12] Kanapoulos, N. (1989) "Gallium Arsenide Digital Integrated Circuits" Prentice Hall, Englewood Cliffs, New Jersey, pg. 30;
- [13] Long, S. I. and Butner, S. E. (1990). "Gallium Arsenide Digital Integrated Circuit Design", Chapter 7, "I/O and CHIP-TO-CHIP ISSUES". McGraw-Hill Publishing Company, New York, pg. 368;
- [14] Shur, M., (1987) "GaAs Digital Integrated Circuits" Chapter 9, Plenum Press, New York, pg. 501;
- [15] Kanapoulos, N. (1989) "Gallium Arsenide Digital Integrated Circuits" Prentice Hall, Englewood Cliffs, New Jersey, pg. 44;
- [16] Shur, M., (1987) "GaAs Digital Integrated Circuits" Chapter 9, Plenum Press, New York, pg. 502;
- [17] Namordi, M. R. and White, M. A. (sept/1982). "A Novel Low-Power Static GaAs MESFET Logic Gate", IEEE Electron Device Letters, Vol. EDL-3, No. 9, pg.264;
- [18] Livingstone, A. W. and Mellor, P. J. T. (1980). "Capacitor coupling of GaAs Depletion Mode FET's", GaAs Symposium Abstracts, paper n.º 10;
- [19] Millman, J. and Grabel, A. (1987). "MICROELETRONICS" Second Edition, McGraw-Hill Book Company, New York, pg.318;
- [20] Taub, H. (1982). "Digital Circuits and Microprocessors" , McGraw-Hill Book Company, New York, pg.135;
- [21] Holdsworth, B. (1987). "Digital Logic Design", Butterworth & Co (Publishers) Ltd., London, pg. 95;

- [22] Millman, J. and Grabel, A. (1987). "MICROELETRONICS" Second Edition, McGraw-Hill Book Company, New York, pg.320;
- [23] Taub, H. (1982). "Digital Circuits and Microprocessors" , McGraw-Hill Book Company, New York, pg.147;
- [24] McCluskey, E. J. (1986). "Logic Design Principles with Emphasis on Testable Semiconductor Circuits", Prentice-Hall International Editions, Englewood Cliffs, NJ, pg. 308;
- [25] Holdsworth, B. (1987). "Digital Logic Design", Butterworth & Co (Publishers) Ltd., London, pg. 99;
- [26] Millman, J. and Grabel, A. (1987). "MICROELETRONICS" Second Edition, McGraw-Hill Book Company, New York, pg.328;
- [27] Taub, H. (1982). "Digital Circuits and Microprocessors" , McGraw-Hill Book Company, New York, pg.153;
- [28] Holdsworth, B. (1987). "Digital Logic Design", Butterworth & Co (Publishers) Ltd., London, pg. 104;
- [29] Walden, R. H., Hooper, W. W., Chou, C. S., Ngo, C., Wong Quen, R., Metzger, R. A., Williams, F., Larson, L. E. and Blungold, R. (1991). "Multigigahertz Monolithic GaAs Optoelectronic Receivers Using 0.2 μ m Gate-Length MESFET's", IEEE MTY-S Digest, pg. 493;
- [30] Harder, C. S., Van Zeghbroeck, B., Meier, H., Patrick, W., Vettiger, P., (abril/1988) "5.2GHz Bandwidth Monolithic GaAs Optoelectronic Receiver", IEEE Electron Device Letters, Vol 9, N $^{\circ}$ 4, pg. 171;
- [31] Tyagi, M. S. (1991). "Introduction to Semiconductor Material and Devices", John Wiley & Sons, New York, pg. 620;

6 - CONCLUSÕES E SUGESTÕES:

Este trabalho constitui uma ponte entre processo e projetos de CI's com tecnologia MESFET, passando evidentemente pela parte de caracterização;

Esta etapa no desenvolvimento deste trabalho foi a mais importante, pois, partindo da caracterização, com os parâmetros obtidos, pudemos projetar novos circuitos;

Como resultados mais importantes apresentamos as seguintes conclusões:

Da análise das diversas famílias lógicas e das simulações feitas resulta que, considerando uma tecnologia MESFET tipo depleção, a lógica mais apropriada para implementação de novos circuitos é a do tipo BFL (velocidade maior, fan-out/área maior), boa margem de ruído e menor ruído nas transições;

O modelo de Statz et al. na versão mais recente do SPICE (versão 3D2), é um modelo mais preciso que os modelos anteriores, sobretudo na simulação AC (modelo de capacitância), além de apresentar maior eficiência computacional;

Foi desenvolvido um método (incluindo programas) de extração de parâmetros, resultando em ajuste experimental/modelo melhor que 4% em média;

Por meio da extração de parâmetros de transistores de dois processos distintos e de comprimento de canal diferentes, observamos uma boa concordância da variação dos parâmetros com a estrutura física dos dispositivos, indicando tratar-se de um modelo com boa representação física;

Comparando os dois processos, podemos afirmar que, embora os dispositivos processados no RTI apresentem um transcondutância (ou BETA), um pouco menor, eles apresentam as seguintes vantagens: Redução dos efeitos de canal curto, maior

condutância de saída e maior mobilidade e velocidade de saturação;

Apresentamos a elaboração de um jogo de máscaras de um "chip teste", contendo estruturas de teste diversos, portas lógicas e um amplificador de transimpedância apresentando $f(-3dB) = 1.6GHz$, com transimpedância de 0.8Ω .

Como continuação do presente trabalho, apresentamos as seguintes sugestões:

Inicialmente sugerimos a confecção do jogo de máscaras com o "chip teste";

O processamento deste chip teste permitirá a extração de parâmetros DC e principalmente AC, utilizando parâmetros S, pois os dispositivos uma vez que o circuito integrado 1 foi projetado para este fim;

Verificação e ajuste dos parâmetros extraídos e funcionalidade dos circuitos projetados;

Verificação (ou ajuste, se for o caso) do modelo de capacitâncias como proposto por Statz et al. (SPICE3D2).

Determinação experimental das regras de projeto.

Implementação da automatização da extração de parâmetros utilizando a norma IEEE488-GPIB (General Interface Purpose Bus), que permitirá maior velocidade e confiabilidade na extração de parâmetros de dispositivos e testes nos circuitos processados.

APENDICE A

SPICE 3D2 FILE FOR CIRCUITS AND DISPOSITIVES SIMULATIONS

PARAMETROS PARA SIMULAÇÃO SPICE DE CIRCUITOS EM ARSENETO DE GALIO - MESFET - UTILIZANDO O MODELO DE H. STATZ PARA O SPICE/VERSAO 3D2 (OUTUBRO/90) DA UNIVERSITY OF CALIFORNIA - BERKELEY.

MES: GaAs MESFET model

```

+-----+
|           MES - instance input-output parameters           |
+=====+
| area                Area factor                            |
| icvds               Initial D-S voltage                    |
| icvgs               Initial G-S voltage                    |
+-----+

```

```

+-----+
|           MES - instance output-only parameters           |
+=====+
| off                 Device initially off                    |
| dnode               Number of drain node                    |
| gnode               Number of gate node                     |
| snode               Number of source node                    |
+-----+
| dprimenode          Number of internal drain node          |
| sprimenode          Number of internal source node          |
| vgs                  Gate_Source voltage                    |
| vgd                  Gate_Drain voltage                      |
+-----+
| cg                   Gate capacitance                        |
| cd                   Drain capacitance                       |
| cgd                  Gate_Drain capacitance                  |
| gm                   Transconductance                       |
+-----+
| gds                  Drain_Source condutance                 |
| ggs                  Gate_Source condutance                  |
| ggd                  Gate_Drain condutance                   |
| qgs                  Gate_Source charge storage              |
+-----+
| cqgs                 Cap due to gate_source charge storage |
| qgd                  Gate_Drain charge storage               |
| cqgd                 Cap due to gate_drain charge storage   |
| cs                   Source current                          |
| p                    Power dissipated by the mesfet        |
+-----+

```


MES - model input-output parameters	
vt0	Pinch_off voltage
vto	Pinch_off voltage
alpha	Saturation voltage parameter
beta	Transconductance parameter
lambda	Channel length modulation param
b	Doping tail extending parameter
rd	Drain ohmic resistance
rs	Source ohmic resistance
cgs	G_S junction capacitance
cgd	G_D junction capacitance
pb	Gate junction potential
is	Junction saturation current
fc	Forward biad junction fit param

MES - model output-only parameters	
nmf	N type MESfet model
pmf	P type MESfet model
gd	Drain condutance
gs	Source condutance
deprt_cap	Depletion capacitance
vcrit	Critical voltage

Diode: Junction Diode model

Diode - instance input-only parameters	
sens_area	flag to request sensitivity WRT area

Diode - instance input-output parameters	
off	P type MESfet model
temp	Drain condutance
ic	Source condutance
area	Area factor

Diode - instance input-output parameters	
voltage	Depletion capacitance
current	Critical voltage
charge	Depletion capacitance
capcur	Critical voltage

Diode - instance input-output parameters	
cond	Depletion capacitance
p	Critical voltage
c	Depletion capacitance
sens_dc	Critical voltage
sens_real	Depletion capacitance
sens_imag	Critical voltage
sens_mag	Depletion capacitance
sens_ph	Critical voltage
sens_cplx	Depletion capacitance

Diode - model input-only parameters	
d	Diode model
kf	flicker noise coefficient
af	flicker noise exponent

Diode - model input-only parameters	
is	Diode model
tnom	Parameter measurement temperature
rs	Ohmic resistance
n	Emission coefficient
tt	Transit time
cjo	Junction capacitance
vj0	Junction capacitance
vj	Junction potential
m	Grading coefficient
eg	Activation energy
xTi	Saturation current temperature exp
fc	Forward bias junction fit parameter
bv	Reverse breakdown voltage
ibv	Current at reverse breakdown voltage

Diode - model output-only parameters	
cond	Ohmic conductance

APENDICE B

PROGRAMA DE AJUSTE DOS PARAMETROS SPICE

PROGRAMA DESENVOLVIDO EM PASCAL PARA AJUSTE E
OBTENÇÃO DE PARAMETROS ATRAVES DA EQUAÇÃO DE
CORRENTE DE DRENO DE STATZ ET ALL, JAN/1992.

```
PROGRAM EXTRACAO(INPUT,OUTPUT);
```

```
TYPE VGVAR = ARRAY [1..20] OF REAL;
```

```
VAR ARD1 : TEXT;
    ARDNOME : STRING[30];
    I,J : INTEGER;
    LAMBDA,SBETA,SB,BETA,VT,B : REAL;
    B1,B0,SX,SY,SXX,SYY,SXY : REAL;
    VDSAT : ARRAY [1..50] OF VGVAR;
    IDLIN,IDSAT : ARRAY [1..50] OF VGVAR;
    VDLINS,VDSATS,BETAV : ARRAY [1..50] OF REAL;
    VGLIN,VDLIN : ARRAY [1..50] OF VGVAR;
    VB : ARRAY [1..20] OF REAL;
    NPTVDSAT,NPTVDLIN,NPTVG : INTEGER;
    VTMAX,VTMIN,ERRO1,ERRO2,ERRO3 : REAL;
    SERRO,ERRO2D,DER_ERRO,DELTA VT : REAL;
    SERRO2,BETASAL,BSAL,ALFA : REAL;
    K,IDAJUST,LMBD_MAX,LMBD_MIN : REAL;
    FLAG : STRING[1];
    RD,RS,ALFA_MAX,ALFA_MIN : REAL;
```

```
FUNCTION ERRO_ALFA(INDICE:INTEGER):REAL;
```

```
VAR I : INTEGER;
    ID,SERRO : REAL;
```

```
BEGIN
```

```
SERRO:=0.0;
```

```
FOR I:=1 TO NPTVG DO
```

```
  BEGIN
```

```
    ID:=1+(LAMBDA*VDLIN[INDICE,I]);
```

```
    ID:=ID*BETA*SQR(VGLIN[INDICE,I]-VT)/(1+(B*(VGLIN[INDICE,I]-VT)));
```

```
    ID:=ID*(1-(SQR(1-(ALFA*VDLIN[INDICE,I]/3.0))*(1-(ALFA*VDLIN[INDICE,I]/3.0))));
```

```
    IF FLAG='S' THEN
```

```
      SERRO:=SERRO+SQR((ID-IDLIN[INDICE,I])/IDLIN[INDICE,I])
```

```
    ELSE
```

```
      SERRO:=SERRO+SQR(ID-IDLIN[INDICE,I]);
```

```
  END;
```

```
  ERRO_ALFA:=SERRO;
```

```
END;
```

```
{Fim da Funcao ERRO_ALFA}
```

```
FUNCTION ERRO(INDICE:INTEGER):REAL;
```

```

VAR I : INTEGER;
    SERRO, IDCALC : REAL;

BEGIN
    SERRO:=0.0;
    FOR I:=1 TO NPTV6 DO
        BEGIN
            IDCALC:=(1+(LAMBDA#VDSAT[INDICE,I]))#BETA#SQR(VG[I]-VT)/((1+(B*(VG[I]-VT)));
            IF FLAG='S' THEN
                SERRO:=SERRO+SQR((IDCALC-IDSAT[INDICE,I])/IDSAT[INDICE,I])
            ELSE
                SERRO:=SERRO+SQR(IDCALC-IDSAT[INDICE,I]);
            END;
        ERRO:=SERRO;
    END;
(Fim da Funcao ERRO)

```

```

PROCEDURE CALC_BETA_B(INDICE:INTEGER);

```

```

VAR SY,SX,SXX,SYY,SXY : REAL;
    B1,B0,IDNORM : REAL;
    I : INTEGER;

```

```

BEGIN
    SY:=0.0;SX:=0.0;SXX:=0.0;SYY:=0.0;SXY:=0.0;
    FOR I:=1 TO NPTV6 DO
        BEGIN
            IDNORM:=IDSAT[INDICE,I]/(1+(LAMBDA#VDSAT[INDICE,I]));
            SX:=SX+VG[I]-VT;
            SY:=SY+(SQR(VG[I]-VT)/IDNORM);
            SXX:=SXX+SQR(VG[I]-VT);
            SYY:=SYY+SQR(SQR(VG[I]-VT)/IDNORM);
            SXY:=SXY+(SQR(VG[I]-VT)*(VG[I]-VT)/IDNORM);
        END;
        B1:=((NPTV6#SXY)-(SX#SY))/((NPTV6#SXX)-(SX#SX));
        B0:=(SY/NPTV6)-(B1#SX/NPTV6);
        BETA:=1/B0;B:=B1/B0;
    END;
(Fim do Procedimento CALC_BETA_B)

```

```

BEGIN {Inicio do Programa Principal}
    SXX:=0.0;SYY:=0.0;SX:=0.0;SY:=0.0;SXY:=0.0;
    WRITELN('Ajuste da curva IDxVG pelo modelo de Statz');
    WRITELN;
    WRITE('Deseja ajuste atraves de erro relativo (S/N) ? ');
    READLN(FLAG);
    IF FLAG='s' THEN
        FLAG:='S';
    WRITELN;WRITELN;
    WRITE('Entre com o nome do arquivo de pontos > ');
    READLN(ARQNOME);
    ASSIGN(ARQ1,ARQNOME);
    RESET(ARQ1);
    READLN(ARQ1,NPTV6);
    FOR I:=1 TO NPTV6 DO
        READ(ARQ1,VG[I]);
    READLN(ARQ1,NPTVDSAT);
    FOR J:=1 TO NPTV6 DO
        FOR I:=1 TO NPTVDSAT DO
            READ(ARQ1,IDSAT[I,J]);
        FOR I:=1 TO NPTVDSAT DO

```

```

READ(ARQ1,VDSATS[I]);
READLN(ARQ1,NPTVDLIN);
FOR J:=1 TO NPTVG DO
  FOR I:=1 TO NPTVDLIN DO
    READ(ARQ1,IDLIN[I,J]);
  FOR I:=1 TO NPTVDLIN DO
    READ(ARQ1,VDLINS[I]);
CLOSE(ARQ1);
WRITELN;
WRITE('Entre com a resistencia parasita de dreno > ');
READLN(RD);
WRITE('Entre com a resistencia parasita de fonte > ');
READLN(RS);
FOR J:=1 TO NPTVG DO
  FOR I:=1 TO NPTVDLIN DO
    BEGIN
      VDLIN[I,J]:=VDLINS[I]-((RS+RD)*IDLIN[I,J]);
      VGLIN[I,J]:=VG[J]-(RS*IDLIN[I,J]);
    END;
FOR J:=1 TO NPTVG DO
  BEGIN
    FOR I:=1 TO NPTVDSAT DO
      VDSAT[I,J]:=VDSATS[I]-((RS+RD)*IDSAT[I,J]);
      VG[J]:=VG[J]-(RS*IDSAT[I,J]);
    END;
  WRITELN;
  LAMBDA:=0.0;
  FOR I:=1 TO NPTVG DO
    BEGIN
      SX:=SX+VG[I];SY:=SY+SQRT(IDSAT[NPTVDSAT,I]);
      SXX:=SXX+SQR(VG[I]);SYY:=SYY+IDSAT[NPTVDSAT,I];
      SXY:=SXY+(VG[I]*SQRT(IDSAT[NPTVDSAT,I]));
    END;
  B1:=((NPTVG*SXY)-(SX*SY))/((NPTVG*SXX)-(SX*SX));
  B0:=(SY/NPTVG)-(B1*SX/NPTVG);
  WRITELN('Regressao SQRT(ID) = B0 + B1 VG');
  WRITELN('B0 = ',B0:10,' B1 = ',B1:10);
  BETA:=SQR(B1);VT:=-B0/B1;
  WRITELN('VT = ',VT:7:3,' BETA = ',BETA:10);
  WRITELN('para VDS = ',VDSATS[NPTVDSAT]:7:3);
  CALC_BETA_B(NPTVDSAT);
  ERRO1:=ERRD(NPTVDSAT);
  VT:=VT+0.1;
  CALC_BETA_B(NPTVDSAT);
  ERRO2:=ERRD(NPTVDSAT);
  VT:=VT+0.1;
  CALC_BETA_B(NPTVDSAT);
  ERRO3:=ERRD(NPTVDSAT);
  VT:=VT-0.2;
  IF (ERRO1>ERRO2)AND(ERRO2>ERRO3) THEN
    DELTAVT:=0.1;
  IF (ERRO1<ERRO2)AND(ERRO2<ERRO3) THEN
    DELTAVT:=-0.1;
  WHILE NOT((ERRO1>ERRO2)AND(ERRO2<ERRO3)) DO
    BEGIN
      IF DELTAVT>0.0 THEN
        BEGIN
          VT:=VT+DELTAVT;
          ERRO1:=ERRO2;ERRO2:=ERRO3;
          VT:=VT+0.2;
          CALC_BETA_B(NPTVDSAT);
          ERRO3:=ERRD(NPTVDSAT);
          VT:=VT-0.2;
        END
      END

```

```

ELSE
  BEGIN
    VT:=VT+DELTA VT;
    ERRO3:=ERRO2;ERRO2:=ERRO1;
    CALC_BETA_B(NPTVDSAT);
    ERRO1:=ERRO(NPTVDSAT);
  END;
END;
VTMAX:=VT+0.2;VTMIN:=VT;
WRITELN;
WRITELN('VT entre ',VTMIN:6:3,' e ',VTMAX:6:3);
REPEAT
  VT:=(VTMAX+VTMIN)/2.0;
  CALC_BETA_B(NPTVDSAT);
  ERRO2:=ERRO(NPTVDSAT);
  VT:=VT+1E-5;
  CALC_BETA_B(NPTVDSAT);
  ERRO2D:=ERRO(NPTVDSAT);
  VT:=VT-1E-5;
  DER_ERRO:=ERRO2D-ERRO2;
  IF DER_ERRO>0.0 THEN
    VTMAX:=VT
  ELSE
    VTMIN:=VT;
  UNTIL (VTMAX-VTMIN)<5E-4;
  WRITELN('VT Calculado : ',VT:7:4);
  WRITELN('para VDS = ',VDSATS(NPTVDSAT):6:3);
  LMBD_MAX:=1.0;LMBD_MIN:=0.0;
  REPEAT
    LAMBDA:=(LMBD_MAX+LMBD_MIN)/2.0;
    SBETA:=0.0;SB:=0.0;
    FOR I:=1 TO NPTVDSAT DO
      BEGIN
        CALC_BETA_B(I);
        SBETA:=SBETA+BETA;
        SB:=SB+B;
      END;
    BETA:=SBETA/NPTVDSAT;
    B:=SB/NPTVDSAT;
    SERRO:=0.0;
    FOR I:=1 TO NPTVDSAT DO
      SERRO:=SERRO+ERRO(I);
    BETASAL:=BETA;BSAL:=B;
    LAMBDA:=LAMBDA+(1E-4*(LMBD_MAX-LMBD_MIN));
    SBETA:=0.0;SB:=0.0;
    FOR I:=1 TO NPTVDSAT DO
      BEGIN
        CALC_BETA_B(I);
        SBETA:=SBETA+BETA;
        SB:=SB+B;
      END;
    BETA:=SBETA/NPTVDSAT;
    B:=SB/NPTVDSAT;
    SERRO2:=0.0;
    FOR I:=1 TO NPTVDSAT DO
      SERRO2:=SERRO2+ERRO(I);
    LAMBDA:=LAMBDA-(1E-4*(LMBD_MAX-LMBD_MIN));
    BETA:=BETASAL;B:=BSAL;
    IF SERRO2>SERRO THEN
      LMBD_MAX:=LAMBDA
    ELSE
      LMBD_MIN:=LAMBDA;
  UNTIL ((LMBD_MAX-LMBD_MIN)/LAMBDA)<1E-3;
  WRITELN;

```

```

WRITELN('Lambda = ',LAMBDA:9,' b = ',B:9);
WRITELN('Beta = ',BETA:9);
ALFA_MAX:=20.0;ALFA_MIN:=0.1;
REPEAT
  ALFA:=(ALFA_MAX+ALFA_MIN)/2.0;
  SERRO:=0.0;
  FOR I:=1 TO NPTVDLIN DO
    SERRO:=SERRO+ERRO_ALFA(I);
  ALFA:=ALFA+1E-4;
  SERRO2:=0.0;
  FOR I:=1 TO NPTVDLIN DO
    SERRO2:=SERRO2+ERRO_ALFA(I);
  ALFA:=ALFA-1E-4;
  IF SERRO2>SERRO THEN
    ALFA_MAX:=ALFA
  ELSE
    ALFA_MIN:=ALFA;
  UNTIL (ALFA_MAX-ALFA_MIN)<0.001;
WRITELN('Alfa = ',ALFA:8:4);
SERRO2:=0.0;
SERRO:=0.0;
FOR I:=1 TO NPTV6 DO
  BEGIN
    K:=BETA*SQR(V6[I]-VT)/(1+(B*(V6[I]-VT)));
    FOR J:=1 TO NPTVDSAT DO
      BEGIN
        IDAJUST:=K*(1+(LAMBDA*VDSAT[J,I]));
        SERRO:=SERRO+SQR((IDAJUST-IDSAT[J,I])/IDAJUST);
        SERRO2:=SERRO2+SQR(IDAJUST-IDSAT[J,I]);
      END;
    FOR J:=1 TO NPTVDLIN DO
      BEGIN
        IDAJUST:=BETA*SQR(VGLIN[J,I]-VT)/(1+(B*(VGLIN[J,I]-VT)));
        IDAJUST:=IDAJUST*(1+(LAMBDA*VDLIN[J,I]));
        IDAJUST:=IDAJUST*(1-(SQR(1-(ALFA*VDLIN[J,I]/3.0))*(1-(ALFA*VDLIN[J,I]/3.0))));
        SERRO:=SERRO+SQR((IDAJUST-IDLIN[J,I])/IDAJUST);
        SERRO2:=SERRO2+SQR(IDAJUST-IDLIN[J,I]);
      END;
    END;
  WRITELN;
  SERRO:=100.0*SQR(SERRO/((NPTV6*(NPTVDSAT+NPTVDLIN))-1));
  SERRO2:=SQRT(SERRO2/((NPTV6*(NPTVDSAT+NPTVDLIN))-1));
  WRITELN('Erro relativo no ajuste = ',SERRO:6:2,'%');
  WRITELN('Erro absoluto no ajuste = ',SERRO2:10);
  WRITELN;
END.

```

APENDICE C

PROGRAMA PARA CALCULO DE RS E RD

PROGRAMA DESENVOLVIDO EM PASCAL PARA O CALCULO E
OBTENÇÃO DAS RESISTÊNCIAS DE DRENO E FONTE DE
DISPOSITIVOS MESFET, JAN/1992.

```
PROGRAM RSRD(INPUT,OUTPUT);
```

```
VAR I,J : INTEGER;
    B1,BO,SX,SY,SXX,SYY,SXY : REAL;
    R,VG,X : ARRAY [1..50] OF REAL;
    ERRO1,ERRDID,VTH,VTMAX,VTMIN,VBI : REAL;
```

```
PROCEDURE AJUST_BO_B1(VTIN:REAL);
```

```
BEGIN
  FOR J:=1 TO I DO
    X[J]:=1.0/(1.0-SQRT((VBI-VG[J])/(VBI-VTIN)));
    SXX:=0.0;SYY:=0.0;SX:=0.0;SY:=0.0;SXY:=0.0;
  FOR J:=1 TO I DO
    BEGIN
      SX:=SX+X[J];SY:=SY+R[J];
      SXX:=SXX+SQR(X[J]);SYY:=SYY+SQR(R[J]);
      SXY:=SXY+(X[J]*R[J]);
    END;
  B1:=((I*SXY)-(SX*SY))/((I*SXX)-(SX*SX));
  BO:=(SY/I)-(B1*SX/I);
END;
```

```
FUNCTION ERRO:REAL;
```

```
VAR YCALC,SERRO : REAL;
```

```
BEGIN
  SERRO:=0.0;
  FOR J:=1 TO I DO
    BEGIN
      YCALC:=(B1*X[J])+BO;
      SERRO:=SERRO+SQR(R[J]-YCALC);
    END;
  ERRO:=SERRO;
END;
```

```
BEGIN (Inicio do Programa Principal)
  WRITELN('Calculo de Rs+Rd');
  WRITELN;
  WRITE('Entre com o numero de pontos > ');
  READLN(I);
  FOR J:=1 TO I DO
```



```

BEGIN
  WRITE('Rds#',J,' Vgs#',J,' > ');
  READ(R[J],VG[J]);
  END;
WRITELN;
WRITE('Entre com Vbi > ');
READLN(VBI);
WRITE('Entre com Vth > ');
READLN(VTH);
VTMAX:=VTH+1.0;
VTMIN:=VTH-1.0;
REPEAT
  VTH:=(VTMAX+VTMIN)/2.0;
  AJUST_BO_B1(VTH);
  ERRO1:=ERRO;
  AJUST_BO_B1(VTH+1E-5);
  ERRO1D:=ERRO;
  IF ERRO1D>ERRO1 THEN
    VTMAX:=VTH
  ELSE
    VTMIN:=VTH;
UNTIL (VTMAX-VTMIN)<1E-3;
WRITELN('Regressao Y = BO + B1 X');
WRITELN('BO = ',BO:10,' B1 = ',B1:10);
WRITELN;
WRITELN('Rs+Rd = ',BO:10);
WRITELN('com serro2 = ',ERRO1:10,' e Vth = ',VTH:8:3);
END.

```

APENDICE D

MAGIC TECHNOLOGY
FILE FOR
SELECTIVE-IMPLANT
D-MODE
PROCESS

MODELO DE TECNOLOGIA PARA PROJETO DE CIRCUITOS
INTEGRADOS EM GaAs - MESFET TIPO-D (depletion)
DESENVOLVIDO NA "UNIVERSITY OF CALIFORNIA-SANTA
BARBARA", 1988.

```

/*****
**
** gaas.tech - Technology file for MAGIC
**
** Defines the selective-implant depletion mode technology
**
** Lab. de Circuitos Integrados (used with permission)
**
** Suitable for multiple foundries
**
** Developed by Stephen L. Long and Steven E. Butner at UCSB
**
** e-mail: "butner@hub.ucsb.edu" and "long@empire.ucsb.edu"
**
** UNICAMP - maio/1991
**
*****/

tech                                /* Defines technology */

    gaas

end

planes

    active
    metal2
    fab

end

types

/***** Primary active and interconnection layers *****/

    active          n_plus,np
    active          n_minus,nm
    active          schottky_metal,sm
    metal2          second_metal,m2
    fab             glass,ov

/***** Derived layers *****/
```

```

    active          implant,im

/* Contacts (actually derived tile types) between layers */

    active          via,v
    active          ohmic_contact,oc
    active          schottky_contact,sc

/***** Active devices *****/

    active          mesfet,mf
    active          level_shift_diode,ls
    active          logic_diode,log

end

/***** On-screen appearance of each tile type. Uses standard MOS styles *****/

styles

    styletype      mos
    schottky_metal  1
    n_minus         2
    n_plus         4
    implant         3
    second_metal    20
    ohmic_contact   2
    ohmic_contact   33
    schottky_contact 1
    schottky_contact 33
    via            1
    via            20
    via            32
    ls             6
    ls             10
    mesfet         6
    mesfet         7
    log           6
    log           11
    glass          20
    glass          34
    error_s        42
    error_p        42
    error_ps       42

end

/***** Contacts (connections between planes) *****/

contact

```

```

        via          schottky_metal      second_metal

end

/***** Composition and decomposition rules *****/

compose

/* The following rules allow for the composition of mesfets,
 * level shift diodes and logic diodes from schottky metal
 * and implant (n+ and n-).
 */

compose mesfet          schottky_metal  na
compose implant        np              na
compose logic_diode    schottky_metal  np
compose level_shift_diode schottky_metal implant
compose schottky_contact schottky_metal ohmic_contact

erase level_shift_diode np          mesfet
erase level_shift_diode na         logic_diode

paint mesfet           np          level_shift_diode
paint mesfet           im          level_shift_diode
paint logic_diode      na          level_shift_diode
paint logic_diode      im          level_shift_diode

erase ohmic_contact    na          space
erase ohmic_contact    np          space
erase ohmic_contact    im          space

erase schottky_contact na          schottky_metal
erase schottky_contact np          schottky_metal
erase schottky_contact im          schottky_metal

erase glass            second_metal space

end

/***** Specify the adjoining tile types that propagate continuity *****/

connect

schottky_metal      oc,sc,via,ls,mf,log
n_minus             np,im,oc,sc
n_plus              im,oc,sc
im                  oc,sc
second_metal        via
ohmic_contact       sc
schottky_contact    via,ls,mf,log

end

/* The cifoutput section controls CIF and CALMA generation.
 * Only one output style is given, the lambda = 0.5 micron
 * style.
 */

cifoutput

style              dmode

scalefactor        50

```

```

layer GN nm,im,oc,sc,mf,ls
      calma 2 1

layer GI nm,im,oc,sc,ls,log
      calma 3 1

layer GC oc,sc
      shrink 100
      calma 4 1

layer GS sm,sc,via,ls,mf,log
      calma 6 1

layer GV via
      shrink 100
      calma 7 1

layer GM m2,via
      calma 8 1

layer GO glass
      calma 10 1

end

/* The cinput section is defined for files generated using
 * this technology file only. Files generated by 'external'
 * means should be hand-checked for missing or misinterpreted
 * features.
 */

cinput

      style                dmode

scalefactor                50

layer n_minus              GN

layer n_plus               GI

layer ohmic_contact        GC
      grow                 100
      and                  GN
      and                  GI

layer via                  GV
      grow                 100
      and                  GS
      and                  GM

layer schottky_contact      GS

layer second_metal         GM

layer glass                 GO

calma GN          2 *

calma GI          3 *

calma GC          4 *

```

```

calma GS      6 *
calma GV      7 *
calma GM      8 *

end

/***** Design rules *****/
drc

#define allim      nm,np,im,oc,sc,mf,log,ls
#define allschottky sm,sc,via,mf,log,ls
#define allmetal   m2,via
#define allohmic   oc,sc
#define allactive  mf,ls,log

/***** Width rules *****/
width  allim      5"Implant width must be at least 2.5
micron (5 lambda)."
width  allmetal   6"Second metal width must be at least 3
micron (6 lambda)."
width  via        10"Vias must be at least 5 micron (10
lambda)."
width  allohmic   11"Ohmic contacts must be least 5.5 micron
square (11 lambda)."
width  allactive  2"Mesfet/diode length must be at least 1
micron (2 lambda)."
width  allschottky 2"Schottky metal width must be at least 1
micron (2 lambda)."

/***** Spacing rules *****/
spacing allim      allim      7 touching_ok \
"Implant separation must be at least 3.5 micron (7 lambda)."
spacing allschottky allschottky 5 touching_ok \
"Schottky metal/schottky metal separation must be at least 2.5
micron (5 lambda)."
spacing allschottky allim      2 touching_ok \
"Schottky metal/implant separation must be at least 1 micron
(2 lambda)."
spacing allmetal   allmetal   6 touching_ok \
"Second metal/second metal separation must be at least 3
micron (6 lambda)."
spacing second_metal schottky_metal 0 touching_ok \
"Second metal/schottky metal edges cannot be coincident."

/***** Composition rules *****/
edge4way  sc  oc  4  allohmic  0  0 \
"Malformed schottky metal/ohmic contact connection."
edge4way  oc  sc  4  allohmic  0  0 \

```

"Malformed schottky metal/ohmic contact connection."

edge allactive space 1 0 0 0 \

"Mesfet/diode overhang is missing."

edge space allactive 1 0 0 0 \

"Mesfet/diode overhang is missing."

edge4way allactive sm 2 sm 0 0 \

"Schottky metal must overhang mesfet/diode by at least 1 micron (2 lambda)."

edge4way allactive allim 3 alllim 0 0 \

"Implant must overhang mesfet/diode by at least 1.5 micron (3 lambda)."

end

/***** Auto-router section (untested) *****/

router

layer1	second_metal	6	allmetal	6
layer2	schottky_metal	4	allschottky	5
contacts	via	10		
gridspacing		10		

end

/***** Circuit extractor parameters *****/

extract

style	default						
lambda	50						
step	50						
resist	nm		2000000				
resist	np,im		500000				
resist	sm,mf,ls,log,sc,oc		80				
resist	m2,ov,via		40				
fet	mesfet	nm	2	n	!GND	0	0
fet	ls	im	1	s	!GND	0	0
fet	log	np	1	g	!GND	0	0

/***** Layers for use with MAGIC's wring tool *****/

wiring

/* It is assumed that all wiring will be done in either
* schottky or second metal. For this reason, the ohmic
* contact/schottky contact connection is not included in
* this section."
*/

contact via 10 m2 0 sm 0

end

/***** Parameters to control MAGIC's plow command *****/

plowing

```

fixed          mf,ls,log,oc,glass
covered       mf,ls,log,oc
drag          mf,ls,oc

```

```
end
```

```
/* Stipple patterns for raster plotting */
```

```
plot
```

```
style versatec /* Stipple fill patterns for the various layers */
```

```
/* Same as Gremlin stipple 9: */
```

```
ls,log \
 07c0 0f80 1f00 3e00 \
 7c00 f800 f001 e003 \
 c007 800f 001f 003e \
 007c 00f8 01f0 03e0
```

```
/* Same as Gremlin stipple 10: */
```

```
mesfet,log \
 1f00 0f80 07c0 03e0 \
 01f0 00f8 007c 003e \
 001f 800f c007 e003 \
 f001 f800 7c00 3e00
```

```
/* Same as Gremlin stipple 11: */
```

```
oc,sc \
 c3c3 c3c3 0000 0000 \
 0000 0000 c3c3 c3c3 \
 c3c3 c3c3 0000 0000 \
 0000 0000 c3c3 c3c3
```

```
/* Same as Gremlin stipple 12: */
```

```
glass \
 0040 0080 0100 0200 \
 0400 0800 1000 2000 \
 4000 8000 0001 0002 \
 0004 0008 0010 0020
```

```
/* Same as Gremlin stipple 17: */
```

```
im,ls,oc,sc \
 0000 4242 6666 0000 \
 0000 2424 6666 0000 \
 0000 4242 6666 0000 \
 0000 2424 6666 0000
```

```
/* Same as Gremlin stipple 19: */
```

```
sm,via/active,mesfet,ls,log,sc \
 0808 0400 0202 0101 \
 8080 4000 2020 1010 \
 0808 0004 0202 0101 \
 8080 0040 2020 1010
```

```
/* Same as Gremlin stipple 22: */
```

```
m2,via/metal2,glass \
 8080 0000 0000 0000 \
 0808 0000 0000 0000 \
 8080 0000 0000 0000 \
 0808 0000 0000 0000
```

```
/* Same as Gremlin stipple 23: */
```

```
glass \
 0000 0000 1c1c 3e3e \
```



```
3636 3e3e 1c1c 0000 \  
0000 0000 1c1c 3e3e \  
3636 3e3e 1c1c 0000
```

```
/* Same as Gremlin stipple 29: */
```

```
np,ls,log \  
0000 0808 5555 8080 \  
0000 8080 5555 0808 \  
0000 0808 5555 8080 \  
0000 8080 5555 0808
```

```
/* Same as Gremlin stipple 31: */
```

```
nm,ls,mesfet \  
0808 1010 2020 4040 \  
8080 4141 2222 1414 \  
0808 1010 2020 4040 \  
8080 4141 2222 1414
```

```
via X  
oc,sc B
```

```
style gremlin  
ls,log 9  
mesfet,log 10  
oc 11  
glass 12  
im,mesfet,ls,log,oc 17  
sm,via/active,mesfet,ls,log,oc 19  
m2,via/metal2,glass 22  
via X  
oc B  
end
```



```

substrate    active_area,act
substrate    gate_metal,gm
substrate    ohmic_metal,om,source_drain_metal,sdm
metal1      metal_1,m1
metal2      metal_2,m2
metal3      metal_3,m3

```

/****** Contacts between layers and planes *****/

```

substrate    contact_0,ohmic_contact,oc
substrate    ohmic_contact_dfet,ocd
metal1      via1g,vg
metal1      via1sd,vsd
metal2      via2,v2
metal3      via3,pad
metal3      pad

```

/****** Active devices *****/

```

substrate    efet,ef
substrate    dfet,df

```

end

/****** On-screen appearance of each tile type. Uses standard MOS styles *****/

styles

styletype	mos
gate_metal	1
source_drain_metal	2
source_drain_metal	33
contact_0	1
contact_0	33
ocd	1
ocd	7
ocd	33
active_area	2
metal_1	20
metal_2	21
metal_3	5
via1g	1
via1g	20
via1g	32
via1sd	2
via1sd	20
via1sd	32
via2	20
via2	21
via2	32
via3	5

```

via3          21
via3          32

efet          6
efet          11

dfet          6
dfet          7

pad           5
pad           21
pad           32
pad           33

error_s       42
error_p       42
error_ps      42

```

end

/****** Contacts (connections between planes) *****/

contact

```

via1g      gate_metal      metal_1
via1sd     active_area     metal_1
via2       metal_1         metal_2
via3       metal_2         metal_3
pad        metal_2         metal_3

```

end

/****** Composition and decomposition rules *****/

compose

```

/* The following rules allow for the composition of enhance-
* ment and depletion mode mesfets. Diodes are constructed as
* depletion mode mesfets with source and drain shorted. Also
* included is the composition of the ohmic/gate metal
* contact for the modified Vitesse process.
*/

```

```

compose  efet          gate_metal      act
compose  contact_0    gate_metal      om
compose  ocd          dfet             om

decompose dfet        gate_metal      act

paint    dfet         act             dfet
paint    dfet         gate_metal      dfet
paint    pad          via3            pad
paint    pad          metal_2         pad
paint    pad          metal_3         pad

erase    pad          metal_2         space
erase    pad          metal_3         space

```

end

/****** Specify the adjoining tile types that propagate continuity *****/

connect

```

active_area      ohmic_metal,ohmic_contact,ocd,vialsd
gate_metal      ohmic_contact,ocd,vialg,efet,dfet
ohmic_metal     ohmic_contact,ocd,vialsd
metal_1         vialg,vialsd,via2
metal_2         via2,pad,via3
metal_3         via3,pad
ohmic_contact   vialg,dfet,efet
vialg           via2,vialsd
vialsd         via2
via2           via3

```

end

```

/* The cifoutput section controls CIF and CALMA generation.
* Only one output style is given, the lambda = 0.4 micron
* style.
*/

```

cifoutput

```

style           vitesse0.4

scalefactor     40

layer GAC       active_area,vialsd,efet,dfet,oc,ocd,om
  calma 1      1

layer GDI       dfet,ocd
  grow        100
  calma 2      1

layer GGM       gm,vialg,efet,dfet,oc,ocd
  calma 3      1

layer GOM       vialsd/substrate,om
  shrink      20
  bloat-or    oc,ocd * 0 vialsd/substrate,om 20
  grow        40
  shrink      40
  calma 4      1

layer GV1       vialsd
  shrink      25
  or          vialg
  shrink      50
  calma 5      1

layer GM1       m1,vg,vsd,v2
  calma 6      1

layer GV2       via2
  calma 7      1

layer GM2       m2,v2,v3,pad
  calma 8      1

layer GV3       pad
  shrink      100
  or          via3
  shrink      150
  calma 9      1

layer GM3       pad
  shrink      100

```

```

        or          m3,v3
        calma 10 1

layer GOG          pad
      shrink      750
      calma 11 1

end

/* The cinput section is defined for files generated using
* this technology file only. Files generated by 'external'
* means should be hand-checked for missing or misinterpreted
* features.
*/

cinput

style          vitesse0.4
scalefactor    40

layer active_area GAC

layer dfet GDI
      shrink 100
      and GAC
      and GGM

layer om GOM

layer gate_metal GGM

layer viasd GV1
      grow 50
      and GOM
      and GAC
      and GM1

layer via1g GV1
      grow 50
      and GGM
      and GM1

layer metal_1 GM1

layer via2 GV2
      grow 60
      and GM1
      and GM2

layer metal_2 GM2

layer via3 GV3
      grow 150
      and GM2
      and GM3

layer metal_3 GM3

layer pad GOG
      grow 700

calma GAC 1 *
calma GDI 2 *

```

```

calma      GGM      3      *
calma      GV1     5      *
calma      GM1     6      *
calma      GV2     7      *
calma      GM2     8      *
calma      GV3     9      *
calma      GM3    10     *
calma      GOG    11     *

```

```
end
```

```
mzrouter
```

```

style      irouter
layer      metal_1      32      32      256      1
layer      metal_2      64      64      512      2

```

```
end
```

```

/***** Design rules *****/

```

```
drc
```

```

#define      allactive      act,efet,dfet,vsd,oc,ocd,om
#define      justactive     act,vsd,om
#define      allgate       gm,vg,efet,dfet,oc,ocd
#define      close_ohmic   om,vsd
#define      far_ohmic     oc,ocd
#define      allohmic      oc,om,ocd,vsd
#define      allm1         m1,vsd,vg,v2
#define      allvia1       vg,vsd
#define      allm2         m2,v2,v3/metal2,pad/metal2
#define      allm3         m3,v3,pad
#define      allfet        efet,dfet,oc,ocd

```

```

/***** Level 1 - Active Area Definition *****/

```

```

edge4way gm dfet,ocd 5 dfet,ocd 0 0 \
"11W1(T): active area of transistor must be at least 2.0
micron (5 lambda)"

```

```

edge4way gm efet 5 efet 0 0 \
"11W1(T): active area of transistor must be at least 2.0
micron (5 lambda)"

```

```

edge4way allfet allactive 5 allactive 0 0 \
"11W1(T): active area of transistor must be at least 2.0
micron (5 lambda)"

```

```

width allactive 4 \
"11LW1(R): active as resistor must be at least 1.6 micron (4
lambda)"

```

```

spacing allactive allactive 5 touching_ok \

```

"11SP1: active area separation must be at least 2.0 micron (5 lambda)"

/***** Level 2 - Depletion Implant Definition *****/

spacing dfet dfet 10 touching_ok \
"22SP1: dfet/dfet separation must be at least 4.0 micron (10 lambda)"

spacing efet dfet 5 touching_illegal \
"21SW1: efet/dfet separation must be at least 2.0 micron (5 lambda)"

/***** Level 3 - Gate Metal Definition *****/

width allgate 3 \
"33LW1: gate metal width must be at least 1.2 micron (3 lambda)"

spacing allgate allgate 4 touching_ok \
"33SP1: gate metal/gate metal separation must be at least 1.6 micron (4 lambda)"

edge4way allfet gm 2 gm 0 0 \
"31OL1: gate metal must overhang transistor by at least 0.8 micron (2 lambda)"

edge4way allfet space 1 0 0 0 \
"31OL1: gate metal must overhang transistor by at least 0.8 micron (2 lambda)"

edge4way space allfet 1 0 0 0 \
"31OL1: gate metal must overhang transistor by at least 0.8 micron (2 lambda)"

spacing allgate close_ohmic 2 touching_ok \
"34SP1: gate metal/ohmic metal separation must be at least 0.8 micron (2 lambda)"

spacing allgate far_ohmic 3 touching_ok \
"34SP1: gate metal/ohmic metal separation must be at least 1.2 micron (3 lambda)"

spacing allactive allgate 2 touching_ok \
"31SP2: active area/gate metal separation must be at least 0.8 micron (2 lambda)"

edge4way justactive gm,vg 2 space 0 0 \
"31SP2: active area/gate metal separation must be at least 0.8 micron (2 lambda)"

edge4way gm allfet 3 allfet 0 0 \
"31OL2: gate metal edge must be at least 1.2 micron (3 lambda) from parallel active area edge"

edge4way justactive allfet 3 allfet 0 0 \
"31OL2: gate metal edge must be at least 1.2 micron (3 lambda) from parallel active area edge"

edge4way allfet justactive 3 justactive 0 0 \
"31OL2: gate metal edge must be at least 1.2 micron (3 lambda) from parallel active area edge"

/***** Level 4 - Ohmic Metal Definition *****/


```

width om far_ohmic 5 \
"44LW1: ohmic metal width must be at least 2.0 micron (5
lambda)"

width om,vialsd 6 \
"44LW1 + : ohmic metal width must be at least 2.4 micron (6
lambda)"

spacing allohmic allohmic 4 touching_ok \
"44SP1: ohmic metal/ohmic metal separation must be at least
1.6 micron (4 lambda)"

width ohmic_contact 4 \
"43OL1: ohmic contact width must be 1.6 micron (4 lambda)

edge4way om,oc,ocd 4 oc,ocd 0 0 \
"43OL2: ohmic contact must be extend at least 1.6 micron (4
lambda) beyond edge"

edge4way oc,ocd om 5 om,vsd/substrate 0 0 \
"43OL2: ohmic metal must extend at least 2.0 micron (5 lambda)
beyond edge"

edge4way oc,ocd allgate 3 allgate 0 0 \
"43OL3: gate metal must be extend at least 1.2 micron (3
lambda) beyond ohmic contact"

/***** Level 5 - Via 1 Definition *****/

width vialg 6 \
"55LW1: vialg width must be at least 2.4 micron (6 lambda)"

width vialsd 7 \
"55LW1: vialsd width must be at least 2.8 micron (7 lambda)"

spacing vg vsd 2 touching_illegal \
"55SP1: vialg/vialsd separation must be at least 0.8 micron (2
lambda)"

"55SP1: vialg/vialg separation must be at least 0.8 micron (2
lambda)"

"54OL1: gate metal/viasd separation must be at least 0.4
micron (1 lambda)"

/***** Level 6 - Metal 1 Interconnect Definition *****/

width allm1 5 \
"66LW1: metal 1 width must be at least 2.4 micron (6 lambda)"

spacing allm1 allm1 5 touching_ok \
"66SP1: metal 1/metal 1 separation must be at least 2.0 micron
(5 lambda)"

/***** Level 7 - Via 2 Definition *****/

width via2 8 \
"77LW1: via 2 width must be at least 3.2 micron (8 lambda)"

spacing via2 via2 2 touching_ok \
"77SP1: via2/via2 separation must be at least 0.8 micron (2
lambda)"

```

```

/***** Level 8 - Metal 2 Interconnect Definition *****/
width allm2 6 \
"88LW1: metal 2 width must be at least 2.4 micron (6 lambda)"

spacing allm2 allm2 7 touching_ok \
"88SP1: metal 2/metal 2 separation must be at least 2.8 micron
(7 lambda)"

/***** Level 9 - Via 3 Definition *****/
width via3 15 \
"99LW1: via 3 width must be at least 6.0 microns (15 lambda)"

/***** Level 10 - Metal 3 Definition *****/
width metal3 15 \
"1010LW1: metal 3 width must be at least 6.0 micron (15
lambda)"

spacing allm3 allm3 23 touching_ok \
"1010SP1: metal 3/metal 3 separation must be at least 9.2
micron (23 lambda)"

/***** Level 11 - Passivation Contact Definition *****/
width pad 275 \
"BP4: pads must be at least 110 micron (275 lambda)"

spacing pad pad 100 touching_ok \
"BP4: pad/pad separation must be at least 40 micron (100
lambda)"

/***** Bonding Pads *****/
spacing pad allm3 23 touching_ok \
"1010SP1: pad/metal 3 separation must be at least 9.2 micron
(23 lambda)"

spacing pad /metal2 allm2 7 touching_ok \
"88SP1: pad/metal 2 separation must be at least 2.8 micron (7
lambda)"

edge4way space pad 275 space 0 0 \
"BP-6: Bonding pad not allowed over circuitry substrate"

end

/***** Auto-router section (untested) *****/
router

end

/***** Circuit extractor parameters *****/
extract

style default
lambda 40

resist gm 1500 /* milliohms per square */
resist om 10000
resist m1 70

```

```

resist      m2      50
resist      m3      25

overlap     m3      m1      8640    /* attoFarads (X1000)/square lambda */
overlap     m3      m2      5600
overlap     m3      gm      4640
overlap     m3      om      4640

areacap     m3      3680    /* attoFarads (X1000)/square lambda */

perimc     m3      m2      1920    /* attoFarads (X1000)/lambda */
perimc     m3      m1      1400
perimc     m3      gm      1200
perimc     m3      om      1200
perimc     m3      space  1400

overlap     m2      m1      12160
overlap     m2      gm      8480
overlap     m2      om      8480

areacap     m2      5600

perimc     m2      m1      1960
perimc     m2      gm      1800
perimc     m2      om      1800
perimc     m2      space  1680

overlap     m1      gm      21440
overlap     m1      om      21440

areacap     m1      9120

perimc     m1      gm      2040
perimc     m1      om      2040
perimc     m1      space  1760

areacap     gm      12640

perimc     m1      space  1800

fet   efet   active      2      e   GND!  0      0
fet   dfet   active,om,ocd,oc  1      d   GND!  0      0

end

/***** Layers for use with MAGIC's wiring tool *****/
wiring

contact    vialsd    7      act    0      m1     0
contact    via1g    6      gm     0      m1     0
contact    via2     8      m1     0      m2     0
contact    vialsd    15     m2     0      m3     0

end

/***** Parameters to control MAGIC's plow command *****/
plowing

end

/* Stipple patterns for raster plotting */

```

plot

```
style versatec /* Stipple fill patterns for the various layers */

/* Same as Gremlin stipple 9: */
efet \
 07c0 0f80 1f00 3e00 \
 7c00 f800 f001 e003 \
 c007 800f 001f 003e \
 007c 00f8 01f0 03e0

/* Same as Gremlin stipple 10: */
dfet,ocd \
 1f00 0f80 07c0 03e0 \
 01f0 00f8 007c 003e \
 001f 800f c007 e003 \
 f001 f800 7c00 3e00

/* Same as Gremlin stipple 11: */
vialsd \
 c3c3 c3c3 0000 0000 \
 0000 0000 c3c3 c3c3 \
 c3c3 c3c3 0000 0000 \
 0000 0000 c3c3 c3c3

/* Same as Gremlin stipple 12: */
pad \
 0040 0080 0100 0200 \
 0400 0800 1000 2000 \
 4000 8000 0001 0002 \
 0004 0008 0010 0020

/* Same as Gremlin stipple 17: */
act,vialsd/substrate,efet,dfet \
 0000 4242 6666 0000 \
 0000 2424 6666 0000 \
 0000 4242 6666 0000 \
 0000 2424 6666 0000

/* Same as Gremlin stipple 19: */
gm,vialg/substrate,efet,dfet,oc,ocd \
 0808 0400 0202 0101 \
 8080 4000 2020 1010 \
 0808 0004 0202 0101 \
 8080 0040 2020 1010

/* Same as Gremlin stipple 22: */
m1,vialg/metal1,vialsd/metal,pad \
 8080 0000 0000 0000 \
 0808 0000 0000 0000 \
 8080 0000 0000 0000 \
 0808 0000 0000 0000

/* Same as Gremlin stipple 23: */
pad \
 0000 0000 1c1c 3e3e \
 3636 3e3e 1c1c 0000 \
 0000 0000 1c1c 3e3e \
 3636 3e3e 1c1c 0000

/* Same as Gremlin stipple 28: */
m2,v2,pad \
 0000 0808 5555 8080 \
 0000 8080 5555 0808 \
```

```
0000 0808 5555 8080 \  
0000 8080 5555 0808
```

```
/* Same as Gremlin stipple 30: */  
oc,ocd,om \  
1414 2222 0000 2222 \  
4141 2222 0000 2222 \  
1414 2222 0000 2222 \  
4141 2222 0000 2222
```

```
/* Same as Gremlin stipple 15: */  
m3,v3,pad \  
2020 2020 2020 2020 \  
2020 2020 2020 2020 \  
0000 0000 0000 0000 \  
0000 0000 0000 0000
```

```
vg,vsd,v2,v3      X
```

```
style gremlin  
  efet                      9  
  dfet,ocd                  10  
  pad                       12  
  act,vsd/substrate,efet,dfet,ocd 17  
  gm,vg/substrate,efet,dfet,ocd  19  
  m1,vsd,vg,v2/metall1,pad      22  
  oc,ocd,om                    30  
  pad                          23  
  m2,v2,pad                    28  
  m3,v3,pad                    15  
  vg,vsd,v2,v3                X  
end
```

APENDICE F

MAGIC TECHNOLOGY
FILE FOR
SELECTIVE-IMPLANT
D-MODE
PROCESS

MODELO DE TECNOLOGIA PARA PROJETO DE CIRCUITOS
INTEGRADOS EM GaAs - MESFET TIPO-D (depletion) POR
PROCESSO DE IMPLANTAÇÃO IONICA DESENVOLVIDO PELO
LABORATORIO DE CIRCUITOS INTEGRADOS DOS
LABORATORIOS DE PESQUISAS EM DISPOSITIVOS - LPD -
DA UNIVERSIDADE DE CAMPINAS - UNICAMP - MAIO/1991.

```
*****
**
** ilpd.tech - Technology file for MAGIC - 6.3
**
** Defines the selective-implant DEPLETION mode technology.
**
** Technology for 1 micron (lambda = 0.5 micron).
**
** Uses in SunOS 4.01 - UNIX Version.
**
** Developed in the Lab. de Circuitos Integrados.
**
** by Ivan Jorge Chueiri.
**
** Universidade de Campinas - UNICAMP - maio/1991
**
** Rev02-10/91
**
*****

/***** Defines technology *****/

tech

    gaas

end

planes

    substrate
    metal1
    insulating
    metal2
    fab

end

types

/***** Primary active and interconnection layers *****/
```

```

substrate      n_plus,np
substrate      n_minus,nm
substrate      schottky_metal,sm
metal1         metal_1,m1
insulating     air_bridge,ar
metal2         metal_2,m2
fab            glass,ov

/***** Derived layers *****/

substrate      implant,im

/* Contacts (actually derived tile types) between layers */

substrate      ohmic_contact,oc
substrate      schottky_contact,sc
metal1         viasm,vsm
metal2         via2,v2

/***** Active devices *****/

substrate      dfet,df
substrate      level_shift_diode,lsd
substrate      logic_diode,log

end

/***** On-screen appearance of each tile type. Uses standard MOS styles *****/

styles

styletype      mos
schottky_metal  9
n_minus        8
n_plus         11
implant        40
metal1         5
air_bridge     22
air_bridge     40
metal2         19
ohmic_contact  7
ohmic_contact  32
schottky_contact 9
schottky_contact 32
viasm          9
viasm          32
viasm          33
via2           19
via2           32
via2           33
lsd            9

```

```

    lsd                41

    dfet               2
    dfet               9
    dfet               41

    log                2
    log                9

    glass              40

    error_s            42
    error_p            42
    error_ps           42

end

/***** Contacts (connections between planes) *****/

contact

    viasm              schottky_metal      first_metal
    via2               metal1             metal2

end

/***** Composition and decomposition rules *****/

compose

    compose  dfet          schottky_metal  nm
    compose  implant      np          nm
    compose  logic_diode  schottky_metal  np
    compose  level_shift_diode schottky_metal  implant
    compose  schottky_contact schottky_metal  ohmic_contact

    erase    level_shift_diode  np          dfet
    erase    level_shift_diode  nm          logic_diode

    paint    dfet              np          level_shift_diode
    paint    dfet              im          level_shift_diode
    paint    logic_diode       nm          level_shift_diode
    paint    logic_diode       im          level_shift_diode

    erase    ohmic_contact     nm          space
    erase    ohmic_contact     np          space
    erase    ohmic_contact     im          space

    erase    schottky_contact  nm          schottky_metal
    erase    schottky_contact  np          schottky_metal
    erase    schottky_contact  im          schottky_metal

    erase    glass            metal2     space

end

/***** Specify the adjoining tile types that propagate continuity *****/

connect

    schottky_metal      oc,sc,viasm,lsd,df,log
    n_minus             np,im,oc,sc
    n_plus              im,oc,sc
    im                  oc,sc

```



```

    first_metal          viasm
    second_metal         via2
    ohmic_contact        sc
    schottky_contact     viasm,lsd,df,log
end

/* The cifoutput section controls CIF and CALMA generation.
* Only one output style is given, the lambda = .5 micron
* style.
*/

cifoutput

    style                dmode

    scalefactor          50

    layer GN nm,im,oc,sc,df,lsd
        calma 1 1

    layer GI nm,im,oc,sc,lsd,log
        calma 2 1

    layer GC oc,sc
        shrink 100
        calma 3 1

    layer GS sm,sc,viasm,lsd,df,log
        calma 4 1

    layer GV1 sm,vsm
        shrink 25
        calma 5 1

    layer GM1 m1,vsm
        calma 6 1

    layer GV2 via2
        shrink 25
        calma 7 1

    layer GM2 m2,via2
        calma 8 1

    layer GO1 glass
        calma 9 1

    layer GO2 air_bridge
        calma 10 1

end

cifinput

    style                dmode

    scalefactor          50

    layer n_minus        GN

    layer n_plus         GI

    layer ohmic_contact  GC

```

```

        grow          100
        and           GN
        and           GI

layer viasm          GV1
        grow          100
        and           GS
        and           GM

layer via2           GV2
        grow          150
        and           GM1
        and           GM2

layer schottky_contact  GS

layer metal1         GM1

layer metal2         GM2

layer glass           GO1

layer air_bridge     GO2

calma GN            1 *
calma GI            2 *
calma GC            3 *
calma GS            4 *
calma GV            5 *
calma GM            6 *
calma GO            9 *

end

mzrouter

        style        irouter

        layer        metal_1        32        32        256        1

end

/***** Design rules *****/

drc

#define allim        nm,np,im,oc,sc,df,log,lsd
#define allschottky  sm,sc,viasm,df,log,lsd
#define allm1        m1,viasm
#define allm2        m2,via2
#define allohmic     oc,sc
#define allactive    df,lsd,log

/***** Width rules *****/

width allim 5"Implant width must be at least 2.5 micron (5
lambda)."
```

```

width    allm1    5"Metal1 width must be at least 2.5 micron (5
lambda)."
```

```

width    allm2    6"Metal2 width must be at least 3.0 micron (6
lambda)."
```

```

width    viasm    10"Viasm must be at least 5.0 micron (10
lambda)."
```

```

width    via2     10"Via2 must be at least 5.0 micron (10
lambda)."
```

```

width    allohmic 11"Ohmic contacts must be least 5.5 micron
(11 lambda) square."
```

```

width    allactive 2"Mesfet/diode length must be at least 1.0
micron (2 lambda)."
```

```

width    allschottky 2"Schottky metal width must be at least
1.0 micron (2 lambda)."
```

```

/***** Spacing rules *****/
```

```

spacing  allim    allim    7    touching_ok \
"Implant separation must be at least 3.5 micron (7 lambda)."
```

```

spacing  allschottky  allschottky  5    touching_ok \
"Schottky metal/schottky metal separation must be at least 2.5
micron (5 lambda)."
```

```

spacing  allschottky  allim        2    touching_ok \
"Schottky metal/implant separation must be at least 1.0 micron
(2 lambda)."
```

```

spacing  allm1      allm1        6    touching_ok \
"Metal1/metal1 separation must be at least 3.0 micron (6
lambda)."
```

```

spacing  allm2      allm2        6    touching_ok \
"Metal2/metal2 separation must be at least 3.0 micron (6
lambda)."
```

```

spacing  metal1     schottky_metal 0    touching_ok \
"Metal1/schottky_metal edges cannot be coincident."
```

```

/***** Composition rules *****/
```

```

edge4way  sc      oc      4    allohmic    0    0 \
"Malformed schottky metal/ohmic contact connection."
```

```

edge4way  oc      sc      4    allohmic    0    0 \
"Malformed schottky metal/ohmic contact connection."
```

```

edge      allactive  space    1    0    0    0 \
"Mesfet/diode overhang is missing."
```

```

edge      space     allactive  1    0    0    0 \
"Mesfet/diode overhang is missing."
```

```

edge4way  allactive  sm      2    sm      0    0 \
"Schottky metal must overhang mesfet/diode by at least 1
micron (2 lambda)."
```

```

edge4way  allactive  allim    3    allim    0    0 \
```

"Implant must overhang mesfet/diode by at least 1.5 micron (3 lambda)."

end

/****** Auto-router section (untested) *****/

router

layer1	metall	6	allm1	6
layer2	schottky_metal	4	allschottky	5
contacts	viasm	10		
gridspacing		10		

end

/****** Circuit extractor parameters *****/

extract

style	default						
lambda	100						
step	50						
resist	nm		2000000				
resist	np,im		500000				
resist	sm,df,lsd,log,sc,oc		80				
resist	m1,ov,viasm		40				
resist	m2,via2		40				
fet	dfet	nm	2	n	GND!	0	0
fet	lsd	im	1	s	GND!	0	0
fet	log	np	1	g	GND!	0	0

/****** Layers for use with MAGIC's wring tool *****/

wiring

contact	viasm	10	m1	0	sm	0
---------	-------	----	----	---	----	---

end

/****** Parameters to control MAGIC's plow command *****/

plowing

fixed	df,lsd,log,oc,glass
covered	df,lsd,log,oc
drag	df,lsd,oc

end

/* Stipple patterns for raster plotting */

plot

style versatec /* Stipple fill patterns for the various layers */

/* Same as Gremlin stipple 9: */

lsd,log \	07c0	0f80	1f00	3e00 \
	7c00	f800	f001	e003 \
	c007	800f	001f	003e \
	007c	00f8	01f0	03e0

```

/* Same as Gremlin stipple 10: */
dfet,log \
  1f00 0f80 07c0 03e0 \
  01f0 00f8 007c 003e \
  001f 800f c007 e003 \
  f001 f800 7c00 3e00

/* Same as Gremlin stipple 11: */
oc,sc \
  c3c3 c3c3 0000 0000 \
  0000 0000 c3c3 c3c3 \
  c3c3 c3c3 0000 0000 \
  0000 0000 c3c3 c3c3

/* Same as Gremlin stipple 12: */
glass \
  0040 0080 0100 0200 \
  0400 0800 1000 2000 \
  4000 8000 0001 0002 \
  0004 0008 0010 0020

/* Same as Gremlin stipple 15: */
m1,vsm/metal1 \
  2020 2020 2020 2020 \
  2020 2020 2020 2020 \
  0000 0000 0000 0000 \
  0000 0000 0000 0000

/* Same as Gremlin stipple 17: */
im,lsd,oc,sc \
  0000 4242 6666 0000 \
  0000 2424 6666 0000 \
  0000 4242 6666 0000 \
  0000 2424 6666 0000

/* Same as Gremlin stipple 19: */
sm,viasm/substrate,dfet,lsd,log,sc \
  0808 0400 0202 0101 \
  8080 4000 2020 1010 \
  0808 0004 0202 0101 \
  8080 0040 2020 1010

/* Same as Gremlin stipple 22: */
m2,via2/metal2,glass \
  8080 0000 0000 0000 \
  0808 0000 0000 0000 \
  8080 0000 0000 0000 \
  0808 0000 0000 0000

/* Same as Gremlin stipple 23: */
air_bridge \
  0000 0000 1c1c 3e3e \
  3636 3e3e 1c1c 0000 \
  0000 0000 1c1c 3e3e \
  3636 3e3e 1c1c 0000

/* Same as Gremlin stipple 29: */
np,lsd,log \
  0000 0808 5555 8080 \
  0000 8080 5555 0808 \
  0000 0808 5555 8080 \
  0000 8080 5555 0808

```

```
/* Same as Gremlin stipple 31: */
```

```
nm,lsd, dfet \  
 0808 1010 2020 4040 \  
 8080 4141 2222 1414 \  
 0808 1010 2020 4040 \  
 8080 4141 2222 1414
```

```
viasm,via2      X  
oc,sc           B
```

```
style gremlin
```

```
  lsd,log        9  
  dfet,log       10  
  oc,sc          11  
  glass         12  
  m1,vsm/metal1 15  
  im,dfet,lsd,log,oc 17  
  sm,viasm/substrate,dfet,lsd,log,oc 19  
  m2,via2/metal2,glass 22  
  air_bridge    23  
  np            29  
  viasm,via2    X  
  oc,sc         B
```

```
end
```

MAGIC TECHNOLOGY
 FILE FOR
 DIFFUSION
 D-MODE
 PROCESS

MODELO DE TECNOLOGIA PARA PROJETO DE CIRCUITOS
 INTEGRADOS EM GaAs - MESFET TIPO-D (depletion) POR
 PROCESSO DE DIFUSAO RAPIDA DESENVOLVIDO PELO
 LABORATORIO DE CIRCUITOS INTEGRADOS DOS
 LABORATORIOS DE PESQUISAS EM DISPOSITIVOS - LPD -
 DA UNIVERSIDADE DE CAMPINAS - UNICAMP - maio/1991.

```

/*****
**
** dlpd.tech - Technology file for MAGIC 6.3
**
** Defines the selective-diffusion depletion mode technology
**
** Technology for 2.0 microns (lambda = .5 micron)
**
** Suitable for LPD foundry
**
** Uses in SunOS 4.01 - UNIX Version
**
** Developed in the Lab. de Circuitos Integrados
**
** by Ivan Jorge Chueiri
**
** Universidade de Campinas - UNICAMP - maio/1991
**
** Rev04-09/92
**
*****/

/***** Defines technology *****/

tech

    d_gaas

end

planes

    substrate
    metal1
    insulating1
    insulating2
    metal2
    pad
    fab

end
    
```

types

***** Primary substrate and interconnection layers *****/

```
substrate      m_dfet,mm
substrate      m_level_shift_diode,m1
substrate      m_logic_diode,md
substrate      schottky_metal,sm
metal1         metal_1,m1
metal2         metal_2,m2
pad            pd
fab           glass,ov
insulating1   air_bridge1,ar1
insulating2   air_bridge2,ar2
```

***** Derived layers *****/

```
substrate      diffusion,dif
```

***** Contacts between layers *****/

```
substrate      schottky_metal,sm
substrate      ohmic_metal,om
metal1         viasm,vsm
metal1         viaom,vom
metal2         via2,v2
```

***** Active devices *****/

```
substrate      dfet,df
substrate      level_shift_diode,lsd
substrate      logic_diode,log
```

end

***** On-screen appearance of each tile type. Uses standard MOS styles *****/

styles

styletype	mos
m_dfet	2
m_dfet	22
m_logic_diode	6
m_logic_diode	22
m_level_shift_diode	10
m_level_shift_diode	22
schottky_metal	4
schottky_metal	22
air_bridge1	11
air_bridge1	22
ohmic_metal	1
ohmic_metal	33
metal_1	20
metal_1	22
air_bridge2	22


```

    air_bridge2          26
    metal_2              21
    metal_2              22
    viasm                4
    viasm                32
    viasm                33
    viaom                1
    viaom                32
    viaom                33
    via2                 14
    via2                 21
    via2                 32
    pd                   22
    pd                   34
    pd                   37
    dif                  18
    dif                  22
    dfet                 4
    dfet                 22
    dfet                 23
    log                  4
    log                  22
    log                  24
    lsd                  4
    lsd                  22
    lsd                  25
    glass                31
    error_s              42
    error_p              42
    error_ps             42
end

/***** Contacts (connections between planes) *****/
contact
    viasm                schottky_metal    metal_1
    viaom                ohmic_metal       metal_1
end

/***** Composition and decomposition rules *****/
compose
/* The following rules allow for the composition of mesfets,
 * level shift diodes and logic diodes from schottky metal
 * and diffusion mesa.
 */
    compose    dfet          schottky_metal    no
    compose    logic_diode   schottky_metal    no

```

```

compose    level_shift_diode    schottky_metal    ml
erase      dfet                  sm                 mm
erase      level_shift_diode    sm                 ml
erase      logic_diode          sm                 md

paint      dfet                  mm                 sm
paint      level_shift_diode    ml                 sm
paint      logic_diode          md                 sm

erase      glass                 second_metal       space

```

end

/***** Specify the adjoining tile types that propagate continuity *****/

connect

```

m_dfet          om,sm
m_logic_diode   om,sm
m_level_shift_diode om,sm
schottky_metal mm,ml,md,vsm
ohmic_metal     mm,ml,md,vom
metal_1         vsm,vom,via2,pd
metal_2         via2,pd

```

end

```

/* The cifoutput section controls CIF and CALMA generation.
* Only one output style is given, the lambda = 2.0 micron
* style.
*/

```

cifoutput

```

style          dmode

scalefactor    50

layer GAM      dif,mm,ml,md
               calma 1 1

layer GDI      om
               grow 100
               calma 2 1

layer GSM      sm,viasm,viaom,dfet,lsd,log
               calma 3 1

layer GV1      viasm
               shrink 25
               or viaom
               shrink 50
               calma 4 1

layer GM1      m1,viasm,viaom,via2
               calma 5 1

layer GV2      via2
               shrink 60
               calma 6 1

layer GM2      m2,via2,pd
               calma 7 1

```

```

layer G0G pd
    shrink 750
    calma 8 1

layer GI1 ar1
    calma 9 1

layer GI2 air2
    calma 10 1

layer GI3 glass
    calma 11 1

```

end

cifinput

style	dmode
scalefactor	50
layer dif	GAM
layer dfet	GDI
shrink	100
and	GAM
and	GSM
layer schottky_metal	GSM
layer ar1	GI1
layer ohmic_metal	GOM
layer metal_1	GM1
layer ar2	GI2
layer metal_2	GM2
layer viasm	GV1
grow	60
and	GSM
and	GM1
layer via2	GV2
grow	60
and	GM1
and	GM2
layer viaom	GV3
grow	50
and	GOM
and	GM1
layer pd	G0G
grow	700
layer glass	GI2
calma GAM	1 *
calma GDI	2 *

```

calma GSM      3 *
calma GV1      4 *
calma GM1      5 *
calma GV2      6 *
calma GM2      7 *
calma GOG      8 *
calma GI1      9 *
calma GI2     10 *
calma GI3     11 *

end

mzrouter

    style    irouter

    layer    metal_1      32      32      256      1

end

/***** Design rules *****/

drc

#define allim      mm,md,m1
#define allschottky sm,om,,df,log,lsd
#define allm1      m1,m2,via2,vsm,vom,pd
#define allm2      m1,m2,via2,vsm,vom,pd
#define allohmic   oc,sc
#define allactive  df,log,lsd
#define allvia     v2,vsm,vom
#define allpd      pd

/***** Level 1 - Active area definition *****/

spacing mm mm 4 touching_ok\
"Mesa dfet/mesa dfet separation must be at least 4 lambda (2.0
micron)"

spacing md md 4 touching_ok\
"Mesa logic_diode/mesa logic_diode separation must be at least
4 lambda (2.0 micron)"

spacing m1 m1 4 touching_ok\
"Mesa level_shift_diode/mesa level_shift_diode separation must
be at least 4 lambda (2.0 micron)"

spacing mm md 10 touching_ok\
"Mesa dfet/mesa logic_diode separation must be at least 10
lambda (5.0 micron)"

spacing mm m1 10 touching_ok\
"Mesa dfet/mesa level_shift_diode separation must be at least
10 lambda (5.0 micron)"

```

```

spacing ml md 10 touching_ok\
"Mesa level_shift_diode/mesa logic_diode separation must be at
least 10 lambda (5.0 micron)"

width mm,md,ml 4 \
"Mesa of dfet or diodes must be at least 4 lambda (2.0 micron)
"

***** Level 2 - Depletion diffusion definition *****

spacing df df 10 touching_ok \
"Dfet/dfet separation must be at least 10 lambda (5.0 micron)"

spacing log log 10 touching_ok \
"Logic_diode/logic_diode separation must be at least 10 lambda
(5.0 micron)"

spacing lsd lsd 10 touching_ok \
"Level_shift_diode/level_shift_diode separation must be at
least 10 lambda (5.0 micron)"

spacing df log 10 touching_ok \
"Dfet/logic_diode separation must be at least 10 lambda (5.0
micron)"

spacing df lsd 10 touching_ok \
"Dfet/level_shift_diode separation must be at least 10 lambda
(5.0 micron)"

spacing lsd log 10 touching_ok \
"Level_shift_diode/logic_diode separation must be at least 10
lambda (5.0 micron)"

width df 4 \
"Dfet width must be at least 4 lambda (2.0 micron)"

width log 4 \
"Logic_diode width must be at least 4 lambda (2.0 micron)"

width lsd 4 \
"Level_shift_diode width must be at least 4 lambda (2.0
micron)"

edge df,log,lsd space 1 0 0 0 \
"Dfet/diodes overhang is missing"

edge space df,log,lsd 1 0 0 0 \
"Dfet/diodes overhang is missing"

/***** Level 3 - Gate metal definition *****/

width sm 4 \
"Schottky_metal width must be at least 4 lambda (2.0 micron)"

spacing sm ml 6 touching_illegal \
"Schottky_metal/metal_1 separation must be at least 6 lambda
(3.0 micron)"

edge4way df,log,lsd sm 4 sm 0 0 \
"Schottky_metal must overhang dfet/diodes by at least 4 lambda
(2.0 micron)"

/***** Level 4 - Ohmic metal definition *****/

```

```

width   om   4 \
"Ohmic_metal width must be at least 4 lambda (2.0 micron)"

spacing om   sm   4   touching_illegal \
"Ohmic_metal/schottky_metal separation must be at least 4
lambda (2.0 micron)"

/***** Level 5 - Viasm/viaom definition *****/

width   vsm   8 \
"Viasm width must be at least 8 lambda (4.0 micron)"

width   vom   8 \
"Viaom width must be at least 8 lambda (4.0 micron)"

spacing vsm   vsm   8   touching_ok \
"Viasm/viasm separation must be at least 8 lambda (4.0
micron)"

spacing vom   vom   8   touching_ok \
"Viaom/viasm separation must be at least 8 lambda (4.0
micron)"

/***** Level 6 - Metal_1 interconnect definition *****/

width   m1   6 \
"Metal_1 width must be at least 6 lambda (3.0 micron)"

spacing m1   m1   8   touching_ok \
"Viaom/viasm separation must be at least 8 lambda (4.0
micron)"

/***** Level 7 - Via2 definition *****/

width   v2   12 \
"Via2 width must be at least 12 lambda (6.0 micron)"

spacing v2   v2   8   touching_ok \
"Via2/via2 separation must be at least 8 lambda (4.0 micron)"

/***** Level 8 - Metal_2 interconnect definition *****/

width   m2   8 \
"Metal_1 width must be at least 8 lambda (4.0 micron)"

spacing m2   m2   8   touching_ok \
"Viaom/viasm separation must be at least 8 lambda (4.0
micron)"

spacing m2   m1   0   touching_illegal \
"For use metal1 under metal2 is necessary air_bridge"

/***** Level 9 - Bonding Pads definition *****/

width   pd   160 \
"Pad width must be at least 160 lambda (80.0 micron)"

spacing pd   pd   140   touching_illegal \
"Pad/pad separation must be at least 140 lambda (70.0 micron)"

spacing pd/metal2   allm2   20   touching_illegal \
"Pad/metal2/allm2 separation must be at least 20 lambda (10.0
micron)"

```

```
spacing pd/metal1 allm1 20 touching_illegal \  
"Pad/metal1/allm1 separation must be at least 20 lambda (10.0  
micron)"
```

```
end
```

```
/***** Auto-router section (untested) *****/
```

```
router
```

layer1	metal_1	6	allmetal	6
layer2	schottky_metal	4	allschottky	5
contacts	via2	10		
gridspacing		10		

```
end
```

```
/***** Circuit extractor parameters *****/
```

```
extract
```

style	default							
lambda	50							
step	50							
resist	mm		2000000					
resist	md,m1		500000					
resist	sm,md,lsd,log,sm,om		80					
resist	m1,m2,ov,via2		40					
fet	dfet	mm	2	n	GND!	0	0	
fet	lsd	m1	1	s	GND!	0	0	
fet	log	md	1	g	GND!	0	0	

```
end
```

```
/***** Layers for use with MAGIC's wiring tool *****/
```

```
wiring
```

contact	m1	0	m2	0	sm	0
---------	----	---	----	---	----	---

```
end
```

```
/***** Parameters to control MAGIC's plow command *****/
```

```
plowing
```

fixed	df,lsd,log,om,glass
covered	df,lsd,log,om
drag	df,lsd,log,om

```
end
```

```
/* Stipple patterns for raster plotting */
```

```
plot
```

```
style versatec /* Stipple fill patterns for the various layers */
```

```
/* Same as Gremlin stipple 9: */
```

mm,m1,md	\
07c0 0f80 1f00 3e00	\
7c00 f800 f001 e003	\

```

c007 800f 001f 003e \
007c 00f8 01f0 03e0

/* Same as Gremlin stipple 10: */
df,log,lsd \
1f00 0f80 07c0 03e0 \
01f0 00f8 007c 003e \
001f 800f c007 e003 \
f001 f800 7c00 3e00

/* Same as Gremlin stipple 11: */
om,sm \
c3c3 c3c3 0000 0000 \
0000 0000 c3c3 c3c3 \
c3c3 c3c3 0000 0000 \
0000 0000 c3c3 c3c3

/* Same as Gremlin stipple 12: */
glass,ar1,ar2 \
0040 0080 0100 0200 \
0400 0800 1000 2000 \
4000 8000 0001 0002 \
0004 0008 0010 0020

/* Same as Gremlin stipple 17: */
dif,dfet,lsd,log \
0000 4242 6666 0000 \
0000 2424 6666 0000 \
0000 4242 6666 0000 \
0000 2424 6666 0000

/* Same as Gremlin stipple 19: */
sm,dfet,lsd,log \
0808 0400 0202 0101 \
8080 4000 2020 1010 \
0808 0004 0202 0101 \
8080 0040 2020 1010

/* Same as Gremlin stipple 22: */
m1,viasm/metal1,viaom/metal1 \
8080 0000 0000 0000 \
0808 0000 0000 0000 \
8080 0000 0000 0000 \
0808 0000 0000 0000

/* Same as Gremlin stipple 23: */
glass,pd \
0000 0000 1c1c 3e3e \
3636 3e3e 1c1c 0000 \
0000 0000 1c1c 3e3e \
3636 3e3e 1c1c 0000

/* Same as Gremlin stipple 28: */
m2,via/metal2,glass \
0000 1111 0000 0000 \
0000 1111 0000 0000 \
0000 1111 0000 0000 \
0000 1111 0000 0000

/* Same as Gremlin stipple 31: */
pd \
0808 1010 2020 4040 \
8080 4141 2222 1414 \
0808 1010 2020 4040 \

```


via2	X
om,sm	B

style gremlin	
mm,m1,md	9
df,log,lsd	10
om,sm	11
glass,ar1,ar2	12
dif,det,lsd,log,om	17
sm,dfet,lsd,log	19
m1,viasm/metal1,viaom/metal1	22
glass,pd	23
m2,via2/metal2,glass	28
pd	31
via2	X
om,sm	B
end	

APENDICE H

.MAGIC

O ARQUIVO .MAGIC CONTEM MACRO COMANDOS ATRAVES DE
HARD KEYS PARA AUXILIO NA CRIAÇÃO DE LAY-OUTs

```
# ~cad/lib/sys/.magic
# System wide start up file for magic, defines default macros.
# Source for this file is ~cad/src/magic/magic/proto.magic.
#
# rcsid $Header: proto.magic,v6.3 92/06/03 14:47:00 ijc Exp $
#
echo ""
macro s "select"
macro S "select more"
macro a "select area"
macro A "select more area"
macro f "select cell"
macro C "select clear"
macro d "delete"
macro ` ` "erase $"
macro t "move"
macro T "stretch"
macro c "copy"
macro ` ` "expand toggle"
macro x "expand"
macro X "unexpand"
macro q "move left 1"
macro w "move down 1"
macro e "move up 1"
macro r "move right 1"
macro Q "stretch left 1"
macro W "stretch down 1"
macro E "stretch up 1"
macro R "stretch right 1"
macro g "grid"
macro G "grid 2"
macro u "undo"
macro U "redo"
macro v "view"
macro z "findbox zoom"
macro Z "zoom 2"
macro b "box"
macro B "findbox"
macro , "center"
macro y "drc why"
macro ` ` "redraw"
macro y "drc why"
macro ? "help"
macro o "openwindow"
macro O "closewindow"
macro " " "tool"
macro ` ` "iroute route -dBox"
macro ` ` "iroute route -dSelection"
macro i "paint mm ;echo '*paint mesa fet*'"
```

```

macro ! "erase mm ;echo '*erase mesa fet*'"
macro 2 "paint m1 ;echo '*paint mesa lsd*'"
macro @ "erase m1 ;echo '*erase mesa lsd*'"
macro 3 "paint md ;echo '*paint mesa log*'"
macro # "erase md ;echo '*erase mesa log*'"
macro 4 "paint sm ;echo '*paint sm*'"
macro $ "erase sm ;echo '*erase sm*'"
macro 5 "paint om ;echo '*paint om*'"
macro % "erase om ;echo '*erase om*'"
macro 6 "paint m1 ;echo '*paint metal1*'"
macro ^ "erase m1 ;echo '*erase metal1*'"
macro 7 "paint ar1 ;echo '*paint air bridge1*'"
macro & "erase ar1 ;echo '*erase air bridge1*'"
macro 8 "paint m2 ;echo '*paint metal2*'"
macro * "erase m2 ;echo '*erase metal2*'"
macro 9 "paint vsm ;echo '*paint viasm*'"
macro ( "erase vsm ;echo '*erase viasm*'"
macro 0 "paint vom ;echo '*paint viaom*'"
macro ) "erase vom ;echo '*erase viaom*'"
macro - "paint v2 ;echo '*paint via2*'"
macro _ "erase v2 ;echo '*erase via2*'"
macro = "paint pd ;echo '*paint pd*'"
macro + "erase pd ;echo '*erase pd*'"
macro ~ "paint glass ;echo '*paint glass*'"
macro ` "erase glass ;echo '*erase glass*'"
macro l "erase label ;echo '*erase label*'"
plot parameter spool Command "echo use 'lpr -P%s -c -s -JMagic
%s' to print plot"
plot parameter directory "."

```

APENDICE I

mos.7bit.dstyle

ARQUIVO CONTENDO A DEFINIÇÃO DAS CORES QUE DEFINEM OS MATERIAIS UTILIZADOS NO LAY-OUT DE DISPOSITIVOS MESFET EM GaAs.

```

#
# This file describes the various display styles that are
# available in Magic. This new file is relatively technology-
# independent: it contains enough different styles to support
# both nMOS, CMOS and MESFET without any changes. Each display
# style describes a particular way of drawing things on the
# display. See "Magic Maintainer's Manual 3: The Display Style
# and Glyph Files" for details on the file format.
#
# sccsid @(#)mos.7bit.dstyle Rev02 (UNICAMP - ijc) 06/03/92
#
# BitPlane Usage:
#
#
#          msb                lsb
#          +-----+-----+-----+-----+
#          : 7 : 6 : 5 : 4 : 3 : 2 : 1 : 0 :
#          +-----+-----+-----+-----+
#
#          |      |      |      |      |      |      |
# not used +-+      |      |      |      |      |      |
# highlights ----+  |      |      |      |      |      |
# opaque/trans. ----+  +-----+-----+-----+-----+
#
#          |      |      |      |      |      |      |
#          +-----+-----+-----+-----+
#          |      |      |      |      |      |      |
#          \-----/
#
# Bits 0-2 represent the material on the poly-diff plane
# (poly, different flavors of diffusion, different flavors of
# transistor) with mutually-opaque colors.
#
# Bits 3-4 are used for the two metal layers. Each layer has
# a separate bit plane, so the two metal layers are mutually
# transparent, and they are both transparent with respect to
# the poly-diff layers.
#
# If bit 5 is set, then bits 0-4 are used for one of 32 opaque
# colors which override any other mask information. These
# colors are used for various stipples, contact crosses, etc.
# They also provide a palette of standard colors (red, green,
# etc.) for use in making window borders, menus, etc. The
# last of these colors to be drawn in an area is the one that
# will appear.
#
# Bit 6 is used for highlights such as the box, the selection,
# etc. It overrides any of the other bits and produces a pure
# white color.
#
# Bit 7 is not used in this display style file. This is
# important for SUN workstations, since they can't really give
# Magic all 8 bits. For AEDs and other displays, this is a bit
# wasteful, but still seems to work ok.

```

display_styles 7

#

Poly-diff styles:

#

				stipple	short	long	
#num	mask	color	outline	fill	number	name	name
1	007	001	000	solid	0	-	polysilicon
2	007	002	000	solid	0	-	ndiffusion
3	007	002	000	stipple	13	-	ndiff_in_nwell
4	007	003	000	solid	0	-	pdiffusion
5	007	003	000	stipple	13	-	pdiff_in_pwell
6	007	004	000	solid	0	-	ntransistor
7	007	002	000	stipple	7	-	ntransistor_strip
8	007	005	000	solid	0	-	ptransistor
9	007	003	000	stipple	5	-	ptransistor_strip
10	007	006	000	solid	0	-	dfet_stripes
11	007	006	000	stipple	8	-	dcap_stripes
12	007	007	000	stipple	7	-	nwell
13	007	003	000	stipple	5	-	pwell
14	077	006	000	stipple	2	-	electrode
15	007	003	000	stipple	10	-	pbase
16	007	002	000	stipple	17	-	emitter
17	007	003	000	stipple	11	-	bccd
18	007	002	000	stipple	15	-	nselect
19	007	003	000	stipple	1	-	pselect
22	077	043	377	outline	0	-	borda
23	077	043	377	stipple	8	-	fet
24	077	043	377	stipple	5	-	log
25	077	043	377	stipple	7	-	lsd
26	007	005	000	stipple	8	-	ar

#

Metal styles:

#

				stipple	short	long	
#num	mask	color	outline	fill	number	name	name
20	010	010	000	solid	0	-	metal1
21	020	020	000	solid	0	-	metal2

#

Opaque stipples and such for mask display:

#

				stipple	short	long	
#num	mask	color	outline	fill	number	name	name
31	077	043	000	stipple	2	-	glass
32	077	043	377	cross	0	-	contact_X'es
33	077	043	377	stipple	2	-	contact_waffle
34	077	042	377	stipple	10	-	overglass
35	077	003	377	stipple	1	-	pselect
36	077	007	377	stipple	15	-	nselect
37	077	043	377	stipple	11	-	pd
40	077	065	000	stipple	5	-	check_paint
41	077	066	000	stipple	7	-	check_subcells
42	077	040	000	stipple	4	-	error_waffle

#

Versions of previous layers to use in non-edit cells: #

#

Poly-diff styles:

#

				stipple	short	long	
#num	mask	color	outline	fill	number	name	name

#

```

65 007 001 000 stipple 14 - polysilicon
66 007 002 000 stipple 14 - ndiffusion
67 007 002 000 stipple 13 - ndiff_in_nwell
68 007 003 000 stipple 14 - pdiffusion
69 007 003 000 stipple 13 - pdiff_in_pwell
70 007 004 000 stipple 14 - ntransistor
71 007 002 000 stipple 7 - ntransistor_strip
72 007 005 000 stipple 14 - ptransistor
73 007 003 000 stipple 5 - ptransistor_strip
74 007 006 000 solid 0 - dfet_stripes
75 007 006 000 stipple 8 - dcap_stripes
76 007 007 000 stipple 1 - nwell
77 007 003 000 stipple 1 - pwell
78 077 006 000 stipple 2 - electrode
79 007 003 000 stipple 10 - pbase
80 007 002 000 stipple 17 - emitter
81 007 003 000 stipple 11 - bccd
86 077 043 377 outline 0 - borda
87 077 043 377 stipple 8 - fet
88 077 043 377 stipple 5 - log
89 077 043 377 stipple 7 - lsd
90 007 005 000 stipple 8 - ar

```

#

Metal styles:

```

#
#               stipple short long
#num mask  color  outline  fill  number name  name
#-----+-----+-----+-----+-----+-----+-----+-----
84  010   010    000  stipple  14  -  metal1
85  020   020    000  stipple  14  -  metal2

```

#

Opaque stipples and such for mask display:

```

#
#               stipple short long
#num mask  color  outline  fill  number name  name
#-----+-----+-----+-----+-----+-----+-----+-----
96  077   043    377  cross    0  -  contact_X'es
97  077   043    377  stipple  2  -  contact_waffle
98  077   042    377  stipple 10  -  overglass
99  077   003    377  stipple  1  -  ps
100 077   007    377  stipple 15  -  ns

```

#

```

104 077   065    000  stipple  5  -  check_paint
105 077   066    000  stipple  7  -  check_subcells
106 077   040    000  stipple  4  -  error_waffle

```

#

```

#-----
# All of the styles above this point are used by the
# technology file, and the style numbers in the technology
# file must match. All of the styles below this point are
# used internally by Magic for things like menus, drawing the
# box, etc. The style numbers must match the definitions in
# style.h.
#-----

```

#

```

# General-purpose opaque colors. These entries define a whole
# bunch of generally-useful colors. Although all of the fill
# styles here are solid, the same colors are used in many
# other places with different fill and outline styles.

```

#

```

#
#               stipple short long
#num mask  color  outline  fill  number name  name
#-----+-----+-----+-----+-----+-----+-----+-----
129 077   040    000  solid    0  W  white
130 077   041    000  solid    0  -  gray1 (pale)
131 077   042    000  solid    0  -  gray2 (dark)

```

```

132 077 043 000 solid 0 K black
133 077 044 000 solid 0 r red1 (pale)
134 077 045 000 solid 0 - red2 (medium)
135 077 046 000 solid 0 R red3 (dark)
136 077 047 000 solid 0 g green1 (pale)
137 077 050 000 solid 0 - green2(medium)
138 077 051 000 solid 0 G green3 (dark)
139 077 052 000 solid 0 b blue1
140 077 053 000 solid 0 - blue2
141 077 054 000 solid 0 B blue3
142 077 055 000 solid 0 p purple1
143 077 056 000 solid 0 P purple2
144 077 057 000 solid 0 y yellow1
145 077 060 000 solid 0 Y yellow2
146 077 061 000 solid 0 o orange1
147 077 062 000 solid 0 O orange2
148 077 063 000 solid 0 - brown1
149 077 064 000 solid 0 - brown2
150 077 065 000 solid 0 - magenta
151 077 066 000 solid 0 - cyan
#
# Opaque styles used for drawing and erasing highlights,
# window borders, etc. Most of them use the color numbers
# defined above, in order to conserve colors.
#
#
# stipple short long
#num mask color outline fill number name name
#-----+-----+-----+-----+-----+-----+-----+-----
160 100 100 000 solid 0 - solid_highlights
161 100 100 000 stipple 12 - medium_highlights
162 100 100 000 stipple 9 - pale_highlights
163 100 100 000 stipple 10 - horiz_highlights
164 100 100 000 stipple 11 - vert_highlights
165 100 100 377 outline 0 - outline_highlig
166 100 100 314 outline 0 - dotted_highligh
#
167 100 000 377 outline 0 - erase_box
168 100 000 000 solid 0 - erase_highlights
169 177 000 000 solid 0 - erase_everything
170 077 000 000 solid 0 - erase_all_but_
highlights
#
171 077 073 377 outline 0 - labels
172 077 043 377 outline 0 - bounding_boxes
173 077 043 252 grid 0 - dotted_grid
174 077 043 377 grid 0 - solid_grid
175 077 043 000 solid 0 - origin_square
176 077 043 377 outline 0 - draw_tile_details
#
177 177 067 000 solid 0 w window_border
178 177 067 377 stipple 6 - window_elevator
179 177 070 000 solid 0 - window_caption
180 177 052 000 solid 0 b window_background
#
181 177 072 000 solid 0 - color_editing
#
# The style below means "no color at all". It is special, in
# that it is used by cursors to indicate transparency.
#
182 177 000 000 solid 0 - no_color_at_all

```

stipples


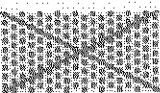
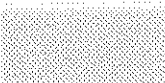
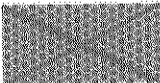
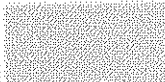
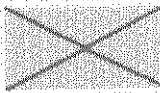
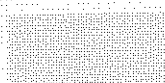
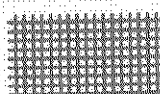
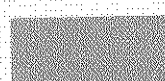

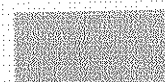
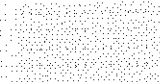
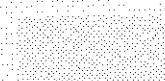
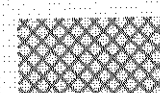



```

# bit pattern description
#-----+-----+-----+-----+-----+-----+-----+-----

```

1	100	000	030	000	030	000	000	000	000	very sparsed stripes, ll to ur
2	314	314	000	000	063	063	000	000	000	coarse knight's move (waffle)
3	356	167	273	335	356	167	273	335	335	all but diagonal stripes, ll to ur
4	000	000	314	314	000	000	314	314	314	offset waffle
5	100	040	020	010	004	002	001	200	200	sparse diagonal stripes, ll to ur
6	252	125	252	125	252	125	252	125	125	half 'n half (checkerboard)
7	002	004	010	020	040	100	200	001	001	sparse diagonal stripes, lr to ul
8	201	102	044	030	030	044	102	201	201	sparse diagonal crosses.
9	201	300	140	060	030	014	006	003	003	wide sparse diagonal stripes, ll to ur
10	000	000	000	377	000	000	000	000	377	horizontal stripes
11	104	104	104	104	104	104	104	104	104	vertical stripes
12	125	252	125	252	125	252	125	252	252	complement of half 'n half
13	063	063	777	777	314	314	777	777	777	complement of #2 (coarse knight's move)
14	252	125	252	125	252	125	252	125	125	half 'n half (checkerboard)
15	000	001	000	030	000	000	000	000	030	very sparsed stripes, ll to ur
16	300	007	377	377	300	007	377	377	377	wide horizontal stripes
17	307	307	307	307	307	307	307	307	307	wide vertical stripes

MAGIC DESIGN
LAYERS FOR
DIFFUSION
D-MODE
PROCESS

	MESA D-FET		VIA SCHOTTKY-METAL
	MESA LEVEL-SHIFT-DIODE		VIA OHMIC-METAL
	MESA LOGIC-DIODE		VIA METAL2
	SCHOTTKY-METAL		PAD
	OHMIC-METAL		GLASS (PASSIVAT)
	METAL1		DIFFUSION
	AIR-BRIDGE		DFET
	METAL2		LOG
			LSD