

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE COMUNICAÇÕES

REDUÇÃO DE "JITTER" DE JUSTIFICAÇÃO
NA HIERARQUIA DIGITAL SÍNCRONA

TANIA REGINA TRONCO FUDOLI

Orientador: *Prof. REGE ROMEU SCARABUCCI*

Este exemplar corresponde à redação final da te
defendida por <u>Tania Regina Tronco</u>
<u>Fudoli</u> aprovada pela Comissão
Julgadora em <u>29</u> / <u>12</u> / <u>92</u> .
Orientador <i>Rege Scarabucci</i>

Dissertação apresentada à Faculdade de Engenharia Elétrica da
Universidade Estadual de Campinas – UNICAMP, como parte dos
requisitos exigidos para a obtenção do título de MESTRE EM
ENGENHARIA ELÉTRICA.

DEZEMBRO – 1992

1300000

ao Carlos, por me ajudar compreender
e admirar o trabalho científico.

Agradecimentos

Ao Prof. Rege Romeu Scarabucci, pelo dedicado acompanhamento e eficiente orientação, e pela oportunidade e apoio.

Ao Prof. Edson Benedicto Ramos Feris, pelas discussões de grande valia.

Aos colegas do CpqD, em especial à equipe de Pesquisa Aplicada em Hierarquia Digital Síncrona, pelas discussões sistêmicas e pelo material bibliográfico.

A Cleide Helena Silva, pelo auxílio na digitação.

A Maria Lúcia Costa Cardoso, Paula C. Moncayo, José Avelino Rodrigues, Edison P. de Lima e Wilson R. Balardin, pelos trabalhos de desenho.

Ao CPqD, pela infraestrutura.

Resumo

A evolução das redes de comunicações digitais fez surgir novos tipos de multiplexadores que são otimizados para o transporte de sinais de dados síncronos. A padronização destes novos tipos de multiplexadores vem sendo feita pelo CCITT (“International Telegraph and Telephone Consultative Committee”), através da Hierarquia Digital Síncrona (HDS).

Com o desenvolvimento dos multiplexadores da HDS surgiu a necessidade de analisar as principais fontes de “jitter” nessa hierarquia. Também tornou-se necessário desenvolver métodos de redução de “jitter”. O processo de justificação de bit e justificação de byte utilizado na HDS introduz “jitter” de baixa frequência – “jitter” de justificação –, que pode afetar o sinal recuperado após a operação de demultiplexagem.

Este trabalho analisa a origem do “jitter” de justificação na HDS e os métodos existentes para redução desse “jitter”, sendo que um novo método é sugerido. Além disso, são descritos os princípios básicos da multiplexagem síncrona.

ÍNDICE

Capítulo 1	Introdução	1
Capítulo 2	Princípios Básicos da Multiplexação Síncrona	4
2.1	Taxas de Bit da Hierarquia Digital Síncrona	4
2.2	Estrutura de Quadro do STM-1	5
2.2.1	Formação das Unidades de Tributários (Tributary Unit-TU)	10
2.2.2	Formação dos Grupamentos de Unidades de Tributários (TUGs)	16
2.2.3	Formação dos Containers de Ordem Superior	21
2.2.4	Formação do Módulo de Transporte STM-1	25
2.3	Estrutura de Quadro do STM-N	28
2.4	Descrição dos Bytes Reservados para Supervisão da Rede HDS	30
2.5	Carga de Supervisão da Camada do Meio de Transmissão	37
2.5.1	Carga de Supervisão da Seção de Regeneração (RSOH)	41
2.5.2	Adaptação da Camada de Regeneração para a Camada de Meio Físico	42
2.5.3	Carga de Supervisão da Seção de Multiplexação	42
2.6	Carga de Supervisão da Camada de Rotas	45
2.6.1	Carga de Supervisão de Rotas de Ordem Superior	45
2.6.2	Adaptação entre a Camada de Rotas de Ordem Inferior e a de Ordem Superior	49
2.6.3	Carga de Supervisão de Rotas de Ordem Inferior	49
Capítulo 3	Processamento de Ponteiros	52
3.1	Ponteiro de AU-n	52
3.1.1	Concatenação de AU-4	62
3.1.2	Concatenação de AU-3	63
3.2	Ponteiro de TU-n	65
3.2.1	Concatenação de TU-2	71
3.2.2	Concatenação de TU-2s Adjacentes em VC-3	71

3.2.3	Concatenação Sequencial de TU-2s em VC-4	72
3.2.4	Concatenação Virtual de TU-2s em VC-4	72
Capítulo 4	Mapeamento dos Tributários	73
4.1	Mapeamento de Sinais Plesiócronicos	74
4.1.1	Mapeamento Assíncrono de 2,048 Mbit/s e 1,544 Mbit/s	74
4.1.2	Mapeamento Assíncrono de 6,312 Mbit/s	78
4.1.3	Mapeamento Assíncrono de 34,368 Mbit/s	78
4.1.4	Mapeamento Assíncrono de 44,736 Mbit/s e 139,264 Mbit/s	81
4.2	Mapeamento de Sinais Síncronos ou Pseudosíncronos	85
4.2.1	Mapeamento de Serviços de $n \times 64$ kbit/s	85
4.2.2	Mapeamento Síncrono a Nível de Bit	94
4.3	Mapeamento de Sinais Isócronos com Taxas Elevadas	94
4.4	Mapeamento de Sinais Anisócronos	99
4.4.1	Mapeamento de Células ATM	99
Capítulo 5	Sincronização da HDS	102
5.1	Necessidade de Sincronização das Redes Digitais	102
5.2	Efeito dos “Slips” nas redes Digitais	104
5.2.1	Transmissão de Voz	104
5.2.2	Transmissão de Dados Via Modems	105
5.2.3	Transmissão Fac-símile	105
5.2.4	Transmissão de Sinais de Vídeo	105
5.3	Objetivos de Desempenho das Redes Digitais	106
5.4	Requisitos para os Relógios da Rede de Sincronização	107
5.5	Topologias Usuais da Rede de Sincronização	108
5.6	Rede de Sincronização da HDS	113
5.6.1	Características dos Relógios Escravos para Operação em Equipamentos da HDS	114
5.6.1.1	Máxima Variação de Frequência	114

5.6.1.2	Máximo Erro Relativo num Intervalo de Tempo	114
5.6.2	Enlaces de Distribuição de Relógios	115
5.6.3	Modos de Operação	116
5.6.4	Cadeia de Referência de Sincronização	117
5.6.5	Confiabilidade da Rede de Sincronização	118
Capítulo 6	Geração e Redução do “Jitter” de Justificação na HDS	121
6.1	“Jitter” de Mapeamento	131
6.2	Métodos para Redução do “Jitter” de Mapeamento	135
6.3	“Jitter” de Ajuste de Ponteiro	139
6.3.1	Mecanismo de Ponteiro de AU-n	139
6.3.2	Mecanismo de Ponteiro de TU-n	141
6.3.3	Estatísticas dos Ajustes de Ponteiro	142
6.3.4	Efeito dos Ajustes de Ponteiro no Dessincronizador	145
6.4	Métodos para Redução do “Jitter” de Ajuste de Ponteiros	149
6.4.1	“Fixed Bit Leaking”	150
6.4.2	Controle Digital Linear	152
6.5	Proposta de um Esquema de Redução de “Jitter” de Ajuste de Ponteiros	154
Capítulo 7	Conclusões	164
Bibliografia	165

Capítulo 1

Introdução

A situação atual das redes de transmissão de telecomunicações é caracterizada por três Hierarquias Digitais Plesiócronicas diferentes: a Européia, baseada em 2,048 Mbit/s, a Norte Americana, em 1,544 Mbit/s e a Japonesa também baseada em 1,544 Mbit/s, mas divergindo da americana nos níveis 3 e 4 (32,064 Mbit/s e 97,728 Mbit/s, enquanto a americana só possui o nível 3 à taxa de 44,736 Mbit/s). Além do mais, os equipamentos de transmissão plesiócronicos não são totalmente padronizados. Isto dificulta a interconexão a nível mundial e também restringe o uso de equipamentos de fabricantes diferentes.

A Hierarquia Digital Síncrona (HDS) deve alterar de forma significativa esta situação. A HDS não é apenas uma nova hierarquia; ela visa a ser um padrão mundial. Além de facilitar a interconexão entre as nações, este padrão permitirá a compatibilidade entre os equipamentos de transmissão. Além disso, as redes baseadas na HDS possuem uma capacidade de canais de gerenciamento e supervisão muito maior que as baseadas na Hierarquia Digital Plesiócrona (HDP).

Nas redes atuais (plesiócronicas) ocorre a distribuição da referência de sincronismo para o primeiro nível da hierarquia (1,5 ou 2 Mbit/s), embora ocasionalmente ocorra a distribuição também para o segundo e o terceiro nível. Isto se deve à maioria dos serviços distribuídos pela rede serem baseados em 64 kbit/s. Um esquema de justificação de bit é utilizado para compensar as diferenças de frequência entre os nós nos níveis superiores, e também quando a referência de relógio não é distribuída. A vantagem de um esquema totalmente síncrono é sua capacidade de

acessar diretamente os canais de 64 kbit/s, não havendo necessidade de demultiplexar o feixe de dados. Além disso, uma rede síncrona de alta velocidade é também fundamental para o transporte eficiente e flexível de serviços, tais como distribuição de vídeo e dados de alta velocidade.

A HDS também possui mecanismos de justificação de bit e de byte. A justificação de bit é utilizada para acomodar diferenças de frequência entre os sinais a serem transportados e o relógio do multiplexador, já que a HDS pode transportar sinais plesiócronicos. A justificação de byte (ou ajuste de ponteiros) é utilizada para compensar as variações de frequência entre os vários nós da HDS, que ocorrem devido a variações térmicas ou perda da referência de sincronismo. No entanto, o processo de justificação gera tremor de fase, ou “jitter”, quando os sinais são extraídos da HDS, no circuito denominado dessincronizador. Dessa forma, surgiu a necessidade de analisar esse “jitter” e também desenvolver métodos de redução.

Os objetivos principais desse trabalho são fornecer os conhecimentos fundamentais necessários para a compreensão da problemática do “jitter” de justificação nos multiplexadores da HDS, mostrar as especificações a serem atingidas, descrever os métodos existentes de redução do “jitter” de justificação e sugerir novos métodos.

No Capítulo 2 são descritos os princípios básicos da multiplexação síncrona. Isto inclui a descrição da estrutura de quadro dos Módulos de Transporte Síncronos e o processo de multiplexação. Além disso, também são descritas as funções dos bytes reservados para supervisão e gerenciamento da rede HDS.

No Capítulo 3, o mecanismo de ajuste de ponteiros e o processo de justificação de byte são detalhados.

O processo de inserção dos sinais a serem transportados na estrutura de quadro da HDS, é denominado Mapeamento e está descrito no Capítulo 4. Quando os sinais de entrada são plesiócronicos, ocorre o mecanismo de justificação de bit.

O Capítulo 5 mostra a necessidade de Sincronização das Redes Digitais e também os principais métodos de sincronização utilizados atualmente. A rede de sincronização da HDS também é discutida.

No capítulo 6, os principais conceitos da teoria de “jitter” de justificação são revistos e aplicados à HDS. A origem do “jitter” devido à justificação de bit, ou “jitter” de mapeamento, e a origem do “jitter” da justificação de byte, ou “jitter” de ajuste de ponteiros (JAP) é analisada. Também são discutidos os principais métodos de redução. Por fim, dois esquemas para redução do JAP são apresentados.

Capítulo 2

Princípios Básicos da Multiplexação Síncrona

2.1 Taxas de Bit da Hierarquia Digital Síncrona

As redes digitais implantadas atualmente são baseadas em quadros síncronos de 125 μ s e canais de 64 kbit/s em função da taxa de amostragem dos sinais de voz ser 8 kHz e da utilização de 8 bits para codificação de cada amostra. Esses parâmetros são a base da Rede Digital de Serviços Integrados (RDSI) e uma grande parte dos Serviços é transportada em canais de 64 kbit/s [6].

A Hierarquia Digital Síncrona (HDS) utiliza o mesmo princípio, definindo estruturas síncronas de quadro com tempo de duração de 125 μ s. Tais estruturas são adequadas para transportar serviços de 64 kbit/s.

A estrutura básica da HDS é denominada Módulo de Transporte Síncrono Nível 1 (Synchronous Transport Module Level 1 – STM-1). O STM-1 possui uma estrutura de quadro bem definida que se repete a cada 125 μ s e uma taxa de bit de 155,520 Mbit/s. Esse módulo define o primeiro nível da hierarquia. As taxas de bit dos níveis superiores, denominados STM-N, são múltiplos inteiros da taxa de bit do primeiro nível.

Atualmente estão padronizados pelo “International Telegraph and Telephone Consultative Committee” (CCITT) [10] 3 módulos de transporte, a saber: STM-1, STM-4 e STM-16. A tabela 1/2 contém as taxas de bit para esses níveis.

Nível HDS	Taxas (Mbit/s)	Designação
1	155,520	STM-1
4	622,080	STM-4
16	2.488,320	STM-16

Tabela 1/2 – Taxas de Bit da HDS

Além desses três níveis, a “American National Standards Institute” (ANSI) [5] padronizou uma estrutura de quadro com capacidade de transmissão menor que a do STM-1. Essa estrutura possui taxa de 51,840 Mbit/s (1/3 do STM-1) e é denominada “Synchronous Transport Signal Level 1” (STS-1) e corresponde ao primeiro nível da hierarquia americana, não sendo considerado pelo CCITT um nível da HDS.

2.2 Estrutura de Quadro do STM-1

A estrutura básica do quadro do STM-1, representada na Figura 1/2, consiste de nove linhas de 270 bytes, lidos da esquerda para a direita e de cima para baixo. Esse quadro possui as seguintes características:

- comprimento total: 2430 bytes;
- duração: 125 μ s (frequência de repetição: 8 kHz);
- taxa de bit: 155,520 Mbit/s;
- capacidade efetiva: $[(2430 - 81)/2430] \times 155,520 \text{ Mbit/s} = 150,336 \text{ Mbit/s}$.

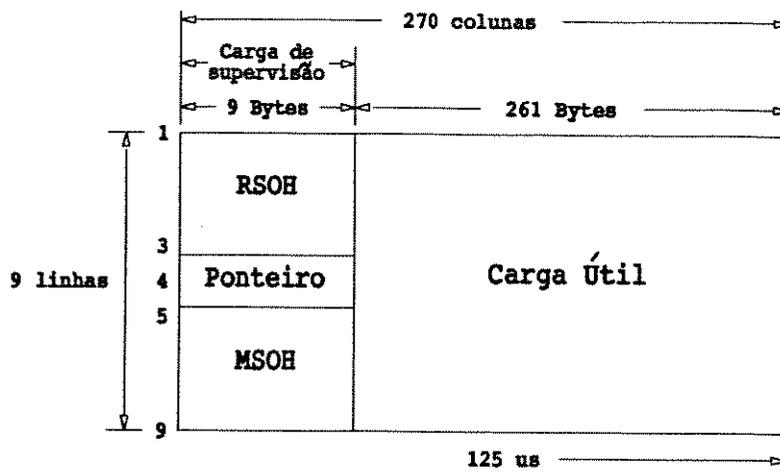


Figura 1/2 - Estrutura de quadro do STM-1

O quadro possui três áreas principais: Área de Supervisão de Seção (Section Overhead – SOH) que possui uma palavra de alinhamento de quadro para identificar o início do quadro e informações adicionais para supervisão; Área do Ponteiro e Área da Carga Útil. A SOH é dividida em Área de Supervisão da Seção de Regeneração (Regenerator Section Overhead – RSOH) e Área de Supervisão da Seção de Multiplexação (Multiplexing Section Overhead – MSOH).

A SOH será detalhada no item 2.4 e o Ponteiro no capítulo III.

Para a formação da carga útil do STM-1 é utilizada a estrutura de multiplexação representada na Figura 2/2. A Figura 3/2 mostra essa estrutura de modo mais detalhado.

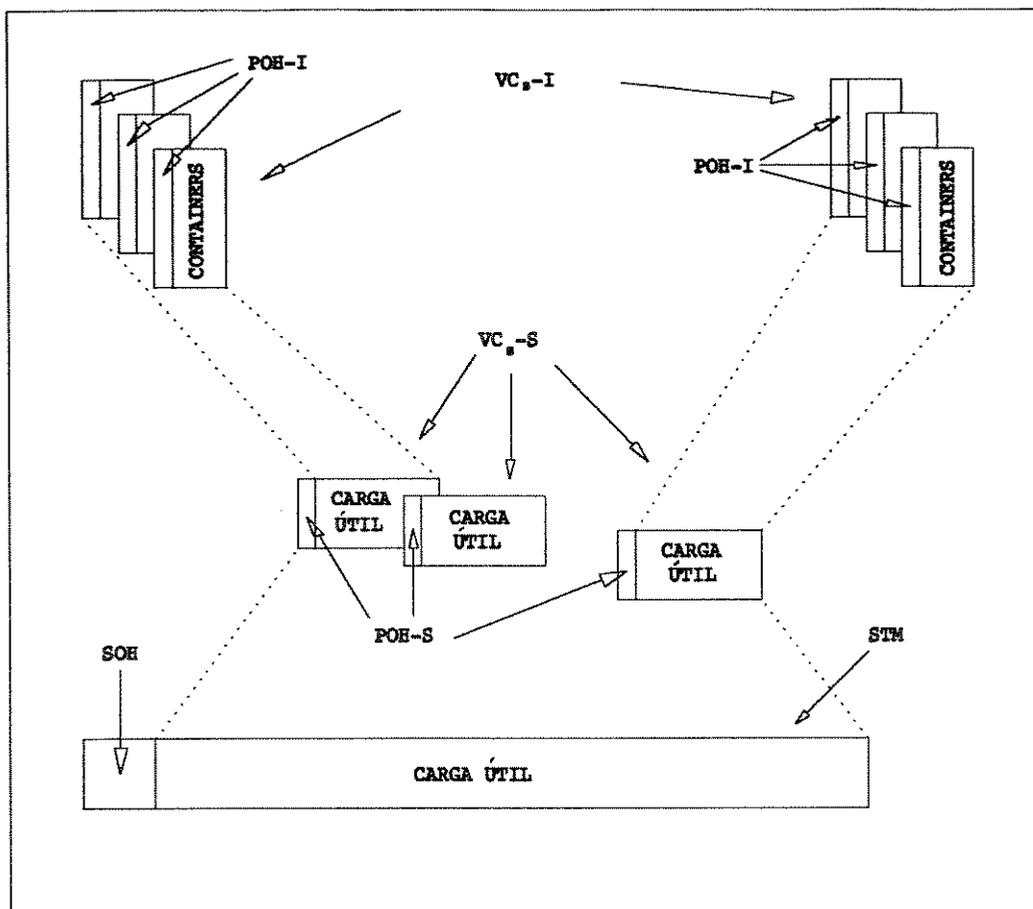


FIGURA 2/2 - Princípios da Multiplexação Síncrona

X ≡ Multiplexagem
 M ≡ Mapeamento
 A ≡ Alinhamento

 Processamento
 Ponteiro

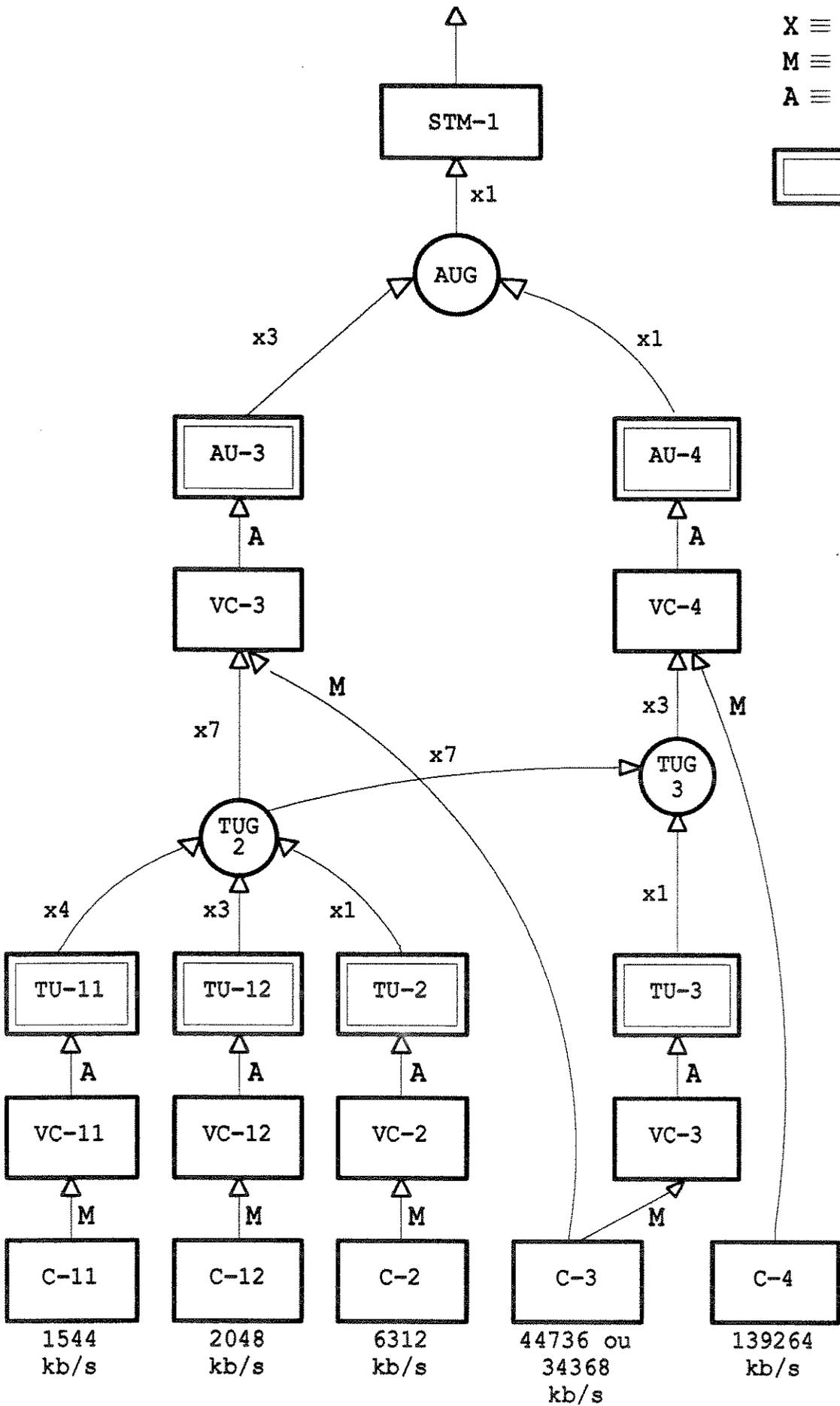


Figura 3/2 - Estrutura de Multiplexação da Hierarquia Digital Síncrona.

A primeira etapa dessa multiplexação é a formação dos Containers (C). Os Containers são estruturas que alojam os sinais a serem transportados, por exemplo os sinais da HDP. Existe um Container apropriado para cada carga útil de informação a ser transportada, como mostra a Tabela 2/2.

CONTAINER	TAXA DA CARGA ÚTIL HDP TRANSPORTADA (Mb/s)
C-11	1,544
C-12	2,048
C-2	6,312
C-3	44,736/34,368
C-4	139,264

Tabela 2/2 - Containers Definidos pelo CCITT

Adicionando-se aos Containers bytes para supervisão da rota percorrida, denominados Carga de Supervisão da Rota (Path Overhead – POH), obtém-se estruturas denominadas Containers Virtuais de Ordem Inferior (VC-I), conforme indica a Figura 2/2. Os VCs são entidades gerenciáveis da HDS: o POH é utilizado para supervisionar a rota a qual ele corresponde. O processo de introdução de sinais tributários em VCs de Ordem Inferior é denominado Mapeamento e será detalhado no capítulo IV. Os VCs-I definidos pelo CCITT [11, 12] são VC-11, VC-12, VC-2 e VC-3, conforme mostra a Figura 3/2.

Uma vez obtidos os VCs, a próxima etapa é a adição de ponteiros ou apontadores que marcam a posição do primeiro byte VC-I dentro do quadro que aloja esse sinal. Isto possibilita ajustes de frequência entre os VCs-I e as estruturas de ordem superior. A combinação de um VC de ordem inferior e um ponteiro é denominada **Unidade Tributária (Tributary Unit – TU)**. Estão definidas as seguintes TUs: TU-11, TU-12, TU-2 e TU-3 (ver Figura 3/2).

As TUs podem ser arranjadas em grupos ordenados denominados **Grupamento de Unidades Tributárias (Tributary Unit Groups – TUGs)**. Nesse nível, o processamento envolvido é a multiplexação dos sinais das TUs. Os TUGs definidos são o TUG-2 e o TUG-3.

No próximo nível da estrutura de multiplexação estão os **Containers Virtuais de Ordem Superior (VC-S)**. Os Containers de Ordem Superior são obtidos através da multiplexação de TUGs e da adição de uma Carga de Supervisão de Rota (POH). Os VC-S padronizados são o VC-3 e o VC-4.

Uma vez obtidos estes Containers, ponteiros são adicionados a essas estruturas para indicar a localização do primeiro byte desses VCs dentro do STM-1, gerando uma “**Unidade Administrativa**” (Administrative Unit – AU). Estão definidas a AU-3 e a AU-4. A organização da carga útil de um STM-1 em três AU-3 ou em uma AU-4 é denominada **Grupamento de Unidades Administrativas (Administrative Unit Group – AUG)**.

Adicionando-se à carga útil (AUG) a Carga de Supervisão de Seção (SOH) obtém-se o quadro STM-1, conforme mostra a Figura 3/2.

Esses são os princípios da multiplexação síncrona. A seguir, essas etapas de processamento serão descritas com mais detalhes.

2.2.1 Formação das Unidades de Tributários (Tributary Unit – TU)

A Figura 4/2 mostra o processo de formação da TU-11. O primeiro passo é a geração do C-11, que é uma estrutura de 25 bytes que se repetem a cada 125 μ s. Essa estrutura repetida 4 vezes contém o sinal de informação (por exemplo 24 canais de 64 kbit/s), bytes de enchimento, bits de controle de justificação e/ou bits de justificação.

A seguir, um byte de supervisão (POH) de ordem inferior, denominado V5, é adicionado ao C-11 a cada 4 quadros de 125 μ s e três bytes de enchimento são adicionados no início dos três quadros seguintes àquele onde foi colocado o POH. Dessa forma, o mapeamento é completado a cada 4 quadros formando-se assim um multiquadro com duração de 500 μ s. O

VC-11 obtido no processo de mapeamento é um estrutura de 26 bytes que se repetem a cada 125 μ s ($f_{VC-11}= 1,664$ Mbit/s).

Adicionando-se ao VC-11 um ponteiro de 4 bytes, denominados V1, V2, V3 e V4, obtém-se a TU-11, totalizando 27 bytes por quadro. Esses 4 bytes de ponteiro (denominados ponteiro de TU) são distribuídos pelos 4 quadros que compõem o multiquadro.

O processo de formação da TU-12, mostrado na Figura 5/2, é análogo ao citado acima, porém mais apropriado para 2,048 Mbit/s (32 canais de 64 kbit/s). Neste caso, o C-12 possui 34 bytes, o VC-12 possui 35 bytes ($f_{VC-12}=2,240$ Mbit/s) e a TU-12 possui 36 bytes por quadro. O Mapeamento também é completado a cada 4 quadros.

O C-2 é uma estrutura de 106 bytes que se repetem a cada quadro de 125 μ s (Figura 6/2). Esse Container pode transportar 4 tributários plesiócronicos de 1,544 Mbit/s (taxa de 6,312 Mbit/s), bytes de enchimento, bits de controle de justificação e/ou bits de justificação. Adicionando-se um byte de POH (V5) a cada 4 quadros de 125 μ s e mais três bytes de enchimento fixo nos três quadros seguintes (1 byte por quadro) obtem-se o VC-2 ($f_{VC-2}=6,848$ Mbit/s). Para a formação da TU-2 são adicionados 4 bytes de ponteiro (V1, V2, V3 e V4) ao VC-2 em 4 quadros (1 byte por quadro), num total de 108 bytes a cada 125 μ s.

A Figura 7/2 ilustra a geração de uma TU-3 a partir do sinal tributário de informação.

O C-3 pode conter o sinal de 34,368 Mbit/s, o sinal de 44,736 Mbit/s, ou outro, bytes de enchimento fixo, bits de controle de justificação e/ou bits de justificação, totalizando 756 bytes por quadro.

Adicionando-se uma coluna de 9 bytes de POH ao C-3 forma-se o VC-3 ($f_{VC-3}=48,384$ Mbit/s). Quando o VC-3 é utilizado para formar uma TU-3, o POH adicionado é chamado de POH de ordem inferior. Por outro lado, se o VC-3 for utilizado para formar um AU-3 (ver Figura 3/2) o POH adicionado é de ordem superior.

Agrupando-se novamente outra coluna de 9 bytes ao VC-3 forma-se a TU-3. Os três primeiros bytes dessa coluna contém um ponteiro que indica o endereço do início do POH do VC-3 no quadro.

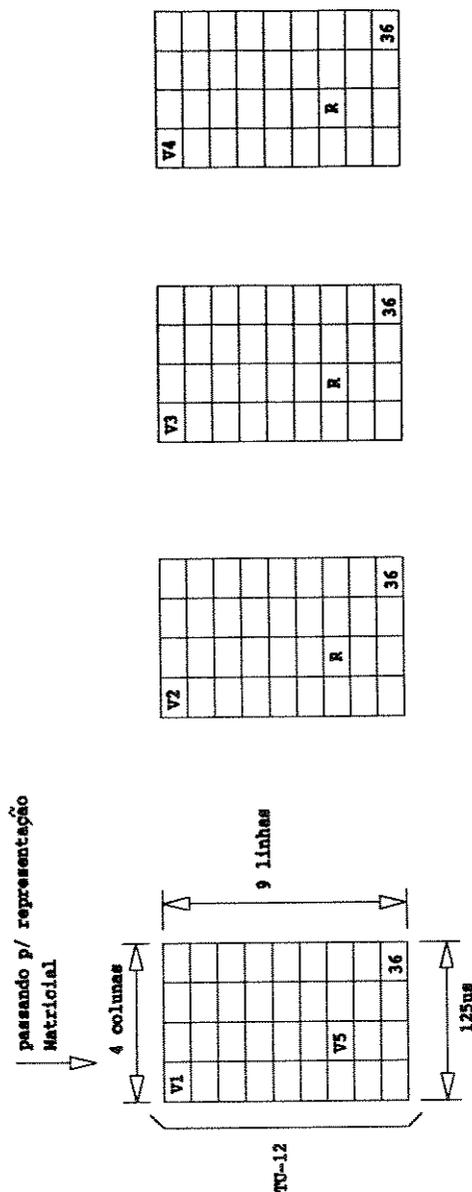
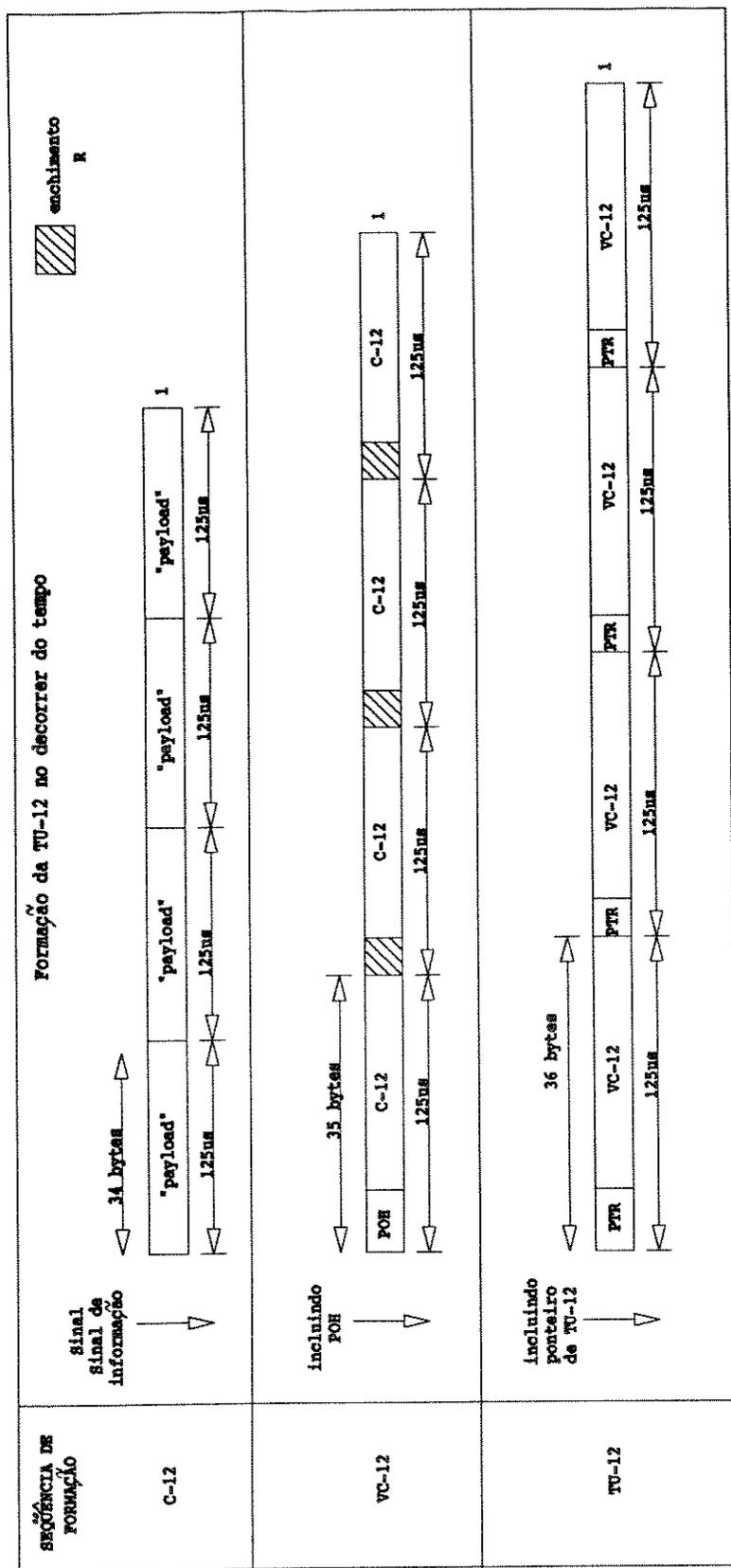


Figura 5/2 - Formação da TU-12

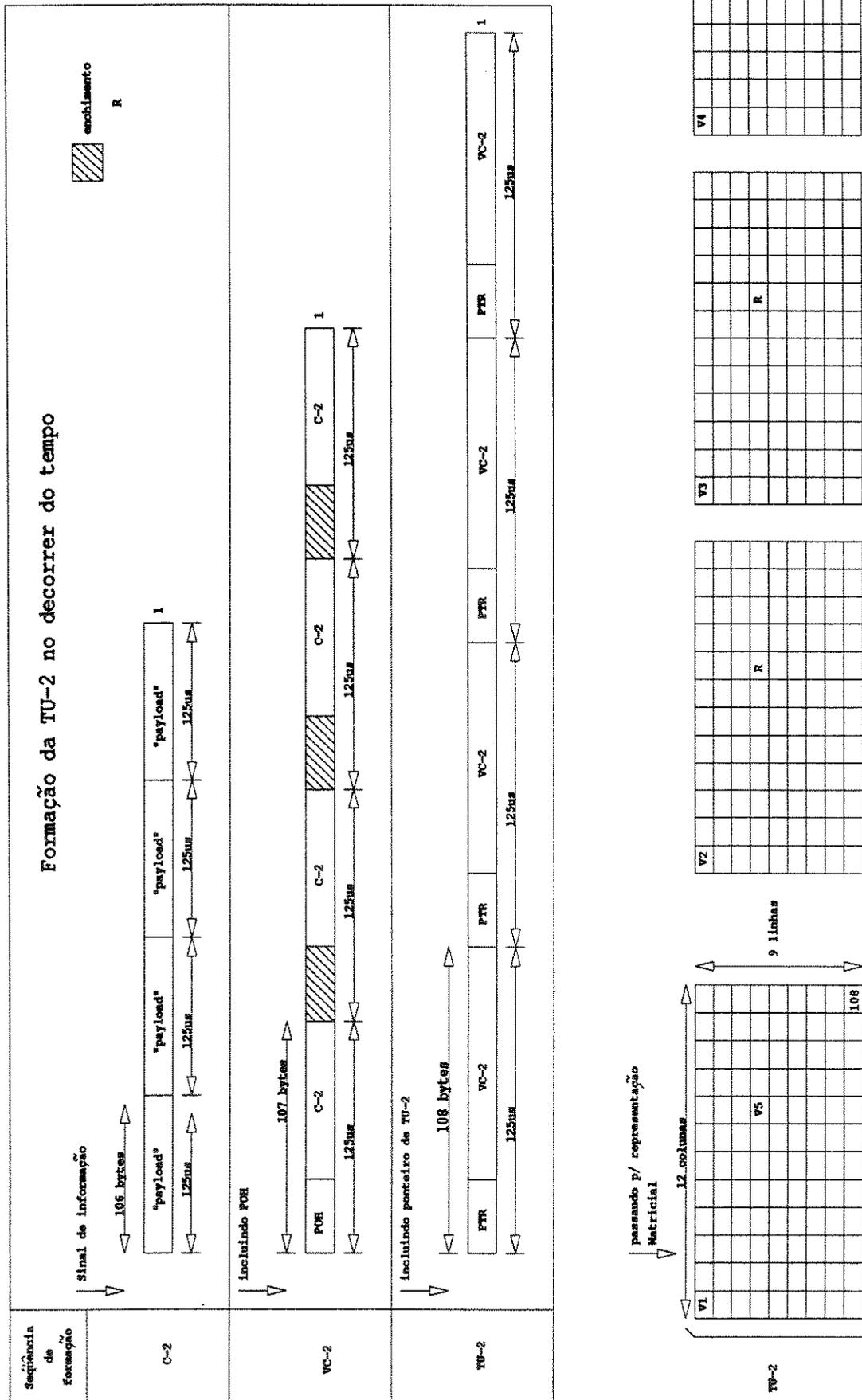


Figura 6/2 - Formação da TU-2

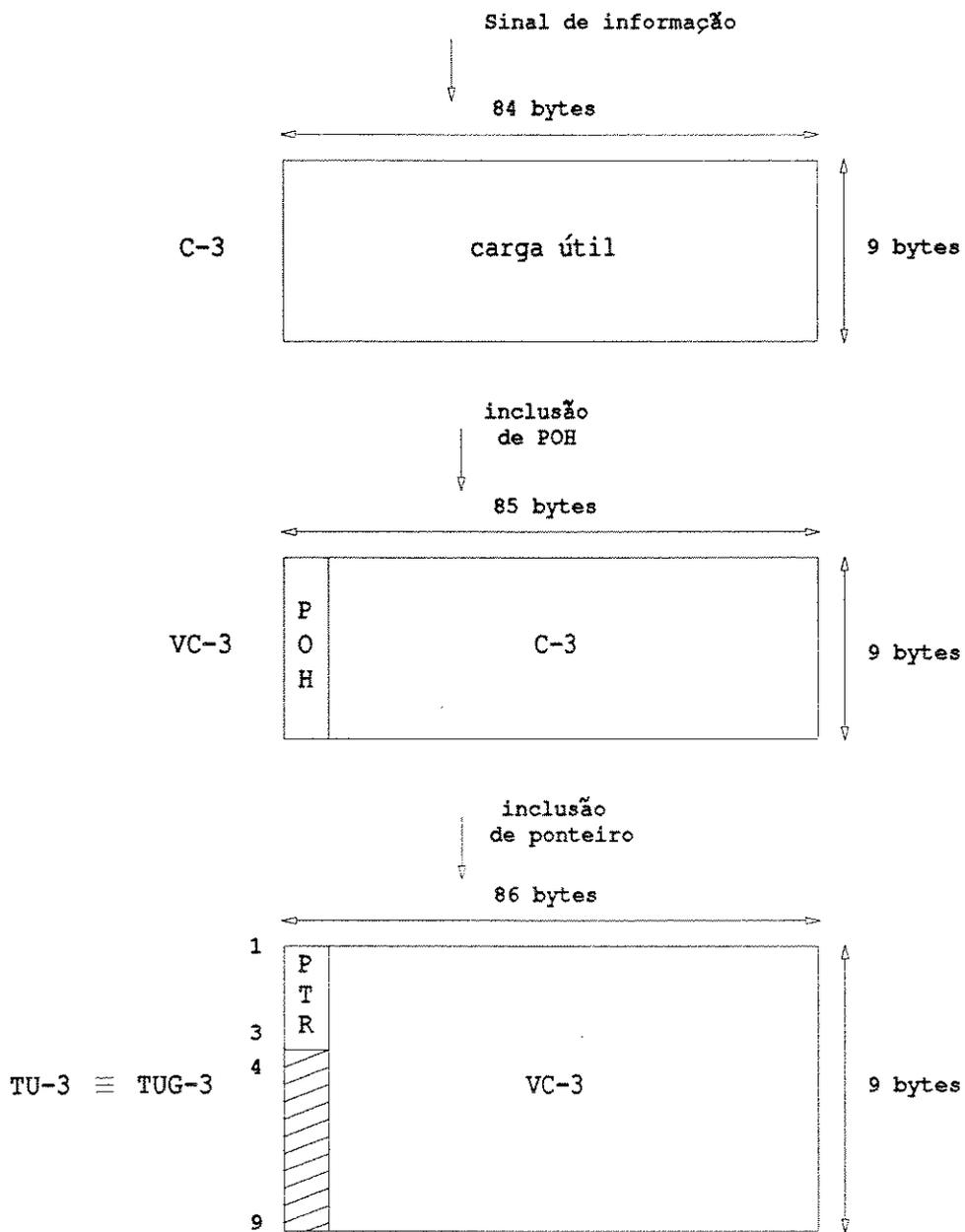


Figura 7/2 - Formação do TUG-3 a partir de C-3.

2.2.2 Formação dos Grupamentos de Unidades de Tributários (TUGs)

O TUG-2 é formado por 108 bytes (9x12) e pode ser obtido através de 3 processamentos diferentes, conforme mostra a Figura 3/2:

1. através da multiplexação de 4 sinais TU-11;
2. através da multiplexação de 3 sinais TU-12 ou
3. através de um sinal TU-2. Nesse caso, a estrutura do TUG-2 é idêntica à do TU-2.

Esses três processamentos estão indicados nas Figuras 8/2, 9/2 e 10/2 respectivamente.

O TUG-3 é uma estrutura de 774 bytes (9x86). A formação do TUG-3 pode ser feita através de dois processamentos diferentes:

1. a partir de 1xTU-3. Neste caso, existe uma correspondência direta entre a estrutura da TU-3 e a estrutura do TUG-3 (Figura 7/2);
2. a partir de 7 sinais de TUG-2 (Figura 11/2). Neste caso, a formação envolve uma multiplexação temporal além da inserção de duas colunas (de 9 bytes cada). Nos três primeiros bytes da primeira coluna está contida uma Indicação de Inexistência de Ponteiro (Null Pointer Indication – NPI). O NPI indica se o TUG-3 é composto por 1xTU-3 ou por 7xTUG-2.

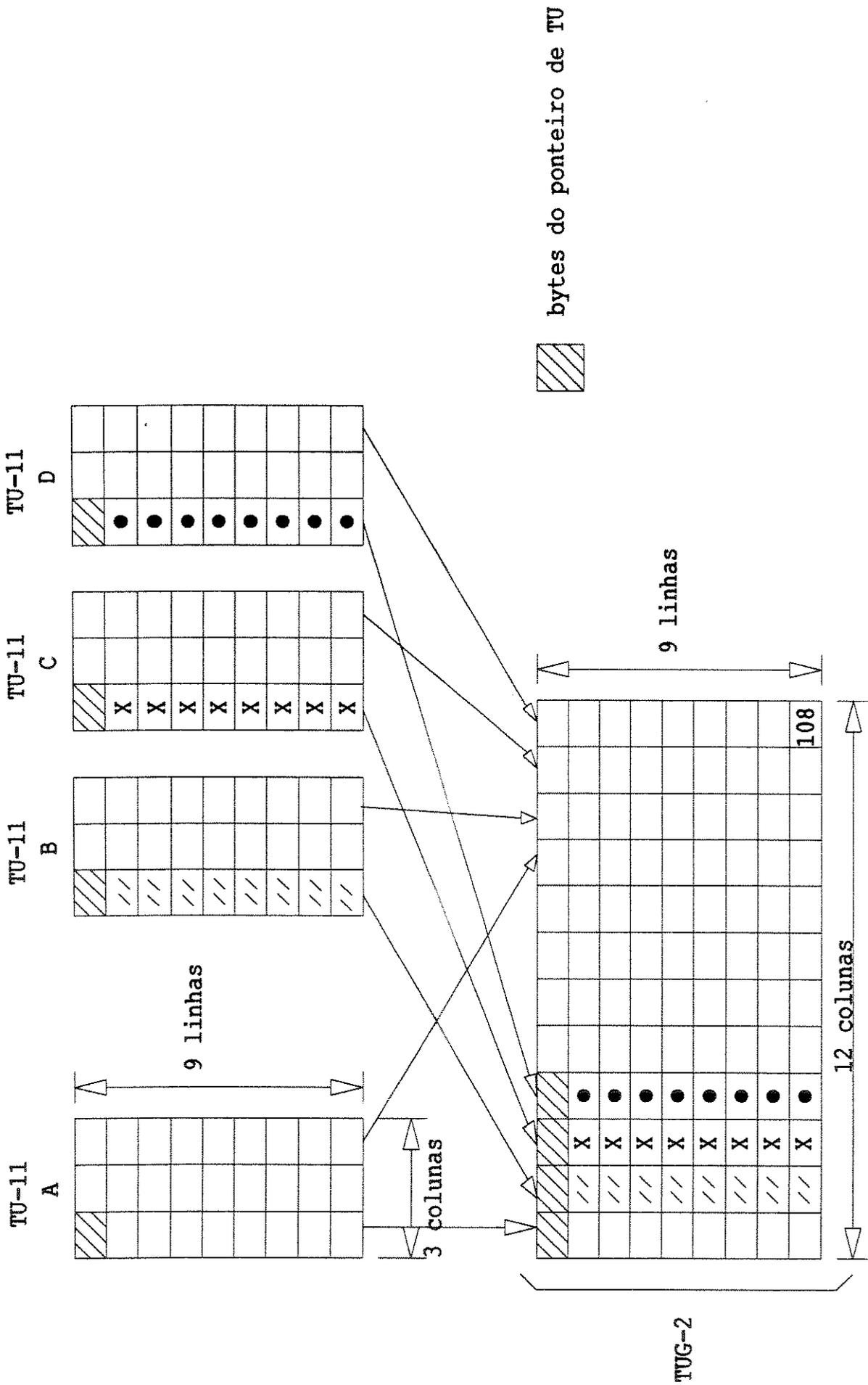


Figura 8/2 - Formação de um TUG-2 a partir de 4 x TU-11

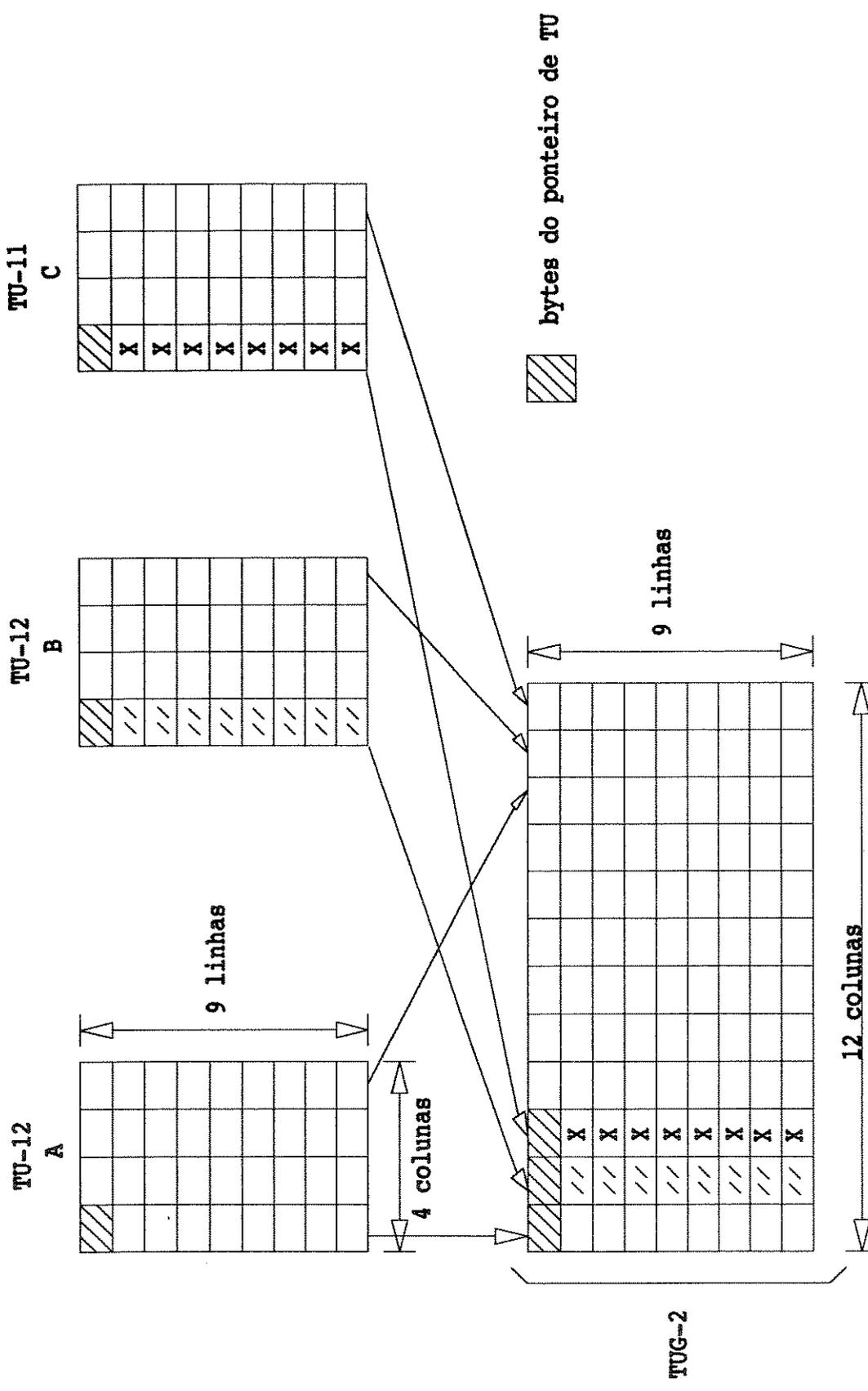


Figura 9/2 - Formação do TUG-2 a partir de 3 x TU-12

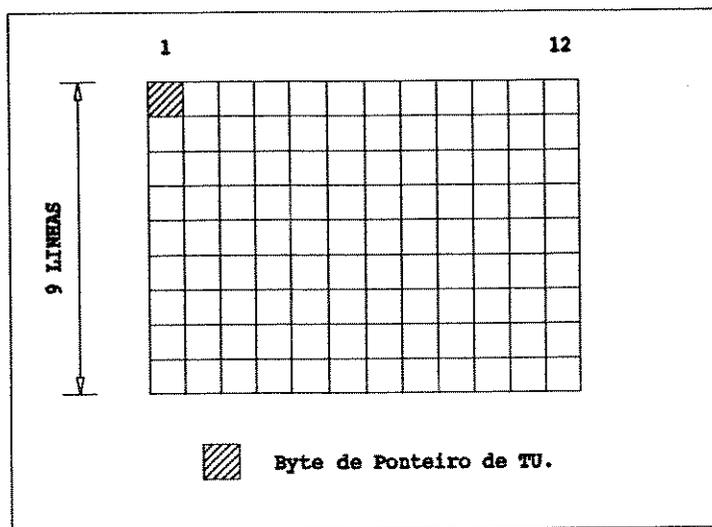
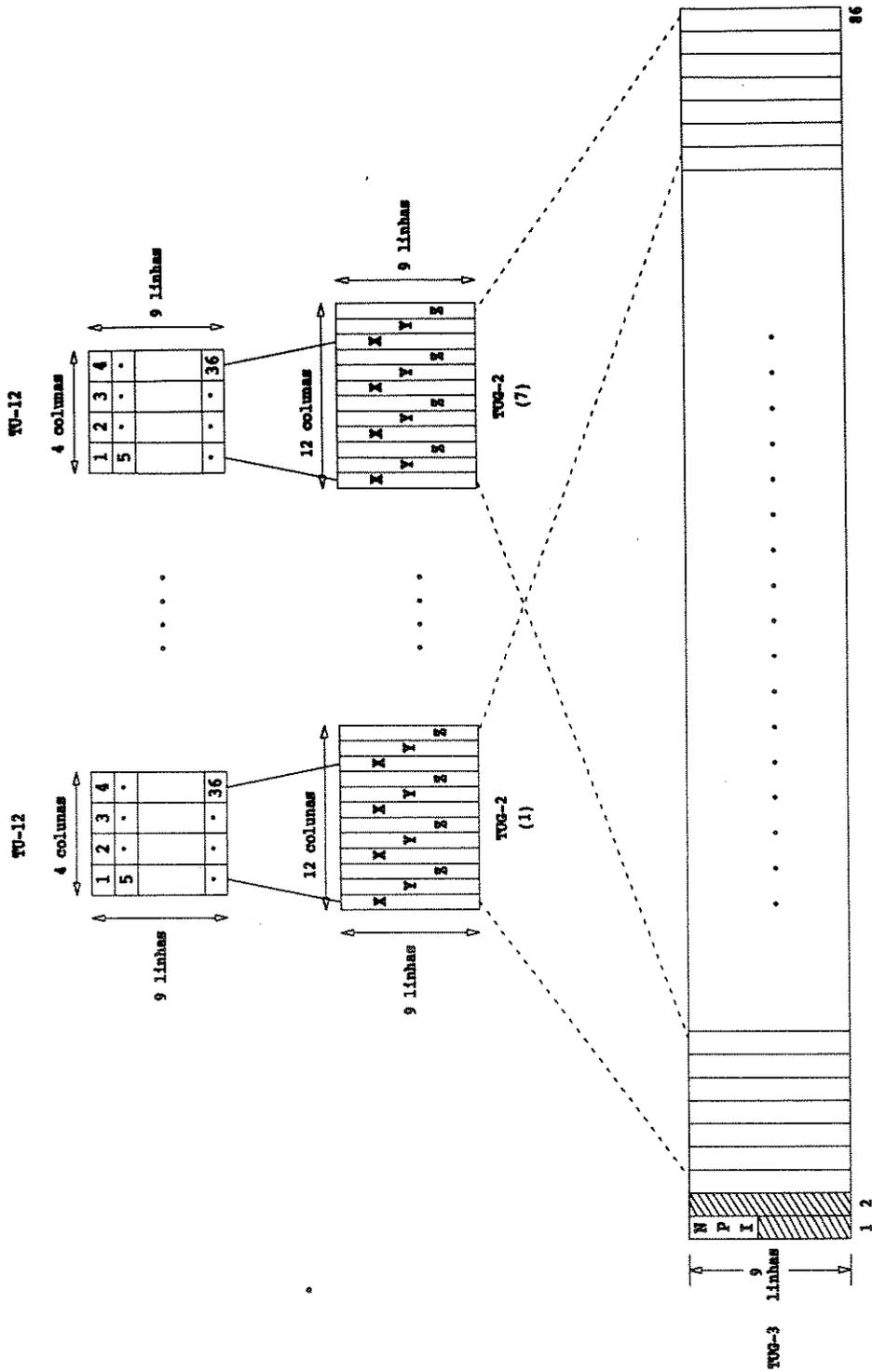


FIGURA 10/2 - Formação de um TUG-2 a partir de uma TU-2



* Nos 2 primeiros bytes da 1a. coluna do TUG-3 está localizado o "NULL POINTER INDICATION" (NPI)

Figura 11/2 : - Entrelaçamento byte a byte de 7 TUG-2 para formar 1 TUG-3.

▨ enchimento

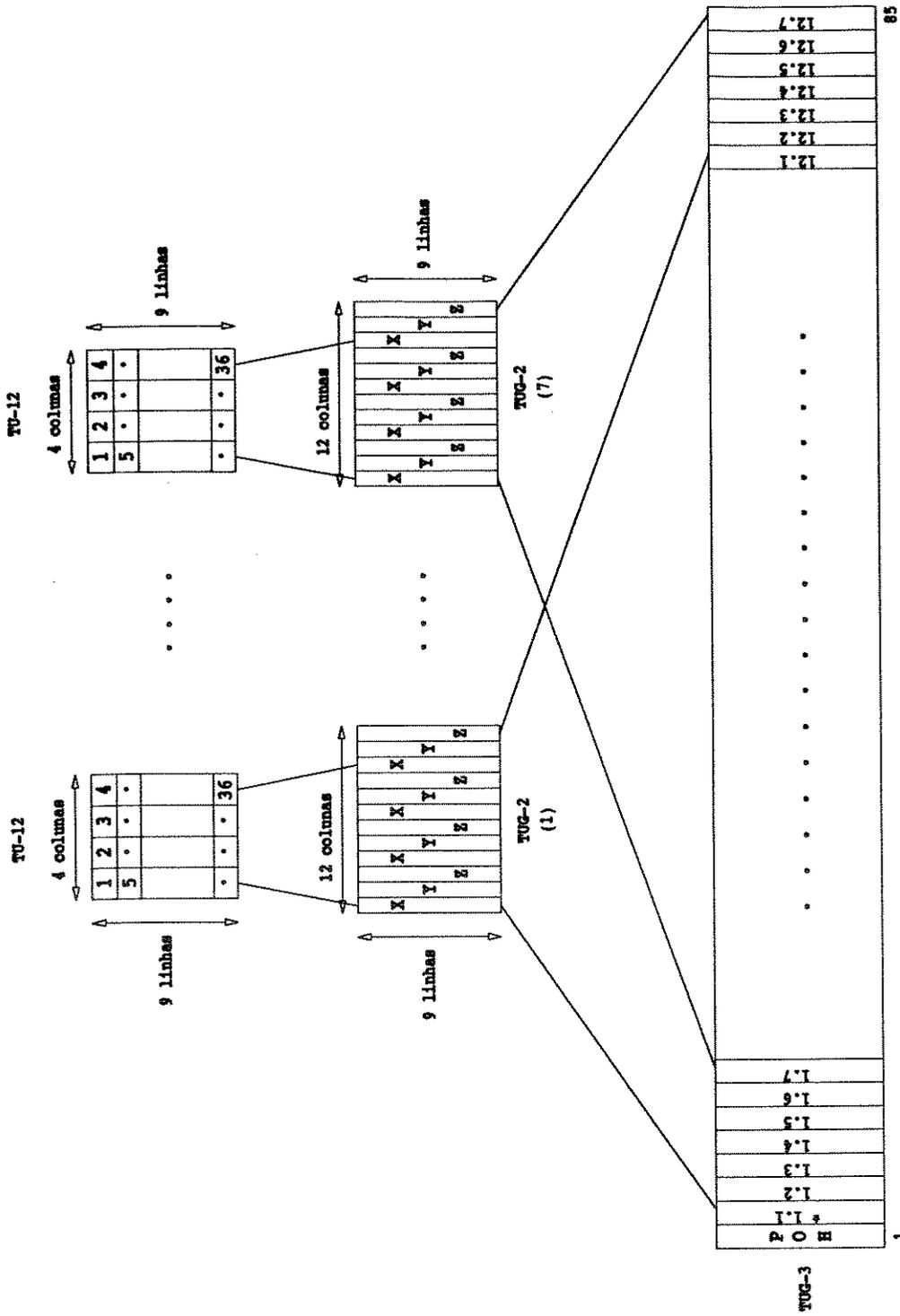
2.2.3 Formação dos Containers de Ordem Superior

O VC-3 de ordem superior pode ser formado através de dois processamentos diferentes, conforme mostra a Figura 3/2:

1. a partir de um C-3. Esse processo está mostrado na Figura 7/2 e já foi explicado anteriormente. Cabe ressaltar que o POH acrescentado ao C-3, nesse caso, é de ordem superior;
2. a partir da multiplexação temporal de 7xTUG-2. Além da multiplexação, uma coluna (9 bytes) de POH é adicionada. Esse POH inserido é de ordem superior. A Figura 12/2 mostra esse processamento que resulta em um VC-3 com 9 linhas e 85 colunas (765 bytes).

Um VC-4 pode ser formado a partir da multiplexação temporal de 3xTUG-3, conforme mostra a Figura 13/2. Além da multiplexação, uma coluna (9 bytes) de POH e mais duas colunas de enchimento fixo são adicionadas à estrutura, resultando em 2349 bytes (9x261).

O VC-4 também pode ser mapeado diretamente a partir de um sinal tributário (por exemplo, 140 Mbit/s). Nesse caso, o tributário é mapeado em um Container denominado C-4 (ver Figura 14/2) e a seguir, uma coluna (9 bytes) contendo o POH de ordem superior é adicionada ao Container, formando o VC-4 com 2349 bytes (9x261).



* A notação 1.1 significa coluna 1 do 1o. TUG-2. Por exemplo: 12.4 significa coluna 12 do 4o. TUG-2, e assim por diante.

Figura 12/2 - Entrelaçamento byte a byte de 7 TUG-2 para formar 1 VC-3.

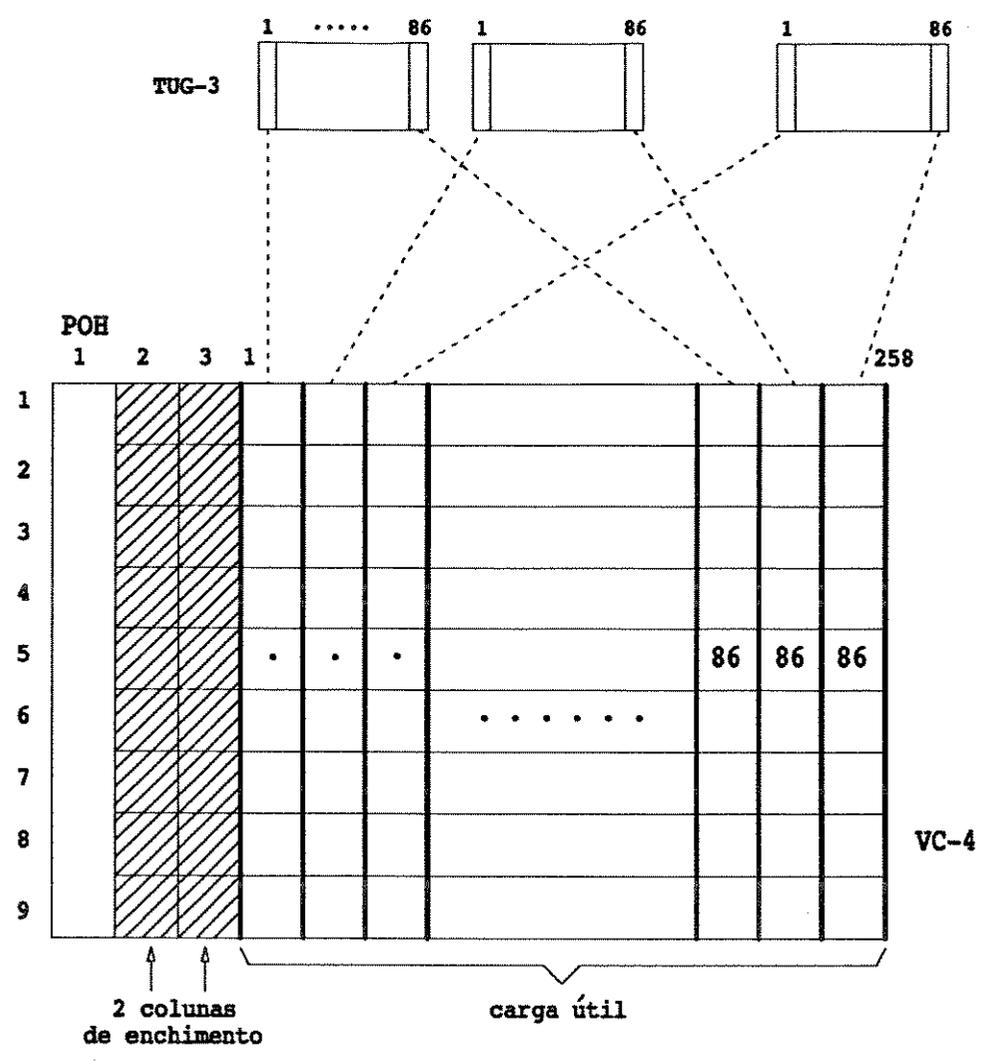


Figura 13/2 - Multiplexação de 3 TUG-3 para montar 1 VC-4

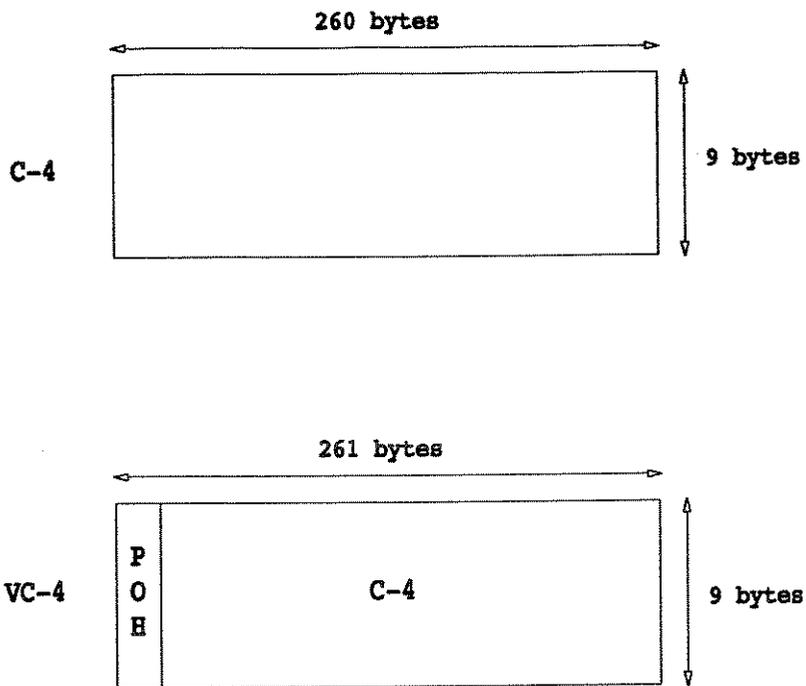


Figura 14/2 - Formação de um VC-4 a partir de um C-4

2.2.4 Formação do Módulo de Transporte STM-1

O STM-1 pode ser gerado a partir de VCs-3 ou de um VC-4. Caso a via escolhida seja através do VC-3, inicialmente este Container é convertido em AU-3, como mostra a Figura 15/2. Esse processo envolve a adição de duas colunas de enchimento nas colunas 30 e 59 e a adição do ponteiro de AU. O ponteiro de AU-3 possui 3 bytes e permite que o VC-3 “flutue”(não possua fase fixa) dentro do quadro STM-1.

A seguir, 3 AU-3 são multiplexados byte a byte (inclusive os ponteiros) para formar um AUG. A estrutura resultante possui 9x261 bytes além de um ponteiro de 9 bytes associado.

Acrescentando-se os bytes de SOH (Section Overhead) a essa estrutura, obtém-se o STM-1.

Quando o VC-4 é utilizado para gerar o STM-1, o processamento envolvido é menor. Um ponteiro de 9 bytes é associado ao VC-4 gerando o AU-4, conforme ilustrado na Figura 16/2. Esse ponteiro indica a localização do primeiro byte do VC-4 dentro do STM-1, possibilitando que o VC-4 “flutue” (não possua fase fixa) no quadro.

A estrutura do AU-4 coincide com a do AUG. Assim, acrescentando-se os bytes de SOH ao AU-4 forma-se um STM-1.

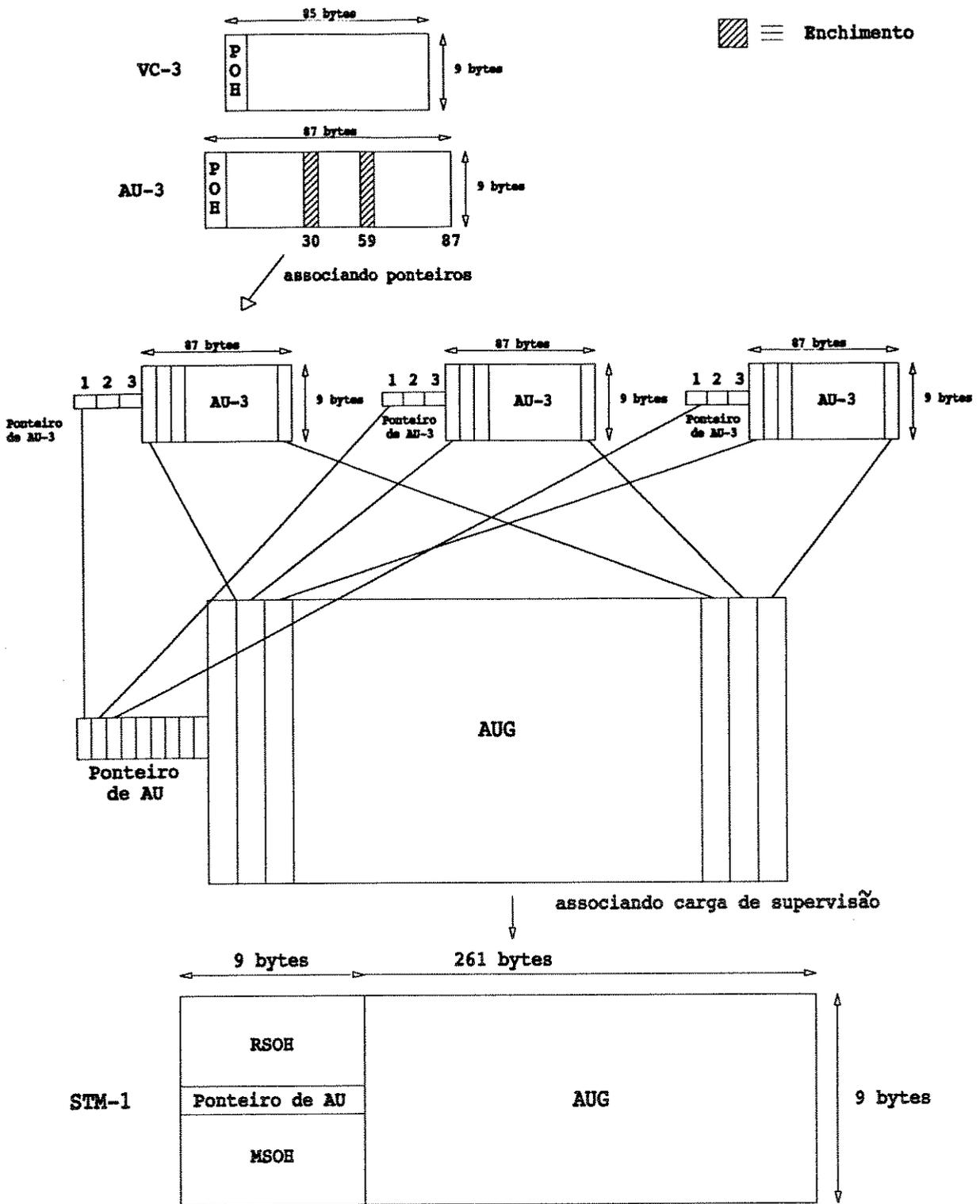


Figura 15/2 - Formação do STM-1 a partir de 3 VC-3

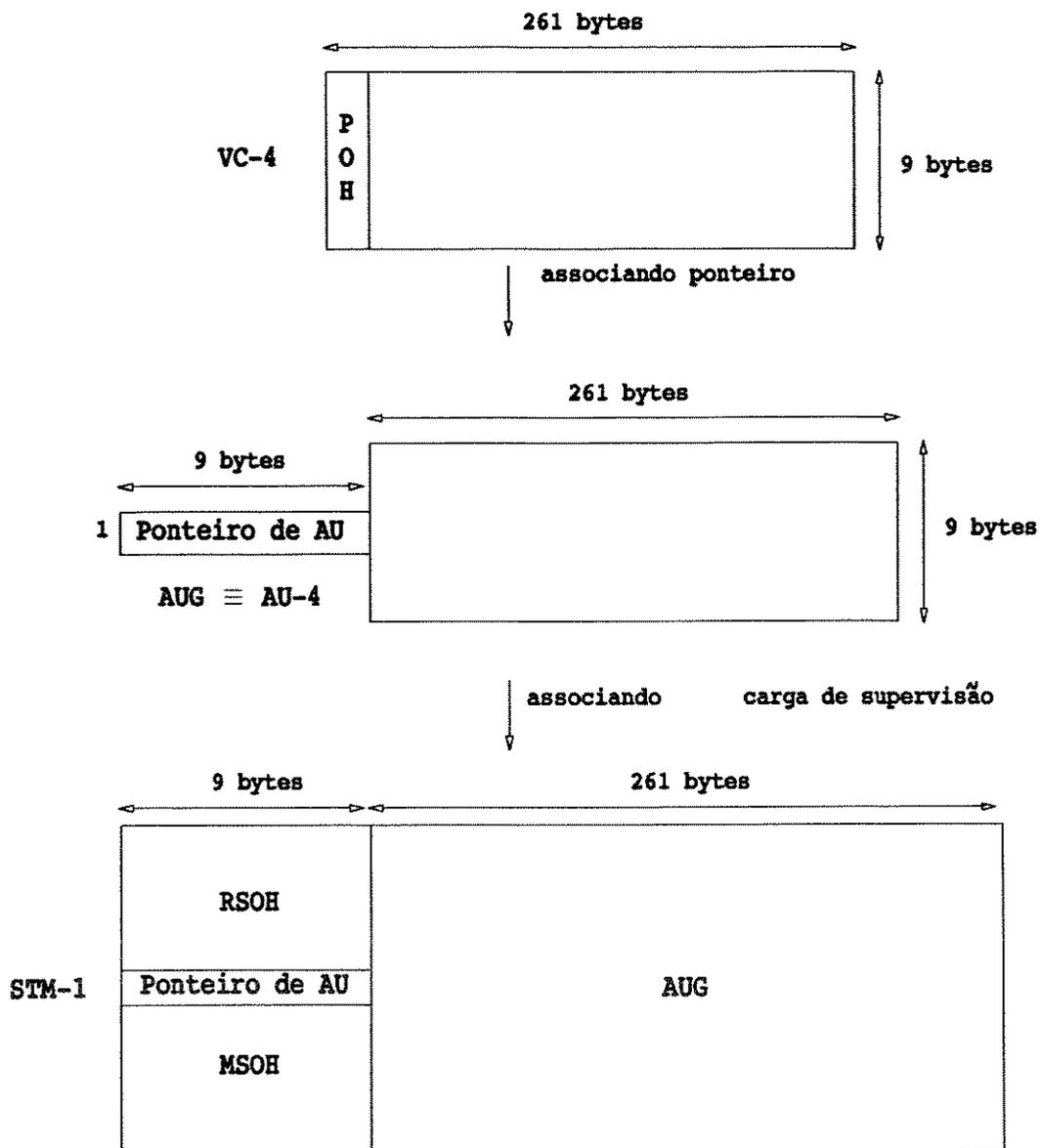


Figura 16/2 - Formação de um STM-1 a partir de 1 VC-4

2.3 Estrutura de Quadro do STM-N

A estrutura de Quadro do STM-N é obtida basicamente através da multiplexação de N cargas úteis de informação de módulos STM-1, como ilustra a Figura 17/2. Na Figura, o primeiro bit do primeiro Byte do quadro está localizado no topo esquerdo. O segundo bit está imediatamente atrás e assim sucessivamente até a leitura de $8N$ bits, onde N é a ordem de multiplexação (1, 4 ou 16). O bit $(8N+1)$ está localizado na frente novamente, na segunda coluna do primeiro STM. Além da carga útil, o STM-N também contém informações para supervisão (SOH). Assim, da mesma forma que a estrutura de quadro do STM-1, o quadro do STM-N também possui três partes: Área de Supervisão de Seção (Section Overhead – SOH), Ponteiro(s) de AU e Carga Útil ($N \times$ AUGs).

A SOH é dividida em duas partes:

- Área de Supervisão da Seção de Regeneração (Regenerator Section Overhead – RSOH) – localizada nas linhas 1 a 3 e colunas 1 a $9 \times N$;
- Área de Supervisão da Seção Multiplex (Multiplexer Section Overhead – MSOH) – localizada nas linhas 5 a 9 e colunas 1 a $9 \times N$.

O conteúdo das informações da SOH de um STM-N é específico para cada N. Certos bytes do SOH são replicados em todos os STMs enquanto outros aparecem apenas em um dos STMs, denominado líder. O detalhamento dessas informações será feito no item 2.4.

A carga útil de um STM-N é composta de $N \times$ AUG, onde cada AUG segue a lei de formação descrita no item 2.2.2 e pode conter um AU-4 ou três AU-3.

O(s) Ponteiro(s) de AU está localizado na linha 4 e colunas 1 a $9 \times N$. Nesse caso, existe um ponteiro para cada AU contido na carga útil.

2.4 Descrição dos Bytes Reservados para Supervisão da Rede HDS

Para se ter uma melhor compreensão sobre o sistema de supervisão utilizado na HDS, é necessário introduzir alguns conceitos de arquitetura de rede.

O termo Arquitetura vem sendo muito utilizado recentemente por operadores de redes de telecomunicações. Existem aspectos importantes do conceito de arquitetura que podem auxiliar o desenvolvimento de projetos de redes de telecomunicações otimizadas em termos de custo e funcionalidade. As técnicas descritivas da arquitetura possibilitam a avaliação de muitos aspectos dos projetos, permitindo inclusive a comparação de alternativas distintas, sem que seja necessária a implementação desses projetos.

Para a HDS, essas ferramentas são essenciais devido à complexidade da rede com a utilização de grande quantidade de equipamentos, que podem ser gerenciados remotamente, como por exemplo os equipamentos denominados "Digital Cross-Connect" (DXC), que fazem mudanças automáticas nas vias dos sinais através de controle remoto.

A Arquitetura da Rede de Transporte foi inicialmente desenvolvida pelo CCITT [8] para a HDS, mas pode ser aplicada a qualquer rede de telecomunicação. A rede de transporte é definida como o conjunto de funções lógicas de uma rede que transporta informações de usuários para localidades distantes. Essas funções, representadas por blocos, são definidas pela maneira como a informação é processada entre o conjunto de entradas e o conjunto de saídas do bloco. Por exemplo, uma central de comutação telefônica pode ser definida como uma função de conexão e pode ser descrita por um bloco funcional com muitas entradas e muitas saídas, onde cada entrada é associada a no máximo uma única saída (telefone do assinante). A matriz de conexão representa a associação dos pares de assinantes por meio de uma conexão bidirecional através da rede.

Para facilitar a definição de limites administrativos, de operação e também de gerenciamento, a rede de transporte é particionada em camadas [8]. Uma camada é uma entidade

lógica que conecta vários pontos de acesso do mesmo tipo, conforme mostra a Figura 18/2. A comunicação estabelecida entre os pontos de acesso é denominada "trail" ou fluxo validado de informação (fvi). Essa denominação se deve ao fato de haver em geral uma medida de qualidade da informação transferida. O fvi contém informações do usuário e também bytes reservados para funções de gerenciamento, tais como monitoração de desempenho e de qualidade.

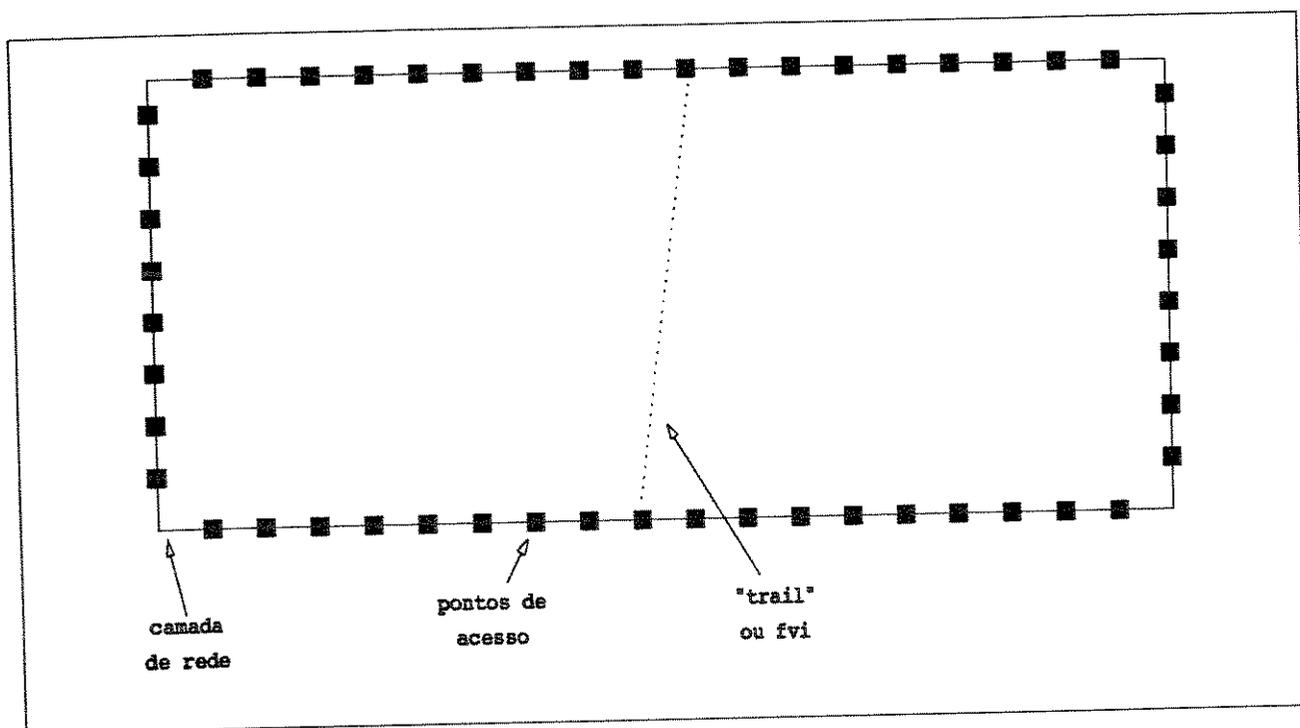


Figura 18/2 - Estrutura de uma camada de Rede

A principal característica da rede de transporte é a capacidade de estabelecer comunicação entre quaisquer pontos de acesso da rede em diferentes locais – é a conectividade da rede.

A partição da rede de transporte em camadas possibilita visualizar uma relação servidor/cliente entre as camadas, conforme mostra a Figura 19/2. Essa associação possibilita uma descrição formal do modo de interação entre as camadas, mantendo ao mesmo tempo uma certa independência entre as mesmas.

A Figura 20/2 mostra a relação servidor/cliente na convenção de diagramas utilizados na arquitetura de rede [8]. A passagem de informações de uma camada para outra requer uma função de adaptação. O ponto de saída da função de adaptação e de entrada em uma terminação fvi é denominado Ponto de Acesso (Access Point (AP)). Os pontos de saída dos fvi e de entrada na rede de conexão são denominados Pontos de Terminação de Conexão (Termination Connection Point (TCP)).

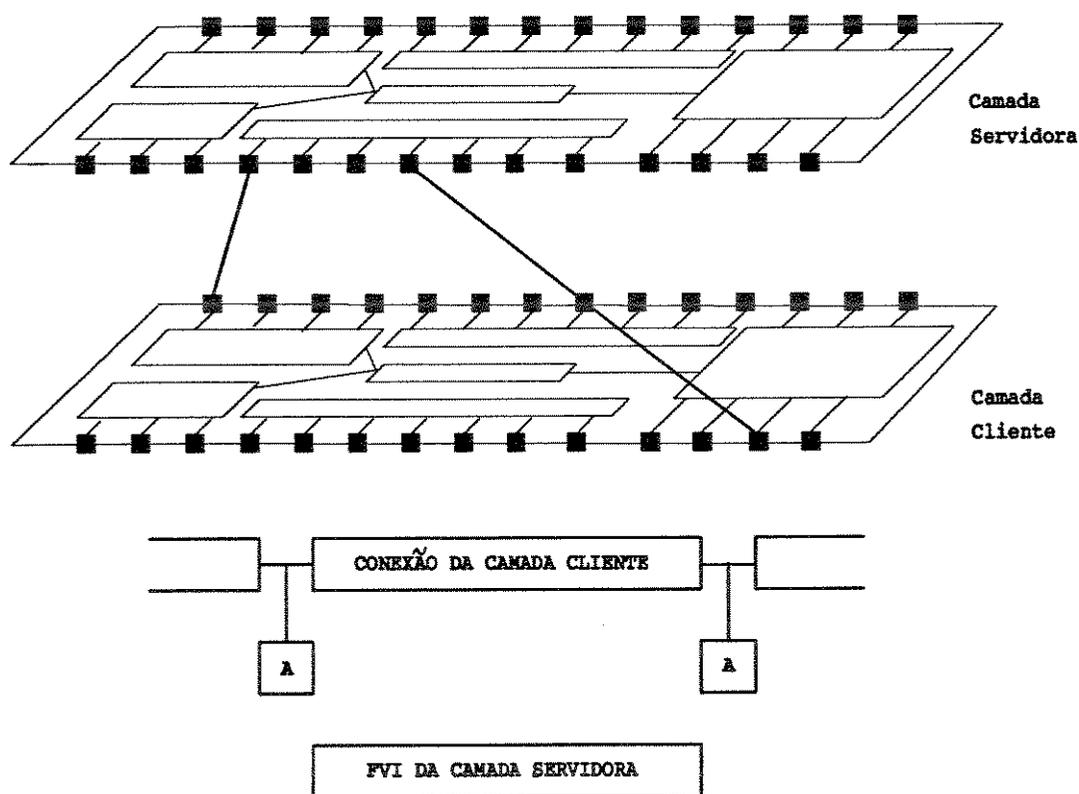


Figura 19/2 - Associação Servidor/Cliente entre camadas

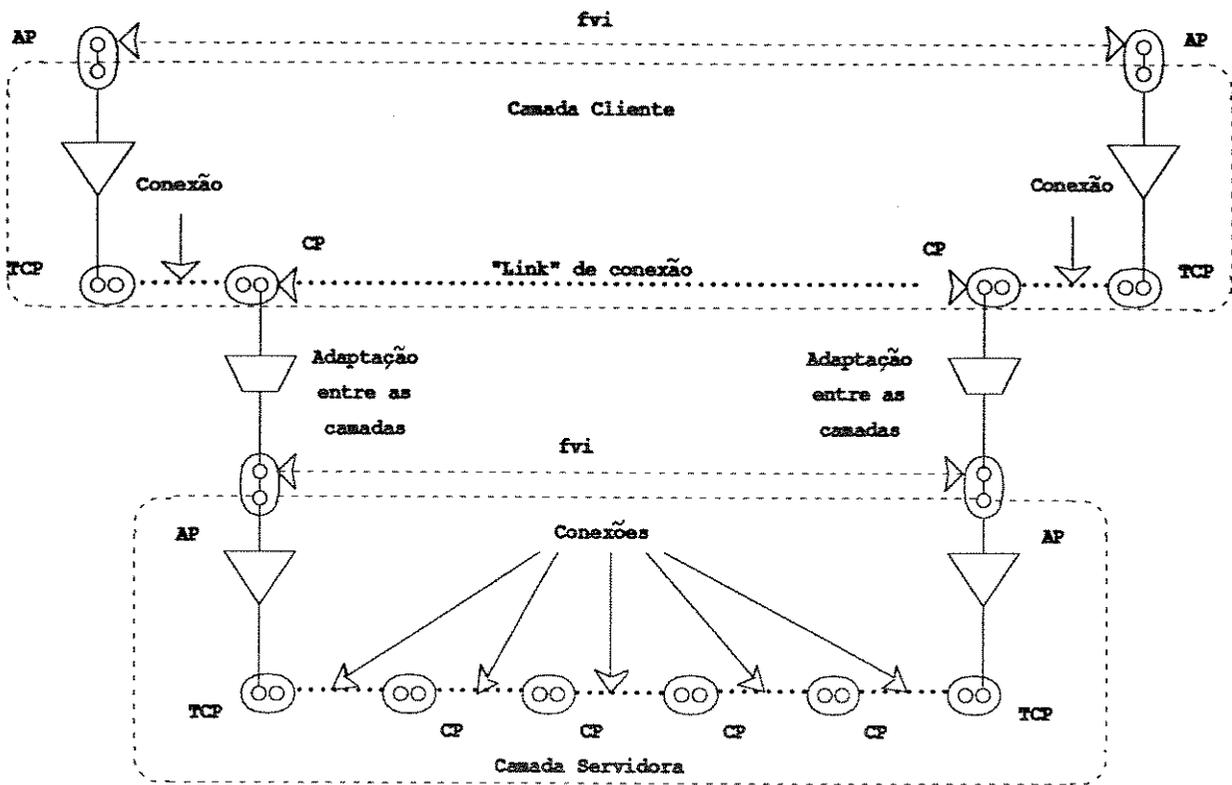


Figura 20/2 - Associação Servidor / Cliente na forma de diagramas.

Existem três tipos de camadas definidos pelo CCITT [8]:

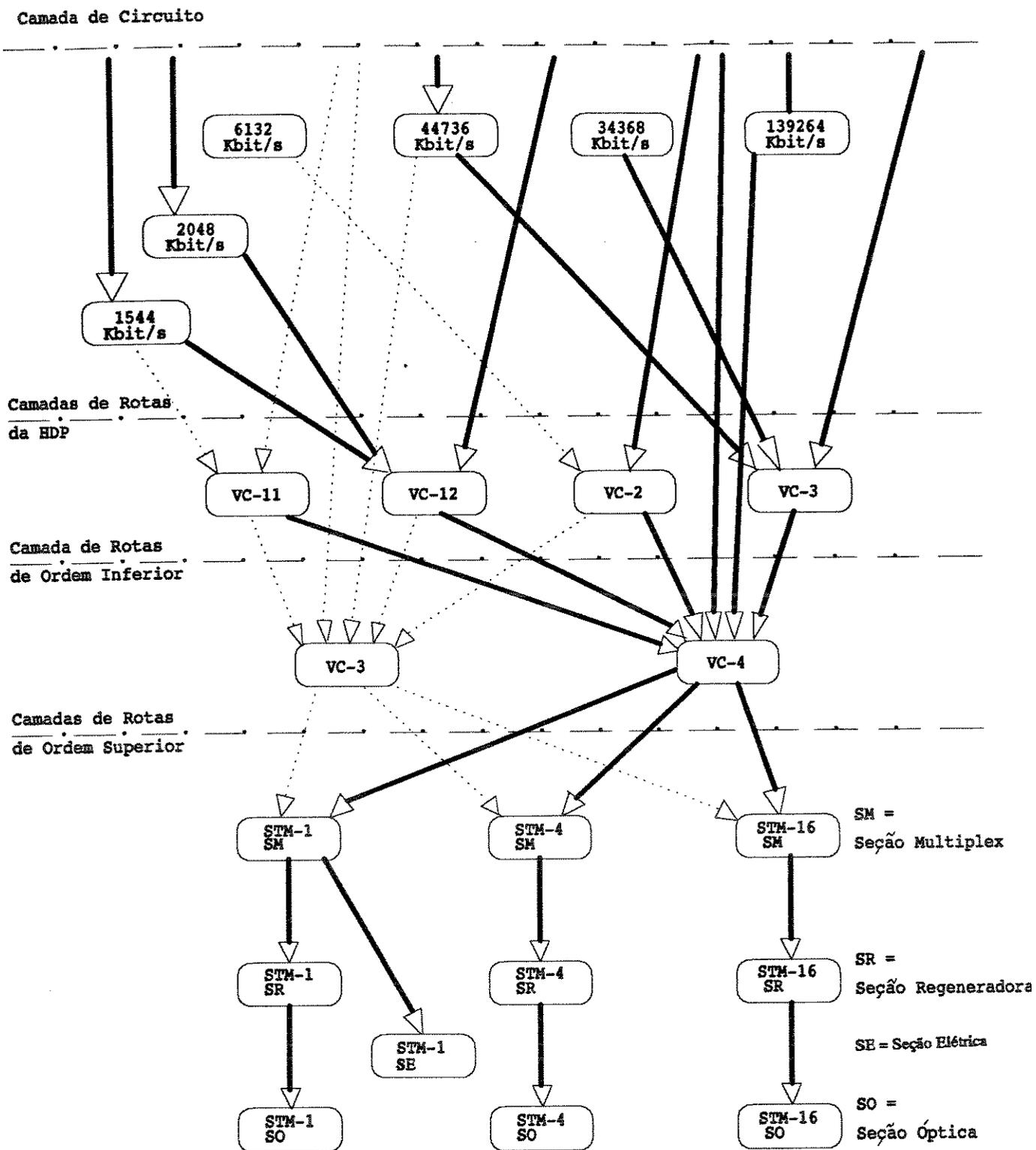
(a) **Camada de Circuito (Circuit Layer):** são as camadas que fornecem serviços de telecomunicações para o usuário final. As redes públicas de comutação telefônica são exemplos de camadas do tipo circuito. As terminações de fvi na camada de circuito estão localizadas no equipamento do usuário.

(b) **Camada de Rotas (Path Layer):** são camadas que fornecem serviços de transporte para a camadas de circuito. Por exemplo: uma camada contendo VC-4 é um exemplo de camada de rotas. As terminações de fvi da camada de rotas estão localizadas na camada de circuito, ou em outros pontos de acesso da própria camada. A camada de rotas pode ser de ordem inferior (Lower Order Path Layer) ou de ordem superior (Higher Order Path Layer), dependendo se a informação transportada pela camada são VCs de ordem inferior ou de ordem superior.

(c) **Camada do Meio de Transmissão (Transmission Media Layer):** são camadas que fornecem serviços de transporte para a camada de rotas ou, menos freqüentemente, diretamente para a camadas de circuito. O STM-4 é um exemplo de camada do meio de transmissão. Essa camada é dividida em duas sub-camadas: a camada de seção e a camada do meio físico. A camada de seção determina o formato da informação e a camada do meio físico determina as características do meio físico.

A camada de seção por sua vez é subdividida em camada da seção multiplex e camada da seção regeneradora.

As Figuras 21/2 e 22/2 ilustram a estrutura em camadas da HDS.



CAMADA DO MEIO DE TRANSMISSÃO

Figura 21/2 - Estrutura em Camadas da HDS

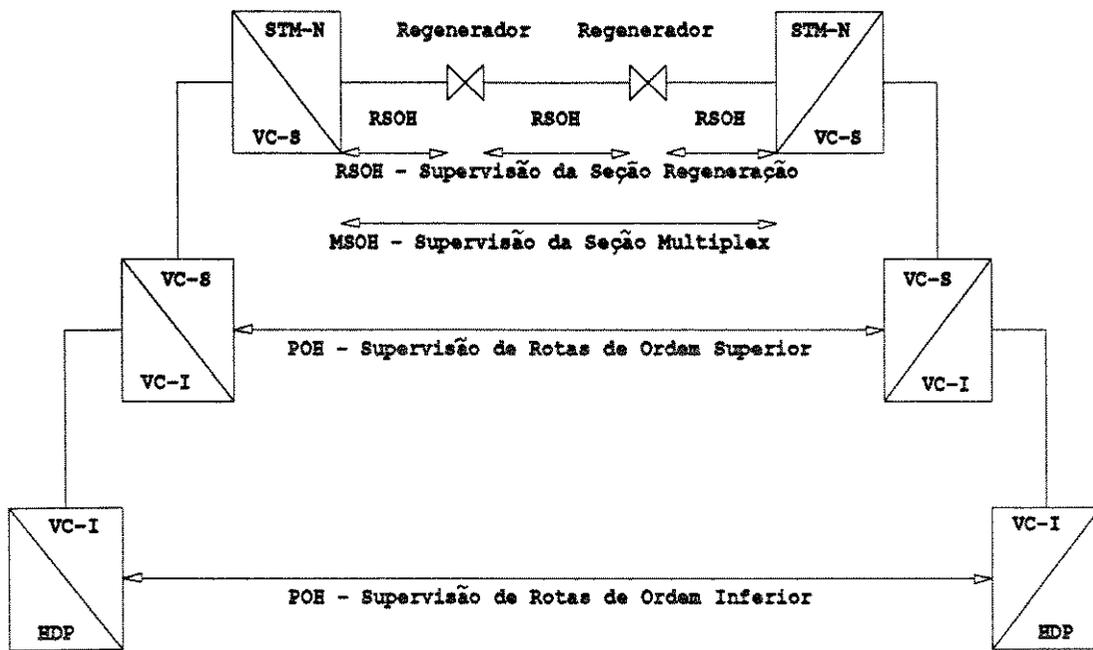


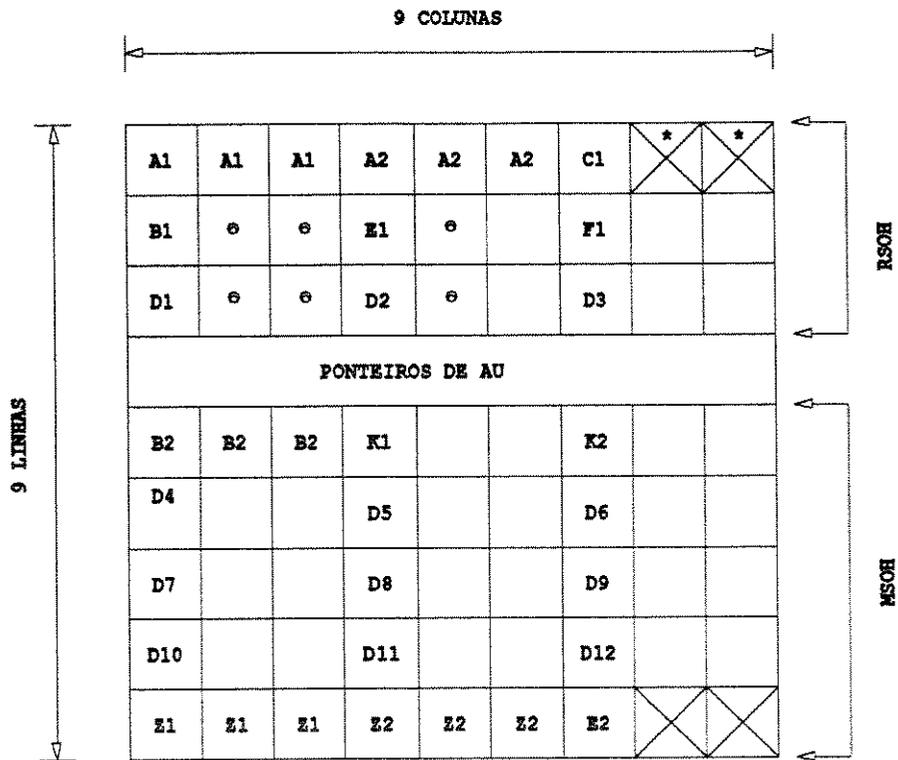
Figura 22/2 - Estrutura em Camadas da HDS

2.5 Carga de Supervisão da Camada do Meio de Transmissão

Os sinais STM-1, STM-4 e STM-16 pertencem à camada do meio de transmissão e são utilizados para transportar VCs da camada de rotas. Esses módulos de transporte possuem uma área reservada para bytes de supervisão da camada de seção denominada Carga de Supervisão de Seção (Section Overhead – SOH). A Carga de Supervisão de Seção consiste da Carga de Supervisão da Seção Regeneradora (RSOH) e da Carga de Supervisão da Seção Multiplex (MSOH). A SOH é dividido em MSOH e RSOH as quais supervisionam as camadas da seção multiplex e da seção regeneradora respectivamente.

Para o quadro STM-1, a RSOH está localizada nas linhas 1 a 3 e colunas 1 a 9 e a MSOH nas linhas 5 a 9 e colunas 1 a 9. Os bytes de supervisão estão mostrados na Figura 23/2.

Para o quadro STM-N, alguns bytes da SOH são replicados em cada STM, enquanto outros aparecem apenas em um deles denominado “líder”. Uma representação vetorial de três coordenadas $S(a,b,c)$ é utilizada para identificar os bytes de SOH dentro do quadro STM-N. Nessa representação, a (1 a 3, 5 a 9) representa o número da linha, b (1 a 9) representa o número da coluna e c (1 a N) representa a profundidade do entrelaçamento dentro do conjunto de colunas. Por exemplo, o byte K1 do STM-1 está localizado em $S(5,4,1)$. Nas Figuras 24/2 e 25/2 estão mostrados os bytes de supervisão para o STM-4 e STM-16 respectivamente, utilizando a representação descrita acima.



⊙ = bytes reservados para uso nacional

* = bytes nao embaralhados

⊗ = bytes dependentes do meio

Figura 23/2 - SOE do STM-1

36 COLUNAS

9 LINHAS

A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	A1	C1															
B1																						F1														
D1																							D3													
Ponteiros de AU																																				
B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2
D4																																				
D7																																				
D10																																				
Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	Z1	

 = bytes reservados para uso nacional
 * = bytes nao embaralhados

Figura 24/2 - SOH do STM-4

2.5.1 Carga de Supervisão da Seção de Regeneração (RSOH)

A1 e A2 – Esses bytes são reservados para a transmissão da informação de início de quadro, denominada **Palavra de Alinhamento de Quadro (PAQ)**. Através de um algoritmo de identificação e confirmação da PAQ, o receptor pode identificar o início do quadro STM-N. Os bytes A1 e A2 contém 11110110 e 00101000 respectivamente.

C1 – O byte C1 é utilizado para identificar cada um dos STMs entrelaçados em um STM-N. C1 contém o valor binário equivalente à posição do entrelaçamento. Então, C1 em um STM-1 tem o valor 0000 0001 e 00010000 em um STM-16. Esse byte pode ser usado para auxiliar a recuperação de alinhamento de quadro.

Os dois bytes marcados com “X” imediatamente após o Byte C1 são reservados para uso nacional em cada um dos STMs entrelaçados.

B1 – Este byte é utilizado para monitoração de desempenho da seção de regeneração. A monitoração é feita utilizando o código BIP-8 (“Bit Interleaved Parity –8”). Nesse código, as marcas geradas na posição n em cada Byte do quadro são contadas (utilizando-se operação módulo-2). O resultado, 1 para um número ímpar e 0 para um número par, é colocado na posição n do Byte B1 do próximo quadro. Assim, n cálculos de paridade independentes são feitos nas posições adjacentes. A paridade é recalculada no receptor e caso haja discrepância entre o valor calculado e o recebido um erro de bloco é contado.

Para o STM-4 e o STM-16, apenas um dos STMs entrelaçados transporta um byte B1 válido.

E1 e F1 – (Engineering Order Wire (EOW) e User Channel)

– Esses dois bytes podem ser utilizados como canais de voz para comunicação entre pessoal de manutenção nas terminações da seção de regeneração.

D1, D2, D3 – (Data Communication Channel – DCC) – Canal de comunicação de dados com capacidade de 192 kbit/s para troca de mensagens de gerenciamento e de supervisão entre regeneradores.

2.5.2 Adaptação da Camada de Regeneração para a Camada de Meio Físico

As funções de geração e regeneração da PAQ (Palavra de Alinhamento de Quadro) são funções de adaptação da camada de regeneração para a camada de meio físico. Além dessa função, o processo de embaralhamento/desembaralhamento e a formatação do pulso para o meio óptico ou para o meio rádio também são funções de adaptação. O processo de embaralhamento é utilizado para equilibrar as probabilidades de ocorrência de marcas e zeros, ocasionando um balanceamento DC. O embaralhamento é feito sobre todo o quadro STM-N, exceto na primeira linha da carga de supervisão que contém a PAQ. Essa informação é utilizada pelo receptor para desembaralhar os dados.

2.5.3 Carga de Supervisão da Seção de Multiplexação

B2 – Esses três bytes são utilizados para monitoração de desempenho da seção de multiplexação. Os códigos utilizados são o BIP-24 para o STM-1, BIP-96 para o STM-4 e o BIP-384 para o STM-16. O mecanismo de detecção de erros é idêntico ao do BIP-8, descrito anteriormente. A paridade é calculada sobre todos os bits do quadro STM-N anterior, exceto nas três primeiras linhas da carga de supervisão que pertencem ao RSOH.

K1 e K2 – Esses bytes são reservados para função de comutação automática da seção multiplex para uma seção de proteção em caso de falha.

D4 a D12 – Canal de Comunicação de Dados de 576 kbit/s para troca de mensagens de supervisão e gerenciamento dos multiplexadores.

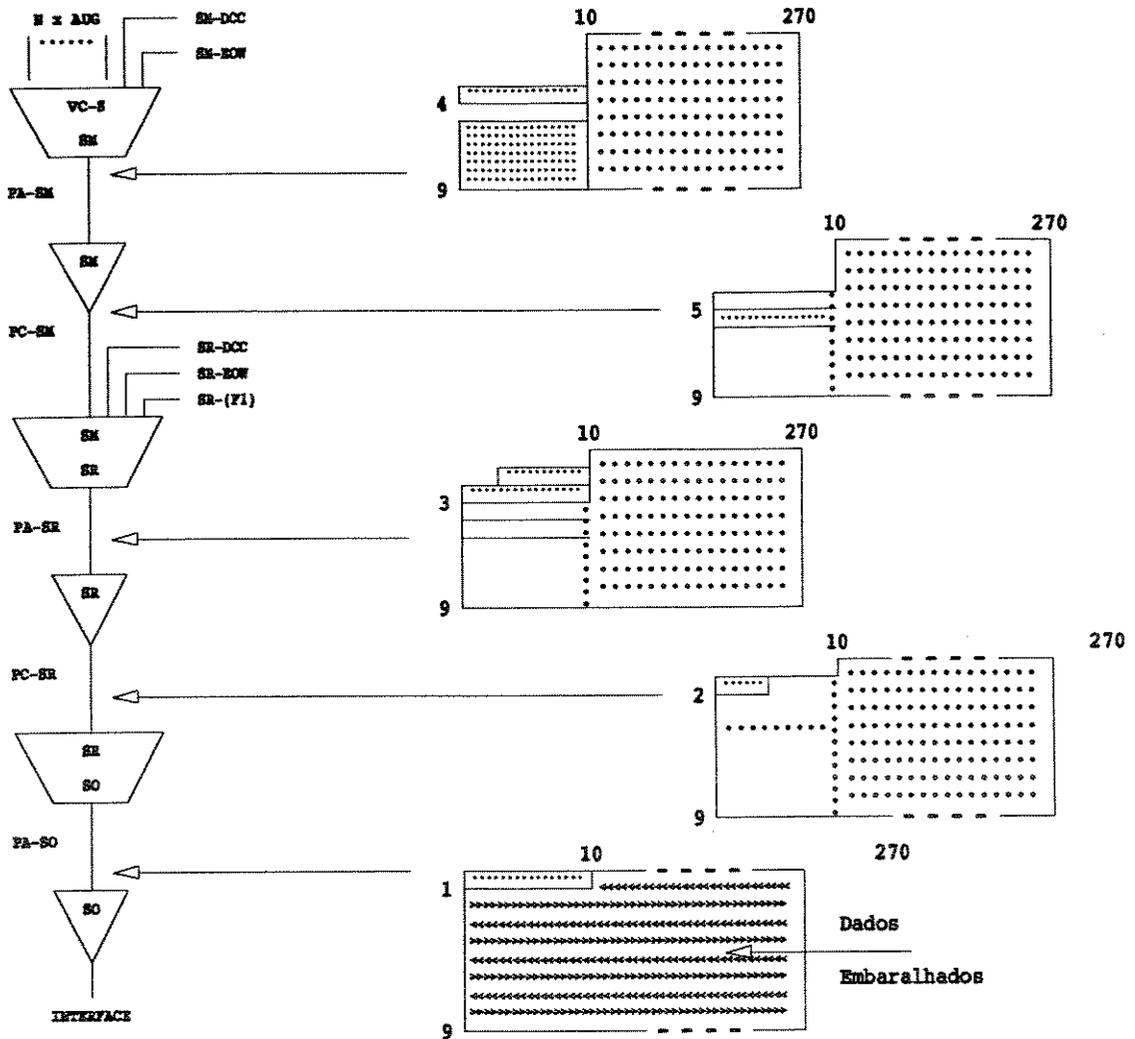
E2 – Canal de 64 kbit/s para comunicação de voz nas terminações da seção multiplex.

Z1 e Z2 – Bytes reservados para funções ainda não definidas.

Nota: Os bytes não assinalados estão reservados para uma futura padronização internacional.

O processo de geração da Carga de Supervisão, representado na forma de diagramas, está mostrado na Figura 26/2.

A1	A1	A1	A2	A2	A2	C1	x	x
B1			E1			F1	x	x
D1			D2			D3		
B2	B2	B2	K1			K2		
D4			D5			D6		
D7			D8			D9		
D10			D11			D12		
S1	S1	S1	S2	S2	S2	S2		



PA = Ponto de Acesso
 PC = Ponto de Conexão
 x = bytes reservados para uso nacional

Figura 26/2 - Formação do SOE

2.6 Carga de Supervisão da Camada de Rotas

2.6.1 Carga de Supervisão de Rotas de Ordem Superior

Os VCs de ordem superior (VC-3 e VC-4) são estruturas utilizadas para transportar informação nas rotas de ordem superior. A função de adaptação entre a camada de seção e a camada de rotas de ordem superior é realizada pelo ponteiro de AU. Esse ponteiro possibilita a combinação de vários VCs com frequências diferentes em uma única carga útil denominada AU.

A carga de supervisão para os containers VC-3/VC-4, denominada POH, é uma estrutura de 9 linhas e uma coluna. A disposição dos bytes do POH para o VC-3 e para o VC-4 está mostrada nas Figuras 27/2 e 28/2. As funções desses bytes são descritas a seguir.

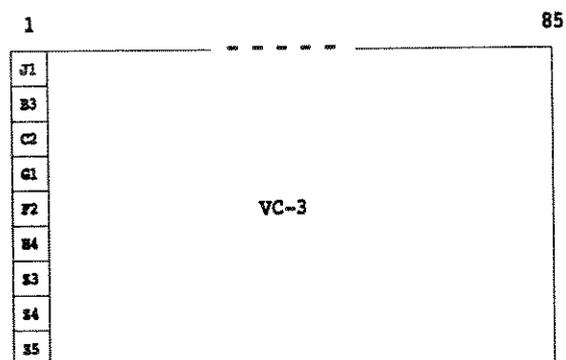


Figura 27/2 - POH do VC-3

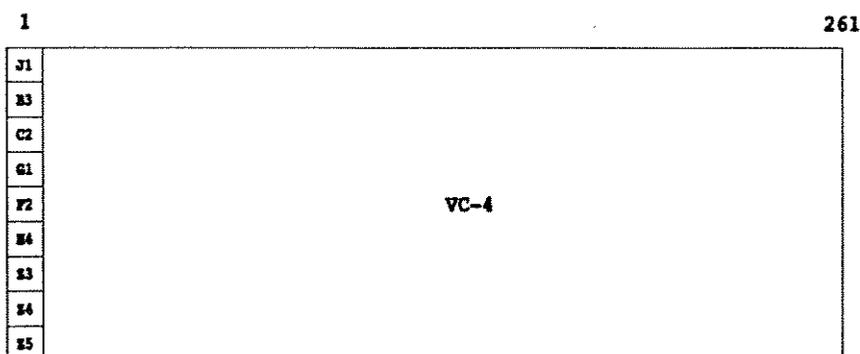


Figura 28/2 - POH do VC-4

J1 – Validação da Rota

Esse byte possibilita a validação e o rastreamento da rota. Uma seqüência de 64 bytes é transmitida em uma terminação de rota e analisada na outra terminação, possibilitando verificar a continuidade da conexão. O conteúdo da mensagem é programável pelo usuário. A localização do byte J1 é indicada pelo ponteiro de AU.

B3 – Monitoração de Taxa de Erro

Esse byte é utilizado para monitoração de desempenho da rota. O BIP-8 é calculado sobre todos os bits do VC-3 ou do VC-4 do quadro anterior e inserido no byte B3 nas terminações da rota.

C2 – Nota de Despacho (Signal Label)

Esse byte transporta informação sobre a composição da carga útil. Dos 256 valores binários possíveis, dois são definidos e os 254 restantes estão reservados para definições futuras. O valor 0000 0000 indica VC-3/VC-4 não equipado, ou seja, não há equipamento originador do VC-3/VC-4, não havendo necessidade de desmontar a carga útil. O valor 0000 0001 indica VC-3/VC-4 equipado com carga útil não específica. Este valor pode ser usado para toda carga útil que não necessite de diferenciação adicional ou que obtenha diferenciação por outra formas. Qualquer valor diferente de zero significa condição de equipado para VC-3/VC-4.

G1 – Status da Rota

O byte G1 transporta informação sobre a condição e o desempenho da rota. O formato desse byte é indicado na Figura 29/2. É utilizado para retornar ao terminal gerador do VC-3/VC-4 informação sobre as condições do sinal recebido pelo terminal remoto. Isto permite a monitoração de desempenho nos dois sentidos de transmissão.

Os bits de 1 a 4 transportam a contagem dos blocos de bits entrelaçados em que foram detectados erros pelo código BIP-8 (byte B3). Essa contagem é denominada FEBE – “Far End Block Error”. Existem nove valores válidos na faixa de 0 a 8 violações. Os sete valores possíveis restantes, representados por esses 4 bits, devem ser interpretados como zero erros. O bit 5 transporta uma indicação de alarme remoto e tem valor 1 quando um sinal FERF (“Far End Receiver Failure”) for gerado pelo receptor. Os critérios para ocorrência de FERF são: detecção de um Sinal Indicativo de Alarme (SIA), condições de falha na rota e descontinuidade no sinal recebido. Em condição normal o bit 5 deve ter nível 0. Os bits 6,7 e 8 não são utilizados.

FEBE				FERF	SEM USO		
1	2	3	4	5	6	7	8

FEBE : Far End Block Error

0 0 0 0	zero erros
0 0 0 1	1 erro
*	*
*	*
*	*
0 1 1 1	7 erros
1 0 0 0	8 erros
1 0 0 1	zero erros
*	
*	
*	
1 1 1 1	

Figura 29/2 - Byte Indicativo de Status da Rota (G1) de Ordem Superior

F2 – Canal de Usuário da Rota

Esse byte é utilizado pelas operadoras para comunicação entre usuários na via.

H4 – Indicador de Multiquadro

Esse byte contém um indicador de multiquadro associado à carga útil.

Z3 a Z5 – Bytes Reservados

Esses 3 bytes são reservados para uso futuro, ainda não definidos. O receptor deve ignorar os valores contidos nesses bytes.

2.6.2 Adaptação entre a Camada de Rotas de Ordem Inferior e a de Ordem Superior

O VC-3 pode ser utilizado para transportar VC-1s ou VC-2s e o VC-4 pode ser utilizado para transportar VC-1s, VC-2s ou VC-3s. O VC-3 portanto pode ser considerado de ordem superior numa rota passando por AU-3 ou de ordem inferior, quando transportado em uma TU-3. Cada VC de ordem inferior é gerado utilizando-se a frequência do relógio local e portanto possui uma fase de quadro que pode ser diferente da fase dos VCs de ordem superior. A diferença de fase e frequência entre os VCs de ordem inferior e os VCs de ordem superior é medida e codificada em um número binário inteiro. O valor codificado, denominado ponteiro de TU, é transferido junto com o VC de ordem inferior para a carga útil do VC de ordem superior.

2.6.3 Carga de Supervisão de Rotas de Ordem Inferior

A carga de supervisão dos Containers de Ordem Inferior VC-11, VC-12 e VC-2 é uma estrutura de 1 byte, localizada na primeira posição do VC. Esse byte é denominado V5 e sua constituição está mostrada na Figura 30/2.

BIP-2		FEBE	PATH TRACE	L1 SIGNAL	L2 LABEL	L3	FERR
1	2	3	4	5	6	7	8

Codificacao do Signal Label

L1	L2	L3	Significado
0	0	0	nao equipado
0	0	1	equipado - nao especificado
0	1	0	assincrono, "floating"
0	1	1	Bit sincrono, floating
1	0	0	Byte sincrono, floating
1	0	1	} equipado - reservado
1	1	0	
1	1	1	

Codificac~ao do FEBE : 0 = sem erro
1 = um ou mais erros

Figura 30/2 - Supervis~ao de Rota - VS

Bits 1 e 2 – Monitorac~ao de Desempenho

Esses bits s~ao utilizados para monitorac~ao de erros nas rotas de ordem inferior. O c~odigo utilizado ~e o BIP-2. Para o bit 1 ~e estabelecido um valor de maneira que tome a paridade de todos os bits ~mpares (1,3,5 e 7) de todos os bytes do VC-11/VC-12 do quadro anterior par. Da mesma forma, para o bit 2, ~e atribu~ido um valor qua fa~a a mesma operac~ao com os bits pares (2, 4, 6 e 8). O c~alculo do BIP-2 inclui os bytes do VC-11/VC-12 POH mas exclui os bytes V1,

V2, V3 (exceto quando utilizados para justificação negativa) e V4 (maiores detalhes ver capítulo III).

Bit 3 – Indicação de Erro de Bloco Detectado no Receptor Remoto (FEBE)

O valor deste bit é fixado em 1 quando 1 ou mais erros são detectados pelo BIP-2. O bit 3 é enviado de volta ao gerador do VC para verificação. Quando não há erro detectado pelo BIP-2 o valor do bit 3 é fixado em zero.

Bit 4 – Validação da Rota e Função de Rastreamento

Esse bit deve ser utilizado para verificação das condições da rota de ordem inferior. O protocolo a ser utilizado ainda está em estudo.

Bit 5, 6, e 7 – Nota de Despacho (Signal Label)

O valor 000 indica VC não equipado e o valor 001 indica VC equipado com carga útil não específica. Cinco valores são definidos para indicar mapeamentos específicos, conforme mostra a Figura 30/2. O uso desses três valores é opcional. Os outros três valores restantes são reservados para serem definidos para outros tipos de mapeamentos. Qualquer valor recebido diferente de 000, indica rota equipada.

Bit 8 – Indicação de Falha no Receptor Remoto (FERF)

Quando um sinal de SIA (Sinal Indicativo de Alarme) é recebido na terminação da rota ou ocorre falha no sinal, o receptor insere 1 no bit 8 e dessa forma envia um sinal de FERF (Far End Receiver Failure), indicativo de falha no receptor.

Capítulo 3

Processamento de Ponteiros

O processamento de ponteiros possibilita um alinhamento dinâmico e flexível dos Containers Virtuais dentro da estrutura de transporte.

Alinhamento dinâmico e flexível significa que o VC pode “flutuar” dentro da estrutura de transporte. Os ponteiros podem acomodar diferenças, não apenas de fase entre a carga útil e o quadro STM, mas também de taxas de quadro. Essas diferenças aparecem basicamente devido a:

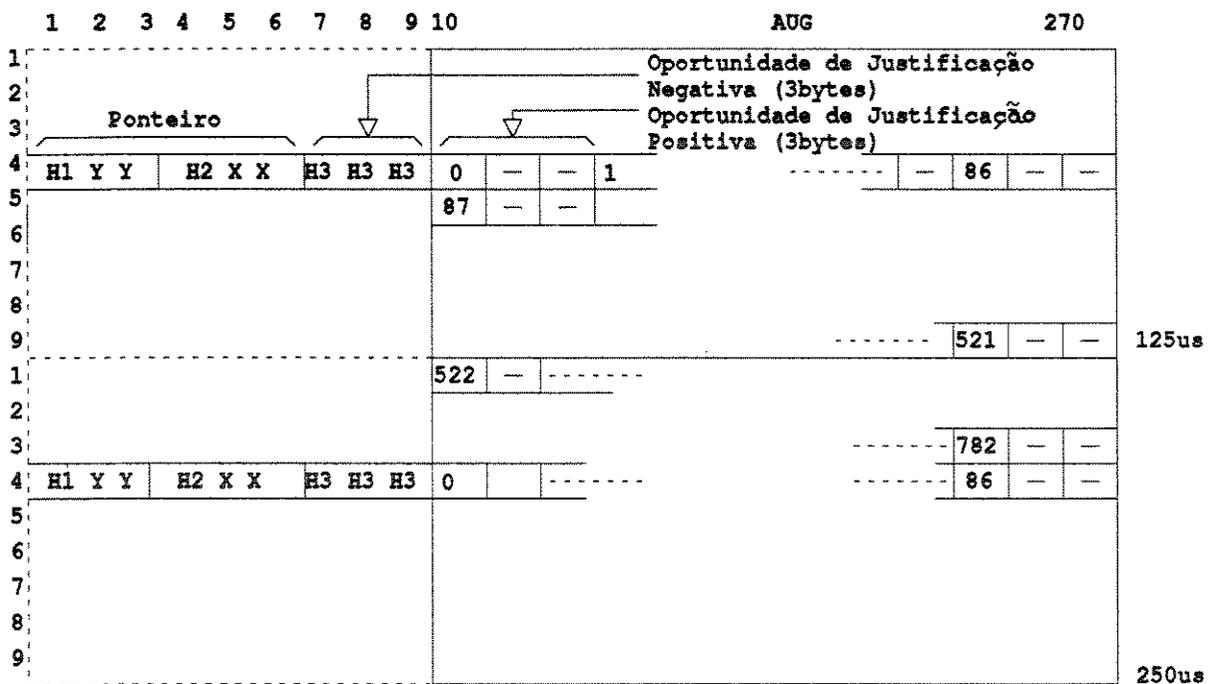
- variações de temperatura da fibra óptica;
- variações no comprimento de onda do laser;
- irregularidades nos relógios.

3.1 Ponteiro de AU-n

Quando um VC-S é colocado em um STM, a diferença em bytes entre a fase do quadro do VC e a fase do quadro gerada localmente na seção multiplex é medida e quantizada em um número inteiro de bytes. Este número é colocado na linha #4 do SOH. A combinação do VC-S e sua diferença de fase codificada é denominada Unidade Administrativa (AU) e o número de bytes codificado é denominado ponteiro de AU. As Unidades Administrativas AU-3 e AU-4 transportam os Containers Virtuais VC-3 e VC-4, respectivamente, juntamente com os ponteiros de AU. A carga útil de um STM, denominada Grupamento de Unidades Administrativa (AUG),

pode ser composta por três AU-3 ou uma AU-4. As duas estruturas do AUG e os formatos dos ponteiros estão mostrados nas Figuras 1/3 e 2/3.

O ponteiro de AU-4 está contido nos bytes H1YY, H2XX e H3H3H3, conforme mostra a Figura 1/3. Os três ponteiros individuais dos AU-3 estão contidos em três conjuntos de bytes H1, H2 e H3, conforme mostra a Figura 2/3. O primeiro conjunto se refere ao primeiro AU-3, o segundo conjunto ao segundo AU-3 e assim por diante. Para os AU-3s, cada ponteiro opera independentemente.



- 1 : BYTE TUDO "1"
- Y : 1001 SS11 (Bits S não especificados)

Figura 1/3 - Ponteiro de AU-4

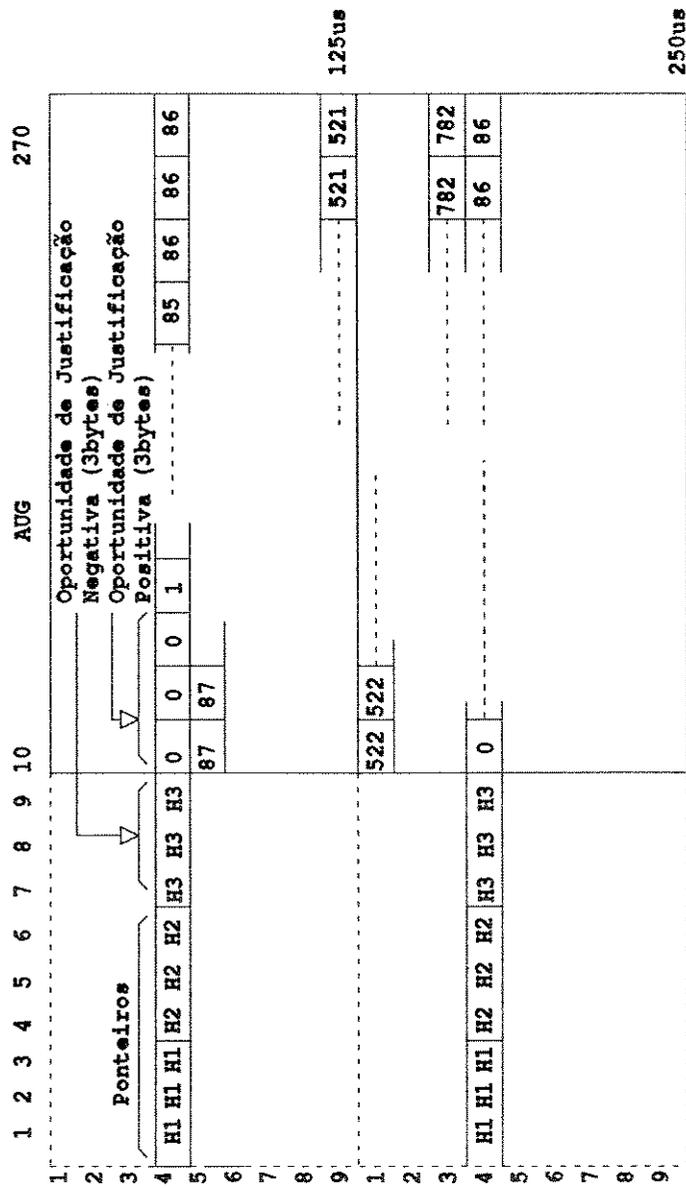


Figura 2/3 - Ponteiros de AU-3

Os bytes H1 e H2 do ponteiro indicam a posição do início do VC dentro do quadro STM. Esses dois bytes podem ser vistos como uma palavra de 16 bits, como mostra a Figura 3/3. O valor do ponteiro é transportado nos últimos 10 bits (bits 7-16) da palavra e pode variar de 0 a 782. Este valor representa o número de bytes entre o início do quadro do VC-S e o último byte H3 do AU. A cada variação de uma unidade no valor do ponteiro, o início do VC é deslocado de 3 bytes, no caso do AU-4, e de 1 byte, no caso do AU-3. Em todos os casos, os bytes do ponteiro de AU-n não estão contados no valor codificado. Por exemplo, no AU-4, o valor de ponteiro 0 indica que o VC-4 começa no byte imediatamente seguinte ao último byte H3. Por outro lado, o valor 87 indica que o VC-4 começa três bytes depois do byte K2.

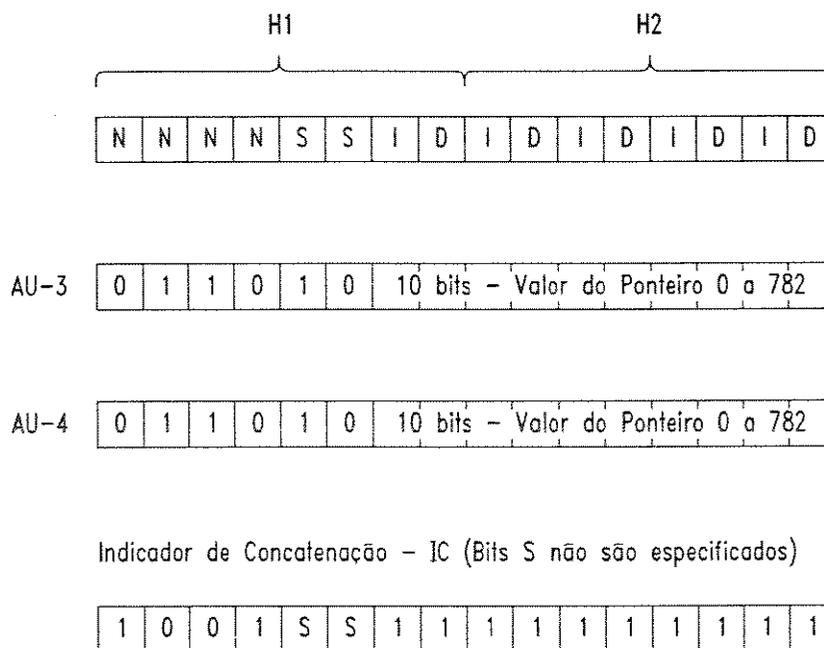


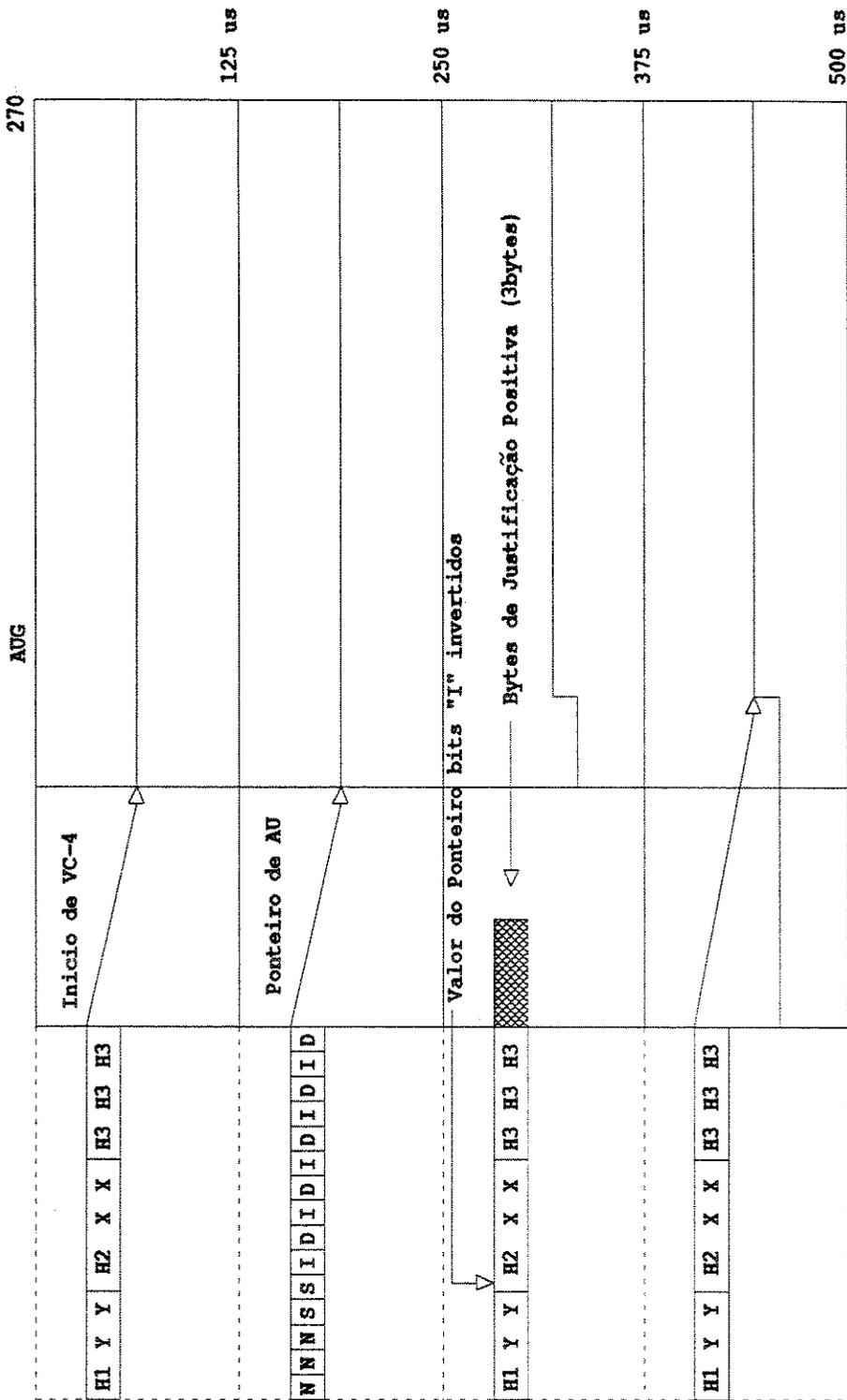
Figura 3/3 - Formato do Ponteiro de AU-n e TU-3

Se existe uma diferença de frequência entre a taxa de quadro do AUG e a do VC-n, o valor do ponteiro deve ser incrementado ou decrementado, acompanhado por uma justificação positiva ou negativa de byte. Nesse processo, o VC-n é armazenado em uma memória elástica utilizando-se o relógio recuperado dos próprios dados e retirado com o relógio da seção

multiplex. Essa memória fornece uma histerese para variações de fase de curto prazo. A diferença de fase entre o relógio de escrita e o relógio de leitura é medida e, antes que ocorra um “overflow” ou um “underflow” na memória, uma justificação positiva ou negativa de byte é efetuada.

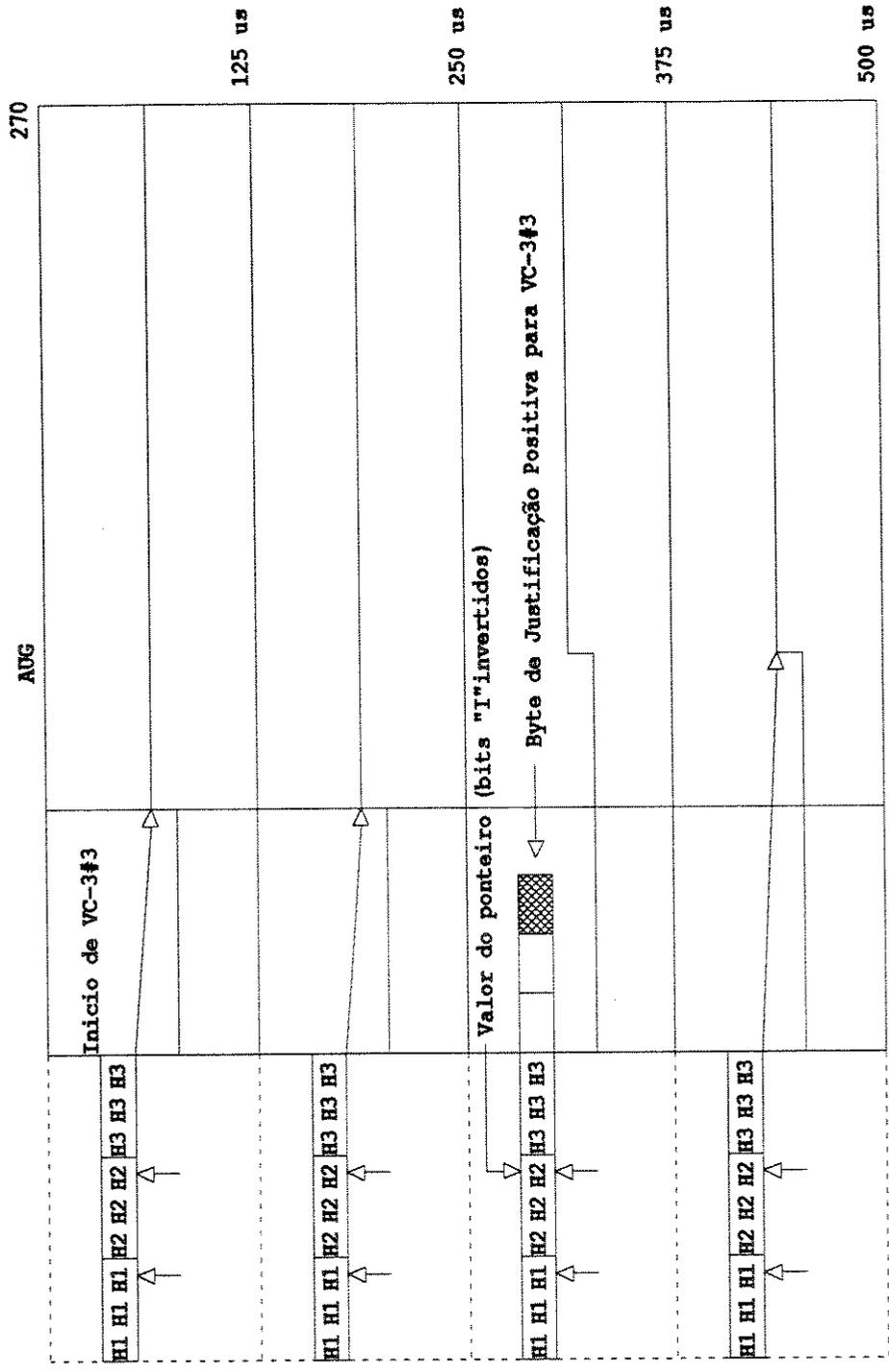
Quando a taxa de quadro do VC-n está mais lenta que a do AUG, o alinhamento do VC-n recua no tempo com relação ao AUG e a memória elástica começa esvaziar. Antes da ocorrência de um “underflow”, três bytes de enchimento são colocados imediatamente após o último byte H3, conforme mostra a Figura 4/3. Esse processo é denominado justificação positiva de byte. Nesse caso, o ponteiro deve ser incrementado de uma unidade. A operação é sinalizada invertendo-se os bits 7, 9, 11, 13 e 15 (bits I) da palavra do ponteiro. No receptor, a detecção é feita por votação majoritária nos 5 bits. Os quadros subsequentes deverão conter o novo valor de ponteiro.

Para o AU-3, um byte de justificação positiva aparece imediatamente após o byte H3 do(s) conjunto(s) que contém os bits I invertidos. Os quadros subsequentes conterão o novo valor de ponteiro. Esse processo é ilustrado na Figura 5/3.



X : byte tudo "1"
 Y : 1001SS11 (Bits S não especificados)

Figura 4/3 - Operação de ajuste de ponteiro de AU-4 - Justificação Positiva



△ : Indica ponteiro operando no VC-3 #3

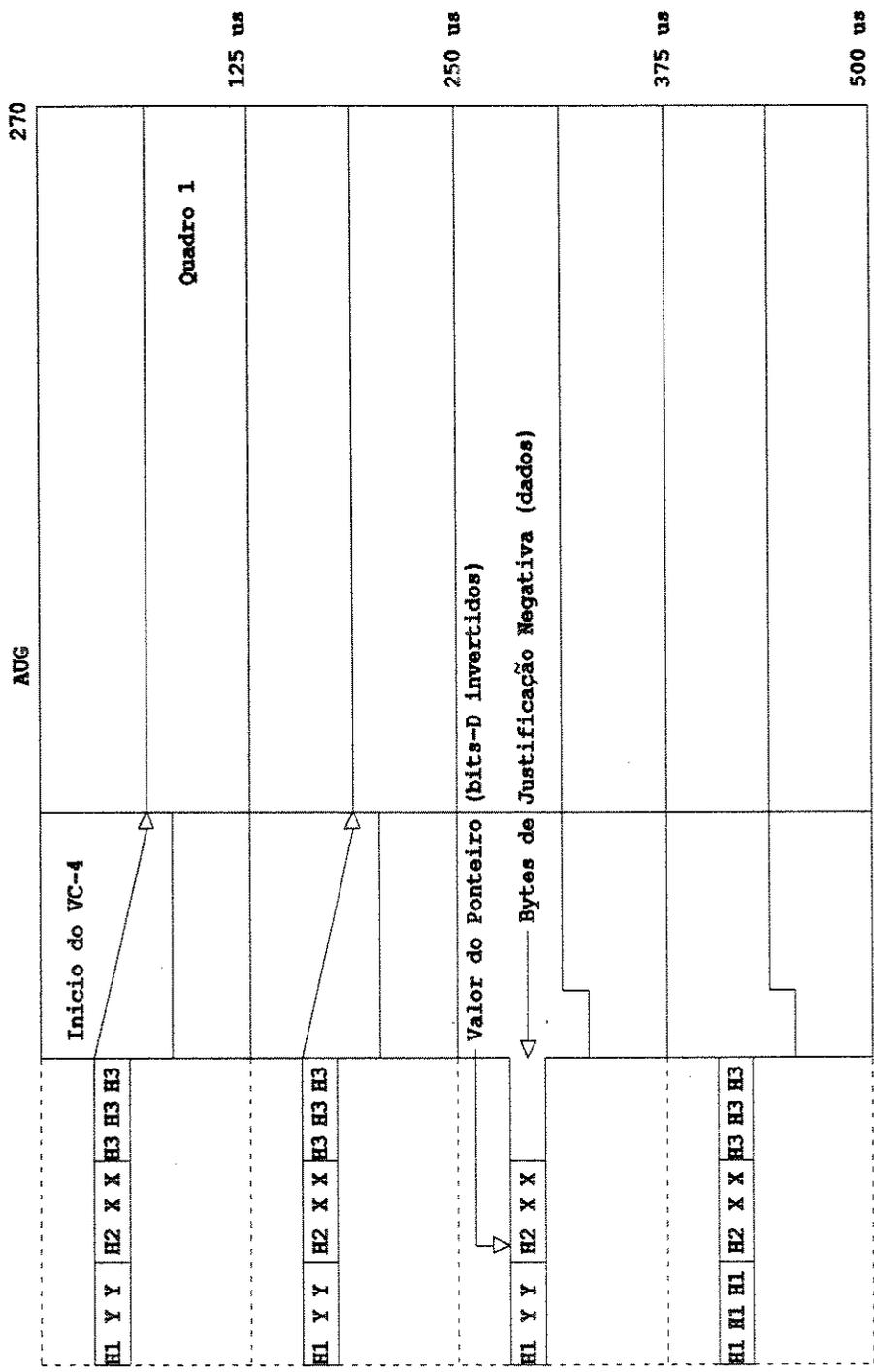
Figura 5/3 - Operação de ajuste de ponteiro de AU-3 - Justificação Positiva

Quando a taxa de quadro do VC-n está mais rápida que a do AUG, o alinhamento do VC-n avança no tempo com relação ao AUG e a memória elástica começa ficar cheia. Nesse caso, os bytes H3 são utilizados para transportar bytes de informação do VC-n, conforme mostra a Figura 6/3, e o valor do ponteiro deve ser decrementado. A operação é sinalizada invertendo-se os bits 8, 10, 12 e 16 (bits D) da palavra do ponteiro. No receptor, a detecção é feita por votação majoritária. Esse processo de enviar bytes de informação em bytes reservados para evitar um “overflow” na memória elástica é denominado justificação negativa de byte.

Para o AU-3, a justificação negativa é individual para cada conjunto de bytes H1, H2 e H3, conforme mostra a Figura 7/3.

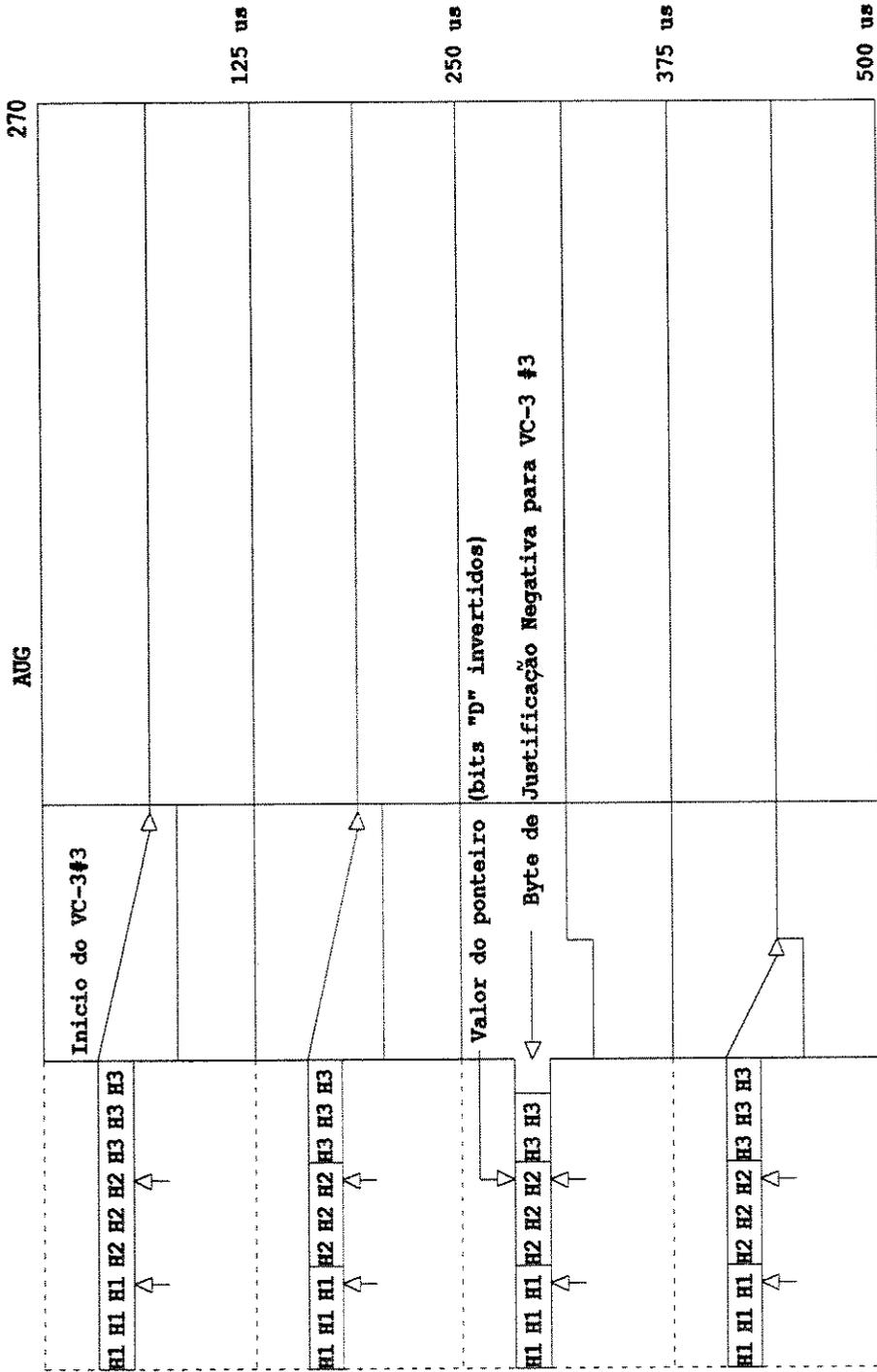
No processo de geração de ponteiro, operações subseqüentes de incremento ou decremento devem ser separadas de, no mínimo, três quadros. Nesse período, o valor do ponteiro deve permanecer constante. No receptor, qualquer alteração no valor do ponteiro é ignorada, a menos que o novo valor seja recebido três vezes consecutivamente.

Dois outros mecanismos são disponíveis para incremento ou decremento de ponteiros. O “new data flag” (NDF) ocupa os primeiros quatro bits da palavra do ponteiro (ver Figura 3/3). Esses bits, denominados N, possibilitam alterar arbitrariamente o valor do ponteiro caso haja uma alteração na carga útil. Quando ocorre uma reconfiguração, o valor normal do NDF 0110 é alterado para 1001 (os bits N são invertidos). O novo alinhamento é indicado pelo novo valor do ponteiro acompanhado pelo NDF e deve permanecer inalterado durante pelo menos três quadros consecutivos para poder ser aceito pelo receptor. O NDF deve aparecer somente no primeiro quadro que contém o novo valor do ponteiro.



X : byte tudo "1"
 Y : 1001SS11 (Bits S não são especificados)

Figura 6/3 - Operação de ajuste de ponteiro de AU-4-Justificação Negativa



↑ : Indica ponteiro operando no VC-3 #3

Figura 7/3 - Operação de ajuste de ponteiro de AU-3 - Justificação Negativa

A Concatenação é um mecanismo de encadeamento de entidades de transporte para transportar cargas que exijam capacidades maiores que a dos VC's. Nesse caso, os bytes H1 e H2 da primeira entidade de transporte contém o valor da diferença de fase entre a carga útil e o quadro STM e os bytes H1 e H2 dos quadros subseqüentes devem contér um Indicador de Concatenação (IC). Os bits 1-4 do IC contém "1001", os bit 5-6 não são especificados, e os bits 7-16 contém dez "1"s, conforme mostra a Figura 3/3.

3.1.1 Concatenação de AU-4

Um conjunto de X AU-4s adjacentes podem ter suas cargas úteis encadeadas para o transportar cargas maiores que a capacidade do C-4. O ponteiro do primeiro AU-4 da seqüência, denominado líder, deve conter o valor da diferença de fase entre a carga e o quadro STM e os ponteiros dos AU-4 subseqüentes devem ter seus valores ajustados para IC. Tal conjunto é denominado AU-4-Xc. Os ajustes de ponteiros indicados pelo líder devem ser replicados em todos AU-4 concatenados, mantendo a integridade da seqüência de bits de toda a "payload". Assim, o incremento de uma unidade no valor do ponteiro se refletirá em 3.X bytes na carga útil, onde X é o número de AU-4s do grupo concatenado. A capacidade de um AU-4-Xc é X vezes a capacidade de um C-4 (por exemplo, 599,040 Mbit/s para X=4 e 2.396,160 Mbit/s para X=16). As colunas 2 a X de um VC-4-Xc são de enchimento, conforme mostra a Figura 8/3. O POH é atribuído ao VC-4-Xc (o BIP-8 engloba 261.X colunas do VC-4-Xc).

O valor X=4 é de particular interesse, pois o AU-4-4c tem sido recomendado para o transporte de RDSI-FL.

3.1.2 Concatenação de AU-3

A carga útil do STS-1 do SONET (ver definição no início do Capítulo 2), associada a um ponteiro, é equivalente ao AU-3, conforme mostra a Figura 9/3. Essas estruturas podem ser concatenadas exatamente da mesma forma que o AU-4 citado acima. Esse era o único mecanismo utilizado pelo SONET para transportar cargas maiores que 50 Mbit/s. Entretanto, quando o CCITT padronizou o primeiro nível da HDS como três vezes a capacidade do STS-1, tornaram-se necessárias algumas modificações para manter compatibilidade. O SONET agora utiliza dois processos de entrelaçamento de bytes onde três AU-3s (equivalentes a três STS-1) são primeiro multiplexados byte a byte para formar um AUG. A seguir, N AUGs são multiplexados para formar um STM-N. Os campos X e Y do ponteiro de AU-4 contém o indicador de concatenação de AU-3. Dessa forma, o AU-4 é idêntico ao AU-3-3c. Isto garante a compatibilidade entre as redes baseadas em AU-3 e as redes baseadas em AU-4.

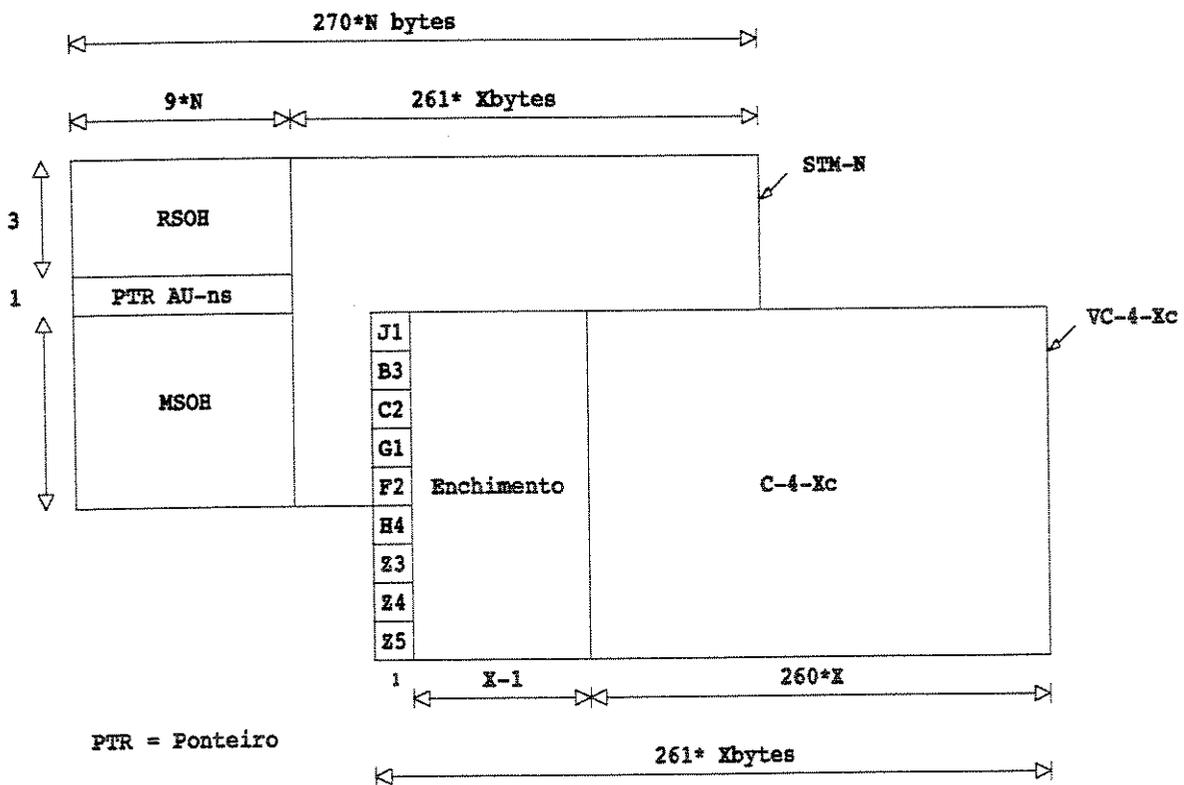


FIGURA 8/3 : Estrutura do VC4-Xc.

Y	X	H ₃									
Y	X	H ₃									
H ₁	H ₂	H ₃	0	1	2	3	4			85	86

H ₁	H ₂	H ₃	0	1	2	3	4			85	86
			87	88	89						173
			174								
			348						AUG com 1 AU-4		347
			696								782

H ₁	H ₂	H ₃	0	1	2	3	4			85	86
H ₁	H ₂	H ₃	0	1	2	3	4			85	86
H ₁	H ₂	H ₃	0	1	2	3	4			85	86

H ₁	H ₂	H ₃	0	1	2	3	4			85	86
			87	88	89						173
			174								
			348						AUG com 3 AU-3s		347
			696								782

AU-3#3
 AU-3#2
 AU-3#1

Figura 9/3 - AUG com 1 AU-4 ou 3 AU-3 da perspectiva do SONET

3.2 Ponteiro de TU-n

O ponteiro de TU-n fornece um mecanismo para acomodar diferenças de fase e frequência entre os VC-I e os VC-S no qual eles são transportados. Este mecanismo é idêntico, em princípio, ao descrito em 3.1 para ponteiro de AU-n. Essas variações de fase entre os VC's ocorrem principalmente devido a atrasos variáveis na transmissão dos sinais e irregularidades nos relógios. Também deve ser notado que certas diferenças de fase serão corrigidas pelo ponteiro de AU antes de serem apresentadas ao processador de ponteiros de TU.

As TU's definidas são: TU-3, TU-2, TU-11 e TU-12. A TU-3 é constituída pelo VC-3, por um ponteiro de TU-3 e por bytes de enchimento. A estrutura do TUG-3 é idêntica à do TU-3. A multiplexação de três TUG-3 possibilita a formação de um VC-4. O TUG-3 também pode ser constituído por 7xTUG-2, por um ponteiro de TU-3 e por bytes de enchimento, conforme mostrado no item 2.2.2 do Capítulo 2. Nesse caso, no entanto, o ponteiro de TU-3 contém a informação de Indicação de Ponteiro Nulo (Null Pointer Indication – NPI) pois a fase dos TUG-2 é a mesma do VC-4, não sendo necessários ajustes de ponteiros. O relógio utilizado na geração dos TUG-2 é o mesmo utilizado para gerar o VC-4.

A TU-3 possui posição definida dentro do Container Virtual-4 e sua frequência é derivada da frequência do VC-4. O ponteiro de TU-3 indica a posição do primeiro byte do VC-3 dentro do VC-4.

Se existir uma diferença de frequência entre a taxa do VC-4 e a taxa do VC-3, o valor do ponteiro deve ser incrementado ou decrementado, acompanhado de uma justificação positiva ou negativa de byte. Os três ponteiros de TU-3 estão contidos em três conjuntos de bytes H1, H2 e H3, conforme mostra a Figura 10/3, e operam individualmente. O valor do ponteiro está contido nos bytes H1 e H2 e podem variar de 0 a 764. Esse valor corresponde ao número de bytes entre o último byte do ponteiro de TU-3 (H3) e o primeiro byte do VC-3. Os bytes H1 e H2 podem ser considerados como uma palavra de 16 bits. Os últimos dez bits (bits 7 a 16) transportam o valor do ponteiro, como mostra a Figura 3/3.

Se a taxa de quadro do VC-3 estiver mais lenta que a do VC-4, um byte de justificação positiva aparecerá imediatamente após o byte H3 e o ponteiro será incrementado de uma unidade. Essa operação é indicada invertendo-se os bits 7, 9, 11, 13 e 15 (bits I) da palavra do ponteiro. Esses 5 bits possibilitam o receptor fazer votação majoritária.

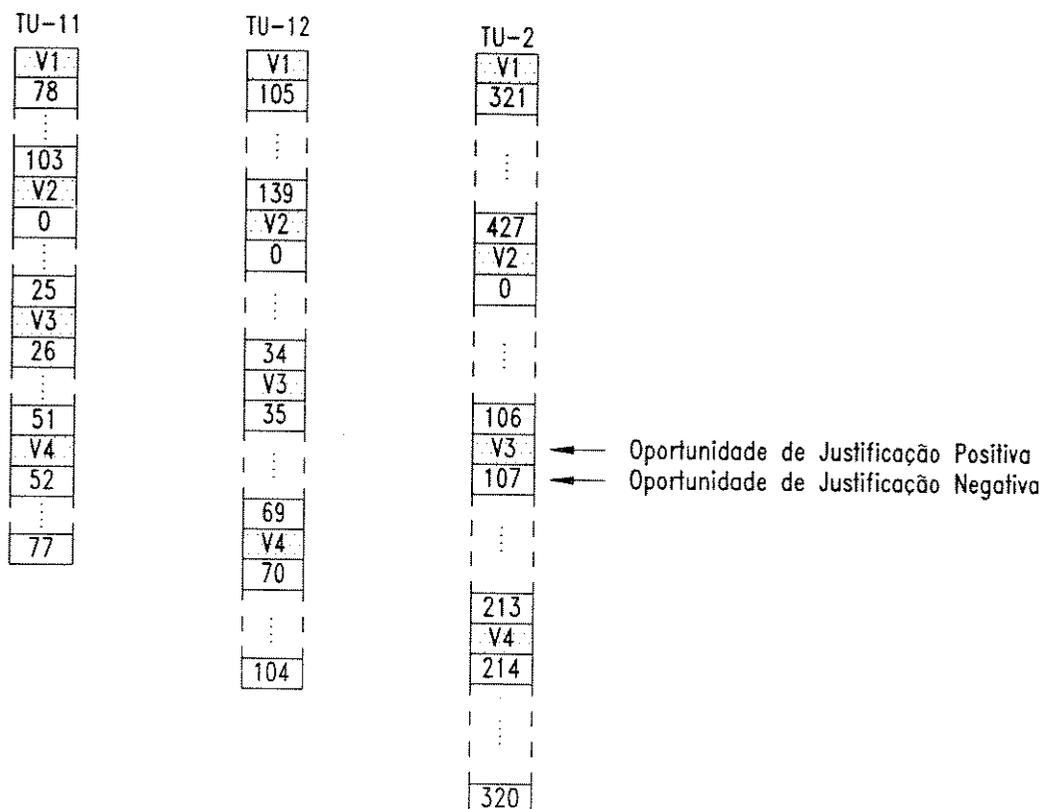
Por outro lado, se a taxa do VC-3 estiver mais rápida que a do VC-4, o byte H3 é utilizado para transportar informação do VC-3, caracterizando-se uma justificação negativa de byte. Essa operação é sinalizada invertendo-se os bits 8, 10, 12, 14 e 16 (bits D) da palavra do ponteiro.

Operações consecutivas nos ponteiros de TU-3 devem ser separadas por, no mínimo três quadros, nos quais o valor do ponteiro deve permanecer constante.

Outro mecanismo que pode ser utilizado no ponteiro de TU-3 é o “New Data Flag” – NDF. Através do NDF, o valor do ponteiro de TU-3 pode ser alterado arbitrariamente caso haja uma alteração na carga útil (VC-3). Quatro bits são alocados para o NDF, conforme mostra a Figura 3/3. A Operação Normal é indicada pelos código “0110” nos bits N e o NDF é indicado pela inversão dos bits N para “1001”. O novo alinhamento deve ser codificado e colocado nos bytes H1 e H2, acompanhado pelo NDF.

Quando TUG-2s são multiplexados para formar o VC-4, o ponteiro de TU-3 passa a conter a Indicação de Ponteiro Nulo. O NPI é indicado por “1001” nos bits 1-4, os bits 5-6 não são especificados, “11111” nos bits 7-11 e “00000” nos bits 12-16.

Os ponteiros de TU-1 e TU-2 fornecem um método de alinhamento dinâmico e flexível do VC-1/VC-2 dentro dos multiquadros TU-1 e TU-2. Os ponteiros de TU-1/TU-2 estão contidos nos bytes V1 e V2, ilustrados na Figura 11/3.



- V1 : Ponteiro1
- V2 : Ponteiro2
- V3 : Ponteiro3 (Ação)
- V4 : Reservado

Figura 11/3 - Ponteiro de TU-1/TU-2

A palavra do ponteiro está indicada na Figura 12/3. Os dois bits S (bits 5 e 6) indicam o tipo da Unidade Tributária e os bits 7-16 contêm o valor do ponteiro. Esse número binário indica a quantidade de bytes desde o byte V2 até o primeiro byte do VC-1/VC-2. A faixa de variação desse número é diferente para cada tamanho de TU, conforme mostra a Figura 12/3.

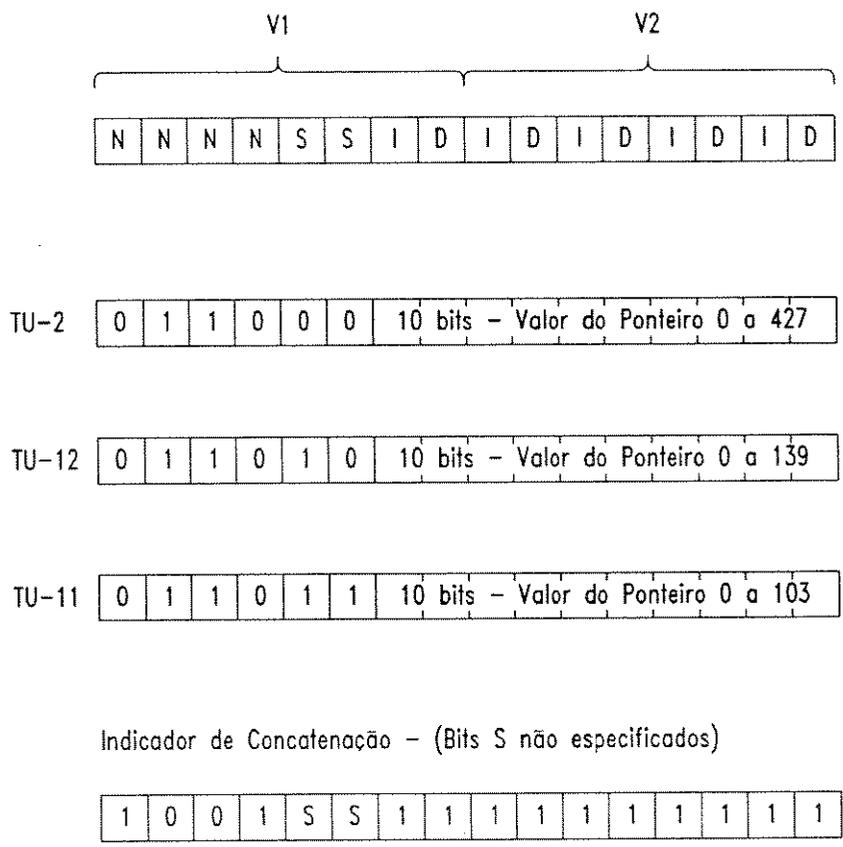


Figura 12/3 - Formato do Ponteiro de TU

O mecanismo de processamento de ponteiro de TU-1 e de TU-2 é o mesmo mecanismo já descrito para AU-n e TU-3 ; os bytes V1, V2 e V3 de TU-1/TU-2 têm as mesmas funções em relação ao ponteiro de TU-1/TU-2 que os bytes H1, H2 e H3 têm em relação ao ponteiro de AU ou de TU-3. O byte V4 está no momento reservado pelo CCITT para utilização futura. O byte de oportunidade de justificação positiva é o byte seguinte a V3 e V3 pode ser utilizado como oportunidade de justificação negativa. Esse processo é mostrado na Figura 13/3. A indicação de ocorrência de justificação é fornecida através da inversão dos bits-I e dos bits-D do ponteiro do multiquadro de TU.

Os bits 5 e 6 do ponteiro de TU-1/TU-2 indicam o tamanho da TU. Três tamanhos são definidos:

Tamanho	Nome	Faixa de Variação (em 500µs)
00	TU-2	0-427
10	TU-12	0-139
11	TU-11	0-103

O mecanismo de "New Data Flag" também pode ser utilizado no ponteiro de TU-1/TU-2 para possibilitar uma mudança arbitrária no valor do ponteiro e também no tamanho da Unidade Tributária quando houver mudança de carga útil. Se a alteração for no tamanho, então, todas as TU's do TUG-2 deverão indicar NDF simultaneamente. O valor "1001" indica novo alinhamento e o valor "0110" indica operação normal.

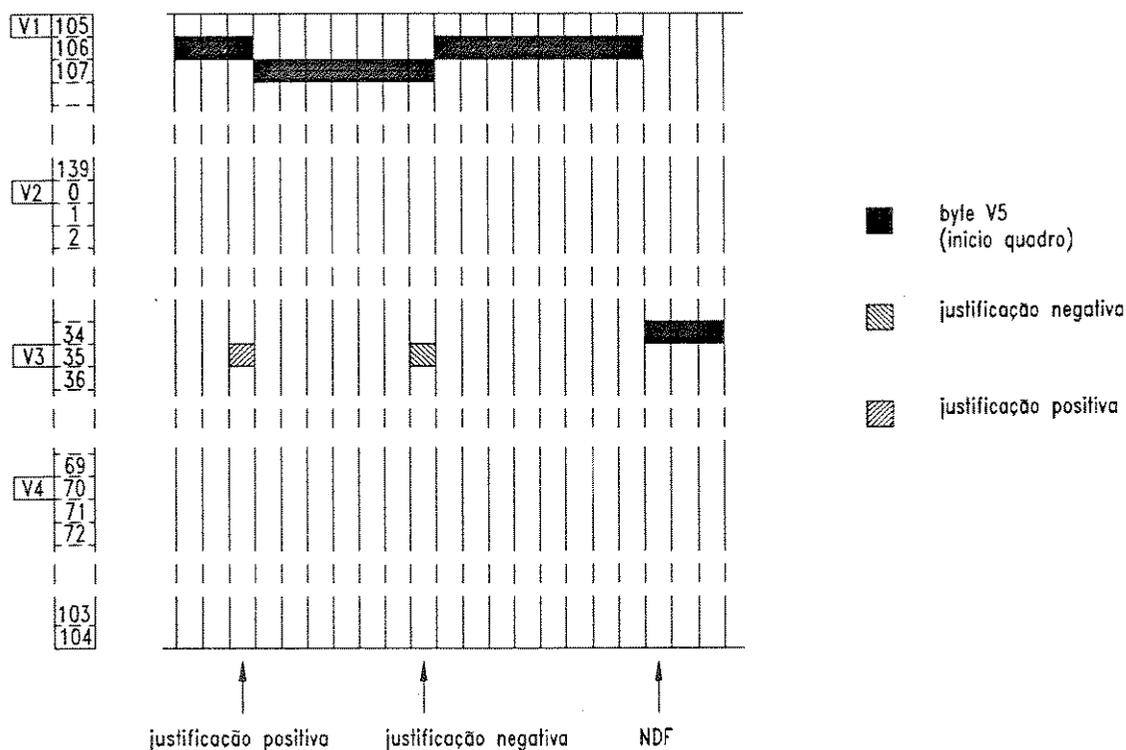


Figura 13/3 - Operação de ponteiro em TU-12

3.2.1 Concatenação de TU-2

Uma das aplicações previstas para a nova geração de sistemas de transmissão é o transporte de novos serviços cujas taxas de bit são diferentes das utilizadas na HDP [32]. A concatenação foi projetada para atender a este tipo de aplicação. Usando esse mecanismo, TU-2s podem ser associadas de maneira que a integridade da seqüência de bits seja mantida.

Dessa forma, TU-2s podem ser concatenadas para formar uma TU-2-mc (concatenação de $m \times$ TU-2s) quando a carga útil requer mais que um Container-2. Com isto, é possível gerar um multi-Container-2 o qual é transportado em um único VC-2-mc. As regras pelas quais as TU-2s podem ser concatenadas são separadas em três categorias:

- . concatenação de TU-2s contiguas (adjacentes) em VC-3 de alta ordem;
- . concatenação sequencial de TU-2s em VC-4;
- . concatenação virtual de TU-2s em VC-4.

3.2.2 Concatenação de TU-2s Adjacentes em VC-3

Esse mecanismo é o mesmo que o especificado para concatenação de AU. As TU-2s adjacentes no tempo dentro de um VC-3, podem ser concatenadas colocando-se um Indicador de Concatenação (IC) no campo do ponteiro (ver Figura 12/3) de todas as TU's concatenadas menos na primeira, denominada líder. O ponteiro da líder contém o valor da diferença de fase entre o VC-2 e o VC-3. Os ajustes indicados por esse ponteiro devem ser replicados em todos os VC's concatenados. Neste tipo de concatenação, os VC-2-mc contém um único POH que aparece no VC-2#1 do VC-2-mc.

Uma dificuldade que surge com este tipo de concatenação é a extensão desse mecanismo para TU-2s em VC-4. Os TU-2s adjacentes em VC-3 não serão mais adjacentes se forem re-multiplexados em VC-4 (ver Figuras 12/2 e 13/2). Dessa forma, se o mesmo

mecanismo de concatenação for utilizado tanto em VC-3 quanto em VC-4, a passagem de grupos concatenados entre redes baseadas em AU-3 e redes baseadas em AU-4 não é direta. As duas categorias descritas abaixo estão sendo desenvolvidas para o transporte de TU-2s em VC-4.

3.2.3 Concatenação Seqüencial de TU-2s em VC-4

Este tipo de mecanismo possibilita o transporte de TU-2-mcs e TU-3s no mesmo VC-4 e ainda está em estudo. O termo seqüencial se deve ao fato de as TU-2s associadas serem seqüenciais no mesmo TUG-3, ou seja, em intervalos de três bytes no VC-4.

3.2.4 Concatenação Virtual de TU-2s em VC-4

O termo virtual se deve ao fato de não se utilizar a Indicação de Concatenação nos bytes do ponteiro das TU-2s concatenadas. O grupo concatenado deve ser lançado na via com todos seus ponteiros fixados no mesmo valor. Então, sob a condição de que os TU's concatenados sejam mantidos no mesmo VC-4, o equipamento da recepção pode armazenar a carga útil até que o valor do ponteiro seja novamente igual, garantindo a integridade da carga útil. Diferenças de atraso dos VC-2 individuais concatenados devem ocorrer devido ao processamento de ponteiro nos equipamentos intermediários às terminações da via. A máxima diferença permitida ainda está em estudos. Com a concatenação virtual, a adjacência não é necessária mas a seqüência das TU's deve ser mantida.

Nesse tipo de concatenação, cada VC-2 transporta seu próprio POH. Devido a esse fato, a capacidade disponível do VC-2mc é menor que aquela obtida com a concatenação contígua onde somente o VC#1 do VC-mc transporta seu próprio POH. Na terminação da via, os BIP-2s de cada VC-2 devem ser agregados para juntos formarem um único BIP para monitoração de erro.

Os detalhes e o desenvolvimento do método de concatenação virtual de TU-2s em VC-4 ainda estão em estudos.

Capítulo 4

Mapeamento dos Tributários

Mapeamento é a denominação do processo de alocação de tributários em Containers Virtuais, para serem transportados pela HDS. Qualquer sinal, para ser transportado pela rede HDS, precisa primeiro ser mapeado em um dos seguintes Containers Síncronos: C-11, C-12, C-2, C-3 ou C-4.

Os mapeamentos definidos pelo CCITT [12] podem ser classificados em 4 categorias:

- Mapeamento de Sinais Plesiócronos;
- Mapeamento de Sinais Síncronos ou Pseudosíncronos;
- Mapeamento de Sinais Isócronos de Alta Velocidade;
- Mapeamento de Sinais Anisócronos.

Uma seqüência de dados com taxa de bit constante é denominada isócrona, e uma seqüência de dados com taxa de bit variável é denominada anisócrona (“não igual”).

No caso de duas seqüências de dados várias situações podem ocorrer. Se as duas seqüências são isócronas, têm a mesma taxa de bit média, e também existe uma relação de fase precisamente controlada entre elas, elas são denominadas síncronas (“sin” do grego significa “junto(as)”). Seqüências de dados que não são síncronas são denominadas assíncronas (ou “não juntas”). Se duas seqüências têm a mesma taxa de bit média, mas não existe uma relação de fase precisamente controlada entre elas, elas são denominadas mesócronas (“meso” do grego significa médio). Por outro lado, se essas seqüências têm as mesmas taxas nominais de bit, mas não exatamente a mesma, e também não existe nenhum controle relacionando-as, elas são

denominadas plesiócronicas. E, finalmente, se essas seqüências têm taxas de bit médias nominalmente diferentes, elas são denominadas heterócronas.

4.1 Mapeamento de Sinais Plesiócronicos

Os sinais plesiócronicos são os mais abundantes nas redes atuais. As redes públicas são constituídas basicamente de equipamentos da HDP.

Os sinais plesiócronicos são mapeados diretamente em Containers Virtuais da HDS, utilizando-se o processo de justificação de bit. São previstos Containers para as seguintes taxas de bit da HDP: 2,048 Mbit/s (VC-12), 1,544 Mbit/s (VC-11), 6,312 Mbit/s (VC-2), 34,368 Mbit/s e 44,736 Mbit/s (VC-3) e 139,264 Mbit/s (VC-4).

4.1.1 Mapeamento Assíncrono de 2,048 Mbit/s e 1,544 Mbit/s

O mapeamento de um tributário de 2,048Mbit/s em um VC-12 e de um tributário de 1,544 Mbit/s em um VC-11 estão mostrados nas Figuras 1/4 e 2/4 respectivamente.

O processo de mapeamento é completado a cada 500 μ s (4 quadros de 125 μ s). Esse multiquadro é composto basicamente por um byte de carga de supervisão (V5) e pela carga útil (C-12 ou C-11).

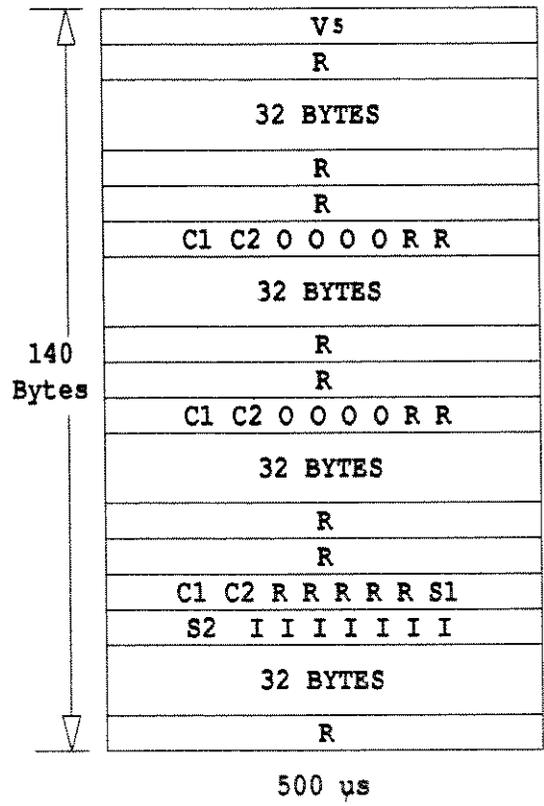
O C-12 por sua vez, é constituído de 1023 bits de informação (bits I), dois bits de oportunidade de justificação (S1 e S2), dois conjuntos de três bits de controle de justificação (C1C1C1 e C2C2C2), oito bits reservados para "overhead" (bits O) e bits de enchimento (R), num total de 1120 bits.

O C-11 é constituído de 771 bits de informação (bits I), dois bits de oportunidade de justificação (S1 e S2), dois conjuntos de três bits de controle de justificação (C1C1C1 e C2C2C2), oito bits reservados para "overhead" (bits O) e bits de enchimento (R), num total de 832 bits.

Em ambos os mapeamentos os bits C1 e C2 são utilizados para definir se haverá ou não justificação nos bits S1 e S2 respectivamente. Assim, a condição C1C1C1 = 000 indica que S1 é um bit de informação enquanto que C1C1C1 = 111, indica que S1 é um bit de justificação (ou enchimento), cujo conteúdo deverá ser ignorado pelo receptor. C2 controla S2 da mesma forma. Caso os três bits não sejam iguais, a decisão é tomada por votação majoritária. Em termos de justificação, o tipo escolhido foi a justificação positiva-zero-negativa de bit. O bit S1 é a oportunidade de justificação negativa e o bit S2 é a oportunidade de justificação positiva. Esses dois bits possibilitam a acomodação de ± 50 ppm de variação da taxa em relação à nominal (2,048 Mbit/s e 1,544 Mbit/s).

Quando os sinais plesiócronicos estão exatamente na taxa nominal, então S2 = informação e S1 = enchimento. Isto resulta em um número inteiro de bits de informação por quadro de 125 μ s (193 bits para o VC-11 e 256 bits para o VC-12). Essa foi uma das premissas para a escolha justificação positiva-zero-negativa. É interessante para efeito de “cross-connect” que haja um número inteiro de bits de informação por quadro da HDS.

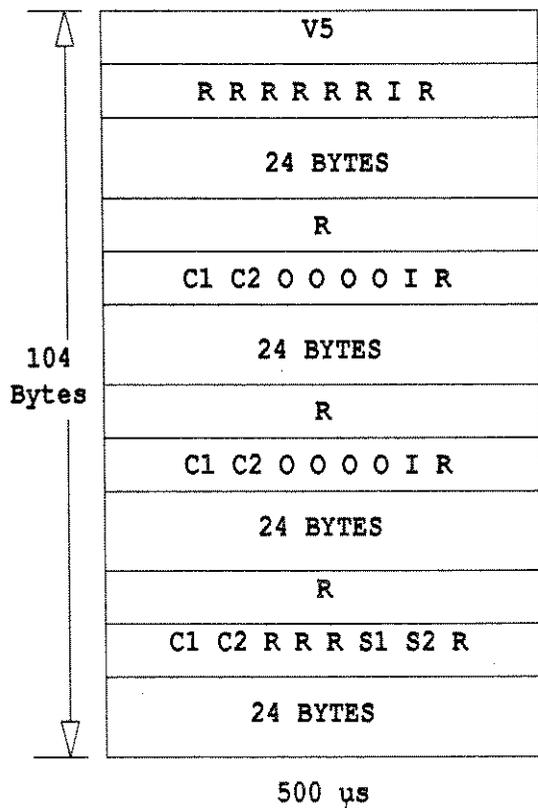
Assim, nos multiplexadores da HDS o processo de justificação teve de se adaptar ao formato do quadro estabelecido, ao contrário do que ocorreu com os multiplexadores da HDP onde o formato do quadro podia ser alterado em função do processo de justificação. O formato do quadro da HDS é adequado para localização de canais telefônicos. (Cada byte em um quadro é 64 kbit/s).



- I: Bit de informação
- O: "Overhead"
- C: Controle de justificação
- S: Oportunidade de justificação
- R: Enchimento

Figura 1/4

Mapeamento Assíncrono de um Tributário de 2.048 Kbit/s em um VC-12



I: Bit de informação
 O: "Overhead"
 C: Controle de justificação
 S: Oportunidade de justificação
 R: Enchimento

Figura 2/4

Mapeamento Assíncrono de 1,544 Mbit/s em um VC-11

4.1.2 Mapeamento Assíncrono de 6,312 Mbit/s

A transmissão do sinal de 6,312 Mbit/s se dá no Container Virtual VC-2, usando um mapeamento que é uma extensão daquele mostrado em VC-11, multiplicado por quatro. A Figura 3/4 mostra esse processo.

Nesse caso, a cada 125 μ s temos 107 bytes (856 bits), sendo 780 bits de informação.

4.1.3 Mapeamento Assíncrono de 34,368 Mbit/s

Um tributário de 34,368 Mbit/s pode ser mapeado em um VC-3 como mostra a Figura 4/4. Esse mapeamento utiliza justificação positiva-zero-negativa, da mesma forma que os Containers de Ordem Inferior citados anteriormente.

O VC-3 é composto por um byte de POH e 84x9 bytes de carga útil (C-3). O C-3 é subdividido em três sub-quadros de justificação nas linhas 1-3, 4-6, e 7-9, conforme mostra a Figura 4/4. Cada sub-quadro é composto por: 1431 bits de informação, dois conjuntos de 5 bits de controle de justificação (C1, C2), dois bits de oportunidade de justificação (S1, S2) e 573 bits de enchimento (R). O número total de bits por quadro é 6120, sendo 4293 bits de informação.

O bit S2 é utilizado para justificação positiva e o bit S1 para justificação negativa. Votação majoritária é utilizada em cada um dos conjuntos de 5 bits de controle de justificação (C1 e C2) para se definir se haverá ou não justificação nos bits S1 e S2 respectivamente. Os três bits S1 e os três bits S2 de cada quadro possibilitam a acomodação de ± 20 ppm de variação de taxa em relação à nominal (34,368 Mbit/s). Quando o tributário está na taxa nominal os bits S2 são preenchidos com informação e os bits S1 com enchimento.

V5	I I I I I I I R	(24 x 8) I	R
R	C1 C2 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I	C1 C2 0 0 0 0 I R	(24 x 8) I	R
R	C1 C2 I I I S1 S2 R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	C1 C2 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I	C1 C2 0 0 0 0 I R	(24 x 8) I	R
R	C1 C2 I I I S1 S2 R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	C1 C2 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I	C1 C2 0 0 0 0 I R	(24 x 8) I	R
R	C1 C2 I I I S1 S2 R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	C1 C2 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I	C1 C2 0 0 0 0 I R	(24 x 8) I	R
R	C1 C2 I I I S1 S2 R	(24 x 8) I	

125 μ s

250 μ s

375 μ s

500 μ s

- R : Enchimento
- C : Controle de Justificação
- S : Oportunidade de Justificação
- I : Informação
- O : Overhead

Figura 3/4 - Mapeamento Assíncrono de 6,312 Mbit/s

4.1.4 Mapeamento Assíncrono dos Sinais de 44,736 Mbit/s e 139,264 Mbit/s

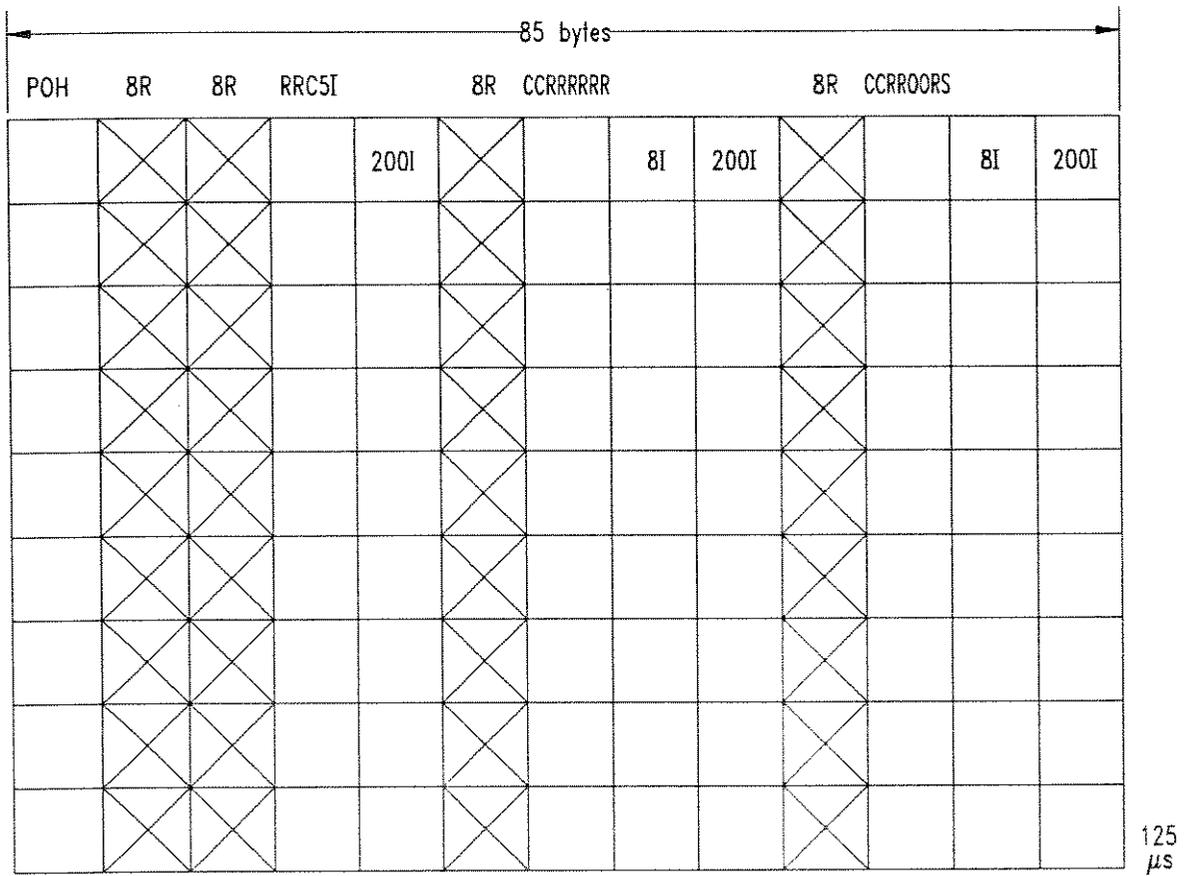
Nesses dois mapeamentos, o tipo de justificação utilizada é a justificação positiva, sendo que existe mais de um bit de oportunidade de justificação por quadro.

Os tributários de 44,736 Mbit/s e 139,264 Mbit/s são mapeados no VC-3 e VC-4 respectivamente, conforme mostram as Figuras 5/4 e 6/4. O quadro é subdividido em 9 subquadros com uma oportunidade de justificação positiva em cada uma das nove linhas da estrutura do VC. Votação majoritária é utilizada nos cinco bits de controle de justificação, C, em cada subquadro.

A composição de cada subquadro do VC-3 está mostrada na Figura 5/4. Em cada linha, existe uma oportunidade de justificação positiva (S) e cinco bits de controle de justificação (C), totalizando 9 oportunidades de justificação por quadro. Quando o tributário estiver na taxa nominal, três bits S serão utilizados para transportar informação e os 6 restantes enchimento. O número total de bits por quadro é 6120, sendo 5589 bits de informação.

O VC-4 é composto por 9 bytes de POH acrescido da carga útil de 260x9 bytes, conforme mostra a Figura 6/4. Cada subquadro é particionado em 20 blocos de 13 bytes. Existem quatro maneiras de se compor o primeiro byte de cada bloco, conforme mostra a Figura 7/4. Os últimos 12 bytes de cada bloco contém bits de informação (I). Em cada linha, existe uma oportunidade de justificação positiva (S) e cinco bits de controle de justificação (C), totalizando 9 bits de oportunidade de justificação por quadro de 125 μ s. Isto possibilita a acomodação de ± 15 ppm de variação de taxa em relação à nominal (139,264 Mbit/s). Quando o tributário está na taxa nominal, dois bits S são utilizados para transportar informação e os sete restantes contém enchimento.

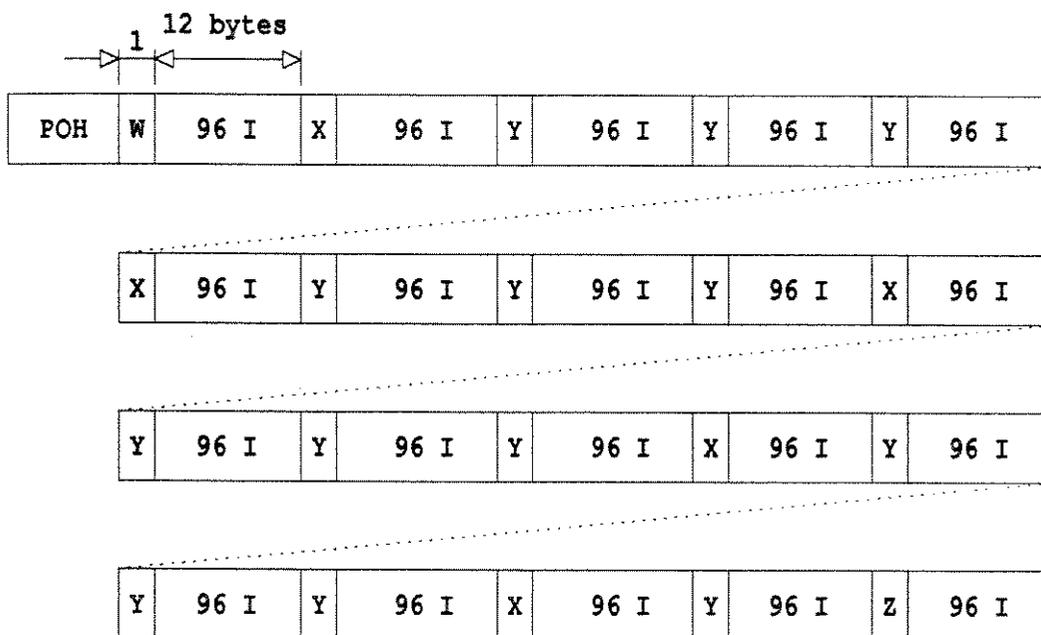
O número total de bits por quadro para o VC-4 é 19.440, sendo 17.406 bits de informação.



- R = Enchimento
- C = Controle de Justificação
- S = Oportunidade de Justificação
- I = Informação
- O = Overhead

Figura 5/4

Mapeamento Assíncrono do Tributário de 44,736 Mbit/s



Esta figura mostra uma das nove linhas da estrutura de um VC-4

W	=	IIIIIIII	Y	=	RRRRRRRR
X	=	CRRRRROO	Z	=	IIIIISR

- I = Bit de informação
- R = Bit de enchimento
- O = Bit de "OVERHEAD"
- S = Oportunidade de justificação de Bit
- C = Controle de justificação de Bit

Figura 7/4

Mapeamento Assíncrono de um Tributário de 139.264 Kbit/s em um VC-4.

4.2 Mapeamento de Sinais Síncronos ou Pseudosíncronos

Essa classe de sinais é derivada de um mesmo relógio de alta estabilidade distribuído pela rede. Esses sinais são os mais importantes e a tendência é eles serem os mais numerosos devido a expansão da Rede Digital de Serviços Integrados (RDSI) e das centrais de comutação digitais. Essa é também a classe de sinais para a qual a HDS tem sido otimizada. A utilização deste tipo de mapeamento permite a visibilidade dos canais de 64 kbit/s dentro da estrutura de quadro pois os sinais são mapeados em posições fixas dentro do VC. As variações de fase do VC, que ocorrem devido a variações nesses sinais, são acomodadas pelo mecanismo de ajuste de ponteiro.

Os sinais de 64 kbit/s e $n \times 64$ kbit/s que transportam outros serviços além de voz também estão incluídos nessa classe de sinais.

4.2.1 Mapeamento de Serviços de $n \times 64$ kbit/s

Os sinais isócronos de 64 kbit/s são normalmente agrupados em 24 canais no sistema americano ou em 30 no sistema europeu (MCP-30) para serem transmitidos no primeiro nível da HDP (1,544 Mbit/s ou 2,048 Mbit/s). O Mapeamento Síncrono a Nível de Byte tem sido desenvolvido para os VC's de Ordem Inferior (VC-11 e VC-12) que operam com esses sinais da HDP. Isto facilita a transição da HDP para a HDS.

Esse tipo de mapeamento pode utilizar Sinalização por Canal Associado (Channel Associated Signalling – CAS) ou Sinalização por Canal Comum (Common Channel Signalling – CCS). No sistema americano a Sinalização por Canal Associado é transportada “roubando-se” o bit menos significativo do sinal de voz a cada seis quadros do sinal de 1,544 Mbit/s, formando um multiquadro de 12 quadros. Isto resulta numa degradação tolerável e é denominada “robbed bit signalling” – RBS. No sistema europeu, a CAS é transportada no canal 16, formando um

multiquadro de 16 quadros, conforme mostra a Figura 8/4. Nesse tipo de sinalização, a informação de sinalização de cada canal é transportada de forma seqüencial (associada com os canais do usuário). Na Sinalização por Canal Comum a informação de sinalização é transferida completamente separada do canal. Esses canais de sinalização constituem uma rede de sinalização independente baseada em troca de mensagens que são completamente separadas da rede de informação do usuário. Algumas das vantagens da CCS são a transferência da informação de sinalização simultaneamente com a informação do usuário e a possibilidade de controlar aproximadamente 1000 usuários simultaneamente num canal de 64 kbit/s [6].

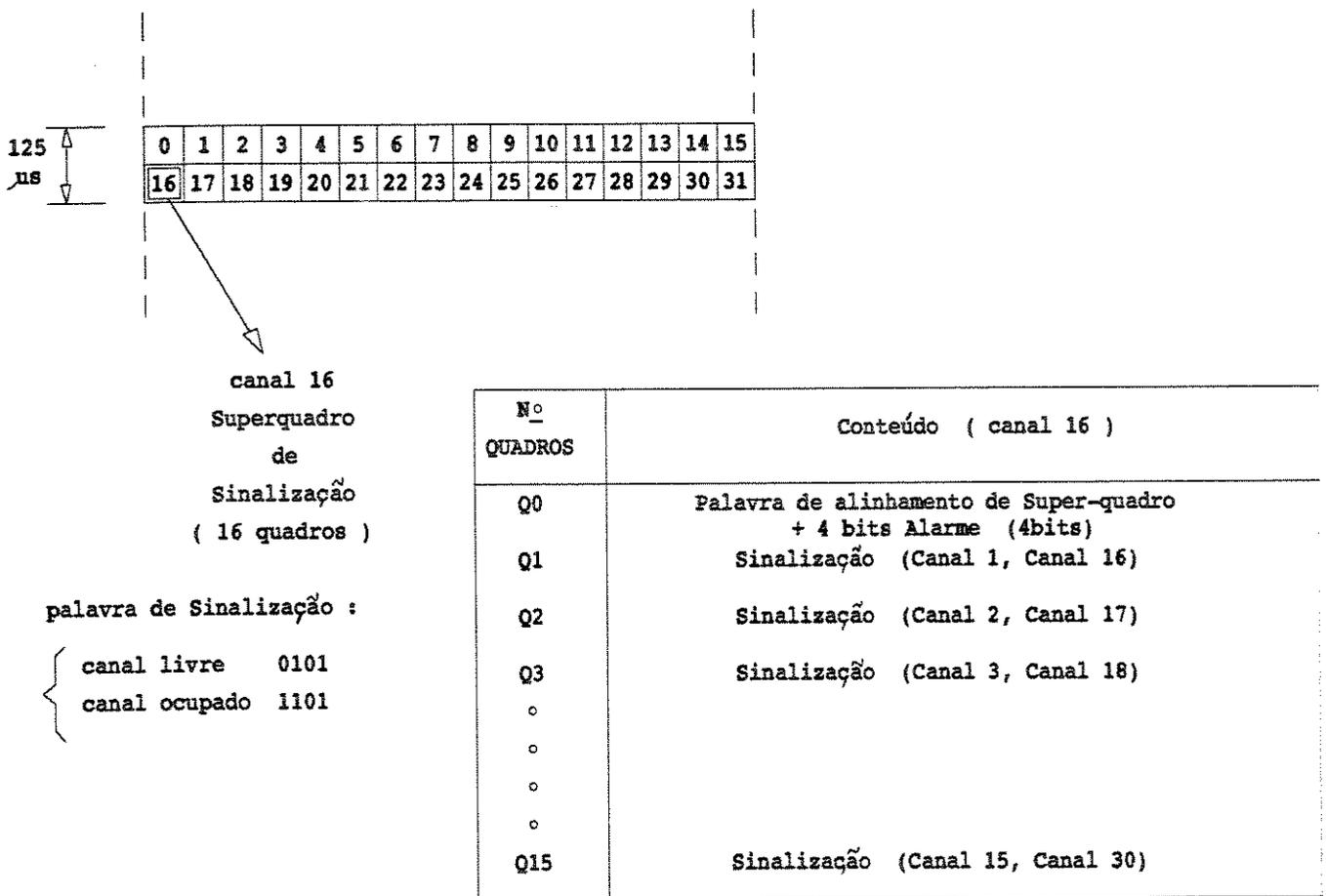


FIGURA 8/4 - Sinalização de Canal Associado para 30 canais.

As Figuras 9/4 e 10/4 ilustram o Mapeamento Síncrono a Nível de Byte para o VC-12 e para o VC-11 empregando Sinalização por Canal Associado. Neste tipo de mapeamento é possível utilizar o modo flutuante e o modo fixo.

No modo flutuante, quatro quadros consecutivos de 125 μ s do VC-n (n=11, 12, 2) são organizados em um multiquadro de 500 μ s cuja fase é indicada pelo byte indicador de multiquadro (H4) contido no POH do VC-m (m=3,4). No modo fixo os VC's de Ordem Inferior ocupam posições determinadas dentro do VC de Ordem Superior, os ponteiros são fixados em zero e o POH não é gerado. Isto é equivalente ao mapeamento de 64 kbit/s ou n x 64 kbit/s diretamente no VC-m. Esse modo pode ser utilizado em sub-redes onde o processamento de ponteiro pode ser evitado. Como os bytes V1-V4 e V5 são reservados, o multiquadro de 500 μ s não é necessário. Nesse caso, o byte identificador de multiquadro (H4) é utilizado para auxiliar a identificação da fase dos bits de sinalização (S1 S2 S3 S4) definindo os quadros de sinalização de 2 ms e 3 ms, conforme ilustram as Figuras 11/4 e 12/4. No modo flutuante, essa identificação de fase é auxiliada pelos bits P1 P0.

O VC-12 é uma estrutura com período de 500 μ s composta por um POH (V5) e pela carga útil (139 bytes). A carga útil contém 124 bytes (4 conjuntos de 31 bytes) de informação de usuário, 8 bits auxiliares (4 x P1 + 4 x P0) e os bytes restantes contém enchimento (R). Cada conjunto de 31 bytes contém 30 canais de 64 kbit/s (30 bytes) e 1 byte de informação de alinhamento de multiquadro/sinalização.

Existe a possibilidade de se transmitir 32 canais utilizando-se o byte R * como canal adicional.

Para o VC-11, o processo de mapeamento é análogo ao citado acima, conforme mostra a Figura 10/4. Nesse caso, o byte B = (P1 P0 S1 S2 S3 S4 F R) foi criado para ser uma alternativa à sinalização CAS atualmente existente no sistema americano que utiliza o mecanismo de "robbed bit". O byte B resolve o problema em ambiente CAS:

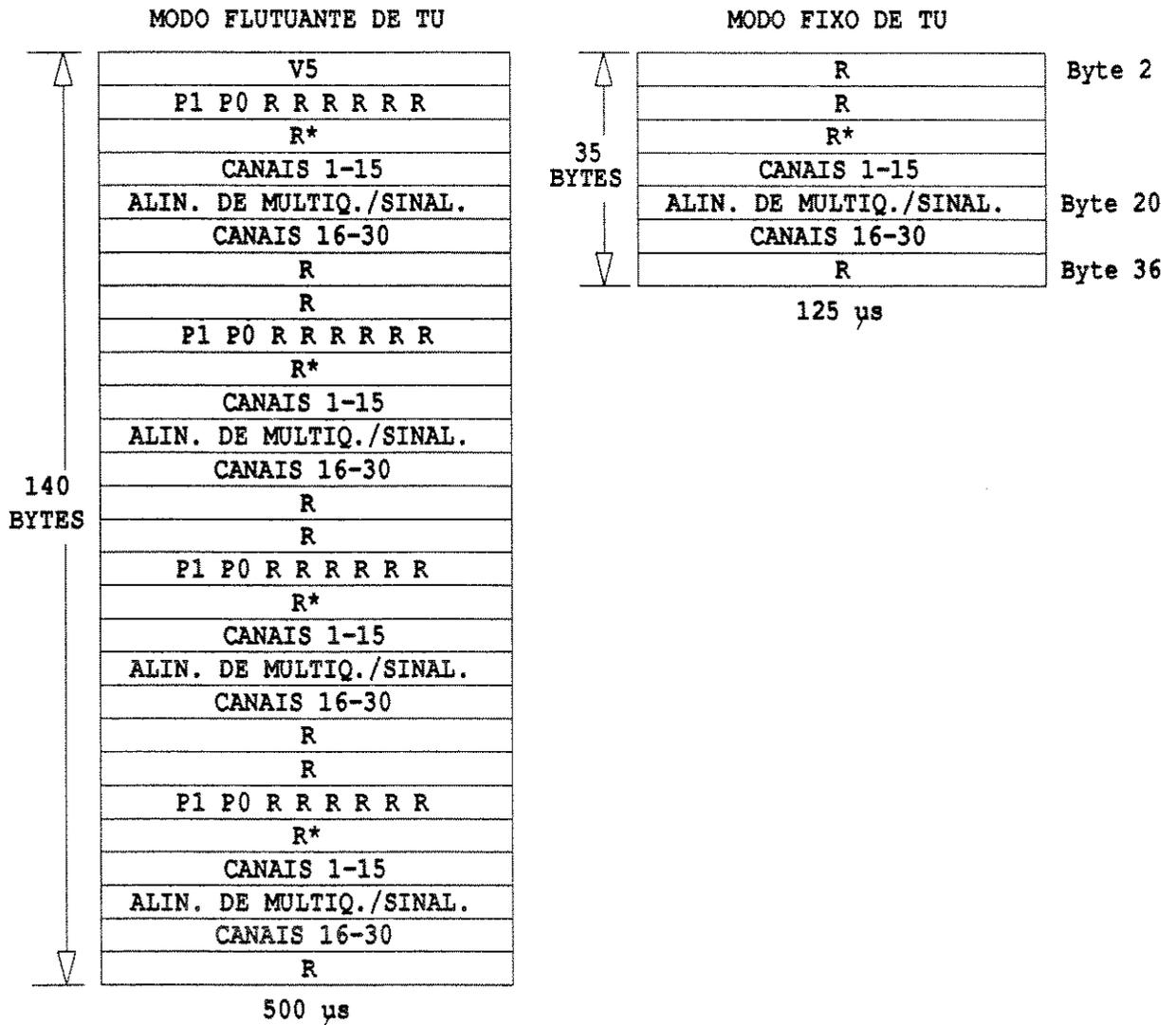
P1 P0 – definem um multiquadro composto de 24 quadros.

S1 S2 S3 S4 – contém informação de sinalização para os 24 canais.

F – informação de alinhamento de quadro.

R – reservado para uso futuro.

A Figura 13/4 mostra o Mapeamento Síncrono a Nível de Byte de 30 canais de 64 kbit/s utilizando Sinalização por Canal Comum. Para a transmissão dessa sinalização foi padronizado um canal de 64 kbit/s. No caso do sinal de 2,048 Mbit/s, o byte 20 (canal 16) transporta a SCC. No caso do sinal de 1,544 Mbit/s (24 canais), 23 canais serão utilizados para transportar informação de usuário e um canal para a SCC.



R* Pode ser usado na janela de tempo 0, se requerido.
P1 P0 = 00 no início do quadro de sinalização no primeiro byte do quadro de sinalização.

Figura 9/4

Mapeamento síncrono a nível de Byte para um tributário de 2.048 Kbit/s (30 canais com sinalização por canal associado)

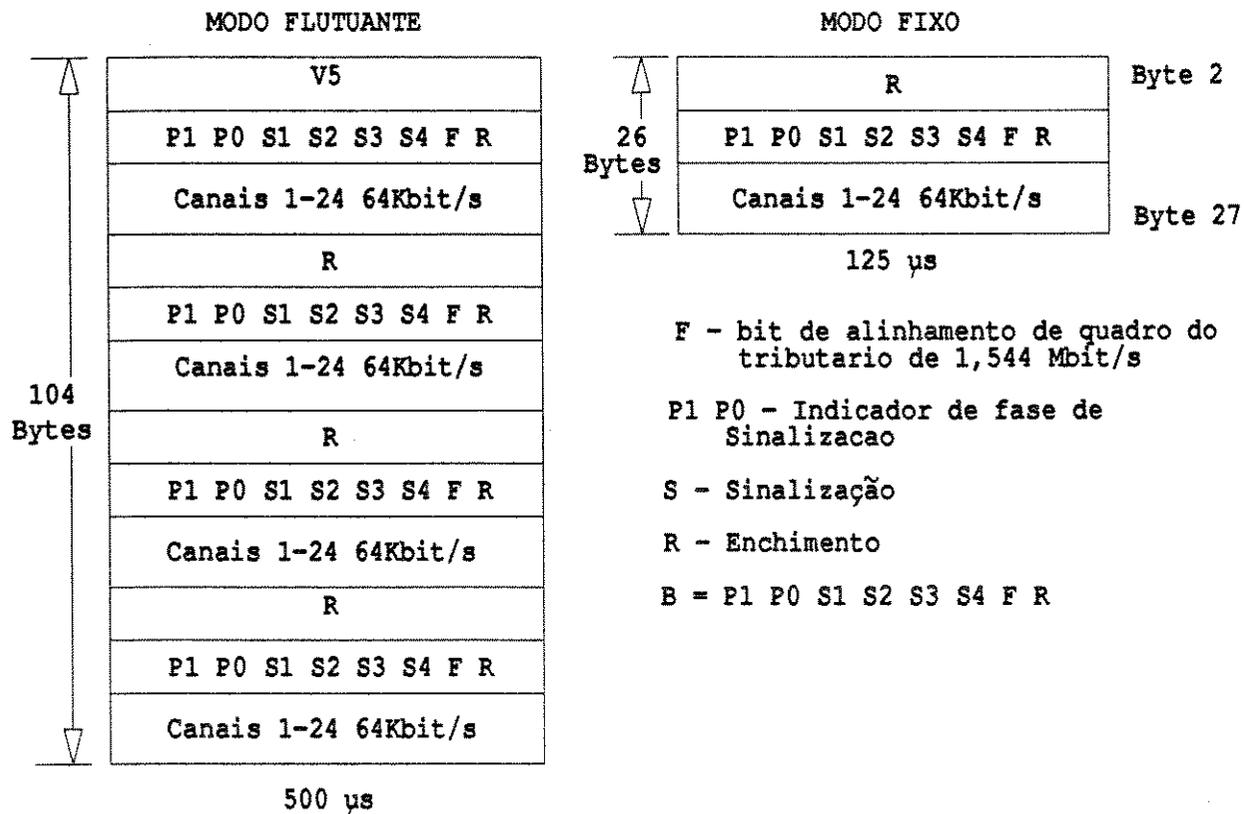


Figura 10/4 - Mapeamento Síncrono a Nível de Byte para 1,544 Mbit/s

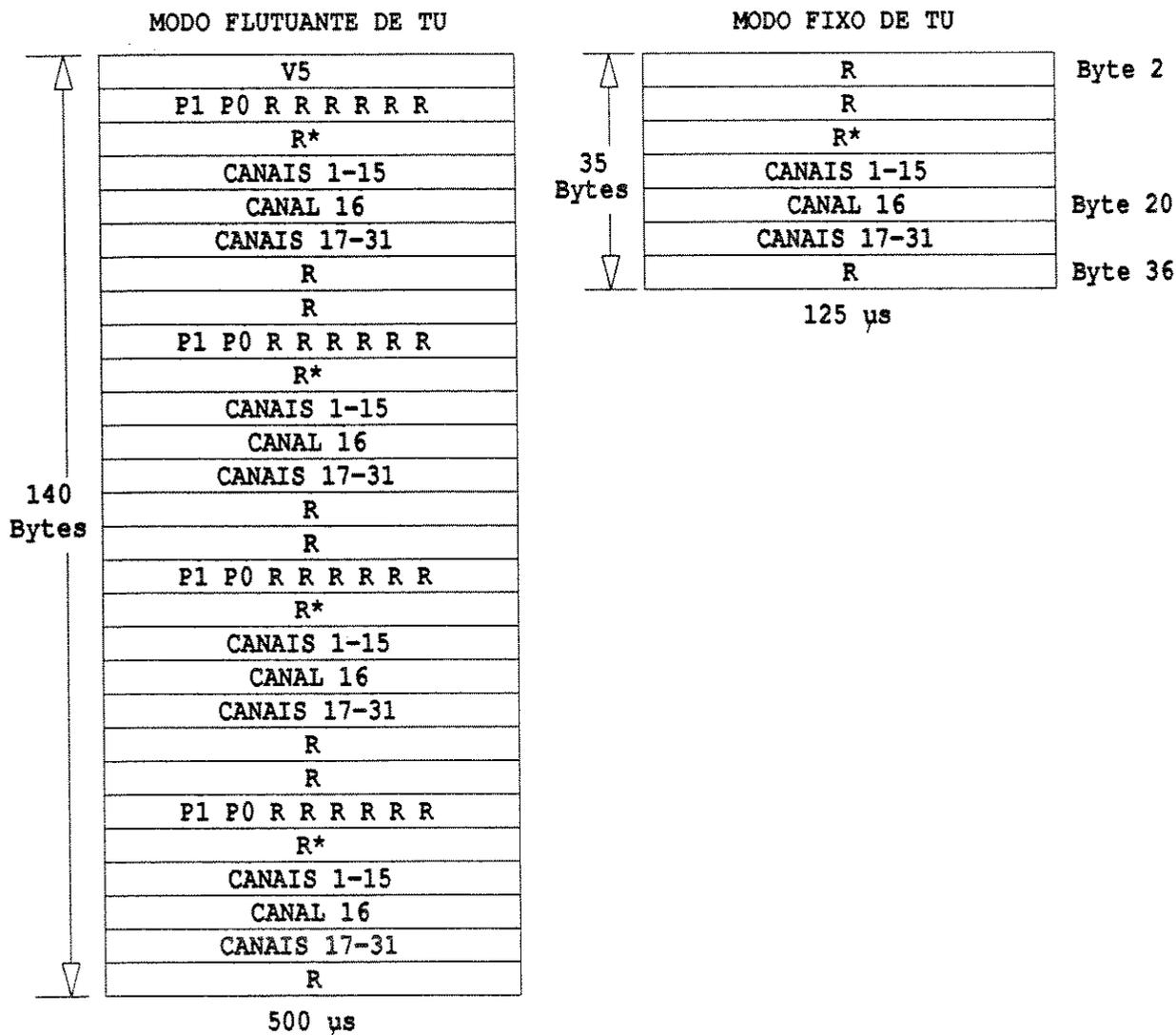
VALOR DE H4				FORMATO CAS								CANAL	P ₁	P ₀
C ₃	C ₂	C ₁	T	S ₁	S ₂	S ₃	S ₄	S ₁	S ₂	S ₃	S ₄			
0	0	0	0	0	0	0	0	x	y	x	x	NENHUM	0	0
0	0	0	1	a	b	c	d	a	b	c	d	1/16	0	0
0	0	1	0	a	b	c	d	a	b	c	d	2/17	0	0
1	1	1	1	a	b	c	d	a	b	c	d	15/30	1	1

Figura 11/4 - Descrição da Sinalização de 2 ms

LOCKED

FLOATING																		
SINALIZAÇÃO																		
Valor de H4					2 Estados				4 Estados				16 Estados				P ₁	P ₀
P ₁	P ₀	I ₂	I ₁	T	S ₁	S ₂	S ₃	S ₄	S ₁	S ₂	S ₃	S ₄	S ₁	S ₂	S ₃	S ₄	P ₁	P ₀
0	0	0	0	0	A ₁	A ₂	A ₃	A ₄	A ₁	A ₂	A ₃	A ₄	A ₁	A ₂	A ₃	A ₄	0	0
0	0	0	0	1	A ₅	A ₆	A ₆	A ₈	A ₅	A ₆	A ₆	A ₈	A ₅	A ₆	A ₆	A ₈	0	0
0	0	0	1	0	A ₉	A ₁₀	A ₁₁	A ₁₂	A ₉	A ₁₀	A ₁₁	A ₁₂	A ₉	A ₁₀	A ₁₁	A ₁₂	0	0
0	0	0	1	1	A ₁₃	A ₁₄	A ₁₅	A ₁₆	A ₁₃	A ₁₄	A ₁₅	A ₁₆	A ₁₃	A ₁₄	A ₁₅	A ₁₆	0	0
0	0	1	0	0	A ₁₇	A ₁₈	A ₁₉	A ₂₀	A ₁₇	A ₁₈	A ₁₉	A ₂₀	A ₁₇	A ₁₈	A ₁₉	A ₂₀	0	0
0	0	1	0	1	A ₂₁	A ₂₂	A ₂₃	A ₂₄	A ₂₁	A ₂₂	A ₂₃	A ₂₄	A ₂₁	A ₂₂	A ₂₃	A ₂₄	0	0
0	1	0	0	0	A ₁	A ₂	A ₃	A ₄	B ₁	B ₂	B ₃	B ₄	B ₁	B ₂	B ₃	B ₄	0	1
0	1	0	0	1	A ₅	A ₆	A ₆	A ₈	B ₅	B ₆	B ₆	B ₈	B ₅	B ₆	B ₆	B ₈	0	1
0	1	0	1	0	A ₉	A ₁₀	A ₁₁	A ₁₂	B ₉	B ₁₀	B ₁₁	B ₁₂	B ₉	B ₁₀	B ₁₁	B ₁₂	0	1
0	1	0	1	1	A ₁₃	A ₁₄	A ₁₅	A ₁₆	B ₁₃	B ₁₄	B ₁₅	B ₁₆	B ₁₃	B ₁₄	B ₁₅	B ₁₆	0	1
0	1	1	0	0	A ₁₇	A ₁₈	A ₁₉	A ₂₀	B ₁₇	B ₁₈	B ₁₉	B ₂₀	B ₁₇	B ₁₈	B ₁₉	B ₂₀	0	1
0	1	1	0	1	A ₂₁	A ₂₂	A ₂₃	A ₂₄	B ₂₁	B ₂₂	B ₂₃	B ₂₄	B ₂₁	B ₂₂	B ₂₃	B ₂₄	0	1
1	0	0	0	0	A ₁	A ₂	A ₃	A ₄	A ₁	A ₂	A ₃	A ₄	C ₁	C ₂	C ₃	C ₄	1	0
1	0	0	0	1	A ₅	A ₆	A ₆	A ₈	A ₅	A ₆	A ₆	A ₈	C ₅	C ₆	C ₆	C ₈	1	0
1	0	0	1	0	A ₉	A ₁₀	A ₁₁	A ₁₂	A ₉	A ₁₀	A ₁₁	A ₁₂	C ₉	C ₁₀	C ₁₁	C ₁₂	1	0
1	0	0	1	1	A ₁₃	A ₁₄	A ₁₅	A ₁₆	A ₁₃	A ₁₄	A ₁₅	A ₁₆	C ₁₃	C ₁₄	C ₁₅	C ₁₆	1	0
1	0	1	0	0	A ₁₇	A ₁₈	A ₁₉	A ₂₀	A ₁₇	A ₁₈	A ₁₉	A ₂₀	C ₁₇	C ₁₈	C ₁₉	C ₂₀	1	0
1	0	1	0	1	A ₂₁	A ₂₂	A ₂₃	A ₂₄	A ₂₁	A ₂₂	A ₂₃	A ₂₄	C ₂₁	C ₂₂	C ₂₃	C ₂₄	1	0
1	1	0	0	0	A ₁	A ₂	A ₃	A ₄	B ₁	B ₂	B ₃	B ₄	D ₁	D ₂	D ₃	D ₄	1	1
1	1	0	0	1	A ₅	A ₆	A ₆	A ₈	B ₅	B ₆	B ₆	B ₈	D ₅	D ₆	D ₆	D ₈	1	1
1	1	0	1	0	A ₉	A ₁₀	A ₁₁	A ₁₂	B ₉	B ₁₀	B ₁₁	B ₁₂	D ₉	D ₁₀	D ₁₁	D ₁₂	1	1
1	1	0	1	1	A ₁₃	A ₁₄	A ₁₅	A ₁₆	B ₁₃	B ₁₄	B ₁₅	B ₁₆	D ₁₃	D ₁₄	D ₁₅	D ₁₆	1	1
1	1	1	0	0	A ₁₇	A ₁₈	A ₁₉	A ₂₀	B ₁₇	B ₁₈	B ₁₉	B ₂₀	D ₁₇	D ₁₈	D ₁₉	D ₂₀	1	1
1	1	1	0	1	A ₂₁	A ₂₂	A ₂₃	A ₂₄	B ₂₁	B ₂₂	B ₂₃	B ₂₄	D ₂₁	D ₂₂	D ₂₃	D ₂₄	1	1

Figura 12/4 - Sinalização CAS de 24 Canais (3ms)



R* Pode ser usado na janela de tempo 0, se requerido.
P1 P0 = 00 no início do quadro de sinalização no primeiro byte do quadro de sinalização.

Figura 13/4

Mapeamento síncrono a nível de Byte para um tributário de 2.048 Kbit/s (30 canais com sinalização de canal comum)

4.2.2 Mapeamento Síncrono a Nível de Bit

Esse tipo de mapeamento é idêntico ao Mapeamento Síncrono a Nível de Byte descrito acima exceto pelo fato que esse processo de mapeamento não possibilita a visibilidade dos canais de 64 kbit/s do sinal original. A taxa do sinal deve ser síncrona ou pseudosíncrona com a rede, não havendo necessidade de justificação de bit, mas o formato não precisa ser confinado à estrutura de quadro de 125 μ s. As Figuras 14/4 e 15/4 e 16/4 mostram esse tipo de mapeamento para os tributários de 2,048 Mbit/s, 1,544 Mbit/s e 6,312 Mbit/s. Nesse caso, o byte R* é utilizado como parte da carga útil e o bit 7 do byte B é utilizado para transportar o bit 193 para completar a capacidade do quadro de 125 μ s para o sinal de 1,544 Mbit/s síncrono a nível de byte.

4.3 Mapeamento de Sinais Isócronos com Taxas Elevadas

Esses sinais são basicamente sinais de vídeo de alta definição, som de alta fidelidade e dados os quais são multiplexados e transportados juntos. O ETSI e a “European Broadcasting Union” (EBU) padronizaram este tipo de vídeo composto. Neste padrão, o sinal de vídeo digital é multiplexado junto com áudio, teletexto, código para correção de erros e uma grande quantidade de “overhead”, necessária para a rede de distribuição desses sinais. O quadro de vídeo composto é uma estrutura de 530 bytes transmitidos em 125 μ s. Esse sinal pode ser mapeado diretamente na carga útil de um VC-2-5c, conforme mostra a Figura 17/4. Adicionando-se 2 bytes de enchimento a cada quadro de vídeo composto é possível mapear esse sinal na estrutura que transporta o sinal de 34,368 Mbit/s definida em [13]. Esse mapeamento é baseado num multiquadro de 8 ms contendo 179 quadros de 34,368 Mbit/s e 64 quadros de vídeo composto, conforme mostra a Figura 17/4.

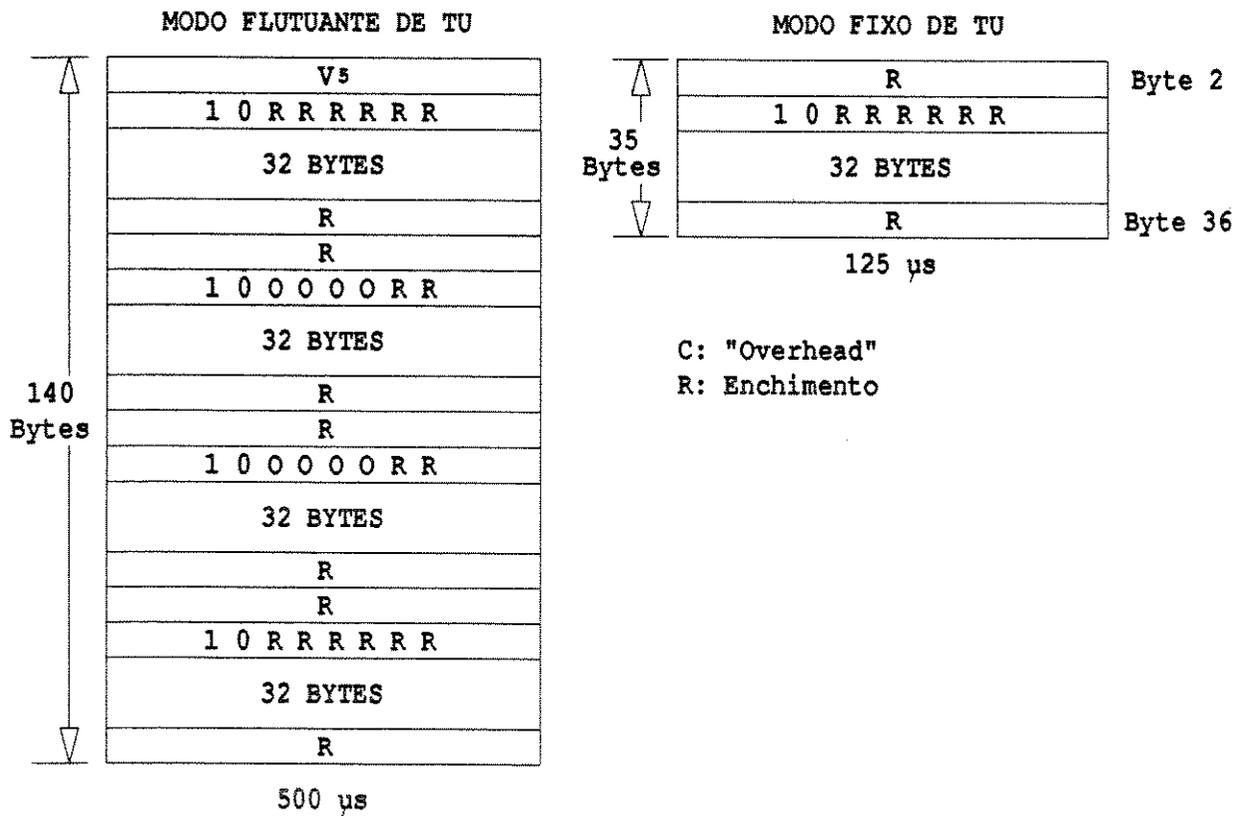


Figura 14/4 - Mapeamento Síncrono a Nível de bit de 2,048 Mbit/s

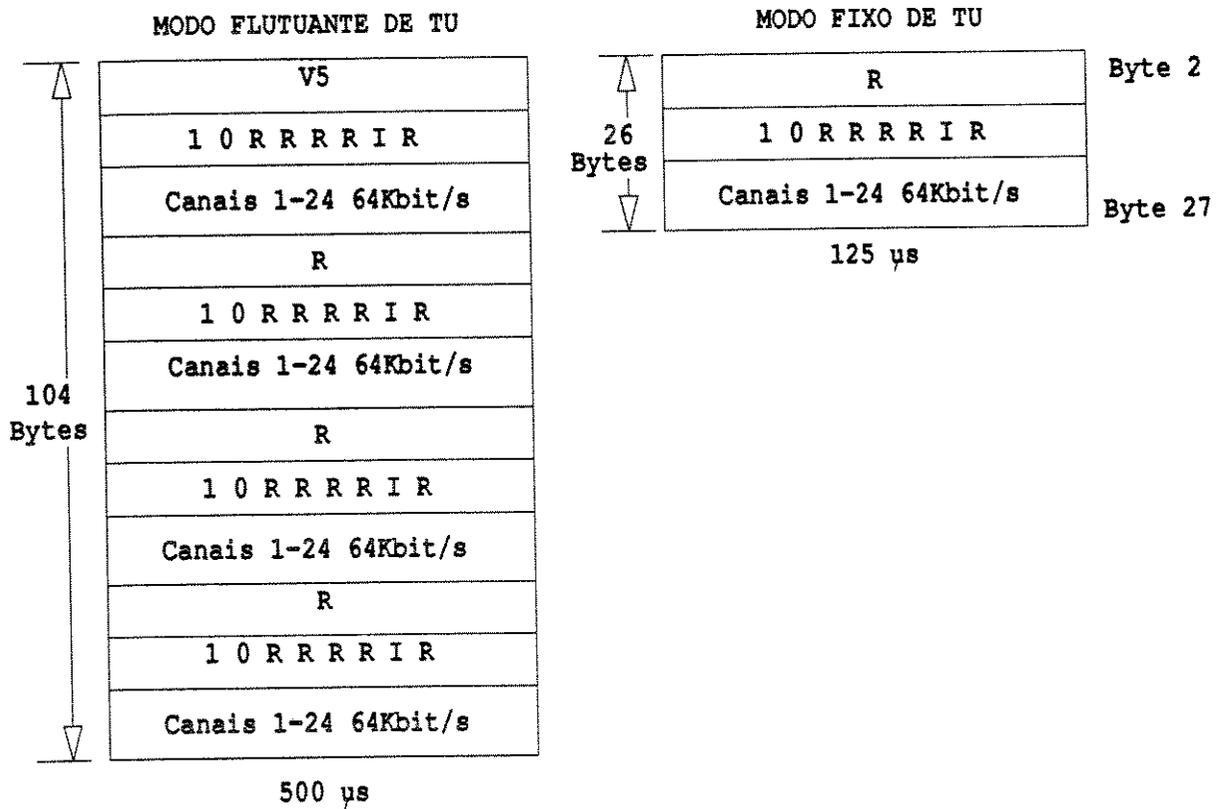


Figura 15/4 - Mapeamento Síncrono a Nível de Bit para 1,544 Mbit/s

V5	I I I I I I I R	(24 x 8) I	R
R	1 0 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I I	1 0 0 0 0 0 I R	(24 x 8) I	R
R	1 0 I I I R I R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	1 0 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I I	1 0 0 0 0 0 I R	(24 x 8) I	R
R	1 0 I I I R I R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	1 0 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I I	1 0 0 0 0 0 I R	(24 x 8) I	R
R	1 0 I I I R I R	(24 x 8) I	
R	I I I I I I I R	(24 x 8) I	R
R	1 0 0 0 0 0 I R	(24 x 8) I	R
I I I I I I I I	1 0 0 0 0 0 I R	(24 x 8) I	R
R	1 0 I I I R I R	(24 x 8) I	

125 μ s

250 μ s

375 μ s

500 μ s

- R : Enchimento
- C : Controle de Justificação
- S : Oportunidade de Justificação
- I : Informação
- O : Overhead

Figura 16/4 - Mapeamento Síncrono a nível de bit 6,312 Mbit/s

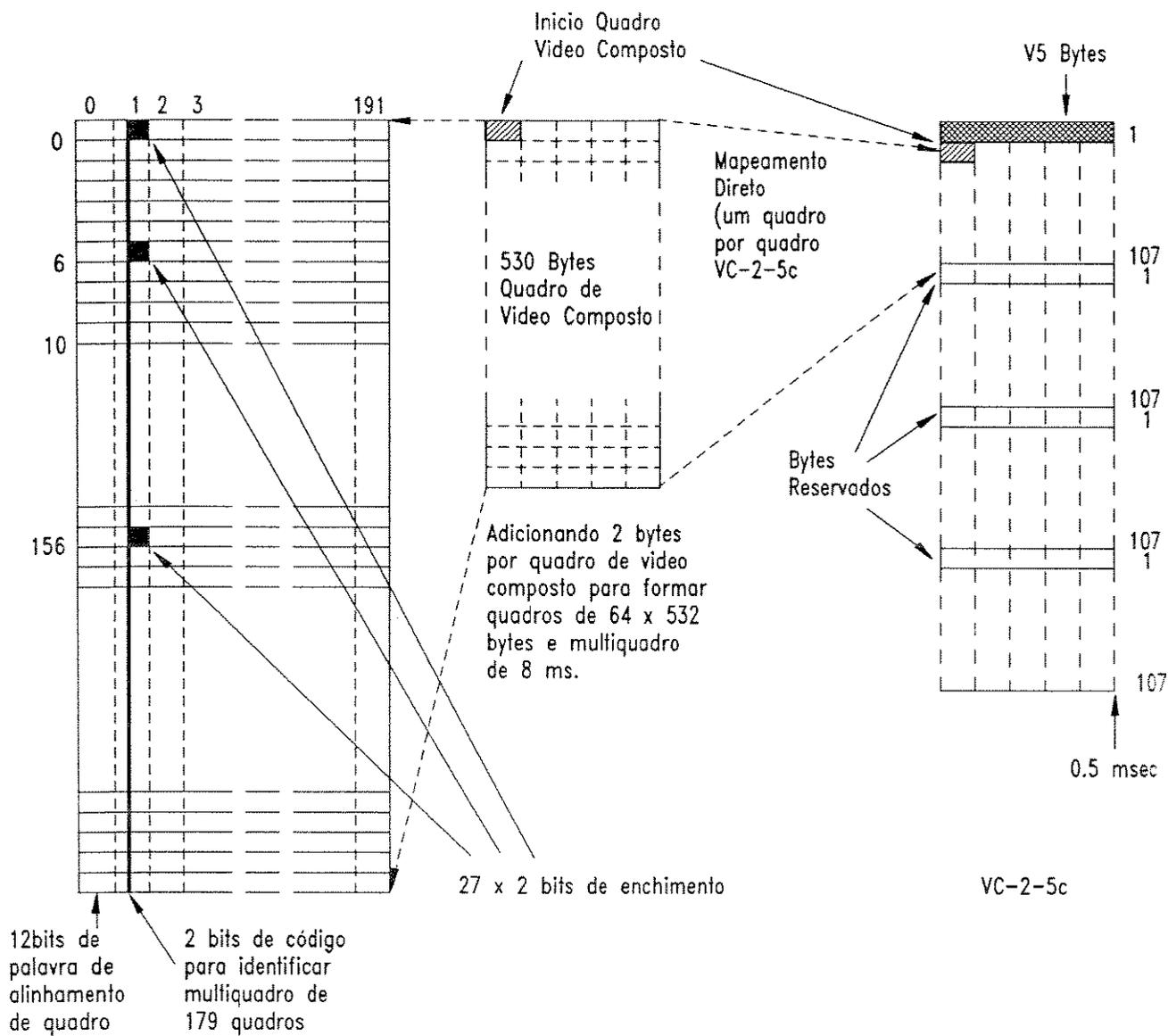


Figura 17/4 - Mapeamento de Sinais Isócronos de Altas Taxas

4.4 Mapeamento de Sinais Anisócronos

Esses sinais têm taxa de informação variável e aparecem na forma de “burst” ou surtos. Os sinais da RDSI-FL (Faixa Larga) que é baseada no modo assíncrono de transferência (Asynchronous Transfer Mode – ATM) são o exemplo mais notável que provavelmente dominará no futuro. Esses sinais anisócronos são mapeados nos VC's da HDS através de uma combinação de controle de fluxo, para limitar o fluxo de informação durante os surtos, e justificação, para manter o fluxo aproximadamente constante quando a taxa da fonte está baixa.

4.4.1 Mapeamento das Células ATM

A Recomendação CCITT referente a RDSI-FL [20, 21] fixou o tamanho da célula ATM em 53 bytes, sendo 48 bytes de informação e 5 bytes de cabeçalho. Antes de ser mapeado nos VC's da HDS, o fluxo de células é adaptado inserindo-se zero nas células quando a taxa da fonte é baixa e controlando a fonte quando a taxa de informação é alta. Dessa forma, o fluxo torna-se síncrono com o VC da HDS.

O campo de informações (48 bytes) das células ATM deve ser embaralhado antes do mapeamento. Um embaralhador síncrono com polinômio gerador $X^{43} + 1$ deve ser utilizado. O embaralhador opera somente sobre os bytes de informação. Durante os 5 bytes do cabeçalho a operação é suspensa e reinicia no próximo campo de informação. Esse embaralhamento aumenta a segurança e a robustez do mecanismo de delimitação de células. Além disso, os dados embaralhados melhoram o desempenho da transmissão.

O mapeamento ATM foi definido para Containers VC-4 e VC-4-Xc. Como a carga útil desses Containers (2340 bytes para o VC-4) não é um múltiplo inteiro do comprimento das células ATM (53 bytes), é permitido que uma célula cruze o limite do Container. Os limites das células não possuem a mesma posição relativa em quadros sucessivos da HDS.

Quando os VC's são desmontados, a célula deve ser recuperada. O cabeçalho da célula ATM contém um mecanismo na forma de um "Header Error Check" – HEC – que permite encontrar a delimitação da célula de modo similar a palavra de alinhamento de quadro. Esse HEC utiliza a correlação entre os bits do cabeçalho a serem protegidos (32) e os bits de controle do HEC (8 bits) introduzidos no cabeçalho depois do cálculo com um código cíclico do tipo "shortened" de polinômio gerador $g(x) = x^8 + x^2 + x + 1$. O resto desse polinômio é então adicionado a um padrão fixo "01010101" para melhorar o desempenho da delimitação da célula. Esse método é similar ao convencional de recuperação de alinhamento de quadro onde a palavra de alinhamento não é fixa.

O mapeamento ATM em VC-4 está mostrado na Figura 18/4.

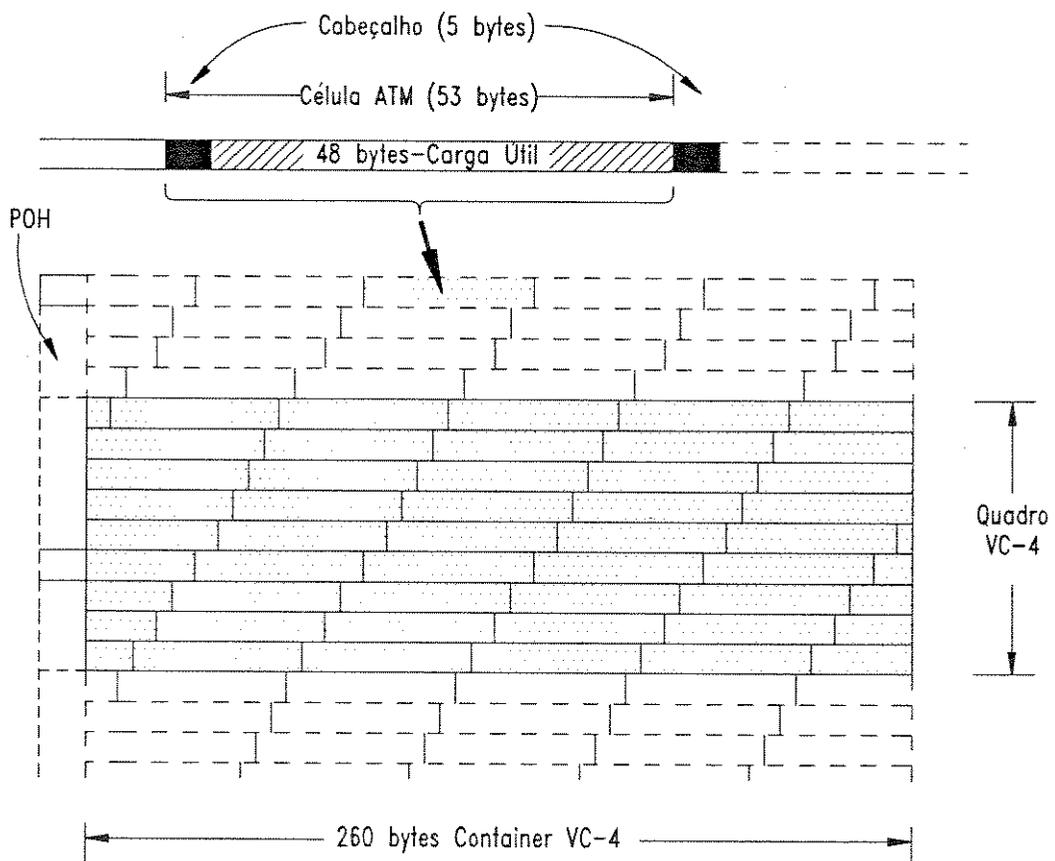


Figura 18/4 - Mapeamento de células ATM no VC-4

No mapeamento em VC-4-Xc, a carga útil disponível para o transporte das células é exatamente X vezes a carga útil do VC-4. O Container-4-Xc é então mapeado em um VC-4-Xc junto com uma coluna de POH e (X-1) colunas de enchimento. Como a capacidade do Container-4-Xc (2340.X bytes) não é um múltiplo inteiro do comprimento da célula ATM (53 bytes), uma célula pode cruzar o limite do Container.

O mapeamento de células ATM em outros VC's está em estudo.

Capítulo 5

Sincronização da HDS

5.1 Necessidade de Sincronização das Redes Digitais

As Redes Digitais baseadas em canais de 64 kbit/s não possuem um mecanismo eficiente para acomodar grandes variações de frequência que ocorrem nos geradores de relógio dos vários nós da rede. A falta de sincronismo ocasiona problemas principalmente na interface entre multiplexadores digitais (MD) e centrais digitais de comutação. Esses problemas ocorrem devido à diferença de frequência entre o relógio do MD e o relógio interno das centrais. Um exemplo que ilustra essa questão é a conexão de um tronco digital de 30 canais de voz (MCP-30), operando a 2,048 Mbit/s, a uma central de comutação digital, como mostra a Figura 1/5.

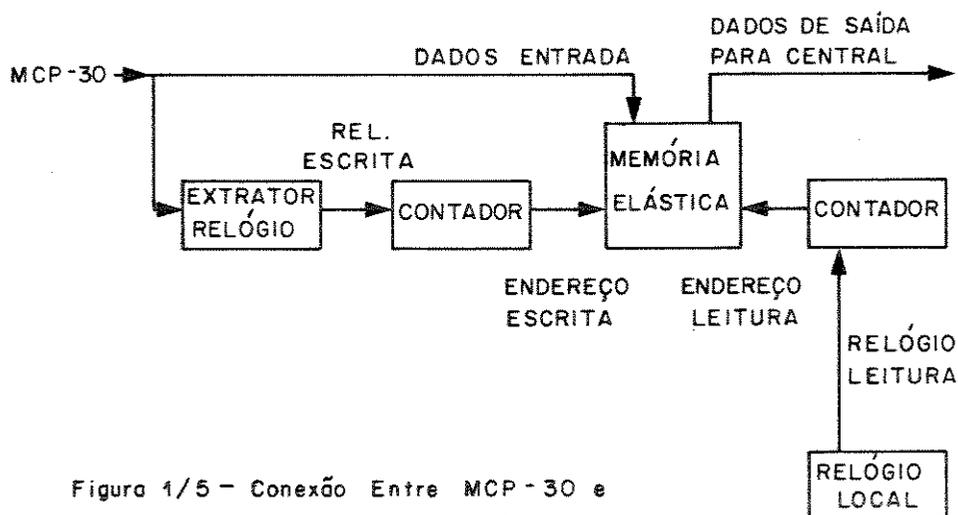


Figura 1/5 - Conexão Entre MCP-30 e Central de Comutação

Nesta interface, a passagem de informação de um lado para outro se processa através do uso de uma memória elástica de tamanho determinado, de tal modo que o relógio de escrita da memória é o relógio extraído dos dados do MCP e o relógio de leitura é o relógio local da central. Quando existem diferenças de frequência entre esses relógios é possível haver um “overflow” ou um “underflow” na memória elástica. Quando o relógio de escrita é mais rápido que o de leitura, a ocupação da memória com novos bits aumenta com o tempo e, eventualmente quando o relógio de escrita passa a frente do relógio de leitura, ocorre um “overflow” e N bits são suprimidos, onde N é o número de bits da memória. Ao contrário, quando o relógio de leitura é mais rápido que o de escrita ocorre um “underflow” e N bits são lidos da memória duas vezes, resultando na repetição de N bits nos dados de saída – ver Figura 2/5. A estes eventos dá-se o nome de escorregamentos (“slips”).

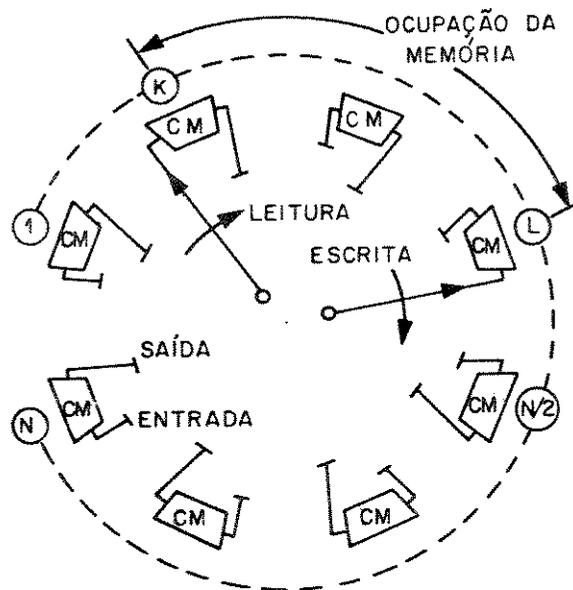


Figura 2/5 - Modelo de Uma Memória Elástica
CM = Célula de Armazenamento

A fim de manter o alinhamento de quadro do MCP, é conveniente que o deslocamento (slip) seja de um número de bits correspondente a um número inteiro de quadros. Também é desejável minimizar o atraso através da memória elástica, de modo que é usual repetir ou suprimir exatamente um quadro na ocorrência de um slip. Este evento é denominado slip controlado.

Por outro lado, mesmo quando os relógios de escrita e de leitura têm a mesma frequência média, slips podem ocorrer se os relógios estiverem alinhados e houver flutuação de fase entre eles. Neste caso, ultrapassagens mútuas entre os relógios provocam múltiplos slips. Por esta razão, é comum forçar uma fase inicial entre os relógios de $N/2$ bits e, além disso, estabelecer um “limiar de slip”, antes que os relógios venham a se alinhar [26]. Para isto, o tamanho da memória elástica deve ser de dois quadros – 512 bits para o MCP de 30 canais. Com relação à flutuação de fase, o CCITT [17] estabelece que a flutuação na entrada da central de comutação pode ter uma amplitude máxima de até 18 μ s. Deste modo, a fim de evitar múltiplos slips, não se deve permitir que os relógios de escrita e de leitura estejam com alinhamento menor que 18 μ s (limiar de slip), cerca de 40 bits.

5.2 Efeito dos Slips nas Redes Digitais

O impacto dos slips sobre o sinal digital que está sendo transmitido através de uma interface é muito variável e depende principalmente da taxa em que os slips ocorrem e do tipo de serviço cujos dados são afetados.

5.2.1 Transmissão de voz

Para a transmissão de voz, estudos indicam que slips causam apenas um estalo audível, sem sérias degradações para a conversação (vários slips por minuto pode ser considerado aceitável). Entretanto, quando a transmissão é criptografada, a ocorrência de slips, além de

provocar estalos, pode provocar a perda da chave, sendo necessária a retransmissão. Para este tipo de serviço, mais que um slip por dia pode ser considerado inaceitável [1].

5.2.2 Transmissão de Dados Via Modems

Neste caso, o slip poderá causar grandes períodos de erros, como relatado por Drucker e Morton [23], pois a degradação causada por um slip pode retirar o receptor do modem de seu estado de equalização controlada. Isto certamente exigirá retransmissão de parte dos dados já transmitidos, segundo protocolo usado pelos terminais colocados nas pontas.

5.2.3 Transmissão Fac-símile

Estudos realizados por Abate & Drucker [3] sobre o efeito dos slips em transmissão de sinais digitais que carregam amostras de sinais de fax, mostram que pode desaparecer até 0,08 polegada de uma página transmitida com resolução de 100 linhas/polegada (8 linhas em branco). Este estudo considerou equipamentos MCP americanos de 24 canais.

Os fac-símiles usam códigos corretores de erros. Os estudos de Abate & Drucker mostram que os erros tendem a se propagar. Com um experimento de 1 slip a cada 10 segundos, os códigos utilizados cancelam linhas e só deixam para impressão as linhas com erros corrigidos. Com isto, não há retransmissão e a página transmitida deve ser decifrada pelo usuário; dependendo de onde caíram as linhas faltantes, pode ser impossível interpretar o documento.

5.2.4 Transmissão de Sinais de Vídeo

Em geral uma baixa taxa de slips causa pouca degradação nos sinais de vídeo, para sinais não codificados. Porém, se há processo de compressão de vídeo para baixa taxa de transmissão, os slips podem causar muita distorção na imagem, em muitas linhas e durante vários segundos.

5.3 Objetivos de Desempenho das Redes Digitais

O CCITT define uma Conexão Hipotética de Referência [17], como sendo uma comunicação internacional, compreendendo a interligação de 13 Centrais Digitais conforme ilustrado na Figura 3/5.

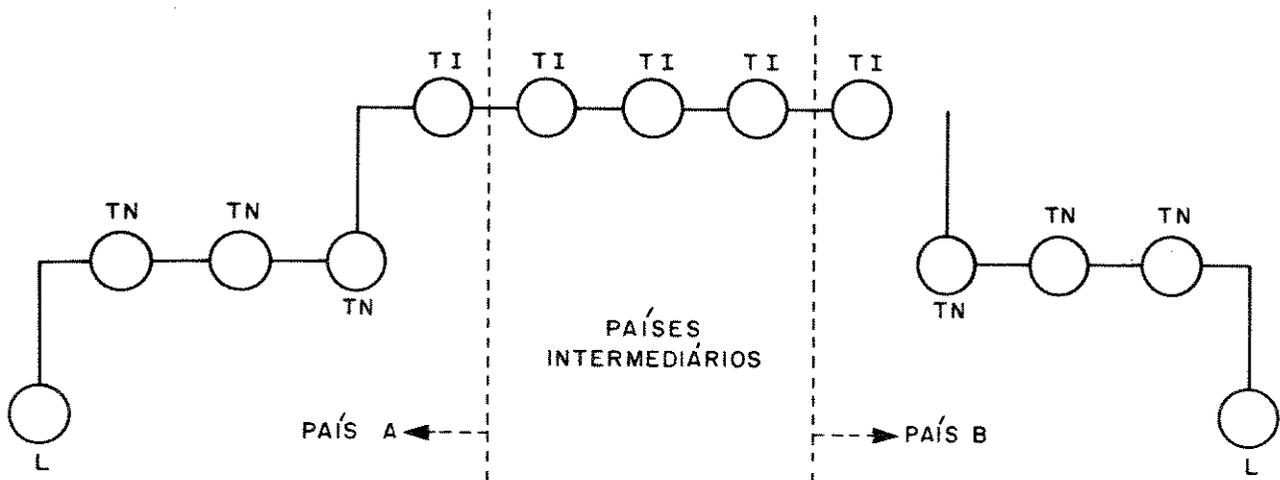


Figura 3/5 - Conexão Hipotética de Referência

L = Central Local; TN = Central Trânsito Nacional;
TI = Central Trânsito Internacional

Para esta Conexão de Referência, com todas as centrais operando plesiocronamente, o CCITT estabeleceu um desempenho de 1 slip para cada 70 dias dentro de cada conexão entre duas centrais contíguas. Então, tomando-se 70 dias de observação ($6,048 \times 10^6$ segundos) e permitindo-se um máximo erro neste intervalo de até $125 \mu\text{s}$, chega-se que os relógios devem ter precisão de

$$\delta f/f = 125 \times 10^{-6} / 6,048 \times 10^6 = 2 \times 10^{-11},$$

que é compatível com a tecnologia de relógio de Césio.

Da maneira como foi definida a Conexão de Referência, observa-se que o desempenho esperado ponta a ponta deve ser no máximo 1 slip a cada $(70/12) = 5,8$ dias, que é o desempenho desejado para qualquer comunicação (nacional ou internacional).

Mesmo para a Conexão Hipotética de Referência, o requisito de precisão dos relógios poderia ser relaxado, caso alguns trechos funcionassem sincronamente.

5.4 Requisitos para os Relógios da Rede de Sincronização

O CCITT [15] recomenda que a sincronização de uma rede tenha como base um ou mais Relógios Primários de Referência (RPR) que devem prover um sinal de sincronismo com precisão de 1×10^{-11} (precisão de longo prazo) e verificação através do Tempo Universal Coordenado (UTC). Para verificações de curto prazo, existem requisitos menos exigentes (10^{-9} e 10^{-7} , por exemplo). Esta precisão é obtida a partir de padrões de Césio. Como o tempo de vida destes relógios é em média 3 a 5 anos, torna-se necessário introduzir relógios reserva para evitar degradações no relógio de referência. Em geral mais de três relógios de Césio são instalados por equipamento, a fim de garantir continuidade do sinal de sincronismo. O projeto também deve garantir que chaveamentos e operações internas destes relógios não causem descontinuidades de fase na saída superiores a $1/8$ UI (61 ns para 2,048 MHz).

O CCITT [16] também define Relógio Escravo. Este é constituído basicamente por um "Phase-Locked Loop" (PLL) que amarra a frequência do relógio gerado localmente à referência oriunda do Relógio Primário. Esta nova referência é então distribuída aos nós de mais baixa hierarquia. O Relógio Escravo também tem por função manter a estabilidade da frequência quando o sinal de referência falhar e evitar que alterações de fase no sinal de referência sejam transferidas para a saída.

Os Relógios Escravos podem operar em três modos:

- ideal;
- “holdover”;
- oscilação livre (ou “free-running”).

A operação ideal reflete o desempenho do relógio quando não existe qualquer degradação no(s) sinal(is) de referência de sincronismo de entrada.

A operação no modo “holdover” reflete o desempenho do Relógio Escravo quando o oscilador local perde o sinal de referência por um período de tempo e utiliza técnicas de armazenamento para manter sua precisão com relação à última comparação efetuada com a referência de sincronismo.

O modo “free-running” é definido quando o oscilador local perde a referência externa e não utiliza qualquer técnica de armazenamento de fase para manter sua precisão. Somente a precisão do próprio oscilador é que determina a estabilidade da frequência do sinal de referência.

Quando há falha na recepção de uma referência, o sistema de controle do Relógio Escravo seleciona a referência de melhor qualidade. Este esquema de controle é unilateral. Quando não existem referências alternativas, o relógio entra no modo “holdover” ou “free-running”.

5.5 Topologias Usuais da Rede de Sincronização

A técnica que garante a operação de sistemas de comunicações digitais praticamente livres de slips é a sincronização da rede. Esta técnica tem sido amplamente estudada e vários métodos tem sido propostos para manter o sincronismo de um conjunto de relógios geograficamente separados. Dependendo da natureza dos sinais de controle utilizados na obtenção da sincronização, pode-se dividir as redes em duas categorias principais: redes plesiócronicas e redes síncronas.

Nas redes plesiócronicas cada nó contém um relógio de alta precisão e não existe um sinal de controle coordenando a operação desses relógios, conforme mostra a Figura 4/5.

Inicialmente esses relógios são acertados, de modo que não exista diferença entre eles. Pelo fato de os relógios serem independentes nestas redes, suas frequências se tornam ligeiramente diferentes. A diferença entre dois relógios pode exceder um valor aceitável e então os mesmos devem ser novamente acertados. A vantagem deste método é que sua implementação é fácil e também torna a rede muito robusta a falhas, pois a falha em um nó não implica na falha de outros nós. No entanto, existe a desvantagem de que a precisão eleva muito o custo e a complexidade tecnológica dos relógios. Por exemplo, para uma precisão de 1×10^{-11} são necessários relógios atômicos (normalmente são utilizados relógios de Césio).

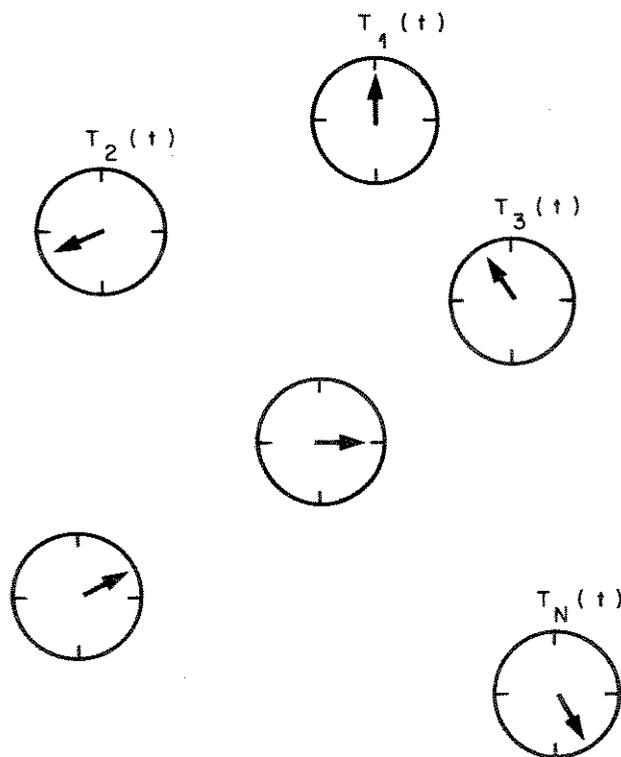


Figura 4/5 - Rede Plesiócrona

Nas redes síncronas, os relógios são amarrados em fase e frequência. Dependendo da técnica de sincronização empregada, estas redes podem ser divididas em síncronas centralizadas e síncronas descentralizadas.

As redes síncronas descentralizadas são baseadas no princípio de sincronização mútua. Neste caso, não existe um relógio mestre – todos os relógios contribuem igualmente para a determinação da escala de tempo e frequência, como mostra a Figura 5/5. Cada nó se corrige pela média (normalmente ponderada) das frequências dos nós vizinhos. A implementação desta técnica é bastante complexa; no entanto, tem a vantagem de absorver mais facilmente as perturbações da rede pois estas são escoadas para todos os nós. E também tem a vantagem de ser muito confiável pois a perda de sincronismo em um nó ocasiona apenas uma correção na média ponderada. Este método não evoluiu porque apresenta a séria desvantagem de dificuldade de diagnóstico quando algum problema ocorre em um nó da rede, além da possibilidade de ocorrer instabilidades no evento de um transitório.

As redes síncronas centralizadas (Figura 6/5) são baseadas na hierarquia de relógios. Neste método, um nó da rede contendo um relógio mais estável para referência de tempo, transmite a sua frequência para nós cuja estabilidade seja igual ou menor que o primeiro. Em cada nó que recebe o sinal de referência, o seu oscilador se amarra à frequência e à fase do sinal de referência e provê internamente este novo sinal de relógio, que pode servir de referência para outros nós abaixo da hierarquia. É o método de implementação mais simples. No entanto, tem a desvantagem de que uma perturbação na frequência de um nó da rede tende a se propagar para vários nós e, caso um nó importante da rede falhe, muitos nós perderão o sincronismo.

Existem atualmente duas variantes desta estrutura hierárquica – uma delas baseada numa distribuição de sincronismo a partir de um único Relógio Primário de Referência (RPR) e outra baseada numa estrutura hierárquica regional distribuída, com vários RPR's.

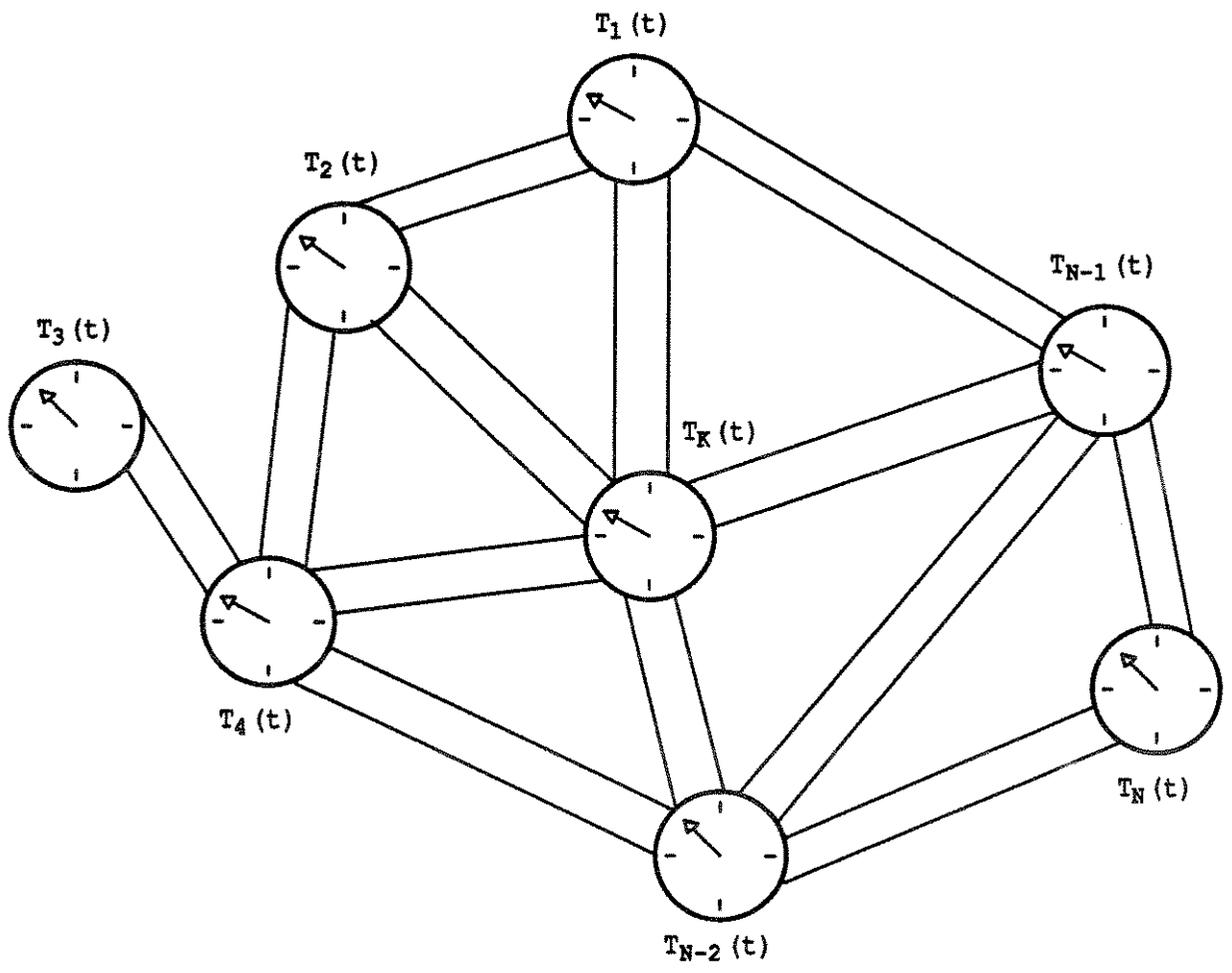


Figura 5/5 - Rede Mutuamente Sincronizada

RELÓGIO MESTRE

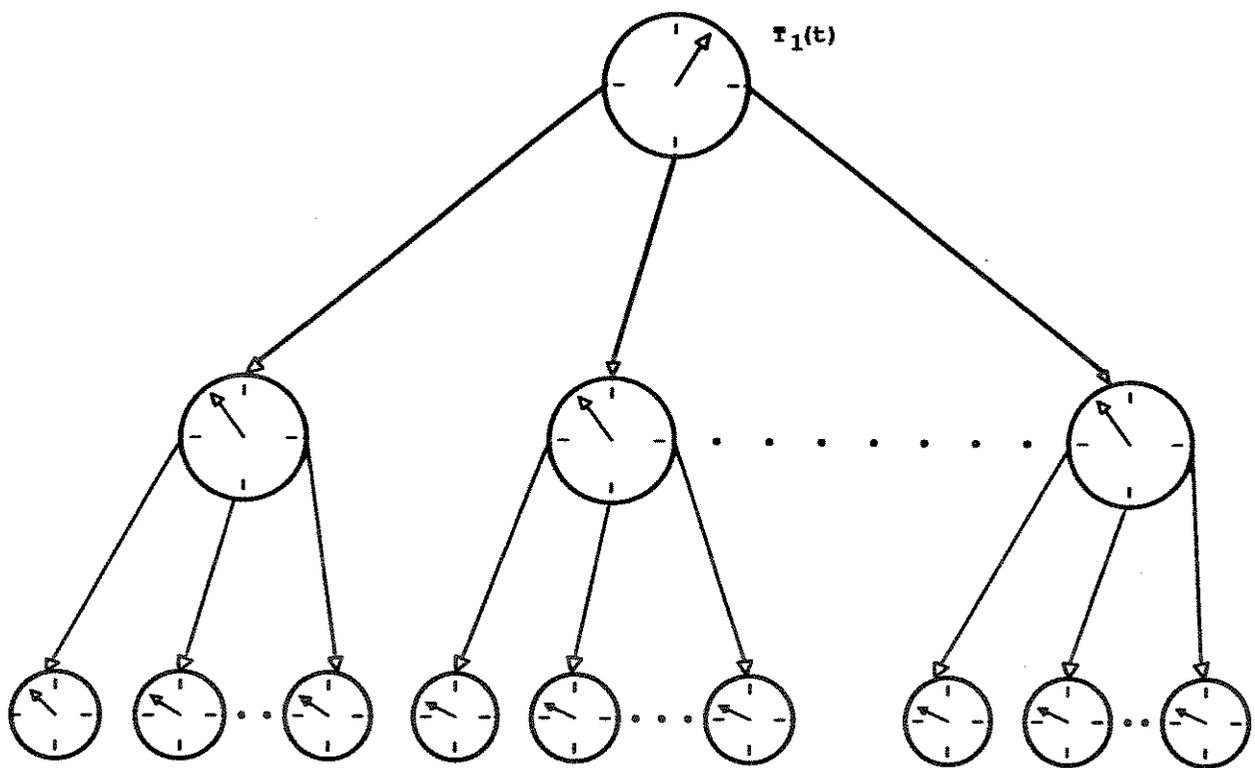


Figura 6/5 - Rede Mestre-Escravo

5.6 Rede de Sincronização da HDS

Os equipamentos da HDS são especificados para operar em redes síncronas. Esses equipamentos contêm relógios escravos, denominados “Multiplexer Timing Source” (MTS) [14], os quais devem ser sincronizados com o Relógio Primário de Referência (diretamente ou indiretamente via Relógio Escravo). No caso dos equipamentos da HDP, existe necessidade de sincronização somente dos sinais de 2,048 Mbit/s (ou 1,544 Mbit/s, no caso da Hierarquia Americana) por questões de qualidade da rede (obtenção de uma baixa taxa de slips). Esta sincronização é obtida através da distribuição de relógios para as centrais telefônicas. Na HDS, além das centrais, os equipamentos multiplexadores também são síncronos, possibilitando o sincronismo de todas as taxas de bit e não apenas dos sinais de 2,048 Mbit/s. Uma vantagem dessa sincronização é, por exemplo, a possibilidade de utilização do Mapeamento Síncrono a Nível de Byte, permitindo a visibilidade direta dos canais de 64 kbit/s ou $N \times 64$ kbit/s dentro da estrutura que transporta esses canais.

Para efeito de utilização na HDS, o método de sincronização Mestre-Escravo é considerado o mais adequado. A possibilidade de empregar Sincronização Mútua requer estudos [9].

Os níveis hierárquicos da rede de sincronização Mestre-Escravo estão indicados abaixo:

Nível 1 – Relógio Primário de Referência;

Nível 2 – Relógio Escravo (Central Trânsito);

Nível 3 – Relógio Escravo (Central Local);

Nível 4 – Relógio Escravo (Equipamento HDS).

É importante ressaltar que os Relógios Escravos (Equipamento HDS) são os próprios módulos de geração de relógios (MTS's) citados anteriormente.

5.6.1 Características dos Relógios Escravos para Operação em Equipamentos da HDS.

5.6.1.1 Máxima Variação de Frequência

Quando estiver no modo oscilação livre (“free-running”), isto é, quando o MTS perder a(s) referência(s) de relógio, a frequência do oscilador local deverá ter uma variação máxima de $\pm 4,6$ ppm [9].

5.6.1.2 Máximo Erro Relativo num Intervalo de Tempo

O máximo erro relativo num intervalo de tempo (Maximum Relative Time Interval Error – MRTIE) é definido como a maior variação pico a pico no tempo de atraso de um dado sinal de relógio com relação a um oscilador de alta performance, dentro de um período de tempo particular.

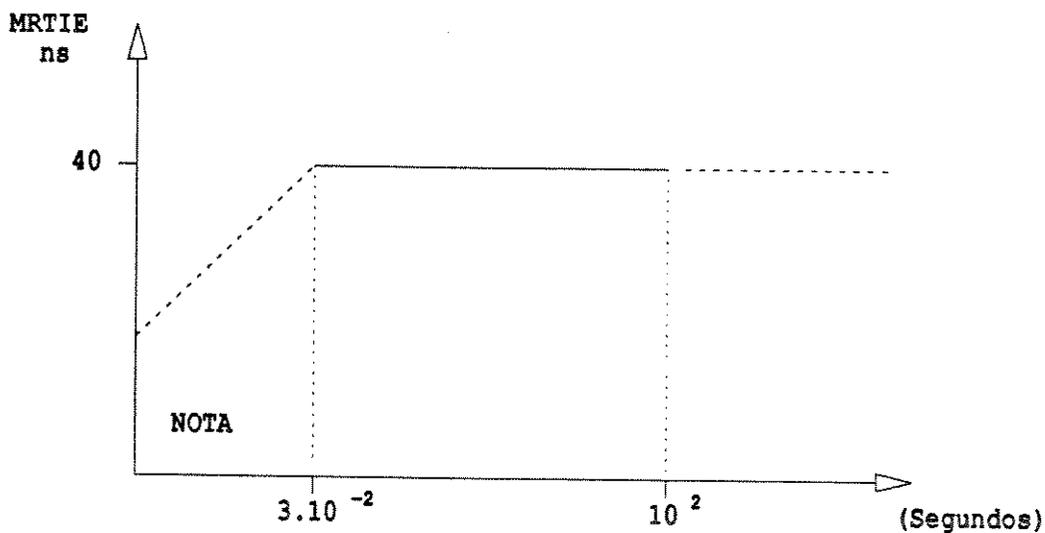
O MRTIE entre o sinal de referência de sincronismo e o sinal de saída do Relógio Escravo da HDS deve atender os seguintes limites:

Para $S \leq 0.03$ s : $MRTIE = \sqrt{S}$ ns (valores provisórios);

Para $0.03 < S \leq 100$ s : $MRTIE \leq 40$ ns;

Para $S \geq 100$ s : os valores para MRTIE estão em estudo.

O gráfico resultante está indicado na Figura 7/5.



NOTA: Nessa Região os Valores são Provisórios

Figura 7/5 - MRTIE no Modo de Operação Ideal

5.6.2 Enlaces de Distribuição de Relógios

A distribuição de relógios para os equipamentos da rede tem sido feita de diversas maneiras. A maneira mais usual tem sido transportar a referência de relógio no próprio sinal de dados de 2,048 Mbit/s.

No entanto, o sinal de 2,048 Mbit/s que sai da HDS está sujeito a ajustes de ponteiros. Esses ajustes de ponteiros causam um aumento de “jitter” nesse sinal. Assim, esse modo de distribuição deve ser evitado.

Dois métodos utilizados para evitar a influência dos ajustes de ponteiros sobre a referência são:

- a) utilizar como referência de sincronismo o relógio recuperado do sinal STM-N.
- b) utilizar como referência de sincronismo um sinal derivado da rede de sincronização.

5.6.3 Modos de Operação

Na HDS existem 4 modos possíveis de operação:

- síncrono;
- pseudo-síncrono;
- plesiócrono e
- assíncrono.

No modo síncrono, todos os relógios da rede estão recebendo a referência de sincronismo do Relógio Primário de Referência (diretamente ou indiretamente através do Relógio Escravo). Nesse caso, os ajustes de ponteiro são aleatórios e ocorrerão basicamente devido a variações de temperatura na fibra óptica ou no laser. Este é o modo de operação normal dentro da região sincronizada pelo RPR.

No modo pseudo-síncrono, existem vários RPR's, sendo que cada RPR tem uma estabilidade de frequência de 1×10^{-11} . Dessa forma ocorrerão ajustes de ponteiros nos limites das regiões de cada RPR. Esse é o modo de operação para as redes internacionais e para as nacionais onde existam várias regiões de operação com diferentes RPR's. A utilização de vários

RPR's é uma solução quando os problemas de estabilidade de frequência começam a ficar críticos devido ao aumento da rede de sincronização na região de um determinado RPR.

O modo plesiócrono ocorre quando a referência de sincronismo e as referências alternativas são perdidas para um ou mais relógios da rede. O relógio entrará no modo "holdover" ou no modo "free-running". Se a sincronização for perdida no equipamento que faz conexão com a HDP, a geração da carga útil será assíncrona. Isto causará ajustes de ponteiros por toda a rede HDS que acessa essa carga útil. Se a sincronização for perdida no último equipamento da rede HDS (ou no penúltimo, no caso do último ser um escravo), também existirão ajustes de ponteiros nesse equipamento. Entretanto, se a falha de sincronização ocorrer nos equipamentos intermediários, isso não resultará em ajustes de ponteiros no equipamento que faz a conexão com a HDP. Os movimentos de ponteiros nos equipamentos intermediários da rede serão corrigidos pelo próximo equipamento da rede, o qual estará sincronizado.

O modo assíncrono corresponde à situação onde ocorrem grandes variações de frequência. A rede HDS não é especificada para manter o tráfego com um relógio de precisão menor que $\pm 4,6$ ppm. Uma precisão de ± 20 ppm é necessária para enviar o sinal de SIA (Sinal Indicativo de Alarme), aplicável para regeneradores ou qualquer outro equipamento da HDS no qual a perda de todas as referências de sincronismo impliquem em uma perda de todo o tráfego.

5.6.4 Cadeia de Referência de Sincronização

A cadeia de referência da rede de sincronização está mostrada na Figura 8/5. Os relógios dos nós são interconectados através de N elementos de rede (equipamentos), sendo que cada um desses elementos segue as especificações para Relógio Escravo (Equipamento HDS).

A cadeia mais longa não deve exceder K Relógios Escravos (Central Trânsito ou Central Local).

A qualidade da referência de sincronismo vai sendo deteriorada, à medida que a rede de sincronização aumenta.

O valor de N será limitado pela qualidade do último elemento de rede da cadeia.

O valor sugerido para K é 10. O valor sugerido para N é 20 com a restrição de que o número total de relógios escravos de equipamentos HDS seja limitado a 60. Esses valores são derivados de cálculos teóricos, sendo necessárias medidas práticas para sua verificação.

5.6.5 Confiabilidade da Rede de Sincronização

É recomendado que todos os relógios escravos sejam habilitados a recuperar o relógio proveniente de, no mínimo, duas referências de sincronismo. O relógio escravo deve ser reconfigurado para recuperar o relógio de uma referência alternativa, se a original falhar.

Como um exemplo possível de reconfiguração na HDS, pode-se tomar uma rede configurada conforme a cadeia de referência de sincronização, tendo o primeiro elemento da cadeia, que está ligado ao RPR, perdido a referência de sincronismo. Neste caso, uma reconfiguração pode ser feita de forma que a referência de sincronismo seja tomada do relógio escravo como mostra a Figura 9/5.

Os bits 5 a 8 do byte Z1 foram escolhidos para inclusão de um código indicativo de qualidade da referência de sincronização. O tempo de resposta desse protocolo deve ser rápido o suficiente para ser compatível com o valor de 10 s, que é a base de avaliação de desempenho dos relógios durante transitórios.

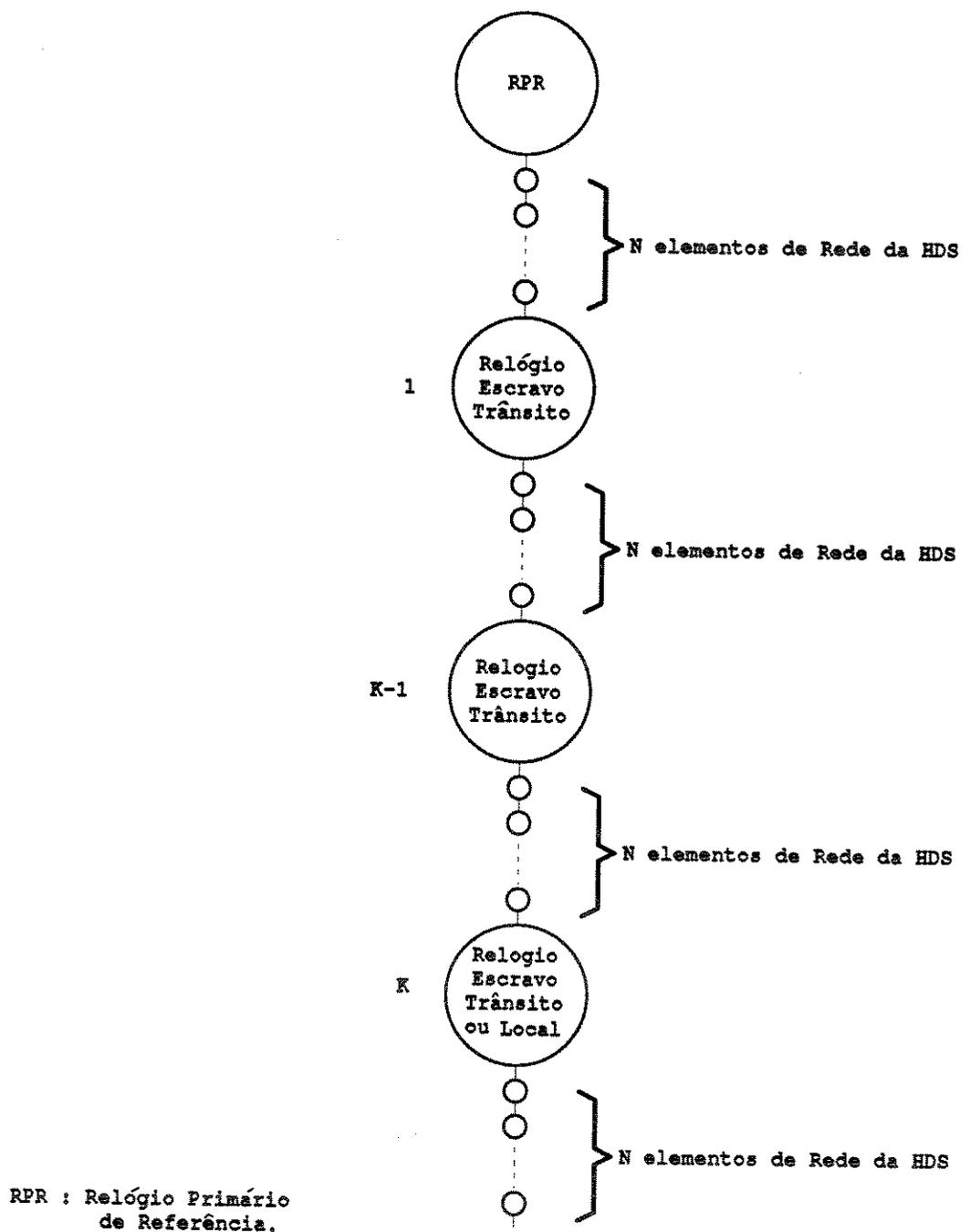
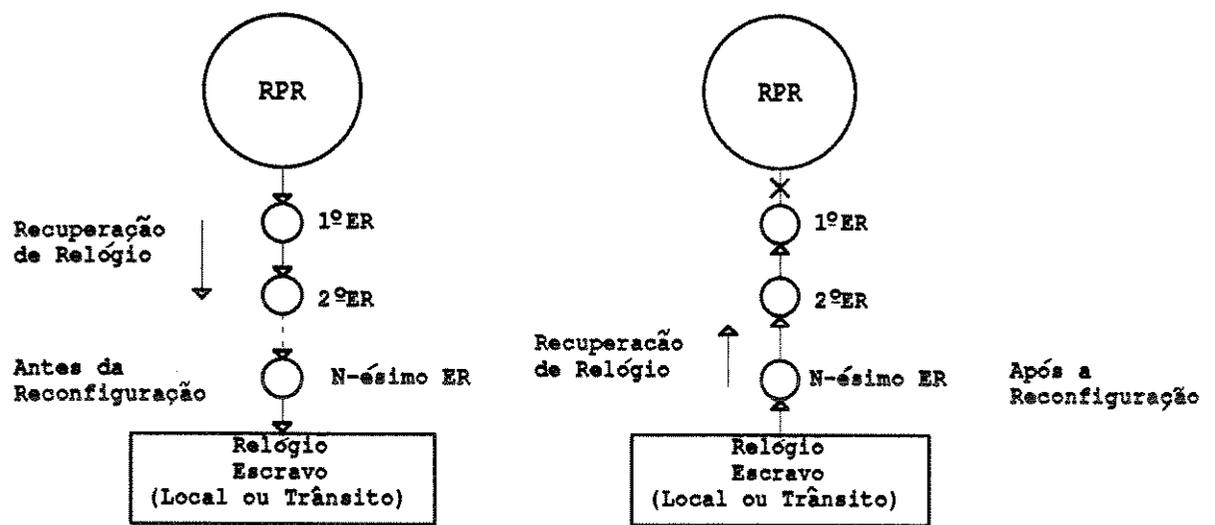


Figura 8/5 - Cadeia de Referência da Rede de Sincronização



ER: Elemento de Rede

Figura 9/5 - Exemplo de Reconfiguração

Capítulo 6

Geração e Redução do “Jitter” de Justificação na HDS

A HDS tem a capacidade de acomodar certas diferenças de frequência entre os vários nós da rede. Para isto, utiliza dois mecanismos básicos: a justificação de bit e a justificação de byte. Uma consequência da utilização destes mecanismos é a geração de tremor de fase ou “jitter” de justificação: o denominado “jitter” de mapeamento, no caso da justificação de bit, e o “jitter” de ajuste de ponteiro, no caso da justificação de byte. Nos ítems 6.1 e 6.3 será analisada a origem destes dois tipos de “jitter” e nos ítems 6.2 e 6.4 são descritos métodos para redução do “jitter” de mapeamento e do “jitter” de ajuste de ponteiro. No ítem 6.5 é proposto um método para redução do “jitter” de justificação. Quando os sinais mapeados na HDS são síncronos não haverá geração de “jitter” de justificação.

O “jitter” de justificação aparece quando os tributários plesiócronicos são extraídos da HDS no circuito denominado dessincronizador. O diagrama em blocos de um dessincronizador genérico está mostrado na Figura 1/6.

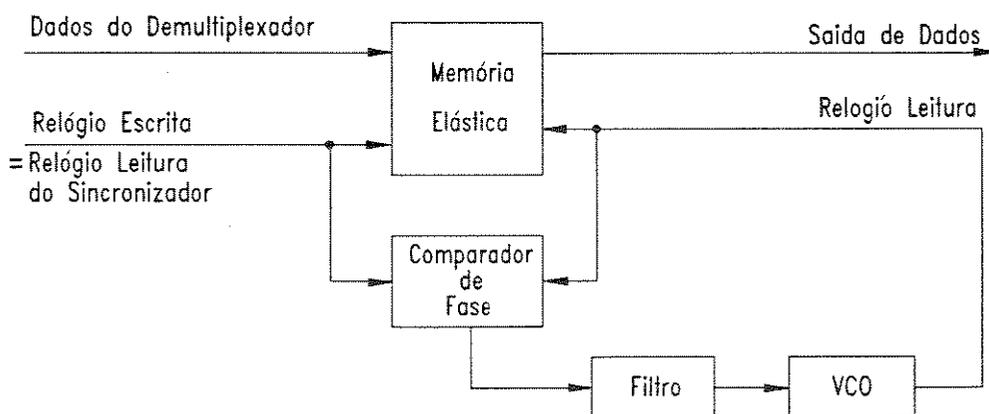


Figura 1/6 - Diagrama em Blocos do Circuito Dessincronizador

Esse circuito realiza o processo inverso à justificação para reconverter o tributário à taxa original. Apenas os bits de informação são escritos na memória, comandados por um relógio com paralisações nos instantes correspondentes às posições dos bits de “overhead”, de controle de justificação e justificação, sendo que a existência ou não de um bit de justificação é reconhecida em função dos bits de controle de justificação. O relógio de leitura da memória elástica é obtido de um Oscilador Controlado por Tensão (Voltage Controlled Oscillator – VCO). A saída do comparador de fase, que é proporcional à diferença de fase entre o relógio de escrita e o relógio de leitura, é filtrada e enviada ao VCO. O dessincronizador opera como um PLL (Phase Locked Loop) e suaviza as paralizações do relógio de escrita devido aos bits de “overhead”, controle de justificação e justificação. Infelizmente, o PLL tem a característica de um filtro passa-baixas e algum tremor de fase de baixa frequência pode aparecer na saída.

Duttweiler [34] decompôs a onda de tremor de fase em uma componente sistemática, que é função apenas do formato do quadro e numa componente não sistemática, que é função apenas da taxa de justificação. A componente sistemática é de alta frequência e será fortemente atenuada pelo PLL. Já a componente não sistemática é de baixa frequência e atravessará o PLL sem praticamente sofrer atenuação, permanecendo agregada ao tributário. Além disso, ele calculou o espectro de frequência dessas duas componentes.

Para calcular a onda de tremor de fase, Duttweiler utilizou o sinal de saída do comparador de fase ($\Phi_s(t)$) do circuito sincronizador, conforme mostra a Figura 2/6. Nesse circuito, os dados são escritos na memória elástica utilizando-se o relógio extraído do próprio sinal de dados (f_0) e lidos utilizando-se o relógio local do multiplexador (f_1). O circuito de controle monitora $\Phi_s(t)$ e quando $\Phi_s(t)$ cruza um determinado limiar Λ , um pulso de relógio é inibido no intervalo de tempo reservado para a justificação, ou seja, um bit de enchimento é adicionado aos dados. Esse esquema é denominado justificação positiva. Um gráfico típico de $\Phi_s(t)$ é mostrado na Figura 3/6.

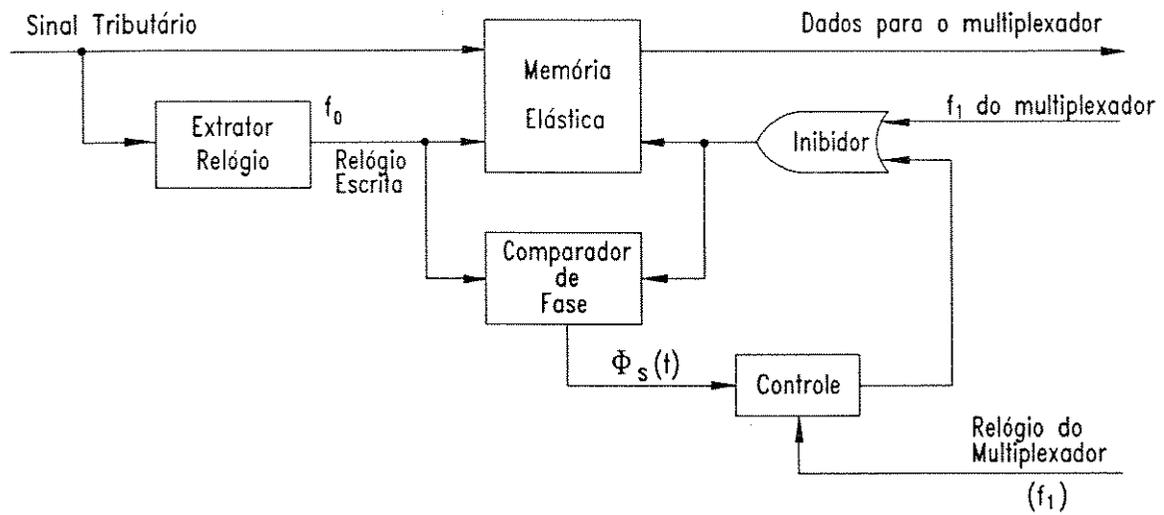


Figura 2/6 - Diagrama em Blocos do Circuito Sincronizador

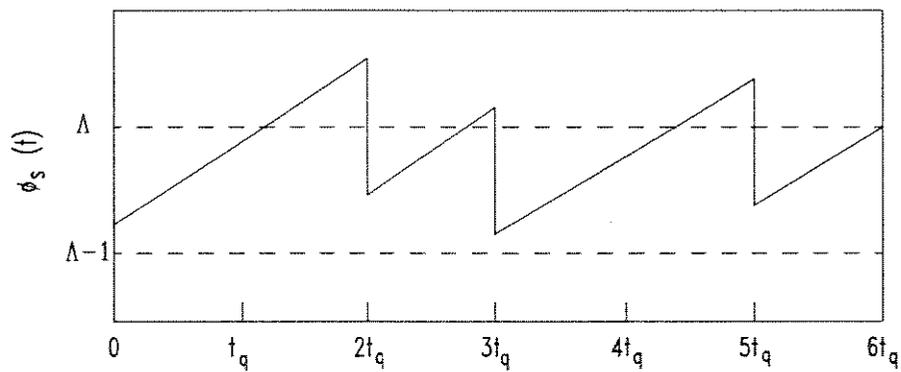


Figura 3/6 - Gráfico Típico da Saída do Comparador de Fase

Essa onda possui um comportamento do tipo dente de serra, com transições bruscas nas posições correspondentes aos bits de "overhead" e bits de justificação e pode ser descrita pela seguinte equação normalizada:

$$\Phi_s(t) = (\Lambda - 1) + \rho t - [\rho t] \quad (1)$$

onde $[\cdot]$ é a função maior inteiro

e $\rho =$ taxa de justificação $= f_s / f_q$, onde :

$$f_s = f_1 - f_0 \text{ e } f_q = \text{máxima taxa de justificação} = 1/t_q.$$

A partir dessa equação Duttweiler calculou o espectro de potência $S_s(f)$.

Como resultado desses cálculos temos $S_s(f)$ dado por:

$$S_s(f) = \text{sinc}^2 f T_q \cdot Q(f) + \sum_{n=1}^{n=\infty} (\rho / 2\pi n) (\delta(f - n f_q) + \delta(f + n f_q)) \quad (2)$$

onde,

$$\text{sinc } f T_q = \text{sen } \pi f T_q / \pi f T_q$$

$$Q(f) = \sum_{n=1}^{n=\infty} \sum_{k=-\infty}^{k=\infty} (1 / 2\pi n)^2 (\delta(f - \rho n f_q - k f_q) + \delta(f + \rho n f_q - k f_q)) \quad (3)$$

É conveniente definir

$$S_{s,a}(f) = \text{sinc}^2 f T_q \cdot Q(f) \quad (4)$$

e

$$S_{s,b}(f) = \sum (\rho / 2\pi n)^2 (\delta(f - n f_q) + \delta(f + n f_q)) \quad (5)$$

Com esta notação

$$S_s(f) = S_{s,a}(f) + S_{s,b}(f).$$

Os gráficos de $\text{sinc}^2 fT_q$, $Q(f)$ e $S_{s,b}$ estão mostrados na Figura 4/6. Apenas as linhas associadas com o primeiro, segundo e terceiro termos da soma de $Q(f)$ estão indicados no gráfico. As linhas denominadas n^- e n^+ são linhas introduzidas por

$$(1 / 2\pi)^2 \delta(f - \rho n f_q - k f_q)$$

e

$$(1 / 2\pi)^2 \delta(f + \rho n f_q - k f_q)$$

respectivamente.

No dessincronizador, sendo $H_d(f)$ a função de transferência de fase, então o “jitter” de saída do multiplexador é dado por:

$$\Phi_d(f) = |H_d(f)|^2 \cdot S_s(f)$$

A informação interessante acerca do espectro $S_s(f)$ está contida em $Q(f)$. $S_{s,b}$ contém apenas componentes de alta frequência. A função $\text{sinc}^2 f$ é apenas uma envoltória. O conteúdo de baixa frequência de $S_s(f)$ é determinado por ρ através de $Q(f)$. Dependendo de ρ podem aparecer frequências bem baixas com amplitudes relativamente altas.

Se ρ é irracional, nenhuma das linhas espectrais coincidirão e as componentes de baixa frequência aparecerão. Quando ρ é racional, as linhas espectrais eventualmente coincidirão e é possível substituir a soma infinita de $Q(f)$ por uma soma finita.

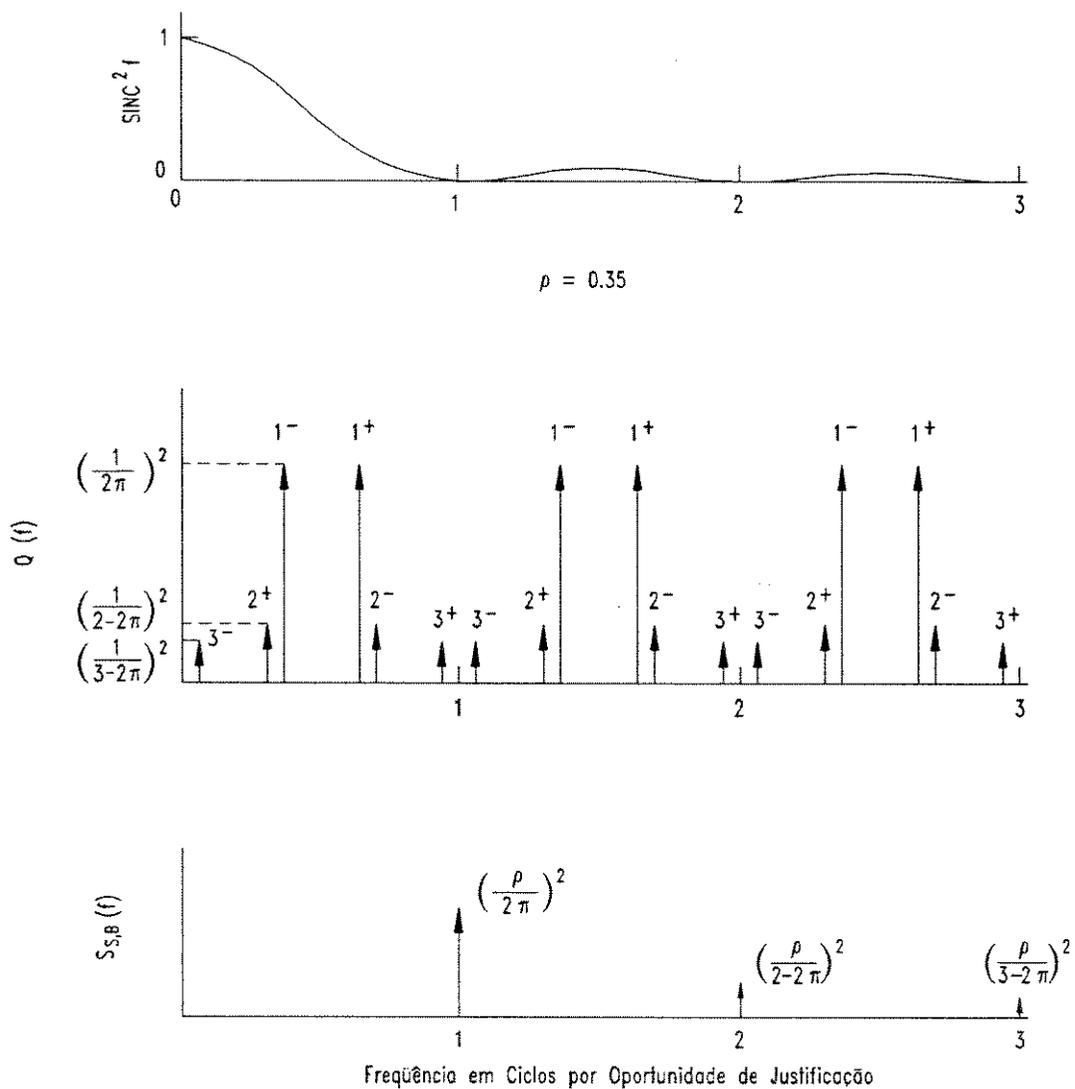


Figura 4/6 - As Componentes do Espectro do "Jitter" de Tempo de Espera

A Figura 5/6a mostra $\Phi_s(t)$ quando ρ é exatamente igual a $1/2$ e as Figura 5/6b e 5/6c quando ρ é aproximadamente $1/2$. Nestes casos, existem componentes de baixa frequência. Esta idéia foi bastante desenvolvida no artigo de Kozuka e Matsuura [28]. As maiores amplitudes de "jitter" ocorrem em torno de $\rho = p/q$, com p e q primos entre si. Neste caso, Kozuka *et alli* mostraram que a amplitude máxima é $A_j = 1/q$ e a frequência do "jitter" é $q \cdot f_{os}$, onde f_{os} = variação da frequência a longo prazo. A tabela 1/6 mostra os maiores picos de "jitter" na faixa de $\rho = [0,1]$. O gráfico da Figura 6/6 obtido em [25] ilustra valores de amplitude pico-a-pico do

“jitter” de baixa frequência em função da taxa de justificação. É interessante observar que à medida que ρ se aproxima de 0 ou de 1 a amplitude do “jitter” aumenta chegando a 1 UI (Unit Interval = 1 período de relógio) quando ρ está em torno de zero ou de um. No entanto, na condição em que ρ é exatamente igual a 0 o tremor de baixa frequência se anula.

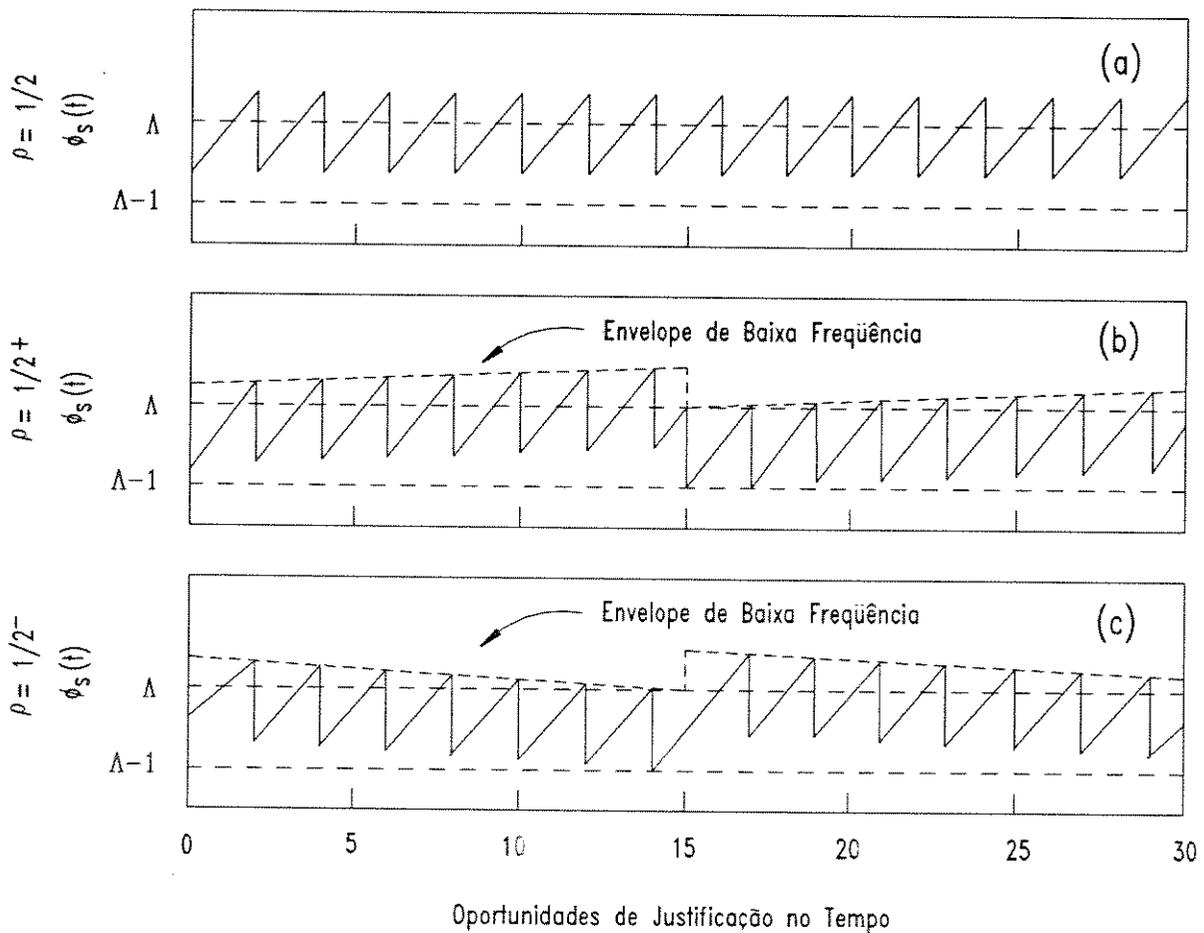


Figura 5/6 - Variações de ρ em torno de 1/2

Existem portanto valores de ρ que devem ser evitados. É por isto que o CCITT escolheu a região entre 0,42 e 0,44 para ρ na Hierarquia Digital Plesiócrona Européia. A ANSI ficou em torno de 0,33 que é um valor de pico alto, mas que é vazio de picos em volta.

R	$A_j = 1/q$	R	$A_j = 1/q$	R	$A_j = 1/q$
1/3	1/3	1/2	1/2	1/7	} 1/7
2/3	1/3	1/4	1/4	3/7	
1/5	} 1/5	3/4	1/4	4/7	
2/5		1/6	1/6	6/7	
3/5		5/6	1/6		
4/5					
				R=1	1
				R=0	1*

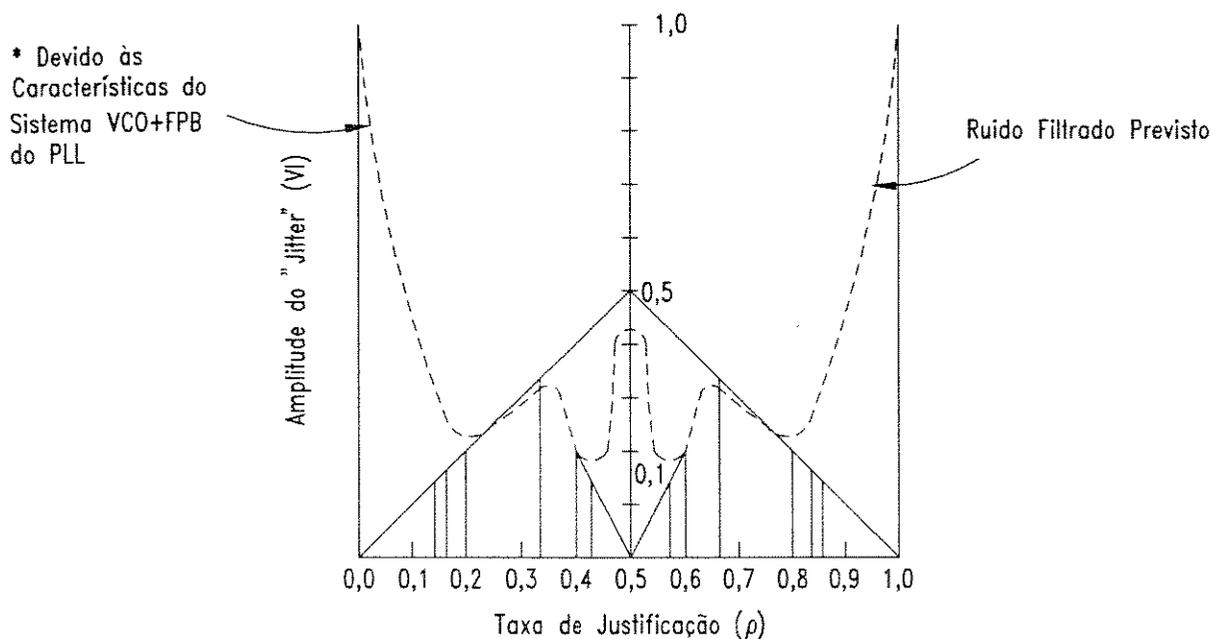


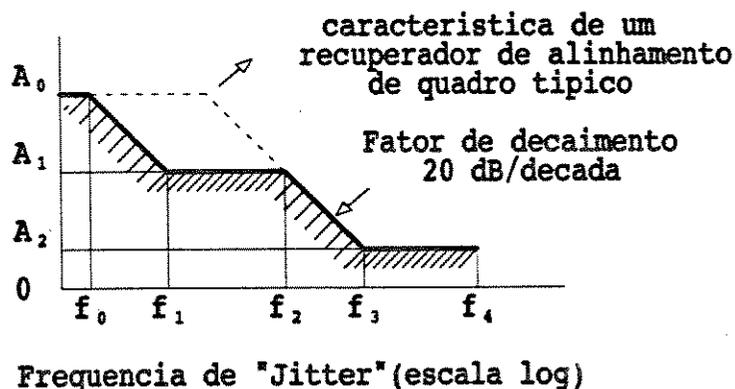
Figura 6/6 - Valores do "Jitter" de Baixa Frequência versus a Taxa de Justificação

Embora todo desenvolvimento tenha sido feito sobre um sistema de justificação positiva, as conclusões obtidas são gerais e aplicáveis a qualquer tipo de justificação, conforme discutido em [35]. Nos sistemas de justificação positiva ou negativa, o conteúdo de baixa frequência é devido principalmente ao tempo de espera entre a demanda de justificação e a posição específica do quadro onde pode ocorrer a justificação, daí esse tremor de fase ser

comumente denominado tremor de tempo de espera (waiting time jitter). Nos sistemas de justificação positiva-zero-negativa o conteúdo de baixa frequência é devido à baixa taxa de justificação.

Para se avaliar o desempenho de um dessincronizador é necessário conhecer as especificações de “jitter” e “wander”. “Wander” é definido pelo CCITT [18] como variações de fase de longo prazo (menor que 10 Hz) nas posições dos períodos de relógio com relação a uma posição de referência no tempo e “jitter” é definido como variações de curto prazo. Para encontrar tais especificações, no caso da HDS, é necessário considerar os efeitos de tais variações de fase sobre a Hierarquia Digital Plesiócrona (HDP). Dado que os PLL's da HDP estão instalados na rede, as especificações devem garantir que as variações de fase do dessincronizador da HDS não causem erros nos PLL's da HDP. As interfaces da HDP não foram projetadas para absorver grandes saltos de fase. A tabela 2/6 contém as tolerâncias de amplitude de “jitter” de entrada para todas as taxas da HDP. Conforme mostra a tabela, na faixa de baixas frequências, a máxima amplitude permitida é 1,5 UI. Dessa forma, os saltos de fase na saída do dessincronizador da HDS devem ser menores que 1,5 UI para viabilizar a interface HDS/HDP. No item 6.4 essas especificações serão detalhadas.

Amplitude pico-a-pico de "Jitter" e "Wander"



Limite inferior de tolerancia de "Jitter" e "Wander" de entrada da interface HDS/HDP

Valor dos Parâmetros	Amplitude pico-a-pico (UI)			Frequência					Sinal de Teste Pseudo-Aleatório
	A ₀	A ₁	A ₂	f ₀	f ₁	f ₂	f ₃	f ₄	
Taxa de Bits (kbit/s)									
64	1,15 (18 μs)	0,25	0,05	1,2 × 10 ⁻⁵ Hz	20 Hz	600 Hz	3 kHz	20 kHz	2 ¹¹ - 1
2048	36,9 (18 μs)	1,5	0,2		20 Hz	2,4 kHz (93 Hz)	18 kHz (700 Hz)	100 kHz	2 ¹⁵ - 1
8448	152 (18 μs)	1,5	0,2	1,2 × 10 ⁻⁵ Hz	20 Hz	400 Hz (10,7 kHz)	3 kHz (80 kHz)	400 kHz	2 ¹⁵ - 1
34368	*	1,5	0,15	*	100 Hz	1 kHz	10 kHz	800 kHz	2 ²³ - 1
139264	*	1,5	0,075	*	200 Hz	500 kHz	10 kHz	3500 kHz	2 ²³ - 1

Tabela 2/6 - Especificação dos parâmetros para tolerância de "jitter" de entrada

6.1 “Jitter” de Mapeamento

A justificação de bit é utilizada para que o tráfego existente da HDP possa ser mapeado nos Containers Virtuais da HDS. Os novos multiplexadores síncronos aceitam como entradas sinais de dados plesiócronicos nas frequências nominais de 1,544 Mbit/s, 2,048 Mbit/s, 6,312 Mbit/s, 34,368 Mbit/s, 44,736 Mbit/s e 139,264 Mbit/s. Para acomodar as variações de frequência destes sinais dois esquemas básicos são utilizados:

. justificação positiva quando a capacidade alocada para a carga útil no Container é maior que a máxima necessária para o sinal plesiócrono. Nesse caso, bits de enchimento são adicionados ao sinal no processo de justificação quando a capacidade da memória está próxima de um limiar de esvaziamento. Este esquema é utilizado para os sinais de 139,264 Mbit/s e 44,736 Mbit/s.

. justificação positiva-zero-negativa quando a capacidade alocada para a carga útil no Container é igual à capacidade necessária para o sinal plesiócrono na taxa nominal. Quando a taxa do sinal plesiócrono fica acima da nominal, o processo de justificação aloca um bit extra para transportar informação no momento em que a memória está próxima de um limiar de enchimento. Por outro lado, se a taxa do sinal plesiócrono estiver abaixo da nominal, o processo de justificação introduz um bit de enchimento para evitar o esvaziamento da memória. Este esquema é utilizado para os sinais de 2,048 Mbit/s, 6,312 Mbit/s e 34,368 Mbit/s.

O primeiro esquema (justificação positiva) é muito similar ao utilizado nos multiplexadores plesiócronicos. Mueller *et alli* [30] propuseram o mapeamento descrito a seguir. Para a transmissão do sinal de 139,264 Mbit/s são necessários $1934,2$ bits por linha do quadro STM ($139,264 \times 10^6 / 8 \text{ kHz} \times 9$ linhas). O quadro da HDS coloca à disposição 260 bytes x 8 = 2080 bits por linha, conforme discutido no Capítulo 4, item 4.1.4. A seguir, os $1934,2$ bits são divididos em 20 blocos o que corresponde a 96,71 bits para cada bloco. A capacidade de cada bloco é 13 bytes, conforme mostra a Figura 7/4. Se forem transmitidos, em cada segunda parte

dos blocos (12 bytes), 96 bits de informação, então os $14,2$ bits restantes ($1934,2 - 96 \times 20 = 14,2$ bits) devem ser acomodados nas primeiras partes dos blocos. Para isto são previstos 8 bits na primeira parte W e 6 bits na primeira parte Z. Os 0,2 bits de informação útil restantes são acomodados no local do bit S, com o auxílio do método de enchimento. Isto resulta num método de enchimento positivo com nove oportunidades de justificação por quadro. Conforme desenvolvido em [35], o método de justificação positiva ocorre quando o relógio de leitura é mais rápido que o de escrita. Nesse caso, para evitar um esvaziamento da memória elástica, torna-se necessário preencher de quando em quando a posição de justificação (S) com um dígito de enchimento. Neste tipo de justificação $N_q - N_s > N_q \cdot A/B$, onde:

N_q = número total de dígitos do quadro

N_s = número de dígitos de sincronismo + controle de
justificação

A = taxa de bits do tributário plesiócrono

B = taxa de bits do tributário convertido à forma
síncrona

Para o tributário de 139,264 Mbit/s,

$N_q = 19440$ bits

$N_s = 2043$ bits

A = 139,264 Mbit/s

B = 155,520 Mbit/s

$\therefore N_q - N_s = 17415 > N_q \cdot A/B = 17408.$

A taxa de justificação ρ quando o tributário está na frequência nominal é dada por:

$$\rho = \frac{\text{número de enchimentos efetuados}}{\text{número de bits de enchimento possíveis}} = 7/9 = 0,\overline{7}$$

No desvio de frequência máximo possível $\delta f/f = \pm 15$ ppm do sinal de 139,264 Mbit/s, ρ varia entre 0,749 e 0,807. Nesta região o “jitter” de tempo de espera é reduzido (0,25 UI_{pp} “jitter” máximo [33]).

Para o sinal de 44,736 Mbit/s também existem nove oportunidades de justificação por quadro e,

$$N_q = 6120 \text{ bits}$$

$$N_s = 522 \text{ bits}$$

$$A = 44,736 \text{ Mbit/s}$$

$$B = 48,960 \text{ Mbit/s}$$

$$\therefore N_q - N_s = 5598 > N_q \cdot A/B = 5592$$

$\rho = 0,\overline{6}$. Nesta região o “jitter” de tempo de espera também é reduzido.

O segundo tipo de justificação tem a propriedade intrínseca de gerar grandes amplitudes de “jitter” em função da taxa de justificação ρ ser próxima de zero. Esta taxa corresponde ao pior caso para geração de “jitter”, com amplitudes pico-a-pico chegando próximas a 1 UI, conforme mostrado nos gráficos de Kozuka e Matsuura [28] citados anteriormente. Quando os sinais de entrada estão na taxa nominal, ρ é igual a zero.

Neste esquema, não foi possível escolher um valor para ρ de forma a tomar o “jitter” reduzido. Isto envolveria alteração no formato do quadro, o qual é adequado à localização dos

canais telefônicos quando o sinal de entrada é síncrono. Devido a este “jitter” se originar quando os sinais de entrada são mapeados na HDS é também denominado “jitter” de mapeamento.

Neste tipo de justificação, $N_q - N_s - 1 = N_q \cdot A/B$ e a taxa de justificação positiva é dada por:

$$\rho = N_q(1 - A/B) - N_s$$

A taxa de justificação negativa é dada por:

$$\rho = N_s - N_q(1 - A/B)$$

Para o sinal de 1,544 Mbit/s,

$$N_q = 832 \text{ bits}$$

$$N_s = 60 \text{ bits (incluindo-se o bit de justificação positiva ou negativa)}$$

$$A = 1,544 \text{ Mbit/s}$$

$$B = 1,664 \text{ Mbit/s (taxa de TU-11 menos taxa de } V_i).$$

Para o sinal de 2,048 Mbit/s,

$$N_q = 1120 \text{ bits}$$

$$N_s = 96 \text{ bits}$$

$$A = 2,048 \text{ mbit/s}$$

$$B = 2,240 \text{ Mbit/s.}$$

Os valores de ρ para os sinais de 1,544 Mbit/s \pm 50 ppm e 2,048 Mbit/s \pm 50 ppm são 0,0385 e 0,05 respectivamente.

6.2 Métodos para Redução do “Jitter” de Mapeamento

Vários esquemas têm sido propostos [4] para implementação do sincronizador/dessincronizador, muitos dos quais contém mecanismos para redução do “jitter” de mapeamento. Uma técnica utilizada é deixar um espaçamento de 1UI entre o limiar de justificação positiva e o limiar de justificação negativa. As justificações são feitas quando esses limiares são cruzados. O European Telecommunications Standards Institute (ETSI) tem trabalhado nesse tipo de sincronizador. Outra técnica consiste em alterar artificialmente a taxa de justificação para um valor diferente de zero e suficientemente alto para que o espectro do “jitter” seja deslocado para frequências mais altas, onde possa ser removido pelo PLL do dessincronizador. Dois esquemas têm sido sugeridos baseados nesse princípio. No primeiro esquema, a taxa de justificação é forçada a ser p/q , conforme indica Choi [22]. Para isto, o bit S2, utilizado para justificação negativa, é forçado a enviar um bit de informação durante p quadros de um total de q quadros. Com isto, a taxa de justificação negativa média passa a ser p/q . O bit S1 opera normalmente para justificação positiva. A situação do bit S2 é denominada justificação síncrona com taxa de justificação negativa p/q . O adjetivo “síncrona” indica que esta justificação é síncrona com o quadro da HDS. A justificação síncrona introduz 1 UI pico-a-pico de “jitter” na frequência de f_{fr}/q (f_{fr} = frequência do quadro da HDS) devido ao padrão de repetição dado/não dado do bit S2. A frequência desse “jitter” é alta e pode ser facilmente eliminada no PLL.

O segundo esquema é denominado Modulação do Limiar de Justificação (“Threshold Modulation”). Este método não difere do sistema tradicional de justificação, exceto que os limiares de comparação do sincronizador não são fixos. Esses limiares são modulados por uma onda dente de serra. O sucesso deste esquema depende do sinal utilizado para modular o limiar de justificação. Pierobon *et alli* [31] fizeram uma análise do “jitter” resultante quando este tipo de sincronizador é utilizado. A Figura 7/6 mostra os limiares de justificação ($S(t)$ e $I(t)$) modulados pela onda dente de serra mostrados em [31]. Os limiares superior e inferior são descritos por:

$$S(t) = S_0 + \rho_0 \cdot t / T - [\rho_0 \cdot t / T] \quad (6)$$

onde $[.]$ é a função maior inteiro

$$I(t) = S(t) - 1 \quad (7)$$

onde ρ_0 é a inclinação do limiar normalizada pelo período do quadro (T) e $T_m = T / \rho_0$ é o período de modulação do limiar. Assumindo-se que os limiares são sincronizados com o quadro de tal forma que o período de modulação é um múltiplo inteiro do período do quadro, $\rho_0 = 1/N$, onde N é um inteiro.

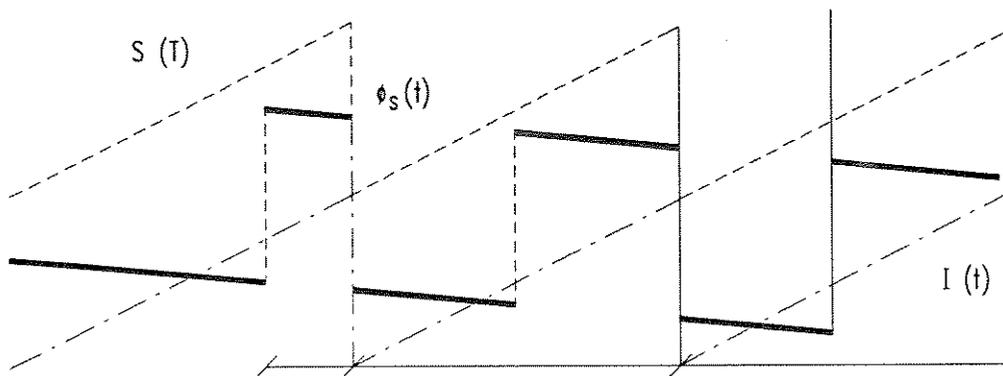


Figura 7/6 - Limiares Modulados por duas Ondas dentes de Serra ($N=4$)

Pierobon et alli equacionaram esse sistema em termos do sinal de diferença de fase do sincronizador e calcularam o espectro desse sinal. O resultado obtido foi uma função com componentes de alta frequência e de baixa frequência. A componente de alta frequência pode ser filtrada pelo PLL. O espectro da componente de baixa frequência é dado por:

$$Y'(f) \approx \sum_{k=-\infty}^{k=\infty} 1 / (j 2\pi N k) \cdot \delta(f - k N \rho) \quad (8)$$

para $0 < f < F/N$, onde F = frequência do quadro.

Por comparação com (3), a taxa de justificação é multiplicada por N e as amplitudes são divididas por N . Então, uma redução de no mínimo N na excursão pico-a-pico do "jitter" filtrado é esperada. No entanto, se N for muito grande, as linhas próximas a F/N podem dar contribuições novamente relevantes para o "jitter" filtrado. Assim, deve haver um compromisso na escolha de N .

A Figura 8/6 mostra a excursão pico-a-pico I_{pp} do "jitter" filtrado versus a taxa de justificação ρ para o esquema de modulação de limiar ($N = 10$) e para o esquema tradicional. É interessante observar que para valores baixos de ρ , para o qual o sistema tradicional é completamente ineficaz, a técnica de modulação de limiar exibe uma excursão próxima a $1/N$, conforme calculado na análise teórica.

Esse esquema é portanto bastante eficaz para reduzir o "jitter" devido ao processo de justificação. No entanto, se o sinal a ser justificado estiver com "jitter", a eficiência desse esquema é reduzida [4].

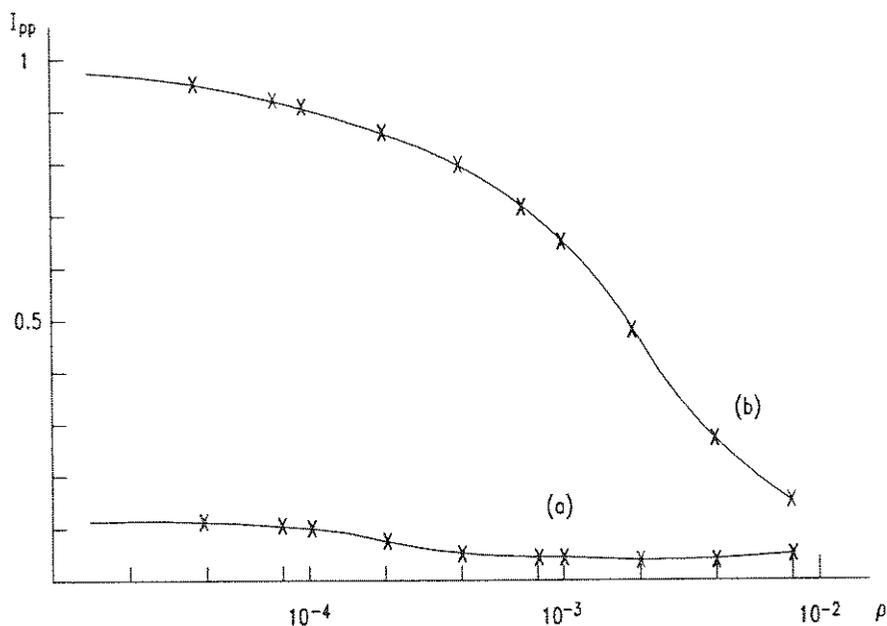


Figura 8/6 - Excursão Pico-a-Pico do "Jitter" Filtrado versus Taxa de Justificação ($N=10$)
(a) dois limiares modulados
(b) limiares não modulados

Para garantir a compatibilidade transversal de tal forma que qualquer sincronizador possa trabalhar com qualquer dessincronizador e ainda satisfazer os limites de "jitter", é necessário especificar os objetivos de desempenho para o sincronizador. Isto pode ser feito especificando-se o máximo nível do sinal recuperado num determinado filtro passa-baixas operando na saída do sincronizador, conforme mostra a Figura 9/6. O filtro digital modela um filtro passa-baixas representando o dessincronizador e o filtro passa-altas representa o filtro do medidor de "jitter". Este esquema está ilustrado na Figura 9/6. As frequências dos filtros para as diferentes taxas de bit estão mostradas na Tabela 3/6.

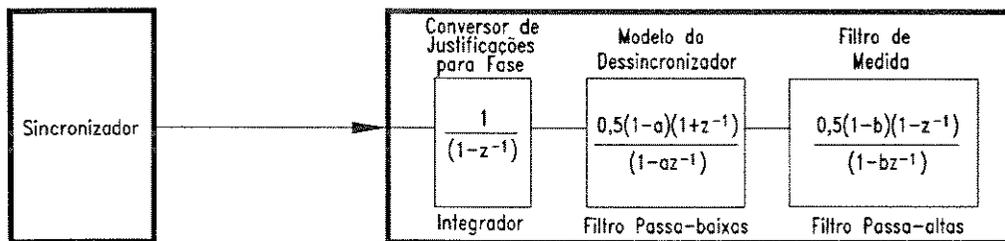


Figura 9/6 - Método de Medida do Sincronizador

	Período de Amostragem	Polo FPB	Polo FPA	Valor de a	Valor de b
1,544 kbit/s	500 µs	20 Hz	10 Hz	0,939	0,969
2,048 kbit/s	500 µs	40 Hz	20 Hz	0,882	0,939
6,312 kbit/s	500 µs	20 Hz	10 Hz	0,939	0,969
8,448 kbit/s	500 µs	100 Hz	20 Hz	0,728	0,939
34,368 kbit/s	125 µs	300 Hz	100 Hz	0,789	0,924
44,736 kbit/s	125 µs	1000 Hz	10 Hz	0,436	0,992
139,264 kbit/s	125 µs	500 Hz	200 Hz	0,672	0,854

Tabela 3/6 - Valores dos Polos dos Filtros para Medida de "Jitter" do Sincronizador

6.3 “Jitter” de Ajuste de Ponteiro

A HDS utiliza ajustes de ponteiros e justificação positiva-zero-negativa de byte para compensar as diferenças de frequência entre os vários nós da rede. A cada nó intermediário os dados são escritos em uma memória elástica usando o relógio recuperado dos dados de entrada e lidos usando o relógio local. Quando a memória elástica está próxima de um “overflow” ou de um “underflow”, um ajuste de ponteiro e uma justificação de byte são gerados. Por exemplo, se a memória elástica estiver quase cheia então uma justificação negativa será realizada. O byte de justificação negativa contido no quadro, que normalmente não transporta informação válida será utilizado para transmitir um byte adicional de informação e o valor do ponteiro será decrementado de uma unidade. Isto faz com que a quantidade de bytes dentro da memória elástica diminua. Por outro lado, se a memória elástica estiver quase vazia, uma justificação positiva de byte será realizada. O byte alocado no quadro para justificação positiva, que normalmente transporta informação válida, neste caso passará a transportar dados redundantes e o valor do ponteiro será incrementado de uma unidade. Isto aumenta o número de bytes dentro da memória elástica. A seguir, esse mecanismo será detalhado para o processador de ponteiro de AU-n e de TU-n.

6.3.1 Mecanismo de Ponteiro de AU-n

A função de um multiplexador STM-N é extrair os Containers Virtuais de Ordem Superior de cada sinal STM-1, multiplexá-los, e formar um novo sinal STM-N para ser transmitido.

Para isto, o relógio regular de cada sinal STM-1 sofre paralisações nos locais de MSOH e RSOH, para se retirar o relógio do VC-4 ou de três VC-3. Além disso, o multiplexador produz um relógio de referência para todos os VC-4 e VC-3. Dessa forma, para todo VC de ordem superior existe um relógio de entrada (com paralisações) e um relógio de referência (com paralisações). O mecanismo de ajuste de ponteiro e justificação de byte possibilita a acomodação

das diferenças de fase e frequência entre esses dois relógios. No caso do VC-4 os ajustes são em unidades de 3 bytes. Para o VC-3 os ajustes são em unidades de um byte. A Figura 10/6 ilustra um esquema do processador de ponteiro de AU. Utilizando-se uma memória elástica de tamanho adequado é pouco provável que um ajuste de ponteiro ocorrido no relógio de entrada cause um ajuste de ponteiro no relógio de saída (ou de referência).

O tamanho da memória elástica do processador de ponteiro de AU deve ser no mínimo 12 bytes para o AU-4 e 4 bytes para o AU-3 [32]. Isto corresponde a 640 ns de MRTIE (“Maximum Relative Time Interval Error”) entre o relógio local e o relógio extraído dos dados de entrada. Não é recomendada a utilização de memórias muito grandes pois isto ocasiona grandes atrasos nos sinais.

O processador de ponteiro tem o efeito de quantizar a diferença de fase entre o relógio de entrada e o relógio de saída. Para garantir que as variações de fase não ocasionem um número excessivo de ajustes de ponteiro, especialmente quando as variações de fase são pequenas, uma região é especificada entre os limiares de justificação inferior e superior. Essa região é denominada zona morta.

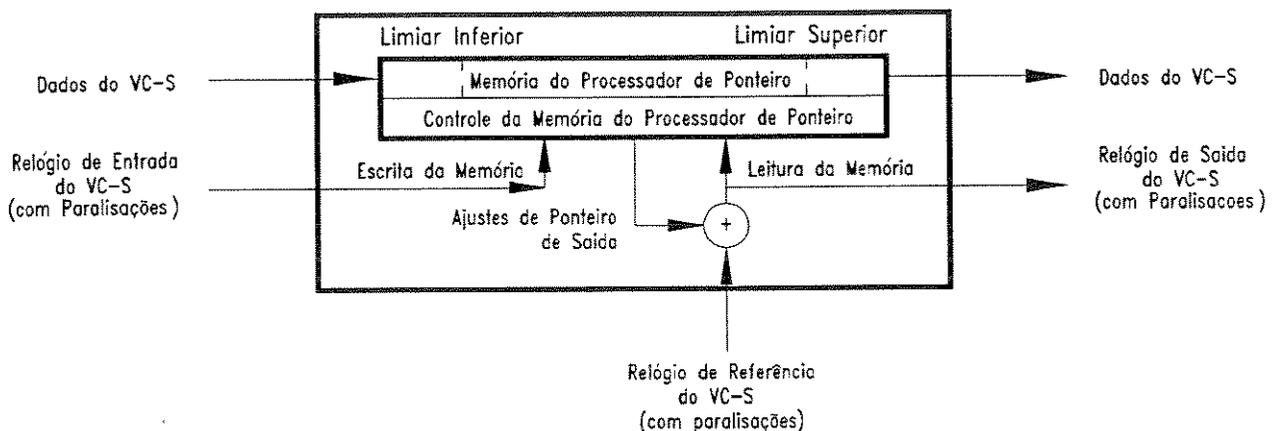


Figura 10/6 - Processador de Ponteiro de AU

6.3.2 Mecanismo de Ponteiro de TU-n

O processador de ponteiro de TU é basicamente o mesmo que o de AU, conforme mostra a Figura 11/6. Neste caso, o relógio de entrada contém paralisações para se extrair o Container Virtual de Ordem Inferior. Esse relógio é derivado do relógio do VC de ordem superior (com paralisações), que por sua vez é derivado do relógio regular. Assim, novas paralisações são adicionadas ao relógio do VC-S para produzir o relógio de referência do VC-I, incluindo os ajustes de ponteiro. A Figura 12/6 ilustra esse mecanismo.

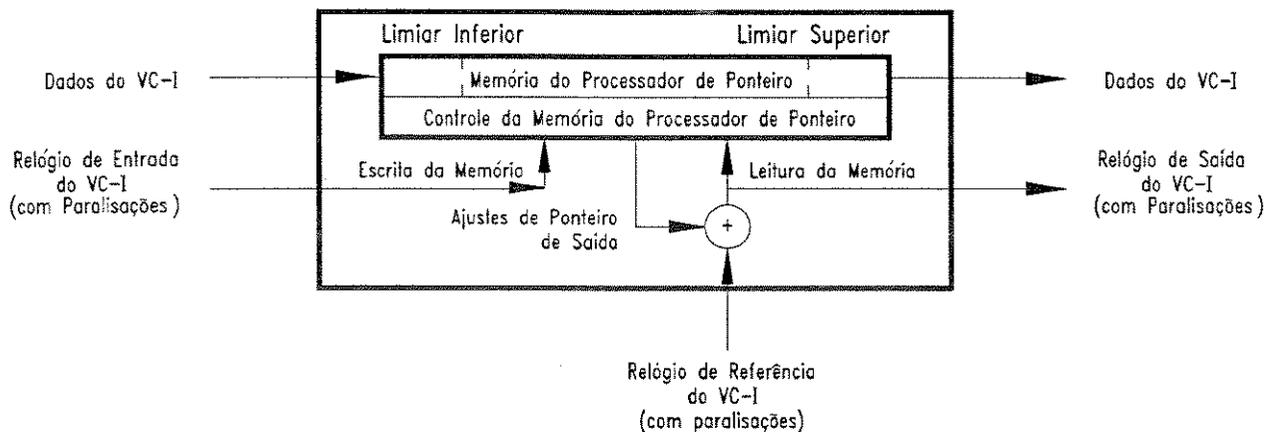


Figura 11/6 - Processador de Ponteiro de TU

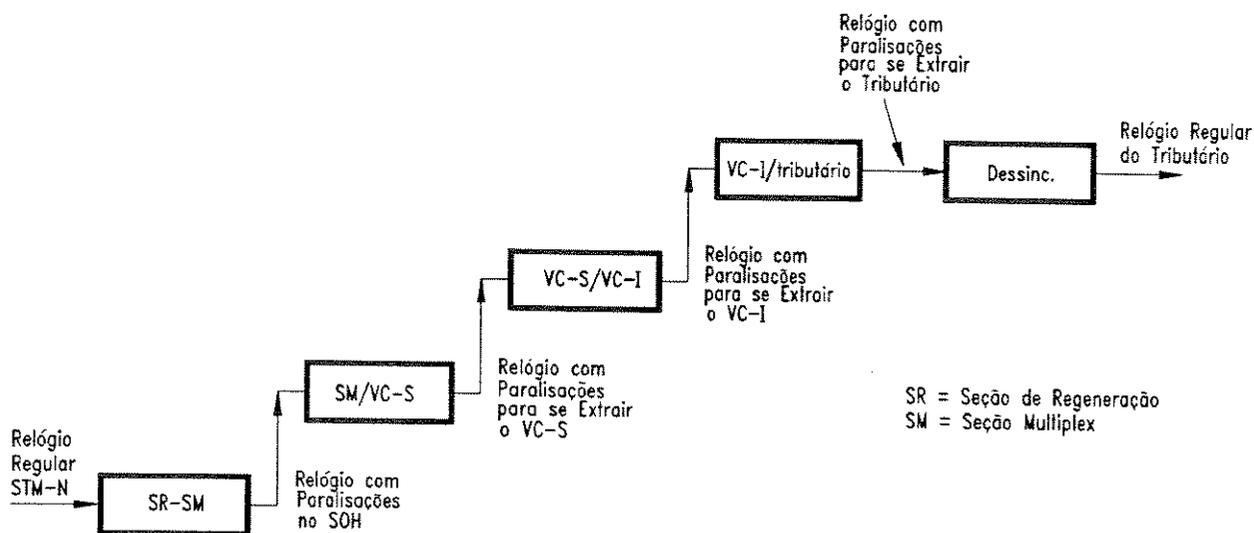


Figura 12/6 - Fases de Adaptação do Relógio para se Extrair um Tributário da HDS

6.3.3 Estatísticas dos Ajustes de Ponteiro

A frequência dos ajustes de ponteiro de AU é muito maior que a dos ajustes de ponteiro de TU [32] devido à quantidade de fase codificada pelos ajustes de ponteiro de AU ser relativamente muito menor.

As principais fontes de variação de fase que causam ajustes de ponteiro são: diferenças de frequência de longo prazo entre o relógio de entrada e o relógio de saída, "wander" no relógio de entrada dos sistemas de linha (devido a variações térmicas durante o dia) e instabilidades de curto prazo nos relógios de entrada e saída.

Pode-se mostrar que, com a máxima diferença permissível de frequência de longo prazo de + 4,6 ppm no relógio de entrada, ocorre um ajuste de ponteiro e uma justificação negativa a cada 33,5 ms no ponteiro do VC-4 (ou ainda, 1 ajuste de ponteiro a cada 268 quadros). A resposta do processador de ponteiro a essas variações está ilustrada na Figura 13/6.

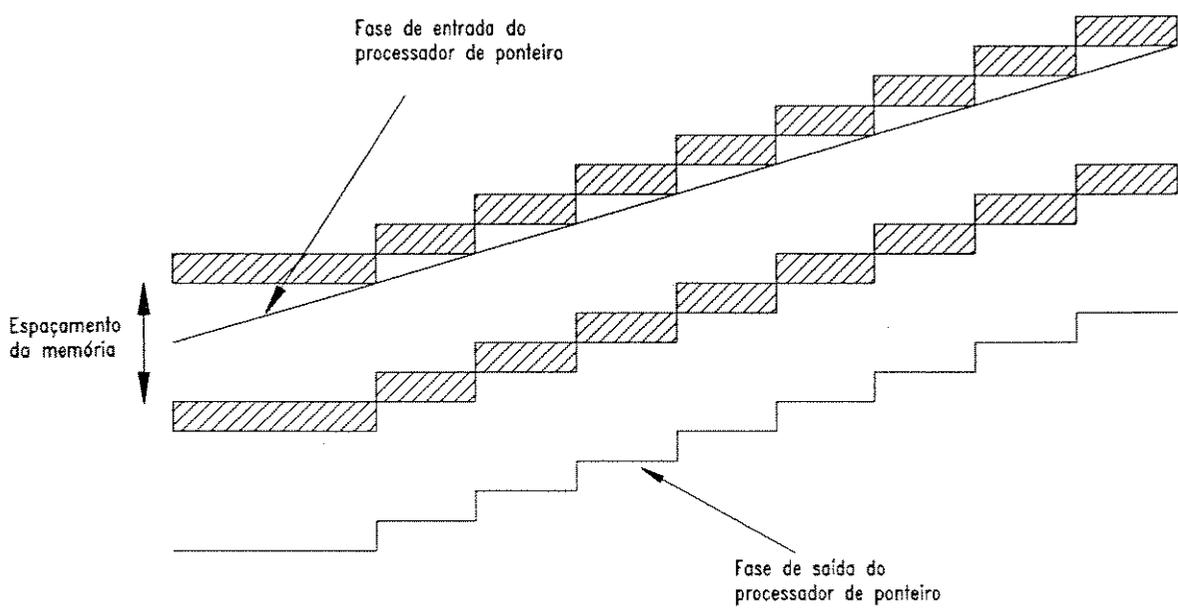


Figura 13/6 - Resposta do Processador de Ponteiro de AU a Variações de Frequência

As variações de fase causadas por "wander" podem ser representadas por uma senoide de período 86400 segundos (1 dia). De acordo com [32], um cabo óptico longo pode originar um "wander" de amplitude da ordem de 2 μ s pico-a-pico. A resposta do processador de ponteiro a este tipo de variação de fase está mostrada na Figura 14/6.

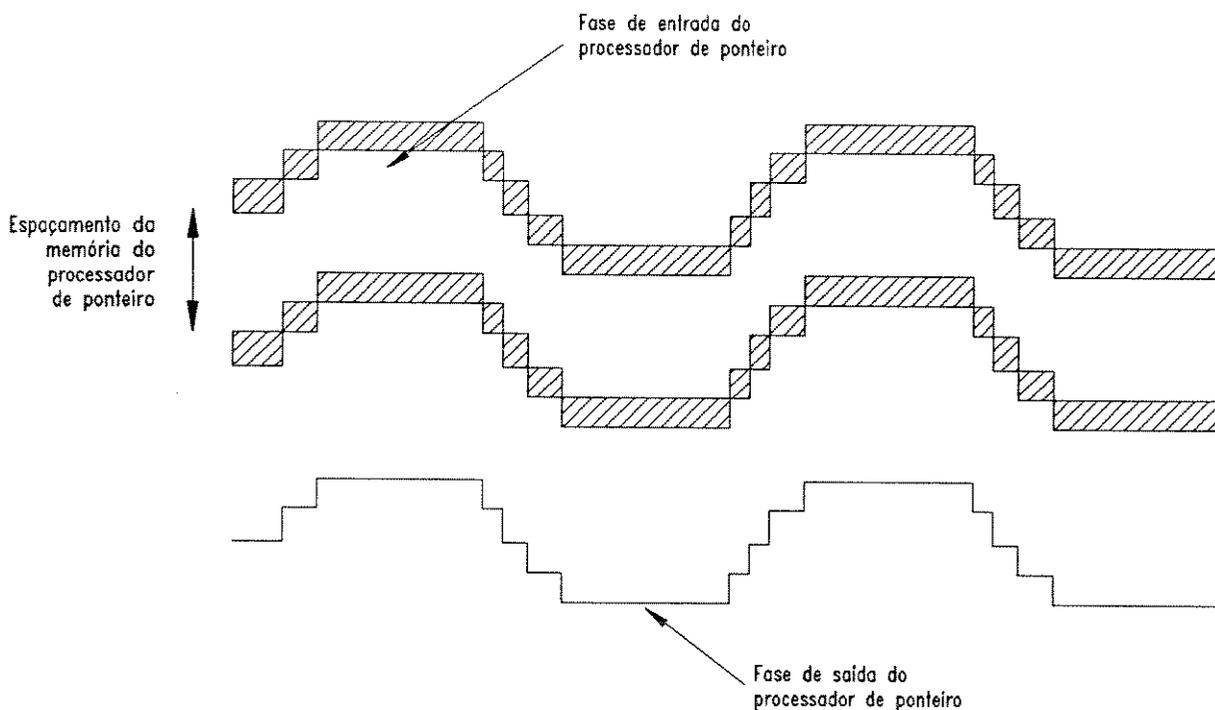


Figura 14/6 - Resposta do Processador de Ponteiro de AU ao "Wander" diário

As diferenças de fase de curto prazo são causadas pelos PLL's dos relógios escravos do MTS ("Multiplexer Timing Source"). Se o fator de qualidade Q desses circuitos for muito alto, então o tempo entre o ruído aparecer na fase de saída e a correção aplicada para compensar a variação pode ser relativamente longo. Conforme discutido em [32], num PLL operando a 155,520 MHz possuindo um Q de 10^{10} , ruídos acima de de 0,01 Hz passarão para a saída sem correção.

Se a amplitude do sinal de ruído for pequena, então o ruído será absorvido pela memória do processador de ponteiro. Por outro lado, se a amplitude do ruído for suficiente para produzir ajustes de ponteiros, a escala de tempo na qual ocorrem as variações no sinal do ruído (mudanças lentas para mudanças rápidas) determinam o tempo entre os ajustes de ponteiros.

Quando o sinal de referência de sincronização do MTS é perdido por um longo período de tempo, o relógio escravo entra no modo “free-running”. Isto causará variações de frequência de até $\pm 4,6$ ppm, podendo ocasionar uma alta taxa de ajustes de ponteiro (como calculado anteriormente, 1 ajuste a cada 268 quadros).

No caso dos ponteiros de TU, o relógio de entrada do VC-I é obtido a partir do relógio de saída VC-S. Assim, esses relógios não contêm variações de frequência de longo prazo, “wander”, ou variações de fase de curto prazo com relação ao relógio de saída do VC-S. Somente as variações de fase correspondentes aos ajustes de ponteiros de AU são passadas para o relógio de entrada do VC-I.

Se a taxa de ajustes de ponteiro de AU é baixa e não existem variações de frequência de longo prazo codificadas nesses ajustes, é improvável que ocorrerão ajustes de ponteiro de TU. A memória do processador de ponteiro de TU deve absorver os ajustes de ponteiro de AU.

O tamanho da memória do processador de ponteiro de TU deve ser de, no mínimo, 4 bytes para o TU-3 e 2 bytes para o TU-1/2.

6.3.4 Efeito dos Ajustes de Ponteiros no Dessincronizador

Conforme ilustrado na Figura 12/6, o sinal STM-N é adaptado várias vezes antes que os sinais plesiócronicos possam ser recuperados no dessincronizador. As etapas de adaptação são:

- inserção de paralisações no relógio regular STM-N para remoção do SOH;
- inserção de paralisações no relógio da seção multiplex (SM) para se retirar o VC-S e paralisações adicionais devido aos ajustes de ponteiro de AU;
- inserção de paralisações no relógio do VC-S para se retirar o VC-I e paralisações adicionais devido aos ajustes de ponteiro de TU;

– inserção de paralisações nos relógios do VC-I ou do VC-S devido aos bits de controle de justificação e aos bits de justificação.

Na etapa final, o relógio obtido não é regular e o dessincronizador deve tomar esse relógio regular para que se possa obter o relógio de saída do sinal plesiócrono. Além disso, o dessincronizador deve satisfazer as exigências de “jitter” e “wander” de entrada da HDP para viabilizar a interface HDS/HDP. Devido à taxa de ajustes de ponteiros ser bastante reduzida quando a rede está operando normalmente, o PLL do dessincronizador não possibilita uma filtragem adequada. Os saltos de fase introduzidos pela justificação positiva-zero-negativa de byte são de 8 UI para o VC-3 e 24 UI para o VC-4. Dado que os PLL’s da HDP estão instalados na rede, é necessário introduzir mecanismos no dessincronizador a fim de reduzir esses saltos de fase, comumente denominados “Jitter” de Ajuste de Ponteiros (JAP). As especificações do dessincronizador da HDS devem garantir que as variações de fase de saída não causem erros nos PLL’s da HDP.

Os limites de “jitter” e “wander” de saída do dessincronizador para cada taxa de bit da HDP e as características do filtro correspondente são dadas na Tabela 4/6.

	Características do Filtro			"Jitter" pico-a-pico máximo			
				Mapeamento		Combinado	
Interface Plesiócrona	f1 Passa-alta	f3 Passa-alta	f4 Passa-baixa	f1-f4	f3-f4	f1-f4	f3-f4
1544 kbit/s	10 Hz 20 dB/dec	*	40 kHz -20 dB/dec	*	*	1,5 UI	*
2048 kbit/s	20 Hz 20 dB/dec	18 kHz (700 Hz) 20 dB/dec	100 kHz -20 dB/dec	*	0,075 UI (Nota 9)	0,4 UI (Nota 8)	0,075 UI (Nota 9)
6312 kbit/s	*	*	60 kHz -20 dB/dec	*	*	1,5 UI	*
8448 kbit/s	20 Hz 20 dB/dec	3 kHz (80 kHz) 20 dB/dec	400 kHz -20 dB/dec	*	0,075 UI (Nota 5)	0,04 UI 0,75 UI (Nota 4)	0,075 UI (Nota 5)
34368 kbit/s	100 Hz 20 dB/dec	10 kHz 20 dB/dec	800 kHz -20 dB/dec	*	0,075 UI (Nota 5)	0,04 UI 0,75 UI (Nota 4)	0,075 UI (Nota 5)
44736 kbit/s	*	*	400 kHz -20 dB/dec	*	*	1,5 UI	*
139264 kbit/s	200 Hz 20 dB/dec	10 kHz 20 dB/dec	3500 kHz -20 dB/dec	*	(Nota 6)	(Nota 7)	(Nota 6)

Tabela 4/6 - Especificações de Geração de "Jitter" combinado

Nota 1: Os valores de frequência indicados entre parênteses se aplicam apenas a certas interfaces nacionais.

Nota 2: Esses limites são válidos apenas se todos os nós da rede do caminho percorrido estiverem sincronizados. Limites para quando a sincronização for perdida ainda estão em estudo.

Nota 3: Valores marcados com * ainda estão em estudo.

Nota 4: O limite de 0,04 UI corresponde a um ajuste de ponteiro de uma polaridade seguido por outro ajuste de ponteiro de polaridade oposta, e o limite de 0,75 UI corresponde a um duplo ajuste de ponteiro de uma polaridade, seguido por outro duplo ajuste de ponteiro de polaridade oposta. É suposto que os ajustes de ponteiro de polaridades opostas são bem espaçados no tempo, isto é, os períodos entre os ajustes de ponteiros são bem maiores que a constante de tempo do dessincronizador..

Nota 5: Esse limite corresponde a um duplo ajuste de ponteiro de uma polaridade, seguido por outro duplo ajuste de ponteiro de polaridade oposta. É suposto que os ajustes de ponteiro de polaridades opostas são bem espaçados no tempo (ver nota 4).

Nota 6: Está em estudo; o valor 0,075 UI tem sido proposto. Neste caso a Nota 5 também se aplica.

Nota 7: Está em estudo: os valores 0,4 UI e 0,75 UI têm sido propostos. A Nota 4 se aplica também nesse caso.

Nota 8: O limite de 0,4 UI corresponde a uma seqüência de ajustes de ponteiros mostrada na Figura 15/6 a,b e c.

Nota 9: O limite 0,075 UI corresponde a uma seqüência de ajuste de ponteiros mostrada na Figura 15/6 a, b, c e d.

Observação: Os valores de limites de “jitter” e “wander” contidos nessa tabela incluem o “jitter” de mapeamento, ou seja, são devido ao “jitter” de ajuste de ponteiros e ao “jitter” de mapeamento combinados.

Dois ajustes
de ponteiros
de polaridades
opostas

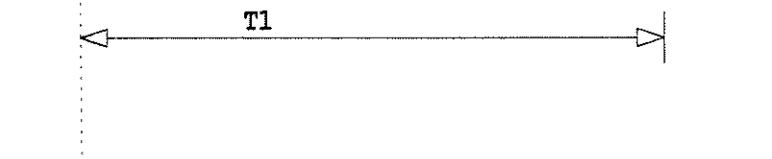


Figura 15/6a

Ajuste de Ponteiros
regulares mais um
duplo ajuste

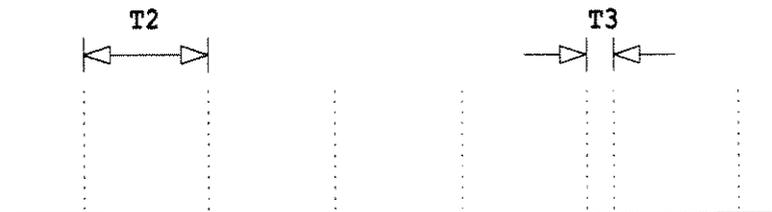


Figura 15/6b

Ajuste de Ponteiro
regulares com uma
perda de ponteiro

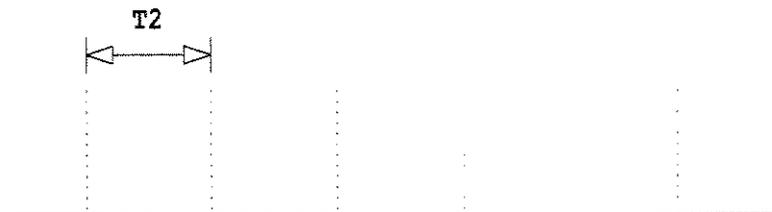
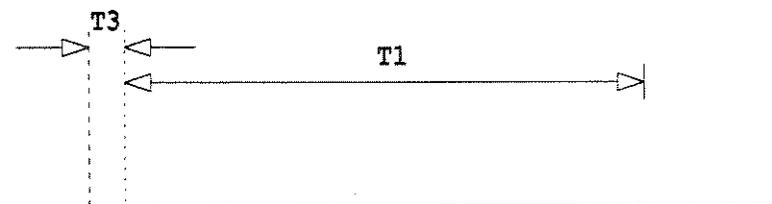


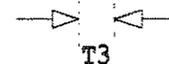
Figura 15/6c

Duplo ajuste de
ponteiros de
polaridades opostas



$T1 > 10$ segundos
 $T2 > 0,75$ segundos
 $T3 = 2ms$

Figura 15/6d



6.4 Métodos para Redução do “Jitter” de Ajuste de Ponteiros

Várias técnicas têm sido propostas [4] para a redução do “jitter” de ajuste de ponteiros. Os principais fatores que devem ser levados em consideração no projeto do dessincronizador na HDS são:

- a constante de tempo da malha de controle deve ser longa para que os requisitos de “jitter” e “wander” sejam atendidos (geralmente maior que um segundo).
- os ajustes de ponteiro podem codificar uma variação de frequência de $\pm 4,6$ ppm.
- o tamanho da memória não deve ser muito grande, tendo em vista reduzir os atrasos dos sinais na rede e também a complexidade do dessincronizador.

Uma primeira abordagem consiste em reduzir os saltos de fase através de filtragem, utilizando um PLL de largura de faixa bastante estreita.

Mediavilla *et alli* [29] propuseram utilizar um PLL de largura de faixa menor que 10 Hz no dessincronizador. Isto reduz drasticamente o salto de fase aplicado à entrada. Para avaliar o desempenho desse circuito Mediavilla introduziu o seguinte modelo:

Seja $x(t)$ um salto de fase de 8 UI.

Então, $x(t) = at [u(t) - u(t - 8b)]$

onde $u(t)$ é a função degrau, b corresponde a um intervalo de 1 UI, e $a = 1/b$. A transformada de Laplace de $x(t)$ é dada pela seguinte equação:

$$X(s) = a/s^2 [1 - e^{-8bs}]$$

O PLL é admitido ser do tipo II, com a seguinte função de transferência:

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

A largura de faixa da malha fechada é dada pela equação:

$$\omega_{3dB} = \omega_n [2\xi^2 + 1 + (4\xi^4 + 4\xi^2 + 2)^{1/2}]^{1/2}$$

Multiplicando $H(s)$ por $X(s)$, encontrando a transformada inversa e rearranjando os termos, a resposta de saída do PLL para $0 < \xi < 1$ é dada por:

$$y(t) = [at + a/\omega_d e^{-\xi\omega_n t} \sin(\omega_d t)] u(t) - [a(t-8b) + a/\omega_d e^{-\xi\omega_n (t-8b)} \sin(\omega_d (t-8b))] \times u(t-8b).$$

Neste tipo de PLL, para que a diferença de fase entre a entrada e a saída atinja um valor 0,01 UI, por exemplo, são necessários 0,3 segundos, considerando-se uma largura de faixa (f_{3dB}) de 10 Hz. Para uma largura de faixa de 5 Hz são necessários 0,599 segundos. A duração do transiente depende da largura de faixa do PLL. Quando a largura de faixa aumenta, a duração do transiente diminui e vice-versa. Com este tipo de PLL é possível atingir as especificações de “jitter” para um único ajuste de ponteiro. No entanto, se dois (ou mais) ajustes de ponteiro de mesma polaridade ocorrerem num tempo menor que o tempo de resposta do PLL, a superposição resultará num acréscimo dos valores pico-a-pico de “jitter”, tomando o sistema inadequado.

6.4.1 “Fixed Bit Leaking”

Este esquema possui um mecanismo o qual detecta e memoriza o ajuste de ponteiro e introduz gradualmente, bit a bit, a justificação de 1 byte. No momento em que um ajuste de ponteiro é detectado, este algoritmo atrasa (ou adianta) o sinal de saída de um bit. Imediatamente após esse ajuste, e, durante um período de distribuição escolhido, o sinal de entrada não é modificado pelo circuito de controle e é somente filtrado pelo PLL. Quando o intervalo de

distribuição é completado, outro bit de ajuste é adicionado e o processo se repete até completar 8 bits. O sinal de saída é enviado a um PLL analógico convencional.

A limitação dessa técnica é que a máxima taxa na qual os bits podem ser passados para o PLL é pré-determinada, e se os ajustes de ponteiro excedem essa taxa, então pode ocorrer um “overflow” ou um “underflow” na memória. O limite para sinais de 1,544 Mbit/s e 2,048 Mbit/s está abaixo de $\pm 4,6$ ppm, o que torna este método inadequado. A resposta de um dessincronizador de 2 Mbit/s utilizando esta técnica está ilustrada na Figura 16/6, para um ajuste de ponteiro positivo e negativo consecutivos. Refinamentos deste esquema para evitar “overflow” quando a taxa de ajustes de ponteiros é alta foram também considerados [32]. Tais esquemas são denominados “adaptive bit leaking” e utilizam diferentes taxas de distribuição. A operação adaptativa pode ser considerada como um filtro passa-baixas com frequência de corte variável. Portanto, ajustes de ponteiros regulares causam uma largura de faixa larga, reduzindo a capacidade de atenuação. Ainda não está totalmente comprovado que esses esquemas podem prover os níveis aceitáveis de “jitter” no sinal recuperado.

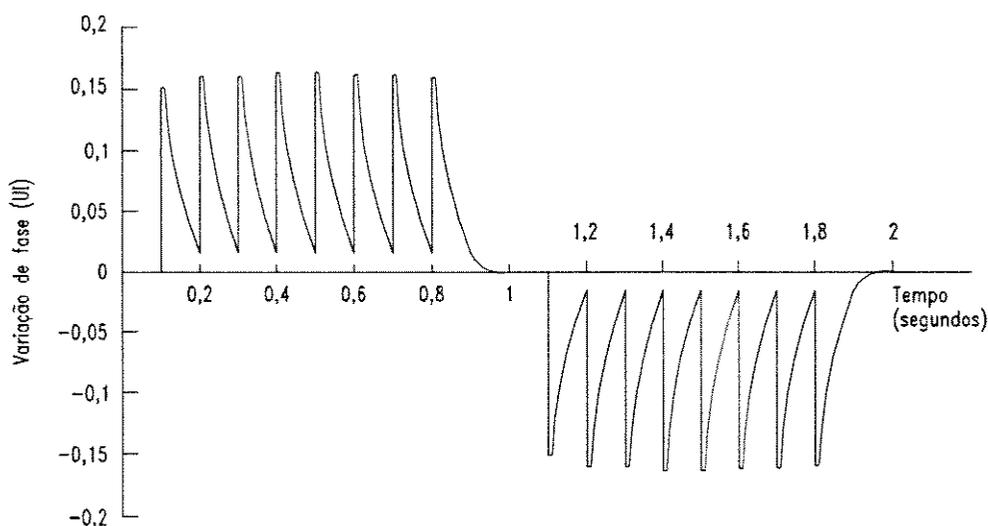
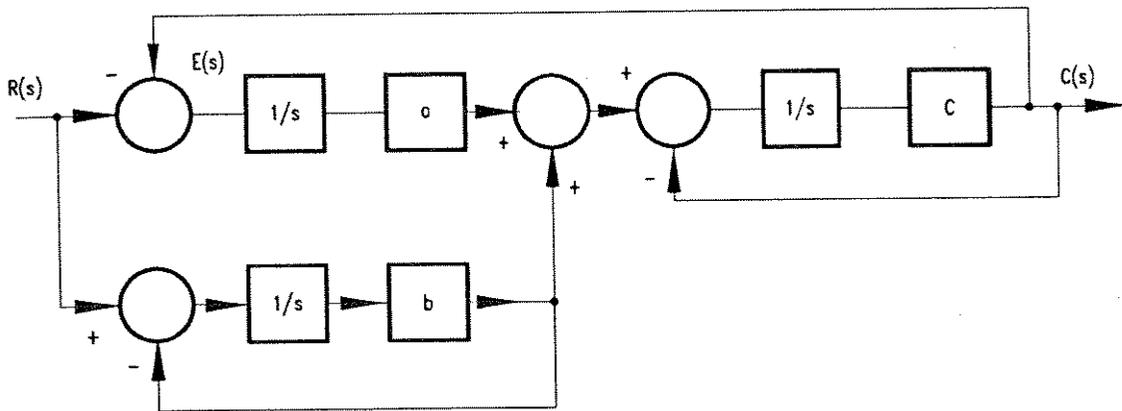


Figura 16/6 – Resposta do dessincronizador de 2Mbit/s utilizando “bit leaking” com um ajuste de ponteiro positivo e negativo consecutivos

6.4.2 Controle Digital Linear

Um particular método adaptativo denominado Controle Digital Linear têm sido proposto [33], embora ainda não aceito universalmente. Este método é implementado através de um filtro digital passa-baixas atuando diretamente na informação de fase quantizada como amostras de 8 kHz e um gerador de “dither” que provoca modulação de limiar de justificação. O filtro provê valores de fase de saída refinados e quantizados, evitando os saltos de um bit do dessincronizador convencional. Esses valores são codificados por um processo de justificação positiva-zero-negativa de bit com modulação de limiar provocada pelo gerador de “dither”. Esse processo desloca o espectro do “jitter” para regiões onde ele possa ser filtrado. O sinal de fase de saída do filtro é então utilizado para controlar a frequência do relógio de saída. A seguir, esse relógio é enviado a um PLL analógico convencional. O PLL analógico reduz o “jitter” do dessincronizador digital e tem pouco efeito nas características do PLL digital [32]. Um filtro do tipo ilustrado na Figura 17/6 pode prover um desempenho adequado [32]. Este tipo de filtro pode compensar os efeitos das altas taxas de ajustes de ponteiro e também dos ajustes isolados. Filtros desse tipo podem ser implementados digitalmente.

A resposta no domínio do tempo da variação de fase de um sinal de 140 Mbit/s recuperado devido a um único ajuste de ponteiro está ilustrada na Figura 18/6 [32].



$$\text{"Loop" Fechado } C(s) = \frac{c(a+b)s + abc}{(s+b)(s^2+cs+ac)} R(s)$$

$$\text{"Loop" Aberto } C(s) = \frac{c(a+b)s + abc}{s(s+b)(s+c)} R(s)$$

Figura17-6 - Diagrama do Filtro no Dominio S

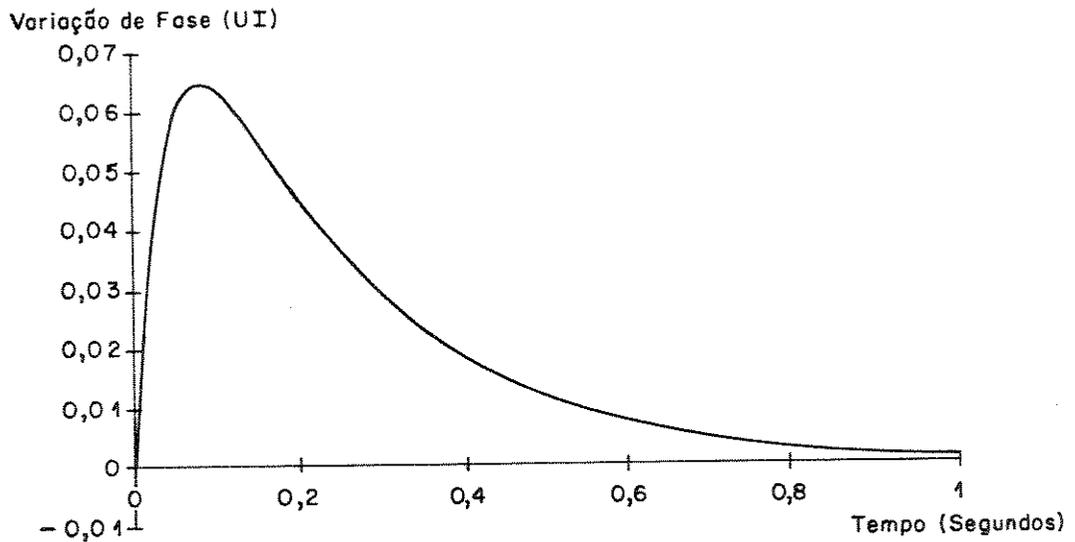


Figura 18/6 - Resposta do Dessincronizador de 140 Mbit/s Utilizando Controle Digital Linear a um Ajuste de Ponteiro Positivo.

6.5 Proposta de um Esquema de Redução de “Jitter” de Ajuste de Ponteiros

Com o intuito de contribuir para o desenvolvimento de algoritmos mais simples e mais eficazes, a seguir são propostos dois novos esquemas de redução do “jitter” de ajuste de ponteiros.

O primeiro esquema está ilustrado na Figura 19/6. Neste esquema, o detector de fase monitora a diferença de fase entre o relógio de escrita e o relógio de leitura da memória elástica. A diferença de fase ($\Delta\theta$) é então enviada a uma lógica de controle. O sinal de saída da lógica ($L(t)$) é enviado a um conversor digital/analgico e a seguir a um Oscilador Controlado por Tensão (VCO). O sinal $L(t)$ é modificado a cada período de amostragem T .

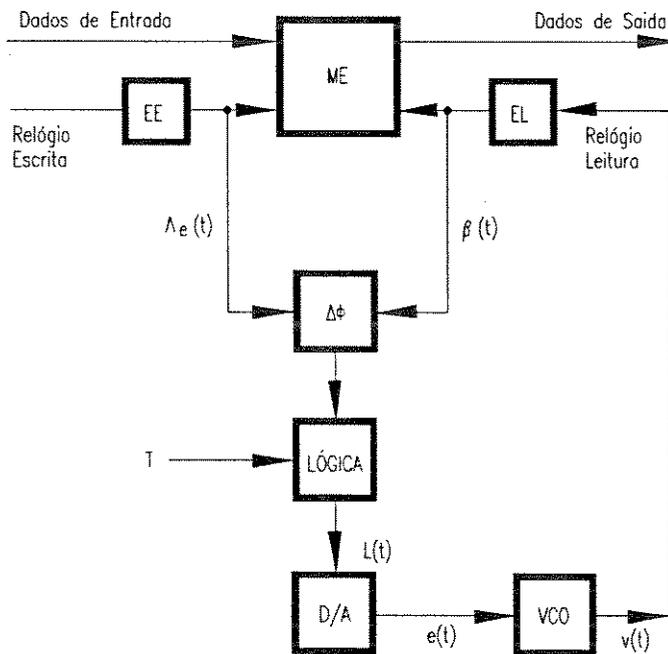


Figura 19-6 -Diagrama em Blocos do Dessincronizador

Equacionamento da Malha

Supondo que a frequência central do VCO seja $f_a = \omega_a/2\pi$, então, para $e(t) = 0$,

$$v(t) = A_v \cos(\omega_a t + \Theta_0).$$

No domínio s , $E(s) = s \cdot \Theta_v(s) / K_0$, onde $K_0 =$ constante do VCO.

Então, para um sinal $E(s) = A/s$, onde A é a amplitude do degrau aplicado pelo conversor D/A na entrada do VCO,

$$\Theta_v(s) = K_0 \cdot A/s^2.$$

Assim,

$$\Theta_v(t) = K_0 \cdot A \cdot u(t) \cdot t$$

Logo, nestas condições,

$$v(t) = A_v \cdot \cos(\beta(t)), \text{ onde } \beta(t) = \omega_a t + \Theta_v(t),$$

Então,

$$\beta(t) = \omega_a t + K_0 \cdot A \cdot u(t) \cdot t$$

Há portanto uma mudança na frequência do VCO, pois a fase varia linearmente com t . Deste modo, os pulsos adicionais necessários se espalham de modo uniforme no tempo, o que é bastante favorável para a redução do “jitter”.

Funcionamento do Circuito

Seja $\Lambda_e(t) = \omega_a t + \Theta_e(t)$, onde $\Theta_e(t)$ é a fase do relógio de entrada.

Então, pela Figura 19/6

$$\Delta\Theta(t) = \Lambda_e(t) - \beta(t)$$

$$= \Theta_e(t) - \Theta_v(t)$$

A entrada da lógica de controle é acionada a cada T segundos. Assim,

$$\Delta\Theta(T) = \Theta_e(T) - \Theta_v(T)$$

Dependendo do valor de $\Delta\Theta$ medido nos pontos KT, a lógica deve enviar um código apropriado para o decodificador D/A que colocará uma amplitude $A.u(t - KT)$ na entrada do VCO. O cálculo do sinal de saída é realizado a cada segmento T.

Lógica de Controle

Para um ajuste de ponteiro de 3 bytes = 24 bits na frequência f_a , deseja-se acelerar ou desacelerar o VCO para que ele produza 24 pulsos a mais (ou a menos) depois de T segundos.

$$\text{Logo, } K_0 \cdot A_0 \cdot T = 2\pi \cdot 24$$

Seja $A = A_0 \cdot L(t)$. Então, em cada segmento T deve-se calcular:

$$\beta(T) = 2\pi \cdot f_a \cdot T + 2\pi \cdot 24 L(T)$$

O valor $L(T)$ deve ser calculado da seguinte forma:

$$\text{Se, } |\Delta\Theta| > 20.2\pi \text{ então } |L(T)| = 1;$$

$$\text{Se, } 2\pi \cdot 10 \leq |\Delta\Theta| < 20.2\pi \text{ então } |L(T)| = 1/2;$$

$$\text{Se, } 2\pi \cdot 5 \leq |\Delta\Theta| < 10.2\pi \text{ então } |L(T)| = 1/4$$

$$\text{Se, } 2\pi \cdot 0 \leq |\Delta\Theta| < 5.2\pi \text{ então } |L(T)| = 1/8.$$

Além disso, em cada segmento T deve-se observar a polaridade da diferença de fase para se estabelecer o sinal de $L(t)$. A lógica de controle deve seguir o sinal de fase da entrada. Assim, quando a diferença de fase é positiva o sinal de $L(t)$ deve ser positivo e quando for

negativa, $L(t)$ deve ser negativo. Outro procedimento para que o sistema seja convergente é verificar o módulo de $\Delta\Theta(T)$ com relação ao módulo $\Delta\Theta(T-1)$. Caso esses módulos sejam iguais, deve-se verificar se as polaridades desses sinais são invertidas. No caso de serem, deve-se fazer $L(T) = L(T-1)$. Cabe ressaltar que os valores de $L(t)$ foram escolhidos visando simplificar a implementação.

Para o cálculo do período de amostragem T deve-se considerar o pior caso, onde os dois relógios estão com variações de frequência de 4,6 ppm. Supondo que o relógio local esteja na frequência $f_a + 4,6 \times 10^{-6} \cdot f_a = 1/T_1$ e o relógio de entrada na frequência $f_a - 4,6 \times 10^{-6} \cdot f_a = 1/T_2$, então para que ocorra um ajuste de ponteiro (24 UI) são necessários N períodos de relógio, onde N é dado por:

$$N \cdot T_1 = (N - 24) \cdot T_2$$

Dessa forma, $N = 2.608.695,6$ períodos de relógio = 134,2 quadros STM-1 (1 quadro contém 19440 bits).

Para que haja tempo suficiente para distribuir um ajuste de ponteiro antes da ocorrência de outro, o período de distribuição deve ser menor que 134,2 quadros. Fazendo $T = 50$ quadros, a variação de fase por bit para a introdução de 24 UI no período T é de $24/(50 \cdot 19440) = 2,47 \times 10^{-5}$ UI/período de bit. Essa variação de fase atende as especificações de "jitter" da HDP, tornando o esquema viável. Isto ocorre devido aos pulsos serem espalhados linearmente dentro do período T .

A fim de comprovar o funcionamento e a eficiência desse sistema, o algoritmo da lógica de controle foi simulado. A Figura 20/6 mostra o resultado da simulação para um salto de fase na entrada de 24 UI. Conforme esperado, a fase de saída se ajusta lentamente à fase de entrada e no período de 50 quadros são distribuídos 24 UI. A Figura 21/6 mostra os valores de "jitter" de saída. Esses valores atendem as especificações de "jitter" de entrada da HDP com ampla margem de segurança.

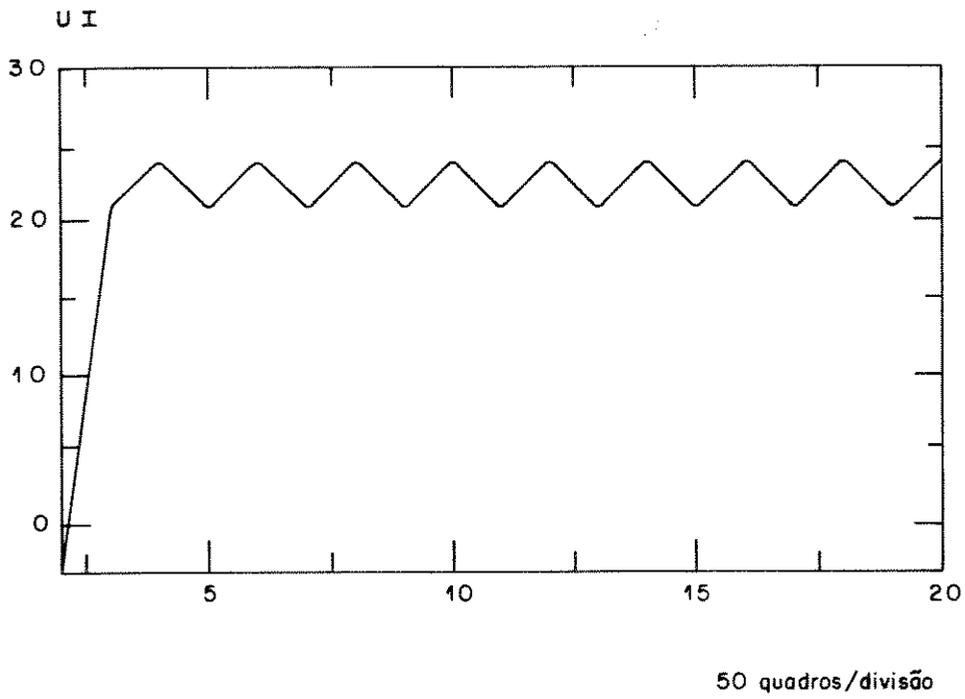


Figura 20/6 - Resposta do Sistema

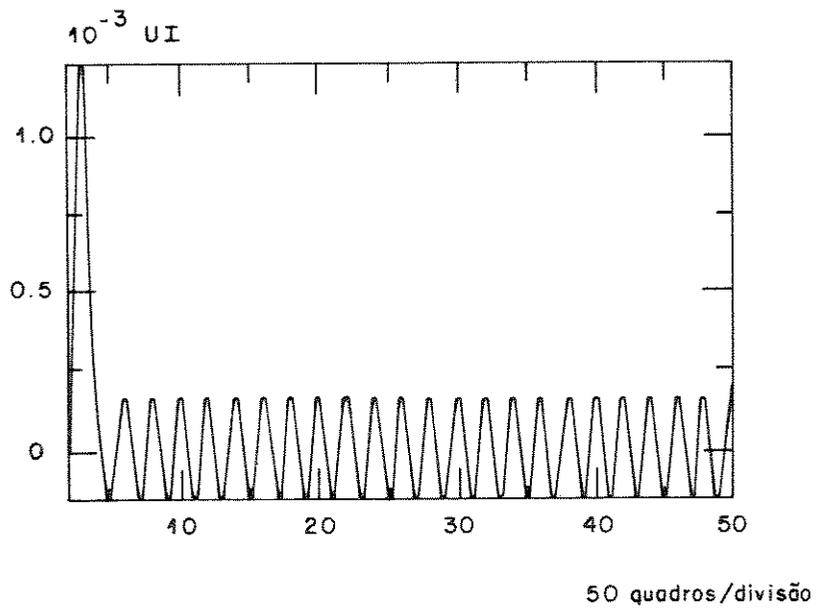


Figura 21/6 - Jitter de Saída do Sistema

A Figura 22/6 ilustra o diagrama em blocos básico de uma outra possibilidade de implementação de um redutor de "jitter" de ponteiro. A diferença básica entre esse esquema e o anterior é que nesse caso a amplitude do sinal que controla o VCO é constante, mas período de distribuição varia de acordo com o sinal de entrada. Neste esquema, a diferença de fase ($\Delta\phi$) entre ϕ_{entrada} (fase de f_{re}) e $\phi_{\text{saída}}$ (fase de saída de f_{rl}) é introduzida no conversor digital/analógico e, a seguir, num modulador delta. A finalidade do modulador delta é evitar que os saltos de fase que ocorrem em ϕ_{entrada} sejam transferidos integralmente para $\phi_{\text{saída}}$, reduzindo assim o "jitter" de saída do sistema.

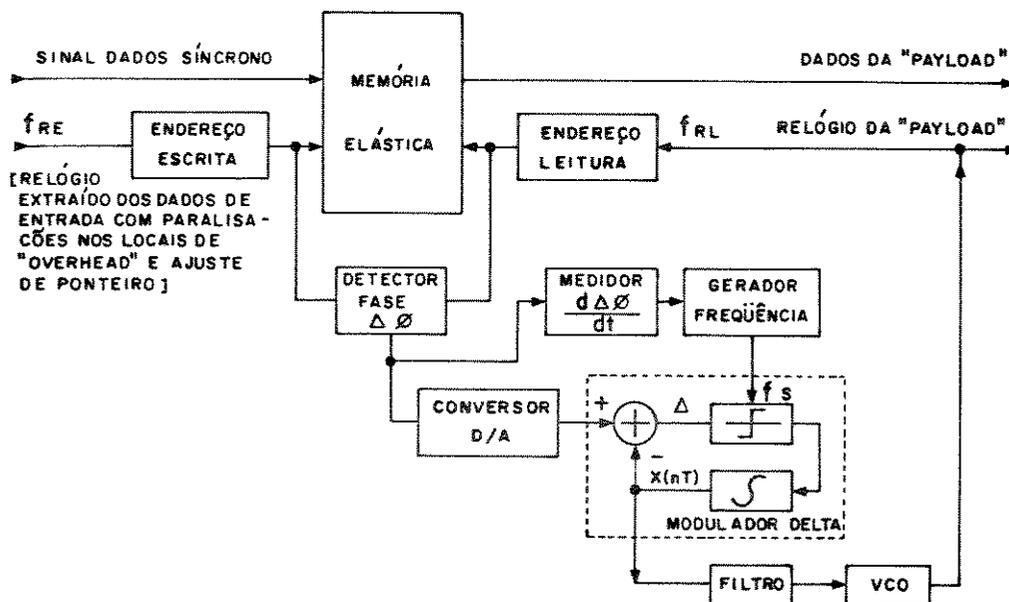


Figura 22/6 - Dessincronizador Com Redutor de "JITTER"

No modulador delta, $\Delta\phi$ é comparada com $X(nT)$, que é a saída do integrador. A diferença entre estes dois sinais, denominada Δ , é amostrada a cada período $T = 1/f_s$. As amostras instantâneas de Δ entram no integrador e transformam-se em degraus de amplitude α e

polaridade positiva, caso Δ seja positivo, e polaridade negativa, caso Δ seja negativo. O resultado da integração é introduzido no VCO, modificando lentamente a fase de f_{RL} .

Neste esquema, a frequência de amostragem f_s pode ser modificada dinamicamente de forma a otimizar o sistema. O medidor de $\delta\Delta\phi/\delta t$ detecta a taxa em que $\Delta\phi$ aumenta ou diminui num determinado intervalo. Quando esta taxa é alta é interessante aumentar f_s para que o sistema possa seguir rapidamente o sinal. Caso contrário, f_s pode ser reduzida.

A fim de comprovar a estabilidade e a eficiência do sistema, esse esquema foi modelado, utilizando um circuito equivalente linearizado. A fase do relógio de saída é dada por:

$$\phi_{saída}(s) = \frac{K_0 \cdot F(s) \cdot X(s)}{s}$$

onde,

K_0 = fator de ganho do VCO;

$F(s)$ = função de transferência do filtro;

$X(s) = \alpha/s \cdot \sum p_i \cdot e^{-isT}$,

$p_i = \text{Sgn} [\Delta(i)] = \pm 1 =$ polaridade dos degraus.

A partir desse equacionamento, foi desenvolvido um algoritmo de simulação utilizando vários tipos de filtros.

Para $F(s) = (1 + sT_2)/sT_1$, a fase de saída é dada por:

$$\phi_{saída}(t) = [\alpha \cdot K_0]/T_1 \cdot \sum p_i [1/2 (t - iT)^2 + T_2 (t - iT)] \cdot u(t - iT)$$

Este tipo de filtro não se mostrou adequado em função do termo quadrático provocar uma grande inércia no sistema.

Para $F(s) = K_f$, a fase de saída é dada por:

$$\Phi_{saída}(t) = [\alpha \cdot K_0 \cdot K_f] \cdot \sum p_i \cdot (t - iT) \cdot u(t - iT).$$

A Figura 23/6 ilustra o resultado da simulação de um algoritmo que utiliza este tipo de filtro. Os parâmetros utilizados foram $\alpha = 0,75$ e $v = \alpha \cdot K_0 \cdot K_f \cdot T = 0,015625$. O gráfico mostra a alteração na fase de saída do sistema para um degrau de 24 UI aplicado na fase de entrada, ou seja um ajuste de ponteiro isolado. Conforme esperado, a fase de saída se ajusta lentamente à fase de entrada, fazendo com que o “jitter” de saída seja bastante reduzido. O gráfico da Figura 24/6 mostra os valores de “jitter” obtidos.

Em seguida foram efetuadas várias simulações com este mesmo tipo de filtro, porém variando-se os parâmetros α e β , onde $\beta = K_0 \cdot K_f \cdot T$, com o intuito de descobrir a interdependência entre estes parâmetros e o tempo de resposta do sistema.

O gráfico da Figura 25/6 ilustra os resultados obtidos para diferentes valores de α e β . O eixo das ordenadas está relacionado com o número de quadros necessários para a fase de saída atingir 20 UI, quando um degrau de 24 UI for aplicado na entrada do dessincronizador. Esse tempo, denominado T_{20} , foi escolhido por estar próximo a T_{24} (número de quadros necessários para a fase de saída atingir 24 UI) e também devido ao sistema se ajustar lentamente à fase de entrada.

Os resultados obtidos mostram que, à medida que α e β crescem, T_{20} decresce. A melhor região ocorre para $0,50 < \alpha < 1,0$ e $0,030 < \beta < 0,10$, o que implica em $20 < T_{20}/T_q < 80$ (onde T_q é o tempo de duração de um quadro). “Overshoots” ocorrem para valores pequenos de α ($\alpha < 0,50$). O maior valor de “jitter” obtido nessas simulações foi aproximadamente 1×10^{-4} , o que ainda satisfaz amplamente as especificações.

Os resultados obtidos nas simulações indicam que esses esquemas podem satisfazer com ampla margem de segurança as especificações de "jitter". No entanto, estudos adicionais, incluindo a implementação do circuito, devem ser ainda realizados para se verificar sua viabilidade prática. Uma das grandes vantagens desses esquemas é a simplicidade do algoritmo, o que deve também tornar a implementação bastante simplificada.

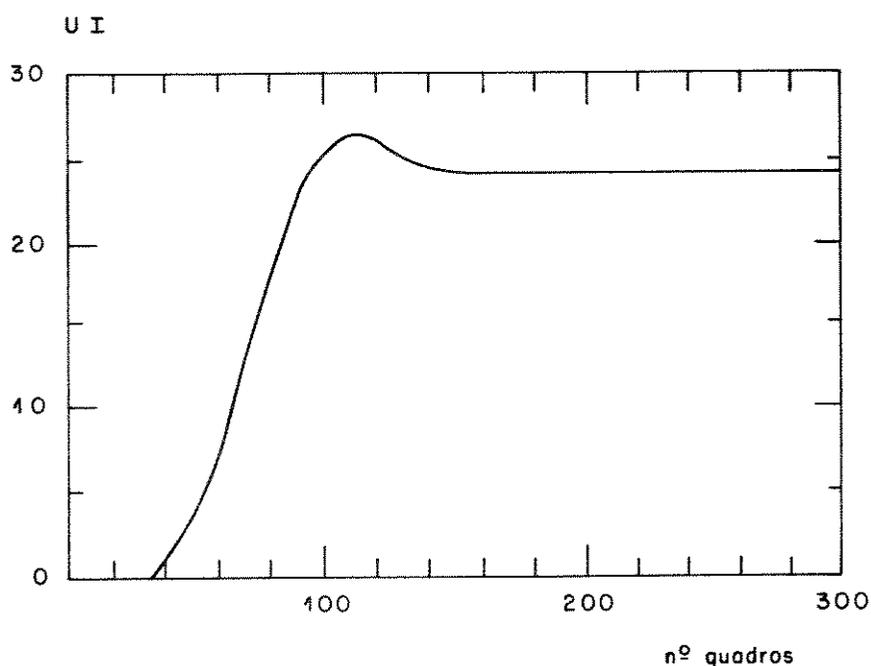


Figura 23/6 - Resposta do Sistema

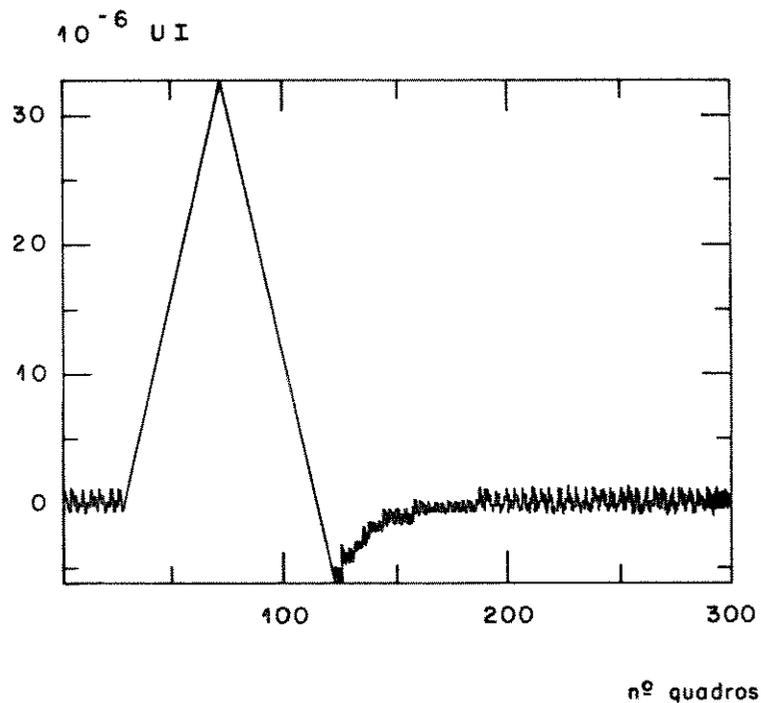


Figura 24/6 - Jitter de Saída

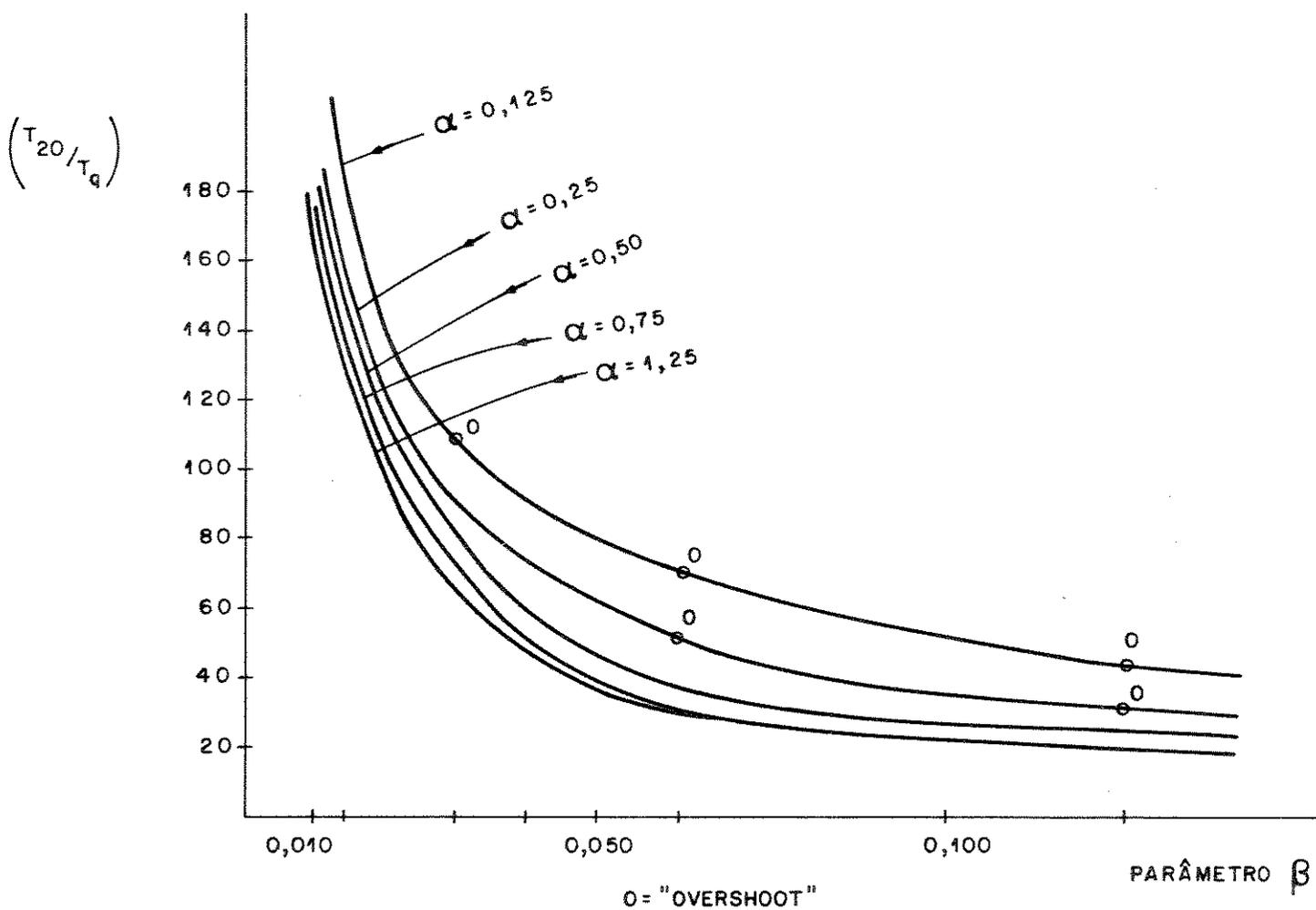


Figura 25/6 - Variação dos Parâmetros α e β e o Tempo de Resposta do Sistema

BIBLIOGRAFIA

- [01] ABATE, J. E. et alli, AT&T New Approach to the Synchronization of Telecommunications Networks. *IEEE Communications Magazine* 1989 (April): 35-45.
- [02] ABATE, J. E. et alli, N° 4 ESS: The Switched Digital Network Plan. *Bell System Tech. J.* 56 (7): 1297-320, September 1977.
- [03] ABATE, J. E. & DRUCKER, H., The Effect os Slips on Facsimile Transmission, *ICC 88*.
- [04] ANSI, *Document T1X1/91 – A Technical Report on the Effects of SONET on Jitter, Wander and Synchronization*. May 21, 1991.
- [05] ANSI, *Document T1.105-1988, Digital Hierarchy – Optical Interface Rates and Formats*. 1988.
- [06] BOCKER, P. *ISDN – The Integrated Services Digital Network Concepts, Methods, Systems*. Springer-Verlag, 1988.
- [07] CCIR, *Report 518-4 – Time/Frequency Dissemination and Coordination via Satellite*. Geneva, 1986.
- [08] CCITT, *Draft Recommendation G.803 – Architectures of Transport Networks Based on Synchronous Digital Hierarchy*. 9-19 June, 1991.
- [09] CCITT, *Draft Recommendation G.81s – Timing Characteristics of Slave Clocks Suitable for Operation in SDH Equipments*. June 17, 1992.
- [10] CCITT, *Recommendation G.707 – Synchronous Digital Hierarchy Bit Rates*. Period 1989-1992.
- [11] CCITT, *Recommendation G.708 – Network Node Interface for Synchronous Digital Hierarchy*. Period 1989-1992.
- [12] CCITT, *Recommendation G.709 – Synchronous Multiplexing Structure*. Period 1989-1992.
- [13] CCITT, *Recommendation G.751*

- [14] CCITT, *Recommendation G.783 – Characteristics of Synchronous Digital Hierarchy Multiplexing Equipment Functional Blocks*. Period 1989-1992.
- [15] CCITT, *Recommendation G.811 – Timing Requeriments at the Outputs of Primary Reference Clocks Suitable for Plesiochronous Operation of International Digital Links*. Melbourne, 1988.
- [16] CCITT, *Recommendation G.812 – Timing Requeriments at the Outputs of Slave Clocks Suitable for Plesiochronous Operation of International Digital Links*. Melbourne, 1988.
- [17] CCITT, *Recommendation G.822 – Controlled Slip Rate Objectives on an International Digital Connection*. Geneva, 1980.
- [18] CCITT, *Recommendation G.823 – The Control of Jitter and Wander within Digital Networks which are Based on the 2048 Kbit/s Hierarchy*. Malaga-Torremolinos, 1984.
- [19] CCITT, *Recommendation G.825 – The Control of Jitter and Wander within Digital Networks which are Based on the Synchronous Digital Hierarchy*. June 17, 1992.
- [20] CCITT, *Recommendation I.361 – B-ISDN ATM Layer Specification*. 1990-1991.
- [21] CCITT, *Recommendation I.432 – B-ISDN User Network Interface – Physical Layer Specification*. 1990-1991.
- [22] CHOI, D. Waiting Time Jitter Reduction, *IEEE Transactions on Communications* 37 (11): 1231-36, November 1989.
- [23] DRUCKER, H. & MORTON, A. C., The Effect of Slips on Data Modens, *ICC*. 87: 409-13, 1987.
- [24] GROVER, W. D. *et alli*, Waiting Time Jitter Reduction by Synchronizer Stuff Threshold Modulation, *Globecom* 87: 13.7.1-13.7.5, 1987.
- [25] KOZUKA, S., Phase Controlled Oscillator for Pulse Stuffing Synchronization System, *Review of the Electrical Communication Laboratory* 17 (5-6), May-June, 1969.

- [26] LEE, E. A., MESSERSCHIMITT, D. G., *Digital Communications*, Boston, Kluwer, 1988.
- [27] MALAVAZZI, H. J., Filho & SCARABUCCI, R. R., *Sincronização de Sinais Plesiócronos pelo Método de Justificação Positiva em Sistemas MCP-120*. Dissertação de mestrado, UNICAMP, 1977.
- [28] MATSUURA, Y. *et alli*, Jitter Characteristics of Pulse Stuffing Synchronization, *IEEE Int. Conf. Communications*: 259-64, 1968.
- [29] MEDIAVILLA, H. *et alli*, Synchronization of Transmission Systems, *IEEE ICC 88*: 28.6.1-28.6.4, 1988.
- [30] MÜELLER, H. *et alli*, *Processo para o Encaixe de um Sinal Assíncrono de 139,264 Mbit/s, Segundo a Recomendação G.754 do CCITT, no Quadro de Pulsos de 155,520 Mbit/s*. Relatório Descritivo de Patente de Invenção – Pedido de Patente P.3816235.0, 11 de Maio de 1988.
- [31] PIEROBON, G. L. *et alli*, Jitter Analysis of a Double Modulated Threshold Pulse Stuffing Synchronizer, *IEEE Transactions on Communications* 39 (4): 594-602, April 1991.
- [32] REID, A. & SEXTON, M., *Transmission Networking: SONET and the Synchronous Digital Hierarchy*. Norwood, Artech House, 1992.
- [33] URBANSKY, R., Simulation Results and Field Trial Experience of Justification Jitter, *6th World Telecommunication Forum*, Part 2, vol. III: 45-9, 1991.
- [34] DUTTWEILER, D. L., Waiting Time Jitter, *The Bell System Technical Journal* 51 (1): 165-207, January, 1972.
- [35] VIOLARO, F. & SCARABUCCI, R. R., *Supressor de Tremor de Tempo de Espera*. Tese de Doutorado, UNICAMP, Setembro de 1980.