

Galdenoro Botura Junior

Mestre em Engenharia Elétrica, UNICAMP, 1985

Engenheiro Eletricista, INATEL, 1980

Este exemplar corresponde à redação final da tese defendida por Galdenoro Botura Jr e aprovada pela Comissão Julgadora em 22/03/1991.

Alberto Martins Jorge
Orientador

**DESENVOLVIMENTO DE UM CONVERSOR D/A,
NÃO LINEAR, USANDO O PRINCÍPIO DA
MULTIPLICAÇÃO/DIVISÃO**

Tese apresentada à Faculdade de Engenharia Elétrica, UNICAMP, como requisito parcial para a obtenção do título de "Doutor em Engenharia Elétrica"

Orientador : Prof Dr **Alberto Martins Jorge**

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica
Departamento de Eletrônica e Microeletrônica
Laboratório de Eletrônica e Dispositivos

Março de 1991

UNICAMP
BIBLIOTECA CENTRAL

50/9103739

À Margarete

*Sem a sua compreensão, apoio e incentivo este trabalho
não teria atingido os seus objetivos*

Este trabalho contou com o apoio das seguintes entidades:

- CAPES - através do PROGRAMA INSTITUCIONAL DE CAPACITAÇÃO DE
DOCENTES - PICD

- FINEP - através do contrato nº 5.2.87.0876/00

AGRADECIMENTOS

Prof. Dr. Alberto Martins Jorge, que com sua orientação clara e objetiva, sugestões e constante incentivo, me fez adquirir a segurança e a tranquilidade necessárias para realização deste trabalho.

Prof. Dr. José Antonio S.Dias, pelo incentivo, sugestões, críticas e orientação que sempre encontrei em sua pessoa, quando mais necessitei.

Prof. Dr. Wilmar B. de Moraes, pelo apoio que sempre me forneceu durante o período em que permaneci na UNICAMP.

Prof. Dr. Fernando Branco, professor de estatística da FEG/UNESP, pelo apoio e discussões no tratamento estatístico dos resultados obtidos.

Daniel R. da Silveira, pelo desenvolvimento do EDMAS, "software" utilizado neste projeto, execução das máscaras em rubelite e encapsulamento do "chip".

A todo pessoal do Laboratório de Fabricação: **Patrícia, Sílvia, Mara, Godoy e Luciano**, os responsáveis pela confecção do dispositivo.

Ao **Emílio**, pelas medidas realizadas no "wafer".

A **Dodô** e ao **Milton**, pelos desenhos e ao **Luciano** (da FEG), pelo serviço fotográfico.

A **UPD da FEG/UNESP**, pela digitação do texto.

A **Dedê**, secretária do DEL/FEG, pela solução dos inúmeros imprevistos ocorridos durante a elaboração deste texto.

A **Fernanda**, pela revisão ortográfica dos capítulos iniciais.

Enfim, a todos que contribuíram direta ou indiretamente para a confecção deste texto, a gratidão do autor.

LISTA DE SÍMBOLOS

- a** = índice de modulação
- A** = constante da lei A com o valor igual a 87,6
- b** = deslocamento em relação ao nível zero (capítulo II); índice de modulação (capítulos restantes).
- B_m** = base do transistor de ordem "m"
- B_n** = "Bit" da palavra digital, com "n" indicando a sua posição dentro da palavra
- \bar{B}_n = negação de B_n
- C_m** = coletor do transistor de ordem "m"
- CK** = pulso do relógio (clock)
- D** = Diodo
- D/A** = conversor Digital/Analógico
- D_n** = diodo parasita constituído pela região P que não consta no cálculo de D_N e a camada epitaxial N
- D_N** = diodo parasita constituído de região P, periférica ao coletor, e camada epitaxial N
- D_{pn}** = diodo parasita no transistor PNP de ordem "n"
- E_m** = Emissor do transistor de ordem "m"
- F_m** = frequência máxima de transmissão ao longo da linha
- F_T** = frequência de transição
- G'** = saída da malha decodificadora que aciona o bit 2⁴ no gerador de nível.
- I_{b1}** = corrente gerada por um dos conversores D/A de 3 + 1 bits

- I_{b2} = corrente gerada por um dos conversores D/A de 3 + 1 bits
- I_{bn} = corrente de base do transistor de ordem n
- I_{cn} = corrente de coletor do transistor de ordem n
- I^2L = Logica de Injeção integrada, do inglês "Integrated Injection Logic".
- I_m = corrente a ser multiplicada
- I_o = corrente de referência a ser multiplicada
- I_R = corrente de referência
- I_S = corrente de saturação
- I_x = corrente na saída da cédula translinear
- J = densidade de corrente direta na junção.
- J_s = densidade de corrente de saturação
- k = constante integrante da lei A com valor igual a "e", sendo "e" a base do logarítmo neperiano (capítulo I); constante de Boltzmann (capítulo V)
- K_n = constante numérica de ordem n
- L = número de ordem do segmento
- LSB** = Bit Menos Significativo - do inglês "Least Significant Bit"
- MCP** = Modulação por Código de Pulso
- MDV** = Multiplicador/Divisor Chaveado
- MOS** = metal óxido semiconductor
- N = número de níveis discretos de cada segmento (capítulo II); substrato dopado com impurezas do tipo N
- N^+ = substrato bastante dopado com impurezas do tipo N
- P = região da lâmina de silício dopado com impurezas do tipo P.

- q = carga do eletron
- Q_n = transistor de ordem n
- R_c = resistência de coletor
- R_{cm} = resistência de ordem m existente entre duas resistências verticais de coletor
- R_{nm} = resistência parasita vertical de ordem m
- R_{cn} = resistência da camada P de base entre o contato e o 1^o. coletor de ordem m
- R_n = resistor de ordem n
- S_n = chave de ordem n
- S/R = relação sinal/ruído
- U_t = tensão termodinâmica
- v = tensão aplicada externamente na junção
- V = tensão ; numero real que exprime o nível expandido dentro do segmento (capítulo II)
- V_{CC} = tensão mais positiva aplicada ao circuito
- V_{EE} = tensão mais negativa aplicada a um circuito
- V_{om} = valor máximo do sinal na saída do sistema
- T = temperatura Kelvin
- T_1 = fator de atenuação da corrente I_R
- T_2 = fator de atenuação da corrente I_{b1}
- TCI = transistor de comando invertido
- W = fator de multiplicação
- Z = fator de multiplicação
- α = ganho de corrente de um transistor em configuração base comum.

β = ganho de corrente de um transistor em configuração emissor comum

$\Delta(L)$ = intervalo entre os níveis discretos de cada segmento

Δ_p = dispersão associada a um valor

GLOSSÁRIO DE TERMOS

Chip : Pastilha integrada

CODEC : União das palavras Codificador + Decoficador

Codificação : Transformação de um nível analógico em uma palavra digital

Decodificação : Transformação de uma palavra digital em um valor analógico.

Degrau : Intervalo existente entre dois níveis de tensão dentro de um segmento, devido a variação de 1 LSB na palavra digital de entrada

Diagrama de barras : Método de representação de um transistor onde se usa círculos para representar os seus coletores e cruzes para representar as suas bases.

Integração : Obtenção, em uma mesma pastilha de um material semicondutor ,de vários dispositivos que interligados defininem uma determinada função.

Difusão : Processo de introdução de dopantes em um semicondutor

Dopante : Material que tem por objetivo alterar aconstituição molecular original de um semicondutor.

Fotogravação : Definição de um molde de óxido sobre o silício.

Lei A - 128 : Curva de codificação/decodificação, não linear, usada em telefonia no Brasil, que tem como características possuir 7 segmentos por quadrante e 128 níveis de tensão analógica em cada quadrante.

LSB : Bit menos significativo, do inglês, Least Significant Bit.

Modulação por Código de Pulso : Sistema de representação digital de um sinal analógico .

MSB : Bit Mais Significativo, do inglês, do ingles "Most Significant Bit".

Níveis de um segmento : Corresponde aos diversos valores analógicos existentes dentro que um segmento, em função da variação da palavra digital de entrada.

Palavra digital : conjunto de 8 bits

Princípio da Multiplicação/Divisão : Princípio de decodificação onde se usa um circuito lógico combinacional, conversores D/A lineares e um multiplicador linear para obter o resultado desejado.

Relação Sinal/Ruído : Relação entre o sinal , medido na saída do sistema e o ruído contido neste sinal

Ruído de Quantização : Ruído inerente ao sinal codificado ou a ser decodificado, em um MCP, devido a existência de um número finito de níveis discretos possíveis, durante a codificação.

Segmento : Intervalo entre dois pontos. Em um sistema MCP corresponde a região da lei de codificação/decodificação onde a variação do sinal correspondente a mudança de 1 LSB é constante.

Tecnologia Bipolar : Tecnologia de integração onde o dispositivo resultante é um transistor bipolar.

Tecnologia de integração : Metodologia utilizada para a obtenção um chip.

Tecnologia MOS : Tecnologia de integração onde o dispositivo resultante é um transistor MOS.

Tempo de conversão : Intervalo de tempo existente entre a introdução da palavra digital no conversor e a estabilização do sinal na saída do mesmo conversor em função do sinal introduzido.

ÍNDICE

APRESENTAÇÃO	1
CAPÍTULO I - Conversão D/A - A/D	2
I.1 - Introdução	2
I.2 - Conversão A/D - D/A	3
I.3 - Técnica Proposta para Decodificação Não Linear	6
I.4 - Comentários e Conclusões	10
CAPÍTULO II - Proposta de um Decodificador MCP - Aplicação a Lei A - 128	12
II.1 Introdução	12
II.2 - Conceituação	13
II.3 - Topologia de Decodificação Proposta	17
II.4 - Tecnologia de Integração.	21
II. 5 - Comentários e Conclusões	22

CAPÍTULO III - Projeto e Desenvolvimento do Bloco Lógico23

III.1 - Introdução 23

III.2 - Lógica de Injeção Integrada (I2L) 24

III.3 - Circuito de Interface, Registrador de Deslocamento e Memória. . . . 28

III.4 Malha Lógica Decodificadora 32

III.5 Integração da Malha Lógica 39

III.6 Comentários e Conclusões 40

CAPÍTULO IV - Projeto dos Conversores D/A42

IV.1 - Introdução 42

IV.2 - Estrutura Básica de Conversão 43

IV.3- Modelos Desenvolvidos 47

 IV.3.1 - Considerações Iniciais. 47

 IV.3.2 - Modelamento dos Transistores 49

IV.4 - Otimização do "Layout" dos Conversores. 63

 IV.4.1 - Alimentação da Fita Injetora. 63

 IV.4.2 - Alocação dos Transistores ao Longo de Fita Injetora. 67

 IV.4.3 - "Layout" Final 70

IV.5 - Comentários e Conclusões 73

CAPÍTULO V - Multiplicador/Divisor Translinear Chaveado75

V.1 - Introdução 75

V.2 - Multiplicador Chaveado: Circuito Original 76

 V.2.1 - Princípio Translinear - Conceituação 76

 V.2.2 - Células Básicas 77

 V.2.3 - Circuito Completo 82

V.3 - Multiplicador/Divisor Chaveado Proposto 84

 V.3.1 - Considerações iniciais 84

 V.3.2 - Circuito Desenvolvido 86

V.4 - Testes e Resultados do Circuito Proposto 90

V.5 - Comentários e Conclusões 92

CAPÍTULO VI - Integração e Teste do Decodificador94

VI. 1 - Introdução 94

VI. 2 - Elaboração das Máscaras 95

 VI.2.1 - Confecção do "Layout" de Integração 95

VI.2.2 - Confeção das Máscaras e Construção do Dispositivo.	98
VI.3 - Fotogravação e Difusão	101
VI.4 - Testes do Dispositivo Obtido	102
VI.4.1 - Testes dos Dispositivos Ativos	104
VI.4.2 - Teste dos Conversores de 3 + 1 e 5 Bits, e da Lógica Com binacional	104
VI.5 Testes do Decodificador não Linear	111
VI.5.1 - Introdução	111
VI.5.2 - Obtenção da Sequência de Bits Para a Decodificação	111
VI.5.3 - Montagem do Decodificador não Linear	112
VI.5.4 - Resultados obtidos	113
VI.6 - Comentários e Conclusões	116

CAPÍTULO VII - Comentários e Conclusões Finais118

**APÊNDICE A - Estudo do erro de linearidade para a técnica de
multiplicação-divisão121**

APÊNDICE B - Valores da lei A medidos na saída do circuito
multiplicador-divisor123

Referências Bibliográficas125

Apresentação

Este trabalho tem a finalidade de descrever uma metodologia de projeto denominada *técnica da multiplicação/divisão*. Esta metodologia se aplica onde se deseje uma conversão D/A não linear. Como um exemplo de uso da técnica proposta, desenvolveu-se um decodificador D/A não linear, monolítico, em tecnologia I²L/linear.

Esta técnica, que tem por característica a diminuição da resolução exigida aos conversores D/A, preconiza o uso de um circuito lógico combinacional, conversores D/A lineares e um circuito multiplicador. O projeto de cada um desses blocos, as análises e discussões sobre a técnica proposta, e os resultados conseguidos, encontram-se aqui relatados.

Finalmente, procurou-se colocar os capítulos e também os assuntos por eles abordados de uma forma progressiva, tentando com isso facilitar a leitura e despertar um maior interesse para os mesmos.

CAPÍTULO I

Conversão D/A - A/D

I.1 - Introdução

As vantagens de se processar, transmitir ou manipular um sinal na sua forma digital são fáceis de serem entendidas quando se consideram as da reconstituição da palavra digital de um sinal transmitido e a multiplexação destas palavras no tempo, como vantagens inerentes de um sistema digital.

A conversão de um sinal analógico em um sinal digital e a sua reconstituição em um sinal analógico podem ser executadas através de uma codificação-decodificação linear ou não linear. Obviamente a técnica que deve ser utilizada varia em função de fatores previamente considerados, tais como resolução exigida dos conversores, relação sinal/ruído, erro permitido, etc.... Por outro lado, as vantagens citadas acima encontram nos dispositivos que fazem a codificação/ decodificação as suas principais limitações e neste caso podem-se citar a introdução de ruídos indesejáveis no sinal e desvios do sinal decodificado em relação ao original, como exemplos.

Neste capítulo discutimos as formas de codificação - decodificação de sinais analógicos e propomos uma forma de decodificação denominada técnica de multiplicação/divisão.

Faz-se também a proposta do desenvolvimento de um dispositivo decodificador não linear integrado, como o exemplo da aplicação e verificação da praticidade da técnica proposta.

I.2 - Conversão A/D - D/A

Várias são as razões que justificam o emprego do recurso de conversão de um sinal analógico em uma palavra digital e vice-versa [24]. Os sistemas que exigem uma codificação digital e que podem ser aqui citados são: sistema de aquisição de dados, transmissão de sinais digitais, sistemas de controle, etc. Estes sistemas se encontram em áreas bastante distintas, como automação e testes, comunicação e análise de sinais, controle industrial, etc.

As formas de se codificar um sinal analógico classificam-se basicamente em duas. A codificação linear e a codificação não linear. Em função da codificação ocorrida a decodificação deverá seguir o mesmo princípio para não introduzir distorção no sinal original.

A decodificação linear se caracteriza por empregar um valor constante para diferenças entre valores analógicos adjacentes quantizados. O número de bits de uma palavra digital (n) define a quantidade de níveis analógicos discretos obtidos (2^n). Uma diminuição do "erro de quantização" implica no aumento do número de bits da palavra digital.

Devido a isto, conversores com resolução cada vez maior são propostos em função do aumento de exigência dos sistemas digitais, hoje em dia. Pode-se citar algumas aplicações que exigem conversores lineares de alta resolução, como o disco laser por exemplo, onde é necessário conversores com resolução de 16 bits. Neste caso consegue-se codificar sinais com uma resolução igual a $1/2^{16}$ em relação ao fundo de escala.

A decodificação não linear implica na variação da diferença entre os valores discretos correspondentes as palavras digitais adjacentes, sendo a utilização desta técnica motivada por diferentes razões, conforme o caso. Um exemplo, entre outros, pode ser o da correção da linearidade de sensores [26]. No caso de sistemas de comunicações essa codificação/decodificação não linear é motivada pelo ensejo de aumentar a resolução quando é mais necessário, ou seja, nos sinais fracos

Um clássico uso deste tipo de codificação é o sistema por modulação de código de pulso, MCP. Neste sistema o uso de uma codificação não linear se dá desta forma porque consegue-se manter a relação sinal/ruído de quantização constante para toda a faixa do sinal convertido. A decodificação deste sinal codificado não linearmente deve ser também obviamente não linear, de modo a não introduzir erro ao mesmo.

I.2.1 - Técnicas de Projeto de Conversores D/A e A/D

As técnicas usadas em projeto circuitos integrados conversores D/A lineares , variam fundamentalmente em função da tecnologia escolhida para integração do dispositivo. As técnicas se modificam inteiramente caso a tecnologia utilizada seja bipolar ou MOS.

No caso da tecnologia bipolar, a mais utilizada é a clássica rede resistiva R-2R. O maior problema desta técnica de projeto é que se exige uma precisão de resistores que somente pode ser obtida com filmes finos, se a exigência for uma resolução igual ou maior do que 10 bits. Uma alternativa para o uso de filmes finos é o ajuste com "laser". Porém a literatura cita [22] conversores D/A de 14 bits sem ajuste a laser e resistores de filme fino. Esse assunto é tratado com alto grau de detalhe na ref.24.

A tecnologia MOS permite o projeto de conversores D/A fazendo-se uso de capacitores chaveados. Porém, o uso desta técnica de circuito limita a exatidão usualmente a 8 bits. Para se conseguir uma maior exatidão, os projetistas usam rês divisoras de corrente para obter o seu intento. A referênciã 22 apresenta de uma forma bem detalhada cada uma das técnicas aqui citadas.

Com relação a conversão A/D, várias são as técnicas clássicas de conversão utilizadas. Normalmente a conversão A/D faz uso de um conversor D/A na malha de processamento para se conseguir o objetivo final. Dentro desta linha pode-se citar os conversores de aproximação sucessiva. Outras técnicas de conversão são conversores de dupla rampa e conversores comparadores ("flash"). Recentemente foi proposta no Laboratório de Eletrônica e Dispositivo da UNICAMP uma outra técnica de conversão A/D [25] cuja a principal característica é possuir uma velocidade de conversão intermediária entre o conversor de aproximação sucessiva e o conversor "flash".

Técnicas de projeto de conversores A/D aplicáveis especificamente em circuitos integrados em função da exigência do uso de capacitores chaveados, são também fáceis de serem encontrados na literatura [22]. Obviamente as técnicas e projeto para conversores A/D e D/A não se esgotam aqui, porém acreditamos que este breve relato, juntamente com as referências citadas, possam servir para dar uma visão geral do quadro atual.

1.2.2 - Conversão não linear

A conversão não linear pode ser realizada de varias formas. Uma dessas é através de um tratamento prévio do sinal analógico, de modo a adequar o sinal a ser codificado a uma curva não linear escolhida e após isto, codificar o sinal processado de forma linear. Uma outra forma é se fazer diretamente uma conversão não linear. Estas duas maneiras podem

ser aplicadas tanto para conversão para D/A como para o A/D. O processamento do sinal a ser convertido por uma curva não linear geralmente se faz utilizando elementos não lineares, como um diodo por exemplo [27].

A seguir apresentamos uma proposta para decodificação não linear, que, como comentado anteriormente, pode servir de bloco básico para a codificação não linear.

I.3 - Técnica Proposta para Decodificação Não Linear

Neste trabalho propomos uma técnica que usa multiplicação/divisão como um recurso de obtenção de um decodificação não linear. O diagrama em blocos desta técnica é apresentado na figura I.1.

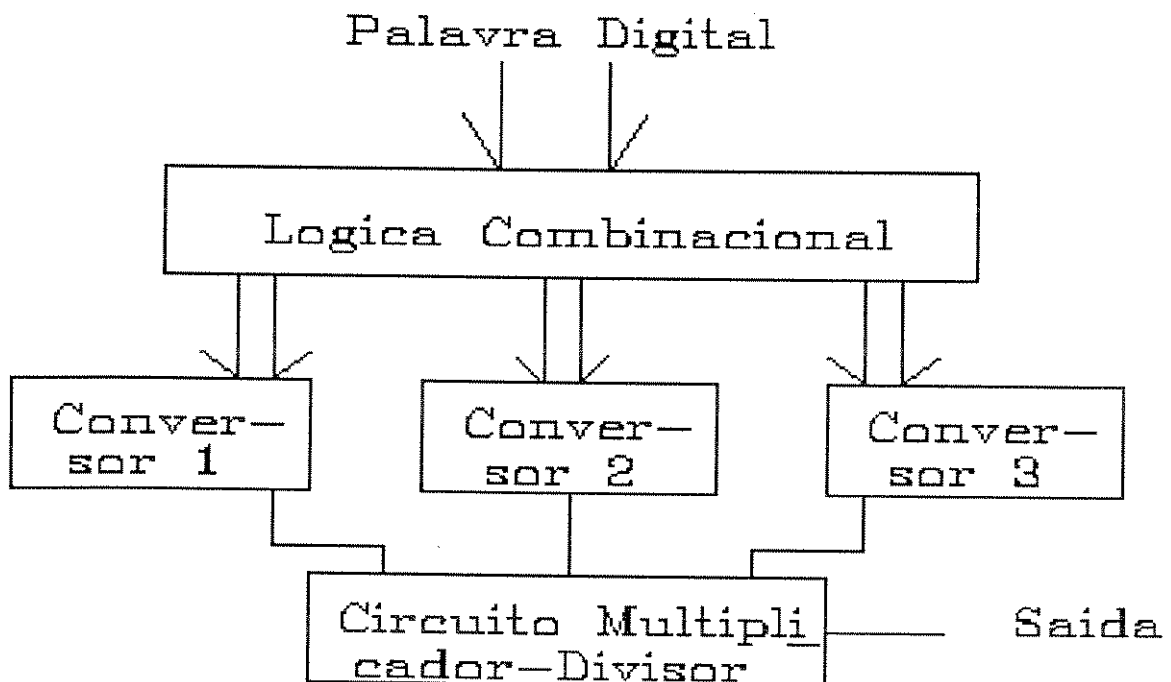


Figura I.1 - Diagrama em Blocos da Técnica de Multiplicação/Divisão.

Nesta proposta, a palavra digital a ser decodificada alimenta um bloco de lógica combinacional que define quais serão os controles de nível analógico que serão acionados nos conversores D/A lineares. Os valores obtidos nos conversores entram em um circuito multiplicador/divisor que executa a operação de introdução da não linearidade desejada. No diagrama em blocos da figura I.1 os valores recebidos dos conversores lineares 2 e 3 são divididos e o recebido do conversor 1 será multiplicado pelo resultado obtido da divisão entre os conversores 2 e 3.

Com isto, pode-se escrever a seguinte equação para o sinal decodificado (Y):

$$Y = K \frac{2^p \cdot 2^q}{2^t}$$

onde p, q e t pertencem ao conjunto dos números inteiros, e "K" é um número real..

Com a equação acima consegue-se obter qualquer função não linear biunívoca que possa ser representada por uma curva contínua, bastando para isto definir convenientemente a lógica combinacional constante na estrutura do diagrama apresentado.

A proposta deste trabalho é aplicação da técnica de multiplicação/divisão aqui apresentada no projeto de um decodificador não linear. O dispositivo escolhido como exemplo é um decodificador não linear para um sistema de modulação por código de pulso (MCP). A este dispositivo, doravante passaremos a chamar de conversor MCP.

A escolha de um conversor MCP se deu em função deste dispositivo empregar uma lei de decodificação não linear para realizar a conversão digital/analógica do sinal recebido. A lei de decodificação utilizada é conhecida, para sistemas usados no Brasil, por lei A [3]. Na sua forma de utilização o sistema utiliza uma decomposição da curva de decodificação

em 16 segmentos, sendo 8 segmentos por quadrante. Como a inclinação do 1º e 2º segmento de cada quadrante coincidem, a lei A de decodificação linearizada passa a ter 13 segmentos sendo 6 segmentos por quadrante mais um que une os dois quadrantes. Cada segmento (dos 16) tem 16 níveis analógicos, o que completa 256 níveis no total.

Pode-se verificar que, com um conveniente projeto na lógica combinacional, consegue-se que esta atue junto aos valores de "q" e "t" de modo que após a realização da operação de divisão, o valor obtido venha a substituir um conversor de resolução muito mais alta. Este fato pode ser creditado a obtenção de valores menores do que 1 (um), ao invés de valores somente inteiros. Deste modo a faixa final conseguida com o resultado de operação de divisão é a mesma que seria obtida com um único conversor linear de alta resolução.

A palavra digital referente a lei-A linearizada é apresentada abaixo, e a curva de codificação/decodificação nas figuras I.2 e I.3.

B8	B7	B6	B5	B4	B3	B2	B1
----	----	----	----	----	----	----	----

Nesta palavra digital temos:

B1 = indica a polaridade do sinal, se o mesmo se encontra no primeiro ou terceiro quadrantes;

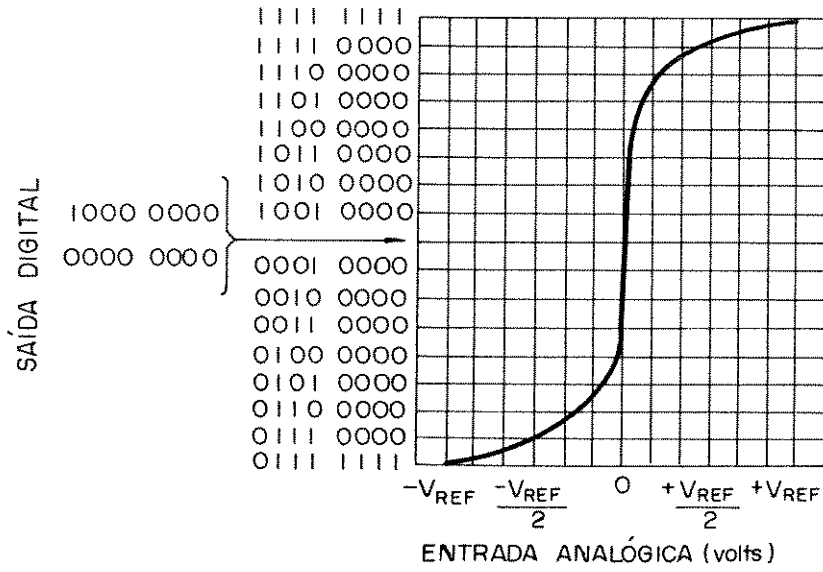


Figura I.2 - Lei-A para codificação ref [4]

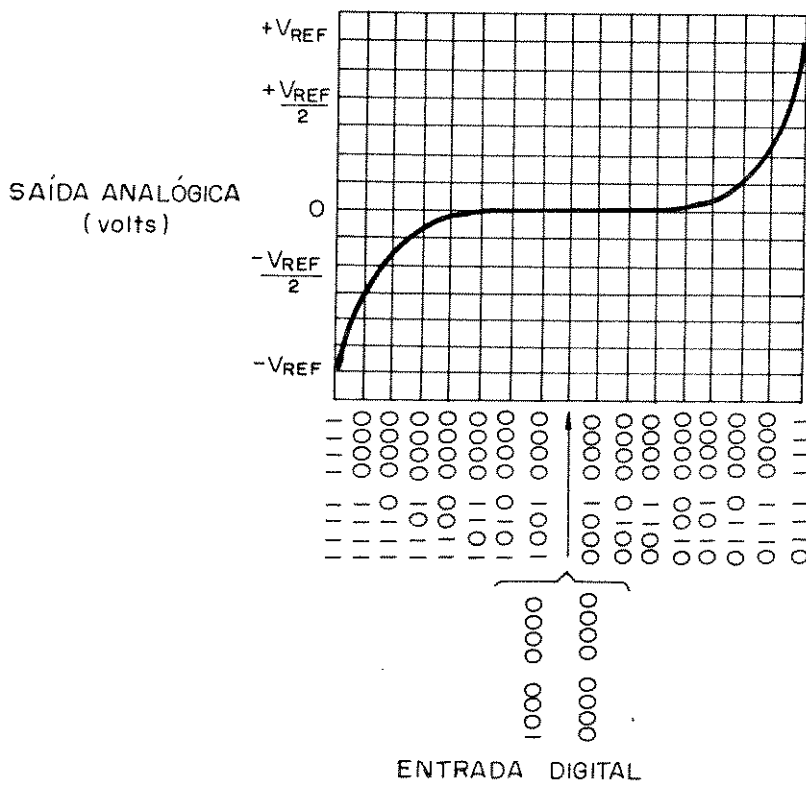


Figura I.3 - Lei-A para decodificação - ref [4]

B_4, B_3, B_2 , = indicam o segmento, sendo evidente que com 3 bits consegue-se representar todos os segmentos da curva em 1 quadrante.

B_8, B_7, B_6, B_5 = indicam o nível dentro do segmento, sendo portanto 4 o número de bits necessários para discriminar os 16 níveis desejados.

I.4 - Comentários e Conclusões

Neste capítulo apresentamos e discutimos algumas técnicas de conversão A/D e D/A, fazendo uma indicação do que se encontra na literatura especializada.

Propomos a técnica de multiplicação/divisão, que tem a função de ser útil onde se deseje uma decodificação não linear. A principal vantagem do seu uso é a viabilidade de se utilizar conversores D/A lineares de resolução mais baixas do que seriam necessárias sem o uso da divisão..

Isto implica em um menor ciclo de projeto, em função do menor tempo envolvido no projeto elétrico, elaboração de máscaras, fabricação e teste do protótipo, etc. Um menor ciclo de projeto corresponde a menores custos finais.

Propõe-se a verificação do princípio apresentado através do projeto de um decodificador MCP, que faz uso de uma lei não linear conhecida como lei-A e que, quando segmentada é chamada de lei A-128 (128 níveis analógicos por quadrante).

Para uma realização portanto, deste conversor, é necessário a obtenção de alguns blocos como: o circuito lógico combinacional, os conversores D/A lineares e o circuito multiplicador/divisor.

A cada um destes blocos, foi reservado um capítulo na exposição que segue. As inovações e contribuições realizadas pelo autor deste trabalho no projeto de cada uma dos blocos citados são discutidas e analisadas nos seus respectivos capítulos.

Com relação ao princípio do multiplicador/divisor proposto, o fato de se poder usar dois conversores D/A lineares de resolução mais baixas em substituição a um conversor D/A linear de alta resolução é um fato bastante importante e promissor. Com isto acreditamos que este princípio, uma vez conhecido possibilitará o desenvolvimento de projetos de maiores complexidades de uma maneira mais simples, além de proporcionar uma consequente queda nos seus custos finais.

CAPÍTULO II

Proposta de um Decodificador MCP - Aplicação a Lei A - 128

II.1 Introdução

Muitas são as maneiras utilizadas para a obtenção da decodificação de um sinal MCP. A literatura especializada apresenta vários trabalhos [6] - [11] onde pode-se verificar o fato comentado.

Um eficiente equacionamento para a realização da conversão analógica-digital usando a lei A-128 foi proposto por Kaneko [2] e serviu como ponto de partida para um trabalho realizado por Jorge [1], onde o autor utiliza esta análise para uma proposta de integração de um conversor D/A não linear .

A nossa proposta toma como ponto de partida os resultados atingidos na referência citada [1], visando o seu aperfeiçoamento, identificando os pontos críticos (ver capítulo IV), inovando em um ponto essencial (exposto neste capítulo) e completando o dispositivo com um bloco de processamento analógico (capítulo V).

Neste capítulo apresenta-se a análise da técnica de conversão digital-analógica proposta por Kaneko e discute-se um sistema decodificador que se baseia nesta formulação.

É explicitada também a proposta da aplicação da técnica da multiplicação/divisão para obtenção da lei A-128. Finalmente, faz-se uma opção quanto da tecnologia escolhida para a integração do decodificador não linear.

II.2 - Conceituação

A referência [2] apresenta um método de se obter uma topologia de decodificação, a partir de um simples equacionamento da obtenção da lei - A em 128 níveis analógicos.

A expressão geral para a decodificação apresentada é:

$$Y(L, V) = \Delta(L) (V + P) . \quad (II.1)$$

sendo:

L = número de ordem do segmento; sendo M segmentos.;

$L \in (0, 1, 2, \dots, M - 1)$;

V = número inteiro que exprime o nível não expandido dentro do segmento; $V \in \{0, N\}$;

N = número de níveis discretos em cada segmento;

$\Delta(L)$ = intervalo entre os níveis discreto de cada segmento;

sendo ainda:

$$\Delta(L) = 2^{L-\eta} \quad ; \quad (II.2)$$

$$P = N \cdot \eta + b \quad ; \quad (II.3)$$

onde:

η = vale 0 ou 1, conforme L valha zero ou seja diferente de zero;

b = deslocamento do nível zero ; a necessidade de seu emprego advém da diminuição conseguida desta forma, do erro médio quadrático de quantização ($b = 1/2$).

De II.1, II.2 e II.3 conclui-se que:

$$Y(L, V) = (2^{L-\eta}) (V + N\eta + b) ; \quad (II.4)$$

Para introduzir a polaridade basta acrescentar na expressão o fator determinado pela informação contida no bit B_1 . Temos então que:

$$Y(L, V) = (2^{L-\eta}) (V + N\eta + b)(B_1 - \overline{B_1}) \quad (II.5)$$

A expressão encontrada conduz diretamente ao diagrama em blocos apresentado na figura II.1.

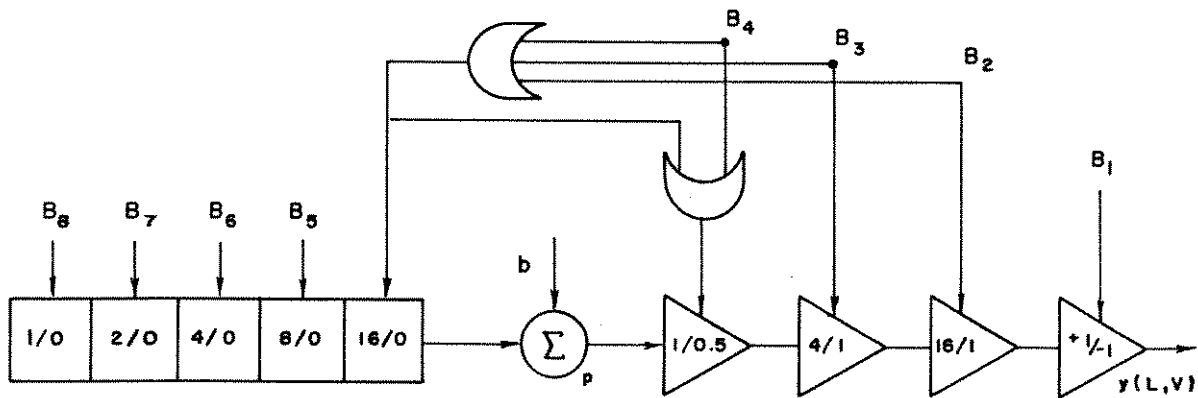


Figura II.1 - Diagrama em bloco de um sistema decodificador para LEI A 128
- Ref [2].

Neste diagrama, tem-se os valores do sinal V sendo obtidos através do acionamento executado pelos bits B_5 , B_6 , B_7 e B_8 de um decodificador linear que possui ainda um quinto bloco, que é acionado por η , conseguindo-se deste modo, em sua saída, a adição $(V + \eta N)$.

Em seguida, o valor de "b" é somado e o resultado processado por um amplificador chaveado de 3 estágios, segundo os valores de B_2 , B_3 e B_4 , que fornecem a identificação do segmento. A polaridade é, enfim, obtida pelo comando de B_1 no inversor chaveado do último estágio

Uma variante desta topologia foi apresentada na referência [1]. O autor baseou-se na expressão II.4 e substituiu os amplificadores chaveados por um multiplicador. Assim, multiplicou dois valores, $\Delta(L)$ por $(V + N.\eta + b)$, para obter o sinal decodificado. O bit B_1 produz o chaveamento de um inversor na saída do multiplicador. A arquitetura do

decodificador D/A, em que se utilizam de registradores de deslocamento, memórias, malhas lógicas e conversores, se concretiza no diagrama em blocos para o circuito, apresentado na figura II.2. No diagrama, verifica-se a existência de dois decodificadores D/A lineares, um de sete bits que gera os valores de $\Delta(L)$, e um outro de cinco bits, gerador da função $(V + N.\eta + b)$.

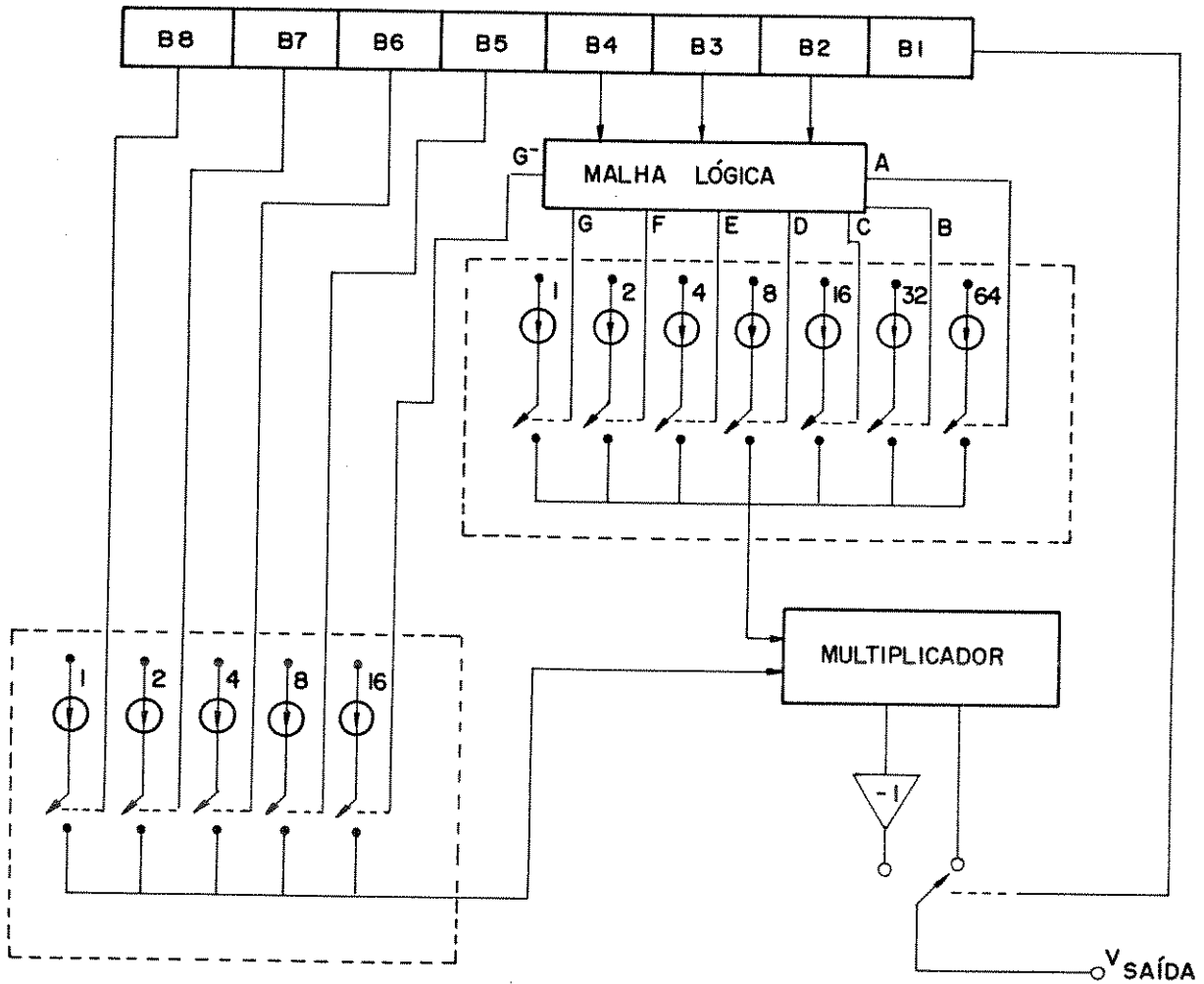


figura II.2 : Sistema decodificador utilizando o princípio da multiplicação

II.3 - Topologia de Decodificação Proposta

A topologia apresentada necessita de um conversor com resolução de 6 bits, para a obtenção dos níveis correspondentes aos segmentos. Torna-se inevitável que o erro de linearidade apresentado por este conversor seja transmitido diretamente ao sinal decodificado. Uma vez que este bloco atua diretamente no valor do segmento, este erro se propaga para todos os segmentos do conversor MCP, interferindo no valor de cada nível dentro do segmento. O erro introduzido será mais crítico nos níveis de valor mais elevado, dentro de cada segmento, onde o erro permitido percentual é menor.

A proposta aqui apresentada utiliza dois conversores de quatro bits, um conversor de cinco bits, um circuito lógico combinacional e um circuito multiplicador/divisor. O bit "B₁", que define a polaridade de saída, aciona diretamente este último bloco.

Esta proposta é fundamentada em princípios bastante simples, explicados a seguir, e permite a eliminação da maior parte dos erros introduzidos pelo D/A de seis bits, conversor este exigido pelo sistema de decodificação que utiliza a técnica da multiplicação.

Usando-se valores convencionais para "L" na expressão II.2 e representando-se "L" por semi retas de origem no ponto (0,0) e inclinação proporcional a $\Delta(L)$, pode-se traçar a figura II.3. Nesta figura cada semi reta representa um dos segmentos da curva do decodificador D/A e sua inclinação o valor do degrau entre níveis discretos de cada segmento. Assim verifica-se que, devido ao fato do primeiro segmento ($L = 0$) coincidir com o segundo segmento ($L = 1$), existem somente sete segmentos por quadrante. A característica da decodificação que faz com que a relação entre dois $\Delta(L)$ adjacentes seja dois, permite obter os mesmos resultados não somente pelo produto do fator $\Delta(L)$ por 2, mas também pela divisão por este mesmo valor. Assim, pode-se escrever a seguinte relação:

$$\Delta(L)_{L-2} = 1/2 \cdot \Delta(L)_{L-1}. \quad (\text{II.6})$$

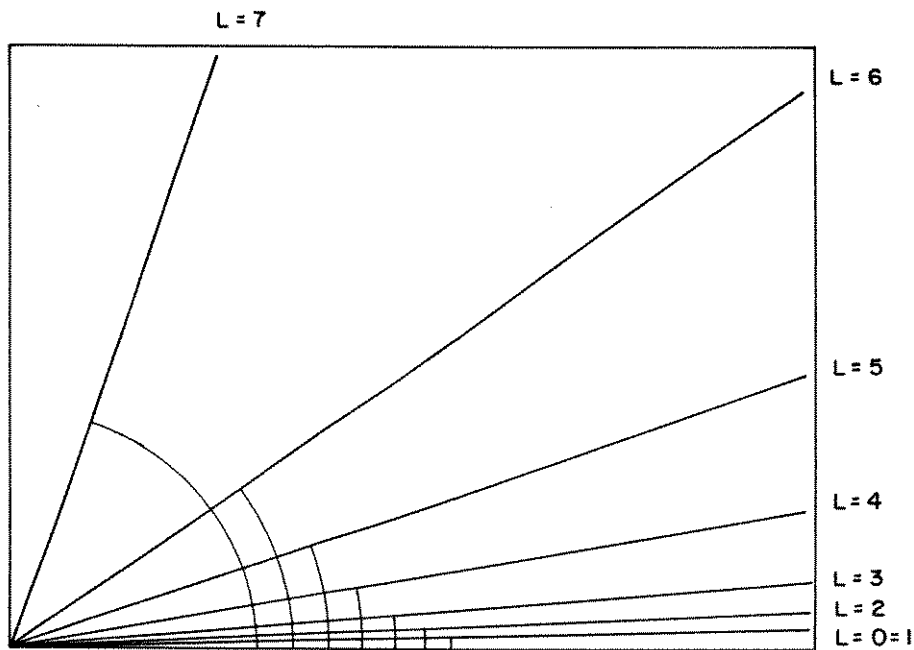


Figura II.3 - Representação gráfica de L e $\Delta(L)$.

A existência de um número ímpar de segmentos possibilita a fixação de um segmento central que, no caso de 7 segmentos, é o 4º, para a definição de uma referência na mudança de conduta da obtenção de $\Delta(L)$. Assim, definiu-se que os 3 segmentos inferiores ao 4º segmento seriam obtidos pela razão e os 3 superiores pelo produto dos sinais dos D/A responsáveis pela geração dos segmentos. Deste modo tem-se que o valor de $\Delta(L)$ pode ser obtido por:

$$\Delta(L) = \Delta(L)_4 \cdot (2)^n / (2)^m \quad (\text{II.7})$$

Sendo:

$$n = \begin{cases} L - 4 & \text{para } 4 \leq L \leq 7 \\ 0 & \text{para } 1 \leq L \leq 3 \end{cases}$$

$$m = \begin{cases} 4 - L & \text{para } 1 \leq L \leq 3 \\ 0 & \text{para } 4 \leq L \leq 7 \end{cases}$$

Baseando-se na equação II.7, pode-se levantar os valores de $\Delta(L)$ para os sete casos possíveis (uma vez que o 1º segmento coincide com o segundo, considera-se um segmento único) e constatar que $\Delta(L)$ assume valores que variam entre $1/8$ e 8 , mantendo, porém, a mesma relação exigida no equacionamento original para se efetuar a decodificação. Neste novo procedimento verifica-se que "m" e "n" assumem valores entre 0 e 3, sendo, portanto 4 o número de bits necessários para os D/As lineares.

Um diagrama em blocos desta nova topologia é mostrado na figura II.4, onde introduzimos o valor de "b", no caso igual a 0,5.

Nesta topologia, o multiplicador-divisor chaveado, doravante chamado de MDC, recebe os sinais dos três D/As juntamente com um bit de polaridade. Estes sinais determinarão os valores analógicos que estarão presentes na saída do MDC, que serão os valores decodificados. Os valores fornecidos ao MDC são definidos a partir de uma malha de codificação, denominada "malha lógica", composta de circuitos lógicos combinacionais.

Estes circuitos definem também a função a ser realizada pelo MDC, multiplicação ou divisão.

Considerando que o dispositivo opere com entradas em paralelo para a palavra digital, haverá 3 blocos básicos, blocos estes que determinarão o desempenho do dispositivo como um todo. Estes blocos são:

- 1º: bloco lógico; constituído da malha lógica;
- 2º: conversores D/As;
- 3º: multiplicador - divisor chaveado.

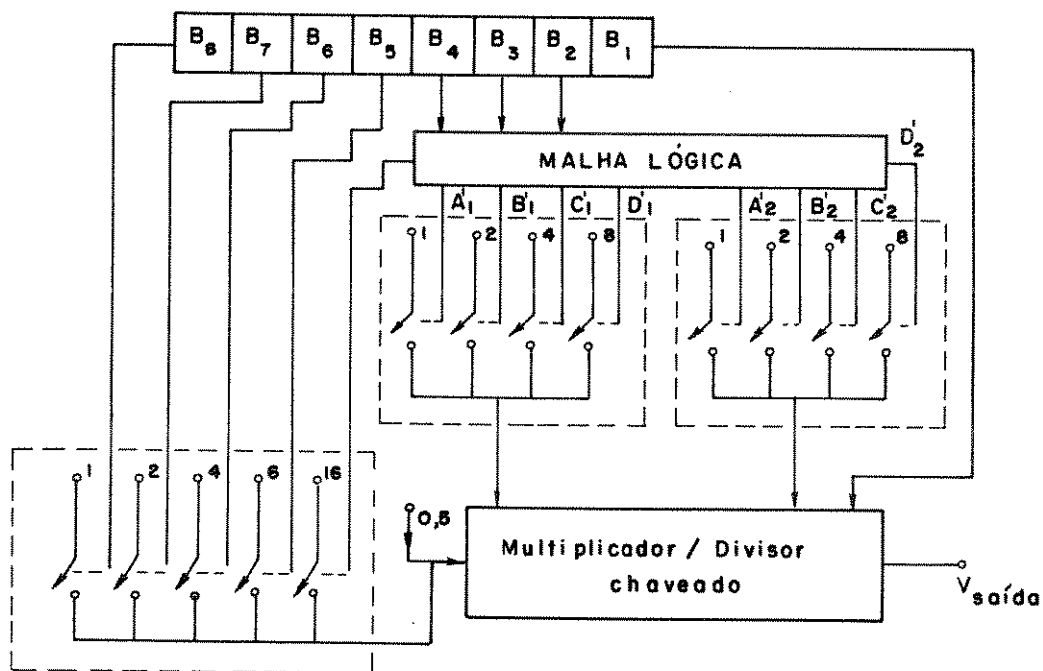


Figura II.4 Sistema decodificador utilizando o princípio multiplicação - divisão.

A cada um destes circuitos será dedicada uma atenção especial durante este trabalho, sendo temas de discussão detalhada o projeto, desempenho e erros introduzidos no sistema decodificador.

II.4 - Tecnologia de Integração.

Torna-se pertinente quando da proposição de um circuito, um estudo procurando determinar qual a tecnologia mais apropriada para ser utilizada na sua integração. Não se deve esquecer que, por uma questão de simplicidade, deve-se escolher uma tecnologia que permita o emprego da mesma estrutura de componentes, tanto para os blocos analógicos como para os digitais.

Um dos blocos básicos do sistema não linear é o multiplicador - divisor chaveado. Este bloco, por ser o bloco terminal do conversor, possui importância fundamental no desempenho do dispositivo, uma vez que é ele que determina as características do sinal decodificado. Em projetos de circuitos lineares, a tecnologia mais empregada ainda é a bipolar, sendo que a MOS apresenta problemas adicionais que oneram as especificações e limitam o desempenho dos dispositivos que a utilizam. As mesmas considerações valem para o bloco constituído por conversores D/A em relação a precisão dos canais binários.

Para o bloco lógico é desejável um tipo de tecnologia que englobe um alto grau de compactação, devido ao grande número de portas existentes, e uma velocidade de chaveamento, destas portas lógicas, compatível com as exigências eventuais de utilização.

Assim, optou-se pela integração deste sistema pela tecnologia bipolar, que possui os pré-requisitos exigidos na integração do sistema, pois compatibiliza o uso tecnologia bipolar convencional para o MDC e os conversores D/As, e a tecnologia por lógica de injeção integrada - I²L (Integrated injection logic) para o bloco digital.

II. 5 - Comentários e Conclusões

Neste capítulo foi apresentada uma proposta de arquitetura para um sistema de decodificação não linear, que se baseiou no equacionamento de Kaneko, tendo como exemplo de decodificação o da lei A-128. Acreditamos que poderá, independentemente da sua forma de integração, contribuir para diminuir a complexidade de projeto desta categoria de dispositivos, em função da simplicidade dos blocos que a constituem.

Na proposta apresentada, os segmentos da lei A-128 são gerados a partir da relação dos valores de dois conversores de quatro bits. Pode-se citar algumas vantagens desta forma de geração, como a menor complexidade do projeto destas estruturas e conseqüentemente menor erro final, e a diminuição da dependência do valor dos segmentos pelo cancelamento das dispersões globais devido as variações ambientais e envelhecimento. Ou seja, cada conversor de quatro bits pode sofrer os efeitos da variação do sinal de polarização da fonte externa ou mesmo térmicas, e no entanto por estarem na mesma pastilha de silício e o valor do segmento ser uma função da razão dos valores dos dois conversores, o resultado final permanecer inalterado.

CAPÍTULO III

Projeto e Desenvolvimento do Bloco Lógico

III.1 - Introdução

Considerando a técnica da multiplicação-divisão no projeto do decodificador não linear, temos a circunstância de se realizar, no bloco lógico, a decodificação da informação de acionamento das chaves. Chaves estas que determinarão qual função, multiplicação ou divisão, será realizada no bloco analógico. Por outro lado, um sistema CODEC completo deve incluir os blocos de conversão serie paralela e sincronismo. Com vistas a ilustração do grau de complexidade de um sistema completo, incluímos neste capítulo uma exposição sobre os constituintes básicos e a estrutura que teriam estes blocos, mesmo quando não esteja a sua obtenção incluída nos objetivos deste trabalho.

O nosso trabalho propõe-se, como exposto no capítulo II, utilizar a tecnologia I^2L [12] [13] para o projeto de integração dos blocos citados; tecnologia esta que satisfaz a exigência do uso de componentes bipolares, no bloco analógico, e que pode propiciar velocidades de comutação compatíveis com as que deve apresentar o sistema decodificador.

Neste capítulo relatamos a técnica utilizada no projeto do bloco lógico, tecendo considerações sobre o registrador de deslocamento, a interface, a memória e analisando detalhadamente o projeto da malha lógica, além de apresentar o princípio de funcionamento da tecnologia I^2L . Finalmente mostramos o "layout" gerado e a microfotografia correspondente a esta parte do "chip".

III.2 - Lógica de Injeção Integrada (I^2L)

A lógica de injeção Integrada (I^2L) tornou-se, desde seu surgimento, uma boa opção para os projetistas que utilizam a tecnologia bipolar, quando desejam a integração de um circuito que contenha funções analógicas e digitais. A viabilidade de se conseguir altas velocidades de comutações ($\cong 50$ ns) [15], aliado à possibilidade do desenvolvimento de projetos com alto grau de complexidade e uma densidade de integração ao nível de circuitos LSI (Large Scale Integration), tornou-se a principal razão da grande popularidade desta técnica.

Uma porta Não E (NE) I^2L é mostrada na figura III.1, sendo a vista em corte da estrutura física deste dispositivo apresentada na figura III.2.

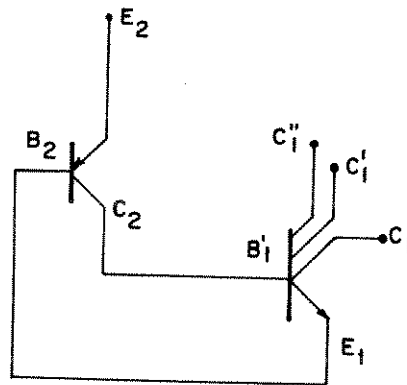


Figura III.1 - Circuito equivalente de um inversor I^2L

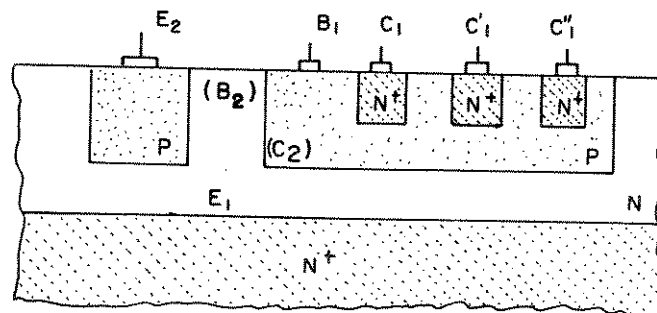


Figura III.2 - Vista em corte de uma estrutura I^2L .

Uma rápida análise do funcionamento desta lógica torna-se interessante de se fazer neste momento, uma vez que esta técnica está presente no bloco lógico do dispositivo e também nos comandos dos conversores D/As. Para esta análise utilizou-se o circuito descrito na figura III.3.

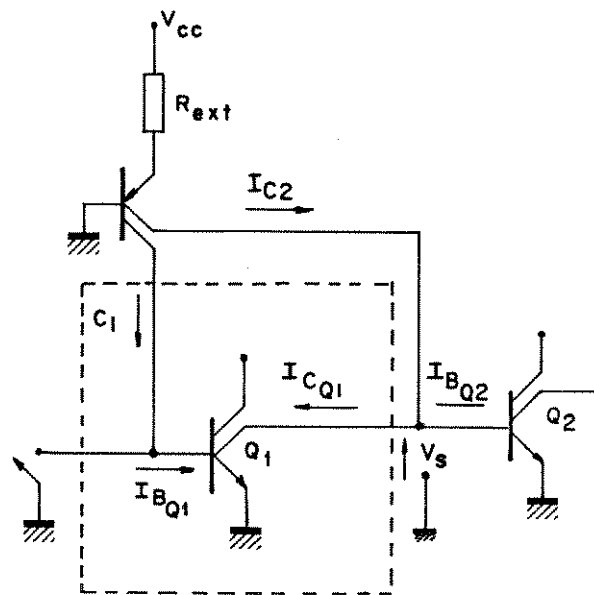


Figura III.3 - Circuito I^2L utilizado na análise da técnica I^2L .

Considerando-se a chave S_1 em 2 posições: aberta (nível lógico 1) e fechada (nível lógico 0), tem-se:

Chave aberta (nível lógico 1)

Com a chave S_1 aberta, toda a corrente I_{c1} flui para a base de Q_1 , saturando este transistor. A tensão V_s de saída é o valor de V_{ce} de saturação do transistor. A corrente I_{c1} é igual a I_{c2} ; conseqüentemente, o transistor Q_2 entra na região de corte.

Chave fechada (nível lógico 0).

Com a chave S_1 fechada, a corrente I_{c1} flui através da chave, fazendo com que a corrente de base seja aproximadamente zero. Nestas condições, o transistor Q_1 fica na região de corte e toda a corrente I_{c2} flui para a base de Q_2 , levando este transistor à condição de saturação. A tensão V_s de saída é o valor da tensão V_{be} de Q_2 e vale aproximadamente 600 mV.

O projeto de circuitos lógicos utilizando a técnica I^2L , é bastante simples e pode utilizar diretamente o diagrama em blocos do circuito lógico a ser projetado. Algumas considerações, no entanto, devem ser tecidas.

- 1º - A porta lógica I^2L possui somente uma entrada;
- 2º - Uma porta lógica, em função do ganho do transistor NPN, deve alimentar no máximo quatro entradas lógicas (Fan-out = 4)[15].
- 3º - Uma saída (coletor) só pode ser conectada a uma entrada lógica (base);
- 4º - Toda porta lógica é do tipo Não E.

Com base nos itens acima expostos e na descrição do funcionamento da porta I^2L , esquematizamos o bloco básico do registrador de deslocamento e da memória, o flip-flop tipo D. A sequência de projeto está apresentado nas figuras III.4, III.5 e III.6.

Uma forma bastante simples de se obter o "layout" de integração de um projeto I^2L é através do uso do método do diagrama de barras ("Stick diagrams") [14]. Neste método se representa por uma linha vertical o transistor, sendo os coletores deste transistor representados por círculos (o) e a base por cruces (x). A figura III .7 apresenta um transistor I^2L

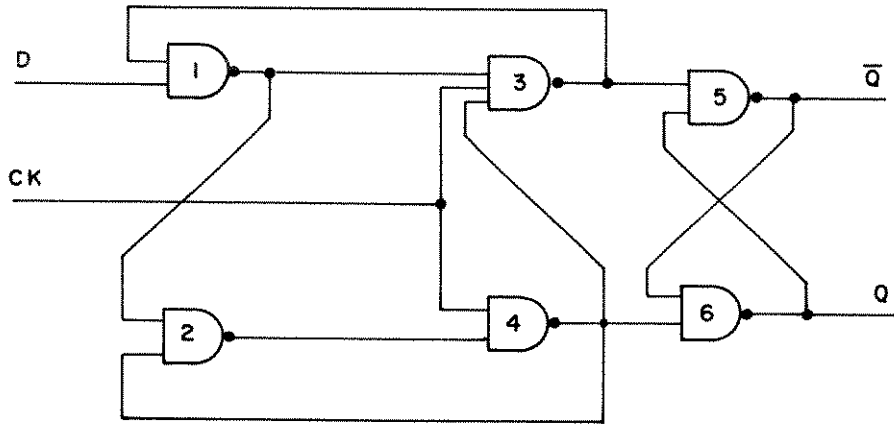


Figura III.4 - Diagrama lógico do flip-flop tipo D.

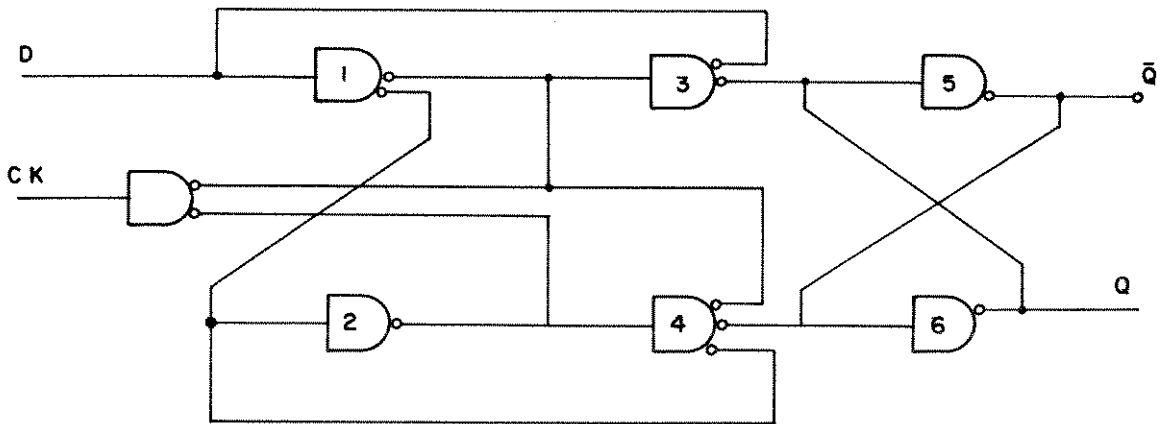


Figura III.5 - Diagrama lógico I²L do flip-flop tipo D.

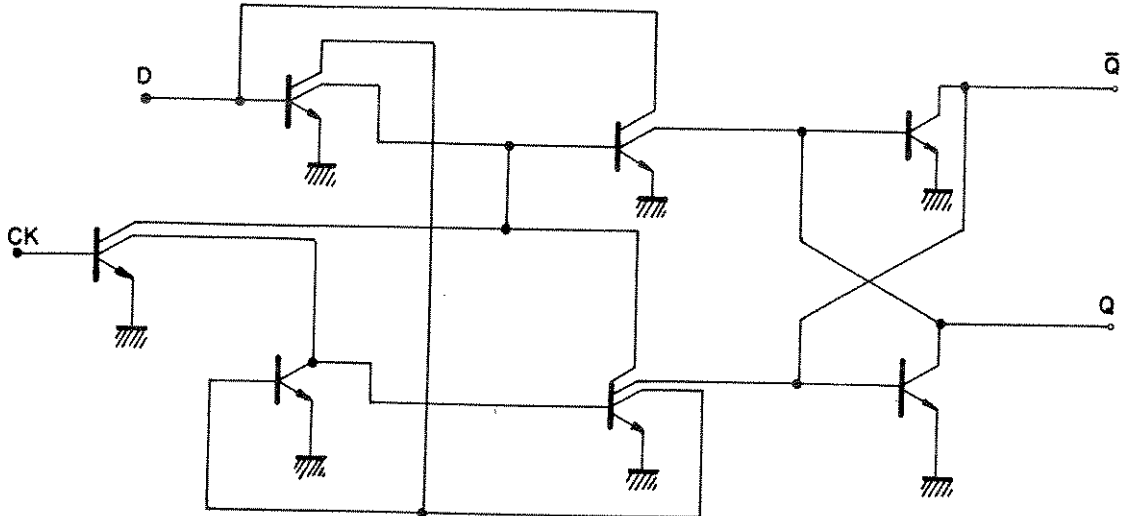


Figura III.6 - Circuito do flip-flop tipo D implementado com transistores I²L

e a sua representação em diagrama de barras. Estas barras representam a geometria da base do transistor NPN colocada perpendicularmente ao injetor de corrente PNP (fig. III.2)

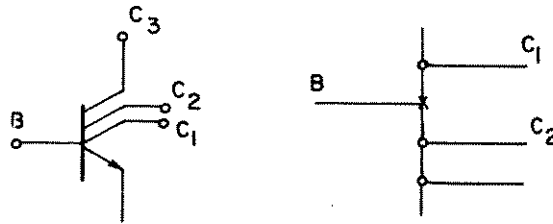


Figura III.7 - Diagrama de barras de uma porta I^2L .

Torna-se interessante esclarecer que a localização das cruzes e círculos (contatos de base e coletores) é arbitrária na barra, o que significa uma alocação dos contatos no transistor em função somente da vontade do projetista; a ordem de colocação dos transistores é apenas condicionada ao maior grau de compactação que pode ser obtido. Em projetos com poucos transistores, o método da tentativa é o mais indicado na obtenção da disposição das barras (transistores) no "layout" com minimização das ligações.

A técnica comentada acima será utilizada na elaboração dos "layouts" do bloco lógico.

III.3 - Circuito de Interface, Registrador de Deslocamento e Memória.

III.3.1 Circuito de Interface

O decodificador conectado à linha recebe os sinais dentro de um padrão existente para a transmissão em MCP. O padrão recebido consta de sinais como níveis lógicos TTL, que necessitam ser adaptados para o padrão I^2L utilizado no registrador de deslocamento, primeiro bloco a receber o sinal da linha.

Devido ao fato comentado, torna-se necessário o uso de um circuito que faça a conversão entre os dois padrões. Todos os conversores MCP, que tenham suas portas lógicas projetadas através de tecnologia I^2L , necessitam desta interface; assim, este circuito é encontrado muito facilmente na literatura técnica especializada. Deste modo, a intenção é utilizar, no projeto do sistema, um circuito de interface que tenha o seu desempenho comprovado na prática, de modo que este não venha a interferir na avaliação dos parâmetros que se deseja comprovar na proposta apresentada.

A interface a ser utilizada é um circuito integrante de um dispositivo encontrado comercialmente [16]. Esta interface foi utilizada com sucesso no projeto de um conversor MCP de um canal desenvolvido na UNICAMP [4], onde o autor encontrou resultados que mostraram a viabilidade de sua utilização em projetos desta natureza. O circuito comentado é mostrado na figura III.8 e os resultados obtidos em [4], reproduzidos na figura III.9.

Com base nos resultados obtidos, verifica-se que os tempos de atraso também possibilitam o uso desta interface no projeto de um conversor MCP para 32 canais, com frequência de 4 KHz.

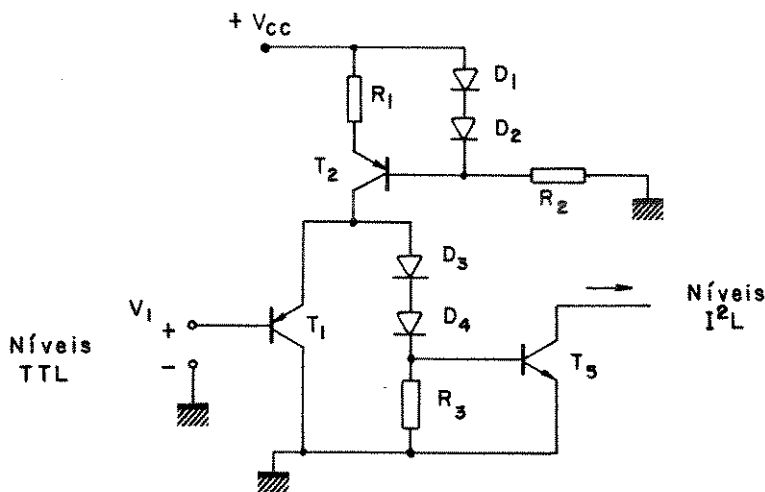


Figura III.8 - Interface de entrada TTL/ I^2L .

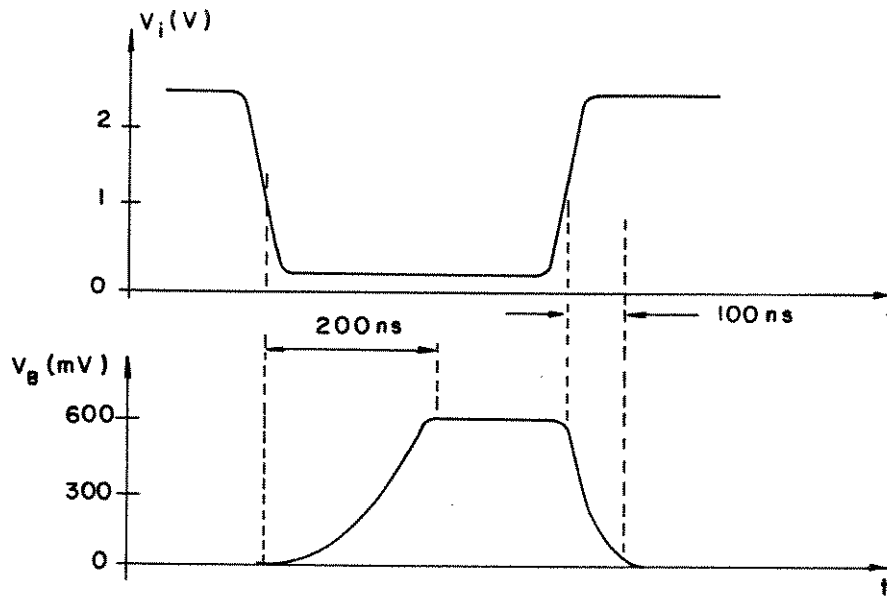


Figura III.9 - Resultado das medidas realizadas no circuito na interface de entrada . [4].

O princípio de funcionamento do circuito da figura III.8 é extremamente simples, como explicado a seguir:

a) - Com a base do transistor T_1 em nível lógico zero TTL, este transistor estará conduzindo, fazendo com que toda a corrente de polarização, formada por R_1 , R_2 , D_1 , D_2 e T_2 , flua por ele. O potencial no emissor de T_1 será, então, aproximadamente 1.1 V (nível zero TTL mais V_{be}). Nesta condição, os diodos D_4 e D_3 e o transistor T_3 não podem conduzir.

b) - Com a base do transistor T_1 em nível lógico 1 TTL (2,1 V) este transistor cortará e toda corrente da fonte fluirá por D_3 , D_4 e R_3 , polarizando o transistor T_3 e levando-o à condução, simulando uma chave em condução (fig. III.3).

Num sistema de 32 canais de 4 KHz (amostrado em 8 KHz) e 8 bits de codificação temos um intervalo alocado para cada bit de aproximadamente 490 ns antes da conversão série-paralelo. Após, temos 3,9 ms para o processamento digital e analógico. Assim sendo, a velocidade de comutação da interface foi julgada compatível com a citada conversão.

A configuração apresentada na figura III.8 é uma configuração inversora e quando de sua utilização, este fato não deve ser esquecido.

III.3.2 - Registrador de Deslocamento e Memória

Os dois primeiros blocos lógicos do sistema MCP são o registrador de deslocamento e a memória. Alguns utilizam, como elemento básico, o flip-flop tipo D, cuja a topologia na tecnologia I^2L foi mostrado na figura III.6 deste capítulo. O registrador de deslocamento nada mais é do que o cascadeamento de 8 desses flip-flop (um flip-flop para cada bit). A memória, também é constituída de 8 flip-flops tipo D, somente diferindo do registrador de deslocamento quanto a forma de ligação. A sua função, no circuito, é a de reter o valor ali colocado até o instante em que recebe o pulso de sincronismo da linha. Neste momento, deve permitir que um novo dado, vindo do registrador de deslocamento, seja armazenado. O diagrama em blocos do registrador de deslocamento e memória é apresentado na figura III 10.

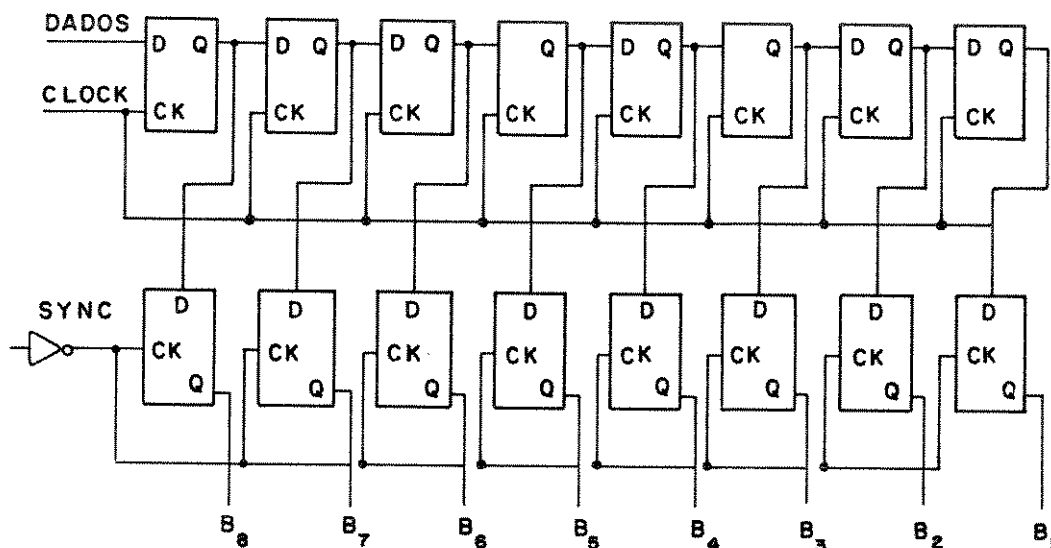


Figura III. 10 Registrador de deslocamento e memória.

Uma vez que os blocos em estudo são estruturas clássicas, dispensam as apresentações de maiores detalhes.

A figura III.11 apresenta o diagrama de barras do elemento básico, o flip-flop tipo D. A apresentação do diagrama final de registrador juntamente com a memória foi considerada desnecessária, uma vez que constam apenas da interconexão e o cascadeamento do diagrama mostrado.

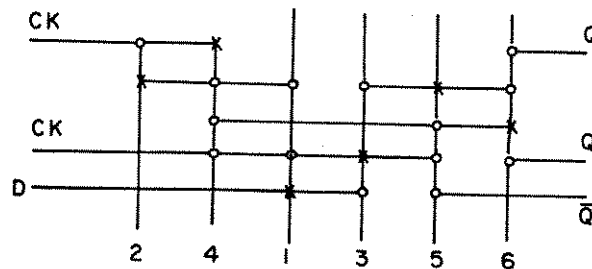


Figura III.11 Diagrama em barras de flip-flop tipo D - I^2L configurado de modo a permitir o seu cascadeamento para o registrador de deslocamento ou o seu uso na memória.

O diagrama apresenta a numeração dos transistores idêntica à da figura III.6. Percebe-se que a sequência destes transistores obedece ao critério da obtenção da minimização das linhas de interconexão.

III.4 Malha Lógica Decodificadora

A malha lógica decodificadora, em consequência da proposta realizada, é o bloco mais importante dentro do projeto lógico do conversor MCP. Este bloco tem a função de fazer a decodificação do sinal recebido da memória, comandar os conversores D/A que definem o segmento e definir a adição da parcela η , corrente de peso 16. (ver figura II.4). Na proposta feita, a definição do segmento será realizada no circuito multiplicador-divisor,

porém a opção da realização da multiplicação ou divisão será comandada pela malha lógica. Portanto, torna-se necessário o conhecimento dos princípios básicos de funcionamento do circuito multiplicador-divisor para a definição dos parâmetros envolvidos no projeto lógico deste bloco.

Um circuito integrado multiplicador, que também serve de divisor, foi desenvolvido na UNICAMP [5] com a finalidade específica de integrar um sistema conversor MCP - 32 canais. Este dispositivo multiplicador, será utilizado como ponto de partida para o desenvolvimento do circuito adaptado a técnica da multiplicação/divisão proposta. O dispositivo mencionado utiliza o princípio translinear [21] para efetuar a multiplicação de duas correntes, sendo que o valor de saída, em corrente, da célula multiplicadora vale:

$$I_x = \frac{I_m \times I_0}{I_R} ; \quad (\text{III-1})$$

onde:

I_x = corrente de saída de célula multiplicadora;

I_m = corrente a ser multiplicada ;

I_0 = corrente a ser multiplicada ;

I_R = corrente de referência .

Fazendo-se as três correntes: I_m , I_0 e I_R , no multiplicador, virem dos dois conversores D/A de quatro bits e do conversor de cinco bits, da técnica proposta, a corrente I_R não mais será uma corrente constante e passará a ser o valor correspondente da divisão no circuito multiplicador-divisor chaveado (MDC)..

Pode-se ainda escrever que:

$$b = \frac{I_m}{I_R} ; \quad (\text{III-2})$$

Logo, de III.1 e III.2 tira-se:

$$I_x = b \cdot I_0 \quad (\text{III-3})$$

A "b" dá-se o nome de índice de modulação para a corrente I_0 .

Devido às limitações de topologia impostas pelo circuito multiplicador a ser utilizado (maiores detalhes serão vistos no capítulo V), o valor de corrente " I_R " não pode ser menor do que a corrente " I_m ". Assim, o índice de modulação não poderá ter um valor maior do que 1. Deste modo, para que a proposta do uso de dois conversores A/D na definição do segmento se concretize e considerando-se que a corrente I_R será uma das correntes que definirão o valor do segmento, não mais se pode utilizar a expressão II.6, e sim a expressão abaixo:

$$\Delta(L) = \frac{1}{8} \cdot \Delta(L)_4 \cdot 2^{(n-m)} . \quad (\text{III-4})$$

Ou seja, deslocam-se todos os segmentos por um fator de 8, através da multiplicação do numerador por esta constante, ficando, deste modo, o maior valor (segmento 7) igual a 1, e o menor (segmento 1) igual a $1/8$. Este fato faz com que a corrente de um dos conversores

D/A também tenha que sofrer este mesmo deslocamento. Isto é feito através da multiplicação da corrente de um dos conversores por este fator. Fazendo-se com que corrente a ser multiplicada seja I_R , soluciona-se o problema do índice de modulação "b", pois o valor de I_m não será, em hipótese alguma, maior do que I_R . A forma a ser realizado este deslocamento será melhor detalhada no capítulo V, capítulo este referente ao bloco MDC.

Um outro fator importante para o projeto da malha decodificadora é o fato de se ter optado por uma configuração de conversor do tipo 3 + 1, ao invés da configuração de 4 bits. Na configuração 3 + 1 consegue-se o valor do bit mais significativo (M S B), através do acionamento de todos os outros 3 bits, mais um; sendo este bit adicional de peso igual ao bit menos significativo. Esta possibilidade decorre do fato de que os valores necessários são 1,2,4,8 e não todos os números naturais de 1 a 8

A soma dos valores produzidos por estes bits fornece o valor procurado, como mostrado a seguir para o caso de um conversor de 4 bits:

$$\underbrace{2^3}_{\text{MSB de um conversor de quatro bits}} = \underbrace{2^2 + 2^1 + 2^0 + 2^0}_{\text{MSB de um conversor de 3 + 1 bits.}} \quad (\text{III-5})$$

*MSB de um
conversor de
quatro bits*

*MSB de um con-
versor de 3 + 1 bits.*

Com base nas observações apresentadas, construiu-se a tabela verdade da malha lógica decodificadora, não esquecendo ainda que, na lei-A, o primeiro e o segundo segmento são coincidentes, e que o valor do nível, dentro do segmento, variando entre 0 e 16 só ocorre no primeiro segmento.

Tabela III.1 Tabela Verdade da Malha Lógica

B2	B3	B4	Gerador 1				Gerador 2				G ⁻
			A1'	B1'	C1'	D1'	A2'	B2'	C2'	D2'	
0	0	0	1	0	0	0	1	1	1	1	0
0	0	1	1	0	0	0	1	1	1	1	1
0	1	0	1	0	0	0	0	0	1	0	1
0	1	1	1	0	0	0	0	1	0	0	1
1	0	0	1	0	0	0	1	0	0	0	1
1	0	1	0	1	0	0	1	0	0	0	1
1	1	0	0	0	1	0	1	0	0	0	1
1	1	1	1	1	1	1	1	0	0	0	1

Sendo:

A₁', B₁', C₁', D₁', as saídas para o conversor D/A₁;

A₂', B₂', C₂', D₂', as saídas para o conversor D/A₂;

G⁻ a saída da malha decodificadora que aciona a parcela 2⁴ no gerador de nível.

O circuito lógico que produz a tabela verdade apresentada acima, em portas não E, é mostrado na figura III.12.

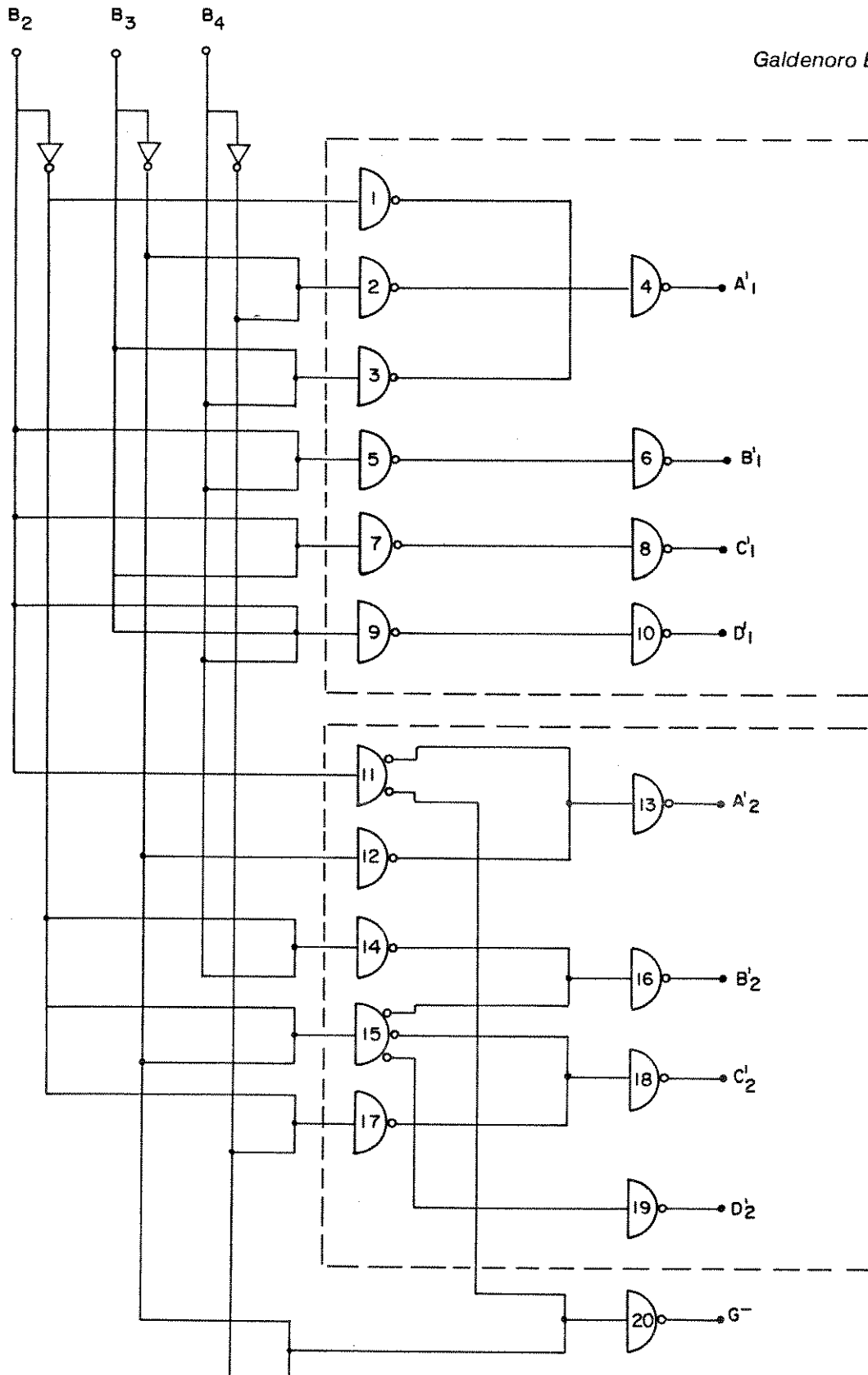


figura III.12 Diagrama em bloco da malha lógica implementada com portas I^2L .

A partir do diagrama apresentado, confeccionou-se o diagrama de barras da malha decodificadora mostrado na figura III.13.

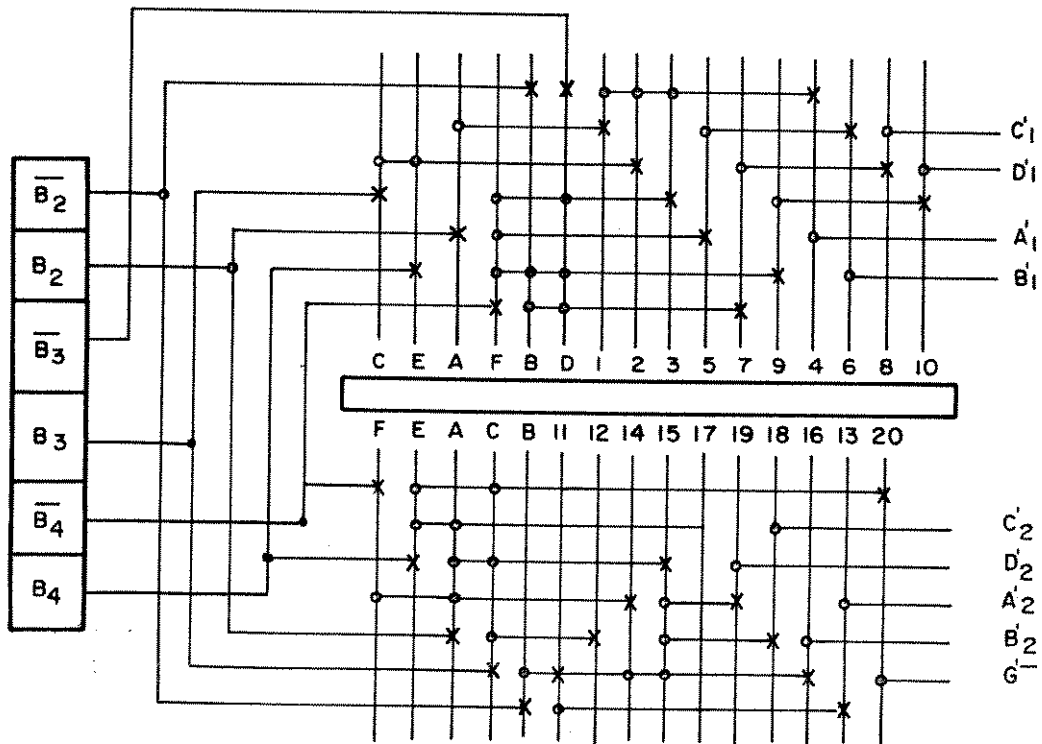


figura III.13 - Diagrama de barras da malha lógica

Na elaboração deste diagrama, levou-se em consideração que as saídas da memória devem passar por um "buffer" que possibilite o acionamento do número das entradas que a malha lógica exige. Como este "buffer" é um inversor I^2L , as saídas da memória devem ser tomadas de modo que, após o inversor, tenham-se os valores B_4 , B_3 , e B_2 na entrada da lógica combinacional da malha. Os transistores que foram utilizados como "buffer" estão representados pelas letras de A-F no diagrama de barras da figura III.13. A numeração dos transistores segue a figura III.12.

III.5 Integração da Malha Lógica

A partir do diagrama de barras apresentado na figura III.13, elaborou-se o "Layout" das máscaras de difusão para a integração do componente. Estas máscaras foram confeccionadas utilizando as regras de projeto do Laboratório de Eletrônica e Dispositivos (LED) da UNICAMP, local onde foi realizada a integração do dispositivo. A seguir são apresentados as normas que foram observadas no projeto das máscaras de integração:

- Distância mínima entre duas difusões do mesmo tipo: $10\ \mu\text{m}$;
- Distância mínima entre duas linhas de metal: $10\ \mu\text{m}$;
- Distância mínima entre um contato e a difusão na qual o contato esta localizado: $10\ \mu\text{m}$;

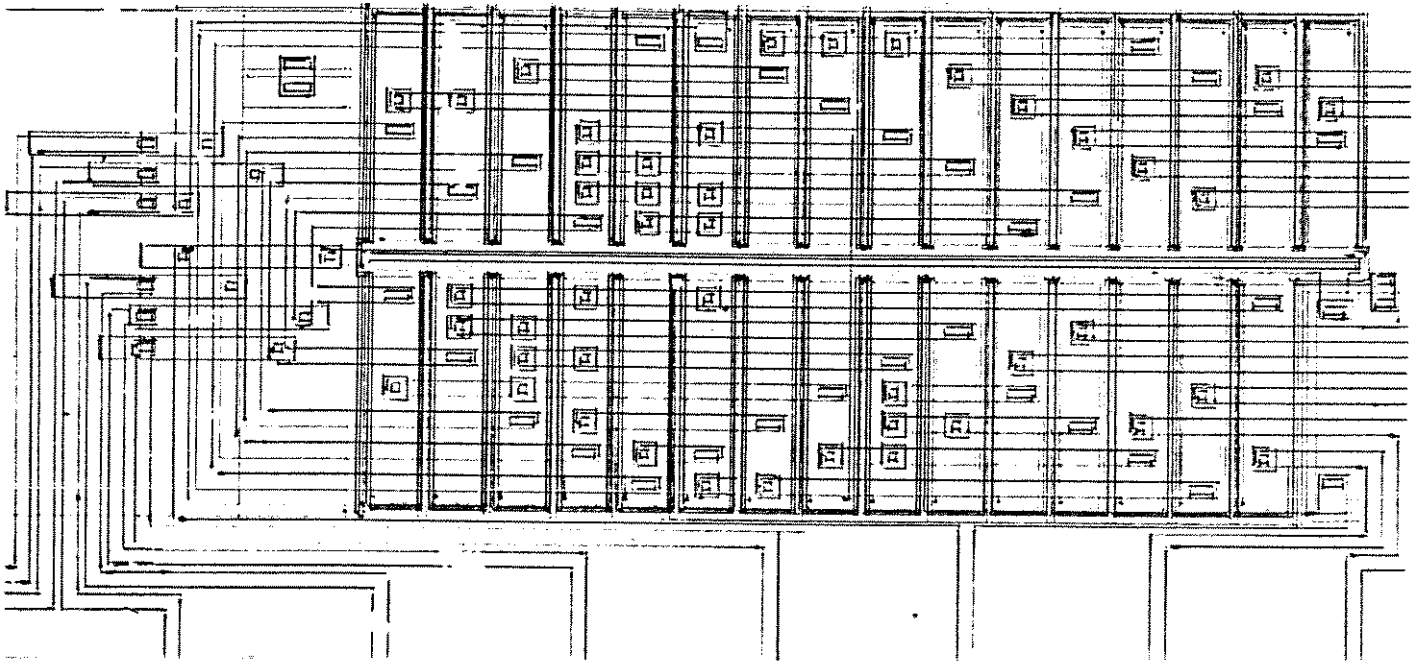


Figura III.14 - "layout" da lógica de decodificação

- Superposição ("overlap") de linha de metalização na cobertura do contato: $5\ \mu\text{m}$;
- Menor dimensão possível para contato ou uma linha de difusão: $10 \times 10\ \mu\text{m}$;
- Distância mínima entre um "pad" de soldagem e uma linha de metalização não ligada a este "pad": $50\ \mu\text{m}$

A figura III.14 apresenta o "layout" final e a III.15 a microfotografia do dispositivo já integrado.

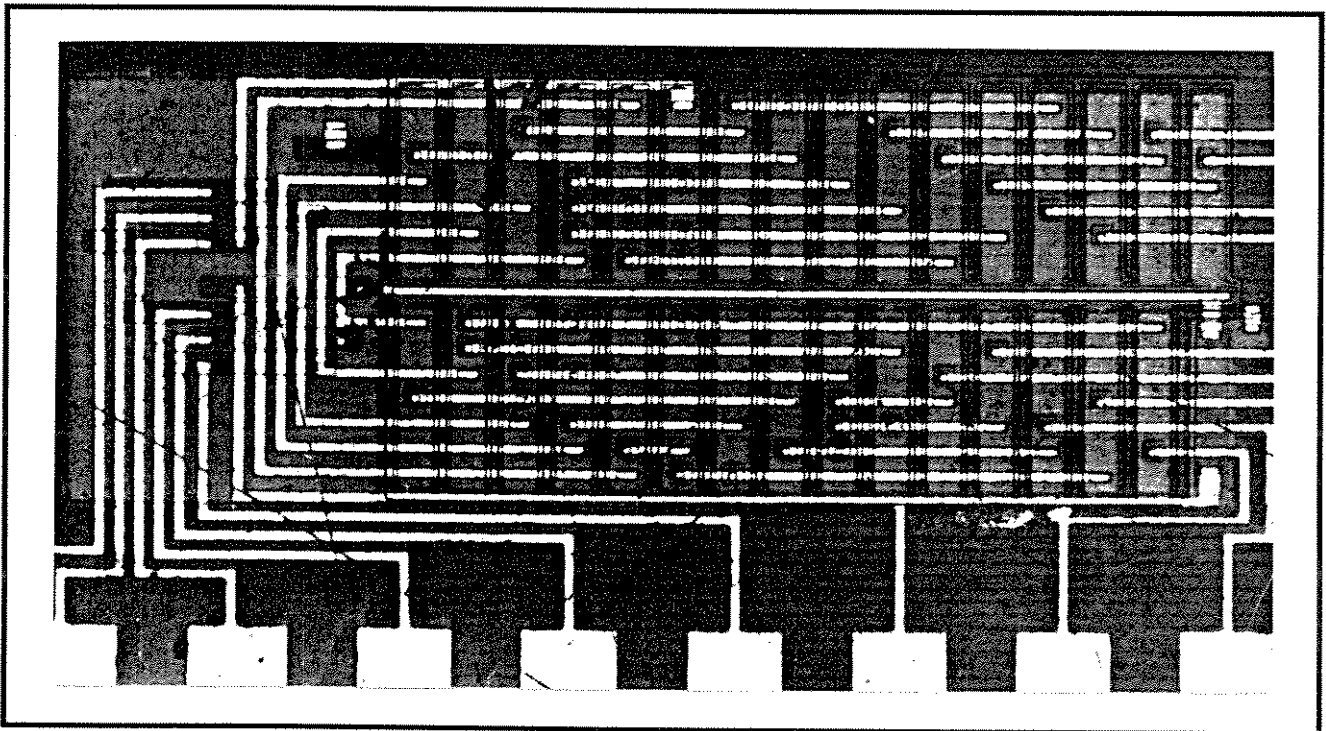


Figura III.15 - microfotografia da parte do chip contendo a lógica de decodificação

III.6 Comentários e Conclusões

Durante o desenvolvimento deste capítulo, procurou-se analisar os principais pontos do bloco digital de um conversor MCP que desempenham um papel determinante no

comportamento do circuito como um todo. Este estudo mostrou que as estruturas adotadas para as interfaces de entrada, memória e registrador de deslocamento, mostram um desempenho compatível com as especificações e, por serem clássicas, não apresentam dificuldades maiores quando de sua integração.

A lógica de decodificação exigida para o correto chaveamento das correntes dos conversores, em função da técnica de multiplicação/divisão utilizada, foi analisada e foi exposto o projeto de seu circuito. O "layout" das máscaras de integração deste circuito foi apresentado, juntamente com as regras utilizadas para a tecnologia I²L. A análise de desempenho deste circuito será tema de um capítulo posterior.

CAPÍTULO IV

Projeto dos Conversores D/A

IV.1 - Introdução

As técnicas de projeto envolvendo conversores D/A e A/D tiveram, nos últimos 15 anos, uma grande divulgação pela literatura especializada. Analisando o material publicado, verifica-se que, em sua grande maioria, os projetos acompanham sempre uma mesma tendência de topologia: os dispositivos projetados com tecnologia bipolar são compostos da rede R-2R, o que define as correntes de peso binário através de transistores de diferentes áreas de emissor que, por sua vez, possuem chaves conectadas a seus coletores; os dispositivos que fazem uso de tecnologia MOS utilizam outras técnicas em seus projetos como a dos capacitores chaveados, por exemplo [22]. Obviamente, a procura da obtenção de um melhor desempenho, como maior linearidade, menor variação com a temperatura, etc, faz com que pequenas modificações ocorram de projeto para projeto. Uma forma alternativa de se conseguir um conversor D/A foi proposta por Hart, Slog e Wulms [12] (figura IV.1). A constatação real da viabilidade dessa topologia foi efetuada por Jorge [1], onde verificou-se que, efetivamente, uma estrutura com as características propostas em [12] tem um comportamento que possibilita o seu uso onde eventualmente fossem necessária a geração de sinais binariamente distribuídos. Os resultados obtidos não foram os ideais, e problemas, principalmente com a linearidade, foram identificados. Previu-se porém, que a obtenção de um melhor desempenho seria plenamente viável de ser obtido.

Neste capítulo expomos o projeto dos conversores D/A, começando pela apresentação de sua concepção estrutural e fazendo um modelamento da estrutura de seus transistores. Buscou-se, com isto, obter uma melhor disposição dos mesmos no "layout" das máscaras e atenuar os problemas verificados anteriormente [1]. Finalmente apresenta-se o "layout" final das máscaras de integração e a microfotografia do dispositivo já integrado.

IV.2 - Estrutura Básica de Conversão

A concepção estrutural dos conversores partiu da premissa de que correntes de valores múltiplos podem ser obtidas a partir da associação de uma célula I^2L com transistores PNP. Esta idéia é fundamentada na referência [12], onde é feita a proposição de uma célula básica que, segundo o autor, obtem a realização da conversão digital analógica de um modo simples e eficiente. O circuito básico, composto do transistor I^2L e dos transistores PNP, é mostrado na figura IV.1, sendo apresentada na figura IV.2 a estrutura destes transistores, em "layout" e corte.

O princípio de funcionamento da célula básica é bastante simples, como explicado a seguir:

O injetor introduz, permanentemente, uma corrente no emissor de P_1 e na base de C_1 (a corrente de polarização na base de C_1 não está representada nas figuras IV.1 e IV.2, porém é inerente à célula I^2L). Quando o ponto A está alto, o transistor C_1 conduz e a corrente do coletor de P_1 é desviada para a terra, fazendo com que a corrente de saída no coletor de T_1 seja igual a zero. Quando o ponto A está baixo, o transistor C_1 permanece cortado e toda corrente do coletor de P_1 é injetada no emissor de T_1 e, conseqüentemente, em seu coletor fluirá uma corrente que valerá αI ; sendo α o ganho de corrente de um transistor na configuração base comum.

A viabilidade de serem obtidos transistores I^2L com até quatro coletores permite que se consigam correntes de valores múltiplos a partir da associação dessas configurações. Um

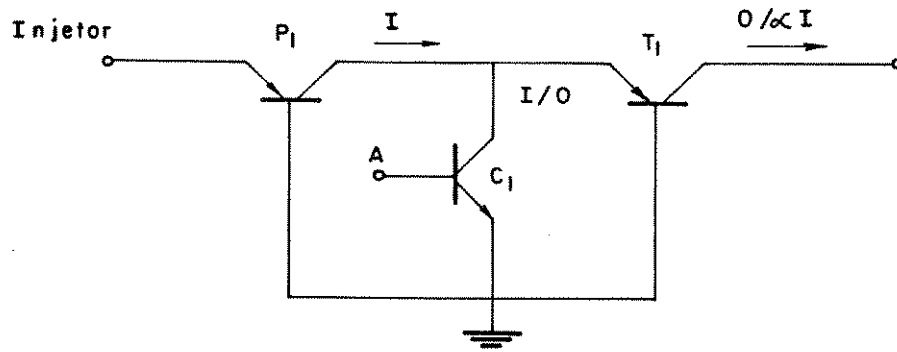


Figura IV.1 - Célula básica, composta de um transistor I^2L e um transistor PNP

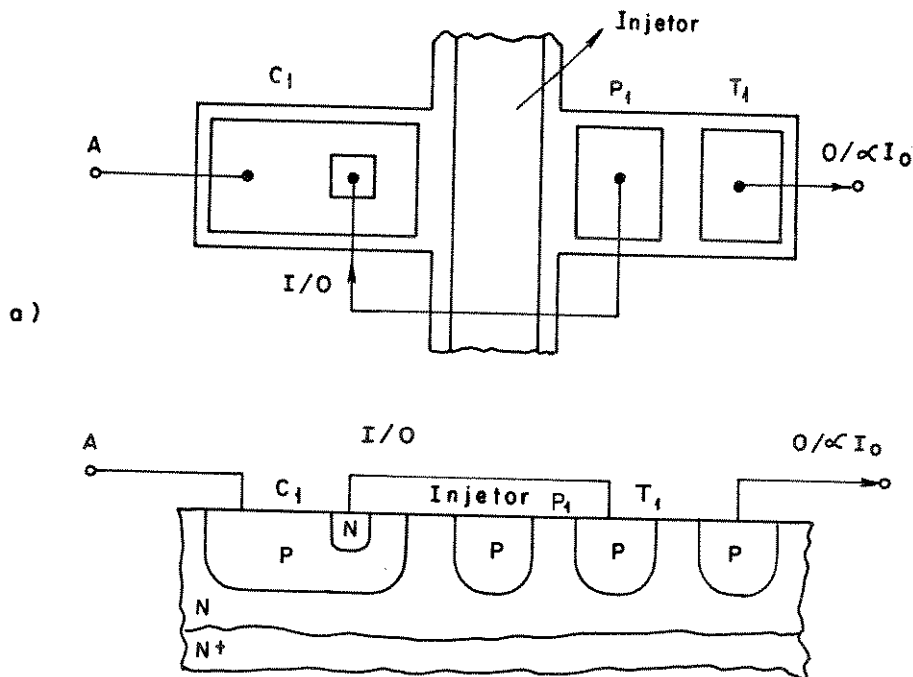


Figura IV.2 - Estrutura da célula básica : a) Vista superior; b) Vista em corte.

simples conversor D/A de 4 bits foi proposto na referência citada [12] e utilizado como idéia central no desenvolvimento de conversores de 6 a 7 bits, por Jorge [1], em seu trabalho. A figura IV.3 apresenta o conversor D/A proposto em [12].

Neste conversor verifica-se ser necessário uma chave I^2L (coletor do NPN) para cada PNP de saída. Deste modo, tem-se que cada transistor I^2L comanda no máximo 4 transistores PNP; obviamente, para um número maior de transistores PNP (para conversores maiores que 3 bits) existirá a necessidade de se associar dois ou mais transistores I^2L , como mostrado na figura IV.3, para a geração da corrente de nível maior do que 2^2 . Deve-se notar que, como todos os coletores dos PNP estão juntos, a corrente de saída será a soma de todas as correntes geradas. A comutação no valor desta corrente será processada através do comando dos transistores I^2L , por intermédio da modificação do nível em que se encontra a base destes transistores. Quando a base do transistor I^2L , doravante chamado de transistor de comando, é colocada no nível alto, ele passará a conduzir, fazendo com que a corrente total da saída seja desviada para a terra.

Neste ponto, pode-se identificar a principal vantagem desta topologia, comparada com as convencionais : a sua simplicidade. Porém, é importante ressaltar que alguns pontos críticos decorrentes da escolha desta técnica estarão presentes e, certamente, terão influência no desempenho do circuito. A simplicidade pode ser creditada ao uso de comandos diretos das portas I^2L , à não necessidade das ilhas de isolamento na construção de transistores NPN verticais, cujo os emissores estão em ponto comum, e à garantia de uma boa velocidade de comutação por se tratar, na saída, de transistores PNP em base comum. Os pontos críticos mencionados são devidos à forte dependência da saída com a tensão "V" de polarização do injetor, à necessidade de uma equalização da tensão distribuída ao longo do injetor e ao eventual descasamento da característica ($I_c \times V_{BE}$) nos PNP laterais, devido a fatores geométricos, dopagem de injetor e dopagem na camada epitaxial.

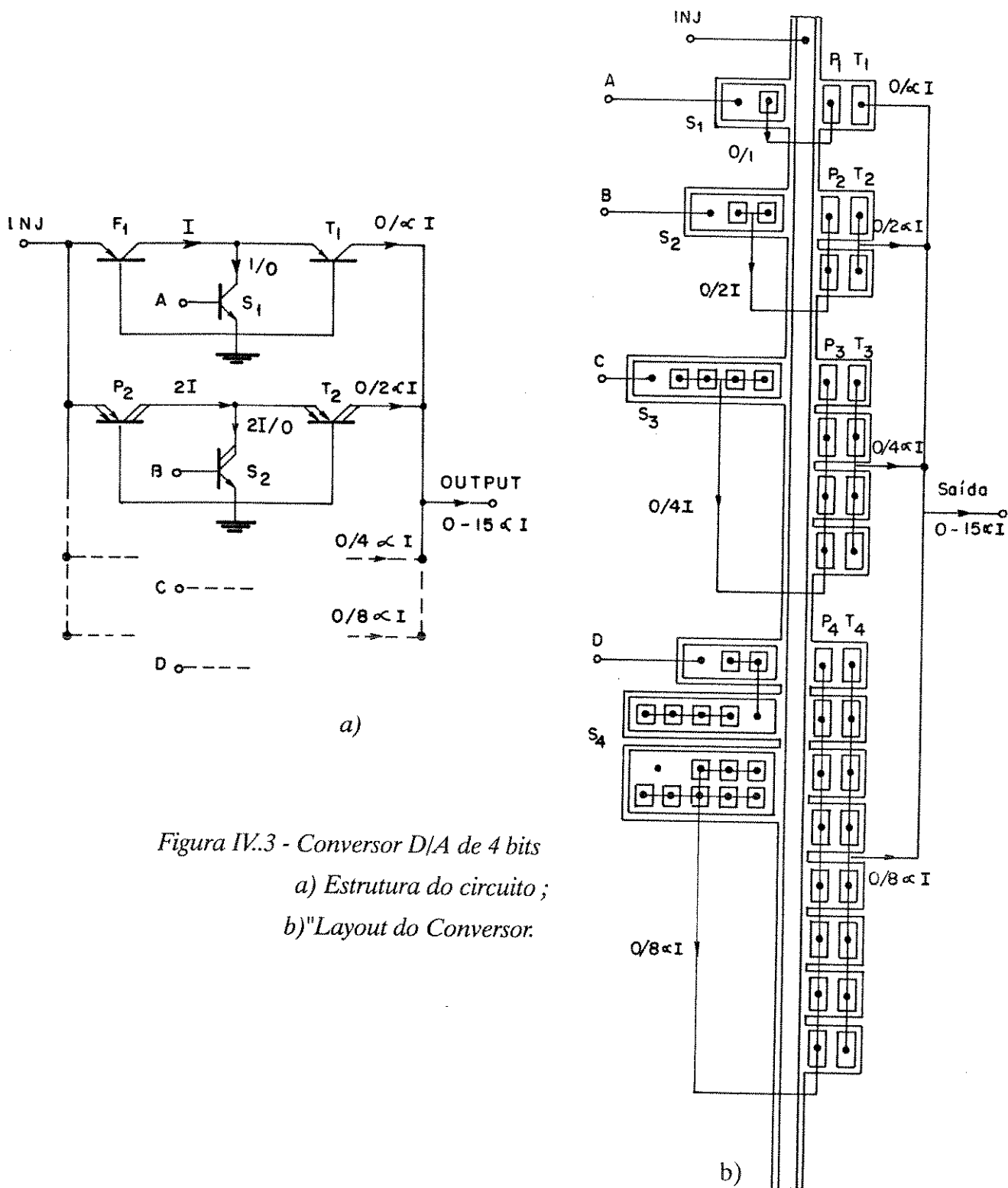


Figura IV.3 - Conversor D/A de 4 bits
 a) Estrutura do circuito;
 b) "Layout do Conversor.

IV.3- Modelos Desenvolvidos

IV.3.1 - Considerações Iniciais.

A necessidade do desenvolvimento de modelos do comportamento dos transistores decorre do desejo da realização de um estudo que proporcione a melhor distribuição possível dos transistores no "layout" dos conversores.

Rapidamente pode-se verificar que esta distribuição de transistores terá uma grande influência nos valores das correntes de saída, pois a variação do potencial ao longo da fita injetora, (devido a resistividade inerente dos materiais que a compõem) altera significativamente os valores destas correntes. Este foi um dos problemas verificados em [1]. Felizmente as correntes de pesos maiores são compostas pela soma das correntes de vários transistores. Deste modo, através da composição destas correntes, consegue-se uma corrente final que se aproxima do valor de precisão máxima. Logo, o estudo da distribuição dos transistores torna-se de fundamental importância por influir no valor desta precisão.

No projeto dos conversores procurou-se equalizar o potencial da fita injetora, através da colocação dos transistores de comando (I^2L) e dos transistores de corrente (PNP) lado a lado e não mais do lado oposto a fita injetora (frente a frente), como apresentado na figura IV.3 [12] e em [1]. Deste modo conseguiu-se que a fita injetora pudesse ser completada com uma fita contínua de metalização, sem interrupções, e não como as verificadas nos casos citados. A estratégia de se alimentar a fita através das suas duas extremidades também contribui para se conseguir a equalização destes potenciais.

Um outro ponto importante e que, se não estudado com o devido cuidado, induz a erros consideráveis nos valores das correntes de saída, é a distribuição dos potenciais no substrato da lâmina, ligada a resistividade do material e as correntes em direção ao contato de terra dos conversores. A alteração destes potenciais modifica o valor da tensão entre base e emissor dos transistores e, conseqüentemente, altera as correntes nos coletores dos transistores.

Procurou-se solucionar este problema por meio da colocação do contato de terra paralelo à fita injetora, através de uma difusão profunda do tipo N^+ que faz contato com o substrato da lâmina. Deste modo tenta-se fazer com que as correntes fluam sempre em direção aos contatos, perpendicularmente a eles. Com isto os transistores que estão no mesmo sentido do fluxo de corrente não sofrem as consequências das mudanças do potencial de substrato, devido às alterações das correntes de saída.

A figura IV.4 mostra a colocação dos contatos de terra em relação à fita injetora e, conseqüentemente, aos transistores que compõem o conversor.

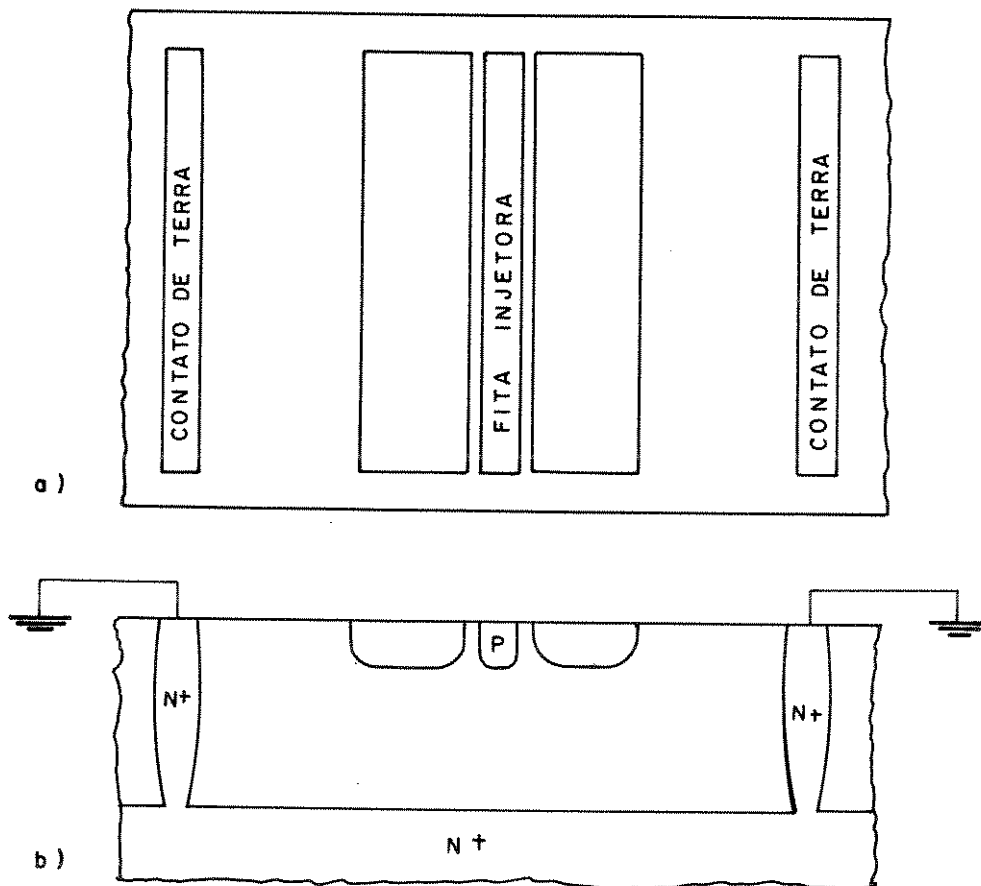


Figura IV.4 - Colocação dos contatos de terra do conversor em relação à fita injetora. a) vista superior; b) vista em corte.

IV.3.2 - Modelamento dos Transistores

O comportamento dos transistores será função de suas dimensões. Deste modo, as regras de projeto do LED, local de integração do conversor MCP, citadas no capítulo III, foram as utilizadas para se realizar o estudo dos modelos envolvidos neste trabalho. Além das regras de projeto, utilizaram-se também os parâmetros dos dispositivos produzidos neste Laboratório, tanto nas simulações dos conversores D/As como nos modelos desenvolvidos. A tabela IV.1 apresenta um resumo dos principais parâmetros usados no modelo elétrico dos transistores.

As principais valores de processo a serem utilizados e que determinarão as características dos dispositivos obtidos são:

- 1) resistividade do alumínio : $25 \text{ m}\Omega/\text{quadrado}$;
- 2) resistividade da camada N epitaxial: $1,2 \text{ K}\Omega/\text{quadrado}$;
- 3) resistividade de camada N enterrada : $40 \text{ }\Omega/\text{quadrado}$;
- 4) resistividade da camada P : $200 \text{ }\Omega/\text{quadrado}$;
- 5) espessura da camada epitaxial: $8,0 \text{ }\mu\text{m}$;
- 6) profundidade da região de base: $1,5 \text{ }\mu\text{m}$;
- 7) profundidade da região de emissor: $1,0 \text{ }\mu\text{m}$.

Com base nestes parâmetros e nas regras de projeto citadas, modelaram-se os dispositivos. As figuras IV.5 e IV.6 apresentam as geometrias dos transistores segundo as regras de projeto descritas, para um transistor PNP lateral e um transistor I^2L de 2 coletores.

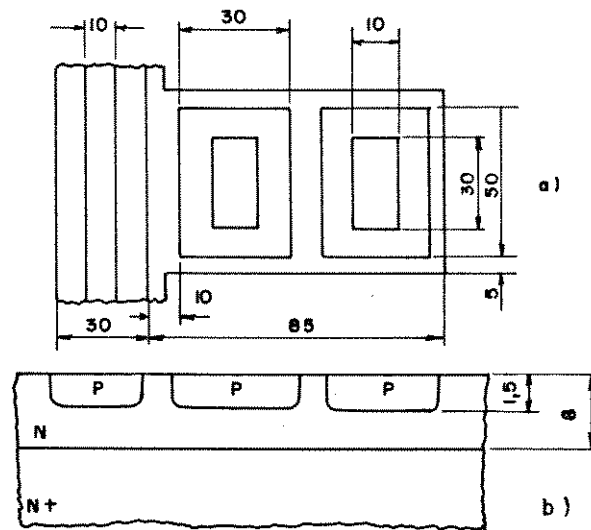


Figura IV.5 - Transistor PNP lateral a) Vista superior;
b) Vista em corte.

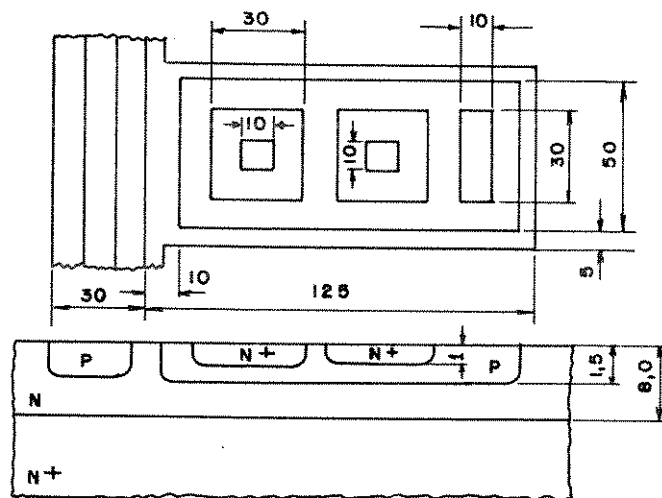


Figura IV.6 - Transistor de comando I^2L - a) Vista Superior; b) Vista lateral.

Obs - Todas as cotas estão com suas unidades em μm

Tabela IV.1 Parâmetros dos dispositivos usados para o modelamento

Dispositivo	Parâmetro	J_s (A/cm ²)	β (Direto)
NPN		$1,39 \times 10^{-10}$	$2,55 \times 10^3$
PNP Lateral		$2,52 \times 10^{-11}$	55
Diodo de Junção		$7,63 \times 10^{-13}$	-

- Célula PNP Lateral

A célula PNP lateral, que tem por função a geração de cada parcela de corrente binária, tem a sua estrutura apresentada na figura IV.5. Porém, para facilitar o entendimento do modelo desenvolvido, optou-se por novamente mostrar este transistor na figura IV.7. O injetor também consta da figura, devido à opção de se realizar a modelagem deste elemento juntamente com os transistores, pois sua inerente e ativa participação influencia, determinadamente, o desempenho da célula estudada.

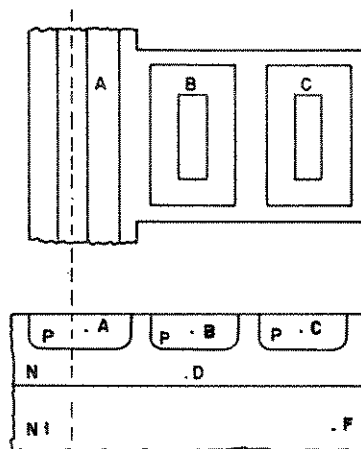


Figura IV.7 - Célula PNP

Anteriormente foi mencionado que a distribuição escolhida dos transistores, ao longo da fita injetora, possibilitaria uma colocação de transistores de modo que um ficasse à frente do outro (fig. IV.4). Este procedimento otimizou a utilização do injetor, fazendo com que se aproveitasse, em sua totalidade, os dois lados desta fita e que esta ocupação não fosse ocasional, como verificado em [1] e em [12]. Portanto, para a obtenção do modelo elétrico desta fita, decidiu-se dividi-la em duas (representadas pela separação mostrada pela linha tracejada em IV.7), de modo a se constatar a efetiva influência de cada uma de suas partes na célula estudada. Obviamente, no instante em que se colocarem todos os transistores, a fita se completará produzindo a disposição real.

A configuração do modelo elétrico da célula PNP, (composta de 2 transistores, da fita injetora e dos elementos parasitas), é mostrada na figura IV.8.

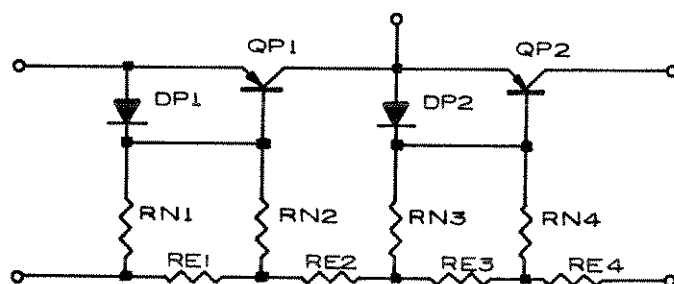


Figura IV.8 - Célula composta da fita injetora, transistor PNP e elementos parasitas.

Neste ponto, antes de se calcularem os parâmetros pertencentes aos transistores e diodos parasitas e os valores dos resistores, mostrados na figura IV.8, é necessário um rápido comentário sobre a topologia apresentada acima. Assim, o transistor QP₁ é formado pela fita injetora, pela camada epitaxial "N" e pela difusão "P", representada pela letra "B" na figura IV.7. O transistor QP₂ tem o seu emissor formado pela mesma difusão "P" que forma o coletor de QP₁, a base é a camada epitaxial e o coletor é formado por outra difusão "P" que, na figura IV.7, está representada pela letra "C".

O Diodo DP₁ corresponde à parte inferior da junção formada pelas letras A e D na figura IV.7; o Diodo DP₂ por B e D.

Os resistores R_{Ni} correspondem à resistência encontrada na camada N epitaxial, e os resistores R_{Ei} à resistência da camada enterrada. Assim, podem-se montar algumas tabelas para os valores encontrados para esta célula, utilizando-se, para isso, a tabela IV.1 e a geometria do dispositivo mostrado em IV.5. Os valores dos parâmetros podem ser calculados pelo método clássico, apresentado na referência 28, e utilizado igualmente nas referências 1,5,10,13 18,etc.

Tabela IV.2 - Parâmetros do modelo apresentado na figura IV.8

Dispositivo	Diodos		Transistores	
	DP ₁	DP ₂	QP ₁	QP ₂
Parâmetro				
Corrente de Saturação	$5,7 \times 10^{-18}$	$1,14 \times 10^{-17}$	$1,89 \times 10^{-17}$	$1,89 \times 10^{-17}$

Tabela IV.3 - Valores dos resistores da célula PNP

Resistores	R _{N1}	R _{N2}	R _{N3}	R _{N4}	R _{E1}	R _{E2}	R _{E3}	R _{E4}
Valor								
Resistência (Ω)	83,2	124	41,6	124	16	16	16	204

O valor de R_{E4} foi determinado com base no intervalo existente entre o último transistor da célula e os contatos de terra.

- Transistor de Comando I²L.

Os transistores de comando I²L, como visto anteriormente, têm a finalidade de comutar a corrente gerada no transistor PNP para a terra, ou permitir que ela saia pelo

coletor do transistor Q_{p2} , na fig. IV.8. Como existem correntes binárias entre 2^0 e 2^4 , haveria a necessidade deste transistor possuir 16 coletores, uma vez que cada coletor atua em um transistor PNP. Em função de se procurar não usar transistores I^2L com um número de coletores maior do que 4 (o ganho nos coletores de ordem mais alta poderia vir a ser muito baixo), houve a necessidade de se associar, em paralelo, transistores que desempenhassem o papel de um único transistor de 8 e 16 coletores. Por exemplo, a corrente de saída com valor 8 deve ser produzida por 8 PNP's em paralelo; comandados estes pelos 8 coletores de dois NPN's (cada um com quatro coletores) Estes dois em paralelo devem agora ser comandados por dois coletores de um NPN intermediário (uma única base), que por sua vez exige o emprego de um NPN inversor (um único coletor) para permitir o uso da polaridade convencional para o sinal de comando. Assim, ter-se-á dois tipos de circuitos de comando: o primeiro com o contato de base do lado oposto ao injetor e o segundo com o contato de base próximo a fita injetora (fig. IV.9 "a" e "b", respectivamente). Uma verificação do fato comentado pode ser feita na apresentação do "layout" dos conversores (fig. IV.20 "a" e "b").

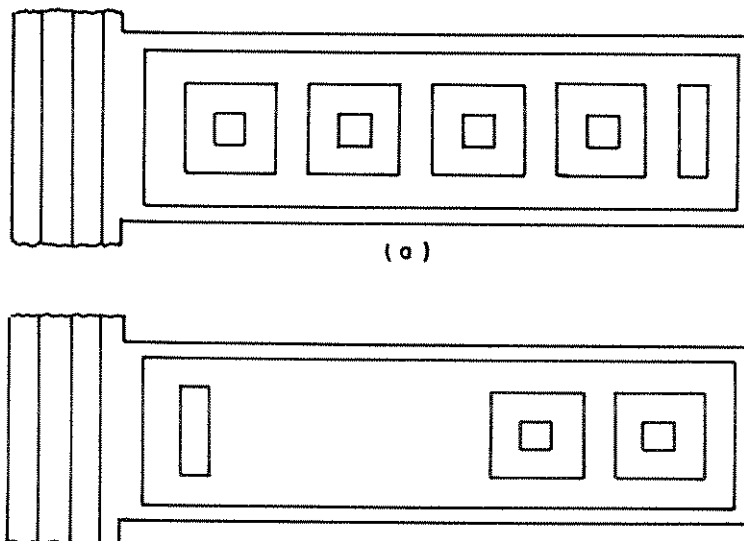


Figura IV.9 - Transistor de comando I^2L ; a) Transistor com contato de base do lado oposto ao injetor; b) Transistor com o contato de base próximo a fita injetora.

Um outro fator que deve ser ressaltado é a existência de transistores com 1, 2, 3 e 4 coletores. Logo, existe a necessidade de um modelo para cada um dos casos citados. Neste trabalho procurou-se adotar sempre o caso mais crítico; ou seja, aquele que proporcionará

as maiores dispersões de desempenho ao dispositivo. Assim, optou-se por um modelamento no qual, independentemente do número de coletores, os transistores terão sempre o mesmo tamanho de base, que neste caso terá as dimensões de um transistor com quatro coletores.

Inicialmente, o estudo do modelo dos transistores de comando I^2L recairá sobre o transistor com o contato de base do lado oposto à fita injetora. A figura IV.10 representa este dispositivo, apresentando um transistor com 2 coletores.

As áreas D e E, contidas entre as linhas tracejadas, representam, cada uma delas, um transistor vertical com regiões laterais. Pode-se notar a presença de duas dessas áreas, correspondendo aos dois coletores do dispositivo. Como estas regiões são padronizadas por dimensões idênticas, um transistor contendo quatro coletores possuirá quatro dessas regiões, e um dispositivo com um coletor, somente uma. Obviamente o restante da região de base terá as suas dimensões alteradas de acordo com quantidade de coletores da célula.

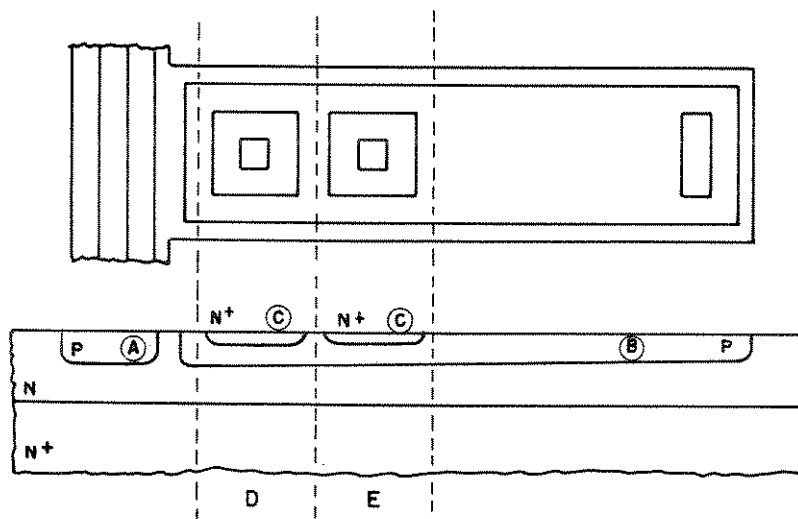


Fig. IV.10 - Transistor de comando I^2L com 2 coletores.

A representação do modelo para o transistor de comando I^2L com contato do lado oposto à fita injetora é mostrado nas figuras IV.11, IV.12, IV.13. Os componentes são ainda identificados pelos seguintes símbolos:

Q_p = transistor PNP formado pela fita injetora e a base do transistor I^2L ;

Q_{ni} = transistor NPN vertical;

D_p = diodo parasita formado entre o fundo da fita injetora e a camada epitaxial N;

D_{ni} = diodo parasita constituído da região P periférica ao coletor e camada epitaxial N;

D_m = diodo parasita constituído pela região de base P onde não há coletores (figura IV.10, região B)

R_{ci} = resistência da camada P de base entre o contato e o primeiro coletor;

R_{ni} = resistência da camada epitaxial N;

R_{ei} = resistência da camada enterrada.

Assim, visando a obtenção de um modelo simples, porém que servisse aos propósitos desejados, decidiu-se por não colocar no modelo alguns componentes parasitas identificáveis em uma célula I^2L , como os diodos de junções laterais, os diodos de superfície e as resistências entre coletores. Certamente para um estudo mais detalhado das células estes elementos devem ser incluídos. A intenção, porém, é estudar a melhor distribuição dos transistores ao longo da fita injetora e a falta dos elementos citados não deve ter uma influência significativa nesta análise, não justificando, portanto, um aumento na complexidade dos modelos com a sua inclusão.

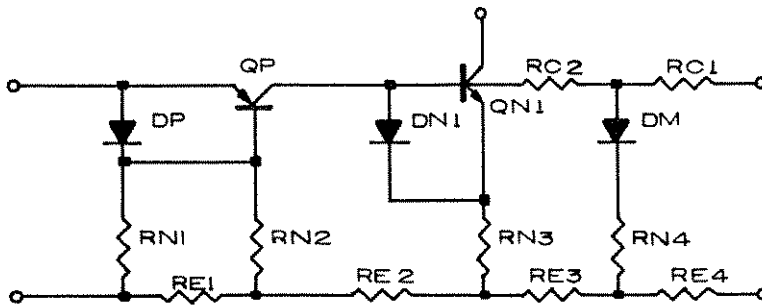


Figura IV.11 - Célula composta da fita injetora, transistor I^2L e os elementos parasitas.

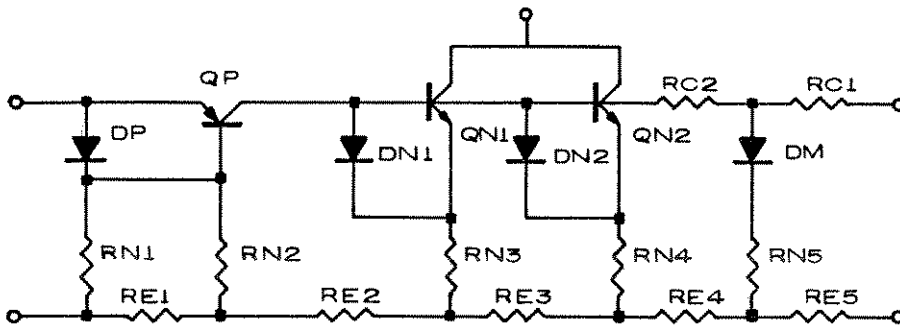


Figura IV.12 - Célula composta da fita injetora, transistor I^2L de 2 coletores e os elementos parasitas.

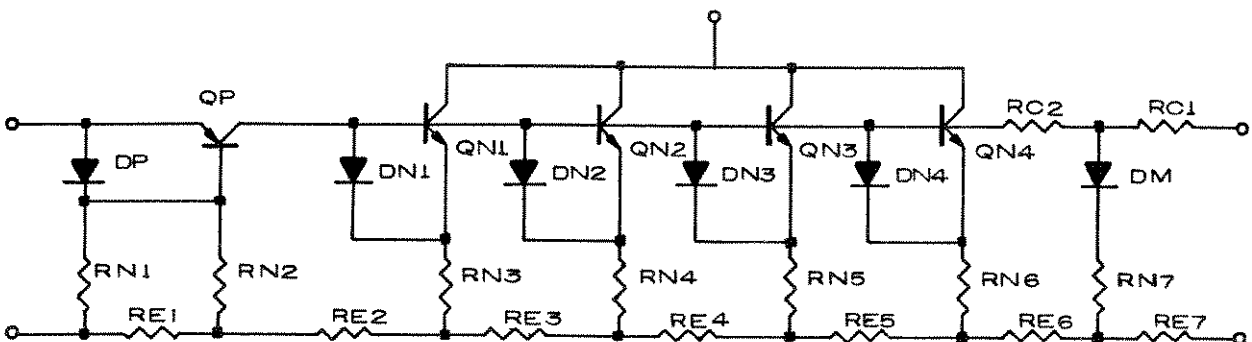


Figura IV.13 - Célula composta da fita injetora, transistor I^2L de 4 coletores e os elementos parasitas.

Os parâmetros referentes aos circuitos das células mostradas nas figuras IV.11, IV.12 e IV.13 são apresentados nas tabelas IV.4 e IV.5.

TAB IV.4 Tabela dos parâmetros dos dispositivos de junção apresentados nas figuras IV.11, IV.12 e IV.13.

Parâmetros		Corrente de Saturação
Tipo		
A	DP	$5,7 \times 10^{-18}$
	DN1	$8,39 \times 10^{-18}$
	DM	$8,39 \times 10^{-17}$
B	DP	$5,7 \times 10^{-18}$
	DN1	$8,39 \times 10^{-18}$
	DN2	$8,39 \times 10^{-18}$
	DM	$6,86 \times 10^{-17}$
C	DP	$5,7 \times 10^{-18}$
	DN1	$8,39 \times 10^{-18}$
	DN2	$8,39 \times 10^{-18}$
	DN3	$8,39 \times 10^{-18}$
	DN4	$8,39 \times 10^{-18}$
	DM	$3,81 \times 10^{-17}$
A	QP	$1,89 \times 10^{-17}$
	QN1	$1,25 \times 10^{-15}$
B	QP	$1,89 \times 10^{-17}$
	QN1	$1,25 \times 10^{-15}$

B	Q_{N2}	$1,25 \times 10^{-15}$
C	Q_P	$1,89 \times 10^{-17}$
	Q_{N1}	$1,25 \times 10^{-15}$
	Q_{N2}	$1,25 \times 10^{-15}$
	Q_{N3}	$1,25 \times 10^{-15}$
	Q_{N4}	$1,25 \times 10^{-15}$

TAB IV.5 Valores dos resistores apresentados nas figuras IV.11, IV.12 e IV.13

	Res. Base		Resistência da Camada Epitaxial							Resistência Enterrada						
	R_c (Ω)		R_n (Ω)							R_e (Ω)						
	1	2	1	2	3	4	5	6	7	1	3	3	4	5	6	7
A	440	440	83,2	124	22,4	5,68	-	-	-	16	20	112	104	-	-	-
B	360	360	83,2	124	22,4	22,4	6,94	-	-	16	20	32	88	96	-	-
C	200	200	83,2	124	22,4	22,4	22,4	22,4	12,5	16	20	32	32	32	56	40

Os transistores I^2L intermediários no conjunto de transistores que comandam geração de correntes, pelos PNP, de ordem maior do que 4, possuem seus contatos de base próximos à fita injetora. Otimiza-se, deste modo, a ligação do metal entre estes transistores, e os coletores destes dispositivos ficarão próximos ao contato que se deseja interligar (bases dos I^2L que comandam diretamente os PNP). Estes transistores, com o contato próximo à fita injetora, passará doravante a ser denominado transistor de comando invertido (TCI) para diferenciá-lo dos outros, com o contato na extremidade, que serão chamados de transistores de comando. A figura IV.14 mostra um dos TCI com dois coletores.

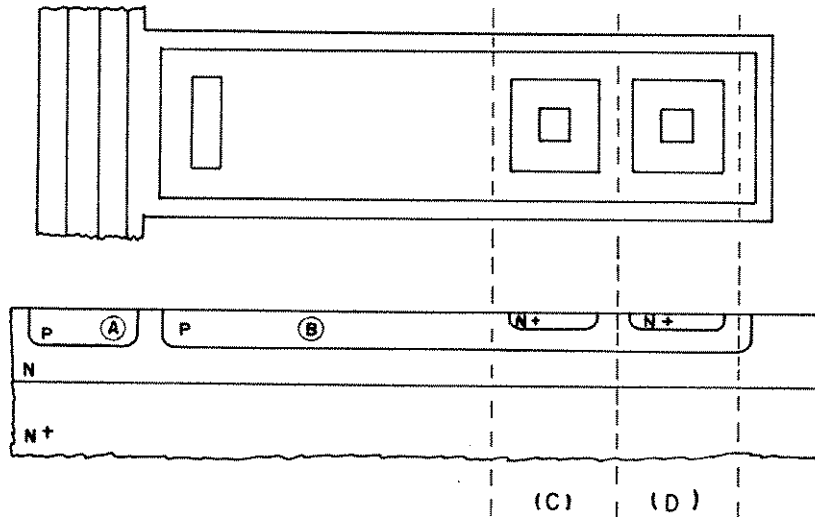


Fig. IV.14 - Transistor de comando I^2L invertido com dois coletores.

Também, neste caso, pode-se notar a presença de duas regiões, C e D, entre linhas tracejadas. Estas regiões representam os transistores verticais NPN existentes na célula I^2L e a definição em áreas padronizadas possibilita, eventualmente, modificações no número de coletores com uma diminuição do trabalho exigido no cálculo dos parâmetros do modelo. A posição do contato de base é levada o mais próximo possível do injetor, e a resistência da camada P da base, juntamente com o diodo parasita D_m , mudam de posição, colocando-se entre este contato de base e o diodo parasita D_{n1} . Os valores destes novos parâmetros são apresentados nas tabelas IV.6 e IV.7.

Tabela IV.6 - Valores dos resistores apresentados nas figuras IV.15 e IV.16.

	R. BASE		RESIST. CAMADA EPITAXIAL							RESIST. CAMADA ENTERRADA						
	RC(Ω)		RN(Ω)							RE(Ω)						
	1	2	1	2	3	4	5	6	7	1	2	3	4	5	6	7
A	360	360	83,2	124	6,94	22,4	22,4	-	-	16	76	88	32	40	-	-
B	200	200	83,2	124	12,5	22,4	22,4	22,4	22,4	16	44	56	32	32	32	40

Tabela IV.7 - Tabela dos parâmetros dos dispositivos das figuras IV.15 e IV.16

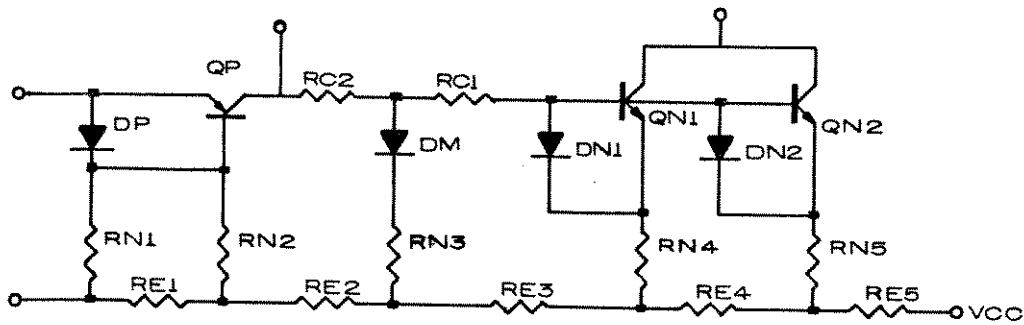


Fig. IV.15 - Célula composta da fita injetora, transistor de comando I^2L invertido, de dois coletores, e os elementos parasitas.

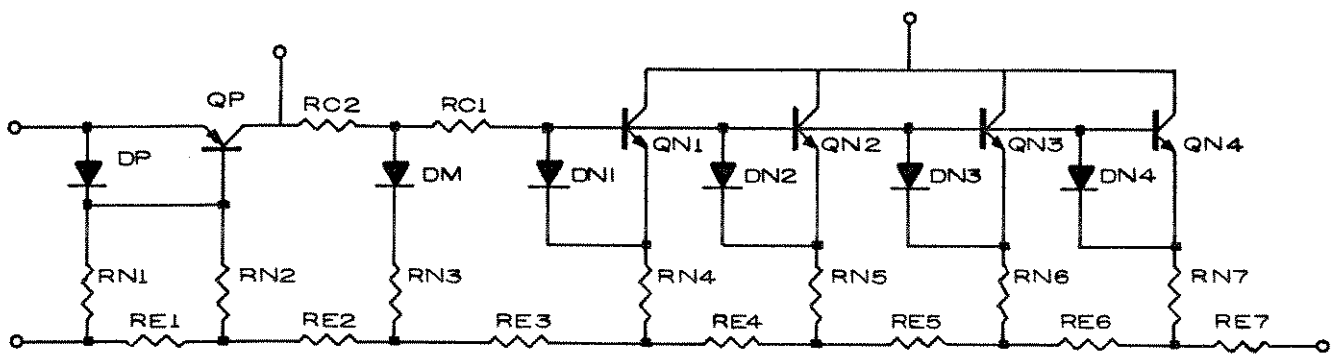


Fig. IV.16 - Célula composta de fita injetora transistor de comando invertido, de 4 coletores, e elementos parasitas

Tipo	Parâmetros	Corrente de saturação
B	DP	$5,7 \times 10^{-18}$
	DN1	$8,39 \times 10^{-18}$
	DN2	$8,39 \times 10^{-18}$
	DM	$6,86 \times 10^{-17}$
C	DP	$5,7 \times 10^{-18}$
	DN1	$8,39 \times 10^{-18}$
	DN2	$8,39 \times 10^{-18}$
	DN3	$8,39 \times 10^{-18}$
	DN4	$8,39 \times 10^{-18}$
	DM	$3,81 \times 10^{-17}$
B	QP	$1,89 \times 10^{-17}$
	QN1	$1,25 \times 10^{-15}$
	QN2	$1,25 \times 10^{-15}$
C	QP	$1,89 \times 10^{-17}$
	QN1	$1,25 \times 10^{-15}$
	QN2	$1,25 \times 10^{-15}$
	QN3	$1,25 \times 10^{-15}$
	QN4	$1,25 \times 10^{-15}$

IV.4 - Otimização do "Layout" dos Conversores.

IV.4.1 - Alimentação da Fita Injetora.

A definição do tipo de alimentação (em corrente ou em tensão) que a fita injetora dos conversores recebe tomou por base um estudo feito para a verificação das modificações introduzidas pelos transistores no potencial ao longo da fita, quando estes são comutados. Como discutido anteriormente, este potencial não deve se alterar, para não modificar os valores das correntes de saída.

A solução adotada foi a de se efetuar a polarização desta fita com tensão, pois, deste modo garante-se que o potencial permanecerá mais próximo do valor fixado. A polarização com corrente tem o inconveniente de alterar o potencial de fita sempre que houver uma alteração no sinal de comando dos transistores, como mostram as considerações que seguem.

Consideremos a fita injetora sendo alimentada com um valor de corrente I_0 , juntamente com um transistor PNP gerador da parcela binária. Este conjunto pode ser representado, simplificada, pelo esquema mostrado na figura IV.17:

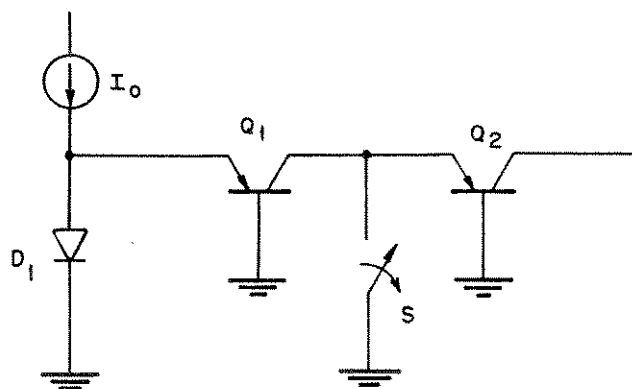


Fig. IV.17 - Diagrama representativo da fita injetora mais o transistor PNP.

O diodo D_1 representa o diodo existente entre base da fita injetora e a camada epitaxial N. A chave S representa o transistor de comando I^2L .

Duas condições podem ocorrer com a chave S:

- 1) quando fechada, ela corta o transistor Q_2 , desviando a corrente de coletor de Q_1 , para a terra;
- 2) quando aberta, permite que esta corrente flua para Q_2 .

Estas duas condições são analisadas, utilizando-se o modelamento clássico de Ebers-Moll.

Chave S fechada :

Fazendo-se a constante de proporcionalidade k_1 representar a fração da corrente drenada pelo diodo D_1 , em relação à junção BE do PNP, e utilizando-se o modelo de Ebers-Moll (figura IV.18), tem-se que:

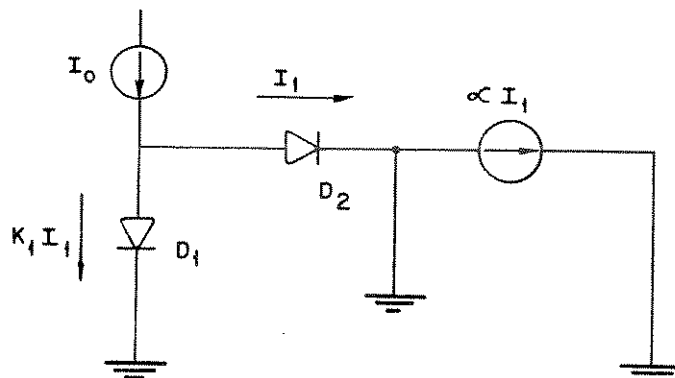


Fig. IV.18 - Modelo de Ebers-Moll na condição em que a chave S, da figura IV.17, se encontra fechada.

$$I_o = (1 + k_1) I_1 \quad (IV.1)$$

que representa um potencial sobre D_1 de:

$$V_{D1} = U_t \ln \frac{I_o}{I_s} \frac{k_1}{1 + k_1} \quad (IV.2)$$

Chave S aberta :

Com a chave S aberta tem-se que o modelo fica (figura IV.19):

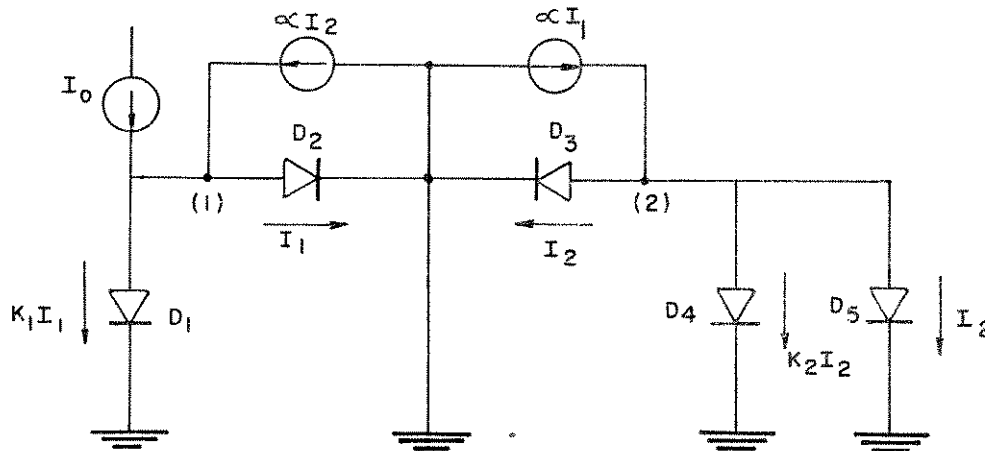


Fig. IV.19 - Modelo de Ebers-Moll na condição em que a chave S, da figura IV.17, se encontra aberta

Deste modo tem-se:

$$I_0 + \alpha I_2 = (1 + k_1) I_1 \quad (\text{IV.3})$$

$$\alpha I_1 = 2 I_2 + k_2 I_2 \quad (\text{IV.4})$$

sendo:

k_1 = constante de proporcionalidade que representa a relação da área entre D_1 e D_2 .

k_2 = constante de proporcionalidade que representa a relação de área D_4 e D_3 .

A partir de IV.3 e IV.4 conclui-se que, para a condição de chave aberta, a tensão na junção D_1 vale:

$$V_{D1} = U_t \ln \frac{I_0}{I_s} \cdot \frac{k_1 (2 + k_2)}{(1 + k_1)(2 + k_2) - \alpha^2} \quad (\text{IV.5})$$

sendo:

$$U_t = \frac{kt}{q} \quad (\text{IV.6})$$

Uma simples comparação entre as equações IV.2 e IV.5 mostra a existência da variação do potencial, na fita, quando o transistor de comando, representado pela chave S, atua, variação esta que pode se refletir em outros transistores PNP que não estejam sendo comutados.

IV.4.2 - Alocação dos Transistores ao Longo de Fita Injetora.

Visando otimizar o desempenho dos conversores, foram investigados os efeitos da distribuição dos transistores, utilizando-se os modelos desenvolvidos no ítem IV.3 deste capítulo, e o programa SPICE. Assim, fêz-se uso do recurso de dividir o circuito completo em subcircuitos, fazendo com que cada modelo desenvolvido fosse um desses subcircuitos. Estes subcircuitos foram interligados através de um cordão de resistores, que representam a resistencia elétrica da fita injetora, na forma de parâmetros concentrados (figura IV.19).

Por intermédio da alteração das alocações de subcircuitos, uma vez que cada um representa um dos modelos desenvolvidos, conseguiu-se obter a uma distribuição dos transistores ao longo da fita injetora com equalização aceitável das correntes geradas; definimos, deste modo, o "layout" final de cada um dos conversores. As tabelas IV.8 e IV.9 apresentam os resultados obtidos na simulação e os erros percentuais para os conversores de 3 + 1 e 5 bits, respectivamente. Na tabela IV.8 pode-se verificar que foram colocados apenas os bits que terão utilidade na definição dos segmentos. Os erros foram calculados em função de um valor ideal; verifica-se que os valores encontrados ficam dentro das especificações do dispositivo (cap. V). Na tabela IV.9 estão colocados todos os valores possíveis para o conversor de 5 bits. Os erros foram calculados tendo o valor mais alto como valor de referência (MSB do segmento). Neste caso, também, todos os valores estão abaixo do maior erro permitido no projeto. Nesta tabela os valores de corrente já estão adicionados de 1/2 LSB (cap. II)

Tabela IV.8 - Valores obtidos na simulação e erros calculados, para o conversor de 3+1 bits.

PESO	CORRENTE (μA)	ERRO (%)
1	1,001	+0,40
2	2,003	+0,45
4	3,985	-0,075
8	7,976	0

Tabela IV.9 - Valores obtidos na simulação e erros calculados para o conversor de 5 bits.

PESO	CORRENTE (μA)	ERRO (%)
0	0.497	-0.125
1	1.492	-0.192
2	2.479	-0.117
3	3.474	-0.019
4	4.461	-0.144
5	5.546	-0.077
6	6.443	-0.154
7	7.438	-0.104
8	8.425	-0.160
9	9.420	-0.119
10	10.407	-0.163
11	11.402	-0.129

12	12.389	-0.165
13	13.384	-0.136
14	14.371	-0.167
15	15.366	-0.142
16	16.403	-0.137
17	17.398	-0.142
18	18.385	-0.103
19	19.380	-0.109
20	20.367	-0.076
21	21.362	-0.083
22	22.349	-0.053
23	23.344	-0.060
24	24.331	-0.034
25	25.326	-0.042
26	26.313	-0.018
27	27.308	-0.026
28	28.295	-0.005
29	29.290	-0.012
30	30.277	-0.007
31	31.273	0.000

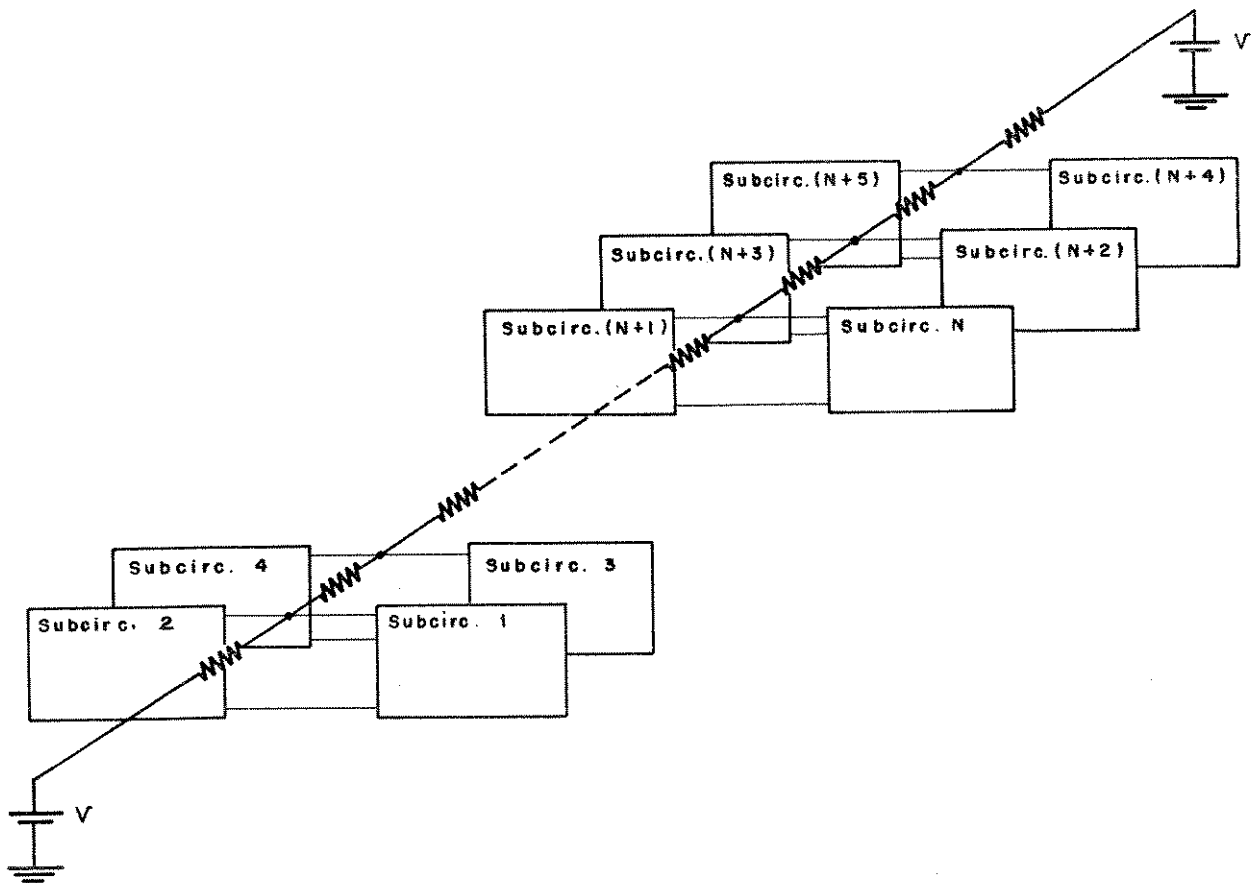
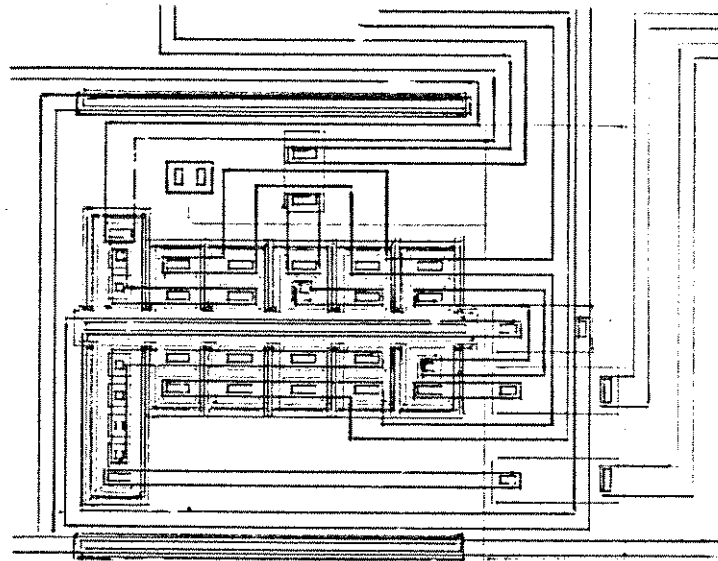


Fig. IV.20 Figura representativa do recurso utilizado na simulação dos conversores de 3+1 e 5 bits utilizando subcircuitos, no programa SPICE.

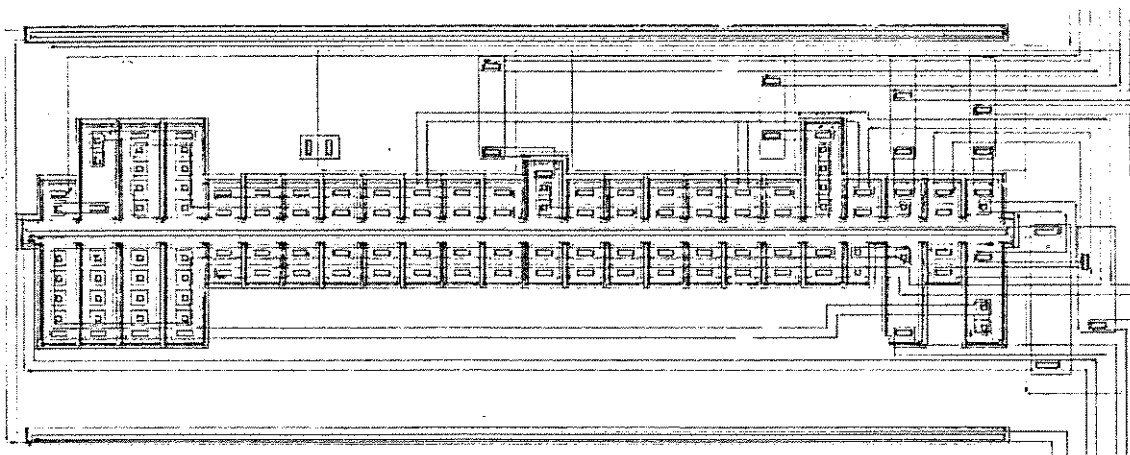
IV.4.3 - "Layout" Final

Com os resultados obtidos na simulação, estabeleceram-se os "layouts" finais dos conversores de 3+1 e 5 bits. Estes "layouts" podem ser vistos na figura IV.21. A microfotografia dos conversores já integrados é apresentada na figura IV.22. Um maior detalhamento com relação a elaboração destes "layouts", bem como da integração destes

dispositivos é feito no capítulo VI. Neste capítulo são apresentados os resultados dos testes destes circuitos.



a)



b)

Figura IV.21- "Layout" dos conversores D/A : a) Conversor de 3 + 1 bits; b) Conversor de 5 bits.

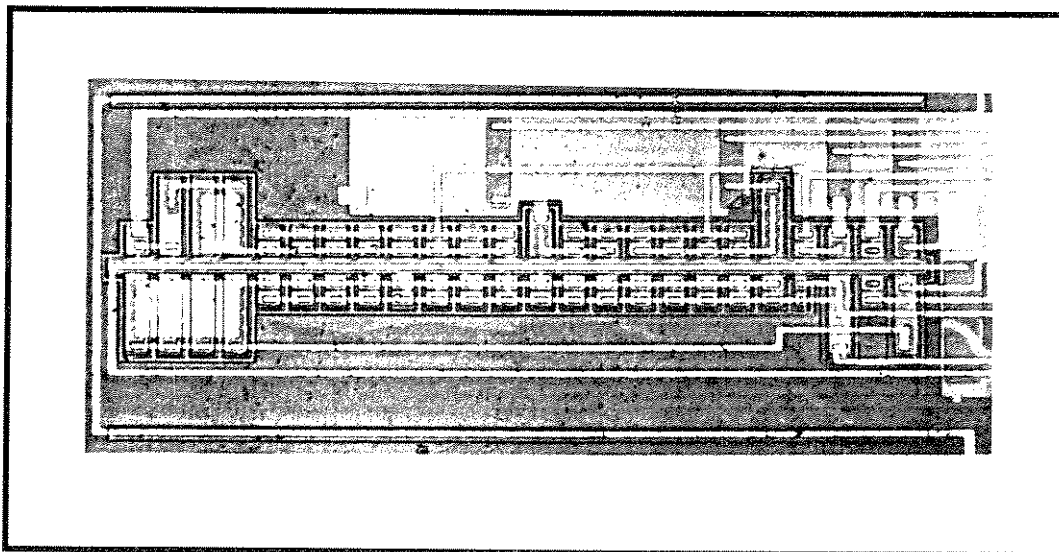
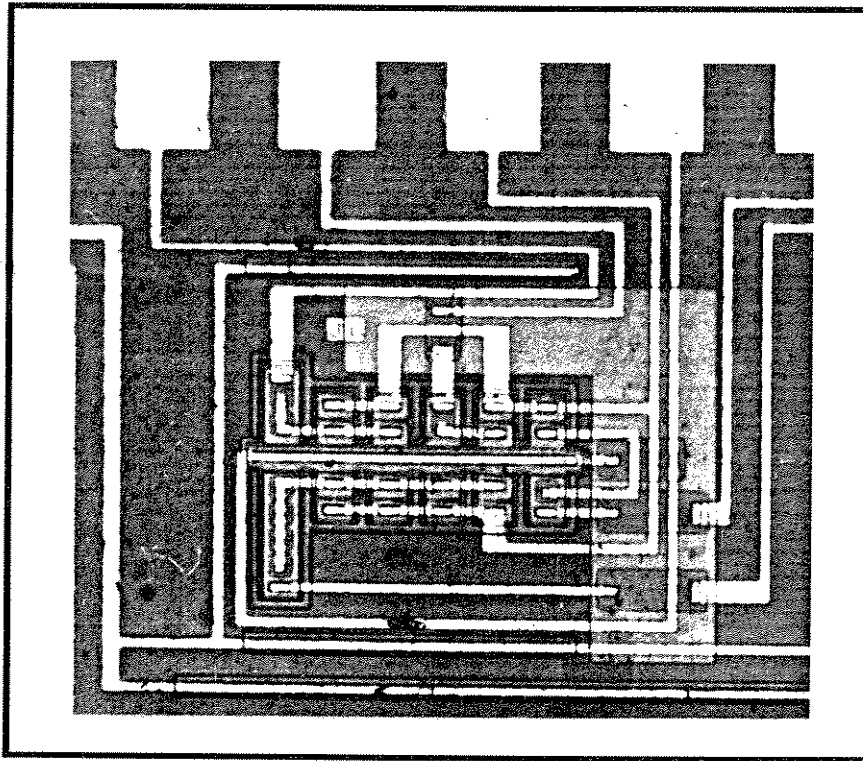


Figura IV.22 - microfotografia dos conversores D/A : a) Conversor de 3 + 1 bits; b) Conversor de 5 bits.

IV.5 - Comentários e Conclusões

Neste capítulo apresentamos o desenvolvimento do projeto dos conversores D/A de 3 + 1 e 5 bits. Durante a apresentação, discutimos as principais vantagens e desvantagens de se utilizar a técnica proposta em [12]. Discutimos, em função disto, quais seriam os meios de superar os problemas que podem surgir, e optou-se pela alteração dos "layouts" dos conversores, em relação à proposta original, como a solução mais indicada. Estas alterações foram desde a simples introdução de contatos de terra paralelos à fita injetora, como também a modificação do posicionamento dos transistores ao longo desta fita, não esquecendo o cuidado tomado para a não interrupção da mesma.

A definição do melhor local para a colocação destes transistores ao longo da fita injetora, foi definido a partir de simulações executadas através do programa SPICE. No entanto, para que estas simulações pudessem ser realizadas, foi necessário o desenvolvimento dos modelos de cada transistor em separado.

Um estudo, onde se definiu qual a melhor maneira de se alimentar a fita injetora foi também desenvolvido e constatou-se que o alimentação desta fita por tensão elimina o inconveniente da variação de seu potencial durante o chaveamento dos transistores de comando, quando se trabalha no modo corrente. Este fato também foi verificado fazendo-se uso do programa SPICE.

No final deste capítulo, foram apresentados os "layouts" desenvolvidos e a microfotografia dos conversores. Uma maior discussão sobre os mesmos será realizada no capítulo VI.

Os resultados finais das simulações realizadas para os conversores de 3 + 1 e 5 bits mostram que as soluções apresentadas para os problemas de linearidade, motivo principal do estudo, são bastante satisfatórias. Os erros encontrados, de -0,192% e +0,45%, para os conversores de 5 e 3 + 1 bits respectivamente, estão inteiramente dentro da faixa prevista. Certamente, quando da integração, os resultados não serão exatamente os mesmos que aos

aqui verificados, porém, a metodologia apresentada permitiu prever uma boa disposição dos transistores para a realização do "layout" final.

CAPÍTULO V

Multiplicador/Divisor Translinear Chaveado

V.1 - Introdução

A metodologia proposta para a conversão D/A não linear exige um bloco que realize a multiplicação/divisão das correntes geradas pelos conversores D/A, para a obtenção da característica desejada.

Um interessante método de se conseguir a multiplicação de dois sinais, foi proposto por Gilbert [19], e utilizado no projeto de um circuito multiplicador apresentado em dissertação de mestrado na UNICAMP em 1985 [5]. Este projeto teve por objetivo o desenvolvimento de um circuito que serviu de bloco de saída para o conversor MCP proposto em [1].

Neste capítulo apresentamos o conceito da transcondutância, proposta em [21] e usado em [5], relatamos e discutimos as modificações introduzidas no dispositivo e referimos as principais células utilizadas na montagem do circuito proposto. Finalmente são apresentados os resultados obtidos com as alterações introduzidas e analisadas as suas consequência para o decodificador como um todo.

V.2 - Multiplicador Chaveado: Circuito Original

V.2.1 - Princípio Translinear - Conceituação

O conceito de circuitos translineares, proposto por Gilbert [21], tem a seguinte definição:

"Circuitos translineares são todos aqueles cujos sinais em suas entradas e saídas estão na forma de corrente e cuja função principal resulta da exploração do comportamento logarítmico das junções PN diretamente polarizadas" [21].

A relação corrente-tensão clássica em uma junção diretamente polarizada pode ser expressa por:

$$\frac{J}{J_s} = e^{qV/mkT} - 1 \quad ; \quad (V.1)$$

onde:

J = densidade de corrente direta, na junção;

J_s = densidade de corrente de saturação reversa;

V = tensão aplicada externamente na junção;

q = carga do elétron;

k = constante de Boltzmann;

$m =$ constante próxima à unidade [23];

$T =$ temperatura Kelvin.

Considerando que: $U_t = kT/q$, é cerca de 26 mV à temperatura 300 K, e que a junção utilizada será entre a base e emissor de um transistor bipolar, despreza-se o valor "um" em V.1, cometendo-se, com isto, um erro menor que o de uma parte em um milhão, em níveis usuais de corrente. Assim, a expressão pode ser reduzida a:

$$\frac{J}{J_s} \cong e^{qV/mkT} \quad (V.2)$$

Deste modo, por intermédio de (V.2) pode-se verificar que a tensão através da junção base-emissor de um transistor bipolar é proporcional ao logaritmo da razão entre as densidades de correntes, direta e a de saturação, desta junção. Isto leva a concluir que uma soma de tensões de junções PN, diretamente polarizadas, será a soma dos logaritmos da razão entre as densidades de correntes envolvidas e que esta soma de logaritmos pode ser associada ao produto das correntes que fluem por estas mesmas junções.

V. 2.2 - Células Básicas

O circuito multiplicador desenvolvido em [5], tem sua estrutura composta por duas células básicas: a célula multiplicadora e o conversor corrente/tensão. Existem outras células que compõe o circuito, porém não tem participação ativa no processamento do produto dos correntes, servindo somente para definir níveis de potenciais ou adaptar sinais digitais TTL aos valores compatíveis coma topologia desenvolvida. A seguir, apresentam-se a célula multiplicadora e o conversor corrente/tensão e introduz-se uma breve discussão

sobre as mesmas. Este procedimento se justifica pelo fato destes circuitos serem utilizados como base para a estrutura proposta.

- Célula Multiplicadora Básica

Esta célula se baseia diretamente na estrutura original apresentada por Gilbert, estando mostrada na figura V.1.

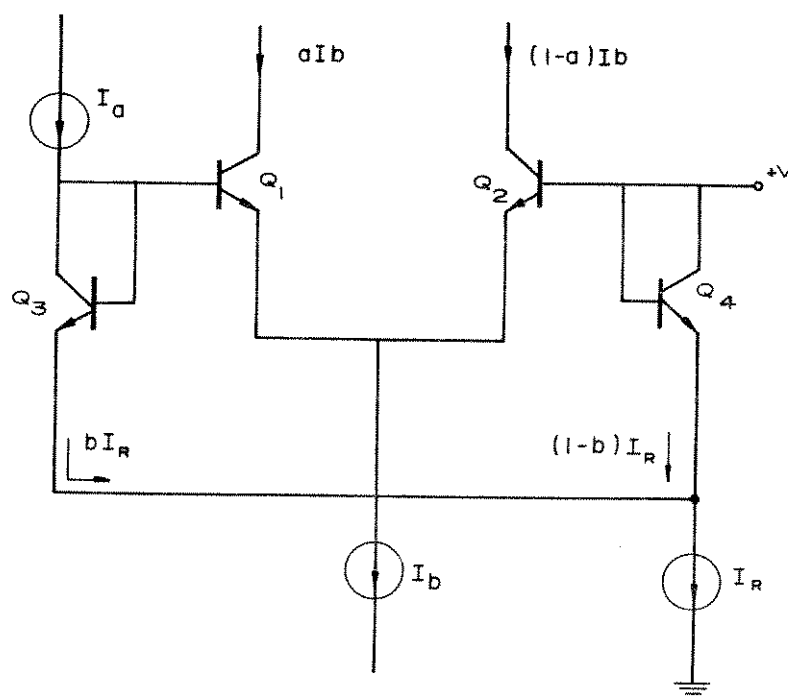


Figura V.1 - Célula multiplicadora básica

Sendo I_a e I_b , as correntes a serem multiplicadas e I_R uma corrente de referência e considerando a corrente de base praticamente nula, pode-se concluir que:

$$a = b = \frac{I_a}{I_R} \quad (V.3)$$

Aos fatores "a" e "b" da-se o nome de índice de modulação. Utilizando-se o princípio translinear, conclui-se que as correntes que fluem pelos coletores de Q1 e Q2 valem:

$$I_{c1} = a.I_b \quad \text{ou} \quad I_{c1} = \frac{I_a \cdot I_b}{I_R} \quad ; \quad (V.4)$$

$$I_{c2} = (1-a).I_b \quad \text{ou} \quad \frac{(I_R - I_a).I_b}{I_R} \quad (V.5)$$

A corrente no coletor de Q1 corresponde a multiplicação de I_a e I_b , desejada.

- Conversor I/V

A estrutura do conversor I/V encontra-se apresentada na figura V.2. Deste conversor se baseia o equacionamento apresentado a seguir.

Com a fonte "I" conectada ao nó 1 tem-se:

$$I = I_1 + I_2 \quad (V.6)$$

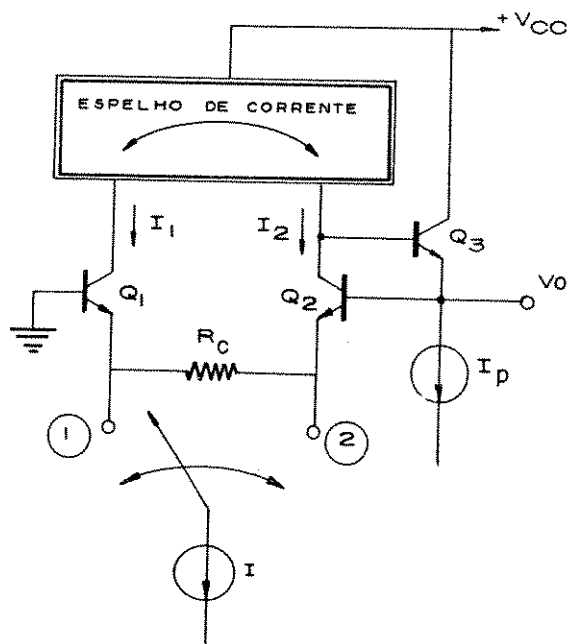


Figura V.2 - Conversor I/V utilizado

onde:

I = corrente a ser convertida em tensão;

I_1 = corrente que flui por Q_1 ;

I_2 = corrente que flui por Q_2 .

O espelho de corrente garante que:

$$I_2 = I_1. \quad (V.7)$$

Logo:

$$I_2 = I_1 = \frac{I}{2} \quad ; \quad (V.8)$$

O mesmo raciocínio é válido para a corrente I conectada ao nó 2.

A tensão V_o de saída valerá, portanto:

$$V_o = + V_{be2} + \frac{R_c \times I}{2} - V_{be1} \quad (V.9)$$

Como V_{be1} e V_{be2} tem valores idênticos, pois também são iguais as correntes que fluem pelos coletores, e tendo mesma área de emissor, conclui-se que:

$$V_o = \frac{R_c \times I}{2} \quad (V.10)$$

Assim, pode-se prever que a corrente que passará por " R_c " será proporcional a corrente " I " e definirá uma tensão de saída também proporcional a esta corrente.

V. 2.3 - Circuito Completo

O circuito original [5], do multiplicador chaveado, apresentado na figura V.3, é constituído por duas células multiplicadoras cascadeadas, um conversor corrente-tensão, uma célula de chaveamento de corrente onde se define a polaridade do sinal de saída, uma célula de interface digital e dispositivos com função de estabelecer os níveis de potenciais distintos dentro da estrutura. O desempenho deste circuito é apresentado na tabela V.1 a partir de valores obtidos de uma montagem realizada com transistores integrados ("kit parts").

Nesta figura (V.3), observam-se as correntes geradas nos conversores D/A (I_a e I_b) entrando na base de Q16, Q24 e nos coletores-bases de Q18 e Q26. As correntes I_{R1} e I_{R2} servem apenas como referência para que a multiplicação, utilizando o princípio translinear, possa ser efetuada. A corrente I_o executa o papel de corrente de referência básica, ou seja, levanta o nível final do valor do produto das correntes de modo a aumentar a resposta em frequência do circuito.

A equação da tensão de saída deste circuito é dada por:

$$V_o = K I_a I_b (B_1 - \bar{B}_1) \quad (V.11)$$

Sendo:

I_a = corrente a ser multiplicada;

I_b = corrente a ser multiplicada;

K = constante de proporcionalidade de conversão corrente em tensão.

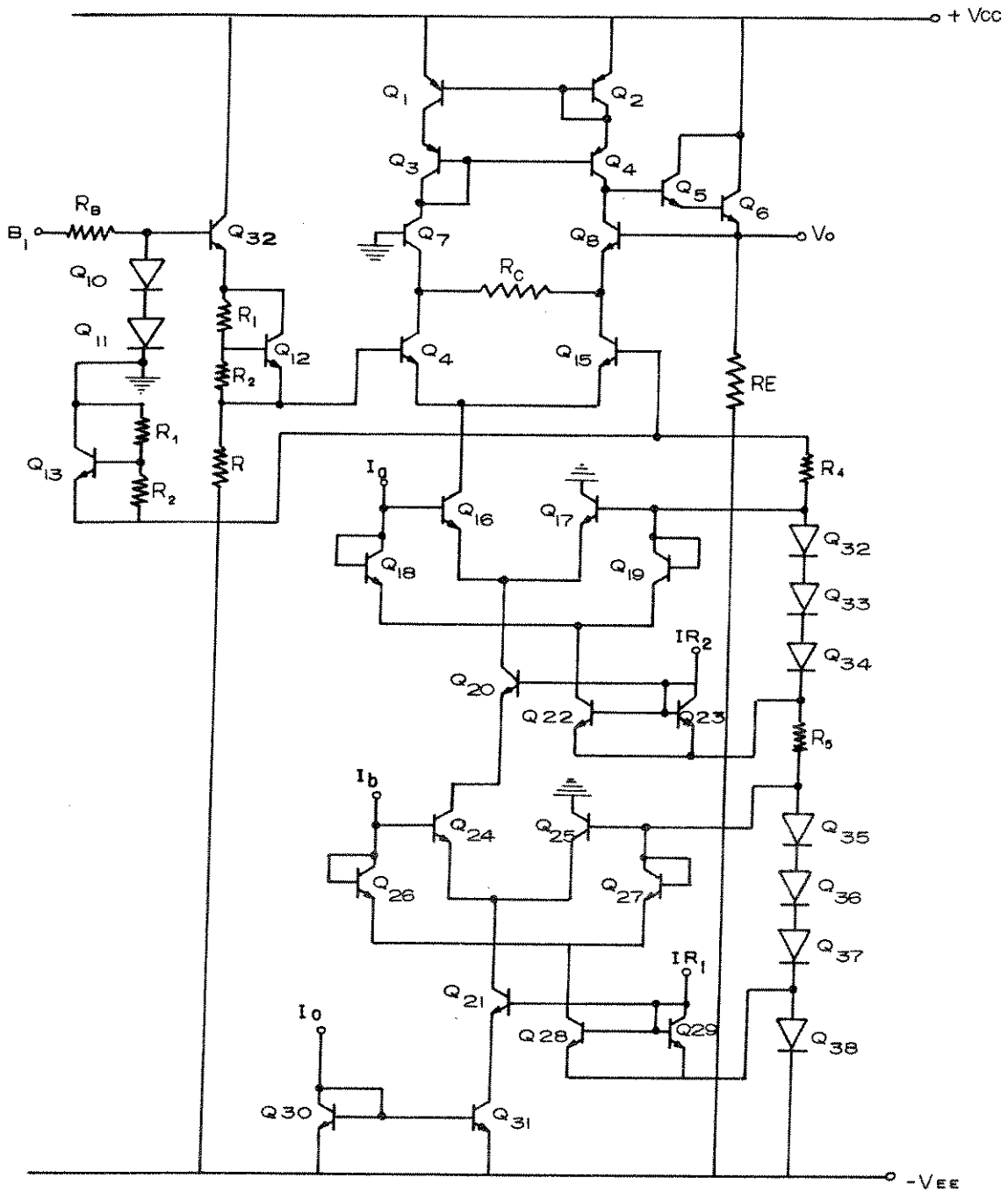


Figura V.3 - Circuito original do Multiplicador chaveado.

Onde:

$$K = \frac{I_0 R_c}{2.I_{R1}.I_{R2}} \quad (V.12)$$

Com:

I_0 , I_{R1} e I_{R2} = correntes de referências;

R_c = resistor de conversão I/V.

Na figura V.1 podem-se ver outras estruturas que constam na topologia do circuito multiplicador original, porém, consideramos que as duas células apresentadas sejam as fundamentais para o entendimento das alterações introduzidas. Uma análise completa do circuito mostrado na figura V.3 pode ser encontrada na referência citada.

V.3 - Multiplicador/Divisor Chaveado Proposto

V.3.1 - Considerações iniciais

Com base na proposta de geração dos segmentos da lei A-128, no decodificador não linear, a partir de um circuito multiplicador/divisor chaveado, constatou-se por meio de simulação que o erro de linearidade no final de cada segmento do modulador, que é o seu erro mais crítico (1,56%), pode permanecer dentro de valores bastante abaixo dos especificados. Este valor de 1,56% é calculado com base no ponto mais crítico, ou seja, o extremo superior de cada segmento. Considerando arbitrariamente esse valor máximo como 1, temos o valor do degrau (diferenças entre níveis analógicos contíguos) igual a 1/32

(capítulo II). Considerando o máximo desvio permitido a um nível analógico como metade do degrau, concluímos que a precisão necessária é no máximo de 1/64, ou seja, 1,56%

A equações V.11 e V.12 sugerem a utilização do circuito desenvolvido em [5] de um modo direto. Neste circuito a corrente I_{R1} pode ser substituída pela corrente de um dos conversores de 3 + 1 bits, com a corrente do outro conversor de 3 + 1 bits sendo a corrente I_b . A corrente do conversor de 5 bits seria a corrente I_a . Assim o valor do segmento seria obtido no coletor de Q24 (figura V.3), conforme a equação V.4 . Deste modo, como visto na discussão da célula multiplicadora, a corrente de saída que define o valor dos segmentos é dada por:

$$I_{c1} = \frac{I_a \times I_b}{I_R}$$

Aplicando esta equação, para o exemplo em discussão, a corrente no coletor de Q24 seria :

$$I_{c24} = \frac{I_b \times I_o}{I_{R1}} \quad (V.13)$$

Sendo:

I_b = corrente gerada no 1º conversor de 3 + 1 bits;

I_{R1} = corrente gerada no 2º conversor de 3 + 1 bits;

I_o = corrente de referência.

Com I_b e I_{R1} , doravante chamados de I_{b1} e I_{b2} respectivamente, variando entre 1 e 8, consegue-se a relação entre $1/8I_o$ e $8I_o$. Esta faixa define todos os segmentos desejados. Porém, o valor de I_{b2} não pode ser nunca menor do que o valor de I_{b1} . A solução encontrada foi efetuar a multiplicação do valor de I_{b2} por um fator "W", sendo que "W" deve ser sempre igual ou superior a 8.

Uma das vantagens do uso desta forma de obtenção dos segmentos, é a sua dessensibilização em relação a variação da corrente em função de temperatura. Como I_{b1} e I_{b2} são geradas em uma mesma lâmina de silício, estando os 2 conversores bastante próximos um do outro no "layout" confeccionado juntamente com o fato de não existir um dispositivo dissipador de potência que gere diferenças de temperatura a partir do ponto de sua localização, fazem I_{b1} e I_{b2} possuírem um comportamento bastante parecido em relação as suas variações com a temperatura. A obtenção da corrente correspondente aos segmentos a partir da razão das correntes I_{b1} e I_{b2} faz portanto com que seu valor fique também pouco sensível.

Esta consideração levou a se gerar a corrente I_{R2} da figura V.3 nas mesmas condições que I_a . Deste modo I_{R2} é gerada próxima a I_a dentro da lâmina de silício (ver Cap. III). Como o valor máximo relativo de I_a é 32, sendo 1 a corrente de um dos PNP, gerou-se I_{R2} com apenas 2 e posteriormente multiplicou-se, por um fator "Z" constante, do mesmo modo como feito com I_{b1} .

V.3.2 - Circuito Desenvolvido

Este circuito apresentado na figura V.5, em relação ao circuito da figura V.3, contem algumas modificações que devem ser comentadas aqui. A estrutura representada pelos transistores Q41, Q37, D12, D13, D14 e D15 faz a transformação do nível do bit B_1 , de chaveamento de polaridade, em um nível compatível com o exigido para funcionamento da chave de corrente, composta pelos transistores Q9 e Q10. Os transistores Q43 e Q44 proporcionam um aumento no valor da corrente que passa no conversor de corrente em tensão.

Isto evita que, a níveis muito baixos de corrente (no circuito original este nível chegava a ordem de micro amperes), a corrente solicitada pela base de Q5 tenha uma influência significativa na conversão I/V. Através da introdução de Rf1 e Rf2 consegue-se um controle do "off set" do sinal de saída.

A solução adotada para se implementar o escalonamento de "W" e "Z", nas correntes Ib1 e IR2, é apresentada na figura V.4

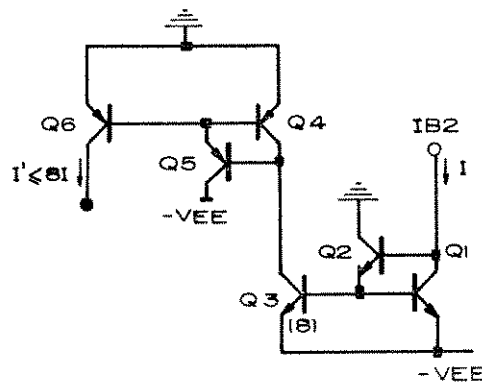


Figura V.4 - Circuito de escalonamento

Pode-se verificar que se utilizaram apenas fatores de área para se efetuar escalonamento das correntes. Certamente existirá erro na saída do coletor PNP do transistor Q4, em relação a corrente de entrada. Ou seja, devido ao valor de β dos transistores PNP e NPN não ser infinito a relação de transferência entre a corrente de entrada e saída não será 1. Com isto pode-se escrever que I_{c4} valerá:

$$I'_{R2} = T_2 \cdot Z \cdot IR2 \tag{V.14}$$

$$I'_{b1} = T_1 \cdot W \cdot Ib1 \tag{V.15}$$

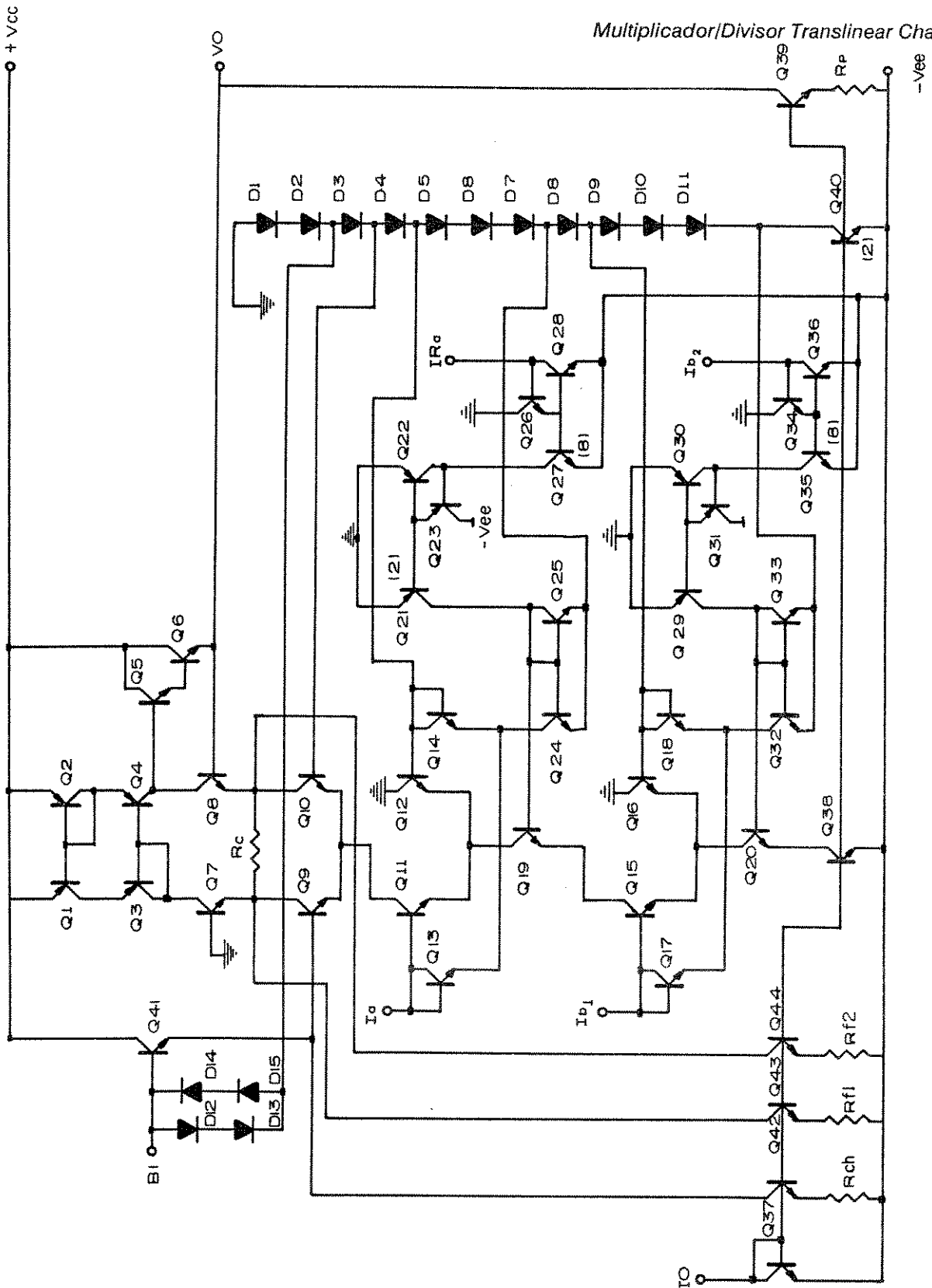


Figura V.5 - Multiplicador/Divisor chaveado proposto.

Sendo:

T_1 e T_2 = fator de atenuação das correntes I_R e I_{b1} respectivamente.

Para o funcionamento correto das células de multiplicação e divisão os valores finais de $T_2 \cdot Z$ e $T_1 \cdot W$ não podem ser inferiores a 1 e 8 respectivamente.

A verificação da influência de T_1 e T_2 na linearidade do circuito proposto é realizado baseando-se na equação V.11. Esta equação, mais a equação V.12, mostra que para o circuito da figura V.5 tem-se:

$$V_o = \frac{I_o R_c}{2 I_{R1} I_{R2}} \cdot I_a \cdot I_b \cdot (B_1 - \bar{B}_1); \quad (V.16)$$

Substituindo-se:

$$I_{R1} = T_1 \cdot W \cdot I_{b1}$$

$$I_{R2} = T_2 \cdot Z \cdot I_{R2}$$

$$I_b = I_{b2}$$

tem-se :

$$V_o = \frac{I_0 \cdot R_c \cdot I_a \cdot I_{b2} \cdot (B_1 - \bar{B}_1)}{2 \cdot T_1 \cdot W \cdot I_{b1} \cdot T_2 \cdot Z \cdot I_{R2}} \quad (V.17)$$

Podemos reescrever esta equação na forma anteriormente adotada em V.11 e V.12 :

$$V_o = \frac{K \cdot I_{b2} \cdot I_a (B_1 - \bar{B}_1)}{I_{b1}} ; \quad (V.18)$$

com K valendo:

$$K = \frac{R_c \cdot I_0}{2 T_1 \cdot T_2 \cdot Z \cdot W \cdot I_{R2}} \quad (V.19)$$

V.4 - Testes e Resultados do Circuito Proposto

A previsão do desempenho do circuito multiplicador/divisor chaveado utilizou o programa de simulação SPICE [20]. O uso desta estratégia se baseou nos seguintes fatos:

1 - o circuito multiplicador/divisor chaveado deve ser integrado juntamente com os conversores e a lógica combinacional no dispositivo final; o seu desempenho deve ser avaliado em função dos parâmetros da tecnologia usada na confecção dos geradores binários;

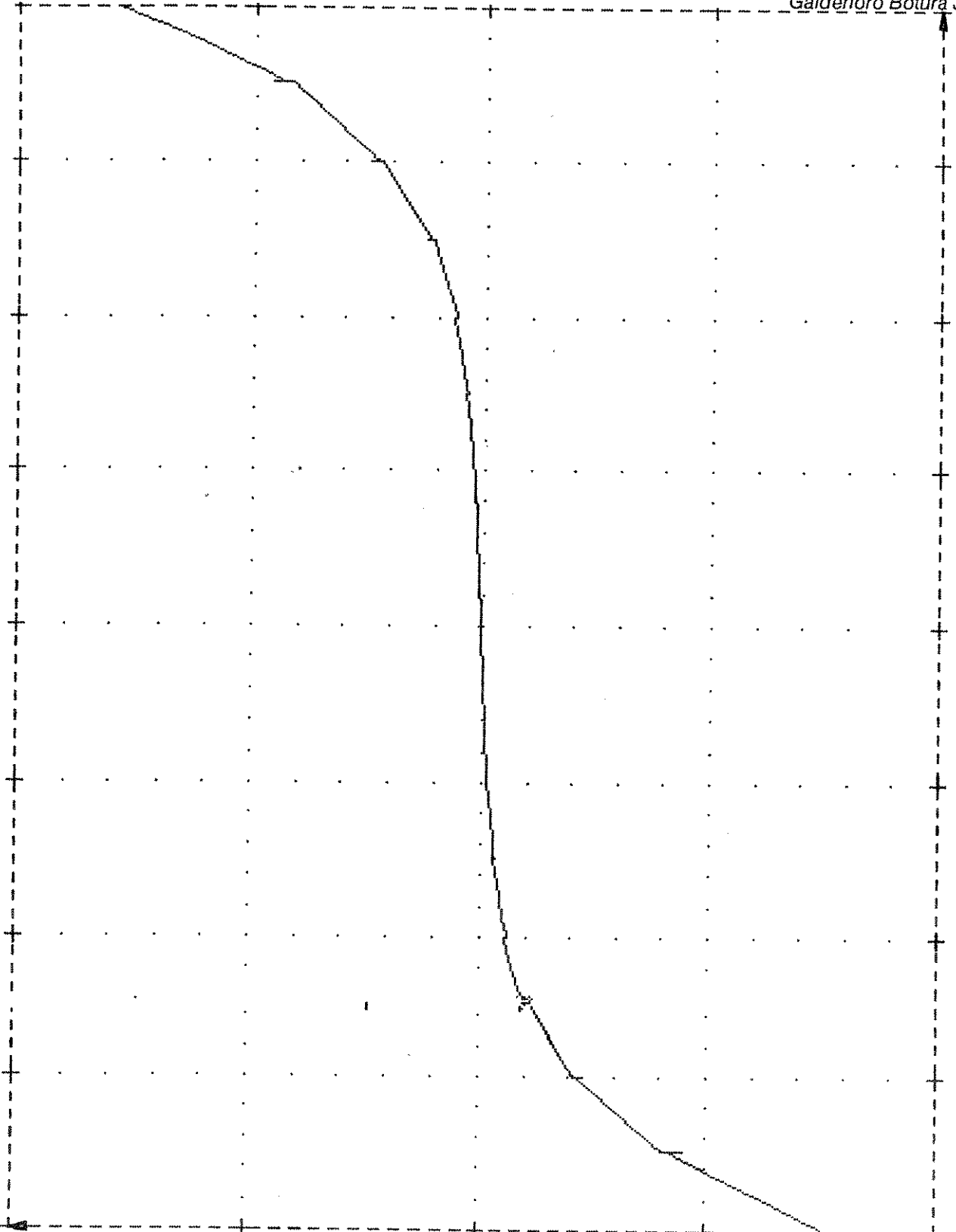


Figura V.6 - Lei A 128 obtida a partir do circuito multiplicador/divisor proposto.

2 - o tempo e o custo do uso de um programa de simulação compensam a utilização desta estratégia pois, fazendo-se uso de parâmetros corretos de simulação, os resultados obtidos dão segurança quanto ao desempenho, por refletirem com bastante exatidão os valores que seriam obtidos com a integração do dispositivo.

A figura V.6 apresenta curva da lei A - 128 obtida através da simulação do circuito proposto, e a tabela V.1 mostra uma comparação entre os resultados conseguidos para os dois circuitos; o circuito original através de montagem usando "array" de transistores integrados e o proposto por simulação.

Tabela V.1 - Resultados do multiplicador/divisor original e proposto

Características Elétricas	Valores Obtidos		Unidades
	Circ. Original	Circ. Proposto	
Consumo	38,24	84,1	mW
Erro de Linearidade	1	0,45	%
Taxa de Subida	18	5,6	V/ μ s
Tempo de Acomodação	0,8	1,1	μ s
Resposta em Frequência	500	250	KHz
Relação Sinal/Ruído	74,07	119,95	db
Resistência de Saída	0,2	0,2	Ω

V.5 - Comentários e Conclusões

Neste capítulo fez-se uma breve análise do circuito multiplicador translinear desenvolvido na referência [5], através do estudo dos seus blocos principais, e discutiram-se as

limitações da utilização deste circuito onde a técnica de multiplicação/divisão esteja sendo aplicado. A partir desta análise propuseram-se modificações com o objetivo de viabilizar o seu uso.

A partir dos resultados obtidos com o programa de simulação SPICE, apresentados na tabela V.1, verificou-se que as alterações efetuadas no circuito multiplicador original aumentaram os recursos deste circuito, e não impossibilitaram a sua utilização como bloco de saída do decodificador não linear.

A estratégia de se obter o desempenho do circuito proposto a partir de um programa de simulação mostrou-se bastante eficiente. Mesmo que os resultados obtidos tenham desvios em relação aos que surgirão quando da integração deste circuito junto com os conversores D/A e a lógica combinacional, eles fornecem boa indicação da viabilidade de se usar o circuito proposto na forma pretendida. Além disso, este procedimento se torna insubstituível quando se deseja estudar alguns parâmetros específicos, como os que envolvem a variação da temperatura, por exemplo. A montagem em "breadboard", utilizando arranjo de transistores, ou a integração deste bloco, não reproduziriam com exatidão os resultados que se obtém quando da integração do conversor como um todo, uma vez que são parâmetros em que o "layout" da pastilha de integração desempenha um papel fundamental no resultado final. Deste modo acreditamos que o método utilizado foi o mais indicado, dentro do quadro colocado.

As alterações introduzidas, visando adequar o circuito original a técnica proposta, se mostraram bastante boas, pois além de não degradar o desempenho deste bloco em relação ao objetivo do seu uso, permitiram obter um maior controle de uma importante variável de saída, o nível de "off-set" da tensão.

CAPÍTULO VI

Integração e Teste do Decodificador

VI. 1 - Introdução

Durante a atividade de obtenção de um dispositivo integrado, a etapa referente ao processo de fabricação da pastilha é de fundamental importância no desempenho final do dispositivo projetado. Nesta etapa é onde, efetivamente, estarão sendo confeccionados e interligados os transistores, diodos e resistores que farão parte da estrutura do circuito idealizado. A etapa referente ao processo de fabricação de um dispositivo integrado pode ser resumida em 3 fases :

- 1- o desenho do "layout" de integração e a confecção de suas máscaras;
- 2- a difusão propriamente dita;
- 3- o encapsulamento do dispositivo para os testes finais.

Neste capítulo serão apresentadas as normas que definiram o "layout" do dispositivo desenvolvido, bem como os procedimentos para execução de fotograções e as difusões do mesmo. Serão apresentados, ainda, os primeiros testes nos circuitos obtidos. Estes testes iniciais permitem a obtenção de resultados que indicarão se os dispositivos encontram-se dentro dos padrões de aceitação para o seu uso, dentro dos critérios adotados para o

conversor não linear. É realizada, ainda, neste capítulo, discussão sobre o desempenho dos circuitos a partir dos valores encontrados durante os testes executados.

Após a integração e os testes dos blocos integrados, torna-se necessário a realização da montagem do conversor, utilizando-se o método de multiplicação/divisão. Esta montagem é mais uma etapa visando constatar a viabilidade de se usar a técnica proposta, e é executada interligando-se o protótipo, obtido na integração, ao circuito multiplicador/divisor, circuito este obtido fazendo-se uso de "array" de transistores integrados. Finalmente serão analisados e discutidos os valores medidos e o desempenho do conversor como um todo.

VI. 2 - Elaboração das Máscaras

VI.2.1 - Confecção do "Layout" de Integração

A obtenção das máscaras de integração de um dispositivo é a primeira fase de todo o processo que tem por finalidade fabricar um circuito integrado. Durante esta fase deve-se estar atento as dispersões que porventura poderão surgir quando do teste do componente e procurar prover testes suplementares através da introdução, no seu "layout", de dispositivos isolados de testes específicos para cada caso.

A elaboração das máscaras dos conversores de 3+1 e 5 bits e da lógica combinacional, que constituem a parte integrada do protótipo do conversor, tomou por base o fato que estes dispositivos serão integrados em uma lâmina do tipo N sobre N⁺ (N/N⁺). Este fato determinou que cinco máscaras seriam necessárias para obtenção do protótipo através do processo I²L existente no LED. Deste modo, cada máscara terá a seguinte finalidade :

- 1 - difusão de isolamento (tipo N⁺ profunda);

- 2 - difusão de base (tipo P);
- 3 - difusão de coletor (tipo N);
- 4 - abertura de contatos;
- 5 - metalização.

Fazendo uso de um microcomputador da linha APPLE e do programa EDMAS [17] produziu-se o "layout" apresentado na figura VI.1. Este "layout" é constituído de quatro blocos distintos: o circuito lógico combinacional, localizado na terça parte inferior do "layout"; o conversor de 5 bits, localizado na faixa central e os dois conversores de 3 + 1 bits na terça parte superior do desenho. A explanação sobre a estrutura interna de cada um dos blocos mencionados é feita a seguir.

O bloco lógico, colocado na terça parte inferior da figura VI.1 é constituído somente de transistores I^2L . Neste bloco, pode-se identificar a preocupação em se utilizar os dois lados da fita injetora, procurando com isso, uma otimização do espaço ocupado pelos transistores ao longo da mesma. Neste bloco, as fitas de metalização passam pelos espaços existentes entre os contatos de base e coletores dos transistores. Para que estes intervalos fossem suficientes, optou-se por dispor transistores com bastante espaço entre os coletores. Apesar da diminuição do ganho dos transistores, esta estratégia possibilitou uma grande facilidade na execução das interconexões existentes entre eles. É importante ressaltar que o número total de coletores não se alterou, sendo no máximo igual a quatro. Como foi verificado em [1], a diminuição do ganho não é suficientemente forte para comprometer o uso destes dispositivos no projeto.

O conversor de 5 bits, colocado na faixa central do "layout", é constituído de transistores I^2L de chaveamento e transistores PNP laterais. Os outros dispositivos discutidos e analisados no capítulo IV (diodos parasitas, resistores, etc.) são inerentes a estrutura integrada deste bloco. Neste conversor de 5 bits, a inexistência de interrupções ao longo da fita

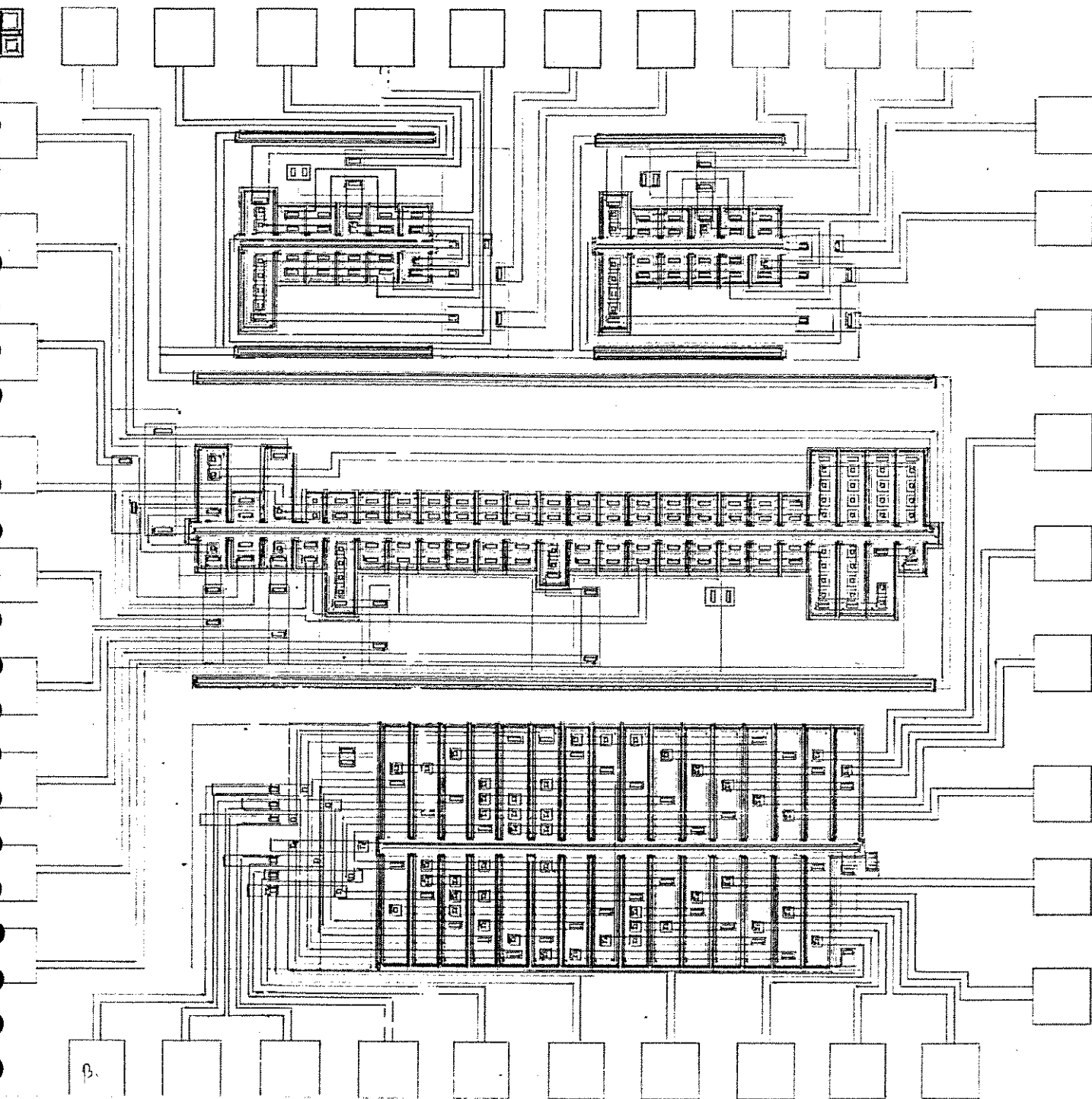


Figura VI.1 - "Layout" do bloco lógico e dos conversores de 5 e 3+1 bits

metálica que cobre o injetor possibilitou conseguir um valor bastante baixo de resistência ôhmica entre os dois extremos desta fita. Como consequência deste procedimento, uma menor variação de potencial deve ocorrer sobre o injetor, diminuindo, desta forma, a variação de polarização ocasionada nas junções existentes entre base-emissor (VBE's) dos transistores PNP. Esta diferença é uma das fontes geradoras de erro de linearidade, como analisado no capítulo IV.

Uma outra circunstância, que pode ser observada e que também tem a finalidade de otimizar a distribuição do potencial ao longo da fita, é a aplicação da tensão de polarização através dos dois extremos do conversor D/A linear. Além de ajudar a minimizar o problema da variação do potencial, esta estratégia ocasiona um aumento na velocidade de chaveamento dos transistores I^2L , como demonstrado em [18]. De fato, não somente equalizam-se as correntes de saída, como também as correntes de base dos transistores I^2L .

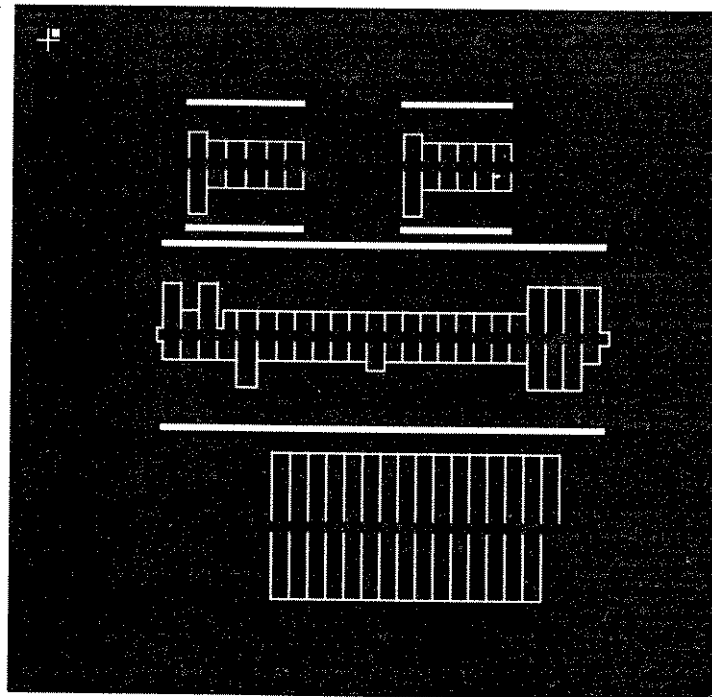
No "layout" apresentado, podem-se identificar as duas difusões profundas do tipo N^+ colocadas paralelamente à fita injetora. Além de propiciar o contato de terra próximo as junções polarizadas, estas difusões, em função do posicionamento dos diversos blocos no "layout", fornecem uma eficiente isolação entre eles, pelo bloqueio que ocasionam ao deslocamento de portadores injetados paralelamente à superfície do cristal (lacunas).

Os conversores de 3+1 bits, colocados na terça parte superior da figura VI.1, possuem a mesma constituição do conversor de 5 bits. A elaboração do "layout" destes conversores também obdecem os critérios discutidos para o conversor de 5 bits.

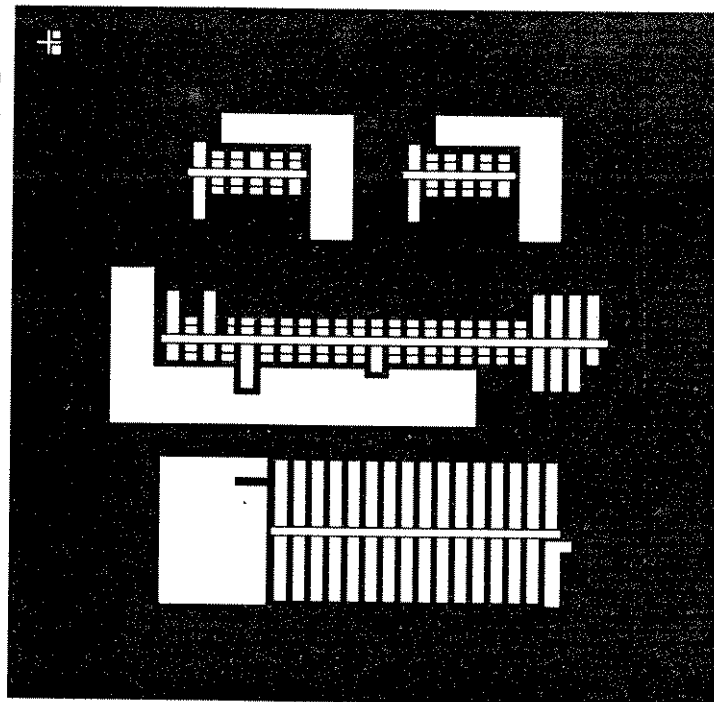
VI.2.2 - Confecção das Máscaras e Construção do Dispositivo.

As máscaras de integração do dispositivo foram confeccionadas para uso com foto-resiste positivo, obedecendo a sequência padrão do LED, ou seja:

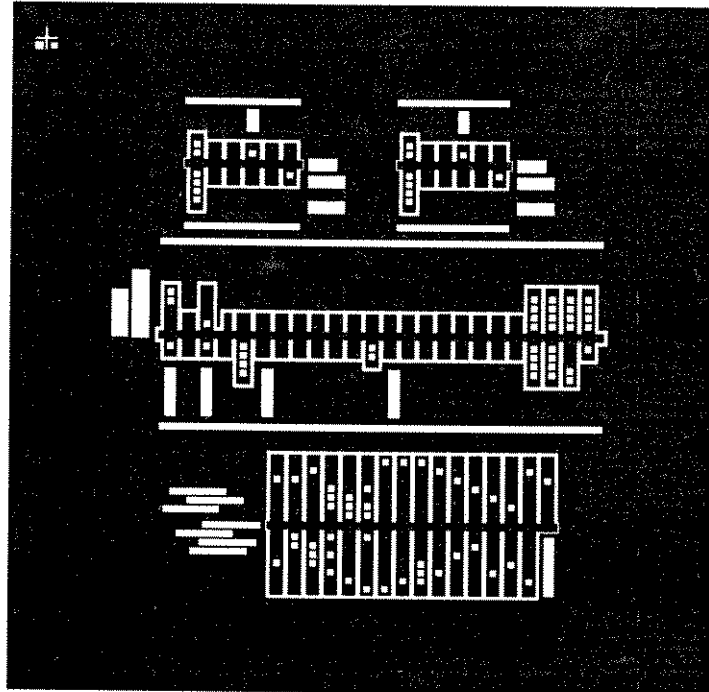
- Corte e "pilling" de cada nível do rubelite;



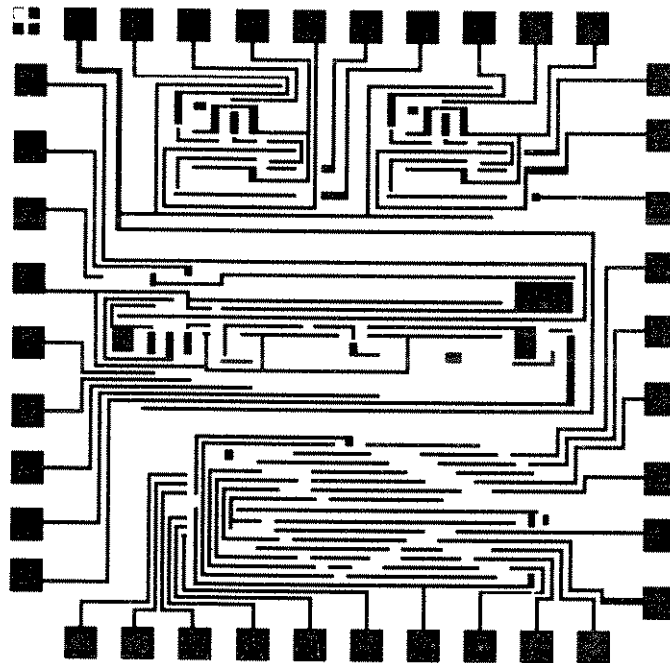
A) - 1ª máscara : Isolação (difusão tipo N+)



B) - 2ª máscara : Base (difusão tipo P)



C) - 3ª máscara : Coletor (difusão tipo N)



D) - 5ª máscara : Metalização

Figura VI. 2 - Jogo de Máscaras do Bloco Lógico e dos Conversores de 3 + 1 e 5 bits

- Redução de 20 x 1 de cada nível em placa de alta resolução;
- Foto-redução (5 x 1) e foto-repetição de todos os níveis em placas de alta resolução.

O jogo de máscaras é apresentado na figura VI.2.

A quarta máscara, a máscara de abertura de contatos, não foi apresentada em função de não apresentar uma boa resolução para cópias: As máscaras mostradas foram obtidas após a redução de 20 x 1. As suas dimensões não estão na escala adequada para reprodução neste trabalho.

VI.3 - Fotogração e Difusão

A confecção do dispositivo integrado emprega as etapas referentes a foto-gravação e posteriormente, a difusão da lâmina de silício. Na foto-gravação um padrão relativo a uma máscara, previamente confeccionada, é gravado sobre o óxido da lâmina de silício. Este padrão determinará as regiões que terão ou não suas estruturas alteradas com a introdução de dopantes, durante o processo de difusão.

No processo de fotogração e no de difusão, cuidados na manipulação da lâmina devem ser observados, evitando-se, por exemplo a sua exposição a possíveis contaminações do ambiente. Durante a realização da fotogração, podem ocorrer erros de alinhamento entre máscaras sucessivas, bem como falha no controle da corrosão do óxido ("overetching" ou "underetching") durante a definição dos padrões. Problemas como estes, uma vez acontecidos e não constatados a tempo, poderão vir a comprometer todo o processo de fabricação do dispositivo, e conseqüentemente inviabilizar o desempenho final do dispositivo. Os parâmetros de processo utilizados no processo de integração dos conversores D/A lineares e da lógica combinacional, do decodificador não linear, estão relacionados na tabela VI - 1.

Tabela VI.1 - Parâmetros do processo I²L/LED

ETAPA	FASE	TIPO DE DOPANTE	TEMPO (Min)	TEMPERATURA (°C)
1	Oxidação	-	30	
2	Deposição	Boro	60	925
3	Penetração	Boro	30	1150
4	Deposição	Fósforo	60	950
5	Penetração	Fósforo	40	1000

Outros dados relativos ao processo de integração utilizado:

- Foto-resiste positivo AZ-1350;

-Lâmina tipo N, epitaxial, do tipo N/N⁺

A figura VI - 3 apresenta a microfotografia dos blocos básicos integrados e a figura VI.4 a fotografia do dispositivo já encapsulado

VI.4 - Testes do Dispositivo Obtido

O circuito obtido e apresentado na figura VI.3 foi submetido a uma série de testes para avaliar o seu desempenho e determinar, com isso, o sucesso na obtenção das características desejadas. Dois tipos de testes foram realizados:

- 1) testes dos dispositivos ativos (transistor PNP, NPN e I²L);
- 2) testes do circuito integrado como um todo. .

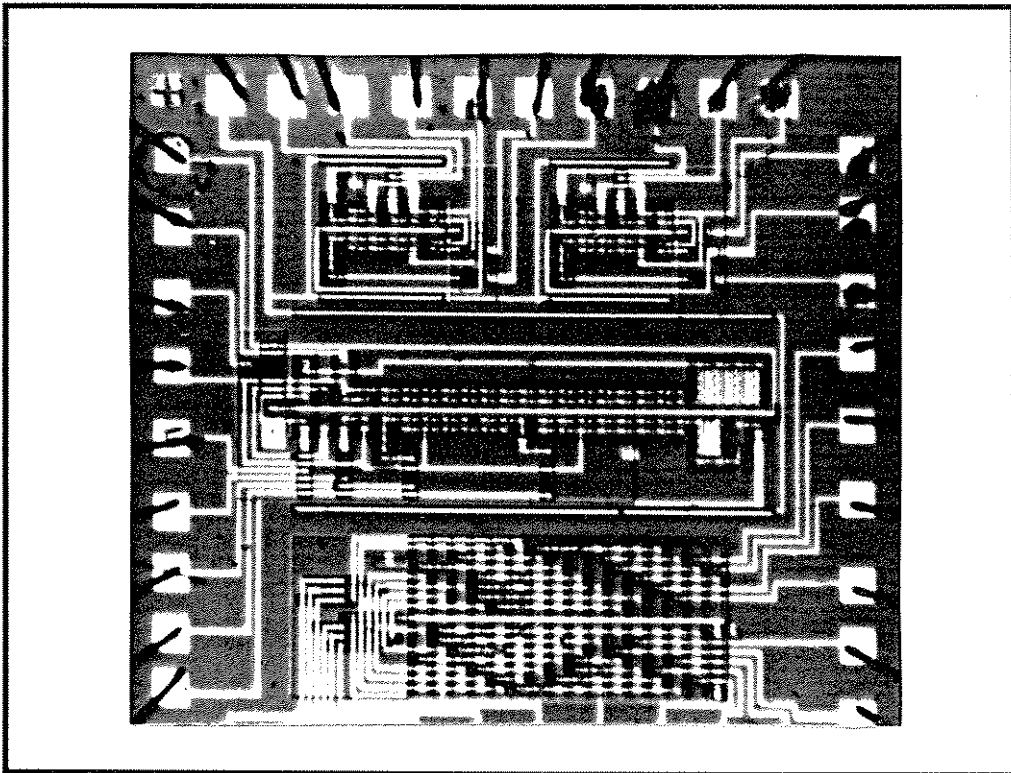


Figura VI.3 - Microfotografia dos blocos básicos.

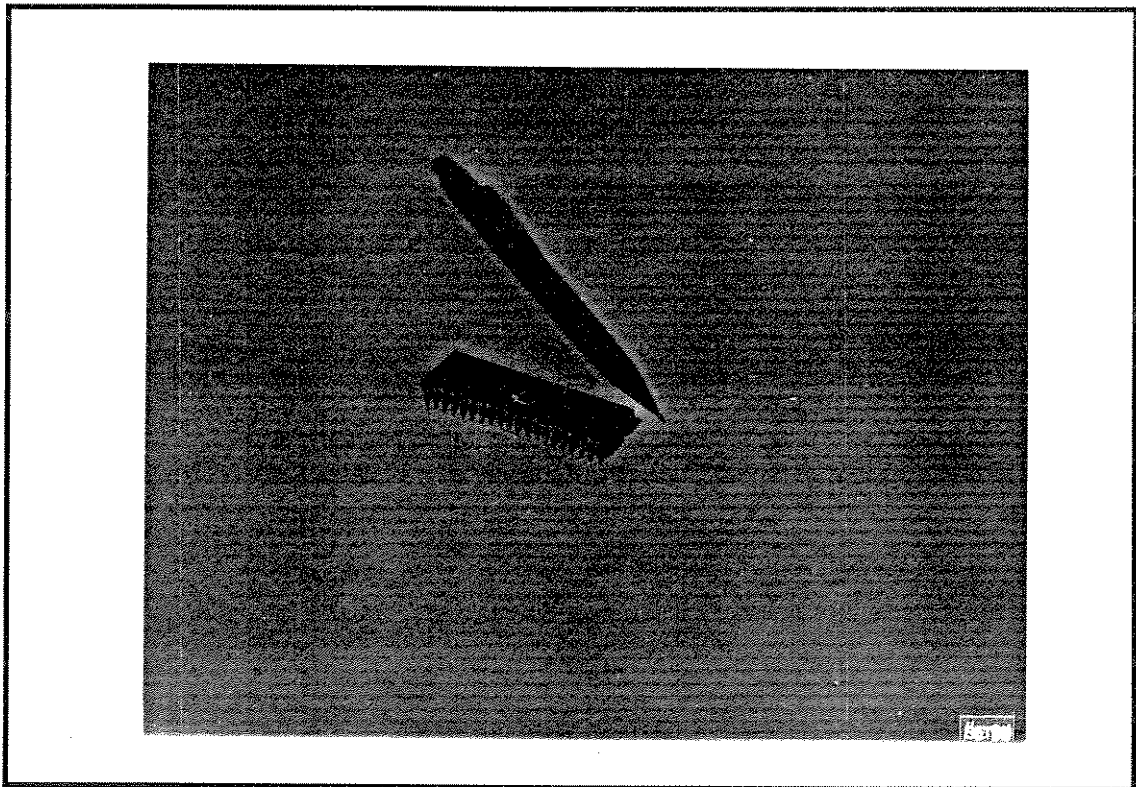


Figura VI.4 - Fotografia do protótipo encapsulado.

VI.4.1 - Testes dos Dispositivos Ativos

A intenção, quando da realização destes testes, foi a verificação do funcionamento de cada dispositivo ativo (transistor PNP, NPN e I^2L) separadamente, procurando com isto verificar os resultados do processo executado e identificar eventuais desvios que impeçam o uso da lâmina confeccionada. As figuras VI.5; VI.6 e VI.7 apresentam as curvas $I_C \times V_{CE}$ de cada transistor.

As curvas dos transistores PNP e NPN (figura VI.5 e VI.6 respectivamente) revelam que o funcionamento destes dispositivos é adequado para o projeto proposto. O seu funcionamento é normal e o processo executado pode ser considerado bem sucedido. Os parâmetros estáticos apresentados por estes dispositivos, como o valor de beta por exemplo, não são críticos para o projeto.

As curvas do transistor I^2L (figura VI.7) mostram igualmente compatibilidade com a sua utilização no circuito proposto. Porém, em função das características próprias do "layout" elaborado para conversor, neste projeto este transistor necessita possuir um β maior ou igual a dois para que a corrente de pêsso 16 atue (ver capítulo IV). Através da curva apresentada constatou-se um beta igual a 5

VI.4.2 -Teste dos Conversores de 3+1 e 5 Bits e da Lógica Combinacional

Os testes dos conversores de 3+1 e 5 bits, bem como da lógica combinacional possibilitam a verificação do funcionamento de cada um dos blocos integrados separadamente. Isto permite fazer o levantamento da curva de transferência de cada um dos circuitos conversores, além da análise dos erros de linearidade e a constatação da eficiência do modelo utilizado na determinação da localização dos transistores, ao longo da fita injetora.

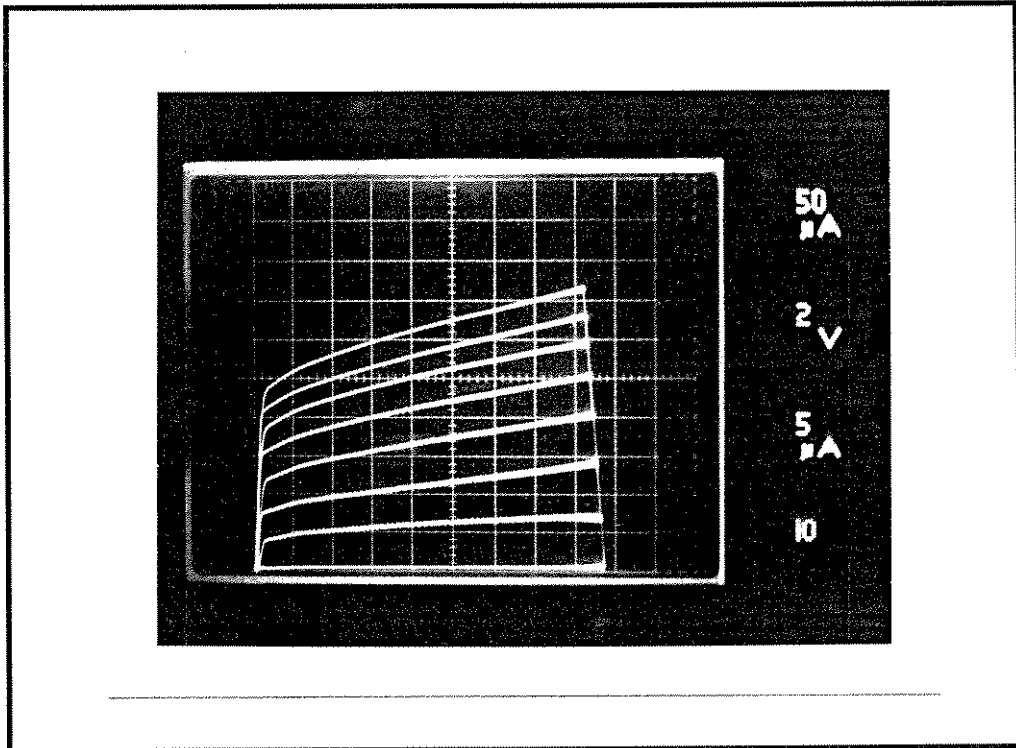


Figura VI.5 - Curva I_xV do transistor PNP

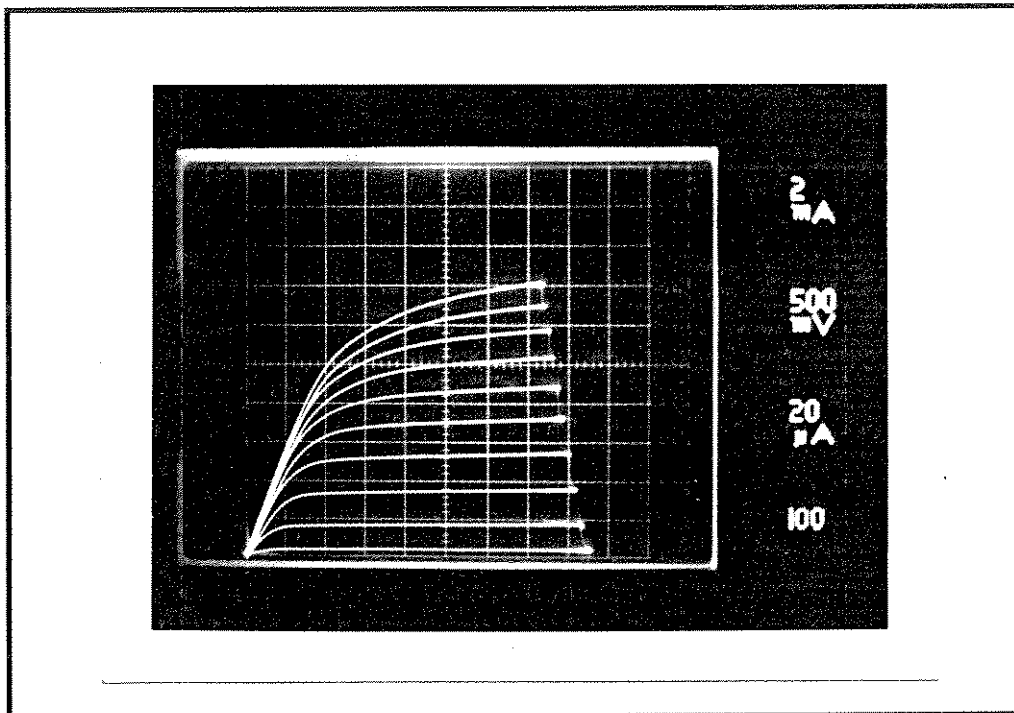


Figura VI.6 - Curva I_xV do transistor NPN

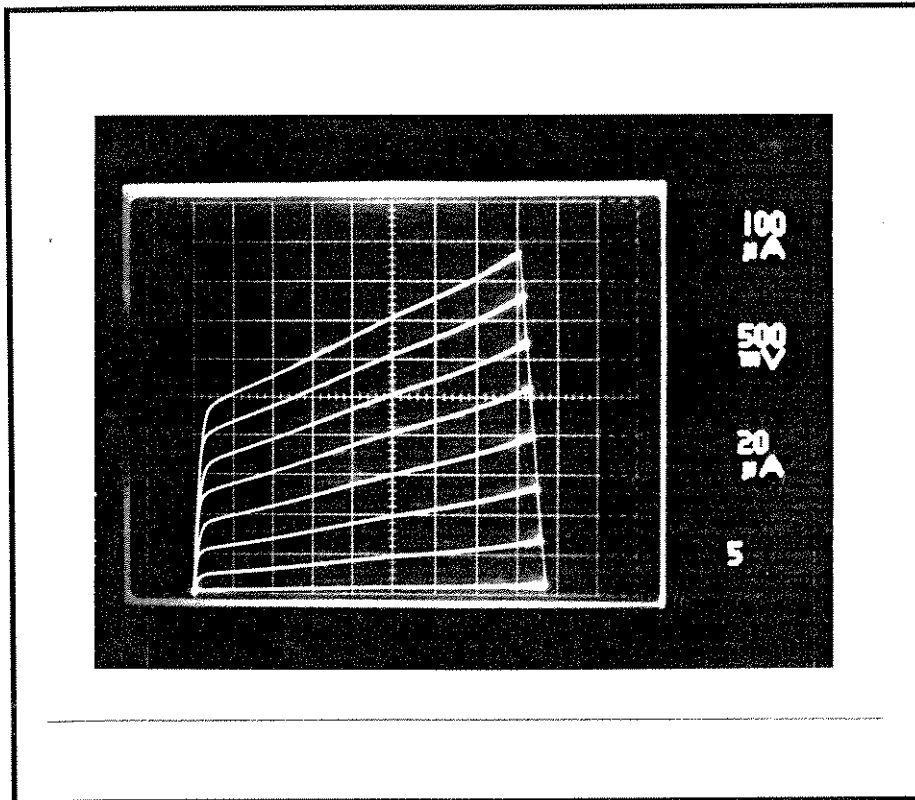


Figura VI.7 - Curva $I \times V$ do transistor I2L

Para os conversores D/A, os testes de linearidade foram realizados fazendo-se o levantamento, ponto a ponto dos valores de suas curvas de transferência. A partir destes dados constatou-se um erro máximo de 0,29 e 0,3 LSB para os conversores de 5 e 3 + 1 bits respectivamente. Estes erros foram encontrados a partir de uma reta traçada pelos pontos de zero e fundo de escala. A diferença máxima observada entre esta reta e os valores medidos na saída dos conversores, definiram os valores encontrados. As tabelas VI.2 e VI.3 apresentam os valores medidos para cada um dos conversores, para uma tensão aplicada de polarização de 764mV para o conversor de 5 bits e 700mV para o de 3 + 1 bits.

Tabela VI.4 Valores medidos para os conversores de 3 + 1 bits

PESO	CORRENTE (μA)	ERRO (LSB)
1	1,11	-0,26
2	2,57	-0,3
4	6,18	+0,1
8	12,05	0

Tabela VI.3 Valores medidos para os conversores de 5 bits

PESO	CORRENTE(μA)	ERRO (LSB)
0	1,2	-0,09
1	3,8	-0,13
2	7	-0,02
3	9,6	-0,12
4	12,9	+0,01
5	15,8	-0,01
6	18,9	+0,08
7	21,8	+0,05
8	24,3	-0,09
9	27,3	-0,07
10	29,6	-0,28
11	32,8	-0,19

12	35,9	-0,12
13	38,4	-0,27
14	42	-0,04
15	44,6	-0,15
16	47,1	-0,29
17	50,2	-0,23
18	53,1	-0,24
19	55,9	-0,28
20	59,0	-0,22
21	62	-0,19
22	65,2	-0,1
23	68,5	+ 0,03
24	71,5	+ 0,06
25	74,1	-0,28
26	77,3	+ 0,04
27	80,7	+ 0,2
28	83,5	+ 0,16
29	86,3	+ 0,15
30	89	+ 0,04
31	91,8	0

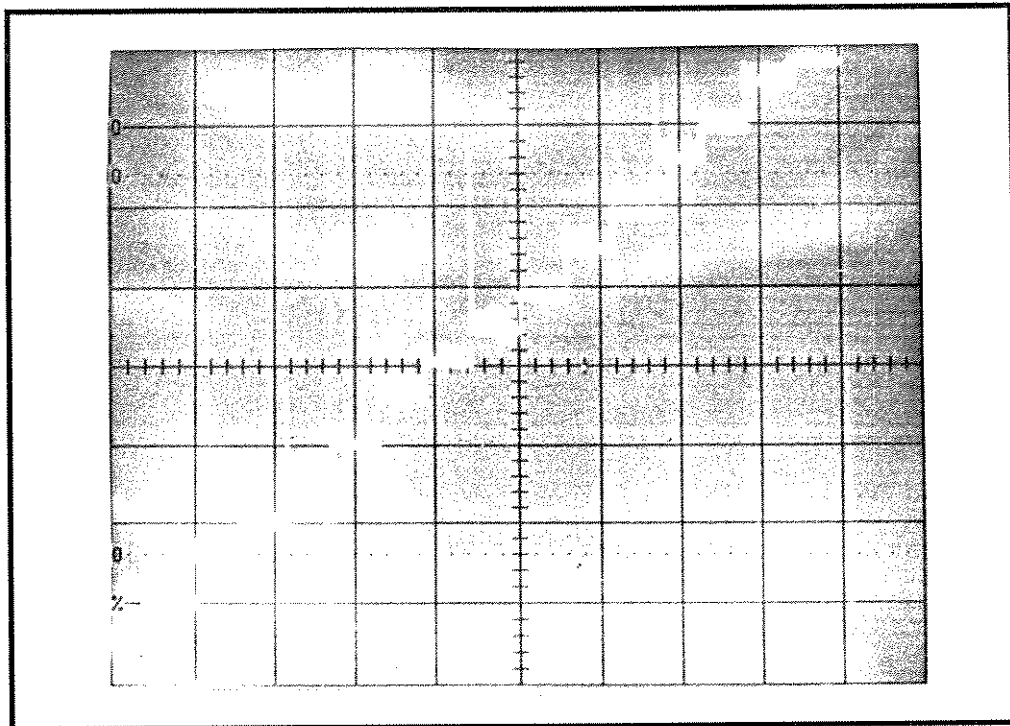


Figura VI.7 Curva de decodificação para o conversor de 5 bits; eixo $y = 100 \text{ mV/div}$

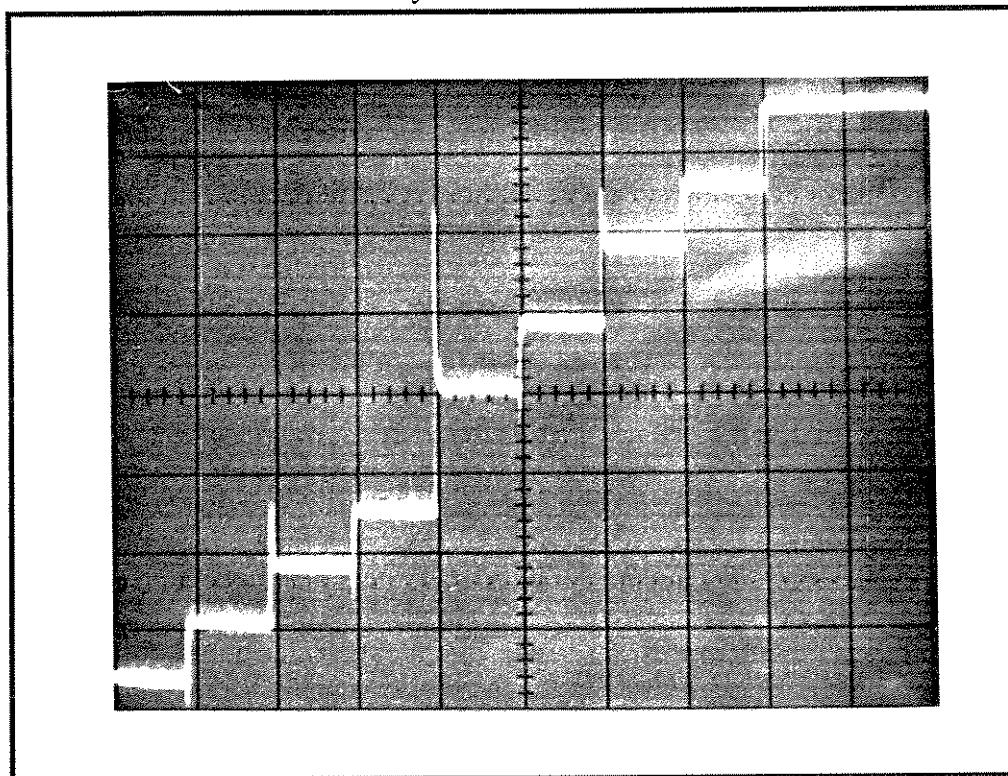


Figura VI.8 Curva de decodificação para o conversor de 3 + 1 bits; eixo $y = 100 \text{ mV/div}$

As curvas de transferência, para cada um dos conversores estão mostradas nas figuras VI.7 e VI.8. O valor do eixo "x" não foi apresentado em função da escala deste eixo ter sido ajustada para se ter a tela totalmente preenchida na fotografia apresentada. A tabela VI.4 mostra os demais parâmetros encontrados para os conversores D/A é lógica combinacional.

Nas fotografias apresentadas podemos identificar os picos de tensão que ocorrem nas transições entre os degraus dos níveis analógicos; pelo fato desta transição se estabilizar em um tempo muito curto, ela não inviabiliza o uso destes componentes.

tabela VI.4 - Valores medidos para os conversores de 3 + 1 bits, 5 bits e lógica combinacional.

Parâmetros	conversor 3 + 1 bits	conversor 5 bits	lógica combin.	unidade
Erro de linearidade	0,3	0,29	-	LSB
Relação sinal/ruído	82,31	81,11	-	db
Tempo de conversão	0,65	0,9	-	μ s
Consumo	0,88	3,57	2,38	mW

Os valores apresentados mostram que o uso destes dispositivos no decodificador não linear é perfeitamente viável para o projeto proposto. Com relação ao erro de linearidade, pode-se concluir, baseado na referência [29], que os valores encontrados permitem o uso da metodologia apresentada no capítulo IV para projetos de conversores D/A onde se tenha uma aplicação semelhante a proposta neste trabalho. Na referência citada, o autor apresenta um equacionamento que relaciona a dispersão do valor obtido de uma função, com as suas variáveis de entrada, considerando que as variáveis de entrada sejam independentes e aleatórias. A partir dos valores medidos nos conversores de 3 + 1 e 5 bits, e sabendo-se onde estes conversores serão utilizados, encontrou-se que o valor final da dispersão fica abaixo da dispersão calculada a partir do erro de 1,56%, que é o erro máximo estipulado para o

conversor não linear proposto. Com isto, conclui-se portanto ser válida a metodologia utilizada (ver apêndice).

VI.5 Testes do Decodificador não Linear

VI.5.1 - Introdução

A verificação seguinte da validade da proposta apresentada, ou seja, a obtenção da lei-A por meio da técnica da multiplicação/divisão, somente se dá quando da obtenção desta lei, por meio de uma montagem que use o princípio proposto. Este item relata a metodologia usada para a obtenção da lei A-128, apresenta a forma da geração da palavra digital que será introduzida como teste no decodificador e faz uma análise do desempenho do conversor MCP, a partir dos resultados obtidos.

VI.5.2 - Obtenção da Sequência de Bits Para a Decodificação

Para se conseguir a visualização da lei-A, em um osciloscópio, torna-se necessário que a sequência de bits que forem introduzidas ao decodificador não linear, para decodificação, obedeça a um critério pré estabelecido. Devido a isto, primeiramente o decodificador não linear deverá receber a palavra digital 11111111, correspondente ao menor nível dentro do sétimo segmento do terceiro quadrante da curva de decodificação. Esta palavra digital deverá decrescer até a palavra 10000000 que é o maior valor do terceiro quadrante da lei A de decodificação. A partir daí, a lei de decodificação entra no primeiro quadrante, e a palavra passa a ser 00000000, e esta palavra deve ser incrementada até 01111111 que é o maior valor do sétimo segmento do primeiro quadrante.

Esta sequência de bits foi obtida através do esquema apresentado na figura VI.9.

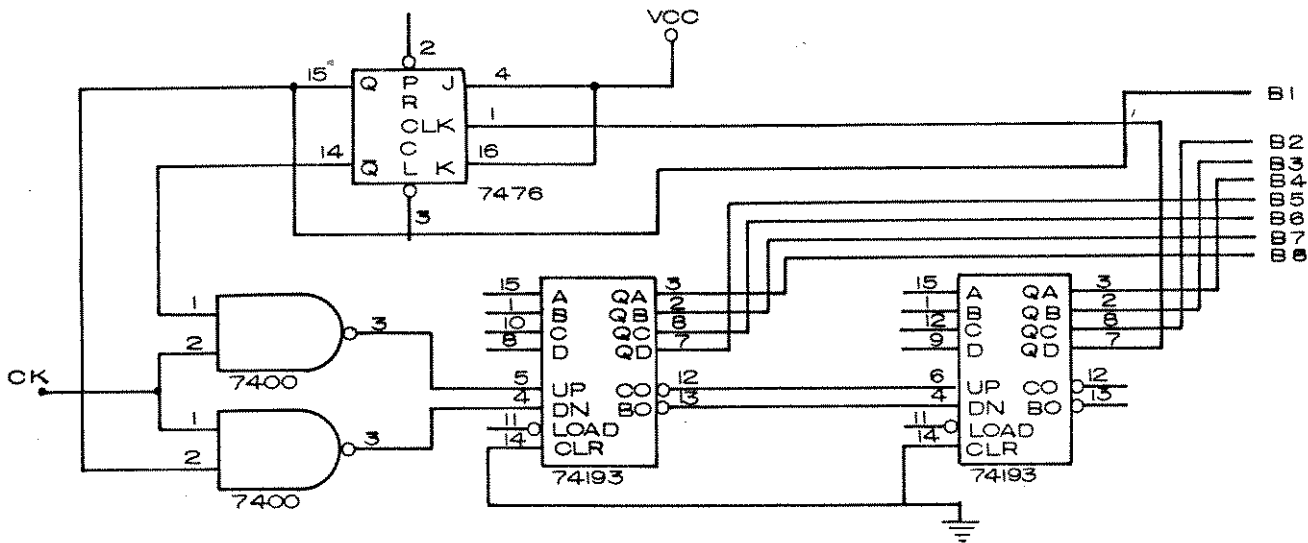


Figura VI.9 - Circuito gerador da seqüência de bits para decodificação

A palavra digital originada deste circuito é enviada aos conversores D/A e lógica combinacional para ser decodificada.

VI.5.3 - Montagem do Decodificador não Linear

A montagem do decodificador não linear foi executada unindo-se em um "bread-board" o protótipo obtido na integração e o circuito multiplicador/divisor chaveado.

O circuito multiplicador/divisor chaveado, por sua vez, foi obtido usando o esquema do circuito descrito no capítulo V. Montou-se este esquema fazendo-se uso de "array" de transistores integrados, para os transistores NPN (CA 3046); transistores discretos, para os PNP (BC 557); e diodos (4001). Certamente o uso do transistor PNP discreto influenciou na resposta de frequência do circuito, uma vez que em relação aos transistores PNP integrados, as suas capacitâncias são menores. Porém, lembrando os valores obtidos para este circuito

na simulação e sabendo-se que fez-se uso de um "breadboard", onde as capacitâncias devido as interconexões são bastante altas, os resultados finais podem ser considerados para análise do desempenho do circuito.

VI.5.4 - Resultados obtidos

Através de um segundo "breadboard" montou-se o modulador de código de pulso pretendido. Antes de se obter a lei de decodificação desejada, procurou-se visualizar os níveis referentes aos segmentos, obtidos por meio da divisão das correntes recebidas do D/A de 3+1 bits. A figura VI.10, apresenta os níveis dos segmentos conseguidos usando o artifício da divisão.

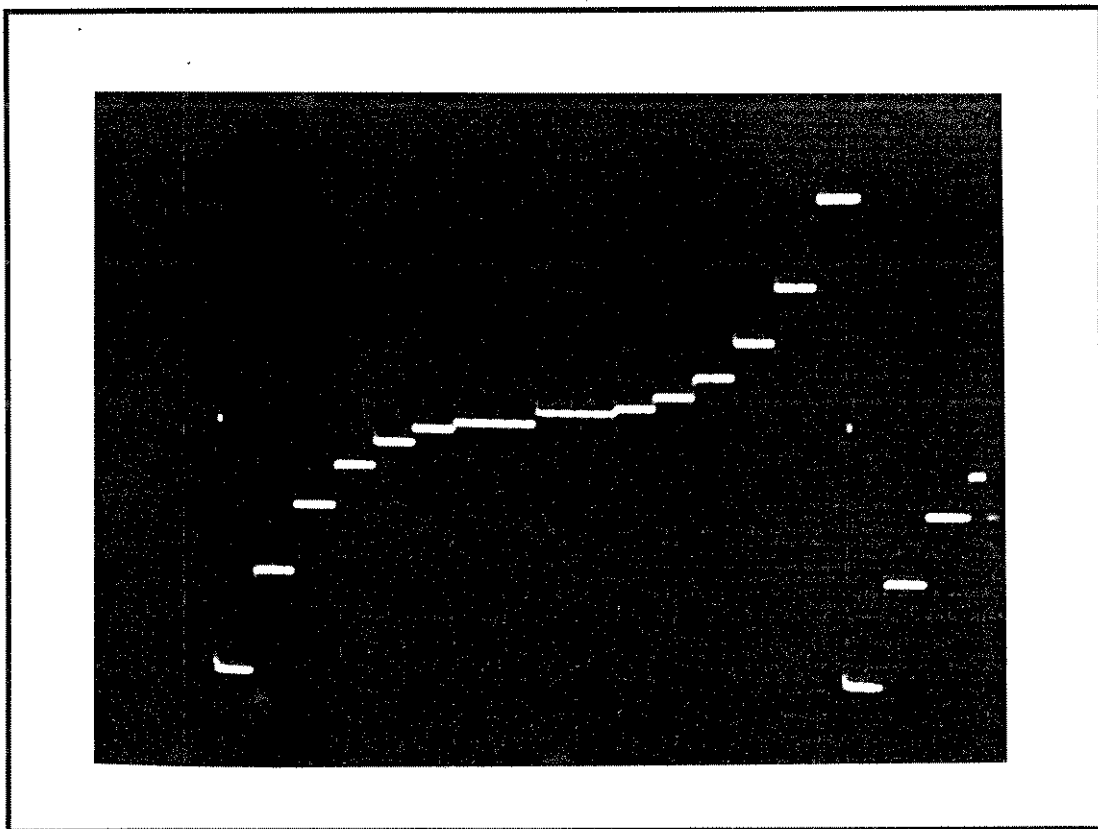


Figura VI.10 - Fotografia dos níveis do segmento da lei A, obtida na saída do decodificador

Para se conseguir esta fotografia, fez-se a corrente " I_a ", no multiplicador, ser constante e igual a " I_{Ra} ". Com isto consegue-se observar somente os valores dos níveis dos segmentos, na saída do decodificador não linear.

Na fotografia apresentada na figura VI.10, pode-se perceber a não linearidade característica da lei-A na formação dos níveis dos segmentos. Estes sinais serão ainda multiplicados pelos valores recebidos do D/A de 5 bits para a formação da lei-A.

Metodologia semelhante foi aplicada na obtenção da fotografia apresentada na figura VI.11, ou seja, fez-se que I_{b2} fosse $1/8$ de I_{b1} . Deste modo consegue-se que o fator de multiplicação desta célula seja igual a 1. Com isto, a saída do decodificador não linear apresentará os valores de tensão correspondentes as correntes do conversor de 5 bits que estão sendo introduzidas no circuito multiplicador/divisor.

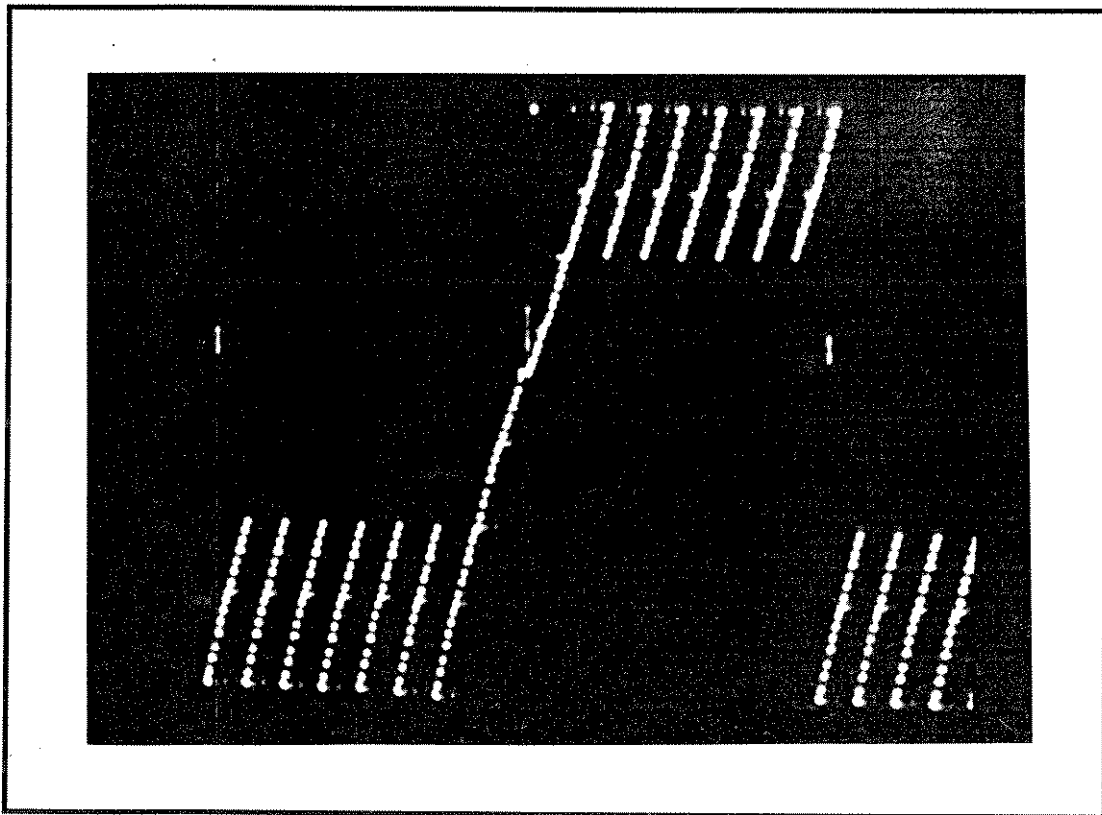


Figura VI.11 - Fotografia dos níveis dentro de um segmento obtida na saída do decodificador

Na fotografia apresentada na figura VI.11, verifica-se a existência de sete segmentos no terceiro quadrante e sete segmentos no primeiro quadrante, na saída do multiplicador/divisor chaveado. Pode-se reparar, nesta figura, que o último segmento do terceiro quadrante e o primeiro do primeiro quadrante possuem 32 níveis e os demais 16. Isto é uma característica da lei-A 128 de decodificação.

A curva final de decodificação correspondente a lei A-128, é apresentada na figura VI.12. Esta curva corresponde ao produto dos sinais apresentados nas figuras VI.10 e VI.11. O pulso de tensão verificado na transição do terceiro para o primeiro quadrante corresponde a inversão do bit B_1 , gerado.

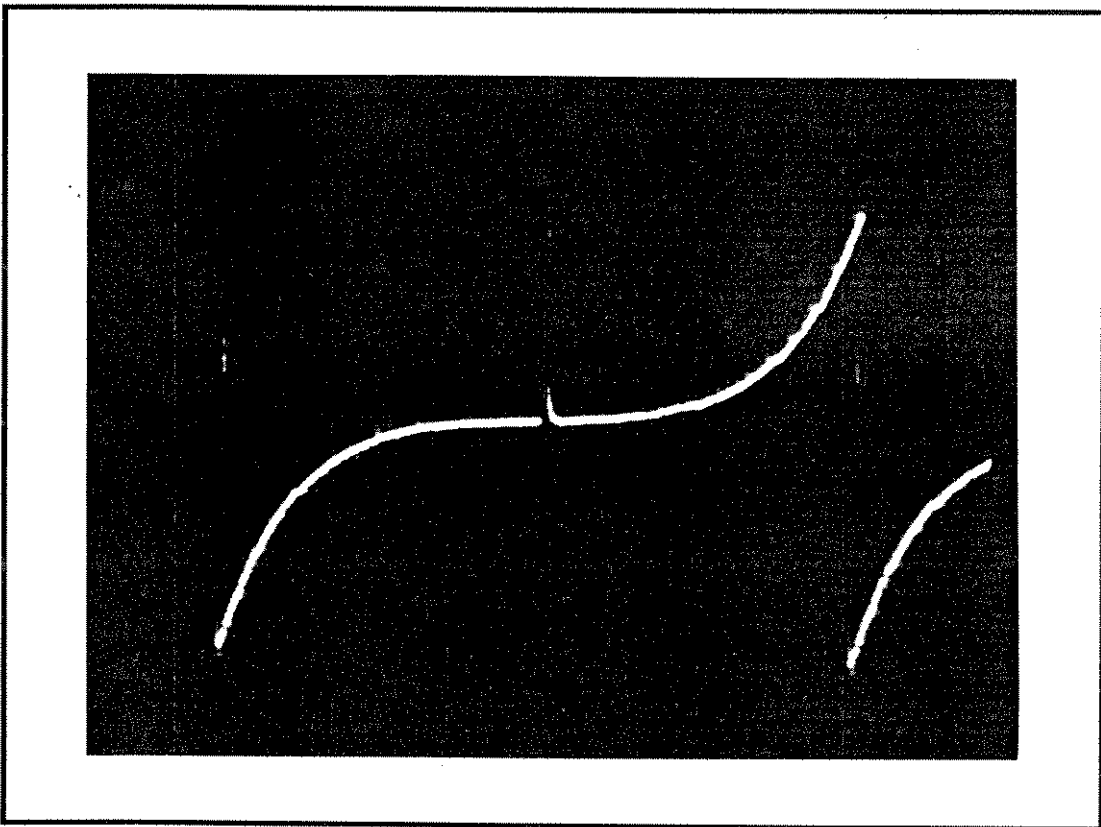


Figura VI.12 - Fotografia da lei A-128, obtida na saída do decodificador

Outros valores medidos e que representam o desempenho do decodificador não linear estão apresentados na tabela VI.3. Estes valores indicam que o princípio proposto, e

o circuito que foi desenvolvido, podem ser utilizados como parte de um modulador por código de pulso lei A-128.

Tabela VI.3 - Valores encontrados a partir da montagem do decodificador não linear em breadboard

Parâmetro	Valor encontrado	Unidade
Erro de linearidade	0,43	LSB
Tempo de conversão	1,3	μ s
Consumo	130	mW

VI.6 - Comentários e Conclusões

Os resultados dos testes realizados, no protótipo obtido por integração, mostraram que os valores obtidos se enquadram perfeitamente dentro do que se era esperado para este estágio do conversor MCP - Lei A. O erro de linearidade máximo constatado ficou sempre dentro das especificações de um dispositivo desta natureza, não existindo a necessidade de modificações no projeto. Este fato mostra que as normas verificadas na elaboração do "layout" dos conversores D/A lineares corresponderam as expectativas e podem ser generalizadas para projetos com graus de exigência comparáveis. Os modelos utilizados nas simulações, que levaram a disposição final dos transistores ao longo da fita, demonstraram que, em uma primeira aproximação, reproduzem o comportamento dos transistores modelados de um modo bastante eficiente. Com isto pode-se afirmar que estes modelos serviram bastante bem na elaboração do projeto deste decodificador não linear. Porém, uma generalização de seu uso deve ser encarada de uma forma bastante cuidadosa e criteriosa. É intenção deste pesquisador continuar os estudos em relação a aplicação destes modelos de um modo mais genérico, de maneira que os mesmos possam ser aplicados em outros projetos de dispositivos integrados.

Com relação a montagem do conversor MCP, pode-se concluir que o princípio proposto para a obtenção da lei-A-128, efetivamente correspondeu as expectativas e os valores encontrados, quando da montagem do protótipo do decodificador, ficaram dentro das especificações para este dispositivo.

CAPÍTULO VII

Comentários e Conclusões Finais

Este trabalho descreveu o desenvolvimento de um conversor não linear usando a técnica da multiplicação/divisão. A verificação da aplicabilidade da técnica proposta se deu através da obtenção de uma curva não linear conhecida como lei A-128, curva esta utilizada em sistemas de comunicações por modulação de código de pulso. Para isto foram implementados os blocos básicos necessários, e durante o processo de desenvolvimento dos mesmos, foram propostas modificações visando uma adequação e melhoria de desempenho.

O uso da técnica de multiplicação/divisão no desenvolvimento de conversores não lineares, traz como principal vantagem a redução do número de bits dos conversores D/As lineares comumente usados para este tipo de projeto. Obviamente, a exigência de uma menor resolução, nos conversores utilizados, acarreta em projetos menos complexos, com menor ciclo de projeto e menor custo de produto final. Uma outra vantagem atrelada a esta técnica é a sua inerente insensibilidade à variação térmica dos sinais recebidos dos conversores D/As em função de oscilações térmicas no cristal de silício. Esta insensibilidade também se estende a outros parâmetros dos conversores, como sua polarização, por exemplo.

Os conversores D/As desenvolvidos para serem utilizados no decodificador não linear utilizaram uma técnica que envolve transistores I^2L e transistores PNP laterais para gerar a curva de conversão. Os resultados obtidos nos testes destes conversores mostraram que as soluções adotadas para os erros previamente identificados foram boas e que esta técnica pode ser utilizada em projeto de conversores D/A lineares.

As alterações efetuadas no circuito multiplicador/divisor chaveado corresponderam as expectativas, não alterando o desempenho deste circuito ao ponto de inviabilizar o seu uso neste trabalho. É importante ressaltar que, apesar de se ter partido de uma estrutura previamente definida, as modificações ampliaram o seu uso, e a topologia final corresponde a uma mudança de conceito em relação ao circuito inicial, uma vez que agora utiliza-se a variação do valor da corrente que anteriormente era a de referência, para se efetuar a divisão.

Com relação aos valores medidos na montagem em "breadboard" do decodificador não linear, pode-se considerar que os mesmos encontram-se dentro dos valores previamente definidos, e que o seu desempenho viabiliza a proposta do uso da técnica de multiplicação/divisão em projetos de decodificadores não linear. Obviamente para o uso do conversor desenvolvido para uma aplicação particular, devem ser feitos os teste específicos para cada caso.

Como sugestão para prosseguimento deste trabalho fica a realização de uma fonte de tensão, para ser usada na geração da corrente de referência (I_0) no circuito multiplicador/divisor chaveado. Um outro trabalho que deve ser desenvolvido é a total integração deste dispositivo (conversores D/A lineares, malha lógica, e circuito multiplicador) e o estudo para a sua aplicação no desenvolvimento de um protótipo completo. Para isto sugerimos o projeto de um conversor MCP (CODEC), de modo a se obter em um único dispositivo, na forma monolítica, toda a estrutura exigida.

Um ponto que pode ser melhor analisado é o do uso da técnica de multiplicação/divisão, em outras aplicações além da decodificação não linear, proposta neste trabalho. O potencial deste princípio permite seu uso onde se deseje a geração de sinais analógicos, de um modo prático e eficiente a partir de uma codificação digital.

Em função das características deste método, um bom exemplo para ser estudado é o desenvolvimento de conversores D/A de alta resolução, a partir de conversores de resoluções mais baixas. É intenção do autor continuar o estudo deste princípio, neste campo.

Finalmente por tudo o que foi colocado, analisado e discutido ao longo deste trabalho, pode-se concluir que a metodologia utilizada para a obtenção dos conversores D/A e a técnica de multiplicação/divisão proposta, podem servir como uma interessante alternativa para projetistas que estejam envolvidos em projetos analógicos integrados.

Apêndice A

Estudo do Erro de Linearidade para a Técnica de Multiplicação-Divisão

Devido ao trabalho realizado, torna-se importante se fazer o estudo da influência das variáveis definidas na técnica de multiplicação-divisão na linearidade de sua função de transferência, e aplica-lo ao decodificador não linear.

A referência 29 nos fornece uma equação que possibilita o calculo da dispersão de uma função em relação às sua variáveis. Esta função é:

$$D_{\varphi} = \sum_{i=0}^n \left(\frac{\partial \varphi}{\partial x_i} \right)^2 D_{x_i} + \frac{1}{2} \sum_{i=1}^n \left(\frac{\partial^2 \varphi}{\partial x_i^2} \right)^2 D_{x_i}^2 + \sum_{i < j} \left(\frac{\partial^2 \varphi}{\partial x_i \partial x_j} \right)^2 D_{x_i} D_{x_j}$$

Aplicando a equação acima para a técnica de multiplicação-divisão e considerando genericamente sua função de transferência como sendo $\varphi = M_1 M_2 / M_3$, temos:

$$D_{\varphi} = \left(\frac{M_2}{M_3} \right)^2 D_{M_1} + \left(\frac{M_1}{M_3} \right)^2 D_{M_2} + \left(\frac{M_1 M_2}{M_3^2} \right)^2 D_{M_3} + \left(\frac{M_1 M_2}{M_3^3} \right)^2 D_{M_3}^2 + \left(\frac{1}{M_3} \right)^2 D_{M_1} D_{M_2} \\ + \left(\frac{M_1}{M_3^2} \right)^2 D_{M_2} D_{M_3} + \left(\frac{M_2}{M_3^2} \right)^2 D_{M_1} D_{M_3}$$

Fazendo $M_1 = I_A$; $M_2 = I_{b1}$; $M_3 = I_{b2}$ e $D_y = \Delta_y$; $D_{M_1} = \Delta_{Ia}$; $D_{M_2} = \Delta_{Ib1}$; $D_{M_3} = \Delta_{Ib2}$, e aplicando na equação obtida temos:

Apêndice B

Valores da lei-A medidos na saída do circuito multiplicador-divisor

Nível dentro do segmento	Segmentos do primeiro quadrante (Positivo)							
	1	2	3	4	5	6	7	8
0	5.4	14.7	25.1	41.3	66.2	126	240	456
1	6.4	15.3	26.1	43.2	69.4	132	252	477
2	7.0	15.8	27.3	45.1	72.7	139	264	499
3	7.5	16.4	28.3	47.1	76.1	145	276	520
4	8.0	17.0	29.4	49.0	79.4	151	288	542
5	8.6	17.5	30.5	51.0	82.7	157	300	563
6	9.2	18.1	31.5	52.9	85.9	164	312	585
7	9.7	18.6	32.6	54.9	89.2	170	324	606
8	10.3	19.2	33.7	56.8	92.5	177	336	628
9	10.8	19.8	34.8	58.8	96.1	183	348	649
10	11.4	20.4	35.9	60.8	99.2	189	360	670
11	11.9	20.9	37.0	62.8	103	196	371	691
12	12.4	21.5	38.0	64.7	106	202	384	712
13	12.9	22.1	39.1	66.7	110	209	396	734
14	13.5	22.6	40.2	68.7	112	215	408	756
15	14.1	23.4	41.3	70.7	116	222	420	778

Nível dentro do segmento	Segmentos do terceiro quadrante (Negativo)							
	1	2	3	4	5	6	7	8
0	+4.8	-3.9	-13.6	-31.6	-51.1	-107	-215	-418
1	+4.3	-4.5	-14.7	-33.5	-54.4	-113	-227	-440
2	+3.8	-5.1	-15.8	-35.5	-57.6	-119	-239	-462
3	+3.2	-5.6	-16.9	-37.5	-60.9	-126	-251	-483
4	+2.7	-6.2	-18.0	-39.4	-64.2	-132	-263	-505
5	+2.1	-6.8	-19.1	-41.4	-67.5	-139	-275	-526
6	+1.6	-7.4	-20.1	-43.4	-70.7	-145	-287	-548
7	+1.1	-7.9	-21.2	-45.3	-74.0	-152	-299	-567
8	+0.5	-8.5	-22.3	-47.3	-77.3	-158	-311	-590
9	-0.01	-9.0	-23.4	-49.2	-80.6	-164	-323	-612
10	-0.6	-9.6	-24.4	-51.2	-84.0	-171	-334	-633
11	-1.1	-10.1	-25.5	-53.2	-87.4	-177	-347	-654
12	-1.7	-10.7	-26.7	-55.2	-90.7	-184	-359	-676
13	-2.5	-11.3	-27.7	-57.1	-94.0	-190	-371	-697
14	-2.8	-11.9	-28.8	-59.0	-97.3	-197	-383	-719
15	-3.4	-12.6	-29.7	-61.1	-100	-203	-395	-741

Obs Todos os valores estão em miliVols

As tabelas apresentadas estão de acordo com os valores normalizados encontrados no livro laranja das recomendações do CCITT [32].

$$\begin{aligned} \nabla_y = & \left(\frac{I_{b1}}{I_{b2}}\right)^2 \nabla_{I_A} + \left(\frac{I_A}{I_b}\right)^2 \nabla_{I_{b1}} + \left(\frac{I_A I_{b1}}{I_{b2}^2}\right)^2 \nabla_{I_{b2}} + \left(\frac{I_A I_{b1}}{I_{b2}^3}\right)^2 [\nabla_{I_{b3}}^2]^2 + \left(\frac{1}{I_{b2}}\right)^2 \nabla_{I_A} \nabla_{I_{b1}} \\ & + \left(\frac{I_A}{I_{b2}^2}\right)^2 \nabla_{I_{b1}} \nabla_{I_{b2}} + \left(\frac{I_{b1}}{I_{b2}^2}\right)^2 \nabla_{I_{b2}} \nabla_{I_{b2}}; \end{aligned}$$

ou seja, temos o valor da dispersão final da função de transferência da técnica da multiplicação-divisão, em relação as suas variáveis aleatórias de entrada.

Considerando o erro máximo para o decodificador D/A não linear como sendo $\pm 1,56\%$, e utilizando o erro máximo encontrado para cada corrente dos conversores D/A lineares, verificou-se que a máxima dispersão permitida ficou sempre dentro dos valores que corresponderam a um erro final abaixo do especificado.

A análise acima é válida para o decodificador não linear. Porém quando se deseja saber o erro máximo permitido ao fator correspondente à divisão, (devido aos D/As de 3 + 1 bits), deve-se desconsiderar o efeito dos D/As de 5 bits. Neste caso, aplicando-se a equação apresentada para valores do final do segmento obtém-se que o erro máximo permitido será de $\pm 1,0\%$

REFERÊNCIAS BIBLIOGRÁFICAS

[1] JORGE, A. M. "Ensaio no Projeto, Construção de um Decodificador D/A, MCP, com técnica I²L" tese de Doutorado apresentada a UNICAMP em junho de 1982.

[2] KANEKO, H.: "A Unified Formulation of Segment Companding Laws and Synthesis of CODEC in Digital Campondors" The Bell System Tecnicall Journal vol 4 s n^o 7 pp 1555 - 1588, Septembro de 1970.

[3] American Telephone and Telegraph. "The 3 Channel Bank Specification" outubro de 1974, n^o 2.

[4] DIAS, J.A. "Projeto de um Conversor D/A Não Linear Integrado (Lei - a - 128) em Tecnologia Bipolar "Tese de Doutorado apresentado a UNICAMP em junho de 1985.

[5] BOTURA, Jr. G. "Projeto de um Multiplicador Chaveado" Tese de mestrado apresentado a UNICAMP em Junho de 1985.

[6] OHRI, K.B. and CALLAHAN Jr., M. "Integrated PCM CODEC" IEEE I.S.S.C. vol SC-14 Febrery, 1979 pp 38-46.

[7] YANO, K etc etal "A Per CHANNEL LSI CODEC For PCM Communications" IEEE JSSC vol sc-14 n^o 1 Febrary 1979 pp 07-13.

[8] WOOLEY, B. A. etc etal "An Integrated Interpolative PCM Decoder" IEEE JSSC vol sc 14 n^o 1 Febrary 1979 pp 20-24.

[9] CAVES JT etc etal "A PCM Voice CODEC with On-Chip Filters" IEEE JSSC vol sc 14 n^o 1 Febrary 1979 pp 65-73.

[10] BLAUSCHILD, R. A. etc etal "A Single Chip I^2L PCM CODEC" IEEE JSSC vol sc 14 n^o 1 February 1979 pp 59-64.

[11] CANDY, J.C., "A Per CHANNEL A/D Converter Having 15 Segment^m-255 Companding" IEEE Transactions on communications vol com 24 n^o01, January 1976 -- 33-42.

[12] HART, K., SLOB, A., Wulms, H. E. "Bipolar LSI Takes a New Direction With Integrated Injection Logic " IEEE JSSC, vol sc-7, October 1972.

[13] BERGER, H. H., Wiendmann, S.K., "Merged Transistor Logic (MLT)" - A Low Cost Bipolar Logic Concept", IEEE JSSC, vol sc-7, Oct 1972.

[14] FERREIRA, L.O.S., BEZERRA, P.C.: Minimização dos Comprimentos das Linhas de Metalização de Diagramas Rascunhos de Circuitos Integrados I^2L e MOS. CODEX RT-019, LED/FEC/UNICAMP, março de 1980.

[15] HALBOLT, 1 - "Integrated Injection Logic: A Review of Its Status an Prospects" microelectronic Journal vol 13 n^o 2 pp 5-11.

[16] Control Data Corporations-Controlador de Periféricos da série/1.

[17] SILVEIRA, D.R. MONSÃO, I.C., DIAS, J.A.; "EDMAS-Editor de Máscaras para Circuitos Integrados" II Congresso da Sociedade Brasileira de Microeletronica - 1987, pg 395.

[18] DIAS, J.A.; JORGE, A.M; BAILBÉ, J.P. "Redução do Ganho de Transistores I^2L Devido ao Alargamento da Base Dentro do Emissor, II Simpósio Brasileiro de Microeletronica pp 35-40.

[19] GILBERT, B: "A New Wide-Band Amplifier Technique", IEEE J Solid State Circuito, 1968 pp 353-365.

[20] NAGEL, L.W.: "A Computer Program to Simulate Semiconductor Circuits". Memorandum n° ERL-M520 University of California.

[21] GILBERT, B "Tranlinear Circuits: A Proposed Classification" Electronics Letters, January 1975, vol 11, n° 01, pp:14-17.

[22] JESPRE, P.G.A. "Trends in Design of Monolithic Converter" IV , Congresso da Sociedade Brasileira de Microeletrônica, pp: 141-149, 12 -14 de julho de 1989, Porto Alegre, R.S.

[23] SAH, C.T., "Effect of Surface Recombination on a channel on a PN Junction and Transistor Characteristics", IRE trans. Electronics Device, Vol ED-9 pp:56 - 63.

[24] The Engineering Staff of Analog Device " Analog - Digital Conversion Handbook" Analog Device Inc, 1976

[25] MENEZES, S.A. "Conversão Analógica-Digital Ultra Rápida em corrente em tecnologia Bipolar - Nova Proposta" tese de doutorado apresentada à UNICAMP em 06 de julho de 1990.

[26] AVILEZ FILHO, O., "Nova Técnica de Conversão Analógica-Digital não Linear" tese de doutorado apresentada à UNICAMP em 08 de julho de 1986.

[27] YIN, K.K.; SCARABUCCI, R.R. "Projeto de um CODEC Não Linear para Sistemas Multiplex MCP de 30 Canais Telefônicos" Relatório Técnico RT-03 do Contrato TELEBRAS 680/73 , UNICAMP, Março de 1974.

[28] REY, G. e LETURCO, P. "Théorie Approfondue du Transistor Bipolaire" Masson & Cie Editeurs, 1972.

[29] VENTSEL, H. "Théorie des Probabilités" Editora Mir Moscou", 1987.

[30] DELOTAINE, E. M. e REEVES, A. H. "The 25th Anniversary of Pulse Code Modulations" IEEE Spectrum, pp 56-57, maio de 1965.

[31] SCHOEFF, J. A. "A Monolithic Comanding D/A Converter" IEEE ISSCC Digest of Tecnical Paper, pp 58-59 ,Fevereiro de 1977.

[32] The International Telegraph and Telephone Consultive Commitee, "Orange Book" Geneva, 1977