

ANTONIO SERGIO CAVALCANTI DE MENEZES
Bacharel em Física - UFPb, 1977
Mestre em Engenharia Elétrica - UFPb, 1980

CONVERSÃO ANALÓGICO-DIGITAL ULTRA-RÁPIDA EM CORRENTE
EM TECNOLOGIA BIPOLAR - NOVA PROPOSTA.

Tese apresentada à Faculdade de Engenharia Elétrica da
UNICAMP como requisito parcial para a obtenção do título de
Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. Oséas Valente de Avilez Filho.

UNIVERSIDADE ESTADUAL DE CAMPINAS
FACULDADE DE ENGENHARIA ELÉTRICA
DEPARTAMENTO DE ELETRÔNICA E MICROELETRÔNICA
LABORATÓRIO DE ELETRÔNICA E DISPOSITIVOS

JULHO DE 1990

Este exemplar corresponde à redação final da tese
defendida por Antonio Sérgio Cavalcanti
de Menezes e aprovada pela Comissão
Ju'gadora em _____


Orientador

UNICAMP
BIBLIOTECA CENTRAL

"O sacrificio de subir a montanha é compensado pela visão que se deslumbra do alto"

AGRADECIMENTOS

- À minha esposa pelo seu constante incentivo, compreensão e encorajamento, não só em relação a este trabalho, mas tudo o mais que logrei realizar na vida.
- Às minhas filhas Andréa e Adriana pelos momentos em as privei de minha companhia para me dedicar ao trabalho de elaboração de tese.
- Ao professor Dr. Alberto Martins Jorge que tem como poucos uma grande capacidade acadêmica da qual muito me valí. O mérito das suas orientações não estão apenas nos seus incontáveis incentivos mas, também, na sua participação ativa no trabalho, particularmente no aprimoramento do algoritmo de conversão A/D de corrente.
- Ao professor Dr. Oséas Valente de Avilez Filho pelo trabalho de orientação de tese, dando o apoio técnico e material fundamentais para o êxito deste trabalho.
- Ao professor Dr. José Antonio Siqueira Dias pelas suas orientações e sugestões, transferindo sua experiência no projeto do conversor digital-analógico de 6 bits objeto de sua Tese de Doutorado.
- Aos bons amigos do LED que fiz durante a minha estada na Unicamp e que me propiciaram um ambiente agradável de trabalho.
- Ao sofrido e explorado povo brasileiro, que com seu trabalho duro financiou a minha formação até chegar ao título máximo universitário. A ele o meu compromisso de usar esta formação na tentativa, ainda que indireta, de retribuir com trabalho profícuo pela melhoria da sua qualidade de vida.

R E S U M O

Neste trabalho apresentamos uma nova técnica de conversão analógico-digital ultra-rápida de corrente que denominamos *semi-flash*. Um conversor A/D de 8 bits em tecnologia bipolar todo NPN foi projetado e simulado numericamente pelo programa SPICE 2. Para isso, empregou-se os parâmetros de processo da SID-Microeletrônica-Contagem-Minas Gerais, uma tecnologia de 300MHz. Também consideramos a tecnologia de 5GHz e 10GHz da Plessey Research, Inglaterra.

O trabalho está dividido basicamente em quatro partes: a primeira (capítulo 1), onde se apresenta uma visão geral das técnicas de conversão A/D ultra-rápidas; a segunda (capítulos 2 e 3), onde se apresenta o novo algoritmo de conversão A/D para corrente e a descrição geral do circuito que o realiza; a terceira (capítulo 4), onde se descreve os resultados da simulação computacional; e a quarta (capítulo 5), com os resultados de uma implementação física com um ADC de 2 bits e conclusões.

Os testes mostraram que os conversores construídos segundo a técnica proposta podem apresentar um bom compromisso velocidade X tamanho. A conversão apresentou velocidades que variaram de 8 a cerca de 160MHz.

A B S T R A C T

In this work we present a new ultra-fast analog-digital conversion technique of current that we named *semi-flash*. A 8-bit A/D converter, all in bipolar NPN transistor, was designed and simulated using the computer program SPICE 2. For simulation, we consider the process parameters of the SID-Microeltrônica-Contagem-Minas Gerais, a 300MHz technology. The 5GHz and 10GHz technology of the Flessey Research, England, was considered too.

The work is divided basicly in four parts: the first (chapter 1) where we present a overall view of the known ultra-fast A/D conversion techniques; the second (chapters 1 and 2) where we present a new algorithmic of A/D conversion for current and a general description of the circuit that realizes him; the third (chapter 4) that describes the results of the computational simulations; and the fourth (chapter 5) with results of a 2-bit hardware implementation and conclusions.

The tests show that the converters made from this technique may have a good compromise between velocity and side. The conversion reaches velocity varying from 8 to around 160MHz, depending on the the technology considered.

I N D I C E

1. CONVERSÃO ANALÓGICO-DIGITAL ULTRA-RÁPIDA	
1.1- Introdução - conversão <i>flash</i>	1
1.2- Conversor Serial-Paralelo	3
1.3- Conversor Analógico-Digital <i>Pipeline</i>	6
1.4- Conversor por Multiplexação Temporal	7
1.5- Topologias Não Convencionais	9
2. CONVERSÃO ANALÓGICO-DIGITAL EM CORRENTE	
2.1- Introdução	15
2.2- Algoritmo de Conversão	18
2.3- Implementação do Algoritmo	20
2.4- Sobre-Eleveção de Sinal (<i>glitch</i>)	28
2.5- Adaptação do Algoritmo Proposto (Fig. 2.5) à definição Simultânea dos dois bits mais significativos.	29
2.6- Chave de Corrente	34
2.7- Comparação de Correntes	37
2.8- Fontes de Erro do ADC	38
2.8.1- Corrente de Polarização de Entrada dos Comparadores	39
2.8.2- Tensão e Corrente de <i>Offset</i> de entrada dos Comparadores	43
2.8.3- Desvio Relativo nos Resistores de Degeneração	47
3. IMPLEMENTAÇÃO DO ALGORITMO PROPOSTO	
3.1- Considerações Gerais	49
3.2- O comparador	51
3.3- Geração das Correntes Binárias - 1a. Parte.	56

3.4- Geração das Correntes Binárias - 2a. Parte	59
3.5- Simulação do Algoritmo de Conversão com Teste de Distribuição Normal.	63
3.6- Número Efetivo de Bits.	65
4. RESULTADOS DE SIMULAÇÕES DE UM CONVERSOR A/D DE 6 BITS	
4.1 Simulação do Conversor	69
4.2 A simulação e Seus Parâmetros	70
4.3 Testes	72
4.3.1 Teste Estático do Conversor A/D	72
4.3.2 Testes Dinâmicos	81
5 SOBRE A MONTAGEM DE UM CONVERSOR A/D DE 2 BITS	
5.1 Montagem	92
5.2 Testes e resultados.	
CONCLUSÃO	97

NOMENCALTURA USADA

A/D: analógico-digital

ADC: conversor analógico-digital

AS: aproximação sucessiva.

ALGN: referência a um algoritmo N qualquer. Exs: ALG1, ALG2, etc.

α : ganho estático de corrente de um transistor bipolar em base comum.

$B_0, B_1, B_2, \dots, B_{N-1}$: variáveis lógicas de saída de um conversor A/D de N bits.

$\bar{B}_0, \bar{B}_1, \bar{B}_2, \dots, \bar{B}_{N-1}$: variáveis lógicas complementares de saída de um ADC de N bits

β : ganho estático de corrente de um transistor bipolar em configuração de emissor comum

C_1, C_2 e C_3 : variáveis lógicas de saída de um ADC paralelo de corrente de 2 bits antes de decodificá-las.

\bar{C}_1, \bar{C}_2 e \bar{C}_3 : variáveis lógicas complementares de saída de um ADC paralelo de corrente de 2 bits idem.

CST: conversor A/D sob teste.

D/A: digital-analógico.

DAC: conversor digital analógico.

δ : desvio.

ε : erro.

ECL: Emitter Coupled Logic.

ENLD: erro de não-linearidade diferencial.

f_T : frequência em que o ganho de corrente de um transistor bipolar em emissor comum cai a 1.

I: corrente analógica genérica.

I_C : corrente de coletor de um transistor bipolar.

I_E : corrente de emissor de um transistor bipolar.

LSB: bit menos significativo.

N: número de bits de um ADC.

N': número efetivo de bits de um ADC.

NLI: não-linearidade integral.

Q: referência a transistor (bipolar).

R_C : resistência de coletor de transistor bipolar.

R_E : resistência de emissor de transistor bipolar.

τ_C : tempo de conversão de ADC.

τ_R : tempo de resposta dos comparadores.

TTL: Transistor-Transistor Logic.

V_{BE} : tensão base-emissor de transistor bipolar.

V_B : tensão de base de transistor bipolar.

V_{IN} : tensão diferencial de entrada dos comparadores.

$V_{O1}, V_{O2}, \dots, V_{ON}$: tensões diferenciais de saída dos comparadores.

V_{os} e I_{os} : tensão e corrente de *offset* de entrada dos comparadores, respectivamente.

V_R e I_R : tensão e corrente de fundo de escala de um ADC. Também, tensão e corrente de referência.

VRMS: Voltage-Root-Mean-Square.

V_T : tensão equivalente de temperatura.

V_x e I_x : variáveis analógicas de entrada (tensão e corrente, respectivamente).

CAPITULO 1

CONVERSÃO ANALÓGICO-DIGITAL ULTRA-RÁPIDA

1.1- INTRODUÇÃO

O princípio mais usado para se realizar conversão analógico digital (A/D) ultra-rápida é a conversão paralela, ou como se conhece, a conversão *flash*. Pode-se encontrar vários destes conversores na literatura para 6, 8 e até 10 bits com taxas de amostragens que variam desde 20 a 200MHz, ou mais [1,2,3].

Um conversor *flash* que fornece N bits está mostrado na Fig. 1.1. Consiste de um arranjo de 2^N comparadores, um estágio de decodificação subsequente e um *latch* de saída para cada bit. A tensão analógica de entrada é comparada simultaneamente com 2^N tensões de referência igualmente espaçadas e geradas por uma cadeia de 2^N resistores. Os resultados digitais destas comparações são processados pelo estágio de decodificação para obtenção do dado binário à saída.

Um conversor paralelo de 3 bits, por exemplo, é constituído de $2^3 - 1 = 7$ comparadores, 7 registradores 8 resistores e um estágio de decodificação para fornecer à saída a palavra binária de 3 bits que é a informação desejada.

À medida em que se aumenta o número de bits desejados, há

um aumento significativo na complexidade do circuito, principalmente no que diz respeito à decodificação. Também surgem problemas relacionados com diferenças no tempo de resposta dos comparadores e não linearidades na geração das tensões limiares devido às correntes de polarização dos comparadores. Alguns conversores paralelos realizam a decodificação por uma ROM (Read Only Memory) tendo capacidade para 2^N palavras com comprimento N. Os diodos da ROM são baseados na tecnologia SOS (Silicon-on-Sapphire) de alta velocidade [4].

A despeito de sua velocidade, o conversor *flash* apresenta alguns grandes inconvenientes que limitam o seu número de bits: grande área de integração, grande capacitância de entrada oferecida pelo conversor devido ao grande número de comparadores e a um consumo excessivo de energia, principalmente quando se emprega tecnologia bipolar que é a mais rápida. O conversor A/D TDC1007 da TRW, por exemplo, realiza uma conversão em 8 bits e é fabricado usando tecnologia bipolar de alta velocidade [5]. O circuito contém 256 comparadores com *latch*, uma cadeia de 256 resistores que geram 256 tensões limiares e uma lógica de decodificação. Os comparadores ocupam a maior parte do chip. A capacitância oferecida ao sinal de entrada é cerca de 300PF. Assim, um *buffer* de entrada é imprescindível. Em alguns casos os comparadores são divididos em grupos de 8 ou 10 e há um *buffer* para cada um desses grupos. O circuito opera a uma taxa máxima de amostragem de 35MHz (o fabricante especifica para 20MHz), tensão de entrada de 0-2V e consome 2,5 W - um consumo excessivo.

Para contornar o problema do consumo excessivo de energia, emprega-se a tecnologia CMOS [6]. Tem-se conseguido conversores *flash* de 5 bits usando tecnologia NMOS com consumo de apenas 50mW [7], obje

tivo este inalcançável com tecnologia bipolar. Por outro lado, taxas de conversão da ordem de 1GHz são obtidas com tecnologia de GaAs [8]. Uma tecnologia híbrida bipolar-GaAs é empregada no conversor A/D desenvolvido pela Hewlett-Packard para seu osciloscópio HP 54111D [9]. Tecnologia de GaAs é usada no circuito de amostragem e retenção [10] e a de silício bipolar na digitalização do sinal.

De maneira geral a conversão *flash* está limitada a 8 bits.

Há muitas tentativas de se superar o compromisso entre tamanho e velocidade dos conversores ultra rápidos [11,12,13,14]]. Em tais casos, consegue-se uma redução na área de integração com inevitável redução da velocidade. A técnica mais usada nestes casos é a *sub-range*, ou serial-paralela, que será descrita a seguir.

1.2 CONVERSOR SERIAL-PARALELO

A técnica *subrange* consiste no uso de dois ou mais conversores *flash* para se realizar uma conversão em duas ou mais etapas. Por simplicidade, será demonstrado o emprego desta técnica para um conversor de 4 bits com duas subconversões de 2 bits. O conversor que tem como entrada a tensão analógica V_x e como saída a palavra digital formada pelos bits B_0 , B_1 , B_2 e B_3 está mostrado na Fig. 1.2. Consiste de 2 ADCs *flash* que fornecem 2 bits cada um, 1 conversor digital-analógico também de 2 bits e 1 amplif. diferencial de erro com ganho $2^2 = 4$

Cada ADC tem $2^2 - 1 = 3$ comparadores mais a lógica de decodificação. O conversor D/A tem a mesma tensão de referência dos conversores A/D, ou seja, V_x . O módulo analógico subtrai da tensão de entrada a tensão de saída do DAC e multiplica a diferença por 4.

O primeiro ADC fornece os bits mais significativos B_0 e

VR: TENSÃO DE REFERÊNCIA
VX: SINAL DE ENTRADA

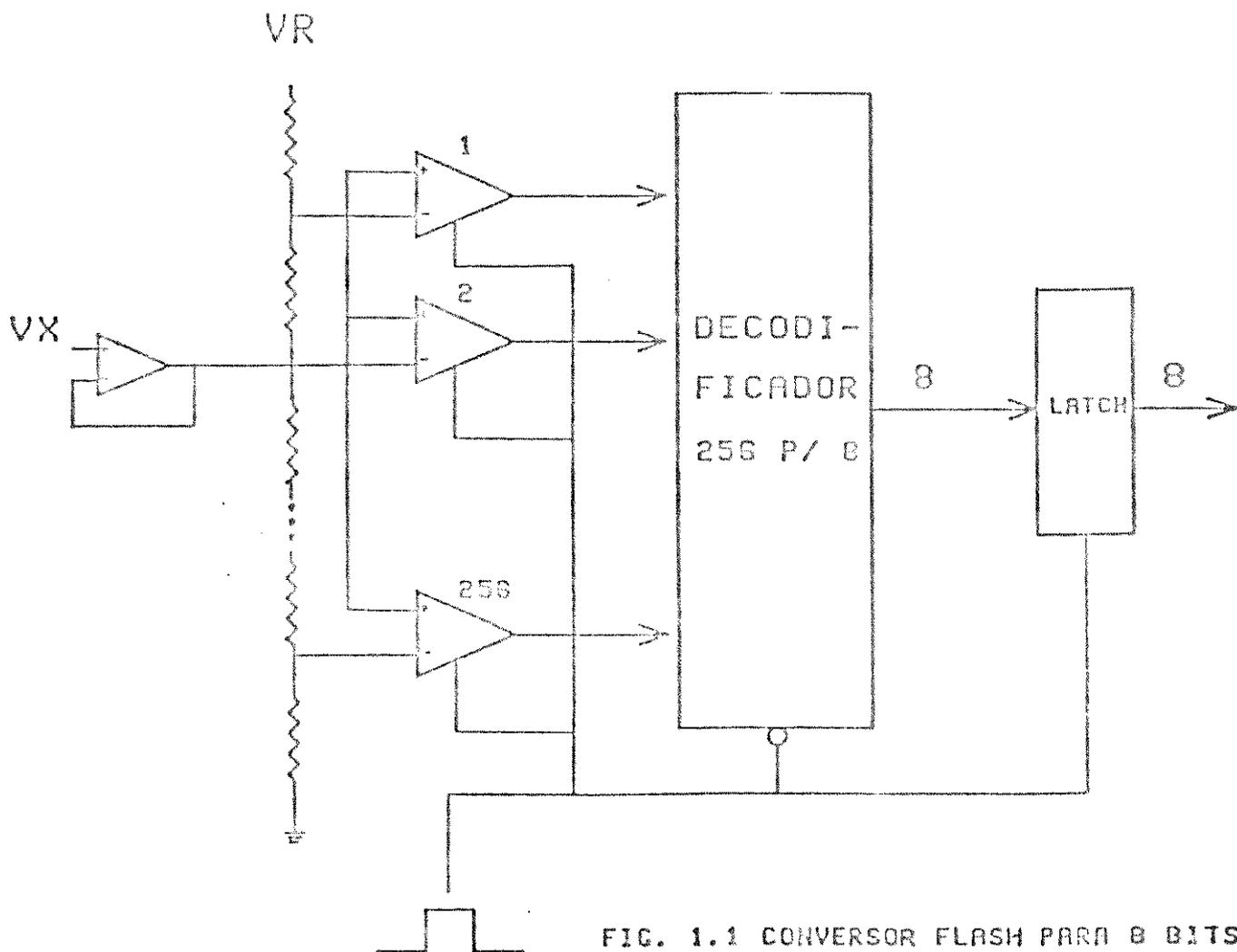


FIG. 1.1 CONVERSOR FLASH PARA 8 BITS

B_1 . O DAC fornece uma tensão de saída V_1 que pode ser escrita como:

$$V_1 = B_0 \cdot V_R / 2 + B_1 \cdot V_R / 4 \quad (1.1)$$

A diferença $V_X - V_1$ é multiplicada por 4 e enviada para o

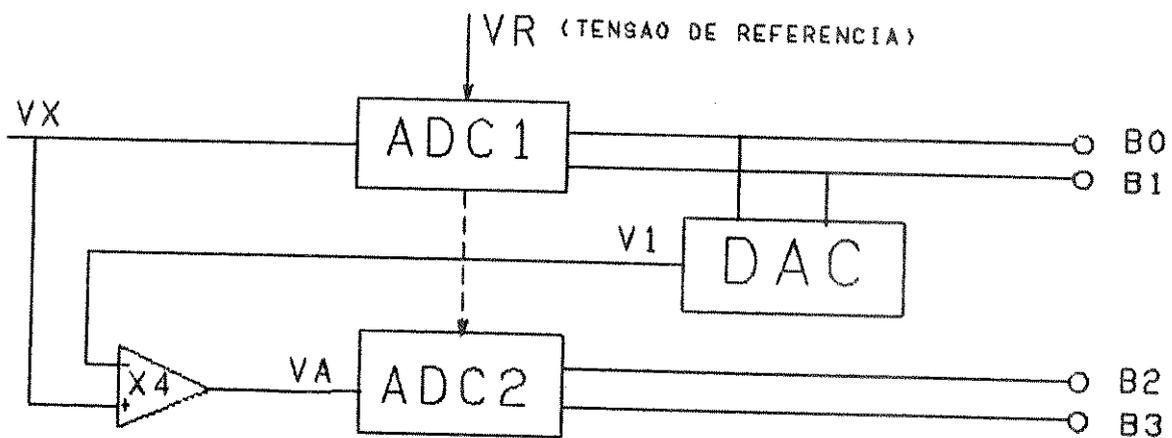


Fig. 1.2 - Conversão analógico-digital *subrange*

segundo ADC e, assim,

$$V_A = 4 \cdot (V_X - V_1) = B_2 \cdot V_R / 2 + B_3 \cdot V_R / 4 \quad (1.2)$$

Combinando (1.1) com (1.2) tem-se:

$$V_X = B_0 \cdot V_R / 2 + B_1 \cdot V_R / 4 + B_2 \cdot V_R / 8 + B_3 \cdot V_R / 16 \quad (1.3)$$

Um número maior de bits pode ser obtido colocando-se mais estágios de conversão ou convertendo-se mais bits por vez. Assim, um conversor de 6 bits poderia ser realizado com três estágios de 2 bits ou dois de 3 bits.

A precisão da conversão como um todo depende dos ADCs e dos DACs intermediários, mas para reduzir seu custo os ADC não precisam ter a mesma precisão. A mesma depende principalmente do primeiro estágio. O erro tolerado no segundo estágio pode ser 4 vezes maior do que o primeiro, o do terceiro 4 vezes maior do que o segundo e, assim, por diante.

O grande problema desta técnica é a limitação na velocidade imposta pelos amplificadores de erro devido ao seu tempo de acomodação (*settling time*). Esse tempo nos amplificadores tipicamente não é inferior a $1\mu s$, o que corresponde, a grosso modo, ao tempo mínimo de conversão do ADC como um todo. Em outras palavras, a taxa de conversão dificilmente ultrapassa 1MHz quando se emprega esta técnica.

A Crystal Semiconductor utilizou a técnica *subrange* no seu conversor de 12 bits, o CSZ5412 de 1MHz [15]. Primeiro, ele amostra a entrada V_x num amplificador de retenção e amostragem (S/H). Uma vez que o sinal está "guardado", um conversor *flash* de 6 bits fornece os seis bits mais significativos. Estes bits são então carregados num DAC também de 6 bits. A saída do DAC é subtraída da entrada "guardada" no S/H e amplificada por $2^6 = 64$. Um segundo ADC *flash* de 6 bits fornece os seis bits menos significativos. Uma conversão completa leva $1,3\mu s$ e para operar a 1MHz de taxa de conversão ($1\mu s$ de tempo de conversão) utiliza *pipeline*. Esta técnica será descrita a seguir.

1.3 CONVERSOR ANALOGICO DIGITAL PIPELINE [16]

Observando o conversor da Fig. 1.2 vê-se que o sinal de entrada flui sequencialmente através dos estágios de conversão. Como a decisão em cada estágio depende do resultado anterior, cada estágio

esta engajado na conversão durante apenas uma fração do tempo total de conversão. A ideia dos conversores *pipeline* é fazer com que o primeiro estágio sempre opere com a amostragem mais recente enquanto próximo o estágio opera com o resíduo da amostragem anterior e assim por diante.

A estrutura básica de um conversor *pipeline* está mostrada na Fig.1.3 que, para simplificar as explicações, está reduzida a dois estágios.

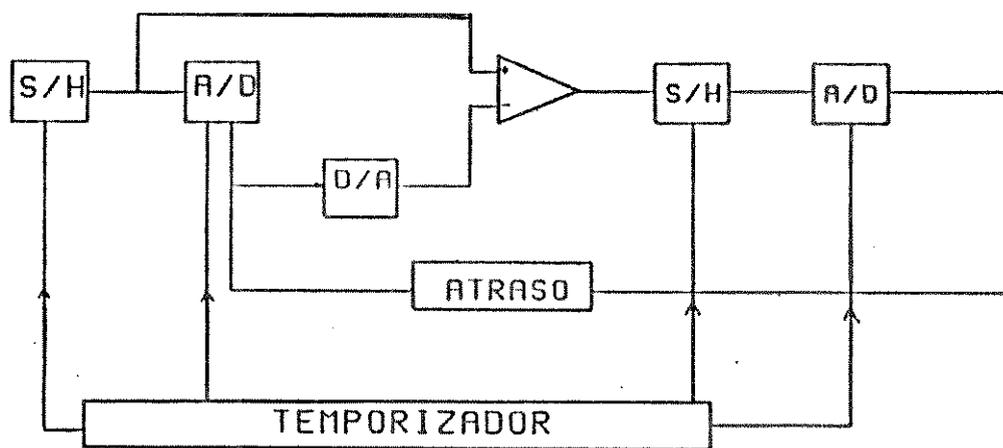


Fig. 1.3 - Conversão analógico-digital *pipeline*.

A estrutura é semelhante à mostrada na Fig. 1.2, com o acréscimo de um circuito de temporização, de unidades de retardo digital e de um *sample-and-hold* antes de cada ADC.

1.4 CONVERSOR POR MULTIPLEXAÇÃO TEMPORAL [17]

Nesta técnica M conversores de N bits são arranjados para trabalhar em paralelo. À entrada de cada conversor tem-se um circuito

de retenção e amostragem. Se t_c é o tempo de conversão de cada um dos N conversores, uma amostragem é feita em intervalos de t_c/M sucessivamente em cada S/H. Assim, no tempo zero, por exemplo, uma amostragem realizada no primeiro S/H; no tempo t_c/M , no segundo; no tempo $2.t_c/M$, no terceiro e, assim, por diante. Enquanto está sendo realizada uma amostragem em um estágio, o resto dos conversores procedem as várias etapas do processo de conversão. O sinal de saída é obtido multiplexando em intervalos de tempo t_c/M as saídas dos vários ADCs. Quando o circuito de temporização faz a amostragem do sinal de entrada para o último conversor, ele armazena no registrador de saída o resultado da conversão do primeiro conversor. Tudo se passa como se o conversor tivesse t_c/M de tempo de conversão.

Neste caso não há nenhuma economia de circuito, como na técnica serial-paralelo. Ao contrário, em se querendo uma conversão M vezes mais rápido usando um determinado conversor (sempre *flash*) o circuito ficará também M vezes maior.

O osciloscópio da HP, anteriormente citado, utiliza um ADC valendo-se desta técnica com $M = 4$ e 250MHz de taxa de conversão para cada um dos 4 conversores. Obtém-se, assim, de taxa de conversão global de 1GHz.

Encerra-se aqui a descrição das soluções clássicas para a realização de conversão analógico-digital ultra-rápida. A seguir, se fará algumas propostas de topologias de ADC que tem a mesma filosofia do *flash*, isto é, são conversores rápidos e ultra-rápidos e conceitualmente simples que, como este, dispensam o relógio e qualquer lógica de controle. Podem substituir diretamente o conversor *flash* - respeitada a diferença de velocidade em relação à este (o *flash* ainda é o

mais rápido)- em qualquer das estruturas apresentadas acima. A característica comum e fundamental nestas topologias é que os conversores usam um comparador para cada bit desejado e os bits são obtidos diretamente, isto é, sem decodificação. Isto proporciona uma redução drás-

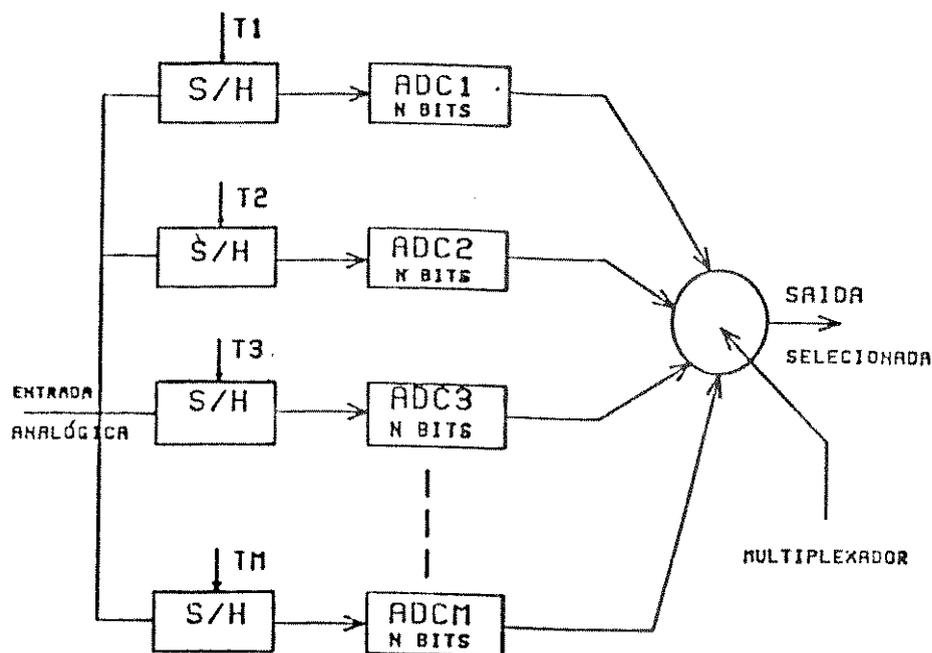


Fig. 1.4 - Conversão A/D multiplexada no tempo.

tica no tamanho e, conseqüentemente, no custo e no consumo de energia em relação ao *flash*.

Alguns dos circuitos propostos podem ser facilmente implementados em placa de circuito impresso. Outros são propostas que se adequam melhor para integração.

1.5 TOPOLOGIAS NÃO CONVENCIONAIS

Em todas as estruturas descritas acima se buscou aliar velocidade com precisão com um quase inevitável aumento da complexida-

de do circuito.

A estrutura mostrada na Fig. 1.5 é um exemplo de conversor simples e rápido [18]. Só precisa de um comparador para cada bit desejado. Assim, quatro bits, quatro comparadores. O outro conjunto de quatro comparadores junto com as resistências R_F servem para criar uma pequena histerese, histerese esta que serve para diminuir a sensibilidade do circuito ao ruído eventualmente presente no sinal de entrada V_X .

A informação binária desejada -A, B, C e D- está presente na saída dos quatro comparadores e possuem níveis lógicos 0 e 1. Estes, por sua vez, comparam a tensão de entrada V_X com as tensões V_1 , V_2 , V_3 e V_4 onde são geradas pelos resistores R_1 , R_2 , R_3 e R_4 , sendo que $R_1 = R_2 = R$, $R_3 = R/2$, . . . e $R_4 = R/4$. Assim,

$$V_1 = V_R/8 \quad (\text{se } V_X > V_1, A = 1. \text{ Se } V_X \leq V_1 \text{ então } A = 0) \quad (1.4)$$

$$V_2 = A \cdot V_R/2 + V_R/4 \quad (\text{se } V_X > V_2, B = 1. \text{ Outro caso, } B = 0) \quad (1.5)$$

$$V_3 = A \cdot V_R/2 + B \cdot V_R/4 + V_R/8 \quad (\text{idem para C}) \quad (1.6)$$

$$V_4 = A \cdot V_R/2 + B \cdot V_R/4 + C \cdot V_R/8 + V_R/16 \quad (\text{idem para D}) \quad (1.7)$$

Pode-se notar nas equações acima que a obtenção de um determinado bit depende do resultado do bit que o precede. Portanto, o algoritmo obedece ao princípio da aproximação sucessiva. A tensão de fundo de escala do conversor é V_R . O tempo de conversão é, a grosso modo, 4 vezes o tempo de atraso dos comparadores. O circuito foi originalmente proposto para ser implementado com o comparador LM339 da Natio-

VR: TENSÃO DE REFERÊNCIA

VX: TENSÃO DE ENTRADA

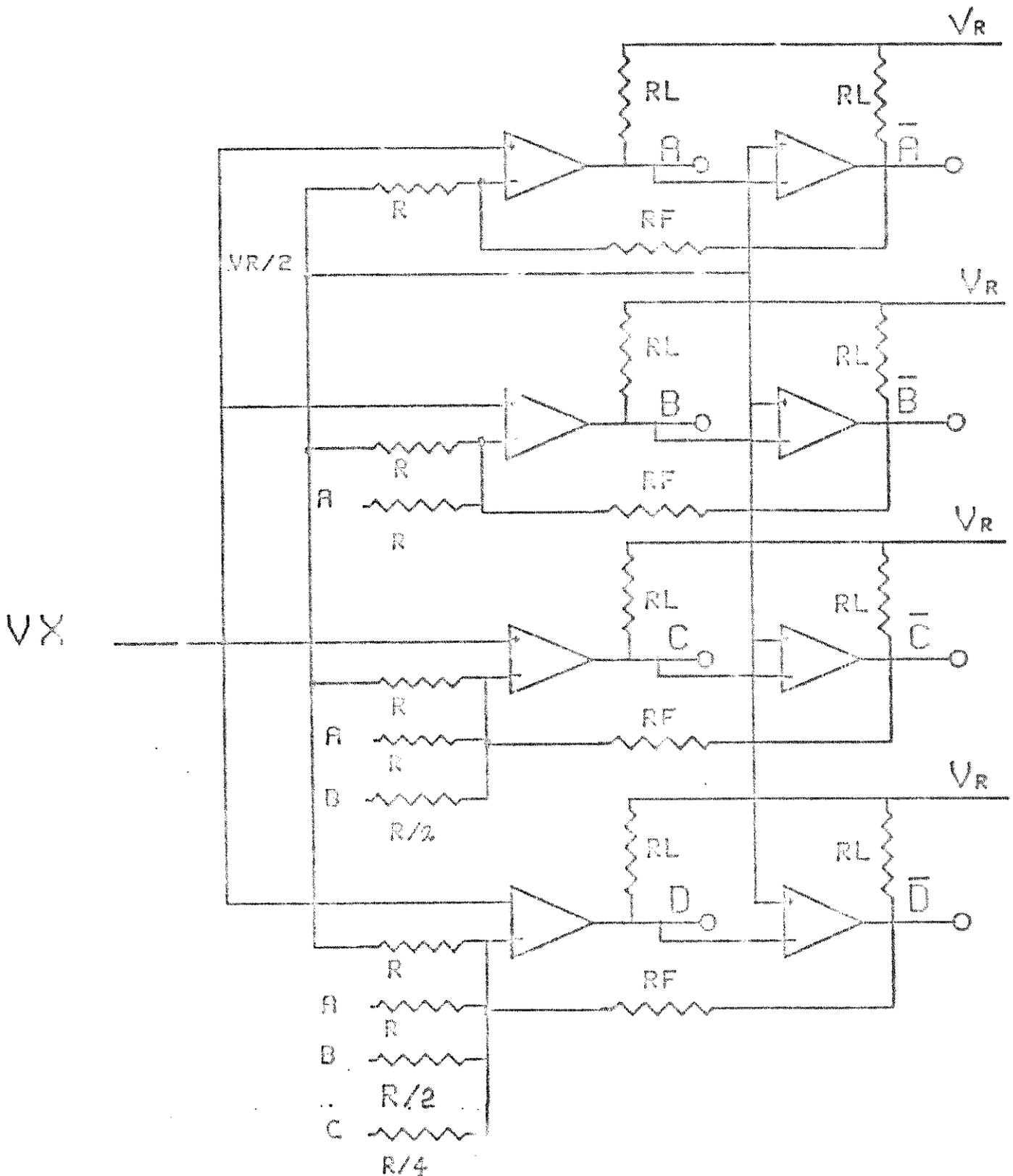


FIG. 1.5- PRIMEIRA TOPOLOGIA NÃO CONVENCIONAL DE CONVERSAO ANALÓGICO-DIGITAL

nal, que tem um tempo de atraso de aproximadamente $1\mu\text{s}$, o que dá um tempo de conversão de $4\mu\text{s}$. Assim, o conversor consegue operar a taxa de conversão de 250KHz. Se fosse possível realizar este conversor com 8 bits, este trabalharia a uma taxa cerca de 125KHz. Substituindo o LM339 pelo LM319 que tem um tempo de atraso de 80ns, o conversor de 4 bits trabalharia com 2,5MHz e o de 8 bits com 1,25MHz, velocidades estas bem superiores aos conversores por aproximação sucessiva convencionais que têm uma taxa típica de conversão de 50KHz.

Infelizmente com esta técnica dificilmente se pode ter mais 4 bits devido à problemas de precisão que se devem a:

- Resistência de carga R_L à saída dos comparadores que, quando em nível alto aparecem em série com as resistências R_1 , R_2 , R_3 e R_4 ocasionando um erro, já que isto não acontece quando o comparador está em nível baixo. Para compensar este efeito, aquelas resistências tem que ter valores altos, aumentando o ruído de entrada.

- O nível lógico zero à saída dos comparadores não é zero volt e, sim, 0,15V.

- Com o aumento do número de bits, há um aumento na dispersão dos resistores responsáveis pela geração das tensões V_1 , V_2 , V_N . Para 8 bits, por exemplo, o maior valor seria 100K Ω e o menor valor cerca de 1,5K Ω .

Com sacrifício da velocidade pode-se contornar os problemas acima descritos. A solução está mostrada na Fig.1.6. Para gerar V_1 , V_2 , ..., V_N pode-se fazê-lo por malhas R-2R. A saída de cada comparador manipula uma chave analógica. Se em nível alto, a chave conectará R_1 , R_2 , ..., R_N à tensão de referência V_R . Caso contrário, a conexão será feita para o terra fazendo coincidir o zero lógico com o ze-

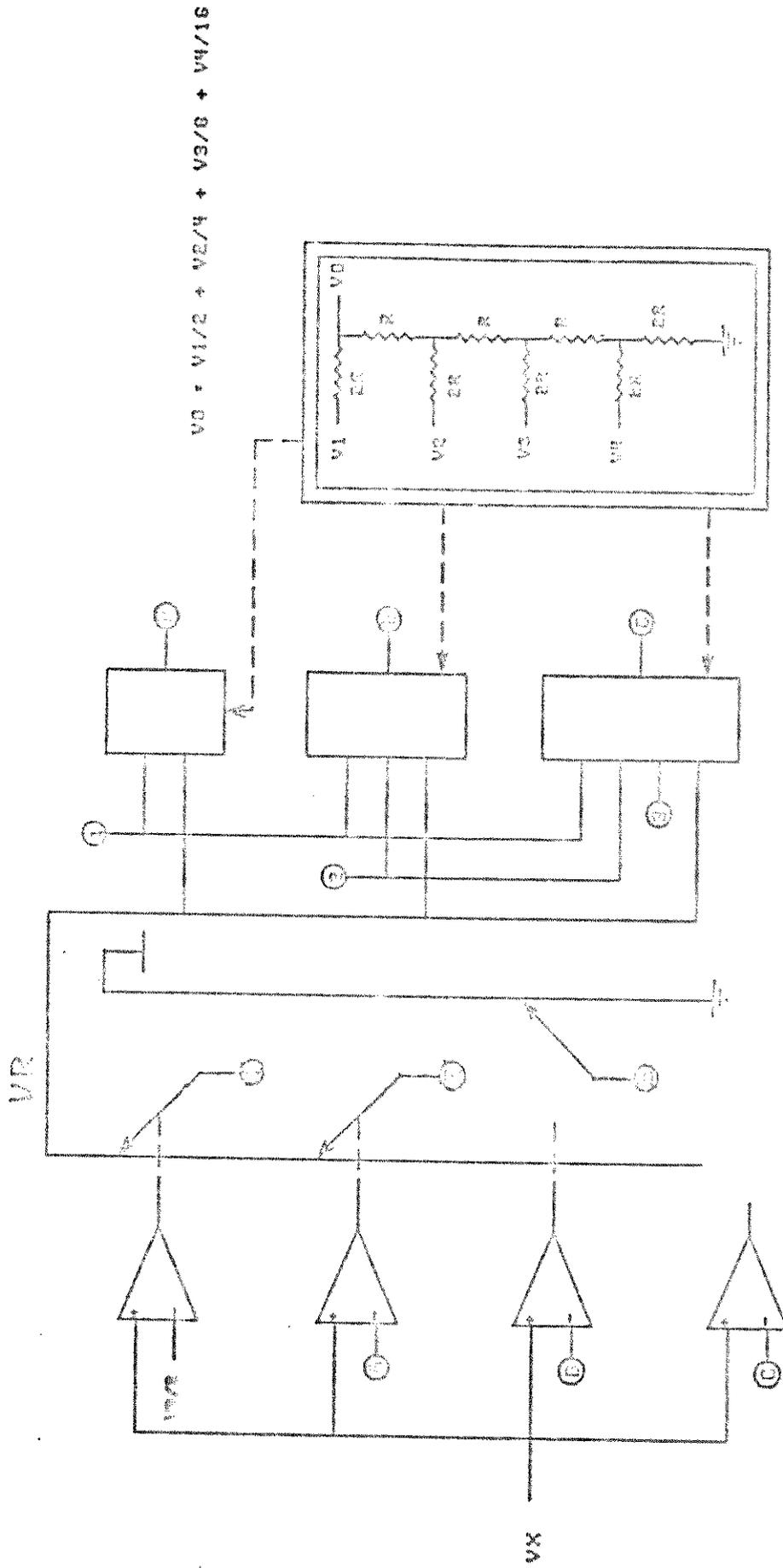


FIG. 1.6 - SEGUNDA ESTRUTURA NÃO CONVENCIONAL DE CONVERSOR A/D

ro real.

O tempo de conversão do conversor será o tempo acima descrito mais a soma dos tempos de chaveamento das chaves analógicas. Mesmo assim, taxas de conversão razoavelmente altas podem ser alcançadas. A principal desvantagem está no número excessivo de resistores da do por S , onde S é:

$$S = (n + 1)n \quad n: \text{número de bits do conversor}$$

Assim, um conversor de 8 bits teria 72 resistores.

Conclusão:

É muito difícil conseguir conversores de tensão ultrarápidos. Todas as soluções conhecidas apresentam grandes limitações pa ra integração. Os estudos levaram à conclusão que a solução pode estar na conversão de corrente. É o que se tentará mostrar nos capítulos seguintes.

CAPITULO 2

CONVERSÃO ANALÓGICO-DIGITAL E CIRCUITO EM CORRENTE

2.1 - INTRODUÇÃO

Neste capítulo está descrita uma nova técnica de conversão analógico-digital (A/D) e apresentado um conversor analógico-digital (ADC) que realiza esta técnica. A conversão é feita em corrente, isto é, para um sinal analógico de entrada em corrente se obtém à saída do ADC uma informação binária que são níveis lógicos de tensão (compatíveis com ECL ou TTL).

A técnica baseia-se no fato de que certas operações em corrente são mais fáceis de serem realizadas do que em tensão e essas operações são: soma, subtração e divisão. Esta última é ainda mais fácil com números inteiros e pequenos que serão, em última análise as únicas a serem realizadas no circuito de conversão. Além do mais, os circuitos monolíticos que amplificam e fazem as operações acima citadas em corrente, processam o sinal mais rapidamente, oferecendo uma banda maior de frequência. Por exemplo, como amplificador de corrente, o transistor é útil para frequências tão altas quanto a frequência de corte f_T que é definida como sendo a frequência em que o ganho de corrente h_{fe} cai a 1 [19].

O princípio de funcionamento do ADC aqui proposto se ba-

seja no método da aproximação sucessiva, apresentando as seguintes características:

a) A saída digital é obtida de forma totalmente analógica, dispensando-se na conversão qualquer intermediação digital, ao contrário da estrutura clássica de conversão por aproximação sucessiva mostrada em diagrama de bloco na Fig. 2.1.1. Ao contrário do que acontece com esta técnica, o relógio não é necessário na conversão em si. Deve-se trabalhar com o relógio apenas para se armazenar em um banco de registradores -após a conversão ter sido feita- a palavra binária obtida à saída. Deve ficar claro, portanto, que **uma conversão completa é obtida em cada período de relógio.**

b) A utilização de um *sample-and-hold* (circuito de retenção e amostragem) na entrada pode ser interessante, mas não necessária. Assim, a princípio, o S/H é dispensável.

c) Apresenta um bom compromisso entre velocidade-tamanho do circuito e velocidade-potência dissipada, colocando nestes aspectos uma larga vantagem em relação ao conversor *flash*. Começando neste capítulo, e continuando no próximo, será apresentado um circuito que utiliza 7 comparadores (poderiam ser apenas 6, com sacrifício da velocidade) que realiza uma conversão de 6 bits a uma taxa de conversão de 8 a 160MHz- a depender da tecnologia utilizada.

d) O ADC é conceitualmente simples.

Em relação à Fig. 2.1.1, chama atenção o fato de que o circuito processa um sinal analógico de tensão obrigando o DAC a fornecer uma saída também em tensão contrariando sua natureza, que é fornecer corrente. A obtenção de sinais de tensão é conseguida com o uso de um amplificador operacional (op-amp) que realiza a conversão

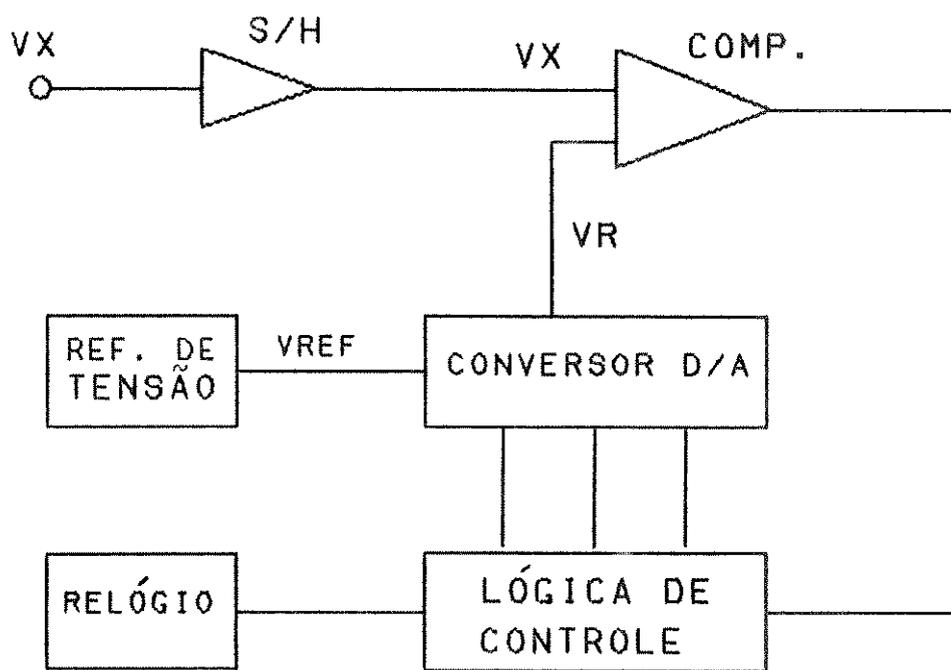


FIG. 2.1.1 - DIAGRAMA DE BLOCO DE UM CONVERSOR A/D POR APROX. SUCESSIVA (CLÁSSICO)

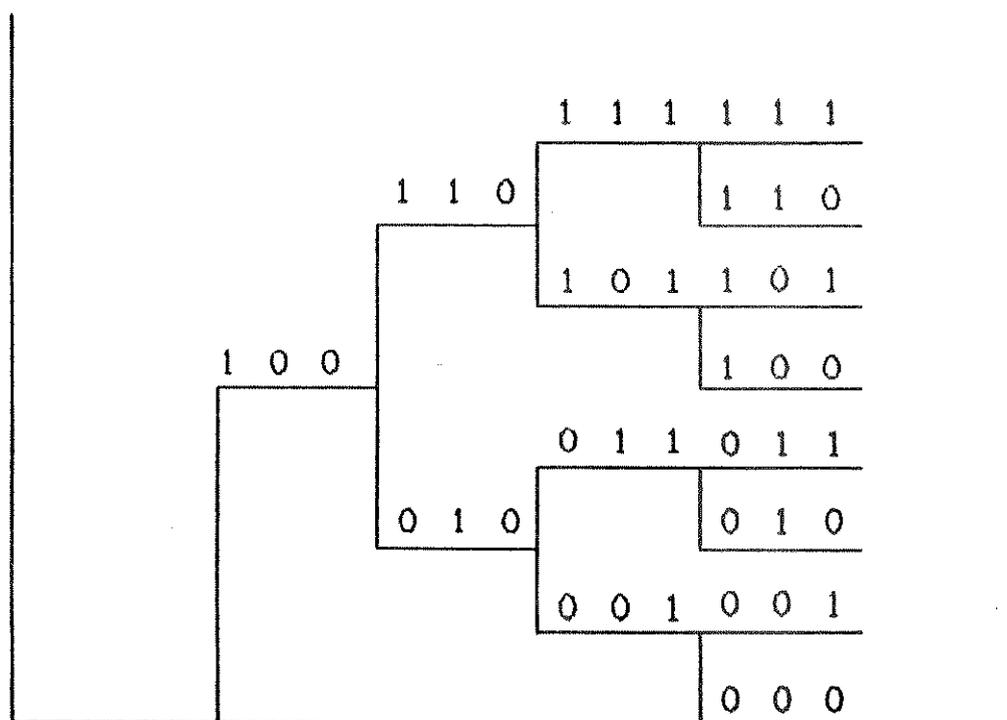


FIG. 2.1.2 - PRINCÍPIO DE FUNCIONAMENTO DO ADC POR AS.

corrente-tensão, o que limita, e muito, o tempo de acomodação (*settling time*) do DAC e, portanto, a taxa de conversão do ADC. Portanto, se ao invés de se usar um comparador de tensão, o fizer com um comparador de corrente e se a informação analógica for corrente e, não, tensão, pode-se usar a saída direta em corrente do DAC e, assim, a taxa de conversão do ADC será maior. Em [20] esta idéia é explorada para se obter um ADC de 12 Bits com uma taxa de conversão de 6 μ s contra típicos 25 μ s dos conversores convencionais.

O circuito aqui proposto, conforme já foi dito, também explora esta idéia para conseguir altas taxas de conversão. Trabalha com corrente, *serialmente*. Só que, ao contrário do serial clássico, pode-se obter mais de um bit simultaneamente empregando-se subconversão paralela, o que também não é novo. Uma estrutura desse tipo já foi mostrada no capítulo anterior (Fig. 1.3). A diferença é que, trabalhando-se em corrente, dispensa-se a intermediação do amp-op, aumentando-se, em relação àquele caso, a velocidade de conversão. Em suma, não há qualquer artifício que sacrifique significativamente a velocidade.

O objetivo que norteou o desenvolvimento do método aqui descrito foi o aumento da velocidade de conversão sem que isso acarrete em excessiva complexidade e custo.

2.2 ALGORITMO DE CONVERSÃO

Obs.: "<>" será usado como símbolo de comparação. Assim, por exemplo, quando se escrever " $I_1 <> I_2$ " querer-se-á dizer que se está comparando uma corrente I_1 com outra corrente I_2 . Seja agora I_R a

corrente de referência que corresponde a corrente de fundo de escala do conversor e seja I_x uma corrente analógica desconhecida que se quer converter. Seja B_0, B_1, \dots, B_{N-1} os bits de saída de um ADC que converte I_x em N bits, na ordem do mais para o menos significativo. E seja, finalmente $\bar{B}_0, \bar{B}_1, \dots, \bar{B}_{N-1}$ as saídas complementares.

Será admitido, por simplicidade, que se I_x não é menor que uma corrente hipotética I (com a qual eventualmente esteja sendo comparada), ela será maior. Isso corresponde dizer que esta comparação seria feita por um comparador de ganho infinito.

A solução clássica para conversão analógico-digital por corrente está mostrada em ALG1. A determinação de cada bit depende da comparação entre a corrente de entrada I_x e outra que depende do estado lógico do bit que o precede. Assim, na determinação do 2o. bit em diante a parcela correspondente a $I_R/2$ estará presente ou não dependendo do estado lógico de B_0 . Se $B_0 = 1$, ela se somará. Caso contrário, não.

O algoritmo ALG1 tem o inconveniente de fazer o circuito que vai implementá-lo trabalhar com soma e subtração de corrente, Isso porque, quando se soma uma determinada parcela de corrente na determinação de um bit, tem-se que subtrair esta mesma parcela na próxima comparação se este bit tiver nível lógico 0. O algoritmo ALG1 pode ser alterado para que o circuito trabalhe apenas com soma de correntes. Quando isto acontece, a sua implementação fica mais simples. Aquela parcela que deveria ser subtraída no lado direito da comparação é somada ao lado esquerdo da mesma. Isto mostrado em ALG2.

A implementação do algoritmo na forma mostrada em ALG2 exigiria uma dupla geração das correntes binárias $I_R/2, I_R/4, \dots$,

$I_R / 2^N$. Para otimizar o circuito final modificou-se o algoritmo, o que está mostrado em ALG3. As correntes binárias citadas são somadas de forma complementar em cada nova comparação e, como aquele, as somas sempre dependerão do estado do bit anterior. A simplificação surge quando se observa que as correntes binárias complementares são geradas nos braços das chaves analógicas de corrente. Um dos braços de cada chave -as que geram as saídas não-complementares- fica obsoleto. Se somadas, as correntes geradas por estes braços se obtém (desprezando-se os erros de quantização) a corrente de entrada do conversor I_x . Isto resulta numa redundância que pode ser eliminada usando-se os dois braços na conversão. No entanto, aquela solução serve para testes com simulação computacional, o que efetivamente foi feito.

As explicações acima ficarão mais claras quando for discutido o circuito e implementado ALG3.

2.3- IMPLEMENTAÇÃO DO ALGORITMO

Na Fig. 2.2 tem-se o diagrama funcional de um circuito que realiza o algoritmo ALG3. Este circuito tem N estágios, necessários para uma conversão de N bits. Em cada estágio tem-se um comparador, uma chave de corrente e um par de transistores de isolamento. Assim, se se quiser uma conversão de 6 bits deve-se ter 6 comparadores, 6 chaves de corrente e 6 pares de transistores de isolamento. Nas discussões que se segue assume-se, por enquanto, que os elementos do circuito são ideais, isto é, os comparadores tem ganho infinito, corrente de polarização e de *offset* iguais a zero e os transistores tem ganhos de corrente, β , muito altos, bem como corrente de saturação reversa igual a zero.

$$1 - I_x \langle I_R/2$$

$$2 - I_x \langle B_0 \cdot I_R/2 + I_R/4$$

$$3 - I_x \langle B_0 \cdot I_R/2 + B_1 \cdot I_R/4 + I_R/8$$

$$N - I_x \langle B_0 \cdot I_R/2 + B_1 \cdot I_R/4 + I_R/8 + \dots + I_R/2^N$$

ALG1 - Algoritmo clássico de conversão por AS.

$$1 - I_x \langle I_R/2$$

$$2 - I_x + B_0 \cdot I_R/2 \langle I_R/2 + I_R/4$$

$$3 - I_x + \bar{B}_0 \cdot I_R/2 + \bar{B}_1 \cdot I_R/4 \langle I_R/2 + I_R/4 + I_R/8$$

$$N - I_x + \bar{B}_0 \cdot I_R/2 + \bar{B}_1 \cdot I_R/4 + \dots + \bar{B}_{N-2} \cdot I_R/2^{N-1} \langle I_R/2 + I_R/4 + \dots + I_R/2^N$$

ALG2 - Primeira alternativa para o algoritmo ALG1

$$1 - I_x \langle I_R/2$$

$$2 - I_x + \bar{B}_0 \cdot I_R/4 \langle I_R/2 + B_0 \cdot I_R/4$$

$$3 - I_x + \bar{B}_0 \cdot I_R/4 + \bar{B}_1 \cdot I_R/8 \langle I_R/2 + B_0 \cdot I_R/4 + B_1 \cdot I_R/8$$

$$N - I_x + \bar{B}_0 \cdot I_R/4 + \bar{B}_1 \cdot I_R/8 + \dots + \bar{B}_{N-2} \cdot I_R/2^N \langle I_R/2 + B_0 \cdot I_R/4 + \dots + B_{N-2} \cdot I_R/2^N$$

ALG3 - Segunda alternativa para o algoritmo ALG1

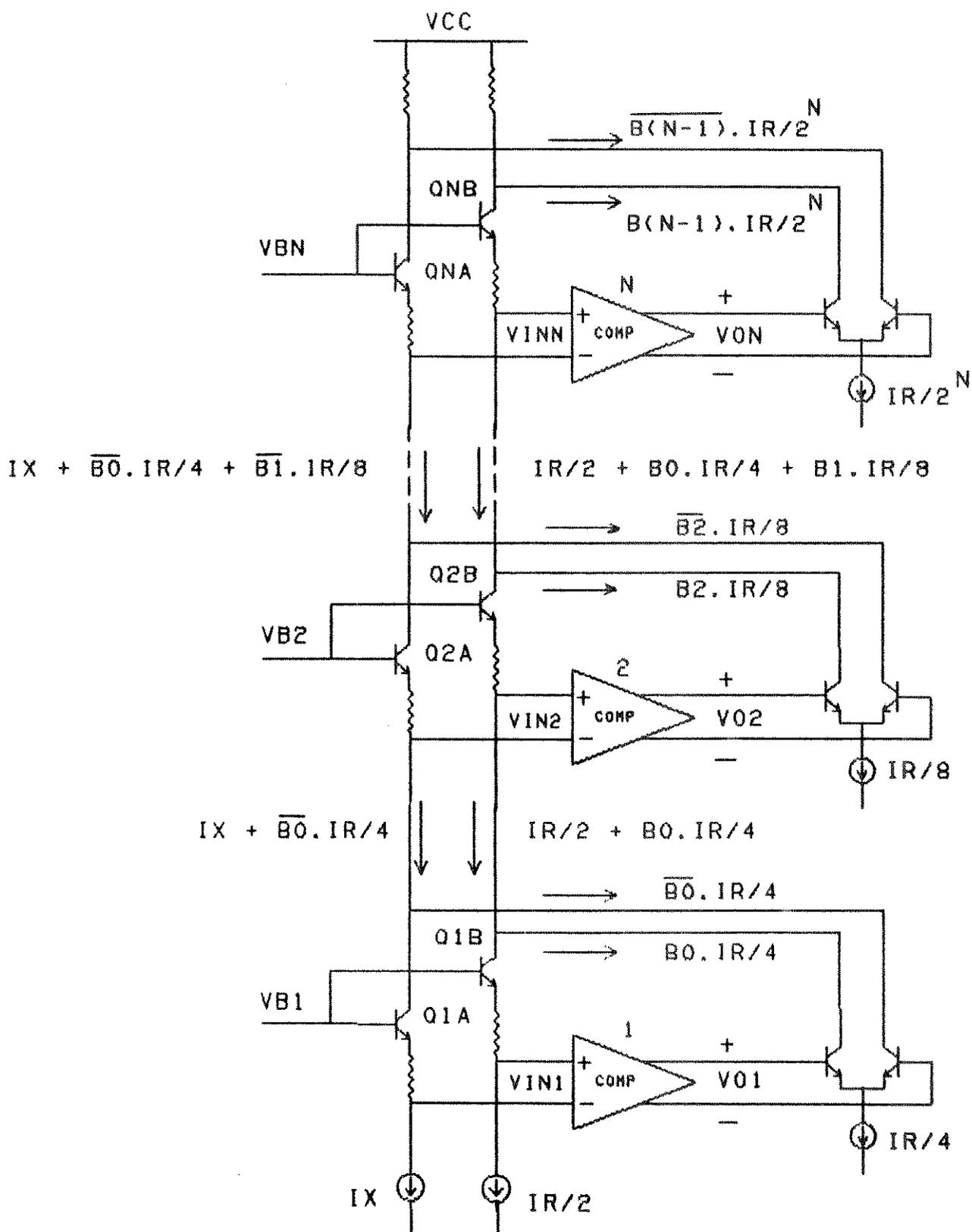


FIG. 2.2 - DIAGRAMA FUNCIONAL DE UM CIRCUITO QUE REALIZA UMA CONVERSÃO A/D DE N BITS PELO MÉTODO DA APROXIMAÇÃO SUCESSIVA MODIFICADA.

A informação binária que se deseja está presente em forma de tensão diferencial na saída dos comparadores de forma complementar que são $V_{O1}, V_{O2}, \dots, V_{ON}$. Assim, por exemplo, em relação ao comparador 1, se $I_x > I_R/2$ então $V_{IN} < 0$ e $V_{O1} < 0$. Aquelas tensões irão comandar, cada uma, uma chave de corrente. Cada braço destas chaves irá para um ponto de soma de corrente para determinação do próximo bit. Assim ocorrerá com todos os bits. Os transistores Q_{NA} e Q_{NB} servem para isolar estes pontos de soma. Os resistores nos seus emissores servem para aumentar a tensão diferencial de entrada do comparador, incrementando a sensibilidade do circuito à corrente diferencial, pois a diferença nas tensões base-emissor daqueles transistores provocada pela diferença das correntes de emissor não é suficiente para chavear os comparadores em conversões com número elevado de bits. Assim, a sua presença é indispensável.

Conforme será discutido no próximo capítulo e está mostrado na Fig. 2.2, o conversor A/D empilha N comparadores para uma conversão de N bits. Isto implica num aumento de V_{cc} mínimo de operação para um aumento do número de bits ($V_{cc} = 15$ V é suficiente para 8 bits).

Para evitar um aumento excessivo de V_{cc} pode-se realizar a conversão em duas etapas. A Fig. 2.3.1 mostra como uma conversão deste tipo pode ser realizada. O conversor, neste caso, tem dois subconversores ADC1 e ADC2 e um conversor digital-analógico DCA. O DAC fornece à saída uma corrente que é a recomposição analógica de I_x que deve servir de entrada para os dois ADC's. Para se conseguir duas vezes I_x sugere-se a topologia mostrada na Fig. 2.3.2. O circuito é um conversor tensão-corrente que converte uma tensão V_x que se quer converter em uma corrente $I_x = V_x/R$ que é espelhada duas vezes.

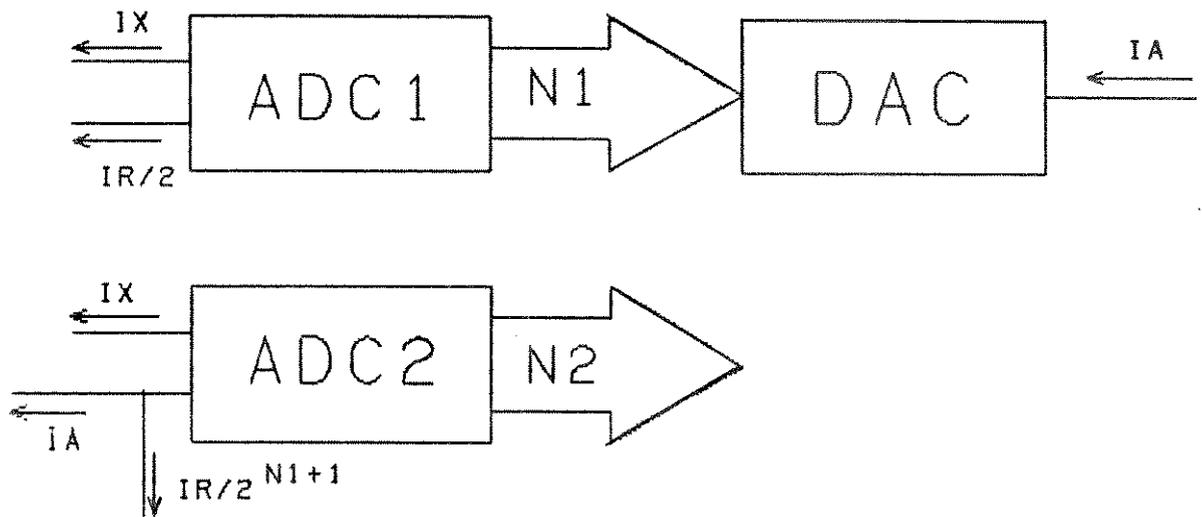


FIG. 2.3.1 - CONVERSÃO A/D EM DUAS ETAPAS

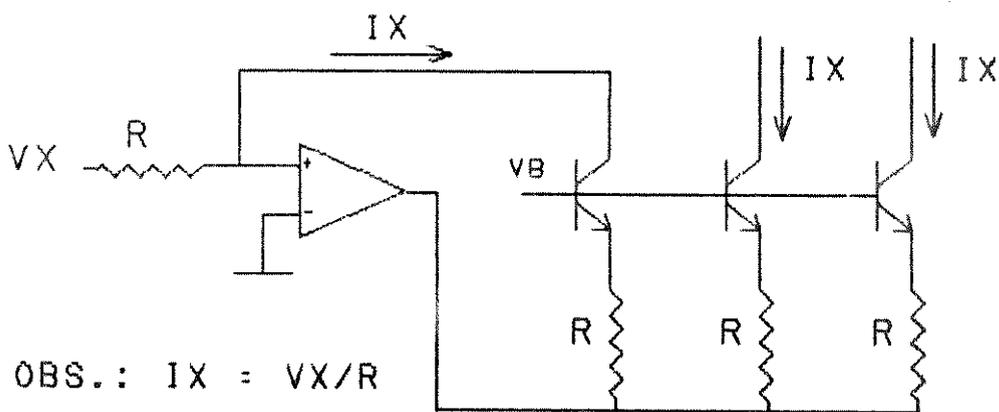


FIG. 2.3.2 - GERAÇÃO DE DUAS VEZES \tilde{IX}

Como exemplo, suponha uma conversão com resolução de 8 bits com $N_1 = 6$ e $N_2 = 2$. O primeiro estágio tem a estrutura mostrada na Fig. 2.2 com 6 comparadores. O segundo terá a estrutura mostrada na Fig. 2.4, com dois comparadores. A entrada não inversora do comp. 7 recebe também a corrente I_x a ser convertida. A entrada inversora recebe a corrente $I_R / 2^{6+1} = I_R / 128$ somada à corrente de saída do DAC. A conversão dupla-etapa pode ser necessária devido à problemas de polarização que podem surgir caso se queira um ADC de mais de 7 ou 8 bits, conforme será mostrado com mais detalhes adiante.

De forma geral, o conversor completo, em diagrama de bloco, está mostrado na Fig. 2.5. O circuito está composto fundamentalmente por 4 blocos que são:

- O bloco conversor básico que já foi discutido.
- O bloco dos condicionadores de nível que é constituído por circuitos que equalizam as tensões diferenciais $V_{o1}, V_{o2}, \dots, V_{oN}$. Isso porque, embora elas sejam iguais entre si, as tensões V_{ok}^+ e V_{ok}^- (considerando que $V_{ok} = V_{ok}^+ - V_{ok}^-$, com $k: 1 \rightarrow N$) tem grande dispersão de valores devido à restrições impostas pelas polarizações presentes no circuito.
- O bloco que translada as tensões de saída dos condicionadores de nível para níveis compatíveis com as lógicas.
- Bloco gerador de correntes de referência binária. Este bloco tem uma estrutura idêntica a um conversor D/A, conforme será visto com mais detalhes mais adiante. Assim, ele gera $I_R / 2, I_R / 4, \dots, I_R / 2^N$.

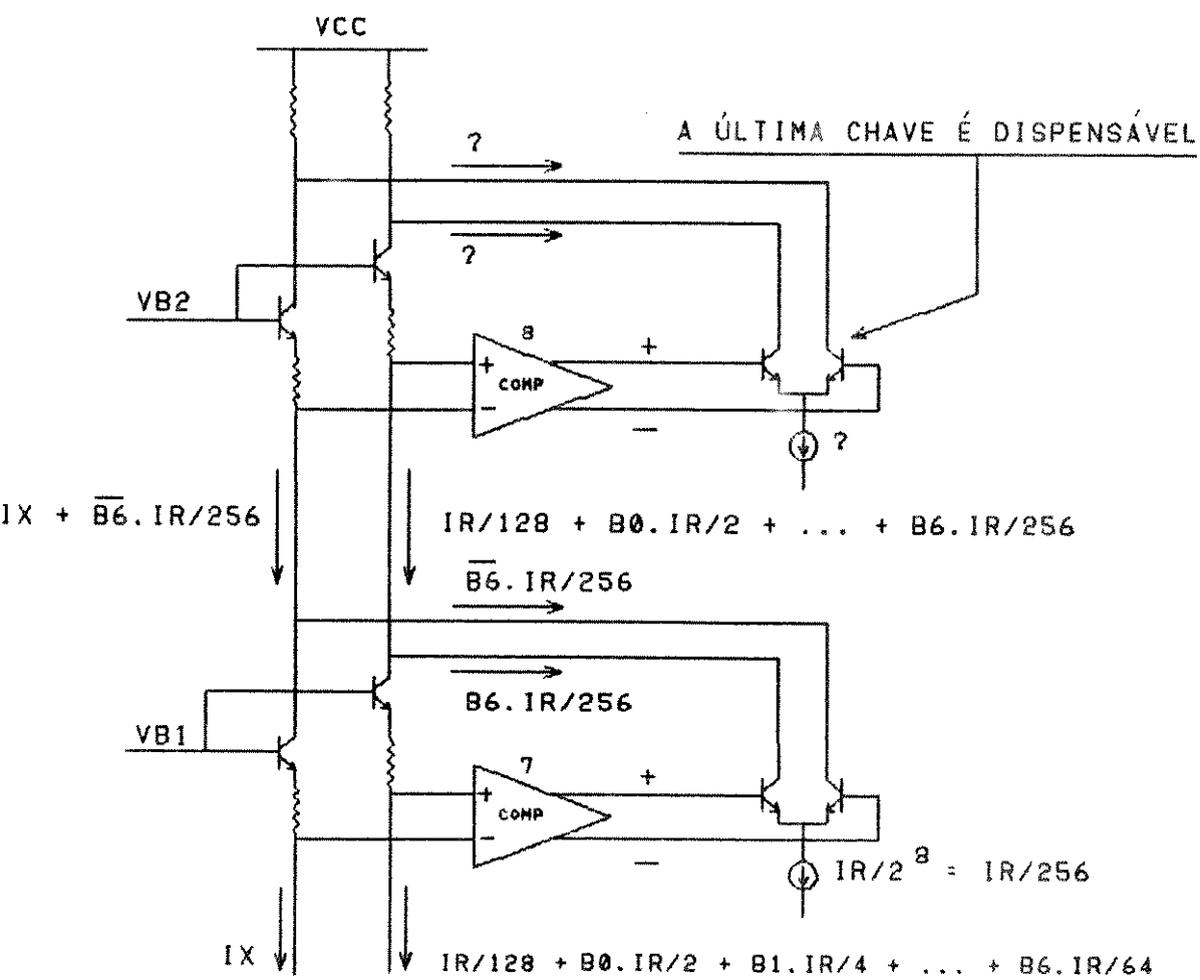


FIG. 2.4 - SEGUNDO ESTÁGIO DE UM CONVERSOR A/D DE 8 BITS EM DUAS ETAPAS (FIG. 2.3.1)

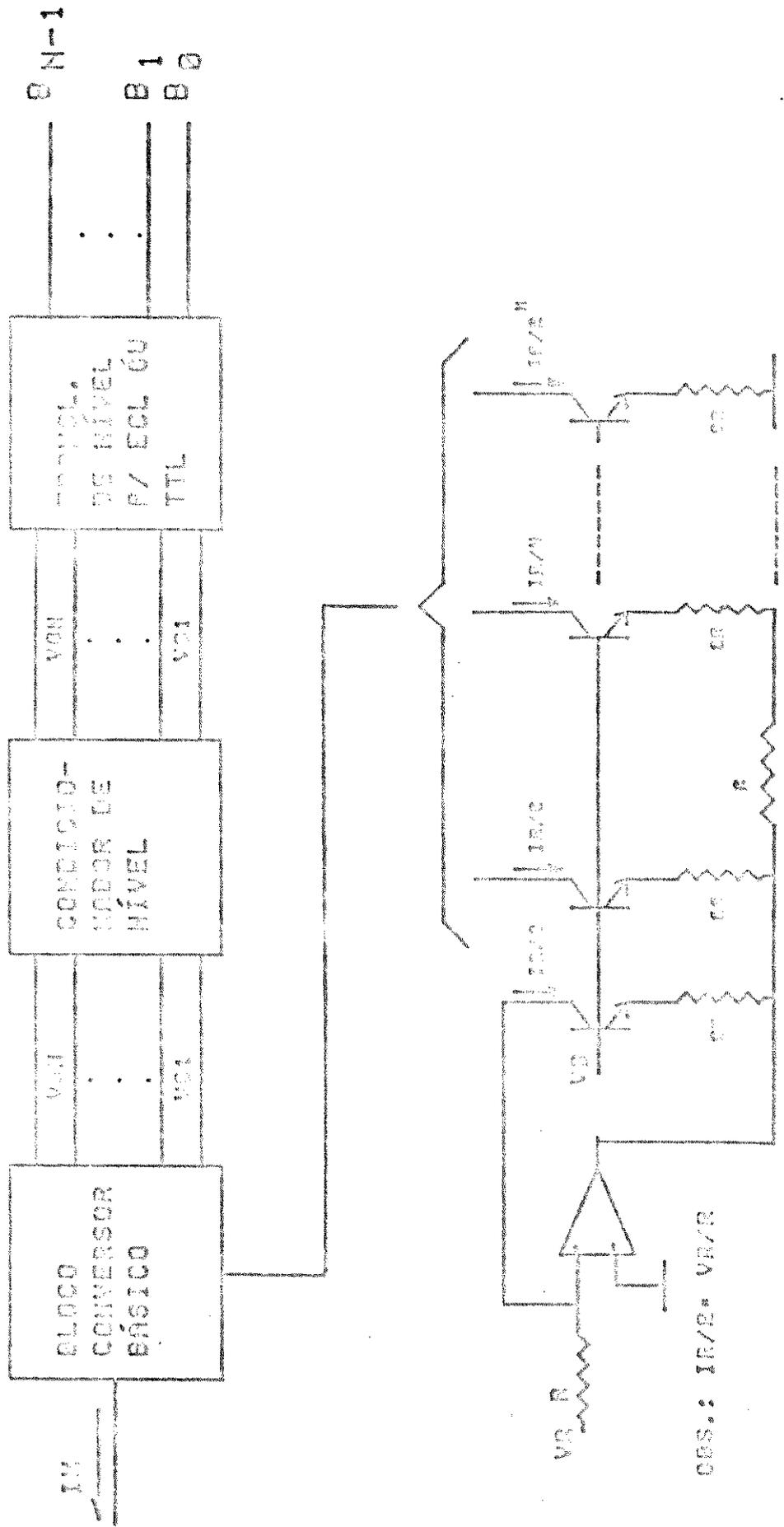


FIG. 2.5 - CONVERSOR ANALÓGICO-DIGITAL COMPLETO PARA N BITS

2.4 SOBRE-ELEVAÇÃO DE SINAL (GLITCH)

Como já foi dito, os bits são obtidos sequencialmente. A saída digital B_0 é obtida antes da saída digital B_1 ; B_1 antes de B_2 e, assim, por diante. Se se colocar na saída do ADC um conversor D/A ideal ou, pelo menos, com tempo de conversão bem menor que o ADC se verá que a saída do DAC apresenta alguns *glitches*, ou sobretensões de sinal, dependendo quão rápido I_x varia. Em outras palavras, se I_x variar de forma suficientemente lenta esses *glitches* não aparecerão.

Para entender como isso acontece, pode-se fazer um teste dinâmico introduzindo-se como I_x uma rampa com tempo de subida da ordem de 2^N vezes o tempo de conversão estimado do ADC, onde N é o número de bits do conversor. Reconstitui-se, assim, com um conversor digital-analógico (desprezando-se o erro de quantização) o mesmo sinal I_x . O que se nota na saída reconvertida são os *glitches* particularmente acentuados em certas transições.

Examina-se o pior caso, que é a transição no meio da faixa, isto é, quando I_x ultrapassa $I_R/2$. Idealmente esta transição ocorre como mostrado na Fig. 2.6

Dependendo da taxa de variação do sinal de entrada, a transição ocorre como está mostrado na Fig. 2.7.

Na verdade, a transição mostrada na Fig. 2.7 representa o pior caso e $\tau_c = \tau_{c1} + \tau_{c2} + \dots + \tau_{cn}$ representa o tempo mínimo de conversão, no sentido de que não se deve esperar uma conversão num tempo menor do que este. O mesmo problema surge em outras transições, mas não é tão crítico, pois ocasiona um τ_c menor.

Para melhorar o desempenho do ADC proposto, alguns dos

bits mais significativos podem ser definidos simultaneamente num sub-conversor A/D paralelo. Assim, a transição no meio da faixa ocorrerá como mostrada na Fig. 2.8, onde os dois bits mais significativos são definidos simultaneamente.

2.5 ADAPTAÇÃO DO CIRCUITO PROPOSTO (FIG. 2.2) À DEFINIÇÃO SIMULTÂNEA DOS DOIS BITS MAIS SIGNIFICATIVOS.

Pode-se subdividir o conversor, como um todo, em dois sub-conversores: um paralelo, onde se convertem dois ou mais bits simultaneamente e o outro como está mostrado na Fig. 2.2.

A Fig. 2.9 mostra em diagrama simplificado, um conversor de corrente paralelo de dois bits sem o decodificador mostrado na Fig. 1.1 que, como se verá, não participa da conversão, ao contrário das soluções clássicas. A decodificação dos dois bits ocorre simultaneamente à obtenção dos demais bits. Isto traz grandes vantagens para obtenção de altas taxas de conversão. O subconversor é composto de $2^2 - 1 = 3$ comparadores e à saída de cada um desses comparadores tem-se uma chave de corrente formada pelos pares de transistores $Q_{1A} - Q_{1B}$, $Q_{2A} - Q_{2B}$ e $Q_{3A} - Q_{3B}$. C_1 , C_2 e C_3 representam informações binárias que, depois de decodificadas, fornecem à saída os bits mais significativos da conversão, ou seja, B_0 e B_1 , e cujas correntes $C_1 \cdot I_R / 8$, $C_2 \cdot I_R / 8$ e $C_3 \cdot I_R / 8$ são as correntes de coletores de Q_{1A} , Q_{2A} e Q_{3A} . \bar{C}_1 , \bar{C}_2 e \bar{C}_3 são as informações complementares àquelas e cujas correntes $\bar{C}_1 \cdot I_R / 8$, $\bar{C}_2 \cdot I_R / 8$ e $\bar{C}_3 \cdot I_R / 8$ são as correntes de coletor dos transistores Q_{1B} , Q_{2B} e Q_{3B} .

Na verdade, o circuito da Fig. 2.9 é um conversor *flash* de corrente de três estágios. A corrente a ser convertida I_X é comparada quase simultaneamente com as correntes $I_R / 4$, $I_R / 2 = I_R / 4 + I_R / 4$ e

CONVERSÃO A/D DE 6 BITS:

011111
100000

FIG. 2.6 - TRANSIÇÃO IDEAL NO MEIO DA FAIXA

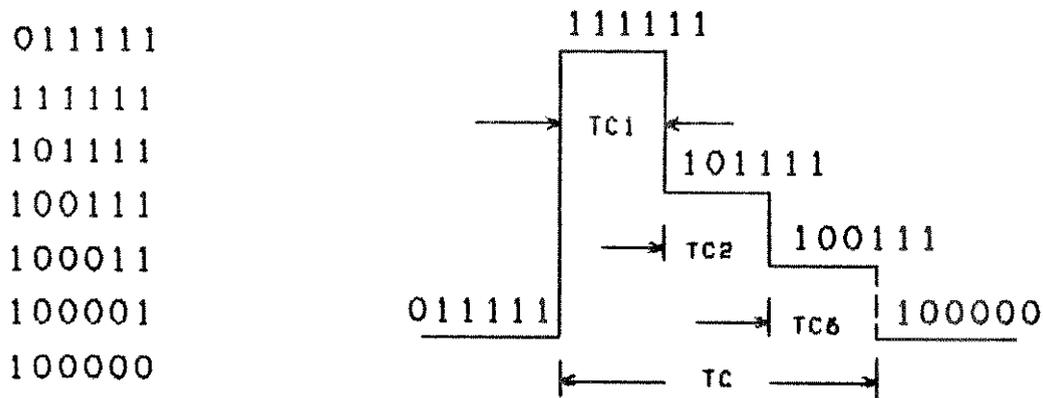


FIG. 2.7 - TRANSIÇÃO PARA UMA VARIAÇÃO RÁPIDA DE IX

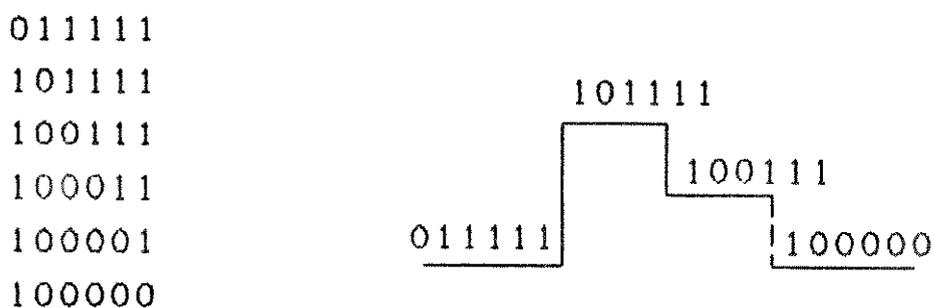


FIG. 2.8 - TRANSIÇÃO COM A DEFINIÇÃO SIMULTÂNEA DOS 2 BITS MAIS SIGNIFICATIVOS

$3I_R/4$ gerando as informações lógicas C_1 , C_2 e C_3 , como num conversor paralelo normal. Os pares de transistores Q_1 e Q_2 servem para isolar os tres estágios entre si. Q_3 serve para isolar os dois subconversores para não termos que espelhar a corrente I_X .

Após a definição de C_1 , C_2 e C_3 , a dos demais bits da conversão se dá como mostrado em ALG4. Este algoritimo, na verdade é idêntico à ALG3. Considere para isso $I_1 = (I/8).(C_1 + C_2 + C_3)$ e $I_2 = (I_R/8).(C_1 + C_2 + C_3)$

$$\begin{aligned}
 1- I_X + I_1 &<> I_R/2 + I_2 \\
 2- I_X + I_1 + B_2 \cdot I_R/16 &<> I_R/2 + I_2 + B_2 \cdot I_R/16 \\
 \vdots & \\
 N - \dots &
 \end{aligned}$$

ALG4 - Algoritmo de conversão A/D com subconversão paralela.

A Fig. 2.10 mostra em diagrama de blocos um conversor que realiza esta forma de conversão com N bits. Para uma conversão de N = 6 bits, por exemplo, o subconversor paralelo, que é responsável pela definição dos dois bits mais significativos e que já foi explicado acima, fornece também as correntes $(I_R/8).(C_1 + C_2 + C_3)$ e $(I_R/8).(C_1 + C_2 + C_3)$ que são as somas das correntes de coletor dos transistores Q_{1A} , Q_{2A} e Q_{3A} e Q_{1B} , Q_{2B} e Q_{3B} das chaves de corrente da Fig 2.9. Esta corrente é somada à corrente I_X à entrada do subconversor básico que é onde se realiza serialmente (na forma mostrada em ALG4) a obtenção dos demais bits menos significativos. Tem-se, ainda, os blocos condicionadores de nível cujo papel já foi explicado anteriormente e os conversores de nível que servem para fornecer à saída níveis compa-

tívez com as lógicas ECL e/ou TTL.

Assim, como é fácil constatar a partir da Fig. 2.10, enquanto o subconversor paralelo está enviando a informação $(I_R/4).(C_1 + C_2 + C_3)$, que é necessária para a obtenção dos N-2 bits menos significativos, ocorre os condicionamentos de nível e a decodificação dos dois bits mais significativos definidos por ele. Portanto, estes procedimentos ocorrem simultaneamente, o que difere completamente das soluções conhecidas para conversão multi-etapas.

2.6- CHAVE DE CORRENTE

Pelas figuras 2.2 e 2.9, vê-se que os comparadores do conversor devem ter saída diferencial para comandar as chaves de corrente. Assim, quando a tensão diferencial de saída de qualquer comparador for positiva, toda a corrente da chave, que é a corrente de emissor comum deve ir para o coletor do transistor do lado esquerdo da mesma. Inversamente, se aquela tensão for negativa, a corrente deve ir toda para o transistor da direita. Este é o sentido do chaveamento.

A pergunta que se deve fazer agora é: qual a mínima variação de tensão diferencial que deve ser aplicada àqueles pares diferenciais para chaveá-los?. A resposta à esta pergunta dependerá do desempenho requerido do comparador quanto ao seu ganho. Para isso, considere a Fig. 2.11.

Nela fixa-se um potencial hipotético V_R e faz-se variar V_B o que, ao final, nada altera na resposta que se quer

$$\frac{I_{c1}}{I_{c2}} = e^{(V_{BE1} - V_{BE2})/V_T}, \text{ onde } V_{BE1} - V_{BE2} = V_B - V_R \quad (2.3)$$

$$I_{c1} + I_{c2} = I \quad (2.4)$$

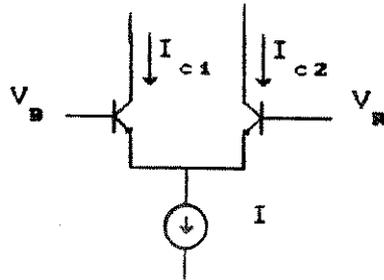


Fig. 2.11 - Par diferencial usado como chave de corrente

Fazendo $x = (V_B - V_R)/V_T$ e combinando (2.3) e (2.4) tem-se:

$$I_{c2}(e^x + 1) = I \quad \therefore e^x = \frac{I}{I_{c2}} - 1 \quad (2.5)$$

Suponha que para uma tensão V_B circule uma corrente I_{c2} e que para uma tensão V_B' circule uma corrente I_{c2}' . Assim, de (2.5) tem-se:

$$V_B = V_T \ln \left[\frac{I}{I_{c2}} - 1 \right] + V_R \quad V_B' = V_T \ln \left[\frac{I}{I_{c2}'} - 1 \right] + V_R \quad (2.6)$$

Suponha, ainda, que $I_{c2} = y.I$, onde y é um número entre 0 e 1 e $I_{c2}' = (1-y).I$. Assim, de (2.6), tem-se:

$$V_B - V_B' = V_T \left[\ln \left[\frac{I}{yI} - 1 \right] - \ln \left[\frac{I}{(1-y)I} - 1 \right] \right]$$

$$= V_T \cdot \left[\ln \left(\frac{1-y}{y} \right) - \ln \left(\frac{y}{1-y} \right) \right] \quad (2.7)$$

Assim, chega-se a equação fundamental que rege o comportamento do par diferencial:

$$\Delta V_B = 2 \cdot V_T \ln \left(\frac{1-y}{y} \right) \quad (2.8)$$

onde ΔV_B é a mínima variação na tensão diferencial de entrada do par diferencial para chaveá-lo.

Ilustra-se a seguir com alguns exemplos numéricos.

Suponha que se queira que I_{C2} (ou I_{C1}) varie de 5 a 95%.

Assim sendo, $y = 0.05$. Substituindo na Eq. 2.8 tem-se:

$$\Delta V_B = 2 \cdot V_T \cdot \ln \left(\frac{0,95}{0,05} \right) = 2 \cdot 0,025 \cdot \ln(19) \simeq 0,15V \quad (2.9)$$

Para uma variação de 1 a 99% tem-se $y = 0,01$ e, novamente substituindo este valor na Eq. 2.8:

$$\Delta V_B = 2 \cdot V_T \cdot \ln \left(\frac{0,99}{0,01} \right) = 2 \cdot 0,025 \cdot \ln(99) \simeq 0,23V \quad (2.10)$$

de 0,1 a 99,9% ($y = 0,001$):

$$\Delta V_B = 2 \cdot V_T \cdot \ln \left(\frac{0,999}{0,001} \right) = 2 \cdot 0,025 \cdot \ln(999) \simeq 0,35V \quad (2.11)$$

Pode-se assumir $\Delta V_B = 0,30 V$ como um valor razoável para a variação necessária na tensão diferencial de entrada do par diferencial para chaveá-lo.

2.7- COMPARAÇÃO DE CORRENTES

O circuito mostrado na Fig. 2.2 mostra que se tem à entrada de cada um dos comparadores, dois transistores com dois resistores de degeneração com valores supostamente iguais entre si, situação essa que está reproduzida na Fig. 2.12. Nela tem-se uma corrente hipotética I_{E1} que se quer comparar com uma corrente hipotética I_{E2} . Como a tensão V_B é fixa, a tensão diferencial de entrada V_{IN} surge da diferença das tensões de base-emissor dos transistores Q_1 e Q_2 mais a diferença na queda de tensão nos resistores.

Considerando-se $I_E \simeq I_S \cdot e^{V_{BE}/V_T}$, onde I_S é a corrente de saturação reversa da junção base-emissor e V_T a tensão equivalente de temperatura. Assim, $V_{BE} \simeq V_T \cdot \ln(I_E/I_S)$ e

$$V_{IN} = V_T \cdot \ln(I_{E1}/I_{E2}) + R \cdot (I_{E1} - I_{E2}) \quad (2.12)$$

Considerando-se, ainda, um conversor de 8 bits com uma corrente de fundo de escala de 5mA. Uma diferença de 1/2 bit entre I_{E1} e I_{E2} seria igual a $5/2^7 = 0,039mA$. Na comparação entre I_{E1} e I_{E2} a menor corrente de cada uma delas é 2,5mA. Considerando-se, ainda, R

$= 200\Omega$ e $V_T = 0,026\text{mV}$ tem-se:

$$V_{IN} = 0,026 \cdot \ln \left(\frac{(2,5 + 0,039)\text{mA}}{2,5\text{mA}} \right) + 200 \cdot 0,039\text{mA}$$

$$= 0,41\text{mV} + 7,8\text{mV} \approx 8,2\text{mV} \quad (2.13)$$

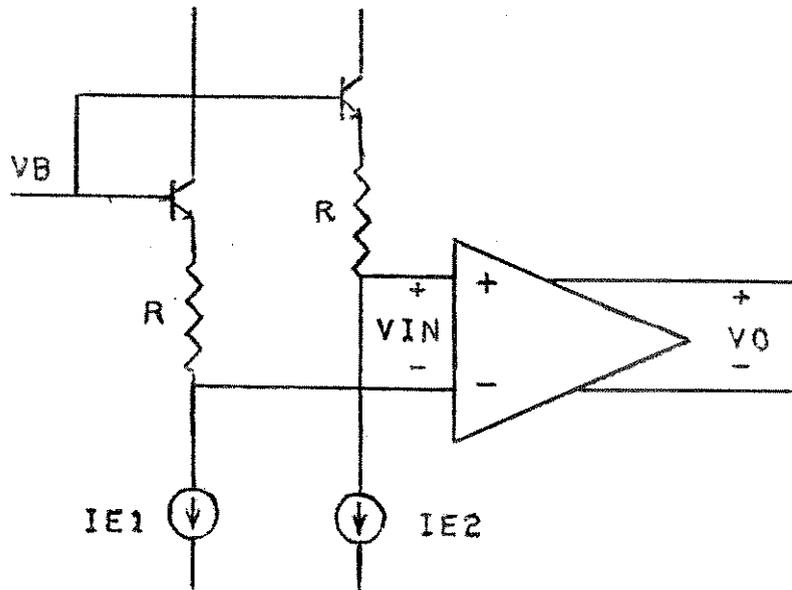


Fig. 2.12 - Circuito básico de comparação de duas correntes I_{E1} e I_{E2} .

Haverá uma manobra das chaves de corrente à saída dos comparadores quando V_{IN} variar desde $-8,2\text{mV}$ até $+8,2\text{mV}$. Portanto, uma excursão em V_{IN} de $1,64\text{mV}$. Como se precisa de uma variação de cerca de $0,3\text{V}$ à saída dos comparadores conforme foi demonstrado na seção 2.4, o ganho mínimo que os comparadores devem ter é de $0,3/0,0164 = 18,3$ para um conversor de 6 bits. É claro que este ganho tem que dobrar para uma conversão de 7 bits e, novamente, dobrar para uma conversão de 8 bits. E, assim, por diante.

2.8 FONTES DE ERRO NO ADC.

As discussões seguintes supõe que o conversor A/D é implementado com tecnologia bipolar.

Assim, as principais fontes de erro que influenciarão a precisão do conversor são:

- Corrente de polarização dos comparadores.
- Tensão e corrente de *offset* de entrada dos mesmos.
- Descasamento entre os resistores que degeneram os transistores de isolação (ver Fig. 2.12).

A seguir, procurar-se-á discutir com maiores detalhes cada um dos fatores acima expostos.

2.8.1 CORRENTE DE POLARIZAÇÃO DE ENTRADA DOS COMPARADORES.

Como se sabe, a corrente de polarização de entrada advém do fato de que os transistores do par diferencial de entrada desses componentes tem ganho de corrente β finito. A Fig. 2.13 mostra o par diferencial de entrada de um comparador qualquer formado pelos transistores Q_1 e Q_2 , por dois resistores de carga R_c e pela fonte de corrente comum aos dois emissores I_E junto com os transistores de isolação de estágios Q_3 e Q_4 e os resistores de degeneração R . Por hipótese há uma simetria perfeita no circuito, isto é, os componentes são casados.

O circuito realiza a comparação entre as duas correntes I_1 e I_2 .

Será admitido que I_1 seja suficientemente menor que I_2 de maneira que, enquanto Q_3 conduz plenamente, Q_4 está cortado pois que $V_1 > V_2 + 0,3V$ (Eq. 2.11). Assim, $I_{C1} \simeq I_E$ e $I_{C2} \simeq 0$; $I_{B1} \simeq I_E/\beta$ ($\beta \gg$

$$1) \text{ e } I_{B2} = 0.$$

Então, na verdade, a comparação será:

$$I_1 + I_E/\beta <> I_2 \quad (2.14)$$

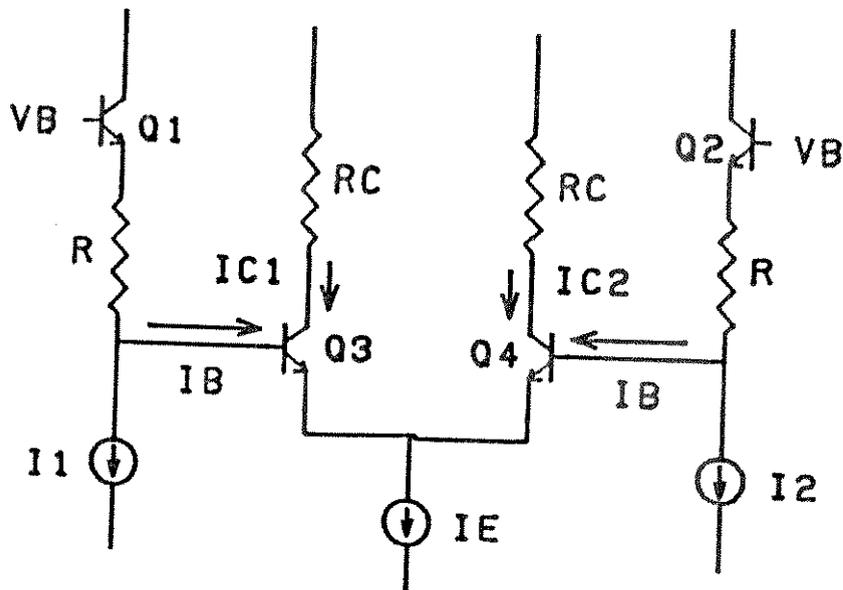


Fig. 2.13 - Par diferencial de entrada (Q3 - Q4) de um comparador.

Contrariamente, se I_1 for suficientemente menor que I_2 se terá:

$$I_1 <> I_2 + I_E/\beta \quad (2.15)$$

Portanto, o comparador apresenta uma histerese de $2I_E/\beta$.

Suponha que à entrada de um conversor de 6 bits se tenha $I_X = 0$. As comparações feitas em ALG4 neste caso ficam:

$$1 - I_E/\beta \langle \rangle I_R/2$$

$$2 - 2.I_E/\beta + I_R/4 \langle \rangle I_R/2$$

⋮

$$6 - 6.I_E/\beta + I_R/4 + \dots + I_R/64 \langle \rangle I_R/2$$

ALG5 - Comparações de corrente feitas com β finito

Assim, se I_x aumentar monotonicamente de $I_x = 0$ até $I_x = I_R$, a primeira transição digital (de 000000 a 000001) ocorrerá para $I_x = I_R/64 - 6.I_E/\beta$. Inversamente, se $I_x > 63.I_R/64$ ($I_x = I_R$, por exemplo) as comparações em ALG5 ficam como mostradas em ALG5.

Assim, invertendo-se o raciocínio acima exposto, se I_x diminuir monotonicamente de $I_x = I_R$ (fundo de escala do comparador) para $I_x = 0$ a primeira transição (de 111111 a 111110) ocorrerá para $I_x = I_R/2 + I_R/4 + \dots + I_R/64 + 6.I_E/\beta$.

Conclui-se, assim, que as comparações apresentam um erro

$$1 - I_x \langle \rangle I_R/2 + I_E/\beta$$

$$2 - I_x \langle \rangle I_R/2 + I_R/4 + 2.I_E/\beta$$

$$3 - I_x \langle \rangle I_R/2 + I_R/4 + \dots + I_R/64 + 6.I_E/\beta$$

ALG6 - Comparações de corrente feitas com β finito.

máximo devido ao β ser finito de $6.I_E/\beta$. E, extrapolando, pode-se afirmar que para uma conversão de N bits esse erro máximo será $N.I_E/\beta$.

A partir desta informação e do número de bits desejados para a conversão pode-se determinar a máxima corrente de polarização que

os comparadores podem ter.

O erro máximo que uma conversão analógico-digital admite é meio bit menos significativo (1/2 LSB - ou 1/2 BMS). Como o erro acima citado é apenas parte do erro total do conversor -já que existem outras fontes de erro que serão citadas mais adiante- achou-se razoável restringir o erro devido ao β finito a 1/4 BMS. Assim,

$$N \cdot \frac{I_E}{\beta} \leq \frac{I_R}{2^{N+2}} \quad \Rightarrow \quad I_E \leq \frac{I_R \cdot \beta}{N \cdot 2^{N+2}} \quad (2.16)$$

Com subconversão paralela dos dois bits mais significativos (Fig. 2.10) se obtém, como já foi explicado, N bits com N + 1 comparadores. Nesse caso, chega-se a Ineq. 2.17:

$$(N+1) \cdot \frac{I_E}{\beta} \leq \frac{I_R}{2^{N+2}} \quad \Rightarrow \quad I_E \leq \frac{I_R \cdot \beta}{(N+1) \cdot 2^{N+2}} \quad (2.17)$$

Das inequações (2.16) e (2.17) conclui-se que a corrente de emissor do par diferencial de entrada dos comparadores do conversor com subconversão paralela dos 2 bits mais significativos tem que ser menor que a mesma corrente de um ADC sem essa subconversão. Como exemplo, pode-se supor uma conversão de 8 bits com $I_R = 5\text{mA}$ e $\beta = 100$. Da inequação 2.16 tem-se:

$$I_E \leq 0.0338 \text{ mA} \quad (2.18)$$

e da Ineq. 2.17 tem-se:

$$I_E \leq 0.279 \text{ mA} \quad (2.19)$$

Assim, a corrente no segundo caso deve ser menor que a do primeiro em cerca de 15%.

2.8.2- TENSÃO E CORRENTE DE OFFSET DE ENTRADA DOS COMPARADORES

A principal fonte de erro do ADC advém do fato do ganho de corrente β dos transistores de entrada dos comparadores ser finito gerando correntes de polarização maiores que zero. Contra isto que já foi exposto acima, nada pode-se fazer, pois o valor de β é um parâmetro de processo. Como alternativa pode-se projetar comparadores com transistores superbeta ou FET. Portanto, aquele erro decorre do processo.

Mas, efeitos de descasamento dos dispositivos conduzem à fontes secundárias de erro. As principais delas são a tensão de offset V_{os} e a corrente de offset I_{os} , sendo que a primeira tem um peso maior que a segunda. Assim, a Fig. 2.14 ilustra um amplificador diferencial real perfeitamente casado que tem uma fonte de tensão de *offset* V_{os} e uma fonte de corrente de *offset* I_{os} através dos seus terminais de entrada.

A tensão de *offset* V_{os} tem um valor típico de 1,5 mV à temperatura ambiente e I_{os} é cerca de 10% da corrente de base $I_B = I_E / \beta$ para um descasamento de 10% nos β 's de Q3 e Q4 [24].

Antes de comparar I_1 com I_2 , o comparador compara V_1 com V_2 que são geradas por Q_1 , Q_2 , R_{E1} e R_{E2} . Logo, da Fig. 2.14 tem-se:

$$V_1 = V_B - V_{BE1} - I_1 \cdot R_{E1} - I_{OS} \cdot R_{E1} - V_{OS} \quad (2.20)$$

$$V_2 = V_B - V_{BE2} - I_2 \cdot R_{E2} + I_{OS} \cdot R_{E2} \quad (2.21)$$

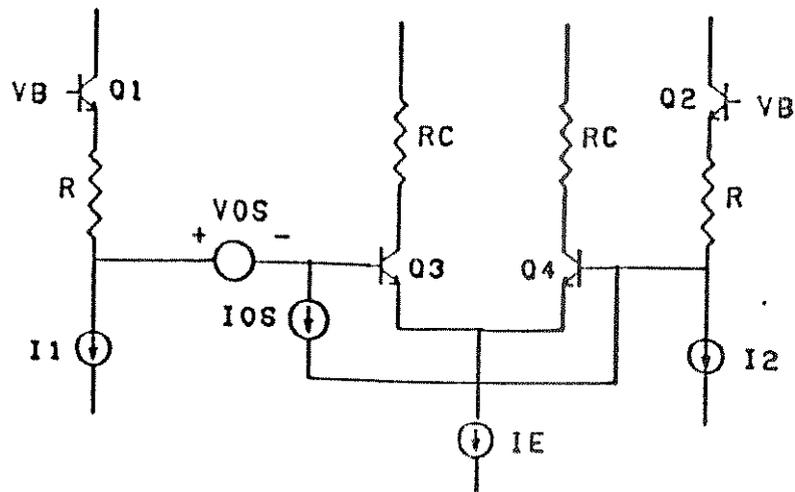


Fig. 2.14 - Amplificador diferencial de entrada ideal (Q_3 - Q_4) com a tensão e corrente de offset.

Considerando-se $V_{BE1} = V_{BE2}$ e $R_{E1} = R_{E2} = R_E$ tem-se:

$$V_1 - V_2 = (I_2 - I_1) \cdot R_E - 2 \cdot I_{OS} \cdot R_E - V_{OS} \quad (2.22)$$

Portanto, o erro na comparação devido a tensão e corrente de offset de entrada do comparador é

$$|\varepsilon_0| = |-2 \cdot I_{OS} \cdot R_E - V_{OS}| = 2 \cdot I_{OS} \cdot R_E + V_{OS} \quad (2.23)$$

Substituindo em (2.23) $R_E = 2000\Omega$, por exemplo, e assumin

do $\beta = 100$ e $I_E = 0,25$ mA tem-se:

$$|\varepsilon_0| = 1,5\text{mV} + 2 \cdot (0,25/2 \cdot 100) \cdot 200 = 2,00 \text{ mA} \quad (2.24)$$

Considerando-se que o erro $|\varepsilon_0|$ da Eq. 2.27 e o erro decorrente do β finito representam as principais fontes de erro e já que restringiu-se este último a menos de 1/4 BMS, deve-se restringir $|\varepsilon_0|$ também a 1/4 BMS ante a possibilidade dos dois se somarem. Assim, considerando-se a Eq. 2.16 e admitindo-se $R_E \cdot (I_{E1} - I_{E2}) \gg V_T \cdot \ln(I_{E1}/I_{E2})$ tem-se:

$$2 \cdot I_{OS} \cdot R_E + V_{OS} \ll \frac{I_R \cdot R_E}{2^{N+2}} \quad (2.25)$$

onde I_R é a corrente de fundo de escala do conversor e N é o seu número de bits.

Pode-se determinar a partir da Ineq. 2.31 o número de bits N que o conversor pode ter a partir dos valores de V_{OS} , I_{OS} , I_E e R_E . Assim,

$$N \leq \log_2 \frac{I_R \cdot R_E}{2 \cdot I_{OS} \cdot R_E + V_{OS}} - 2 \quad (2.26)$$

Pode-se ilustrar a equação acima com um exemplo numérico, considerando, como foi feito até agora $R_E = 200\Omega$ e $I_R = 5$ mA tem-se:

$$N \leq \log_2 \frac{5 \times 10^{-3} \times 200}{1,75 \times 10^{-3}} - 2 = 7 \quad (2.27)$$

Por outro lado, multiplicando o erro $6 \cdot I_E / \beta$ em ALG6

por R_E tem-se o erro ϵ_{BETA} que é o erro em tensão devido ao β finito. Assim,

$$\epsilon_{\text{BETA}} = R_E \cdot N \cdot I_E / \beta = 200\Omega \cdot 6 \cdot 0,25\text{mA} / 100 = 3\text{mV} \quad (2.28)$$

onde N = número de bits = 6.

Ainda com os valores usados acima e considerando o conversor com subconversão paralela (Fig. 2.10) quando $N = 7$ tem-se:

$$\epsilon_{\text{BETA}} = R_E \cdot 7 \cdot I_E / \beta = 3,5 \text{ mV} \quad (2.29)$$

Combinando as Eqs. 2.23 e 2.28 chega-se ao erro total máximo possível que é dado por:

$$\epsilon_{\text{TOTAL}} = \epsilon_0 + \epsilon_{\text{BETA}} = I_{\text{OS}} R_E + V_{\text{OS}} + R_E \cdot N \cdot I_E / \beta \quad (2.30)$$

Restringindo ϵ a 1/2 BMS tem-se:

$$\epsilon_{\text{TOTAL}} \leq \frac{I_E R_E}{2^N + 1} \quad (2.31)$$

Combinando (2.20) com (2.21) tem-se:

$$2 \cdot I_{\text{OS}} R_E + V_{\text{OS}} + R_E \cdot N \cdot I_E / \beta \leq \frac{I_E R_E}{2^N + 1} - 1 \quad (2.32)$$

A inequação acima não pode ser resolvida analiticamente.

Usando os mesmos valores até agora assumidos para R_E , I_R , β , I_E e V_{OS} e resolvendo-a iterativamente tem-se:

$$N \leq 8,8$$

(2.33)

Porém, se restringirmos V_{os} a 1mV e I_E a 0,1mA em vez de 0,25mA, como tem-se feito, e sem a definição simultânea dos dois bits mais significativos tem-se:

$$N \leq 9,8$$

(2.34)

Assim, considerando-se todas as fontes de erro até aqui mencionadas julgou-se não ser difícil se conseguir um ADC de 9 bits.

2.8.3- DESVIO RELATIVO NOS RESISTORES DE DEGENERAÇÃO.

Na Eq. 2.22 foi assumido que $R_{E1} = R_{E2}$, isto é, que não havia desvio relativo entre eles. Na prática isto não é verdade e este desvio é inevitável. Para ver o efeito que este fato provoca no nosso conversor, reescreveu-se a Eq. 2.22 sem considerar o segundo e o terceiro membros do lado direito da mesma. Assim,

$$V_1 - V_2 = I_2 \cdot R_{E2} - I_1 \cdot R_E \quad (2.35)$$

Suponha que haja um desvio relativo entre R_{E1} e R_{E2} de δ , de onde pode-se assumir que $R_{E2} = R_E$ e $R_{E1} = R_E + \delta$. Assim,

$$V_1 - V_2 = (I_2 - I_1) \cdot R_E - I_1 \cdot \delta \quad (2.36)$$

O máximo valor para I_1 corresponde a corrente de fundo de

escala I_R . Logo, o valor máximo do erro devido ao desvio relativo dos resistores de degeneração, ϵ_R , é:

$$\epsilon_R = I_R \cdot \delta \quad (2.37)$$

Se se considerar que um desvio relativo de 0,1% é possível de se conseguir em circuito integrado e levando-se em conta que $I_R = 5\text{mA}$ e $R_E = 200\Omega$ chega-se a $\delta = 0,2\Omega$ e, conseqüentemente,

$$\epsilon_R = 1\text{mV} \quad (2.38)$$

Combinando 2.30 e 2.37 e usando o resultado de 2.38 chega-se a uma nova restrição para N:

$$N \leq 8.374 \quad (2.39)$$

CAPITULO 3

Neste capítulo se discutirá a implementação do algoritmo mostrado no capítulo anterior fornecendo maiores detalhes sobre a estrutura da Fig. 2.2.

3.1- CONSIDERAÇÕES GERAIS

Para se obter uma conversão analógico-digital de 6 bits, por exemplo, deve-se empilhar 6 comparadores conforme está mostrado na Fig. 2.2. A tensão diferencial de entrada dos mesmos é gerada pela diferença de tensão nos emissores de Q_{NA} e Q_{NB} que, por sua vez, é gerada pela diferença entre I^+ e I^- . Na verdade estes transistores representam um par Darlington para que o ganho de corrente em base comum seja o mais próximo possível de 1. Uma alternativa para se evitar o Darlington será discutida ainda neste capítulo.

A principal desvantagem desta estrutura está justamente no empilhamento. Os coletores dos Darlington de um estágio estão ligados aos emissores do estágio seguinte, exceção feita ao 6.º estágio cujos coletores estão ligados ao potencial mais alto do circuito. As bases de cada transistor estão fixados diversos potenciais cujos valores são escolhidos de forma a não permitir que nenhum dos transistores venha a saturar.

É interessante determinar a diferença de potencial que deve existir entre V_{B2} e V_{B1} que é a mesma que existe entre V_{B3} e V_{B2} e, assim, por diante. Assim,

$$V_{B2} = V_{B1} + 3 \cdot V_{BE} + I_R \cdot R \quad (3.1)$$

Considerando que I_R = corrente de fundo de escala = 5mA, $R = 200\Omega$, $V_{BE} = 0.75v$ e $V_{CB} = 0.5V$, tem-se:

$$\Delta V_B = V_{B2} - V_{B1} = 1.5V + 0.5 + 1 \quad (3.2)$$

Assim, $V_{BN} - V_{B1} = (N-1) \cdot \Delta V_B$, onde N é o número de comparadores. Para $V_{B1} = -6V$, $V_{B6} = 12V$. Assim, em 15V de tensão máxima do circuito "cabem" 7 comparadores, isto é, pode-se ter um conversor de 7 bits. Em 20V "cabem" 9 comparadores ou 9 bits. Com a definição simultânea dos dois bits mais significativos, usa-se 7 comparadores e, assim, a tensão de alimentação deve subir. No entanto, com a eliminação do Darlington ela cai.

Para efeito de polarização dividiu-se os comparadores em grupos, sendo que cada grupo é polarizado com tensões diferentes. A consequência disso está nas tensões de saída V_{o1}^+ e V_{o1}^- , V_{o2}^+ e V_{o2}^- , ..., V_{oN}^+ e V_{oN}^- . Embora as tensões diferenciais de saída dos comparadores $V_{o1}^+ - V_{o1}^-$, $V_{o2}^+ - V_{o2}^-$, $V_{oN}^+ - V_{oN}^-$ sejam iguais entre si, as saídas absolutas são diferentes. A tabela 3.1 apresenta valores médios aproximados para estas tensões levando em conta alguns valores de polarização V_{cc} para os comparadores.

Como foi feita a opção pela definição paralela dos dois bits mais significativos, os três primeiros comparadores (os que definem B_0 e B_1) foram polarizados com 5V, os dois seguintes (que definem B_2 e B_3) com 10V e os dois últimos com 15V. No entanto, sem a definição paralela de B_0 e B_1 , o primeiro comparador teve que ser polarizado com 3V para evitar a saturação dos transistores Q_{2A} e Q_{2B} .

(Fig. 2.2). Os valores da direita da tabela 3.1 são devidos aos deslocadores de nível dos comparadores. O comparador e suas características são assunto de discussão da próxima seção.

V_{cc}	V_{ON}
5V	-5.35V
10V	-0.35V
15V	4.8V

Tabela 3.1 - tensão de polarização e de saída dos comparadores.

A discrepância nos valores absolutos da saída dos comparadores não é interessante como informação binária. É preciso equalizar estes níveis e transladá-los para níveis lógicos padronizados (TTL ou ECL).

O condicionamento dos níveis é feito pelo circuito mostrado na Fig. 3.1. O deslocamento de nível mostrado na Fig. 3.2, que é dispensável para os comparadores alimentados com 5V, é feito pelos transistores Q_1 e Q_2 , pelos zeners Z_1 e Z_2 e pelas fontes de corrente I_1 e I_2 . As saídas destes circuitos serão as entradas do amplificador diferencial formado pelos transistores Q_3 e Q_4 , pelos resistores R_{c1} e R_{c2} e pela fonte de corrente I_3 . V_{c1} e V_{c3} são finalmente os níveis de saída dos comparadores equalizados que, após translação, podem ser convertidos em níveis TTL ou ECL. A translação para ECL está mostrada na mesma figura e é feita pelo transistor Q_5 e pelo resistor R conectado a um potencial negativo [21]. Esta última parte de condicionamento de nível não foi utilizada nas implementações.

3.2 - O COMPARADOR

O comparador usado está mostrado em diagrama simplificado na Fig. 3.2. Ele possui um estágio de ganho de tensão baseado na célula de ganho de corrente de Gilbert [22] e circuitos de deslocamento de nível. O ganho total do comparador é dado por:

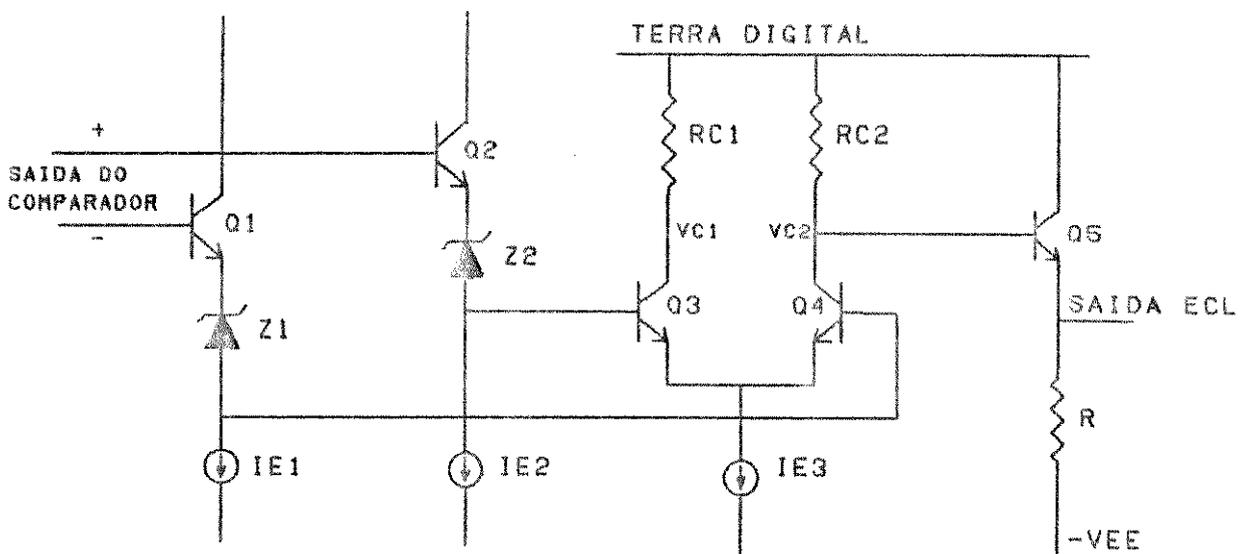


Fig. 3.1 - Circuito condicionador de nível.

$$A_v = \frac{V_o}{V_{in}} = g_m \cdot R_L \cdot \left(1 + \frac{I_{E2}}{I_{E1}} \right) \quad (3.3)$$

onde $g_m = I_{E1} / 2 \cdot V_T$ é a transcondutância dos transistores do par diferencial de entrada do comparador $Q_1 - Q_2$. A célula possui uma larga faixa de operação em frequência, só limitada pelo produto ganho de corrente-banda passante dos transistores, que é o f_T .

No comparador, $R_L = 500$, $I_{E1} = 0,25\text{mA}$, $I_{E2} = 5\text{mA}$. Logo, A_v

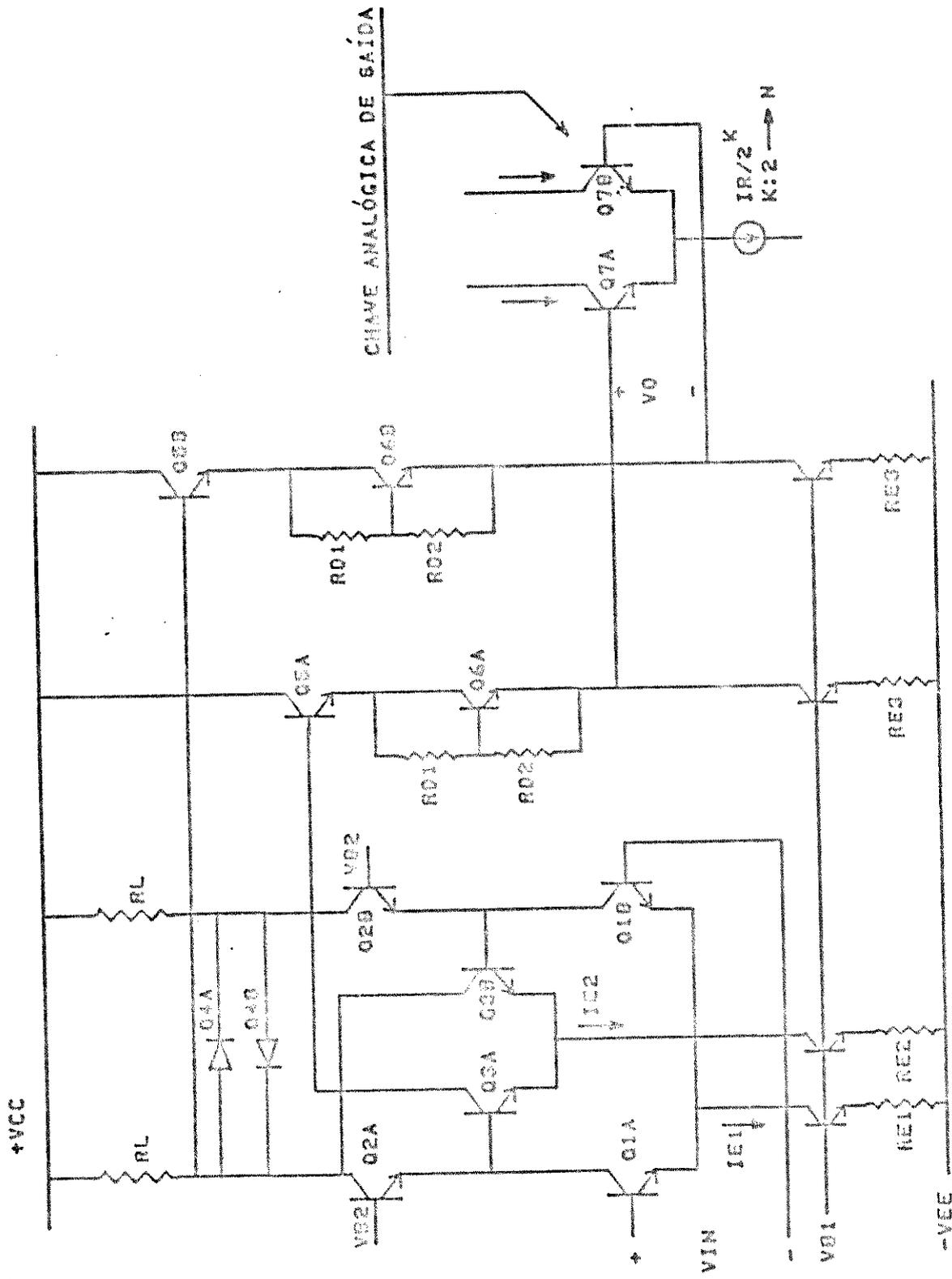


FIG. 3.2 - DIAGRAMA ESQUEMÁTICO DO COMPARADOR DE TENSÃO USADO

≈ 50 para $V_T = 0,025V$ à temperatura ambiente.

Para se avaliar o desempenho geral do comparador, simulou-se no SPICE um conversor de 1 bit (fig. 2.2). Um circuito, portanto com um comparador. Para isso, variou-se I_x desde 2,45mA até 2,55mA e tomou-se a saída no braço esquerdo da chave de corrente que é comandada por aquele comparador (no fundo, é feito uma conversão D/A). Assim sendo, obteve-se uma curva de transferência estática $B_o \cdot I_x / 2$ versus I_x . O resultado está mostrado na Fig 3.3 e mostra que a relação para pequenos sinais entre a corrente de saída e a corrente diferencial de entrada é de 40, que corresponde à inclinação da reta, um valor próximo ao previsto teoricamente para o ganho de tensão do comparador.

Ainda em relação ao conversor de 1 bit explicado no parágrafo anterior, foi feita uma simulação para avaliar o tempo de resposta do comparador, tanto com uma entrada direta em corrente (Fig 2.2), como uma entrada indireta de tensão (Fig. 2.3.3). No primeiro caso, I_x é um trem de pulsos com valor mínimo 0 e valor máximo 5mA, tempo de retardo de 83,5ns e período 125ns. A saída ainda é tomada no braço esquerdo da chave de corrente. O resultado desta simulação está mostrado na Fig. 3.4. No segundo caso, o modo indireto, a corrente I_x é obtida a partir de uma conversão tensão-corrente. Neste caso, foi considerado na simulação o polo dominante do amplificador operacional LM318 que está em 100Hz e tem 10MHz em ganho unitário. A entrada, portanto é um trem de pulsos de tensão com valor mínimo 0 e valor máximo 5V com o mesmos tempos considerados do primeiro caso. O resultado, desta última simulação está mostrado na Fig. 3.5. O tempo de resposta, como se pode observar não difere muito em um e outro caso, sugerindo

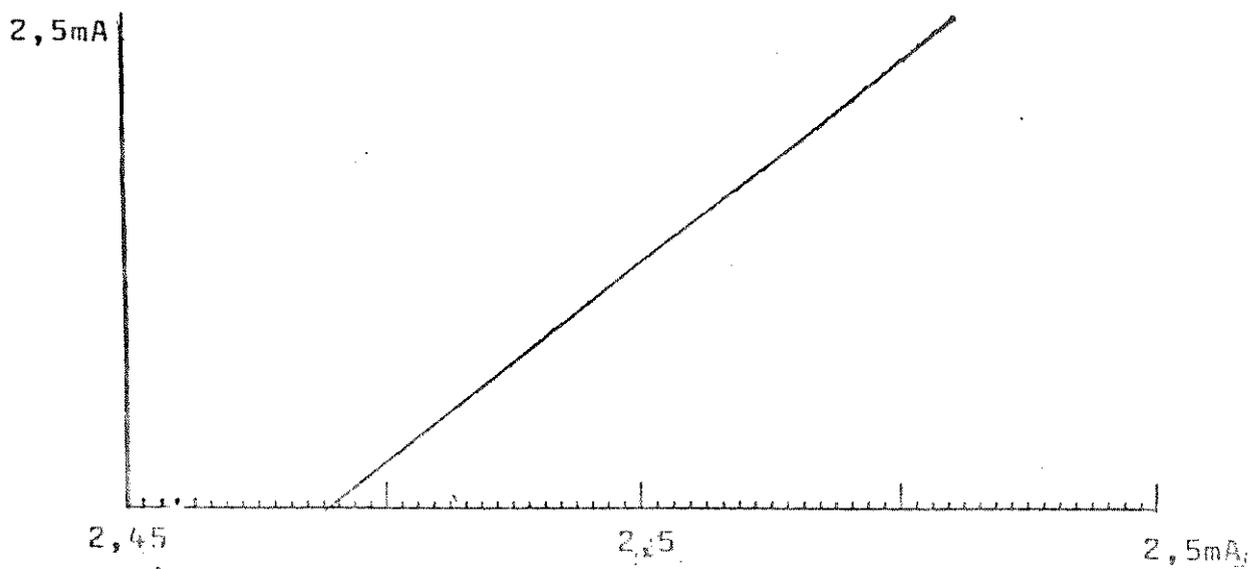


Fig. 3.3 - Curva de transferencia expandida do comparador

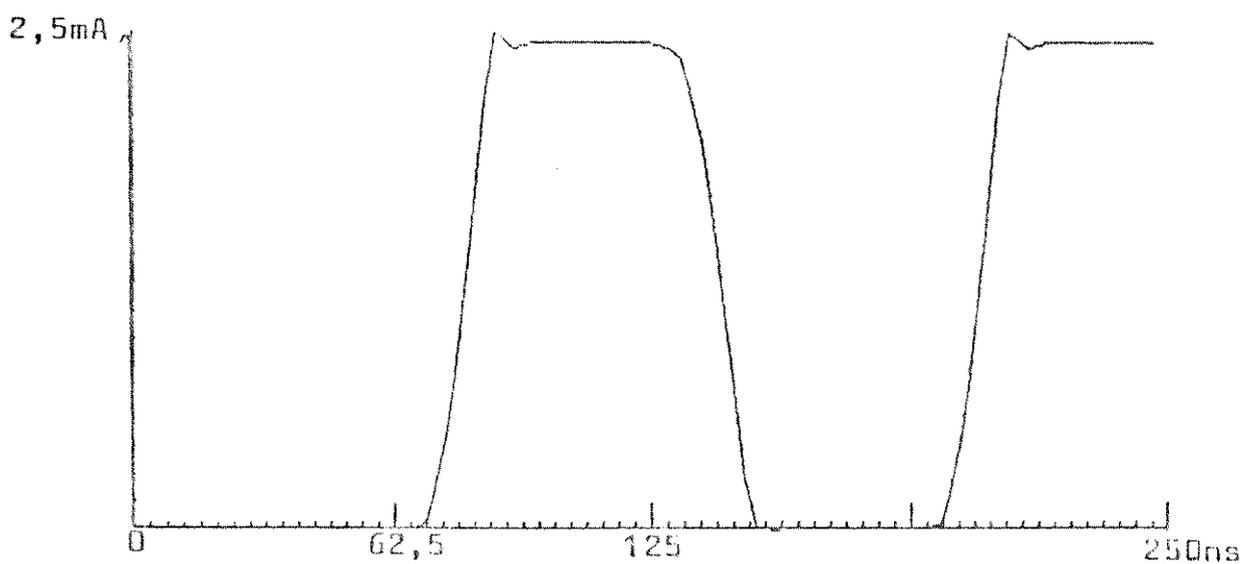


Fig. 3.4 - Resposta a um trem de pulsos de corrente do comparador.

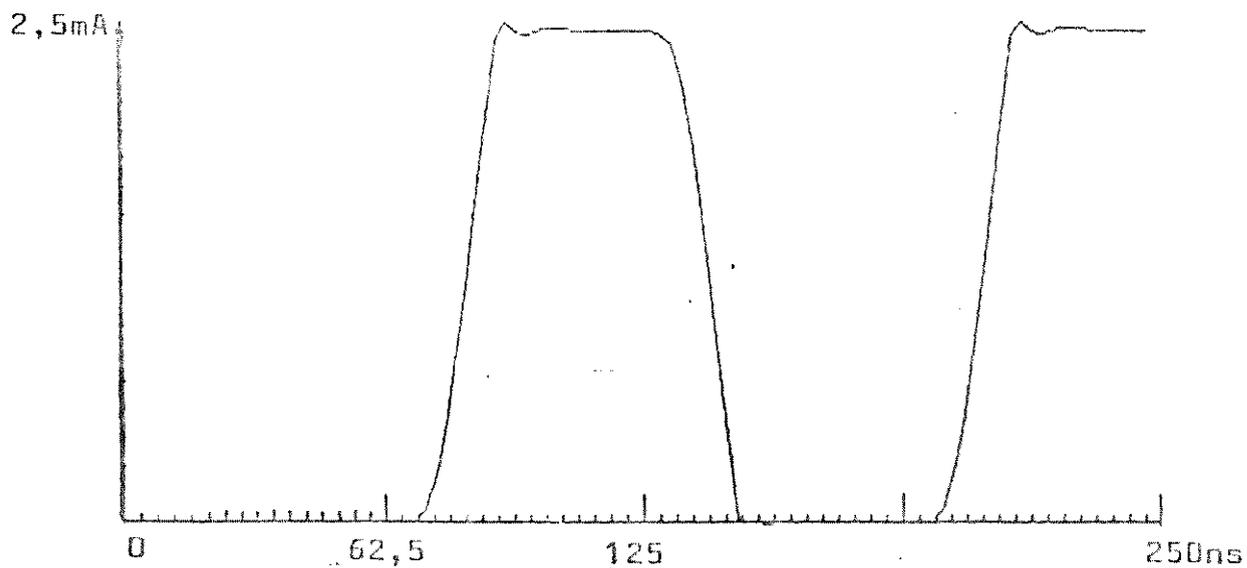


Fig. 3.5 - Resposta a um trem de pulsos de tensão do comparador.

que a conversão tensão-corrente não deve ser um fator limitante na configuração proposta. Esse tempo é cerca de 25ns. Os transistores tem um $f_T = 300\text{MHz}$. No entanto, em [23] é mostrado um comparador semelhante a este, onde se emprega transistores com $f_T = 5\text{GHz}$. O tempo de atraso deste comparador, segundo o autor, é de 1,2ns. Este tempo é um parâmetro fundamental para determinação do tempo de conversão do conversor analógico-digital.

Q_{5A} e Q_{5B} juntamente com R_{D1} e R_{D2} formam os multiplicadores de VBE, a parte do comparador responsável pelo deslocamento de nível. A junção base-emissor de Q_{5A} (ou Q_{5B}) juntamente com multiplicador de VBE provoca uma queda de tensão fixa, V_z , dada por

$$V_z = (1 + R_{D1}/R_{D2}) \cdot V_{BE} \quad (3.4)$$

Sem esse deslocamento não seria possível manobrar diretamente a chave de corrente formada pelos pares Q_{7A} e Q_{7B} , os mesmos da Fig. 2.3. Estes transistores saturariam. Q_{4A} e Q_{4B} em configuração de diodo servem para limitar a tensão diferencial de saída nos coletores de Q_{2A} e Q_{2B} em cerca de 0,75V (seção 2.5), que é mais que suficiente para manobrar as chaves de corrente. A limitação na excursão do sinal de saída serve para minimizar o tempo de transição do comparador e, assim, torná-lo mais rápido.

3.3- GERAÇÃO DAS CORRENTES BINÁRIAS - 1a. parte

Para a realização física do conversor analógico-digital da Fig. 2.2. faz-se necessário gerar as correntes de peso binário $I_R/2$,

$I_R/4, \dots, I_R/2^N$ como está mostrado na Fig. 2.2. O Bloco gerador das correntes de referência juntamente com as chaves de corrente formam uma estrutura idêntica a um conversor digital-analógico [24].

O esquema básico de geração destas correntes está mostrado na Fig. 3.6. Consiste de um gerador de corrente de referência, I_R - que será a corrente de fundo-de-escala do conversor - e um gerador de correntes de pesos binários. O gerador de I_R consiste de um amplificador operacional, uma fonte de referência de precisão, V_R , e um resistor de precisão R ou potenciômetro para ajuste manual, de tal forma que $I_R = V_R/R$. O gerador de correntes de pesos binários é formado por uma malha $R-2R$ e 9 transistores, 6 dos quais transmitirão as correntes binárias para serem utilizadas no corpo principal do conversor.

Devido a forma como o bloco principal é polarizado, os transistores da malha $R-2R$ terão tensões de coletor diferentes. Assim, alguns destes transistores terão 5 ou 10V de tensão de coletor acima da tensão de coletor de outros transistores. Como as suas bases estão num mesmo potencial, os transistores terão tensões base-coletor diferentes. Devido ao efeito Early, os transistores terão os β 's e, consequentemente, os α 's sensivelmente diferentes entre si. Isto provoca erros na geração das correntes binárias de efeitos imprevisíveis na precisão geral do conversor A/D.

O efeito acima descrito pode ser compensado por deslocadores de nível representados na Fig. 3.6 pelos zeners Z_1, Z_2, \dots, Z_6 . Estes deslocamentos de nível podem ser implementados por circuitos multiplicadores de V_{BE} que têm a vantagem de terem os valores de deslocamento previsível, não provocarem qualquer erro adicional às

correntes binárias e nem influem na velocidade do conversor A/D. E para evitar valores excessivos nas resistências destes deslocadores de nível, pode-se empilhar 2 deslocamentos de 5V para formar um de 10V.

Os pares diferenciais presentes na Fig. 3.6 são as chaves analógicas da Fig. 2.2 e os diodos D_1 e D_2 são os transistores Q_{4a} e Q_{4b} da Fig. 3.2.

Para a estrutura R-2R funcionar adequadamente, é preciso que os transistores trabalhem com a mesma densidade de corrente para que as tensões V_{BE} sejam iguais entre si. Como as correntes tem peso binário, a área dos transistores também tem que ter pesos binários. Assim, por exemplo, o transistor responsável pela transmissão das correntes $I_R/2$ deveria ter uma área 32 vezes maior que os transistores responsáveis pela transmissão das correntes $I_R/64$. O que é um tamanho excessivo. No entanto, foi desenvolvida uma técnica que propõe evitar esse aumento abusivo na área dos transistores pela geração de uma fonte de corrente proporcional à temperatura (corrente PTAT) [24].

O transistor PNP serve para "mascarar" a corrente de retorno para a entrada do amplificador operacional que poderá atingir um valor que ultrapasse a máxima corrente que este pode absorver. Ele não tem nenhuma influência na precisão do circuito e faz com que a corrente que retorna ao amplificador seja a corrente que retorna da malha R-2R dividida pelo ganho de corrente β do mesmo. Assim,

$$I_o = I/\beta \quad (3.5)$$

3.4- GERAÇÃO DAS CORRENTES BINÁRIAS - 2a. parte

Como foi dito na seção 3.1. é teoricamente possível evitar os pares Darlington da Fig. 2.2 (Q_{NA} e Q_{NB}). Mas para isso, é necessário fazer algumas alterações no circuito gerador de correntes binárias da Fig. 3.5.

Observando-se os algoritmos ALG2 e ALG3 e a implementação deste último na Fig. 2.3, nota-se que os mesmos levaram em conta que os pares de transistores $Q_{1A} - Q_{1B}$, $Q_{2A} - Q_{2B}$, ..., $Q_{NA} - Q_{NB}$ tem os ganhos de corrente de base comum igual a 1. Para isso, como já foi dito, aqueles pares de transistores são Darlington's. Se assim não for, deve-se levar em conta o ganho em base-comum, α , daqueles transistores. Assim sendo, o algoritmo ALG3 deveria ser reescrito como mostrado em ALG7, na próxima página.

O que se observa em ALG7 é o crescimento da potência de α nas diversas parcelas das comparações. A maior potência, a partir da terceira comparação está sempre N-1 acima da menor potência, que também é sempre 1. Isto se deve ao empilhamento dos transistores de isolamento $Q_{NA} - Q_{NB}$.

Na segunda comparação I_x e I_R tem passado por um desses pares de transistores gerando para cada uma delas uma multiplicação por α , enquanto que $\bar{B}_0 \cdot I_R / 4$ e $B_0 \cdot I_R / 4$ passam pelos braços das chaves de corrente gerando, também, uma multiplicação por α em cada uma delas. Na terceira comparação I_x e $I_R / 2$ tem passado por dois pares de transistores de isolamento, $\bar{B}_1 \cdot I_R / 8$ e $B_1 \cdot I_R / 8$ por um destes transistores e um braço de corrente cada um, enquanto $\bar{B}_1 \cdot I_R / 8$ e $B_1 \cdot I_R / 8$ passam por um braço de corrente cada um. E, assim, por diante.

Considerando-se que num circuito monolítico os valores de α apresentam um ótimo casamento (um descasamento de 10% em β causa um

descasamento de apenas 0,09% em α), e se de alguma forma for possível eliminar as dispersões nas potências de α em ALG7, o efeito da multiplicação do α dos pares de transistores de isolação poderia ser compensado.

Para se multiplicar uma corrente por α basta colocar um transistor no "caminho" da corrente. A corrente entra no emissor e sai no coletor multiplicada por α .

A Fig. 3.7 mostra um circuito gerador de correntes binárias de referência com transistores de erro. Não foi considerado, nem

$$\begin{aligned}
 1- & I_x \langle \rangle I_R/2 \\
 2- & \alpha \cdot I_x + \alpha \cdot \bar{B}_0 \cdot I_R/4 \langle \rangle \alpha \cdot I_R/2 + \alpha \cdot B_0 \cdot I_R/4 \\
 3- & \alpha^2 \cdot I_x + \alpha^2 \cdot \bar{B}_0 \cdot I_R/4 + \alpha \cdot \bar{B}_1 \cdot I_R/8 \langle \rangle \alpha^2 \cdot I_R/2 + \alpha^2 \cdot B_0 \cdot I_R/4 + \alpha \cdot B_1 \cdot I_R/8 \\
 N- & \alpha^N \cdot I_x + \alpha^N \cdot \bar{B}_0 \cdot I_R/4 + \alpha^{N-1} \cdot \bar{B}_1 \cdot I_R/8 + \dots + \bar{B}_{N-2} \cdot I_R/2^N \langle \rangle \\
 & \alpha^N \cdot I_R/2 + \alpha^N \cdot B_0 \cdot I_R/4 + \alpha^{N-1} \cdot B_1 \cdot I_R/8 + \dots + B_{N-2} \cdot I_R/2^N
 \end{aligned}$$

ALG7 - Efeito da eliminação dos Darlington's no algoritmo da ALG3

neste circuito, nem no algoritmo ALG7, o erro provocado pelos transistores que estão na malha R-2R, pois I_x também vem de um coletor de um transistor como está mostrado na Fig. 2.3.2. Na comparação, um erro compensa o outro.

Continuando, pode-se dizer que a corrente $I_R/8$ passando pelo transistor Q'_4 tem seu valor multiplicado por α : $I_R/16$ passando por Q'_5 e Q'_5 tem seu valor multiplicado por α^2 . Assim, as comparações em ALG7 ficam como mostrado no algoritmo ALG8.

CHAVE DE CORRENTE

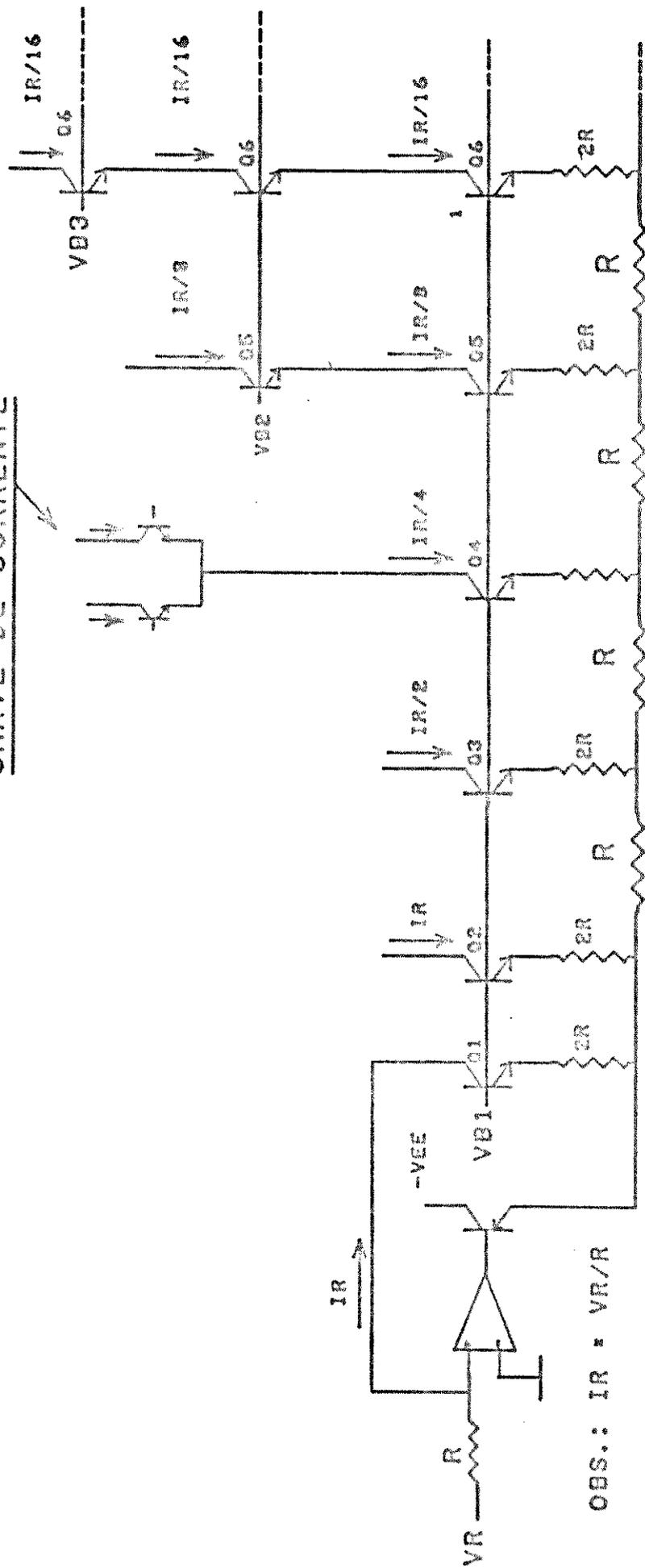


FIG. 3.7 - CIRCUITO GERADOR DE CORRENTES BINÁRIAS COM COMPENSAÇÃO DE ERRO (SOLUÇÃO S/ DARLINGTON)

Assim, como se pode ver neste algoritmo, a compensação do erro faz desaparecer a dispersão de potências de α que aparecem em ALG8.

3.5. SIMULACAO DO ALGORITMO DE CONVERSÃO COM TESTE DE DISTRIBUIÇÃO NORMAL.

Pode-se simular o algoritmo ALG8 levando em conta a dispersão no ganho de corrente β dos transistores de isolação e dos transistores do circuito de geração de correntes de peso binário. Isso dá

$$\begin{aligned}
 1- I_x &\langle I_R/2 \\
 2- \alpha \cdot I_x + \alpha \cdot \bar{B}_0 \cdot I_R/4 &\langle \alpha \cdot I_R/2 + \alpha \cdot B_0 \cdot I_R/4 \\
 3- \alpha^2 \cdot I_x + \alpha^2 \cdot \bar{B}_0 \cdot I_R/4 + \alpha^2 \cdot \bar{B}_1 \cdot I_R/8 &\langle \\
 &\alpha^2 \cdot I_R/2 + \alpha^2 \cdot B_0 \cdot I_R/4 + \alpha^2 \cdot B_1 \cdot I_R/8 \\
 N- \alpha^N \cdot I_x + \alpha^N \cdot \bar{B}_0 \cdot I_R/4 + \alpha^N \cdot \bar{B}_1 \cdot I_R/8 + \dots + \bar{B}_{N-2} \cdot I_R/2^N &\langle \\
 \alpha^N \cdot I_R/2 + \alpha^N \cdot B_0 \cdot I_R/4 + \alpha^N \cdot B_1 \cdot I_R/8 + \dots + B_{N-2} \cdot \alpha^N \cdot I_R/2^N &
 \end{aligned}$$

ALG8- Algoritmo de conversão A/D de corrente de uso de configuração Darlington e com compensação de erro.

um total de 46 transistores.

Para realizar a simulação, usou-se o método de Monte Carlo [25] para gerar aleatoriamente os 46 valores de β (50, um número redondo) supondo-se que estes valores obedecem a uma distribuição normal.

Um método conhecido para geração dos valores distribuídos normalmente consiste do emprego das fórmulas:

```

10 OPEN"0",#1,"GERA.OUT"
20 RANDOMIZE
30 S=6.66666:M=100:GOSUB 40
40 FOR J=1 TO 50:R1=RND:R2=RND
50 Z=SQR(-2!*LOG(R1))*COS(6.28319*R2):X=S*Z +M:PRINT#1,X
60 NEXT J
70 CLOSE:END

```

Fig. 3. - Programa de geração de números distribuídos normalmente.

```

10 DIM X(1000),Y(1000),A(60):OPEN"1",#1,"GERA.OUT":OPEN"0",#2,"ADC.OUT"
20 FOR I=1 TO 50:INPUT#1,A(I)
30 A(I)=A(I)/(1+A(I))
40 NEXT I
50 I=0
60 FOR IX=.0078125 TO 5 STEP .0078125:Y=IX
70 IF Y>2.5 THEN B0=1:A0=0:GOTO 90
80 B0=0:A0=1
90 I1=A(42)*Y +A(2)*A0*.125:I2=A(1)*2.5 +A(4)*B0*.125
100 IF I1 > I2 THEN B1=1:A1=0:GOTO 120
110 B1=0:A1=1
120 I1=A(5)*I1 + A(6)*A(7)*A1*.625
130 I2=A(43)*I2 + A(9)*A(10)*B1*.625
140 IF I1>I2 THEN B2=1:A2=0:GOTO 160
150 A2=1:B2=0
160 I1=A(11)*I1 +A(12)*A(13)*A(14)*A2*.3125
170 I2=A(44)*I2 +A(16)*A(17)*A(18)*B2*.3125
180 IF I1 > I2 THEN B3=1:A3=0:GOTO 200
190 B3=0:A3=1
200 I1= A(19)*I1 +A(20)*A(21)*A(22)*A(24)*A3*.3125/2
210 I2= A(45)*I2 + A(26)*A(27)*A(28)*A(29)*B3*.3125/2
220 IF I1 > I2 THEN B4=1:A4=0:GOTO 240
230 B4=0:A4=1
240 I1= A(30)*I1 + A(31)*A(32)*A(33)*A(34)*A(35)*A4*.3125/4
250 I2= A(46)*I2 + A(37)*A(38)*A(39)*A(40)*A(41)*B4*.3125/4
260 IF I1>I2 THEN B5=1:A5=0:GOTO 280
270 B5=0:A5=1
280 I=I+1:X(I)=IX:Y(I)=B0*2.5 + B1*.125 +B2*.625 +B3*.3125 + B4*.3125/2
290 Y(I)=Y(I)+B5*.3125/4
300 NEXT IX
310 FOR I=1 TO 639:PRINT#2,X(I),Y(I)
320 NEXT I
330 CLOSE:END

```

Fig. 3. - Programa de simulação do algoritmo de conversão da Fig. 3.9 com dispersão nos ganhos de corrente

$$x_1 = (-2 \cdot \log_e r_1)^{1/2} \cdot \cos(2 \cdot \pi \cdot r_2) \quad \text{e} \quad (3.6.1)$$

$$x_2 = (-2 \cdot \log_e r_2)^{1/2} \cdot \cos(2 \cdot \pi \cdot r_1) \quad (3.6.2)$$

onde r_1 e r_2 são dois valores aleatórios distribuídos uniformemente no intervalo (0,1). Assim, x_1 e x_2 são dois valores aleatórios da distribuição normal padrão.

Usando-se (3.6.1) e (3.6.2), gerou-se 50 valores para o ganho de corrente β dos transistores usando um programa escrito em linguagem Basic e que está mostrado na Fig. 3.8. Nele variou-se aleatoriamente r_1 e r_2 . S representa o desvio padrão e M, a média dos valores de β que tem um valor médio (ou valor nominal) assumido de 100. Z representa x_1 e x_2 .

Os valores de β , isto é, de X, são guardados em um arquivo para uso no programa de simulação do algoritmo da ALGB, que está mostrado na Fig. 3.9. Neste programa, o vetor A(1), A(2), ..., A(50) representa os valores de β gerados na Fig. 3.8 e também representa os diversos valores de α , já que $\alpha = \beta / (\beta + 1)$. B0, B1, ..., B5 representam a palavra binária de saída do "conversor" para valores de IX variando de 0 a 5 (a corrente de fundo-de-escala do "conversor" é 5A). A0, A1, ..., A5 representam $\overline{B0}, \overline{B1}, \dots, \overline{B5}$. Y(1) representa os diversos valores reconstituídos de IX. Seria a saída de um conversor digital-analógico.

Os resultados desta simulação foram julgados satisfatórios para uma conversão de pelo menos 8 bits, resultados estes que serão apresentados após a definição de número efetivo de bits, um fator de mérito.

3.6 - NUMERO EFETIVO DE BITS

A Fig. 3.10 mostra a curva de transferência genérica de um conversor analógico-digital ideal que pode ser tanto estática, como dinâmica. A escada é, naturalmente, a saída de um conversor digital analógico e V_R é a sua tensão (ou corrente) de fundo de escala. Se a entrada do ADC for uma rampa (de corrente ou tensão), o número efetivo de bits está relacionado com a dispersão dos pontos da curva de transferência em torno da reta dos mínimos quadrados. E o parâmetro que retrata esta dispersão é VRMS, uma medida de correlação que é dada por

$$VRMS = \left(\frac{\sum_{i=1}^{N_p} (y_i - y_{est})^2}{N_p} \right)^{1/2} \quad (3.7)$$

onde $y_{est} = a \cdot x_i + b$, a e b representam as constantes da reta dos mínimos quadrados obtida por regressão linear a partir dos pontos x_i e y_i e N_p é o número de pontos considerados na regressão.

Se a distribuição destes pontos em torno desta reta fosse normal, e considerando um número suficientemente grande deles, 99,7% teriam uma dispersão máxima de 3.VRMS. Assim,

$$VRMS(ideal) = \frac{1}{3} \frac{VR}{2^{N+1}} = \frac{LSB}{6} \quad (3.8)$$

Como a distribuição de pontos não é normal, a relação (3.8) não vale. Experimentalmente, usando simulação computacional, foi determinado que $VRMS(ideal) = 0.0045218$, para um conversor ideal de 6 bits e tensão (ou corrente) de fundo de escala normalizado em 1. Assim, a partir de (3.8) tem-se:

$$VRMS(ideal) = x \cdot \frac{VR}{2^N + 1} \quad (3.9)$$

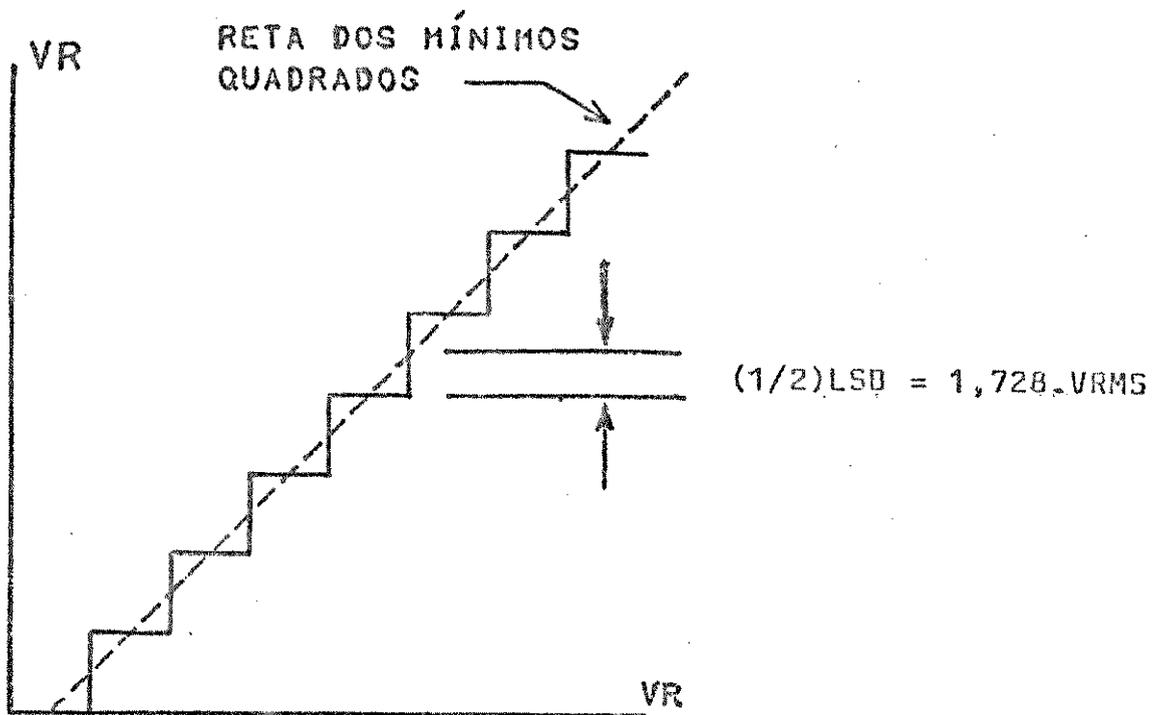


Fig. 3.10 - Curva de transferência ideal de um ADC.

com $x = 0.57879$. Assim, para $N = 6$ e $VR = 5$, $VRMS(ideal) = 0.022809$.

Da Eq. 3.9 vê-se que $VRMS$ é inversamente proporcional a N , onde N é o número de bits do ADC. Assim, quanto maior o número de bits do conversor, menor a dispersão dos pontos em torno da reta dos mínimos quadrados. O inverso também é verdadeiro. Assim, se para um dado conversor com um determinado número de bits, pode-se determinar o seu número efetivo de bits N' determinando o $VRMS(real)$, o parâmetro de dispersão que ele efetivamente terá. Assim,

$$VRMS(real) = x \cdot \frac{VR}{2^{N'} + 1} \quad (3.10)$$

Dividindo membro a membro (3.9) e (3.10) tem-se:

$$\frac{\text{VRMS}(\text{real})}{\text{VRMS}(\text{ideal})} = \frac{2^{N+1}}{2^{N'+1}} = 2^{N-N'} \quad (3.11)$$

Da Eq. 3.11 chegou-se à expressão que dá o número efetivo de bits N' :

$$N' = N - \text{Log}_2 \frac{\text{VRMS}(\text{real})}{\text{VRMS}(\text{ideal})} \quad (3.12)$$

Usou-se a equação acima para determinar o N' para a simulação do algoritmo da Fig. 3.9 numa conversão de 6 bits. Para $\beta = 100$ dos transistores e uma dispersão máxima de 20% em torno deste valor, isto é β variando de 80 a 120, $N' = 5.97$. Isto sugere que a dispersão de β nestes limites não é um fator limitante em si. Isto é de se esperar pois uma variação de 20% no valores de β corresponde a uma variação de apenas 2% no valores de α .

CAPITULO 4

TESTES E RESULTADOS DE UM CONVERSOR A/D DE 6 BITS

4.1 SIMULACAO DO CONVERSOR

Muitas simulações numéricas usando o SPICE 2 [27] foram realizadas para um conversor analógico-digital de 6 bits que trabalha segundo a nova técnica proposta, cujos resultados serão apresentados e discutidos neste capítulo. Com o SPICE se obtém resultados que tem um grande significado se usarmos os parâmetros corretos [28]. Com ele pode-se agilizar o processo de otimização do circuito antes de construí-lo e dispensar, assim, recursos de testes que nem sempre se dispõe. Isto é particularmente crítico para o caso de conversores A/D onde certos testes, principalmente os dinâmicos (onde está o maior interesse), exigem sofisticada instrumentação [29,30], que não dispomos para a nossa pesquisa. Além do mais, o circuito visa uma integração futura, a que será objeto de futuros trabalhos no Laboratório de Eletrônica e Dispositivos da Faculdade de Engenharia Elétrica da Unicamp, trabalhos estes que poderão resultar em novas teses de Mestrado e/ou Doutorado dando continuidade a este, da mesma forma que este é a continuidade do trabalho desenvolvido pelo Prof. Dr. José Antonio

Siqueira Dias no projeto de um conversor digital-analógico cujos resultados podem, na sua quase totalidade, serem aproveitados no nosso. Assim sendo, a simulação nos oferece, resguardadas as suas limitações, a oportunidade de antever o funcionamento do circuito integrado.

4.2 A SIMULACAO E SEUS PARAMETROS

Apesar de sua grande valia e ajuda, a simulação apresentou dois inconvenientes que impuseram limites a número de testes que foram realizados: a) problemas de não convergência numérica e b) tempo de processamento, ou tempo de CPU do computador. Para contornar o primeiro problema foram alterados alguns dos parâmetros do SPICE, como o número de iterações que ele realiza, precisão relativa, etc. A mensagem "time step too small" aparecia com frequência nos arquivos de saída das análises-transiente e não se obtinha resultado algum ou, quando muito, resultados parciais. Isto demandou tempo. Quanto ao segundo, nada se pôde fazer. Utilizou-se o computador VAX (Digital) do Centro de Computação da Unicamp. Nestas análises, onde efetivamente pôde-se avaliar o desempenho do conversor quanto ao aspecto da velocidade de conversão, o tempo médio de processamento (tempo de CPU) era de 3 horas. Com isso, o processamento se dava na filas de execução de mais baixa prioridade e as respostas demandavam em média 3 dias para serem obtidas. Existe uma versão do SPICE para os microcomputadores compatíveis com o IBM-PC, mas a execução dos testes do conversor proposto, mesmo com menor número de bits, é inviável dado o tempo de processamento excessivamente longo.

Nas simulações usou-se dois conjuntos de parâmetros de

transistores: o da SID-Microeletrônica-Contagem-Minas Gerais, usado no PMU nacional e o da Plessey Caswell Limited, Inglaterra [31]. Para o primeiro, o transistor tem um $f_T = 300\text{MHz}$. Para^o segundo, o transistor tem um $f_T = 5\text{GHz}$ para uma corrente de coletor de cerca de 7mA [32]. Usou-se, ainda, os parâmetros da tecnologia de 10GHz da mesma Plessey. A tabela abaixo mostra os principais parâmetros dos transistores de cada uma das tecnologias usados no SPICE.

	300MHz	5GHz	10GHz
ISCAJ - CORRENTE DE SATURAÇÃO	50E-17	1,3E-16	7E-17
BF -BETA DIRETO MÁXIMO IDEAL	100	100	100
VF (VOLTS) - TENSÃO EARLY DIRETA	80	34	30
RB (OHMS) - RESISTÊNCIA DE BASE	100	130	500
RE (OHMS) - RESISTÊNCIA DE EMISSOR	6	2,1	10
RC (OHMS) - RESISTÊNCIA DE COLETOR	1	30	60
CJE (pF) - CAP. DE JUNÇÃO BASE-EMISSION	0,38	0,15	0,025
CJC (pF) - CAP. DE JUNÇÃO BASE-COLETOR	0,25	0,07	0,02
CJC (pF) - CAP. DE SUBSTRATO	0,3	0,3	0,05
TF (pF) - TEMPO DE TRANSITO IDEAL	267	29	15

TABELA 4.1 - Parâmetros de transistores NPN para o SPICE.

Ainda se levou em conta a tensão de offset de entrada dos comparadores. Para isso usou-se o programa da Fig. 3.10 para gerar sete valores de tensão de offset que tivesse uma distribuição normal com valor médio igual a 0 e um desvio padrão igual a $0,5\text{mV}$. Isto corresponde a dizer que espera-se que a tensão de offset dos comparadores seja nula e que tenha um valor máximo de $\pm 1,5\text{mV}$. O mesmo

foi feito com os resistores de degeneração dos transistores Q_{NA} e Q_{NB} da Fig. 2.2. Usou-se o mesmo programa para gerar 14 resistores com valor médio igual a 200Ω e desvio relativo máximo de 0,1%.

4.3 TESTES

Realizou-se no circuito testes estáticos e dinâmicos. Em ambos os casos foram levantadas curvas de transferência. A partir destas curvas inferiu-se várias características importantes, como linearidade, taxa de conversão, etc.

4.3.1 TESTE ESTÁTICO DO CONVERSOR A/D

Tão importante quanto saber acerca da velocidade de conversão do conversor A/d. é saber da precisão com que ele trabalha, isto é, se as conversões se dão dentro de limites toleráveis de erro. E esse limite é $1/2$ LSB, ou seja, uma palavra binária de saída correspondente a um valor analógico de entrada com uma incerteza de $1/2$ LSB.

A análise de desempenho estático de um ADC pode ser feita por inspeção da curva de transferência. A obtenção desta curva pode ser feita usando-se o aparato mostrado na Fig. 4.1. Nele, uma forma de onda triangular de baixa frequência, ou uma rampa, V_x , é a entrada de um conversor analógico-digital sob teste (CST). A saída digital do CST é recomposta pelo conversor digital-analógico (DAC) resultando numa tensão analógica de saída V_A . V_x vai para o eixo X e V_A , para o eixo Y do osciloscópio. O que se observa na sua tela é a curva de transferên-

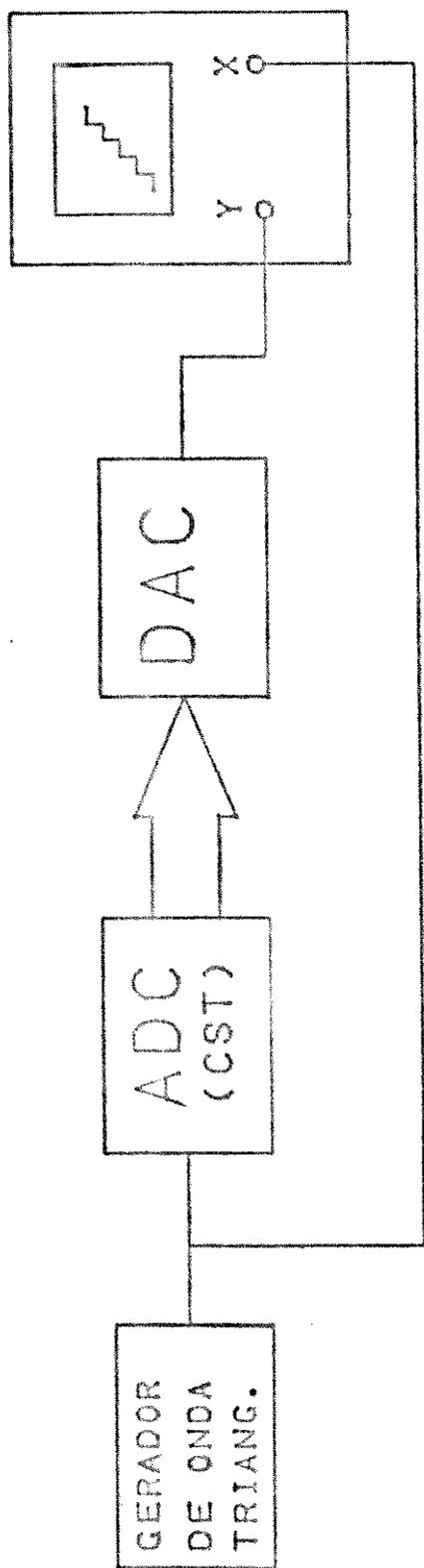


FIG. 4.1 - APARATO PARA OBTENÇÃO DA CURVA DE TRANSF. DE UM ADC

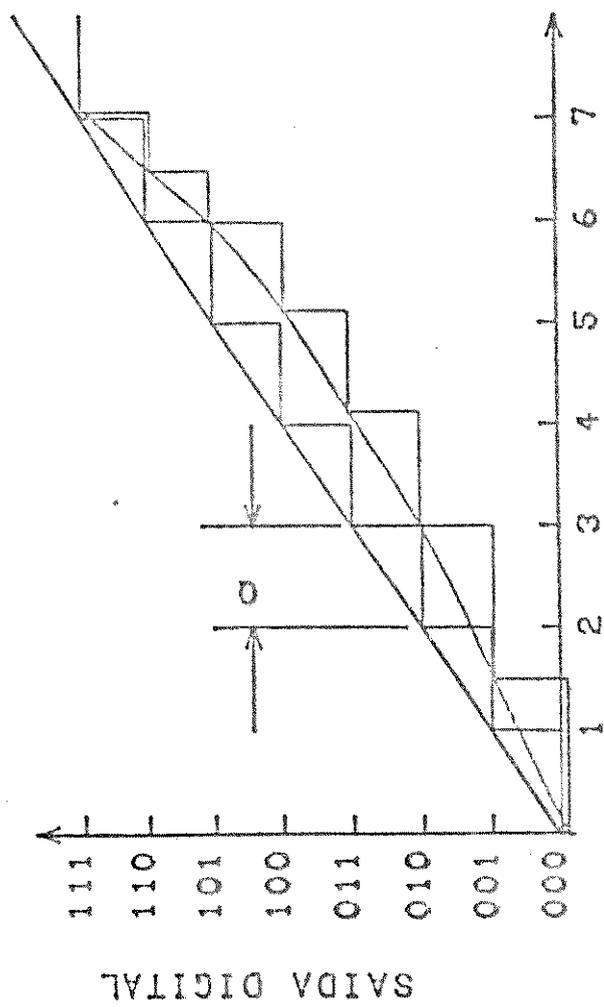


FIG. 4.2 - CURVA DE TRANSFERÊNCIA DE UM CONVERSOR DE 3 BITS

cia que tem a forma de uma escada com degraus de largura Q . Esta curva está mostrada na Fig. 4.2 e erros, como não-monotonicidade, grandes erros de não-linearidade diferencial, histerese e não-linearidade integral podem ser detectados por inspeção visual.

Na Fig. 4.2 tem-se, na verdade, duas curvas de transferência, uma real e outra ideal. Ao contrário da ideal, a curva real tem diferentes larguras de degrau. isto é, as transições não ocorrem em intervalos regulares. A maior diferença entre um degrau de uma curva real e o degrau da curva ideal é o erro de não-linearidade diferencial (ENLD). Na verdade, pode-se ter um ENLD para cada degrau e o maior destes erros é o ENLD do conversor como um todo.

Seja um ADC perfeito. A diferença entre o sinal reconstruído V_A e o sinal de entrada V_X versus a tensão analógica de entrada resulta de uma curva bem conhecida: a dente-de-serra que está mostrada na Fig. 4.3. Para que esta curva tenha um valor médio igual a zero e uma variação máxima em torno deste valor de $\pm Q/2$, um *offset* de $+Q/2$ é considerado para o DAC. Para um conversor real estes limites podem ser ultrapassados como está mostrado na Fig. 4.4. Portanto, a máxima diferença $|V_A - V_X|$, descontado o valor $Q/2$ nos dá a não-linearidade integral do conversor (NLI). Da mesma forma que o ENLD, tem-se um erro de não-linearidade para cada degrau da curva de transferência e o maior destes erros dá a NLI do conversor como um todo.

Outro fator de mérito que pode-se levar em conta é o número efetivo de bits já explicado no capítulo anterior.

Os parâmetros acima descritos e outros podem ser estimados se dispuser de um número suficientemente alto de pontos da curva. Dispondo-se do conversor, pode-se usar um sistema automático de aqui-

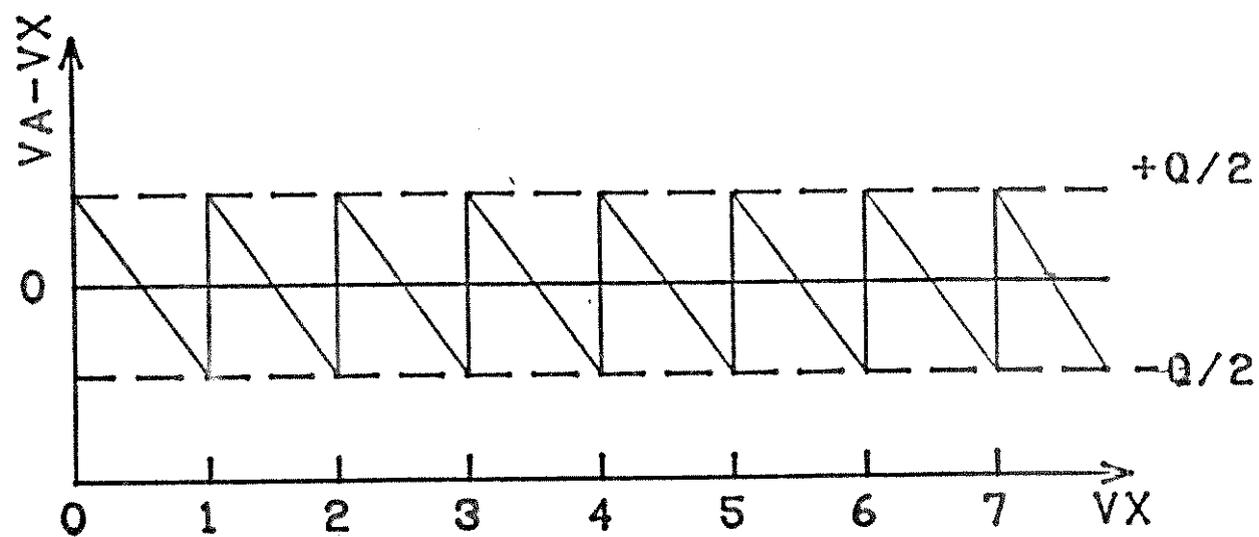


FIG. 4.3 - ERROS DE QUANTIZAÇÃO DE UM ADC IDEAL

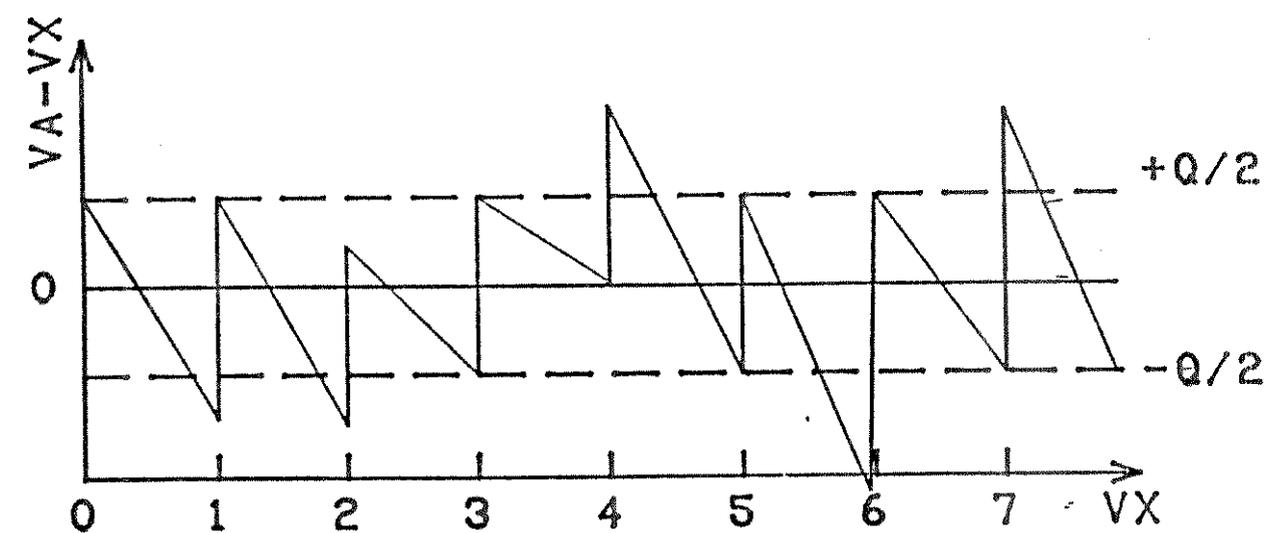


FIG. 4.4 - ERROS DE QUANTIZAÇÃO DE UM ADC REAL

sição de dados baseado em microcomputador para a obtenção destes pontos. Um aparato deste está mostrado de forma simplificada na Fig. 4.5. Por outro lado, se o circuito que realiza a conversão for passível de simulação computacional, como é o caso, estes pontos são a saída natural desta simulação.

A Fig. 4.6 mostra a curva de transferência estática de um conversor A/D de 6 bits obtida da simulação. A curva tem 640 pontos, dez para cada um dos $2^6 = 64$ códigos. Visualmente pode-se concluir que o circuito tem uma boa linearidade, baixo ENLD e nenhum código perdido (no *missing code*). De qualquer forma, os gráficos das figuras 4.7 e 4.8 oferecem meios mais objetivos de analisá-lo. A Fig. 4.7 mostra um histograma para os pontos da curva da Fig. 4.6 com as barras indicando o número de incidências de cada código. Portanto, uma barra para código, ou seja, 64 barras. Para um conversor ideal, as barras teriam as mesmas alturas indicando dez incidências para cada código mostrando que os degraus da escada teriam as mesmas larguras. Em outras palavras o histograma mostra como varia a largura de cada um dos degraus e, portanto, a variação do erro de quantização em função do sinal de entrada I_x . Considerando que a mínima incidência foi 7 e que a máxima foi 10, e que a corrente máxima de entrada do conversor é 5mA, pode-se estimar o ENLD do mesmo como:

$$\text{ENLD} = (7 - 10) \cdot 5\text{mA} / 640 = -0,023\text{mA} \quad (4.1)$$

Isto equivale $(0,023/0,039) \cdot 100 \approx 60\%$ de $1/2\text{LSB}$.

A Fig. 4.8 foi obtida diminuindo-se ponto-a-ponto os valores da curva de transferência da Fig. 4.6 com o correspondente valor

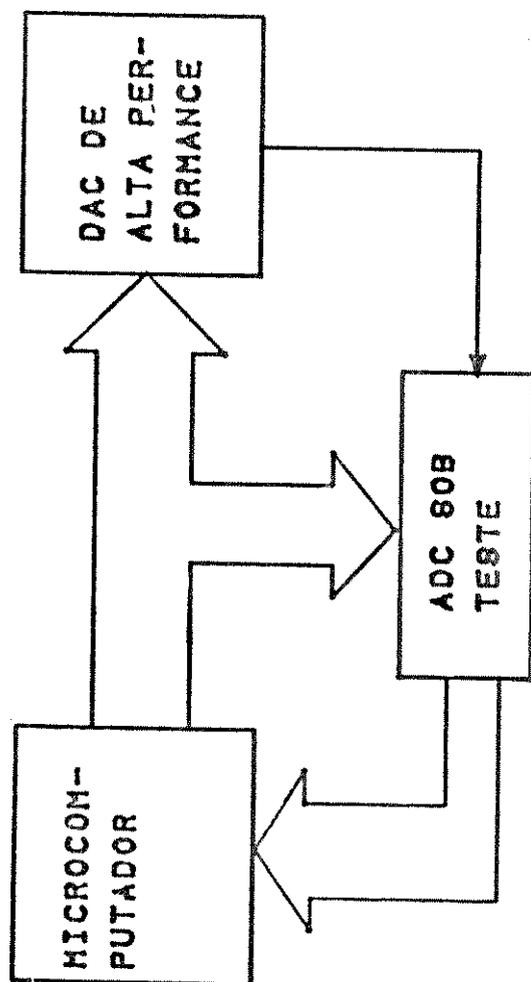


FIG. 4.6 - TESTE AUTOMATICO DE PERFORMANCE ESTATICA DE UM ADC

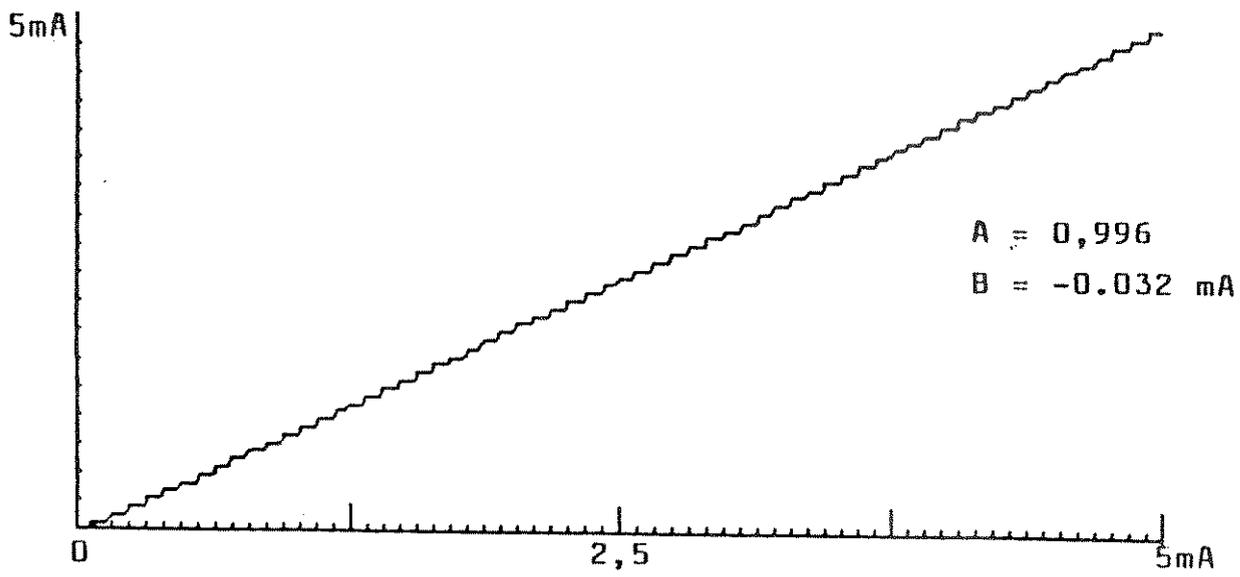


Fig. 4.6

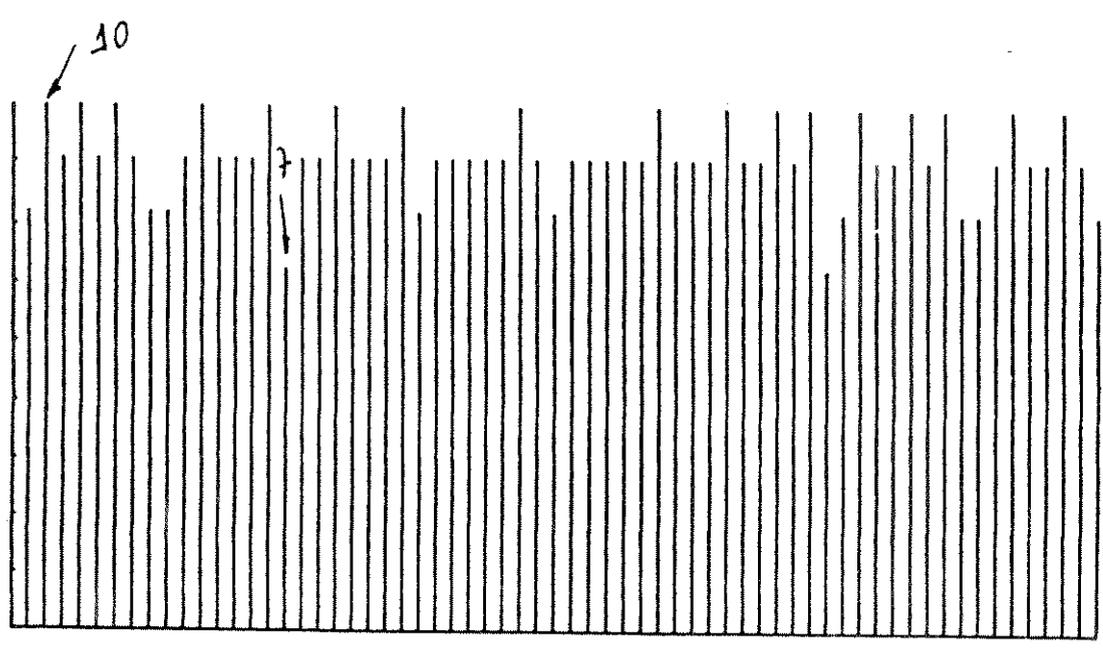


Fig. 4.7 - Histograma de incidência de códigos.

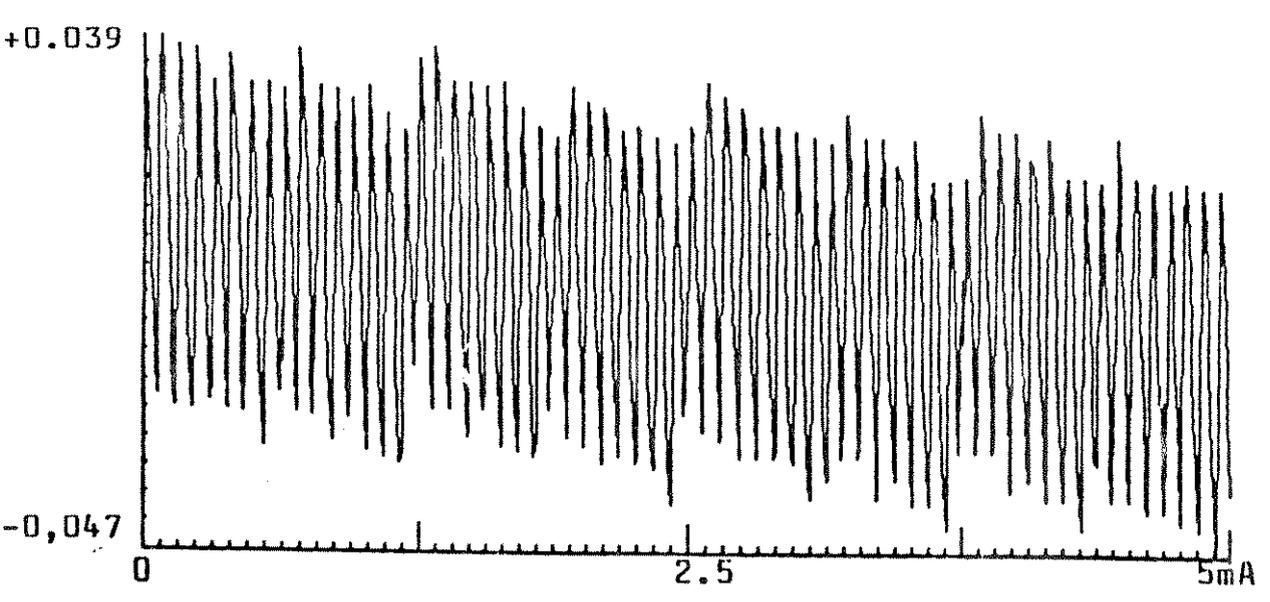


Fig. 4.8 - Erro de quantização da curva da Fig. 4.6

de I_x . Assim, a Fig. 4.8 mostra a variação da saída em torno de uma reta de inclinação unitária passando pela origem, ou seja, o erro de quantização para a característica de transferência. A maior destas variações observada foi 0,047mA (1/2 LSB = 0,039mA). A partir deste dado pode-se estimar a NLI do conversor.

$$NLI = 0,047 - 0,039 = 0,008\text{mA} \quad (4.2)$$

ou $(0,008/0,039) \cdot 100 = 2,05\%$ de 1/2LSB

A inclinação da reta dos mínimos quadrados da curva de transferência obtida a partir dos pontos da simulação mostrou um valor bem próximo do ideal que é 1. Na curva este valor está indicado pelo parâmetro A. Também está mostrado na curva o número efetivo de bits N' .

Os resultados acima foram obtidos à temperatura ambiente, ou seja 27°C. Os mesmos testes foram realizados à temperatura de 50°C, cujos resultados estão mostrados nas figuras 4.9.1, 4.9.2 e 4.9.3.

É oportuno advertir que nenhum dos parâmetros acima mostrados tem sentido como valores absolutos e, sim, como valores relativos, posto que resultam de simulação e, não, do circuito montado. O número efetivo de bits, por exemplo, varia de teste a teste. Este número e a velocidade de conversão, dada uma estrutura, guardam uma relação direta com os níveis de corrente de polarização e, portanto, com o consumo do circuito. Muito provavelmente é o que acontecerá com o circuito construído: aumentando-se o seu consumo torna-se o conversor mais rápido e preciso. Por outro lado, aquele número diminui com o aumento da taxa de variação do sinal de entrada I_x . Também se pode

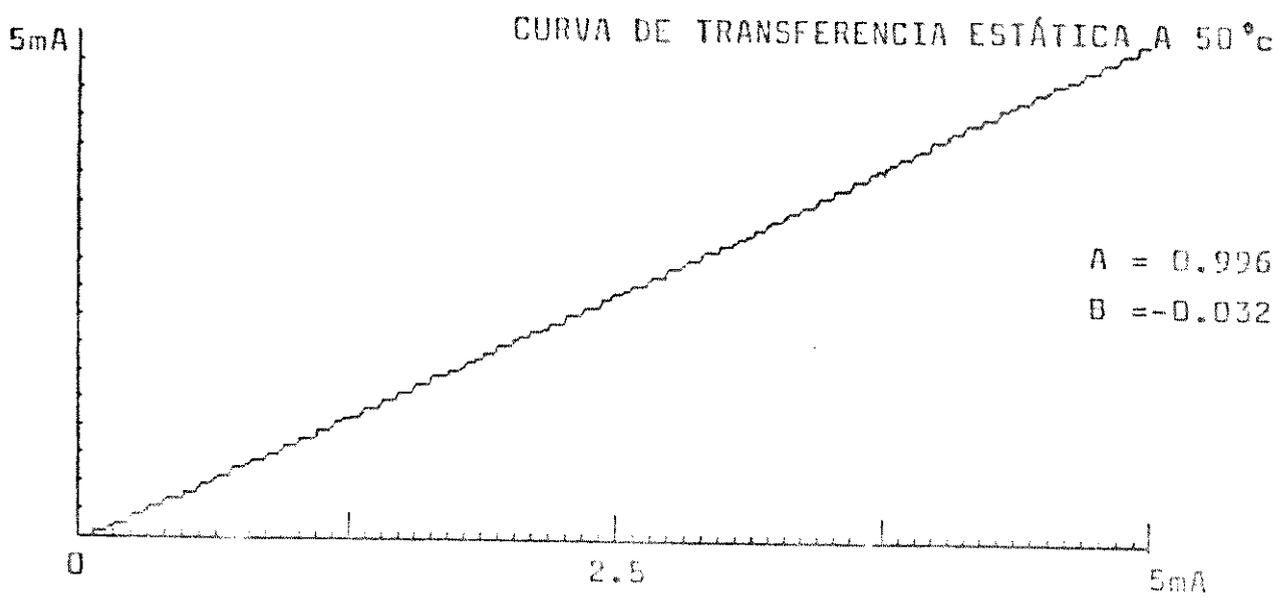


Fig. 4.9.1

9

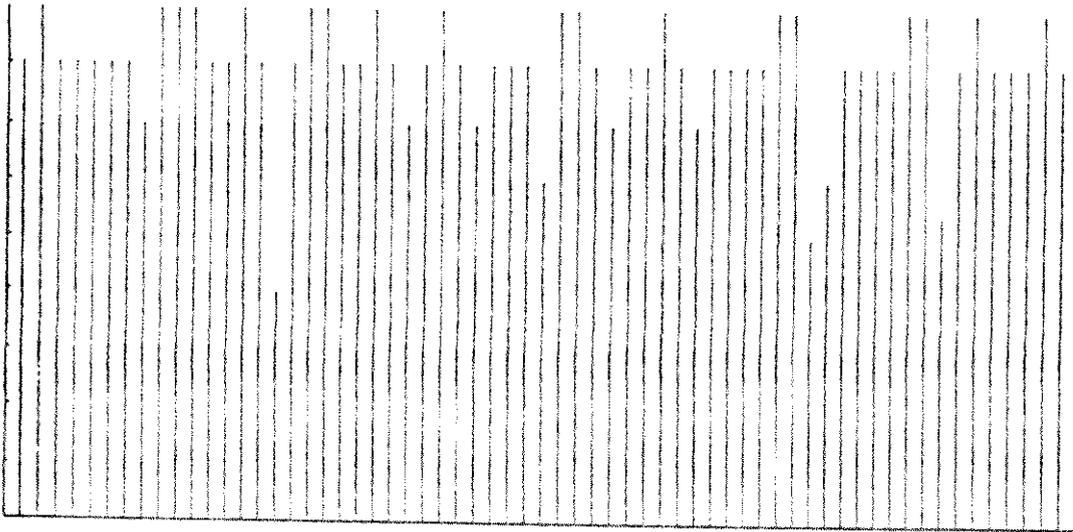


Fig. 4.9.2 - HISTOGRAMA

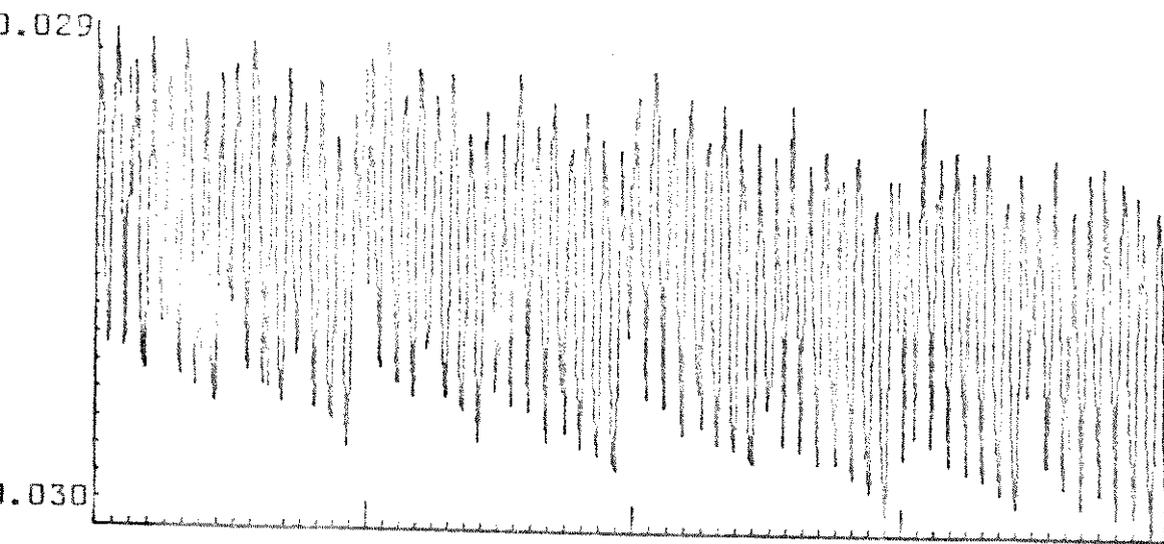


Fig. 4.9.3

fazer um estudo da influência da temperatura sobre o circuito a partir da dedução daqueles parâmetros.

4.3.2 TESTES DINAMICOS

Os testes dinâmicos consistiram na obtenção de curvas de transferência dinâmicas e testes simulados para a determinação do tempo de conversão. A curva de transferência dinâmica é idêntica a curva estática. Uma rampa ou uma curva triangular em corrente é considerada como entrada do conversor com um tempo de subida de cerca de 2^N vezes o tempo de conversão do conversor A/D, τ_C , estimado em $N \cdot \tau_R$ onde τ_R é o tempo de resposta dos comparadores e N é o seu número de bits. Chama a atenção o fato de que τ_C não guarda uma relação linear com τ_R , posto que a obtenção dos bits não se dá em tempos definidos, sincronizados com um relógio, como é o caso da estrutura clássica de conversão por aproximação sucessiva. A obtenção de todos os bits é feita quase simultaneamente. Assim,

$$\tau_C < N \cdot \tau_R \quad (4.3)$$

A diferença entre o teste estático e o teste dinâmico de um conversor analógico-digital ultra-rápido é a mesma entre os testes de um carro esporte parado e andando. Com o carro parado pode-se ver o quanto o velocímetro do carro indica como máxima velocidade que ele pode andar, quantos cilindros ele tem, suas linhas, seu conforto, sua potência, etc., inteirando-se, assim, de suas "características estáticas". Mas só quando se anda nele é que pode-se medir seu desempenho,

suas "características dinâmicas". E, como o usuário de um ADC ultrarrápido, o aficionado por carro esporte não está muito interessado no consumo.

Retomando às discussões, vê-se que a Fig. 4.10 mostra a resposta do circuito a uma rampa de corrente cujo valor máximo corresponde ao fundo de escala do conversor, ou seja, 5mA com tempo de subida de $8\mu\text{s}$. O sinal tem a forma de uma escada com $2^6 = 64$ degraus correspondendo a 64 códigos, onde 6, repetimos, é o número de bits do ADC. O conversor trabalha livre (*free running*) como num circuito analógico qualquer. Consequentemente, os *glitches* (ou *spikes*), cuja origem foi explicada na seção 2.4, que nada mais são do que transientes do circuito, aparecem em quase todos os degraus. Com o *strobe* no comparador e um *latch* na saída na forma como está mostrado na Fig. 1.1, estes transientes não apareceriam. No entanto, desconhece-se uma forma de simular um circuito parte analógico, parte digital. A Fig. 4.11 mostra a curva da Fig. 4.10 expandida. O número efetivo de bits e a inclinação da reta dos mínimos quadrados estão indicados no gráfico pelos parâmetros N' e A , respectivamente. A não-linearidade integral e a não-linearidade diferencial não podem ser estimadas devido aos *spikes*. Apesar disso, o erro de quantização é mostrado na Fig. 4.12. O histograma de incidência não tem sentido nas curvas de transferência dinâmicas. Com o *strobe* dos comparadores e com o *latch* de saída, sim.

As figuras 4.13.1, 4.13.2, 4.13.3 representam a variação ao longo do tempo dos 3 bits menos significativos, na ordem de cima para baixo, B_5 , B_4 e B_3 , como seriam vistos num osciloscópio multi-traço. Como se pode ver, não há perda de nenhum dos 64 códigos. O sinal é visto à saída dos condicionadores de nível (a tensão diferen-

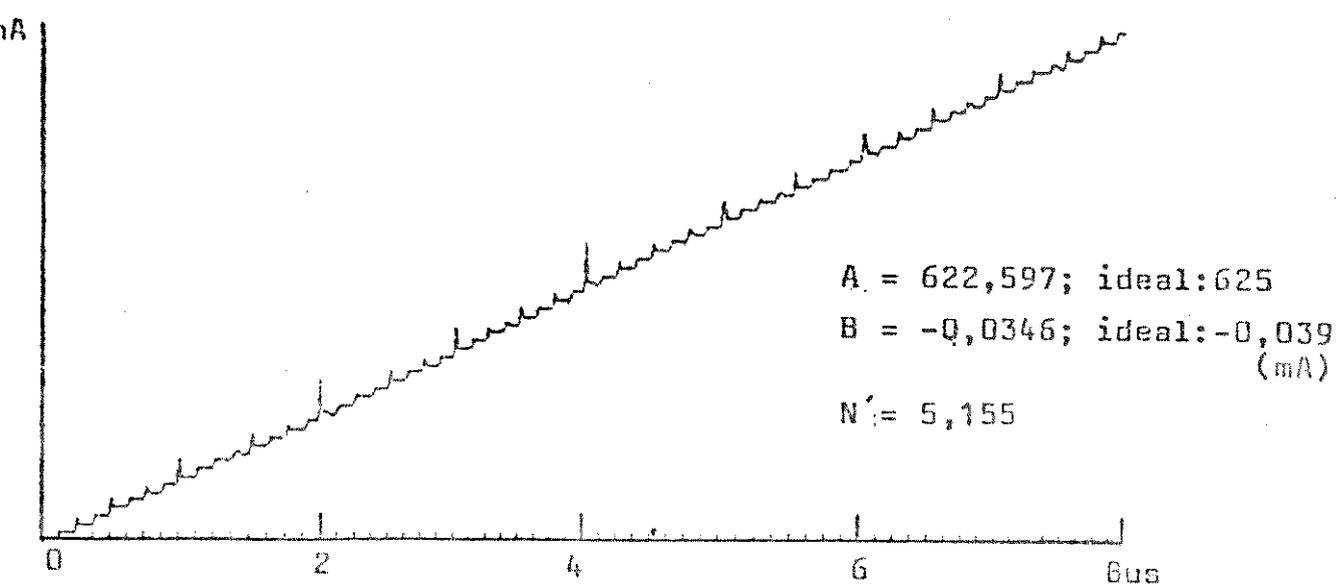


Fig. 4.10 - Curva de transferência dinâmica de um ADC de 6 bits, taxa de conversão de 8M e $f_f = 300\text{Mz}$.

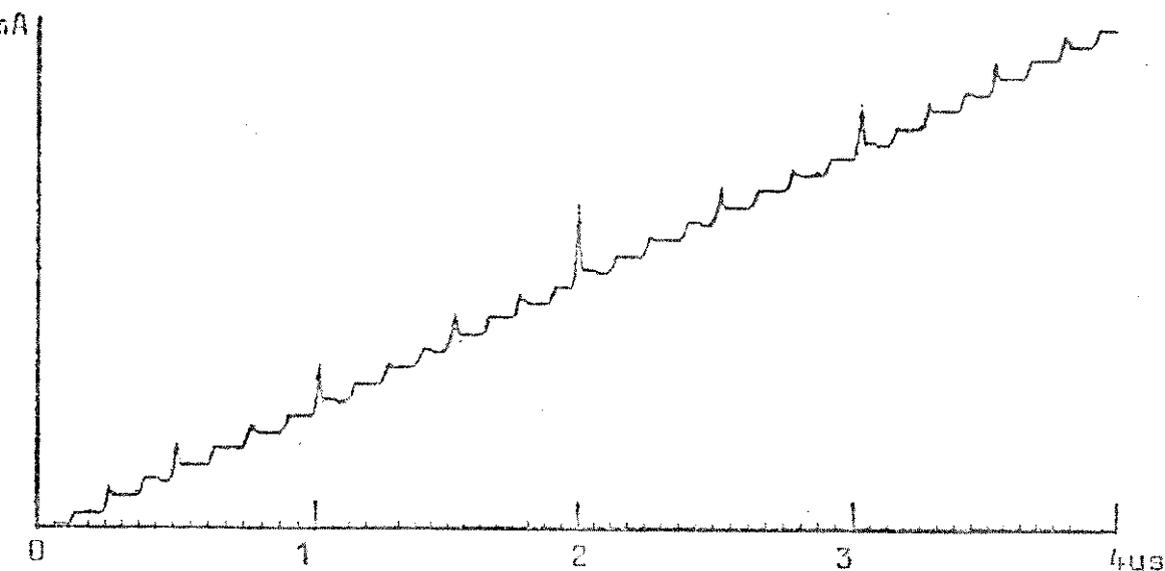


Fig. 4.11 - Expansão de curva mostrada na Fig. 4.10.

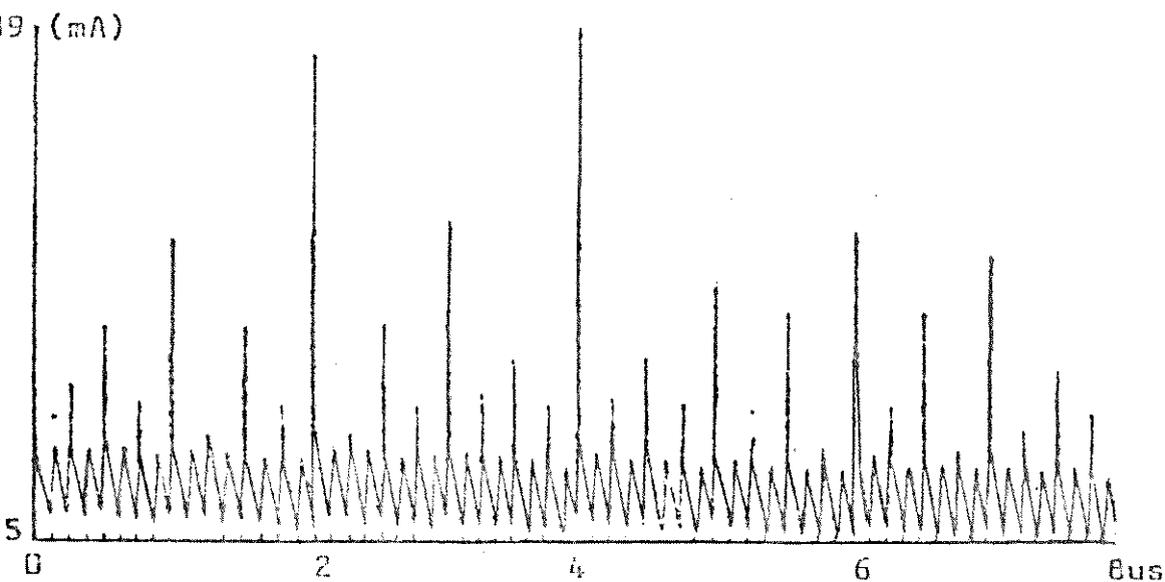


Fig. 4.12 - Erros de quantização da curva da Fig. 4.10.

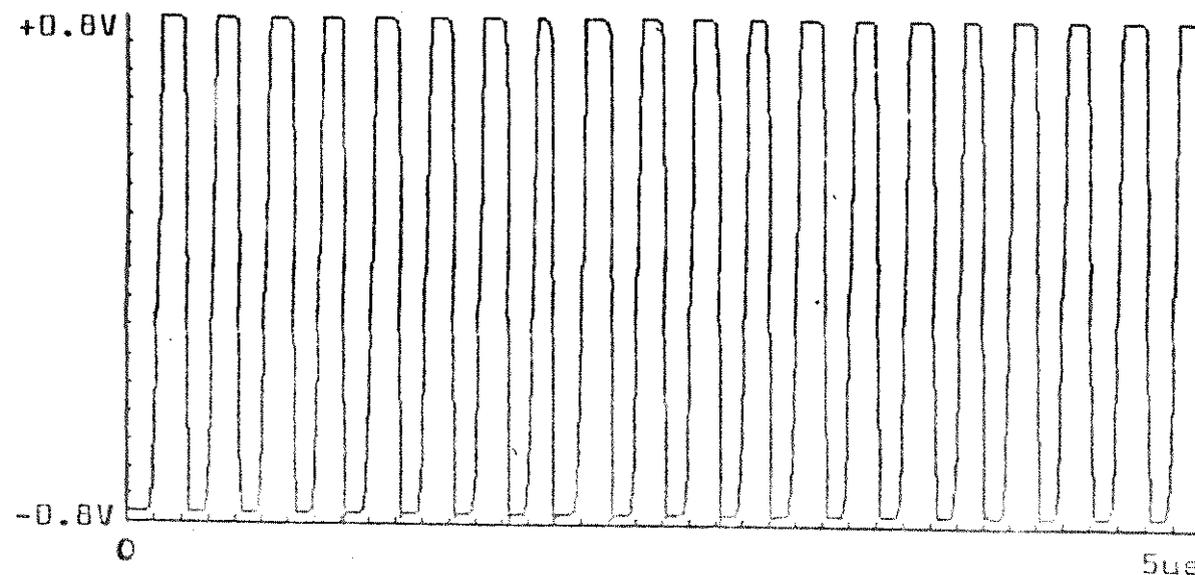


Fig. 4.13.1 - Resposta temporal do bit menos significativo.

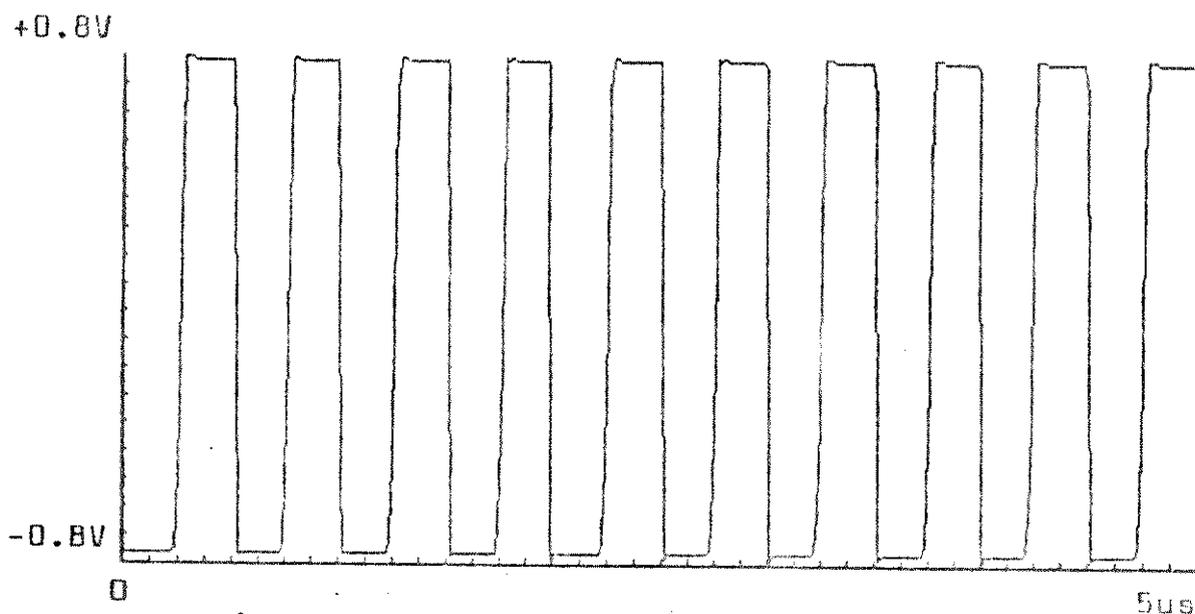


Fig. 4.13.2 - Idem para o 2º bit menos significativo.

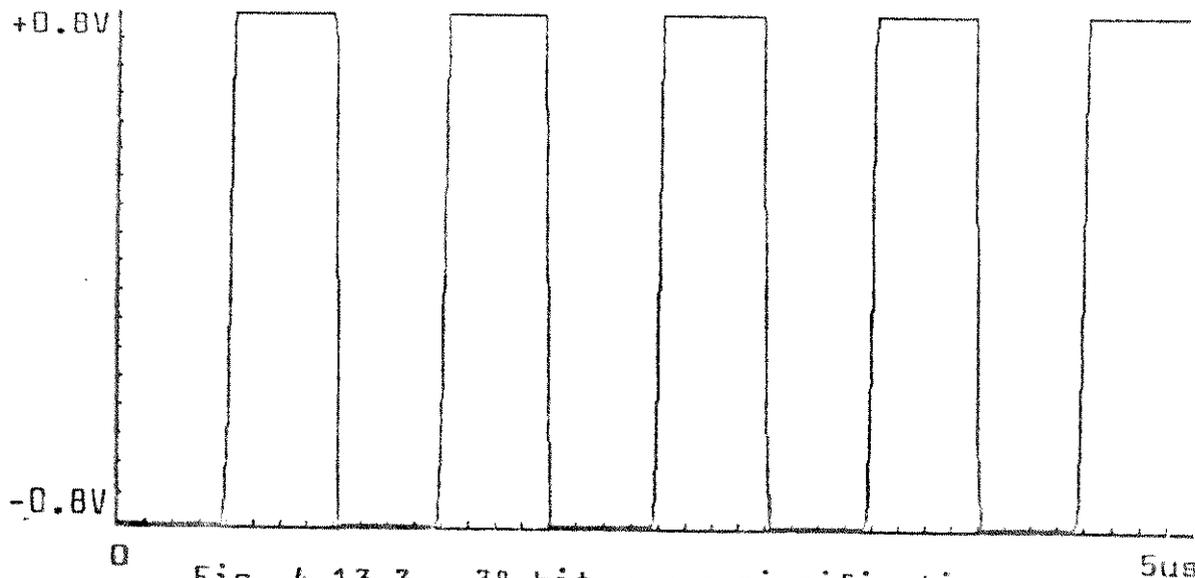


Fig. 4.13.3 - 3º bit menos significativo

cial $V_{C1} - V_{C2}$ da Fig. 3.1 e respostas estão expandidas.

Assim, o circuito realizou 64 conversões em $8\mu s$, ou seja, a uma taxa de 8MHz para um consumo de aproximadamente 600mW.

Para medir o tempo de conversão realizou-se o mesmo teste que foi feito no comparador (seção 3.2). O sinal em corrente de entrada I_x é um trem de pulsos com frequência 4 MHz e com valor mínimo I_1 e valor máximo é I_2 onde

$$I_1 = I_R/2 - 1/2 \text{ LSB} = I_R/2 - I_R/2^{N+1} \quad (4.4.1)$$

$$e \quad I_2 = I_R/2 + 1/2 \text{ LSB} = I_R/2 + I_R/2^{N+1} \quad (4.4.2)$$

onde, também, $I_R = 5mA$ é a corrente de fundo-de-escala do conversor e N é o número de bits. Assim, por exemplo, força-se um conversor de 6 bits a variar do estado 011111 para o estado 100000 e de volta para 011111. Nesta situação, possível de acontecer na prática, o pulso é mantido num nível, ou no outro, por 125ns simulando a atuação de um circuito de retenção e amostragem (*sample-and-hold*) fazendo o conversor trabalhar a uma taxa de 8MHz. A tecnologia utilizada foi a de 300MHz.

O teste acima foi realizado para conversões de 4, 5 e 6 bits cujos resultados estão mostrados nas figuras 4.14.1, 4.14.2 e 4.14.3. Nelas pode-se ver que o tempo de conversão é de cerca de 60ns que é observado na transição do estado 100000 para o estado 011111 e que este tempo não varia significativamente quando se diminui -e, muito provavelmente se aumenta -poucos bits no conversor.

O teste de medida do tempo foi feito também para o circuito com transistores de 5GHz e 10GHz cujos resultados são apresentados

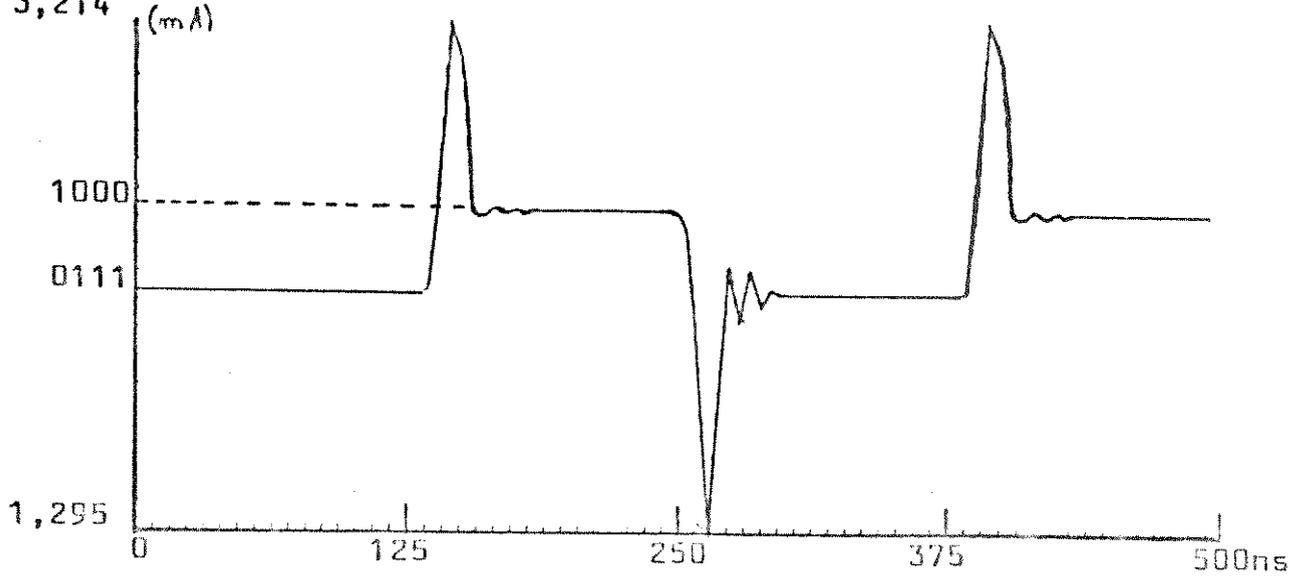


Fig. 4.14.1 - Resposta de um ADC de 4 bits.

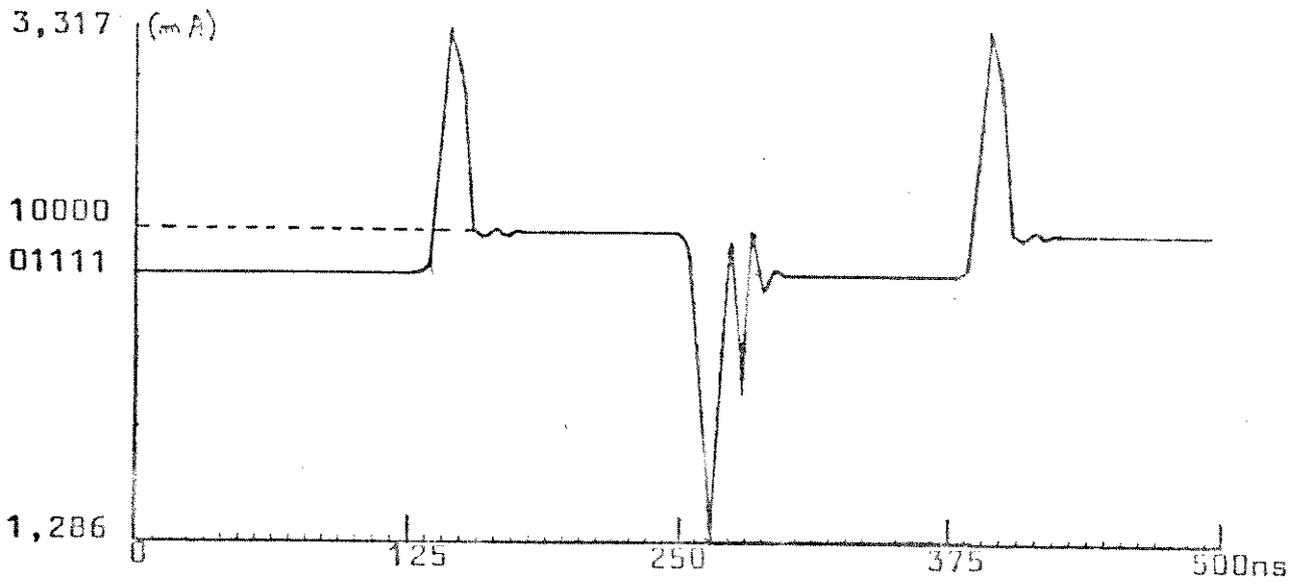


Fig. 4.14.2 - Resposta de um ADC de 5 bits.

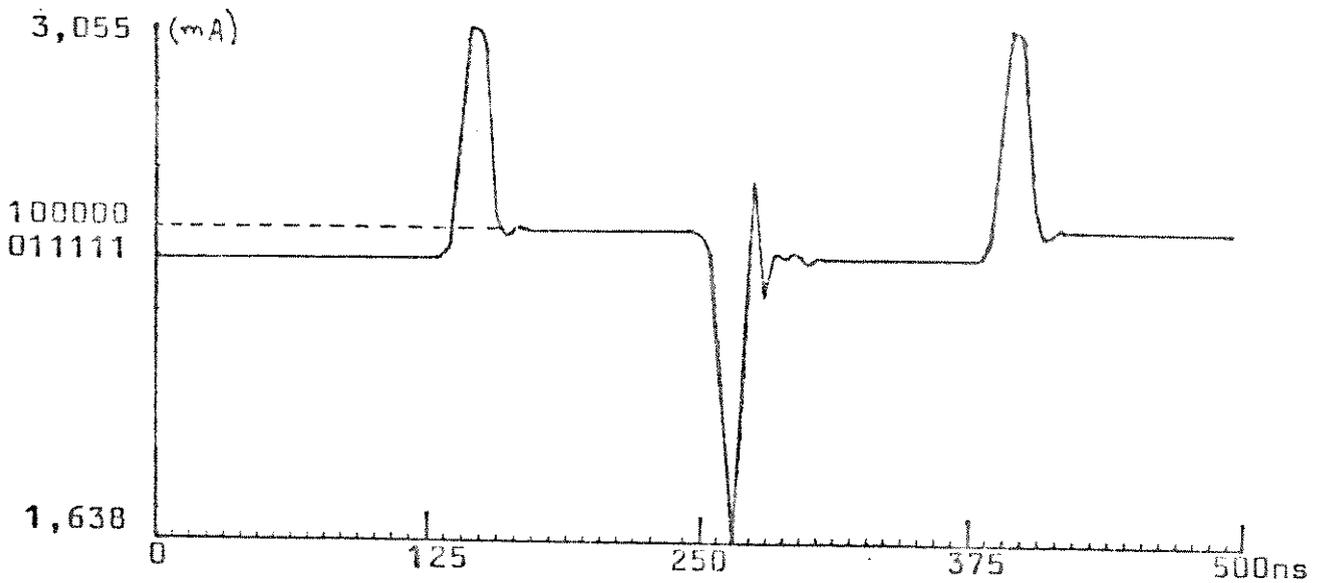


Fig. 4.14.3 - Resposta de um ADC de 6 bits.

juntos com o de 300MHz. mostrado na Fig. 4.15.1 para comparação. No primeiro caso, o tempo de conversão é de cerca de 6ns para uma taxa de conversão de 80MHz, cujo resultado está mostrado na Fig. 4.15.2. Com 10GHz. o tempo de conversão é de cerca de 3ns e uma taxa de conversão estimada em 160MHz. O resultado deste último teste está mostrado na Fig. 4.15.3.

As figuras 4.16.1 e 4.16.2 mostram o conversor operando a uma taxa de 12MHz com tecnologias de 300MHz e 5GHz, respectivamente. Pode-se observar que, com transistores de 5GHz, a curva de transferência dinâmica praticamente coincide com a curva de transferência estática. Isto é confirmado pela curva de erro de quantização mostrada na Fig. 4.16.3.

A Fig. 4.17.1 mostra a curva de transferência dinâmica para o conversor operando a uma taxa de 40MHz, um consumo de 1W e transistores de 5GHz. A Fig. 4.17.2 é a mesma resposta expandida para uma melhor visualização. A variação ao longo do tempo de cada um dos três bits menos significativos estão mostradas nas figuras 4.18.1, 4.18.2 e 4.18.3.

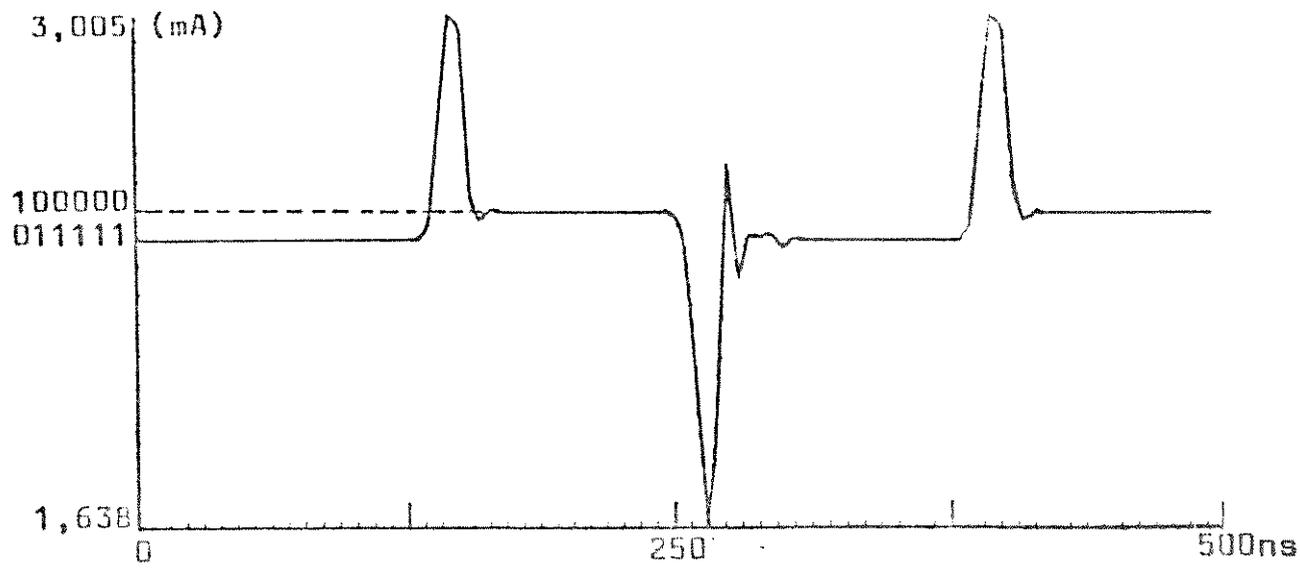


Fig. 4.15.1 - Tecnologia: 300MHz. Taxa de conversão: 80MHz.

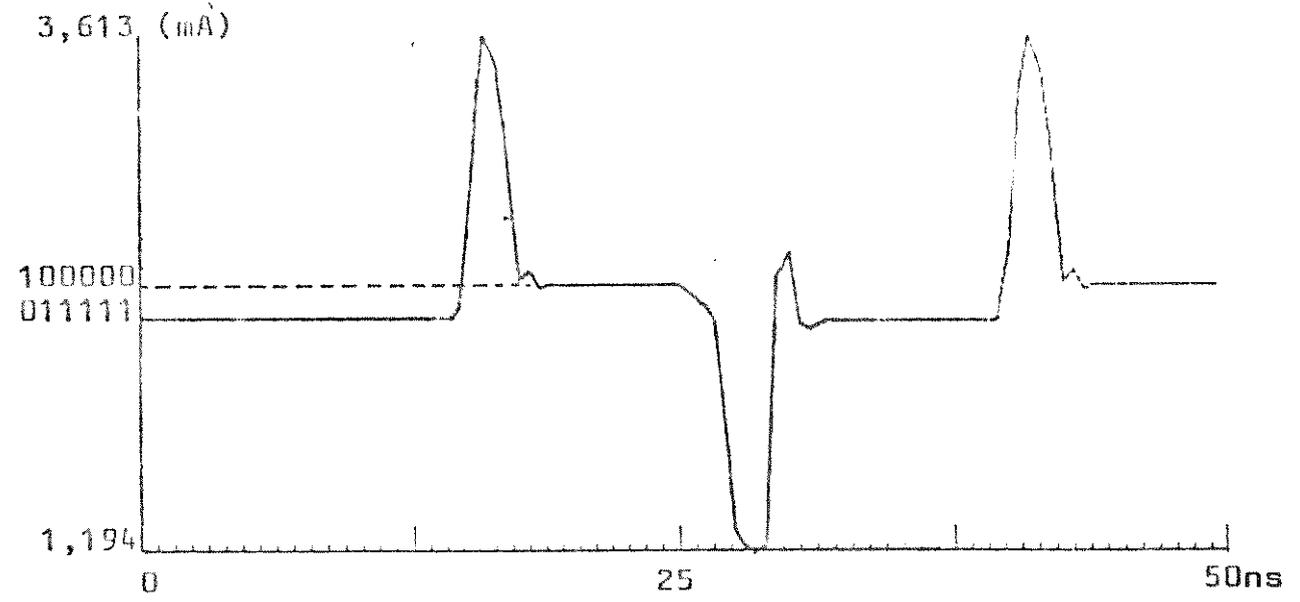


Fig. 4.15.2 - Tecnologia: 5GHz. Taxa de conversão: 80MHz.

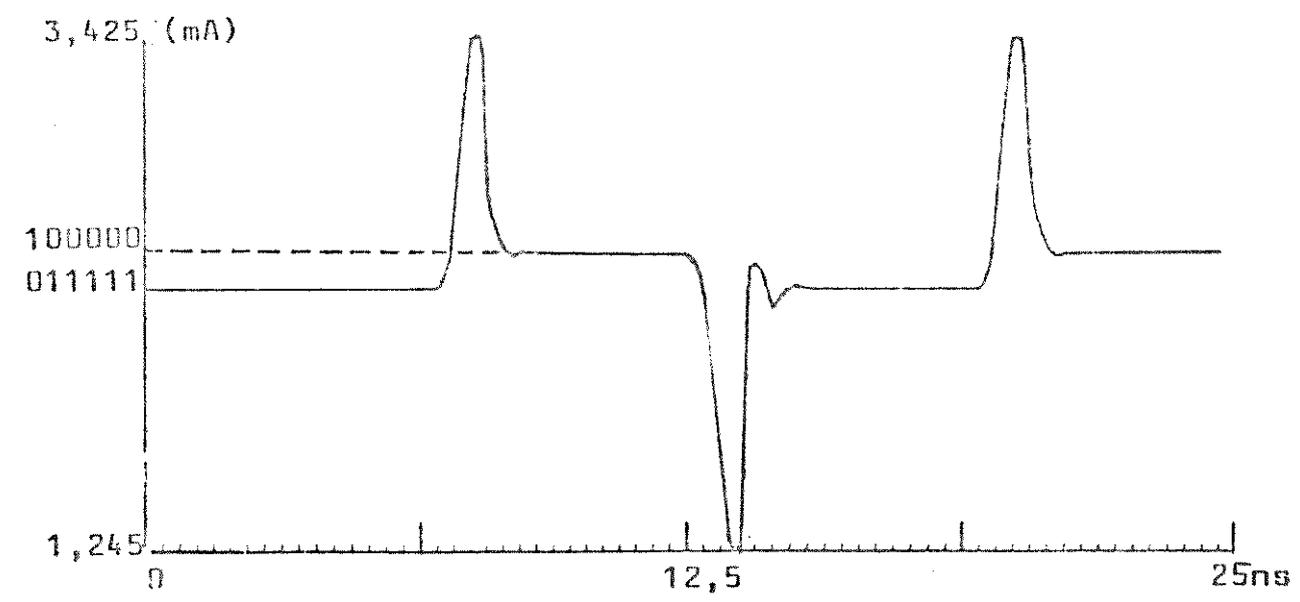


Fig. 4.15.3 - Tecnologia: 10GHz. Taxa de conversão: 160MHz.

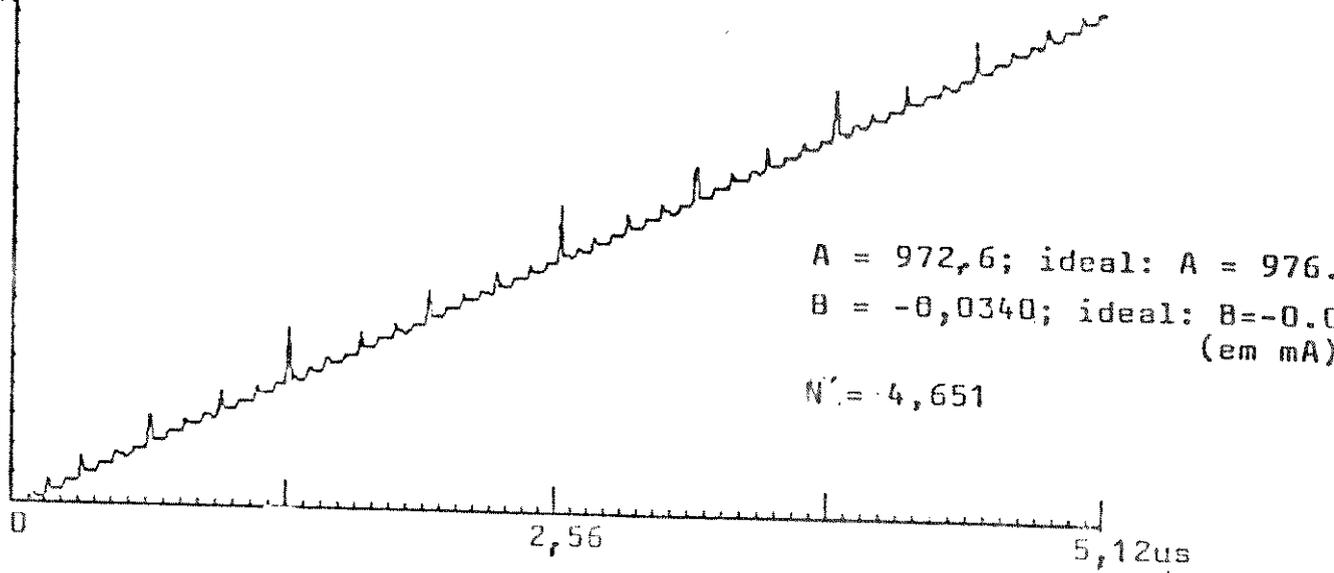


Fig.4.16.1 - Curva de transferência dinâmica para uma taxa de conversão de 12MHz e tecnologia de 300MHz.

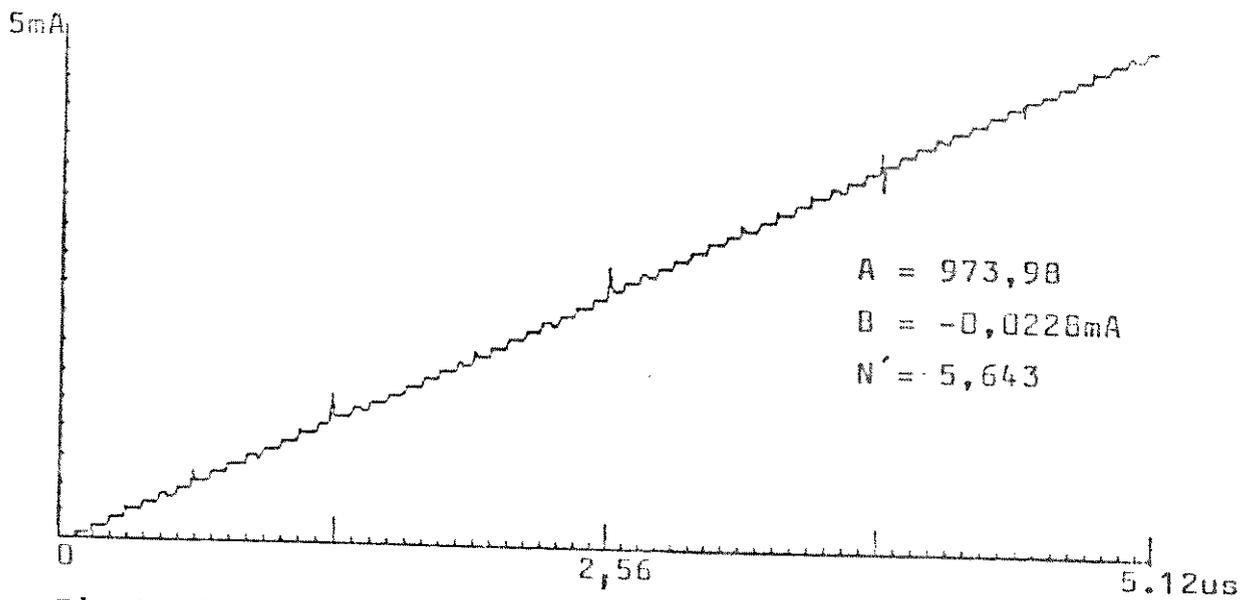


Fig.4.16.2 - Curva de transferência dinâmica para uma taxa de conversão de 12 MHz e tecnologia de 5GHz.

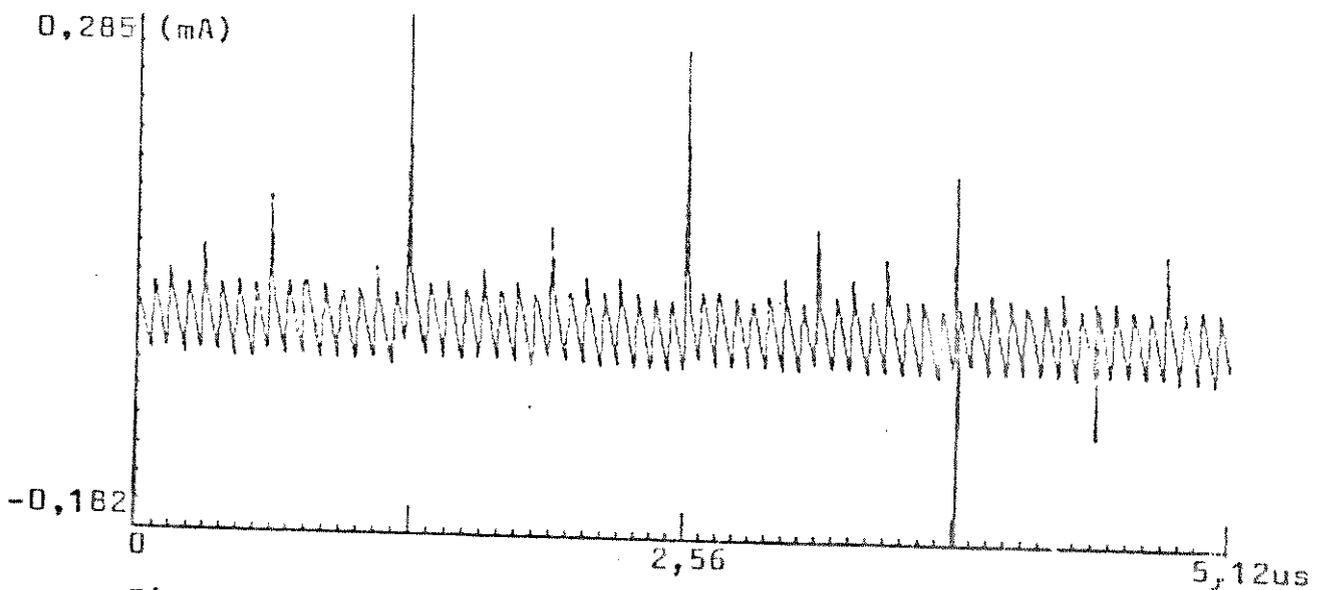


Fig. 4.16.3 - Erro de quantização para a curva mostrada na Fig. 4.16.2

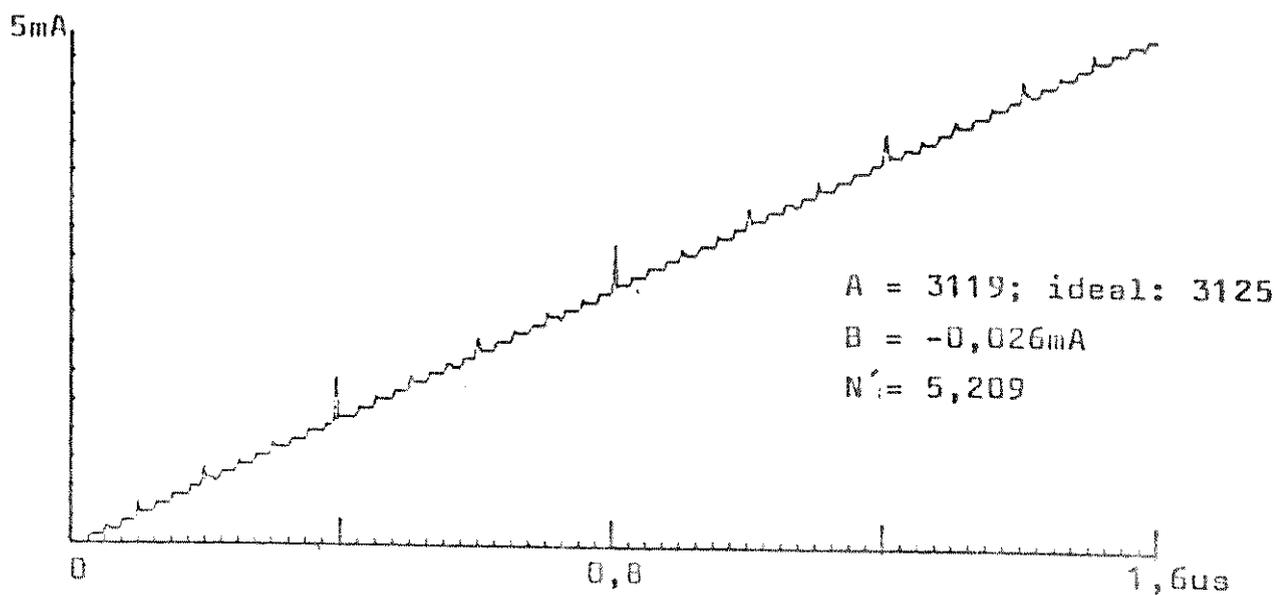


Fig. 4.17.1 - Curva de transferência dinâmica de um ADC de 6 bits, taxa de conversão de 40MHz e tecnologia de 5GHz.

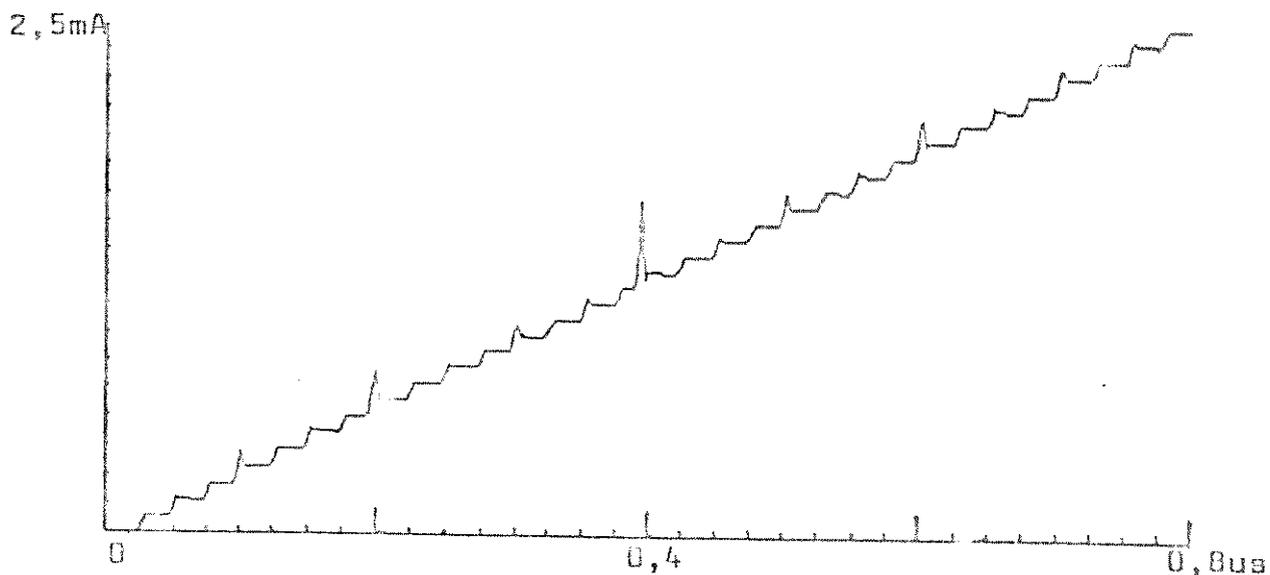


Fig. 4.17.2 - Curva de transferência expandida relativa a Fig. 4.17.1.

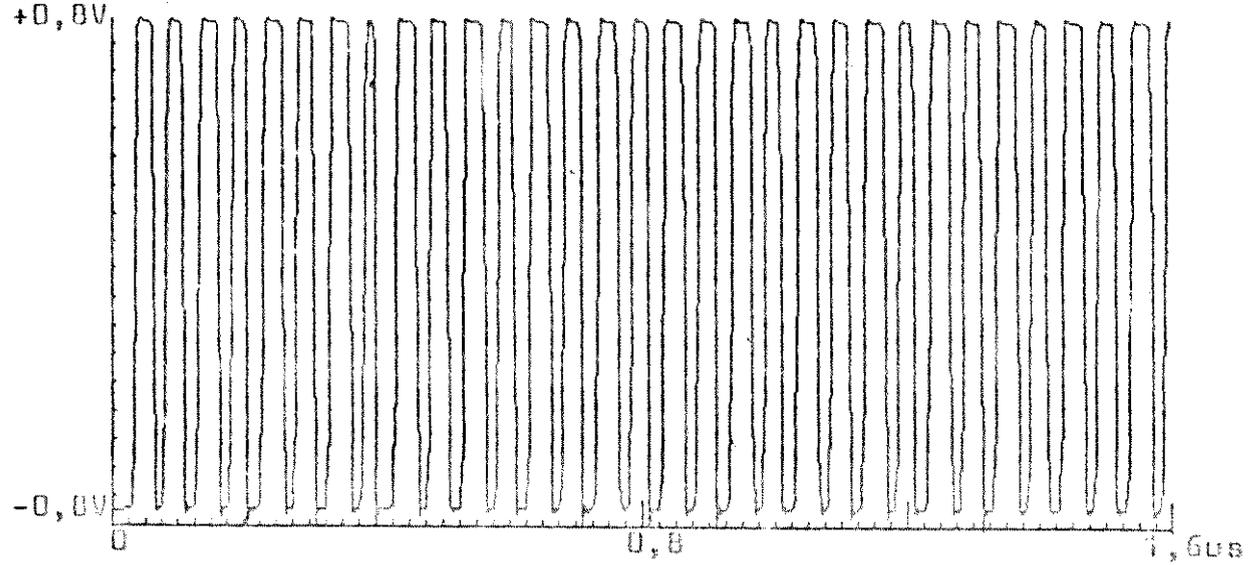


Fig. 4.18.1 - Resposta temporal do bit menos significativo.

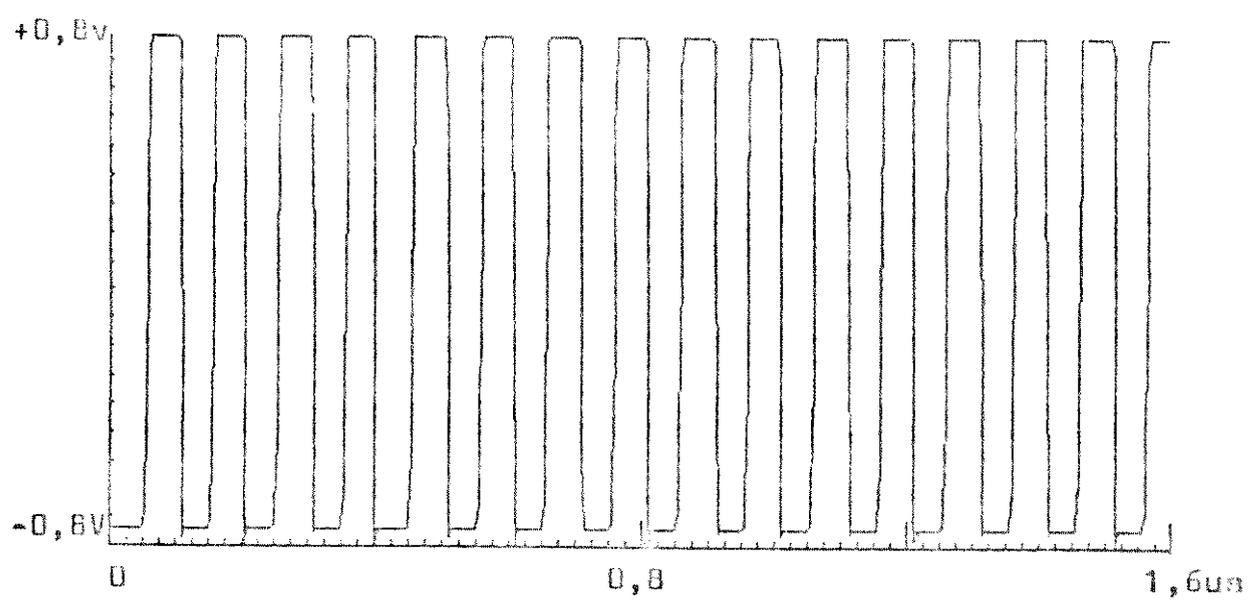


Fig. 4.18.2 - Resposta temporal do 2º bit menos significativo

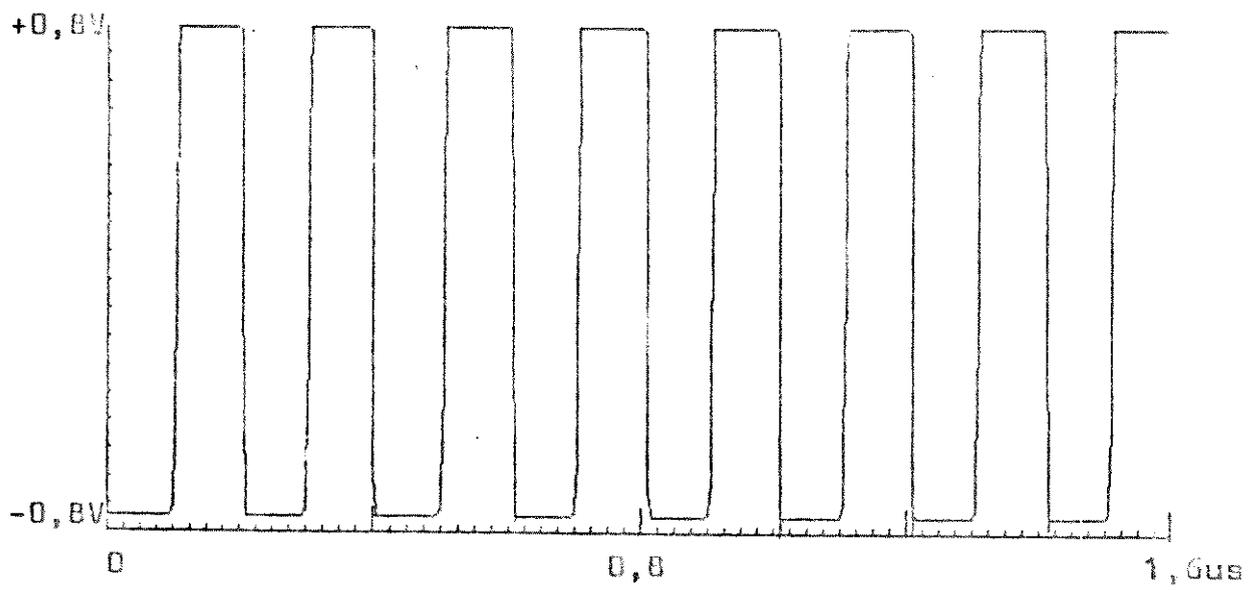


Fig. 4.18.3 - Resposta temporal do 3º bit menos significativo.

CAPITULO 5

SOBRE A MONTAGEM DE UM CONVERSOR A/D DE 2 BITS

5.1 MONTAGEM

Para se obter alguma confirmação prática dos resultados da simulação foi implementado em placa de circuito impresso um conversor A/D que funciona segundo a técnica proposta e tem níveis de saída compatíveis com TTL. O conversor tem dois bits e seu diagrama esquemático está mostrado na Fig. 5.1. A sua estrutura em muito se assemelha à Fig. 2.2. Os transistores Q_1 e Q_2 são os de isolação e são discretos. COMP1 e COMP2 são os mesmos comparadores usados na simulação, ou seja, o comparador mostrado na Fig. 3.2, empregando-se nas suas montagens arrays de transistores, o CA3046. Este dispositivo contém 5 transistores NPN com substrato comum e tem um $f_T = 300\text{MHz}$. A chave de corrente, que é par diferencial $Q_3 - Q_4$, também foi implementado com o CA3046. As polarizações usadas foram escolhidas de tal forma a não permitir a nenhum dos transistores saturar. Os resistores de 200Ω são de precisão (1%).

A geração das correntes de referência I_R e $I_R/2$ (onde $I_R = 5\text{ma}$), bem como a corrente analógica desconhecida I_X , foi feita por um circuito à parte com amplificadores operacionais e transistores dis_

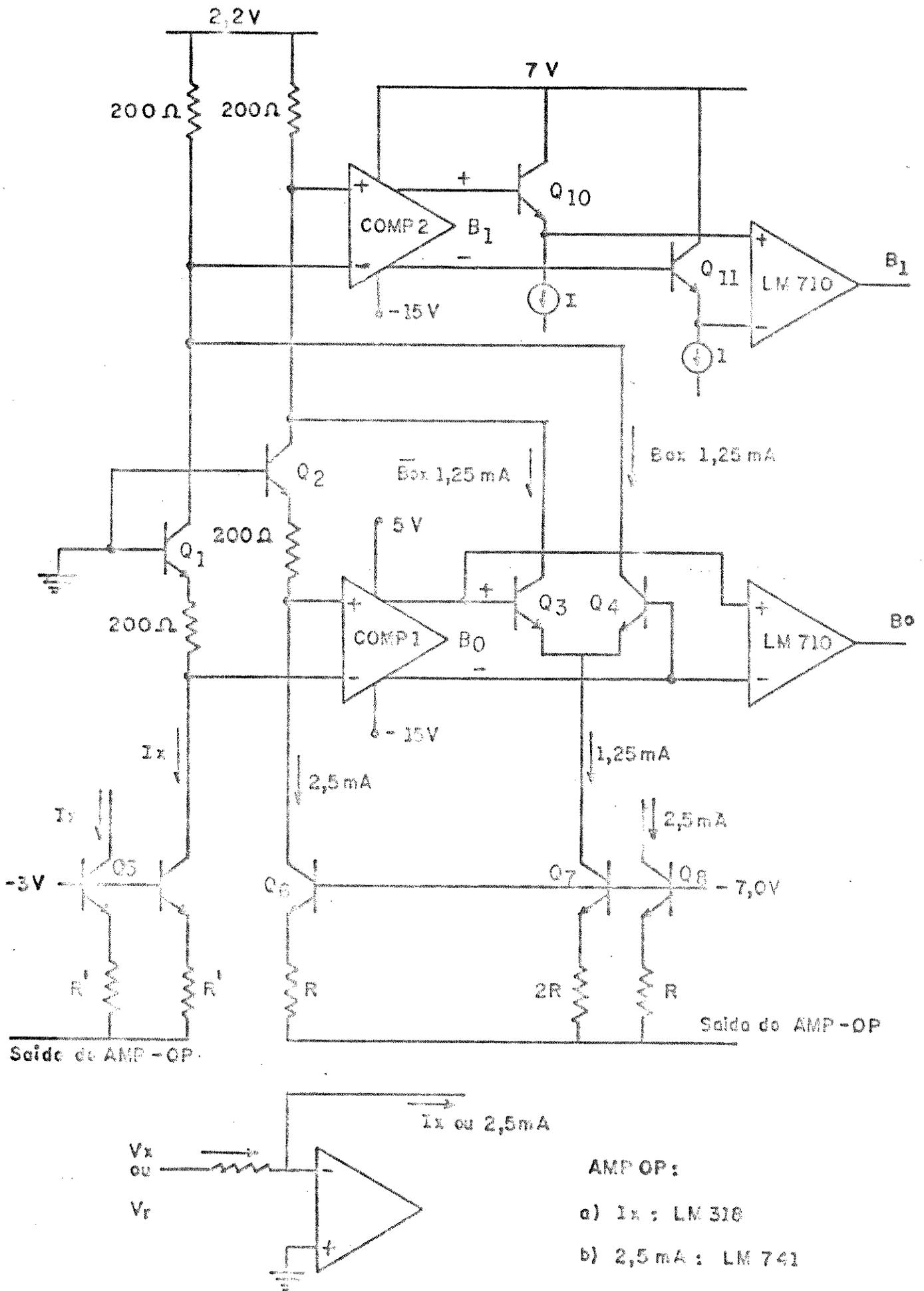


Fig. 5.1 Conversor A/D de 2 bits montado

cretos (Figs. 2.3.3 e 2.5), BC546, que tem um f_T próximo ao do CA3046. Para gerar as correntes de referência, empregou-se o AMP-OP LM741, já que este trabalha com sinais DC. Para I_x usou-se o LM318, um AMP-OP com um polo dominante em 100MHz, ganho unitário em 10MHz e $10V/\mu s$ de *slew-rate*. Simulações computacionais mostraram, e a implementação confirmou, que a resposta em frequência de conversor corrente-tensão com o LM318 ($I_x \times V_x$) é plana até 10MHz.

A translação para o nível TTL é feita pelo comparador LM710. Este integrado tem em torno de 2.000 de ganho de malha aberta e entre 20 e 50ns de tempo de resposta. O LM710 fornece à saída -0,5V para o nível baixo e +3,5V para o nível alto. Convém frisar neste ponto que estes comparadores não participam da conversão. A informação binária que se quer já está presente à entrada dos mesmos.

5.2 TESTES E RESULTADOS

O teste do conversor foi feito considerando-se como entrada V_x um sinal triangular de 2,5V de pico grampeado no zero. Em outras palavras, um sinal triangular que varia de 0 a 5V com frequência de 1,25MHz, conforme está mostrado na Fig. 5.2.1. Os bits de saída, B_0 e B_1 , que formam a palavra digital que se quer, foram observados num analisador lógico com 10ns de tempo de amostragem, gerando, assim, uma incerteza no tempo do mesmo valor.

O sinal de entrada V_x -e, conseqüentemente, I_x - varia de 0 a 5V e de 5 a 0V em 400ns. Os bits B_0 e B_1 estão mostrados, na ordem do mais para o menos significativo, na Fig. 5.2.2. Observando-se esta figura, vê-se que entre -100ns e 300ns (portanto, 400ns de intervalo de

tempo) o conversor realizou 4 conversões, ou seja, em média 1 conversão a cada 100ns, ou 10^6 conversões/segundo. Ou seja, a taxa de conversão é igual ou superior a 10MHz. Nesta figura se vê, ainda, que o bit mais significativo é definido antes do menos significativo. Isto gera um atraso na definição de B_1 particularmente crítico no meio da faixa. Este atraso, como se pode observar, é de 20ns na subida e 30ns na descida.

A recomposição de V_x está mostrada na Fig. 5.3.3. Ela foi obtida somando-se ponderadamente os sinais B_0 e B_1 , simulando, assim, a atuação de conversor digital-analógico. Ao se fazer isso, surgem os *glitches* (explicados na seção 2.4) nas transições 01 → 10 e 10 → 01, sendo mais acentuado nesta última. Este resultado confirma os testes de simulação realizados para se medir o tempo de conversão do ADC e cujos resultados estão mostrados na Fig. 4.14. A Fig. 4.14.1 mostra o tempo de conversão de um ADC de 4 bits (número mais próximo do ADC montado). Vê-se, assim, que os tempos de conversão se aproximam: lá com cerca de 40ns e aqui com cerca de 30ns.

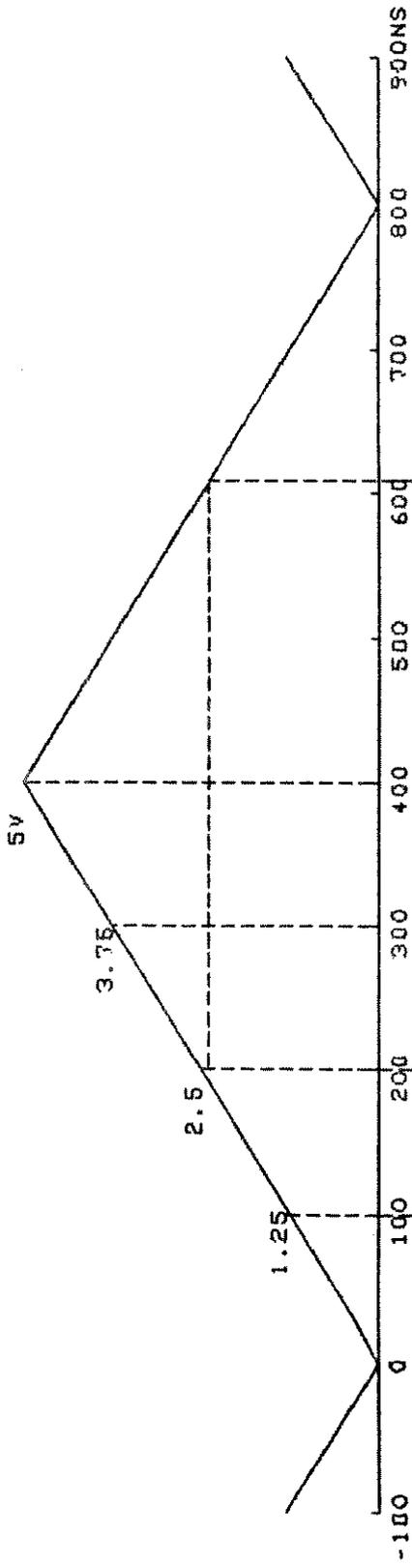


FIG. 5.2.1 - FORMA DO SINAL DE ENTRADA DO CONVERSOR DE 2 BITS

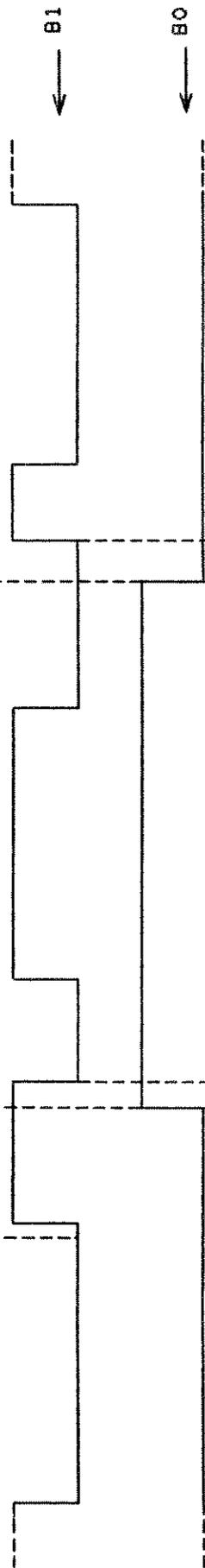


FIG. 5.2.2 - DIAGRAMA DE ESTADO DO BITS DE SAIDA B1 E B0

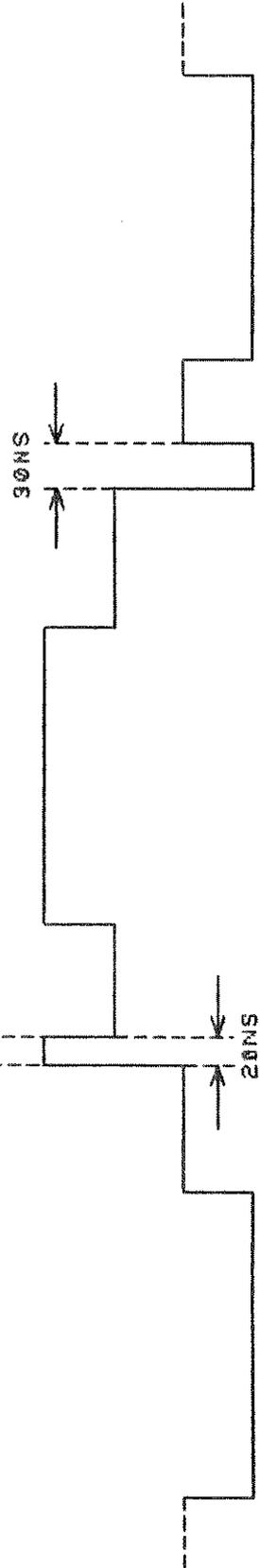


FIG. 5.2.3 - RECOMPOSIÇÃO PONDERADA DE B1 E B2 (CONV. D/A)

CONCLUSÃO

Neste trabalho se apresentou uma proposta de uma técnica de conversão analógico-digital que pode levar a implementação de ADC's ultra-rápidos. Desconhece-se qualquer trabalho que conduza a resultados parecidos. Portanto, até o presente momento, salvo juízo em contrário, a iniciativa é inédita.

A técnica foi originalmente concebida visando uma integração futura, conforme foi dito na seção 4.1. No entanto, dado o tamanho do circuito final (pequeno em relação ao *flash*) é possível implementá-lo com componentes discretos. Acredita-se que um conversor A/D completo de 6 bits, por exemplo, possa ser colocado numa placa de circuito impresso de tamanho razoável, o que é praticamente impossível com a técnica *flash*. Acondicionando-o numa placa, pode-se ter a liberdade de escolher os componentes mais apropriados. O comparador da Fig. 3.2 pode ser substituído por um dispositivo integrado entre as várias opções de comparadores rápidos e ultra-rápidos. O LM319, por exemplo, tem um tempo de resposta de 100ns, o LM710, 20ns, AM-685 da Advanced Micro-Devices tem 6ns de resposta e em [23] o comparador proposto tem 1,2ns. Há também diversas opções para os amplificadores operacionais e transistores discretos, além de uma grande variedade de valores de tensão de ruptura de diodos zeners para se fazer os necessários deslocamentos de nível. Enfim, há toda uma flexibilidade para a montagem do conversor.

Para a opção de integração tem-se a tecnologia de 300MHz disponível no Brasil, o que permite implementar conversores bastante

rápidos. Para aplicações em vídeo, no entanto, certamente será, necessário se valer de tecnologia de 1 ou 2 GHz. O conversor nestas aplicações tem que trabalhar a uma taxa igual ou superior a 20MHz. Na simulação, o conversor de 6 bits discutido no capítulo 4 funcionou com taxa máxima de 16MHz.

A grande perspectiva que se abre é a inclusão no chip de processamento de imagens do conversor A/D, dado o seu tamanho relativamente pequeno. Isto é importante para o futuro da televisão digital, particularmente as miniaturizadas. Também, em função de seu tamanho, se abre a possibilidade de sua implementação completa em tecnologia de Ga-As, o que o tornaria extremamente rápido, coisa presentemente inviável para o *flash*, dado que com esta tecnologia não se consegue integrar mais do que 500 transistores.

Outra perspectiva que se deve considerar no futuro é a implementação do conversor com transistores MOS. Além da vantagem imediata da redução drástica do consumo de energia [7], outras implicações importantes teriam, como a eliminação completa de algumas fontes de erro. Como a corrente de base (ou de porta) destes dispositivos é virtualmente nula, a fonte de erro discutida na seção 2.8.1 não existiria. Também pelo fato do α (relação entre a corrente de dreno e corrente de fonte) dos dispositivos MOS ser exatamente 1, as discussões feitas nas seções 3.4 e 3.5 não teriam sentido algum.

Por fim, chama-se a atenção para o fato de que o algoritmo ALG3 e o circuito da Fig. 2.2 estão intimamente relacionados. Um existe em função do outro. Só uma alteração no algoritmo levaria a alteração no circuito.

REFERENCIAS

- [1] - Bernahr Zojer - "A 6bit/200-MHz Full Nyquist A/D Converter". IEEE J. Solid State Circuits, vol. sc-20, NO. 3, june 1985.
- [2] - Rob J. Van de Grift. "A Monolithic 8-bit A/D Converter". IEEE J. Solid State Circuits, vol sc-19, NO. 3, june 1984.
- [3] - Toyoki Takemoto. "A fully Parallel 10 bit A/d Converter with Video Speed". IEEE J. Solid State Circuits, vol sc-17, NO. 6, december 1982
- [4] - Bernina, D. and Barger. "High-speedHigh-resolutionA/D converters: Here's How". EDN 18, 62-6, june 1973
- [5] - J. G. Peterson . "A monolithic Video A/D Converter". IEEE J. Solid State Circuits, sc-14, december 1979
- [6] - A.G.F. Dingwall. "Monolithic Expandable 6-bit 20 MHz CMOS/SOS A/D Converter". IEEE J. Solid State Circuits, sc-14, december 1979, pp. 926-932
- [7] - H. L. Hoeffling. " A 5-bit Building Block for 20 MHz A/D Converter". IEEE J. Solid State Circuits, sc-16, june 1981, pp. 151-155.
- [8] - J. Corcoran. "A 1 GHz 6-bit ADC system". ISSCC Dig. Technical Papers, 1987, pp. 102-103.
- [9] - Hewlett Packard Journal, June 1988, pp. 58-66
- [10]- J. R. Gray and S.C.Kitisopoulos. " A precision Sample and Hold Circuit with Subnanosecond Switching." IEEE Transactions on Circuits Theory, september 1964, pp. 294-295
- [11]- Bernard Loriferne. "Analog-Digital and Digital-Analog Conversion". Jonh Wiley & Sons, London, 1983, pg 103.
- [12] Albert Gee. "Design and Tests Aspects of a 4-MHz 12-bit Analog-to-Digital Converter." IEEE Trans. on Instrumentation and Meas., vol IM-35, No. 4, December 1986
- [13] R.J. Van de Plassche. "A High-Speed 7-bit A/d Converter.". IEEE J. Solid State Circuits, vol sc-14, December 1979
- [14] Stephen H. Lewis and Paul Gray. "A Pipeline 5-Msamples/s 9-bit Analog-to-Digital Converter.". IEEE J. Solid State Circuits, vol. sc-22, No. 4, December
- [15] Mosley, J D, "Monolithic A/D Converter Delivers 1-MHz, 12-bit

- Perormance at Low Cost", EDN, Februrary 18, 1988 ,pg 128.
- [16] Dieter Seitzer. "Eletronic Analog to Digital Converters -Principles, Circuits, Devices, Testing." John Wiley & Sons, 1983, pg 49
- [17] W.C.Black and D.A Hodges. "Time-Interleaved Converter Arrays." IEEE J.Solid State Circuits, vol sc-15, Dec. 1980.
- [18] "Circuits for Electronics Engineers - Electronics Magazine Book Series", McGraw-Hill, New York, 1977, pg 21.
- [19] Paul A.Crolla, "A Fast Latching Current Comparator for 12-Bit A/D Applications". "IEEE J. Solid State Circuits, vol sc-17, Dec 1982, pp 1088-1982
- [20] Alan B. Grebene, "Bipolar And Mos Analog Integrated Circuit Design" John Wiley & Sons, New York, 1984, pg. 437.
- [21] Taub-Schilling, "Eletronica Digital", McGraw-Hill, Sao Paulo, 1982, p. 209
- [22] B. Gilbert, "A New Wideband Amplifier Technique" IEEE J. Solid State Circuit, vol. sc-3, Dec. 1968, pp. 353-365.
- [23] Peter H. Saul, "A High Speed Comparator Design Technique", IEEE J. Solid State Circuits, vol. sc-17, June 1982.
- [24] J. A. S. Dias. "Projeto de um Conversor Digital Analógico Não-linear Integrado." Dissertação de Doutorado apresentada à Faculdade de Engenharia da Universidade Estadual de Campinas. Junho de 1985.
- [25] Tamio Shimizu. "Simulação em Computador Digital". Editora da Universidade de São Paulo, São Paulo, 1975, p. 66
- [26] Murray R. Spiegel. "Estatística". Editora McGraw-Hill do Brasil, Rio de Janeiro, 1970, cap. 13.
- [27] L. W. Nagel, "SPICE 2": A Computer Program to Simulate Semiconductor Circuits", Electronics Reasearch Laboratory Report No. ERL-M520, University of California, Berkeley, 9 May 1975.
- [28] Evert Sævink, "Analisis and Synthesis of Translinear Integrated Cicuits", Dissertação de Tese de Doutorado, Universidade de Pretoria, Pretoria, Africa do Sul, May 1981, p. 21.
- [29] "Dynamic Peformance Testing of A to D Converters". Hewlett Packard Product Note 5180A-2.
- [30] Detlef Daniel, "A Silicon Bipolar 4-bit 1-Gsample/s Full Nyquist A/D Converter". IEEE J. of Solid-State Circuits, vol. sc-19, Dec

1984, pp. 820-827.

- [31] Allen Clark Research Centre 1985 Annual Review, Plessey Research Caswell, Towcester, Northamptonshire, NN12 8EQ, England
- [32] Peter H. Saul, "Successive Approximation Analog-Digital Conversion at Video Rates.". IEEE J. Solid State Circuits, vol. sc-16, June 1981.