

UNIVERSIDADE ESTADUAL DE CAMPINAS
FEEC – FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
DSIF – DEPARTAMENTO DE SEMICONDUTORES, INSTRUMENTOS
E FOTÔNICA

**DESENVOLVIMENTO DE ELEMENTOS DE PROJETO DE
MMIC EM TECNOLOGIA HBT**

Dissertação apresentada à Faculdade
de Engenharia Elétrica e Computação da
Universidade Estadual de Campinas para a
obtenção do título de Mestre em Engenharia.

Leonardo Breseghello Zoccal

Orientador: **Prof. Dr. Jacobus Willibrordus Swart**

Banca Examinadora:

Dr. Luiz Eugênio Monteiro de Barros Jr. – ERICSSON
Dra. Maria Beny Zakia – CCS/UNICAMP
Prof. Dr. Rui Fragassi Souza – FEEC/UNICAMP

Campinas
Dezembro de 2002

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

Z72d Zoccal, Leonardo Breseghello
 Desenvolvimento de elementos de projeto de MMIC
 em tecnologia HBT / Leonardo Breseghello.--Campinas,
 SP: [s.n.], 2002.

 Orientador: Jacobus Willibrordus Swart.
 Dissertação (mestrado) - Universidade Estadual de
 Campinas, Faculdade de Engenharia Elétrica e de
 Computação.

 1. Indutância. 2. Resistores. 3. Transistores
 bipolares. 4. Circuitos integrados. I. Swart, Jacobus
 Willibrordus. II. Universidade Estadual de Campinas.
 Faculdade de Engenharia Elétrica e de Computação. III.
 Título.

RESUMO

Este trabalho tem como objetivo projetar e construir um circuito integrado monolítico de microondas (MMIC) em tecnologia para transistores bipolares de heterojunção (HBT), incluindo o estabelecimento de um conjunto de regras básicas de projeto e modelos de transistores, resistores, capacitores e indutores.

Primeiramente foi projetado um conjunto de máscaras com resistores, indutores e capacitores com dimensões variadas. Os resistores foram fabricados a partir das camadas semicondutoras dos HBTs (camadas de base e subcoletor). Também foi prevista a fabricação de resistores de filme fino. Os indutores projetados são do tipo espiras quadradas, pois seu *layout* é mais simples, se comparado com os dos demais tipos de indutores. Entretanto, estes indutores não são os que apresentam melhores resultados. A modelagem dos indutores foi feita com a ajuda de um *software* denominado ASITIC. Os capacitores propostos são capacitores de placas planas paralelas separadas por um material dielétrico, o nitreto de silício (Si_3N_4). O componente ativo (HBT) possui áreas de emissor de $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$. Cada transistor apresenta duas configurações: auto-alinhado e não auto-alinhado.

O circuito proposto para validar a integração dos processos, foi um circuito amplificador na configuração emissor comum e com uma realimentação entre o coletor e a base do transistor. Este circuito foi projetado utilizando-se um HBT não auto-alinhado com área de emissor $20 \times 16 \mu\text{m}^2$.

Os resultados obtidos, em um primeiro processo de fabricação, demonstram que os modelos elétricos utilizados para descrever o comportamento dos componentes passivos e ativo foram satisfatórios. O circuito amplificador fabricado apresentou ganho de 21,98 dB, ao passo que, no circuito simulado, era de 22,70 dB. A frequência de corte medida foi de 244 MHz e a simulada 207 MHz. Estas diferenças devem-se, basicamente, às limitações impostas pelos modelos. Portanto, será necessário adaptá-los ao processo de fabricação desenvolvido na UNICAMP.

ABSTRACT

The purpose of this work was to design and to build a microwave monolithic integrated circuit (MMIC) in heterojunction bipolar transistors technology (HBT), establishing, also, a set of basic design rules and models of transistors, resistors, capacitors and inductors.

Initially, a set of masks with resistors, inductors and capacitors with varied dimensions was designed. The resistors were made from the HBTs semiconductor layers (base and subcollector layers). The production of thin film resistors was also planned. The designed inductors have square spiral shape, because this layout is simpler than other inductor types. However, these inductors are not the ones that present the best results. Modeling of these inductors was performed using the software denominated ASITIC. The proposed capacitors are plane plate capacitors with silicon nitride (Si_3N_4) as dielectric material. The active component (HBT) possesses $20 \times 06 \mu\text{m}^2$ and $20 \times 16 \mu\text{m}^2$ emitter area. Each transistor presents two configurations: self-aligned and not self-aligned.

The proposed circuit for validation of the integration process was an amplifying circuit in the common emitter configuration and with a feedback between the collector and the base of the transistor. This circuit was designed using a not self-aligned HBT with $20 \times 16 \mu\text{m}^2$ emitter area.

The results we have obtained in this first fabrication process demonstrated that the electric models we have used, describe satisfactory the behavior of the passive and active components. The gain of the amplifying circuit we fabricated was 21.98 dB, whereas the one of the simulated circuit was 22.70 dB. The measured cut-off frequency was 244 MHz and the one obtained in the simulation was 207 MHz. These differences are basically due to the limitations imposed by the models, indicating that it is necessary to adapt the models to the process developed at UNICAMP.

Dedico este trabalho aos meus pais, *José Cezar e Nair*, e ao meu irmão, *Daniel*, os quais sempre me apoiaram e incentivaram, acreditando que pudesse realizar este trabalho.

Este trabalho foi realizado com o apoio das seguintes entidades:

- **FAPESP – Auxílio Bolsa de Mestrado;**
- **AEB (Agência Espacial Brasileira);**
- **CCS/UNICAMP;**
- **DSIF/UNICAMP;**
- **IFGW/UNICAMP.**

AGRADECIMENTOS

Gostaria de agradecer todas as pessoas e instituições que contribuíram de alguma forma, seja ela direta ou indireta, para a realização deste trabalho. Em particular gostaria de agradecer:

- A Deus, por ter me dado paciência e perseverança para a conclusão deste trabalho;
- Ao Prof. Jacobus W. Swart pela orientação, confiança, oportunidade e amizade;
- A Dra. Maria Beny Zakia a quem muito me ajudou durante este trabalho;
- Ao Dr. Ricardo Yoshioka pela paciência em ensinar o processo de fabricação do HBT;
- Ao Dr. Luiz Eugênio pela ajuda e discussões no decorrer deste trabalho;
- Ao CenPRA pela fabricação do conjunto de máscaras;
- Ao LME/USP pela ajuda na conclusão do processo de fabricação do *chip*;
- Ao CPqD por disponibilizar os equipamentos de medidas de RF;
- Aos amigos e funcionários do CCS, em especial ao Prof. Dr. José Alexandre Diniz e Godoy;
- A amiga Regina, pela grande ajuda, incentivo e respeito;
- Ao amigo Góes, com quem compartilhei horas de trabalho dentro do laboratório;
- Aos amigos: Cláudia, pelas corrosões por plasma e deposições de nitreto, e Roberto, pelos testes iniciais com nitreto;
- Aos funcionários do LPD-IFGW/UNICAMP que participaram do processo de fabricação do *chip*, Antônio Celso Ramos e Antônio Augusto de Godoy von Zuben;
- Aos doutores Éverson Martins e Oswaldo Paixão pelas discussões enriquecedoras;
- Ao Alexandre S. Lujan por ter me esclarecido muitas dúvidas durante o processo de fabricação;
- E a todos os meus amigos e familiares, que de alguma forma, tornaram este trabalho possível.

SUMÁRIO

Capítulo 1 - Introdução Geral	1
1.1. Introdução	1
1.2. Objetivo da dissertação	4
1.3. Organização da dissertação	5
Capítulo 2 - Descrição dos dispositivos utilizados em um MMIC	7
2.1. Introdução	7
2.2. Resistores	7
2.2.1. Medida de uma estrutura TLM	9
2.2.2. Fatores de processo que influenciam no valor dos resistores	11
2.3. Capacitores	12
2.3.1. Capacitores MIM	14
2.4. Indutores	16
2.4.1. Auto-indutância	16
2.4.2. Indutância mútua	17
2.4.3. Fator de qualidade de um indutor	19
2.4.4. Modelo elétrico de um indutor	20
2.4.5. <i>Software</i> para simulação de indutores	22
2.5. Transistor bipolar de heterojunção (HBT)	23
2.5.1. Princípio de operação de um HBT	24
2.5.2. Figuras de mérito do HBT	25
2.5.3. Transistores não auto-alinhados e auto-alinhados	27
2.5.4. Extração de parâmetros do transistor	28
2.5.4.1. Extração de parâmetros DC	28
2.5.4.2. Extração dos parâmetros de pequenos sinais	32
Capítulo 3 - Projeto de dispositivos de teste de um MMIC	39
3.1. Introdução	39
3.2. Ilustração do processo de fabricação de um MMIC em tecnologia HBT sobre GaAs	39
3.3. Detalhamento das estruturas do CI	46
3.3.1. Marcas de alinhamento	46
3.3.2. Linhas de Transmissão	47
3.3.3. Elementos passivos	48
3.3.3.1. Indutores	48
3.3.3.2. Capacitores	52
3.3.3.3. Resistores	53
3.3.4. Elemento ativo (Transistor Bipolar de Heterojunção – HBT)	55
3.3.5. Estruturas para extração de parasitas em RF	57
3.3.6. Outras estruturas de teste	58
3.3.7. Circuito Amplificador	59
3.3.7.1. Determinação dos elementos, ponto de polarização e simulações	60
3.4. Máscaras geradas	68
Capítulo 4 - Descrição do processo de fabricação do CI	71
4.1. Introdução	71
4.2. Característica da lâmina utilizada	71
4.3. Fabricação do CI	72
4.3.1. Fotolitografia e evaporação dos metais de emissor	72
4.3.2. Fotolitografia para definição da mesa de emissor	74
4.3.2.1. Corrosão com solução de H ₂ SO ₄	76
4.3.3. Fotolitografia e evaporação dos metais de base	78

4.3.4. Fotolitografia para definição da mesa de base	79
4.3.4.1. Corrosão com solução de H ₃ PO ₄	79
4.3.5. Fotolitografia e evaporação dos metais de subcoletor	80
4.3.6. Fotolitografia para isolamento dos dispositivos	82
4.3.7. Fotolitografia e evaporação dos metais para o primeiro nível de metal dos indutores e capacitores	83
4.3.8. Deposição do polímero para planarização	83
4.3.9. Fotolitografia e primeira abertura de via	84
4.3.9.1. Fotolitografia com SPR 3012 e corrosão por plasma	84
4.3.10. Deposição de nitreto de silício	85
4.3.11. Fotolitografia e segunda abertura de via	85
4.3.12. Fotolitografia e evaporação dos metais de interconexão e da segunda camada de metais dos indutores e capacitores	86
Capítulo 5 - Resultados das medições realizadas no CI	95
5.1. Introdução	95
5.2. Resultados obtidos através de medidas DC e de capacitância em baixa frequência	95
5.2.1. Resistores	95
5.2.1.1. Medida das estruturas TLMs	99
5.2.2. Capacitores	101
5.2.3. Indutores	102
5.2.4. Transistores bipolares de heterojunção	104
5.2.4.1. Transistores não auto-alinhados	104
5.2.4.1.1. HBT 20 x 06 μm ²	104
5.2.4.1.2. HBT 20 x 16 μm ²	106
5.2.4.2. Transistores auto-alinhados	107
5.2.4.2.1. HBT 20 x 06 μm ²	107
5.2.4.2.2. HBT 20 x 16 μm ²	109
5.3. Resultados obtidos através de medidas em RF	111
5.3.1. Resistores	111
5.3.2. Capacitores	117
5.3.2. Indutores	120
5.3.3. Transistores bipolares de heterojunção	127
5.3.3.1. Transistores não auto-alinhados	127
5.3.3.1.1. HBT 20 x 06 μm ²	127
5.3.3.1.2. HBT 20 x 16 μm ²	129
5.3.3.1.3. Figuras de mérito dos transistores	130
5.3.3.2. Transistores auto-alinhados	131
5.3.3.2.1. HBT 20 x 06 μm ²	132
5.3.3.2.2. HBT 20 x 16 μm ²	133
5.3.3.2.3. Figuras de mérito dos transistores	134
5.3.4. Circuito amplificador	135
Capítulo 6 - Conclusões e perspectivas	141
Bibliografia	145
Apêndice A - Arquivo de tecnologia utilizado para o desenho do conjunto de máscaras	151

CAPÍTULO 1

INTRODUÇÃO GERAL

1.1. INTRODUÇÃO

De 1930 a 1960, a tecnologia de microondas ou alta-freqüência consistia na fabricação de circuitos usando guia de ondas. O projeto era normalmente experimental e a produção era geralmente cara e longa. Por volta de 1960, com o desenvolvimento de semicondutores em geometrias planares e a produção barata, começaram a surgir os circuitos integrados de microondas (MIC - *Microwave Intregated Circuit*). Esta tecnologia foi mais tarde chamada de circuito integrado de microondas híbrido, porque os dispositivos ativos (tais como diodos e transistores) e alguns elementos passivos (resistores, capacitores e indutores) eram componentes discretos montados numa base dielétrica ou substrato. O MIC utilizava linhas de transmissão de metal que eram fotolitografadas e corroídas no substrato para guiar a energia eletromagnética para vários componentes do circuito. O projeto e o desempenho obtidos foram melhores que seu antecessor, o guia de ondas, mas muitas perturbações na geometria das linhas e propriedades incompatíveis entre os materiais utilizados, também dificultaram o *layout* final do circuito. Outros fatores que tornaram difícil a produção dos circuitos híbridos foram os processos de montagem e testes de desempenho elétrico que necessitavam de uma mão de obra intensiva. O processo de montagem necessitava de montagem individual de cada dispositivo discreto sobre o substrato, e, por causa da variação na colocação dos componentes, a operação de teste elétrico necessitava de ajustes no circuito para melhorar seu desempenho. A colocação dos dispositivos sobre o substrato e as técnicas de ajuste se transformou num tipo de arte e em um processo de difícil controle. Eventualmente, em freqüências cada vez mais altas, estes processos se tornaram os fatores limitantes para desempenho, custo, rendimento e confiabilidade.

A idéia de integrar “monoliticamente” um circuito, onde os componentes ativos e passivos fossem fabricados em um mesmo substrato, eliminou muitos problemas apresentados nos circuitos integrados híbridos. Um circuito integrado monolítico de microondas (MMIC - *Monolithic Microwave Intregated Circuit*) usa um material cristalino isolante para separar a parte ativa da passiva. Sendo assim, entende-se por MMIC, como sendo um circuito de microondas onde todos os componentes são fabricados em um único CI (circuito integrado), sejam eles passivos (resistores, indutores, capacitores, etc.) e ativos (transistores). Neste tipo de circuito, não há a necessidade de pós-montagem tipo solda ou processo equivalente. Para muitas novas aplicações, o arseneto de gálio (GaAs) se tornou o material de escolha devido ao seu bom desempenho em altas freqüências. Dentre as características apresentadas pelo GaAs, podemos citar [1]:

- A mobilidade elétrica do GaAs é cerca de cinco vezes maior que a do silício (Si);
- O GaAs apresenta menor ruído em altas freqüências;

- O substrato de GaAs pode ser semi-isolante;
- O GaAs apresenta maior resistência à radiação ionizante;
- O GaAs permite uma integração opto-eletrônica.

Estas características permitem a integração de dispositivos ativos, dispositivos de controle, linhas de transmissão, e elementos passivos num mesmo substrato.

Ao contrário dos MICs híbridos, o desempenho de um MMIC não pode ser facilmente modificado ajustando os elementos presentes no circuito. Uma vez processado o circuito, seu desempenho, na maioria das vezes, é fixo. Então, o projeto de um MMIC deve ser baseado em modelos elétricos e físicos precisos para os elementos passivos e ativos, incluindo efeitos devidos ao processo de fabricação. Estes projetos utilizam poderosos *softwares* interativos para a síntese, análise, e *layout* de circuitos lineares e não-lineares.

Em comparação com a tecnologia de circuitos integrados híbridos, um MMIC apresenta as seguintes vantagens:

- Redução no tamanho e peso;
- Redução de custo para volumes de produção em média e larga escala;
- Aumento no desempenho de sistemas com a inclusão de várias funções (por exemplo, parte de RF e parte lógica) num mesmo circuito;
- Aumento na confiança de integração e aprimoramentos nos processos de controle;
- Aumento do desempenho para aplicações em banda larga de frequência através da redução de parasitas no encapsulamento de dispositivos discretos e no próprio processo de fabricação;
- Aprimoramento nos projetos sem muitas interações, conseguido através da repetibilidade nos processos e materiais, além do aperfeiçoamento dos *softwares* utilizados.

As etapas para se obter um MMIC podem ser representadas através de um diagrama de blocos, como mostra a Figura 1.1. Inicialmente, escolhe-se a tecnologia que será empregada. Normalmente, esta tecnologia está relacionada com o dispositivo ativo.

Com a tecnologia escolhida, utiliza-se modelos que descrevem o comportamento dos dispositivos para se projetar o MMIC. Estes modelos são geralmente circuitos elétricos equivalentes dos dispositivos ativos e passivos ou arquivos de dados contendo os resultados de medidas elétricas que permitem obter os parâmetros de um determinado dispositivo. Os modelos são extraídos dos dispositivos sem e com encapsulamento, pois após o encapsulamento, elementos parasitas indesejáveis são acrescentados ao circuito, e, dependendo do projeto, as características do circuito podem ser mudadas.

Após a realização do projeto, o circuito é fabricado. Sua fabricação não é necessariamente realizada no mesmo local onde o projeto foi executado. O que normalmente ocorre, é ter empresas ou indústrias especializadas somente em projetos de MMIC e outras empresas ou indústrias especializadas na fabricação. Após a fabricação do circuito, o mesmo passa por medidas, sendo que estas medidas têm por finalidade fazer uma primeira comparação entre o que foi projetado e fabricado. Estas novas medidas servem também como um controle de qualidade, pois verificam a repetibilidade do processo de fabricação e servem também para verificar alterações no processo, sejam elas propositais ou não.

Em uma última etapa de desenvolvimento de um MMIC (pós-fabricação), este passa pelo processo de encapsulamento e, depois, novos testes são feitos. Nesta última etapa são feitos ajustes no circuito fabricado para tentar minimizar os efeitos parasitas que não foram previstos ou que por algum motivo tenham surgido. Estes novos ajustes servem também para aprimorar os modelos utilizados. Assim, as simulações de futuros projetos podem ser mais precisas, ou pode-se até mesmo melhorar o projeto já fabricado.

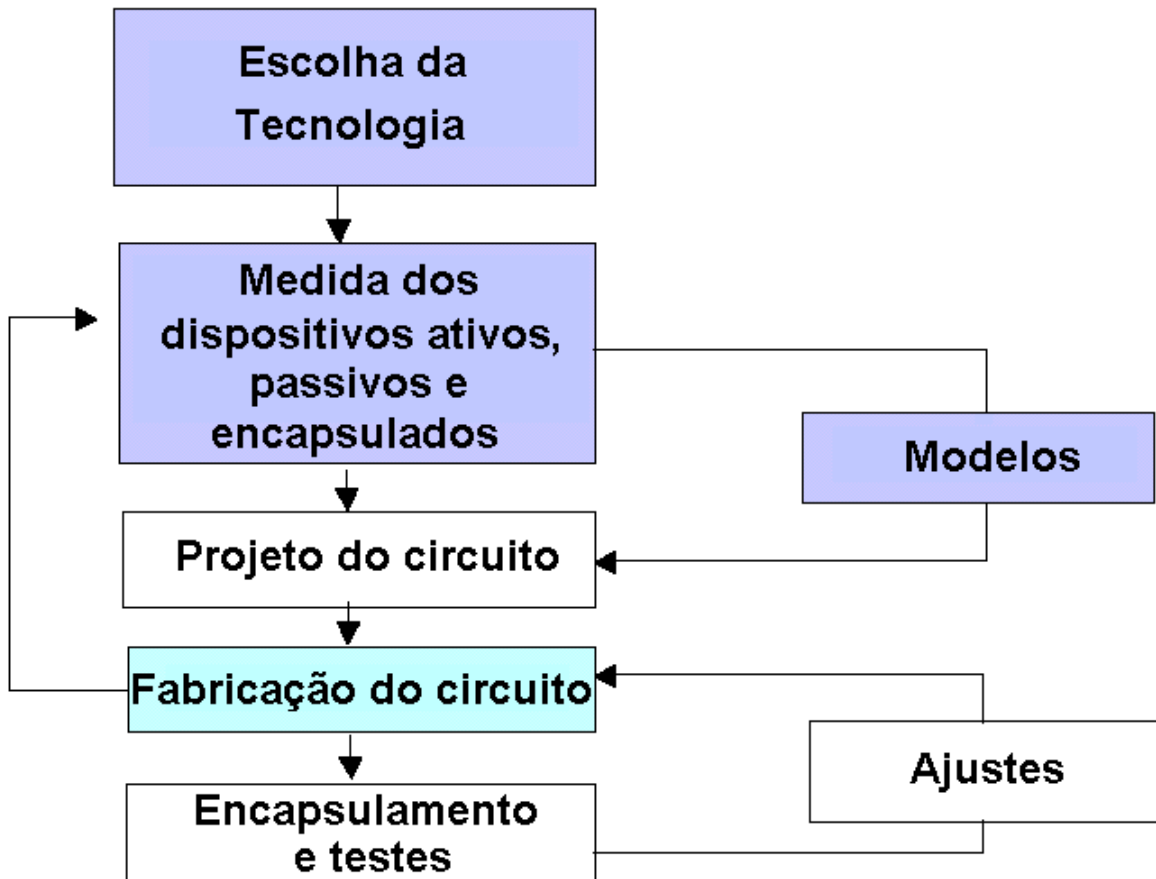


FIGURA 1.1 – DIAGRAMA DE BLOCOS PARA OBTER-SE UM MMIC [2]

Nos últimos anos, o mercado de circuitos integrados em GaAs vem apresentando um relativo crescimento. Um dos maiores responsáveis por este desempenho foi sem dúvida o setor de telefonia celular (*wireless*), que explodiu no mundo inteiro. A demanda por aparelhos menores e, principalmente, mais eficientes em termos de potência, além de ter mantido os projetistas bastante ocupados, vem garantindo investimentos crescentes na área de pesquisa de novos componentes e tecnologia de circuitos integrados.

Além do mercado de telefones celulares, outras aplicações em ondas milimétricas e sistemas relacionados com comunicações tais como, radares (*radar-on-a-chip*) e sensores (*smart-sensors*) automotivos, têm começado a dividir a atenção de fabricantes. Estes, para atender aos requerimentos de alto volume e às restrições de preço destes novos setores, estão centrando esforços e recursos no desenvolvimento de MMICs com aplicações específicas. Embora existam fortes concorrentes estrangeiros no mercado de MMICs, não existe a-

inda uma tecnologia dominante e o amplo espectro de aplicações garante um nicho a ser explorado mesmo por países em desenvolvimento como o Brasil.

Entre os dispositivos ativos, que podem ser utilizados em um MMIC, percebe-se, que a tecnologia de transistores bipolares de heterojunção (HBT) reúne hoje um maior número de características favoráveis para sua implementação, principalmente no setor de telefonia celular. Deve-se ressaltar, que por ser um dispositivo vertical, o HBT não necessita de fotolitografia sub-micrométrica para alcançar alto desempenho em frequência como é o caso dos transistores de efeito de campo (FET), além de permitir uma maior densidade de integração (para dispositivos com transcondutância semelhante). Candidato perfeito para amplificadores de potência (PAs) [3], os HBTs necessitam de uma única fonte de potência, enquanto que os FETs precisam de uma tensão negativa no circuito. Uma gama considerável de CIs em tecnologia HBT vem surgindo em variadas aplicações que vão desde amplificadores diferenciais [4], configurações *Darlington* de faixa larga [5], pré-amplificadores para sistemas de comunicações por fibra óptica [6,7] e até circuitos digitais, tais como conversores analógico/digital (A/D), digital/analógico (D/A), multiplexadores e circuitos de recuperação de relógio [8].

Em resumo, um HBT possui a maioria das características necessárias para poder integrar um MMIC, que são [9]:

- Alta transcondutância;
- Alto ganho de corrente;
- Frequência de operação elevada.

1.2. OBJETIVO DA DISSERTAÇÃO

O objetivo deste trabalho de mestrado é utilizar e analisar um conjunto de regras básicas de projetos e os modelos de transistores, resistores, capacitores e indutores, para projetar e construir um amplificador integrado monolítico de microondas (MMIC) em tecnologia HBT, desenvolvida na UNICAMP (laboratórios do DSIF, LPD-IFGW e CCS) [10].

Com estes dispositivos, e principalmente o circuito fabricado, ter-se-á como metas também:

- 1) Testar a integração de fabricação dos elementos passivos com o componente ativo;
- 2) Iniciar o desenvolvimento de uma tecnologia para fabricação de MMICs;
- 3) Testar modelos para a fabricação de componentes passivos, ativos e circuitos;
- 4) Validar e complementar um conjunto de regras de projeto (*design kit*);
- 5) Obter experiência em MMIC.

1.3. ORGANIZAÇÃO DA DISSERTAÇÃO

A dissertação foi dividida em seis capítulos. O Capítulo 2 descreverá os dispositivos que serão utilizados para a fabricação do MMIC. Este capítulo descreverá os resistores, indutores, capacitores e o HBT.

O Capítulo 3 apresentará o projeto do conjunto de máscaras e do circuito integrado monolítico de microondas. Neste capítulo será apresentado o *layout* dos dispositivos para, a partir dele, poder gerar as máscaras para a fabricação do CI.

O Capítulo 4 trará a descrição do processo de fabricação do CI, detalhando cada etapa do processo, quanto aos metais utilizados, tipos de corrosão para definir uma determinada região, etc.

No Capítulo 5 serão apresentados os resultados das medições realizadas no CI fabricado. Serão apresentadas medidas DC e de alta frequência, bem como a análise e comparação com os resultados projetados.

Por fim, o Capítulo 6 trará as conclusões e possíveis trabalhos futuros.

CAPÍTULO 2

DESCRIÇÃO DOS DISPOSITIVOS UTILIZADOS EM UM MMIC

2.1. INTRODUÇÃO

Este capítulo apresentará um resumo dos dispositivos que podem ser utilizados em um circuito integrado monolítico de microondas. Quanto mais completo for o modelo destes dispositivos utilizados, mais preciso ficará o projeto do circuito. Para a escolha desses modelos, pode-se optar por escolher modelos mais precisos e completos que demandem um pouco mais de processamento e, conseqüentemente, um tempo maior de projeto e modelamento, ou, então, um modelo um pouco mais simplificado, mas que tenha o compromisso com a rapidez, simplicidade e uma precisão aceitável.

Os dispositivos que serão apresentados a seguir são: os componentes passivos (resistores, capacitores e indutores) e o componente ativo (transistor bipolar de heterojunção - HBT).

2.2. RESISTORES

Os resistores apresentados a seguir são resistores do tipo planar. Os resistores em um MMIC são construídos utilizando-se as camadas do semicondutor, ou camadas de filme fino resistivo.

De uma maneira geral, durante o projeto de um resistor, deve-se levar em consideração alguns parâmetros como:

- a) Resistência de folha R_{SH} (Ω/\square) do material a ser utilizado, pois o valor de resistência, que se deseja obter de um resistor, depende de sua geometria e da resistividade do material que o compõe;
- b) O coeficiente térmico do material resistivo (TCR), no intervalo de temperatura no qual o dispositivo operará, deverá apresentar um valor baixo. Por exemplo, o TCR do níquel-cromo (NiCr) é 2,5 ppm/ $^{\circ}$ C. Esse baixo valor quer dizer que o resistor sofre pouca variação de valor com o aumento da temperatura;
- c) A faixa de frequência de operação, pois os resistores de um MMIC apresentam elementos parasitas que, dependendo da frequência (ou faixa de frequência), podem influenciar no comportamento elétrico do dispositivo;
- d) Reprodutibilidade. Este aspecto está ligado à tecnologia que será utilizada para a fabricação do resistor. Isto significa que os tipos de materiais a serem utilizados e o valor de resistência desejada não devem inviabilizar sua fabricação;

- e) Confiabilidade, onde alguns fatores devem ser analisados, tais como a estabilidade do material resistivo quanto ao envelhecimento e à eletromigração (transporte de material sujeito à alta densidade de corrente), a fim de se obter um bom grau de confiabilidade do dispositivo.

Os resistores fabricados com filme fino metálico apresentam um comportamento linear de tensão por corrente, enquanto que o coeficiente térmico varia de acordo com o tipo de filme utilizado. Um aspecto negativo a ressaltar, sobre os resistores de filme fino metálico, é que estes tendem a possuir baixa resistividade.

Já os resistores que utilizam a camada de semicondutor podem ser construídos com facilidade nos MMICs. As etapas de processamento são as mesmas que serão aplicadas ao dispositivo ativo (no caso desta dissertação, serão utilizadas as camadas de base e de subcoletor do HBT, para a fabricação dos resistores).

O valor da resistência de um resistor é dado pela seguinte expressão [11]:

$$R = 2 \cdot R_C + R_{SH} \cdot \frac{L}{W}, \text{ onde:} \quad (2.1)$$

R é o valor final do resistor;

R_C é a resistência de contato do resistor. Essa resistência é a resistência entre o metal de interconexão e o material do qual o resistor é fabricado;

R_{SH} é o valor da resistência de folha do material;

L é o comprimento do resistor;

W é a largura do resistor.

Pela Equação (2.1), nota-se que a geometria do resistor (relação L/W) é que define seu valor. No entanto, o resistor a ser projetado poderá ter o formato de uma serpentina. Caso o resistor seja deste tipo, Figura 2.1(b), o valor de L/W não deverá ser utilizado integralmente, e, sim, aplicando-se um fator de correção a cada quina do resistor (pois a corrente não passará em toda a região definida por L/W). Este fator de correção, a ser utilizado, é de 0,559 [12] do valor de L/W que forma cada quina.

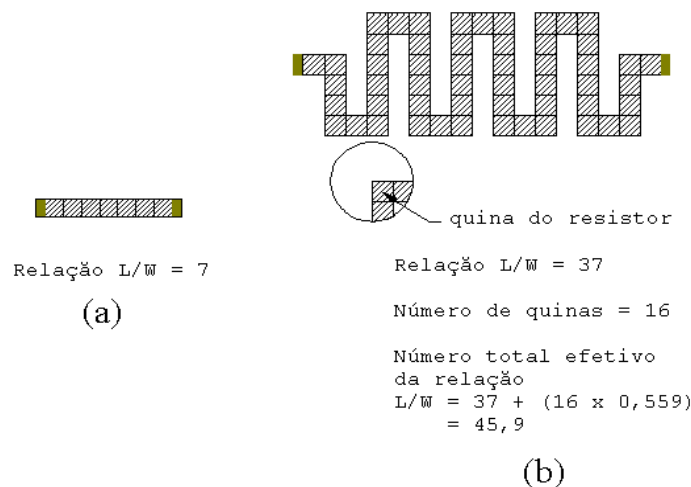


FIGURA 2.1 – TIPOS DIFERENTES DE RESISTORES

Os resistores apresentados na Figura 2.1 foram divididos em segmentos, onde $L = W$. Sendo assim, os resistores são formados por um número N de quadrados. A Figura 2.1(a) representa um resistor onde este número de quadrados é igual a 7. Neste caso não foi necessário utilizar o fator de correção, pois não há quinas neste resistor. Já no resistor apresentado na Figura 2.1(b) foi necessário utilizar o fator de correção, para que o valor efetivo total de quadrados possa ser obtido. A figura 2.1(b) apresenta 16 quinas no resistor (que devem ser multiplicadas pelo fator de correção) e 37 quadrados que não necessitam deste fator de correção. Sendo assim, o número efetivo de quadrados, no resistor apresentado na Figura 2.1(b), é 45,9 ($37 + 16 \cdot 0,559$).

Caso o processo de fabricação consiga obter um valor baixo de resistência de contato (R_C), é possível desprezar este valor durante o projeto do resistor. Para obter o valor de R_{SH} , pode ser utilizada a seguinte fórmula:

$$R_{SH} = \frac{\rho}{t}, \text{ onde:} \quad (2.2)$$

ρ é a resistividade do material;

t é a espessura do material utilizado como resistor.

Outra forma de se obter o valor de R_{SH} é através da medida de resistores com diferentes comprimentos (estruturas TLMs) [13]. O processo de medição de uma estrutura TLM é mostrado a seguir.

2.2.1. MEDIDA DE UMA ESTRUTURA TLM

Este tipo de estrutura não possui apenas um único esquema de medição ou *layout*, sendo possível mais de um tipo de configuração [14,15]. A estrutura que será mostrada a seguir, e que estará presente no CI, é uma estrutura TLM retangular, onde, sobre sua superfície, é depositado metal com diferentes espaçamentos. O metal é depositado sobre o material do qual se deseja obter o valor da resistência de folha. A Figura 2.2 ilustra o tipo de estrutura TLM que será utilizada nesta dissertação.

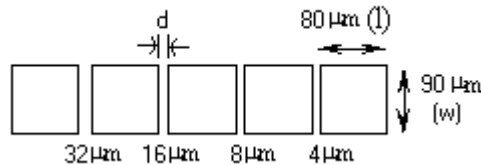


FIGURA 2.2 – ESTRUTURA TLM

Na Figura 2.2, a estrutura TLM apresentada possui contatos metálicos sobre o material ou camada da qual se deseja obter o valor de R_{SH} . As dimensões dos contatos são 80 μm (comprimento) por 90 μm (largura). A estrutura apresenta cinco desses contatos com espaçamentos de 4 μm , 8 μm , 16 μm e 32 μm . Estas variações nas distâncias são para que

diferentes valores da relação U/I (Ω) da estrutura sejam obtidos. Com quatro diferentes valores de resistência, obtêm-se uma reta semelhante à apresentada na Figura 2.3.

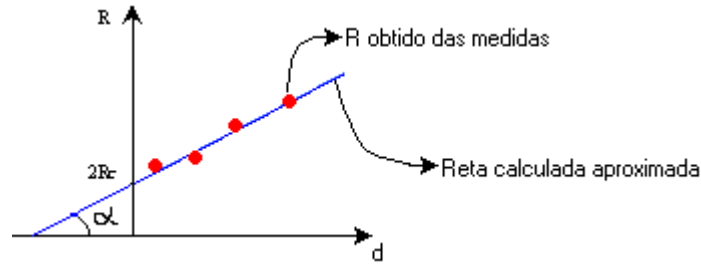


FIGURA 2.3 – PONTOS OBTIDOS ATRAVÉS DE ESTRUTURAS TLMs

Pela Figura 2.3, obtêm-se o valor de $2 \cdot R_C$ em d (distância entre os contatos metálicos) igual a zero, pois R_C é a resistência de contato dos TLMs entre os contatos metálicos e o material ou camada onde está sendo feita a medição. Através do gráfico da resistência pela distância entre os contatos metálicos, pode-se calcular o valor da resistência de folha (R_{SH}) e a resistividade (ρ_C) da camada ou material.

As fórmulas utilizadas são [16]:

$$R_{SH} = w \cdot \tan(\alpha) \quad (2.3)$$

$$R_C = \frac{\sqrt{R_{SH} \cdot \rho_C}}{w} \cdot \coth\left(\frac{l}{L_t}\right) \quad e \quad L_t = \sqrt{\frac{\rho_C}{R_{SH}}} \quad (2.4)$$

Quando o valor de L_T for pequeno, o termo \coth tenderá a 1, ficando ρ_C definido como, aproximadamente:

$$\rho_C = \frac{w^2 \cdot R_C^2}{R_{SH}}, \quad \text{onde:} \quad (2.5)$$

$\tan(\alpha)$ é a inclinação da reta aproximada que é calculada pelos pontos obtidos nas medidas U/I ;

w é a largura do contato metálico;

l é o comprimento do contato metálico;

ρ_C é a resistividade da camada ou material;

R_C é a resistência de contato.

Desta forma, a equação da reta aproximada (que é a equação da resistência) é:

$$Y = A + B \cdot X$$

$$R = 2R_C + \frac{R_{SH}}{w} \cdot d \quad (2.6)$$

O que garantirá a precisão dos resistores projetados, neste caso, será a precisão nas medidas efetuadas nas estruturas TLMs. Mas além da precisão nas medidas, outros fatores de processo podem influenciar na precisão de um resistor.

2.2.2. FATORES DE PROCESSO QUE INFLUENCIAM NO VALOR DOS RESISTORES

Durante o processo de fabricação de um resistor podem ocorrer variações que fazem com que os resistores projetados possuam valores de resistência diferentes dos valores reais medidos. Geralmente, as variações no processo, que causam estas diferenças, são a difusão lateral (no caso de um resistor fabricado por processo de implantação, Figura 2.4(a)), corrosão sob o fotorresiste que está protegendo a região que formará o resistor (tempo excessivo de corrosão, Figura 2.4(b)), corrosão com diferentes taxas dependendo da orientação do resistor (seletividade da corrosão, Figura 2.4(c)), efeitos de superfície (como uma superfície não planar, Figura 2.4(d)) e erros e limitações associados à produção e alinhamento das máscaras.

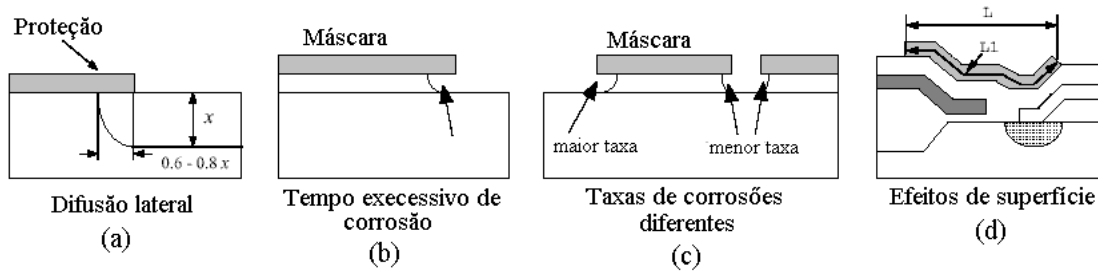


FIGURA 2.4 – DIFERENTES FATORES DE PROCESSO

Outro fator que poderá alterar o resultado esperado para um resistor é quando ele é fabricado com as camadas ativas do substrato (camadas que fazem parte do dispositivo ativo). No caso de um resistor fabricado com a camada de base de um transistor npn, por exemplo, haverá uma capacitância entre a junção de coletor com a base, devida às cargas deplegadas entre as duas camadas. A operação em regime DC não apresentará problema. Entretanto, para a operação em AC, dependendo da frequência de operação, esta capacitância começará a influenciar no resistor, fazendo com que o valor da resistência caia, pois a corrente começará a passar pela camada de coletor que possui uma resistência menor, se comparada com a de base. A capacitância desta junção é dada por [17]:

$$C_J = \frac{K_s \cdot \epsilon_0 \cdot A}{\left[\frac{2 \cdot K_s \cdot \epsilon_0 \cdot (V_{bi} - V_a) \cdot (N_A + N_D)}{q \cdot N_A \cdot N_D} \right]^{1/2}} \quad \text{com} \quad V_{bi} = \frac{k \cdot T}{q} \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right), \text{ onde:} \quad (2.7)$$

C_J é capacitância de junção;

K_s é a permissividade relativa do material (no caso do GaAs esse valor é, aproximadamente, 12,6 [1]);

ϵ_0 é a permissividade do vácuo cujo valor é $8,849 \cdot 10^{-12} \text{ F/m}$;

A é a área da junção (definida pela área dos resistores);

q é a carga do elétron ($1,6 \cdot 10^{-19} \text{ C}$);

V_{bi} é a barreira de potencial intrínseca;

V_a é a tensão externa aplicada. Para o cálculo do valor da capacitância de junção este valor é zero;

N_A é a concentração de átomos aceitadores;

N_D é a concentração de átomos doadores.

Esse tipo de resistor pode ser representado pelo seguinte modelo elétrico:

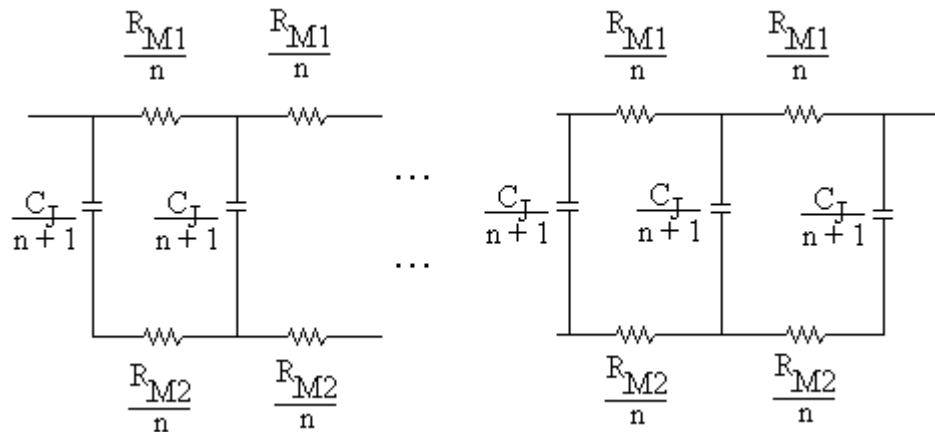


FIGURA 2.5 – REPRESENTAÇÃO DE UM RESISTOR COM CAMADAS ATIVAS DO SUBSTRATO

A Figura 2.5 ilustra o modelo de um resistor formado por camadas ativas do substrato (R_{M1} e R_{M2}), onde C_J é a capacitância da junção entre as camadas e “n” é o número de elementos que estarão presentes na representação do resistor. Os valores de R_{M1} , R_{M2} e C_J são obtidos através de fórmulas já apresentadas.

Os próximos dispositivos passivos a serem analisados serão os capacitores.

2.3. CAPACITORES

Esta dissertação tratará dos capacitores tipo planar [18]. Este tipo de capacitor pode ser dividido em dois grupos quanto à tecnologia que é utilizada em sua fabricação. Há um tipo de capacitor que possui apenas um nível de metalização sobre o substrato dielétrico e um outro que utiliza dois níveis de metalização e um filme dielétrico.

Os capacitores que possuem apenas um nível de metalização sobre o substrato dielétrico são geralmente aplicados em circuitos que necessitem um baixo valor de capacitância. A Figura 2.6 ilustra estes tipos de capacitores.

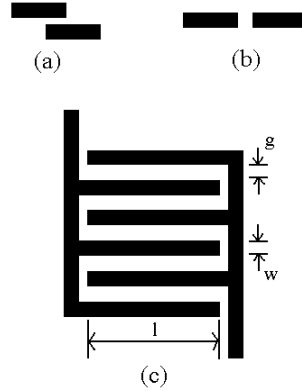


FIGURA 2.6 – CAPACITORES COM UM NÍVEL DE METALIZAÇÃO

Dentre os capacitores ilustrados na Figura 2.6, o da Figura 2.6(c) apresenta uma maior capacitância por unidade de área. Este capacitor é um capacitor interdigital. Os capacitores apresentados nas figuras 2.6(a) e 2.6(b) são, respectivamente, um capacitor por acoplamento lateral e um capacitor por acoplamento terminal. O modelamento elétrico destes capacitores (capacitores interdigitais) apresenta um razoável grau de complexidade. A capacitância total de um capacitor interdigital é dada por [18]:

$$C = (N - 1) \cdot l \cdot C_g \quad (2.8)$$

$$C_g = (\epsilon_r + 1) \cdot \epsilon_0 \cdot \frac{K(k)}{K(k')} \quad (2.9)$$

$$k = \text{tg}^2 \left[\frac{w \cdot \pi}{4 \cdot (g + w)} \right] \quad (2.10)$$

$$k' = \sqrt{1 - k^2} \quad (2.11)$$

$$K(k) = \int_0^{\pi/2} \frac{d\phi}{\sqrt{1 - k^2 \cdot \text{sen}^2 \phi}} \quad (2.12)$$

Nas equações acima, têm-se:

C é a capacitância total do capacitor interdigital;

N é o número de dedos do capacitor;

l é o comprimento do metal (dedo) no capacitor (Figura 2.6(c));

w é a largura do metal no capacitor (Figura 2.6(c));

g é o espaçamento entre os metais do capacitor (Figura 2.6(c));

ϵ_R é a constante dielétrica relativa média do meio onde se encontra depositado o capacitor (no caso de linhas de metal sobre o GaAs, com o ar como isolante, esse valor é 7 [19]);

ϵ_0 é a permissividade do vácuo.

Para um caso particular onde a largura das linhas (w) for igual ao espaço (g) entre elas, tem-se que o valor da capacitância total é [19]:

$$C = l \cdot (\epsilon_r + 1) \cdot [(N - 3) \cdot A_1 + A_2] \quad (pF), \quad (2.13)$$

onde A_1 e A_2 são constantes que valem, respectivamente, $8,86 \cdot 10^{-6}$ (pF/ μm) e $9,92 \cdot 10^{-6}$ (pF/ μm).

O outro tipo de capacitor (com dois níveis de metalização e um filme dielétrico separando esses níveis), é conhecido como capacitor MIM (metal, isolante, metal). Este tipo de capacitor apresenta uma tecnologia de fabricação mais elaborada do que os capacitores mostrados anteriormente. Os capacitores MIM apresentam alta densidade de capacitância por área, devido ao filme dielétrico. A Figura 2.7 ilustra este tipo de capacitor.

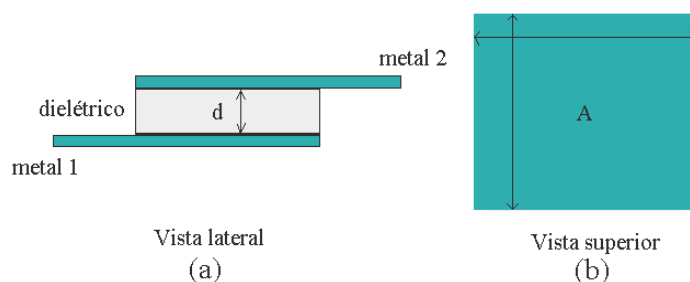


FIGURA 2.7 – CAPACITOR MIM

Na Figura 2.7(a), d representa a espessura do dielétrico depositado, e na Figura 2.7(b), A representa a área do capacitor. O próximo item detalhará melhor este último tipo de capacitor apresentado.

2.3.1. CAPACITORES MIM

O principal elemento de um capacitor MIM é o filme dielétrico utilizado. Neste tipo de capacitor, suas dimensões são determinadas por suas características elétricas e mecânicas [18].

Dentre as propriedades de um filme, que será utilizado como dielétrico, as principais são:

- Constante dielétrica. Quanto mais alta, maior é a capacitância por unidade de área, para uma determinada espessura de filme;
- Capacitância por unidade de área. É aconselhável ser elevada, a fim de ocupar pouca superfície do substrato;
- Tensão de ruptura. Valores elevados permitem maior excursão de tensão;
- Coeficiente de temperatura. Importante ser o mais baixo possível, principalmente para aplicações em potência elevada;

- Confiabilidade do filme. Tal aspecto depende diretamente da baixa densidade de defeitos no filme, bem como de sua estabilidade ao longo do tempo;
- Método e temperatura de deposição. Tal fato é importante, pois a tecnologia utilizada na obtenção do filme deve ser compatível com a do elemento ativo (no caso desta dissertação, o HBT);

Para dielétricos pouco espessos, a capacitância de um capacitor MIM pode ser dada pela fórmula:

$$C = \epsilon_R \cdot \epsilon_0 \cdot \frac{A}{d}, \text{ onde:} \quad (2.14)$$

A é a área do capacitor de placa plana paralela (Figura 2.7(b));

d é a espessura do filme dielétrico utilizado (Figura 2.7(a));

ϵ_R é a permissividade relativa do dielétrico;

ϵ_0 é a permissividade do vácuo.

Quanto mais fino for o dielétrico, maior será a capacitância por unidade de área, porém, menos tolerante poderá ser o processo de deposição do filme em relação à densidade de defeitos. Por outro lado, um filme mais fino apresentará uma menor tensão de ruptura. A Tabela 2.1 apresenta alguns filmes utilizados na faixa de microondas como dielétricos de capacitores MIM [18].

TABELA 2.1 – ALGUNS FILMES DIELÉTRICOS UTILIZADOS EM ESTRUTURAS MIM [18]

Dielétrico	ϵ_R	TCR (ppm/°C)	C/A (pF/mm ²)	F _{CA}	F _{CV}
SiO	4,5 – 6,8	100 – 500	300	Baixo	Médio
SiO ₂	4 – 5	40	200	Médio	Médio
Si ₃ N ₄	6 – 7	25 – 35	300	Alto	Alto
Ta ₂ O ₅	20 – 27	0 – 200	1100	Médio	Alto
Al ₂ O ₃	6 – 9	300 – 500	400	Alto	Alto
Poliamida	3 – 4,5	-500	35	Alto	-

F_{CA} e **F_{CV}** são figuras de mérito para filmes dielétricos e que são úteis no desenvolvimento de capacitores MIM. **F_{CV}** é o produto capacitância por unidade de área pela tensão de ruptura e **F_{CA}** é o produto capacitância por unidade de área pelo fator de qualidade do dielétrico. **F_{CV}** e **F_{CA}** são definidos como [18]:

$$F_{CV} = \left(\frac{C}{A} \right) \cdot V_b \quad (2.15)$$

$$F_{CA} = \left(\frac{C}{A} \right) \cdot \frac{1}{\tan \delta_d} \quad (2.16)$$

Nas Equações (2.15) e (2.16) apresentadas, V_b é a tensão de ruptura do filme, C é o valor da capacitância, A é a área do capacitor e $\tan \delta_d$ é a tangente de perda do filme dielétrico.

Finalizando a parte referente aos elementos, passivos será analisado agora o indutor.

2.4. INDUTORES

Dentre os elementos passivos que serão fabricados, os indutores são os que apresentam maior complexidade de modelamento. A indutância de um indutor espiral retangular (será fabricado esse tipo de indutor) pode ser calculado de acordo com a teoria de *Greenhouse* [20]. A indutância total de um indutor espiral retangular pode ser definida através da fórmula:

$$L_T = L_O + M_+ - M_-, \quad (2.17)$$

onde: L_T é a indutância total do indutor;

L_O é a soma das auto-indutâncias de todos os segmentos que formam o indutor;

M_+ é a indutância mútua positiva total, devido à corrente em fase;

M_- é a indutância mútua negativa total, devido à corrente fora de fase.

Os valores das auto-indutâncias e indutâncias mútuas (positivas e negativas) são calculados através de fórmulas que serão apresentadas a seguir.

2.4.1. AUTO-INDUTÂNCIA

A auto-indutância de um condutor planar reto é a indutância gerada pelo condutor, quando por ele passar uma determinada corrente, e é definida pela fórmula:

$$L_O = 0,002 \cdot l \cdot \left[\ln \left(\frac{2 \cdot l}{GMD} \right) - 1,25 + \frac{AMD}{l} + \left(\frac{\mu}{4} \right) \cdot T \right], \quad (2.18)$$

onde: L_O é a auto-indutância, em microhenries;

l é o comprimento do indutor, em centímetros;

GMD e AMD representam, respectivamente, a distância média geométrica e aritmética de uma seção do condutor;

μ é a permeabilidade magnética do condutor; e

T é um parâmetro de correção para a frequência.

A distância média geométrica entre dois condutores é a distância entre dois filamentos imaginários infinitesimalmente finos, cuja indutância mútua é igual à indutância entre os dois condutores originais. A GMD da seção de um condutor é a distância entre dois filamentos imaginários perpendiculares à seção, cuja indutância mútua é igual à auto-

indutância do condutor. O valor de GMD a ser utilizado será $0,22313 \cdot (a+b)$, onde **a** é a largura do condutor retangular e **b** a espessura do metal depositado [20].

A distância média aritmética é a média de todas as distâncias entre os pontos de um condutor e os pontos de outro. Como condutores de filme fino se aproximam da condição de uma reta, pois a espessura do filme se aproxima de zero, o valor de AMD do filme se aproxima a um terço da largura [20].

Utilizando-se essas simplificações para indutores com seção retangular e condutor de filme fino, a Equação (2.18) fica simplificada a:

$$L_o = 0,002 \cdot l \cdot \left\{ \ln \left[\frac{2 \cdot l}{(a+b)} \right] + 0,50049 + \frac{(a+b)}{3 \cdot l} \right\}, \quad (2.19)$$

onde: **a** e **b** são as dimensões da secção retangular (largura e espessura do metal, respectivamente). A permeabilidade magnética relativa (μ_R) é 1 [21] e como o fenômeno pelicular (*skin-depth*) tem pouco efeito em filme fino (o valor da resistência sofre pouca variação com o aumento da frequência), o parâmetro T pode ser aproximado ao valor de 1 para frequências de microondas.

2.4.2. INDUTÂNCIA MÚTUA

Quando em um condutor passar uma determinada corrente (condutor A) e houver um outro condutor paralelo ao condutor A (condutor B), o condutor A induzirá uma corrente no condutor B, onde esta corrente induzida produzirá uma indutância. Esta indutância é dita indutância mútua.

Caso os dois condutores sejam percorridos por correntes distintas, a corrente de um induzirá corrente no outro. Quando a frequência das correntes for a mesma, a indutância total mútua, M_T , será igual ao vetor soma de $M_{A,B}$ e $M_{B,A}$; quando essas frequências forem diferentes, a soma instantânea deve ser usada.

A indutância mútua poderá ser positiva ou negativa dependendo do sentido da corrente.

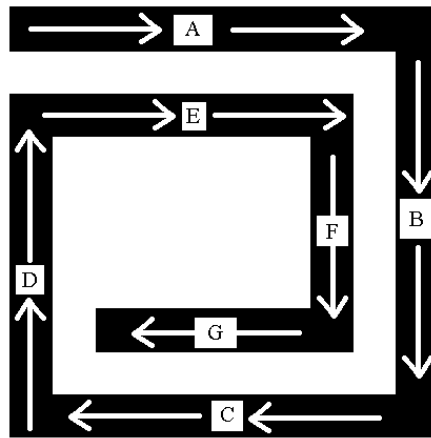


FIGURA 2.8 – FLUXO DE CORRENTE NUM INDUTOR

A Figura 2.8 ilustra um indutor espiral retangular onde está representado o fluxo de corrente. As indutâncias mútuas são ditas positivas, caso possuam o mesmo sentido de corrente (em fase); no caso da Figura 2.8, tem-se: AE, BF, CG, EA, FB e GC. Os valores das indutâncias mútuas AE e EA, BF e FB e CG e GC são iguais; logo, a indutância mútua positiva total será: $2 \cdot AE + 2 \cdot BF + 2 \cdot CG$.

Já as indutâncias mútuas são ditas negativas quando o sentido da corrente for contrário (fora de fase). Na Figura 2.8 tem-se: AG, AC, BD, CE, CA, DF, DB, EG, EC, FD, GE e GA. Do mesmo modo que nas indutâncias mútuas positivas, tem-se que AG e GA, AC e CA, BD e DB, CE e EC, DF e FD e EG e GE são iguais, sendo a indutância mútua negativa total dada por: $2 \cdot AG + 2 \cdot AC + 2 \cdot BD + 2 \cdot CE + 2 \cdot DF + 2 \cdot EG$.

O valor da indutância mútua entre dois condutores paralelos é função do comprimento do condutor e da distância média geométrica.

$$M = 2 \cdot l \cdot Q, \quad (2.20)$$

onde: **M** é a indutância mútua, em *nanoheries*;

l é o comprimento do condutor, em centímetros;

Q é o parâmetro da indutância mútua, que é calculada pela expressão:

$$Q = \ln \left\{ \left(\frac{l}{GMD} \right) + \sqrt{1 + \frac{l^2}{(GMD)^2}} \right\} - \sqrt{1 + \frac{(GMD)^2}{l^2}} + \frac{GMD}{l} \quad (2.21)$$

onde: **l** é o comprimento do condutor e **GMD** é a distância média geométrica entre os dois condutores, que é aproximadamente igual à distância “d” entre o centro dos condutores. O valor exato de GMD pode ser calculado da equação:

$$\ln(GMD) = \ln(d) - \left[\frac{1}{12 \cdot \left(\frac{d}{w} \right)^2} + \frac{1}{60 \cdot \left(\frac{d}{w} \right)^4} + \frac{1}{168 \cdot \left(\frac{d}{w} \right)^6} + \frac{1}{360 \cdot \left(\frac{d}{w} \right)^8} + \frac{1}{660 \cdot \left(\frac{d}{w} \right)^{10}} + \dots \right] \quad (2.22)$$

onde: **w** é a largura do condutor e **d** é a distância de centro-a-centro dos condutores.

Para condutores com comprimentos diferentes, j e m, separados por uma GMD (como mostra a Figura 2.9), a indutância mútua será:

$$M_{j,m} = \frac{1}{2} \cdot [(M_{m+p} + M_{m+q}) - (M_p + M_q)] \quad (2.23)$$

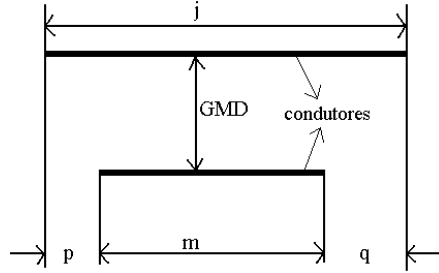


FIGURA 2.9 – CONDUTORES DE DIFERENTES TAMANHOS [20]

Os valores individuais de M são calculados através de (2.20), com os comprimentos correspondentes aos índices:

$$M_{m+p} = 2 \cdot l_{m+p} \cdot Q_{m+p} = 2 \cdot (m + p) \cdot Q_{m+p} \quad (2.24)$$

Para a utilização de (2.23) serão propostas duas relações (pois estas relações se aplicam aos indutores que serão propostos para fabricação). A primeira é para $p = q$, sendo a Equação (2.23) reduzida para:

$$M_{j,m} = M_{m+p} - M_p \quad (2.25)$$

A outra relação a ser utilizada será $p = 0$, ficando a Equação (2.23) reduzida a:

$$M_{j,m} = \frac{1}{2} \cdot [(M_j + M_m) - M_q] \quad (2.26)$$

Além da indutância, o fator de qualidade (Q) também é um fator de interesse nos indutores.

2.4.3. FATOR DE QUALIDADE DE UM INDUTOR

A qualidade de um indutor é definida como [21,22]:

$$Q = 2 \cdot \pi \cdot \frac{\text{Energia armazenada}}{\text{Energia perdida em um ciclo de oscilação}} \quad (2.27)$$

Para um indutor, somente a energia armazenada no campo magnético é de interesse. Qualquer energia armazenada no campo elétrico de um indutor, por causa de alguma capacitância parasita em um indutor real, é perda. Deste modo, o fator de qualidade (Q) é proporcional à energia magnética armazenada, onde essa energia é igual à diferença entre o pico das energias magnética e elétrica. Um indutor está em ressonância quando os picos de energias magnética e elétrica são iguais, fazendo com que o fator de qualidade se anule. Desta forma Q pode ser definido como:

$$Q = 2 \cdot \pi \cdot \frac{\text{Pico de energia magnética} - \text{Pico de energia elétrica}}{\text{Energia perdida em um ciclo de oscilação}} = \frac{R}{\omega \cdot L} \cdot \left[1 - \left(\frac{\omega}{\omega_0} \right)^2 \right] \quad (2.28)$$

onde, ω_0 é a frequência de ressonância do indutor. O indutor terá um comportamento indutivo para valores menores que ω_0 e comportamento capacitivo para valores maiores que ω_0 . Em termos de admitância, Q é igual à razão entre a parte imaginária e real da admitância de entrada do circuito equivalente do indutor, isto é, $Q = -\text{Imag}(Y_{11})/\text{Real}(Y_{11})$ [23].

Para que o projeto teórico de um indutor se comporte o mais perto possível de um indutor real, é preciso um modelo elétrico elaborado que represente o comportamento de um indutor. A seguir, será apresentado um modelo elétrico para o indutor.

2.4.4. MODELO ELÉTRICO DE UM INDUTOR

Como já foi dito, o modelo elétrico que representa o indutor, deve ser o mais preciso possível para que o modelo teórico seja o mais próximo possível de um indutor real. O modelo deve incluir as perdas existentes em um modelo real. A Figura 2.10 mostra um modelo elétrico, para os indutores, que é amplamente utilizado.

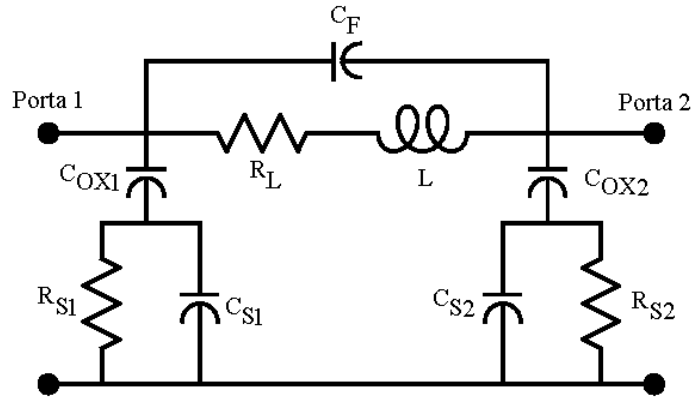


FIGURA 2.10 – MODELO ELÉTRICO DE UM INDUTOR [21]

Os elementos presentes na Figura 2.10 são:

- L é a indutância, determinada pelo método de *Greenhouse* [20];
- R_L é a resistência série do condutor, que varia com a frequência;
- C_F é a capacitância devida, principalmente, à capacitância entre as espiras e o metal superior usado para conectar o centro do indutor com a parte externa;
- C_{OX} é a capacitância entre as espiras e o substrato, devido ao óxido isolante;
- C_S é a capacitância do substrato;
- R_S é a perda ôhmica do substrato por acoplamento capacitivo.

Os valores de R_L , C_F , C_{OX} , C_{SUB} e R_{SUB} são definidos como [24]:

$$R_L = \frac{\rho \cdot l}{w \cdot \delta \cdot (1 - e^{-l/\delta})} \quad e \quad \delta = \sqrt{\frac{\rho}{\pi \cdot \mu \cdot f}}, \quad (2.29)$$

onde: l é o comprimento do metal;
 w é a largura do metal;
 t é a espessura do metal;
 δ é devido ao efeito pelicular (*Skin-depth*);
 μ é a permeabilidade do espaço livre, igual a $4 \cdot \pi \cdot 10^7$ H/m;
 ρ é a resistividade;
 f é a frequência.

$$C_F = \frac{\epsilon_{ox} \cdot n \cdot A}{t_{ox, M1-M2}}, \quad (2.30)$$

onde: ϵ_{ox} é a constante dielétrica do material utilizado, para isolar o metal inferior do superior;
 n é o número de capacitores formados entre o metal inferior e superior;
 A é a área dos capacitores formados entre o metal inferior e superior;
 $T_{ox, M1-M2}$ é a espessura do material utilizado para isolar o metal inferior do superior.

$$C_{ox} = \frac{\epsilon_{ox} \cdot l \cdot w}{2 \cdot t_{ox}}, \quad (2.31)$$

onde: ϵ_{ox} é a constante dielétrica do óxido, para isolar o metal inferior do substrato;
 l e w são, respectivamente, o comprimento e a largura do metal;
 t_{ox} é a espessura de óxido depositado.

$$C_S = \frac{C_{SUB} \cdot l \cdot w}{2}, \quad (2.32)$$

onde: C_{SUB} é a capacitância do substrato, por unidade de área;
 l e w são, respectivamente, o comprimento e a largura do metal.

$$R_S = \frac{2}{G_{SUB} \cdot l \cdot w}, \quad (2.33)$$

onde: G_{SUB} é a condutância do substrato, por unidade de área;
 l e w são, respectivamente, o comprimento e a largura do metal.

Como se pode notar, o modelamento de um indutor é complexo e exige uma série de cálculos. Para facilitar o trabalho de modelamento de um indutor, utilizou-se um *software* denominado ASITIC [25].

2.4.5. SOFTWARE PARA SIMULAÇÃO DE INDUTORES

ASITIC (*Analysis and Simulation of Inductors and Transformers for ICs*) foi o *software* utilizado para o projeto dos indutores. Este *software* funciona com um arquivo, denominado “arquivo de tecnologia” que deve conter todas as informações possíveis para o modelamento dos indutores. Estas informações vão desde o substrato até o metal utilizado. A Figura 2.11 ilustra as informações que devem estar contidas no arquivo de tecnologia.

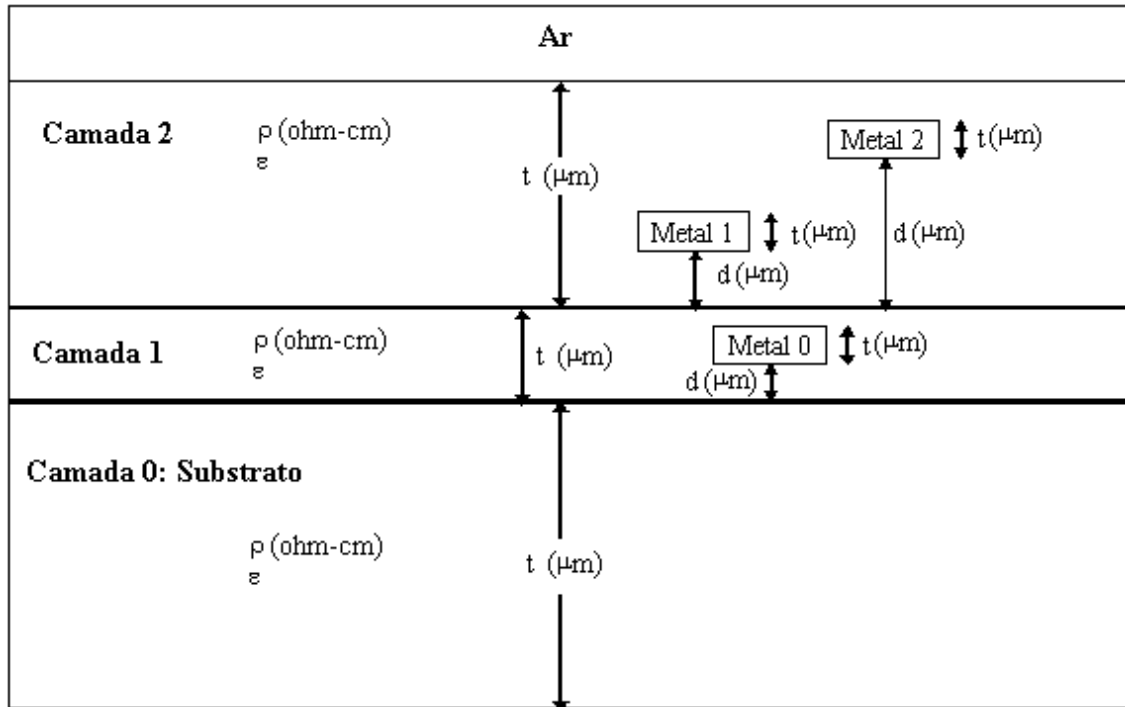


FIGURA 2.11 – ESQUEMA DO ARQUIVO DE TECNOLOGIA [25]

As informações que devem estar contidas no arquivo de tecnologia são informações referentes ao substrato e às camadas que estarão sobre ele (como espessura, resistividade e constante dielétrica de cada camada) e informações sobre os metais (como espessura, resistência de folha e distância da camada onde ele estará presente).

Através deste *software* pode-se obter o modelo elétrico do indutor para uma determinada ou várias frequências. Desta forma, o projeto e a análise teórica de um indutor ficam relativamente mais fácil e rápida.

Outro dispositivo presente em um MMIC é o elemento ativo que será empregado neste tipo de circuito. O elemento ativo que será utilizado nesta dissertação será um transistor bipolar de heterojunção.

2.5. TRANSISTOR BIPOLAR DE HETEROJUNÇÃO (HBT)

A idéia de um transistor bipolar de heterojunção (HBT) surgiu em 1948, quando *Willian Shockley* descreveu um transistor “em que uma das regiões é de um material semicondutor que tenha uma região de energia proibida (*gap*) maior do que o material das outras duas regiões” [26]. O princípio de operação de um HBT é semelhante ao de um transistor bipolar npn de silício, isto é, para elevados ganhos de corrente, elétrons passam da junção base/emissor, diretamente polarizada, através da base tipo p, neutra, e região de depleção do coletor, para o contato de coletor com um mínimo de recombinação com as lacunas no trajeto. Em adição, a reversa injeção de lacunas da base para o emissor é minimizada. Esta última condição é satisfeita pelo HBT.

Em comparação com os transistores bipolares de silício, os HBTs possuem [26]:

- Maior frequência de corte (F_T);
- Maior tensão de *Early* (alta resistência de saída);
- Menor capacitância base/emissor;
- Resistência de base reduzida;
- Reduzida capacitância com o substrato semi-isolante.

Uma heterojunção ideal para o dispositivo HBT npn teria, como característica, uma descontinuidade da banda de valência bastante grande e não teria descontinuidade na banda de condução. A grande descontinuidade da banda de valência impediria que as lacunas se movessem da região da base para o emissor e a ausência da descontinuidade da banda de condução favoreceria o deslocamento dos elétrons da região do emissor para a base. Sendo assim, para a fabricação de um HBT é preferível um material que apresente maior descontinuidade na banda de valência e que não seja necessária a variação de sua composição. Um material que atende a essas necessidades, é o InGaP/GaAs [14].

As combinações dos materiais utilizados na fabricação de um HBT são agrupados pelo tipo de substrato. A Tabela 2.2 apresenta os materiais utilizados atualmente [26].

TABELA 2.2 – MATERIAIS UTILIZADOS PARA FABRICAÇÃO DE UM HBT [26]

Substrato	Emissor	Base	Coletor
GaAs	AlGaAs	GaAs ou AlGaAs (gradual)	GaAs ou AlGaAs (DHBT)
	InGaP	GaAs ou AlGaAs (gradual)	GaAs ou InGaP (DHBT)
InP	InP	InGaAs	InGaAs ou InP (DHBT)
	AlInAs	InGaAs	InGaAs ou InP (DHBT)
Si	Si/Poli-Si	Si-Ge (gradual)	Si
Safira	AlGaN	GaN	GaN

2.5.1. PRINCÍPIO DE OPERAÇÃO DE UM HBT

A Figura 2.12 ilustra o diagrama de bandas de energia de um HBT polarizado na região ativa.

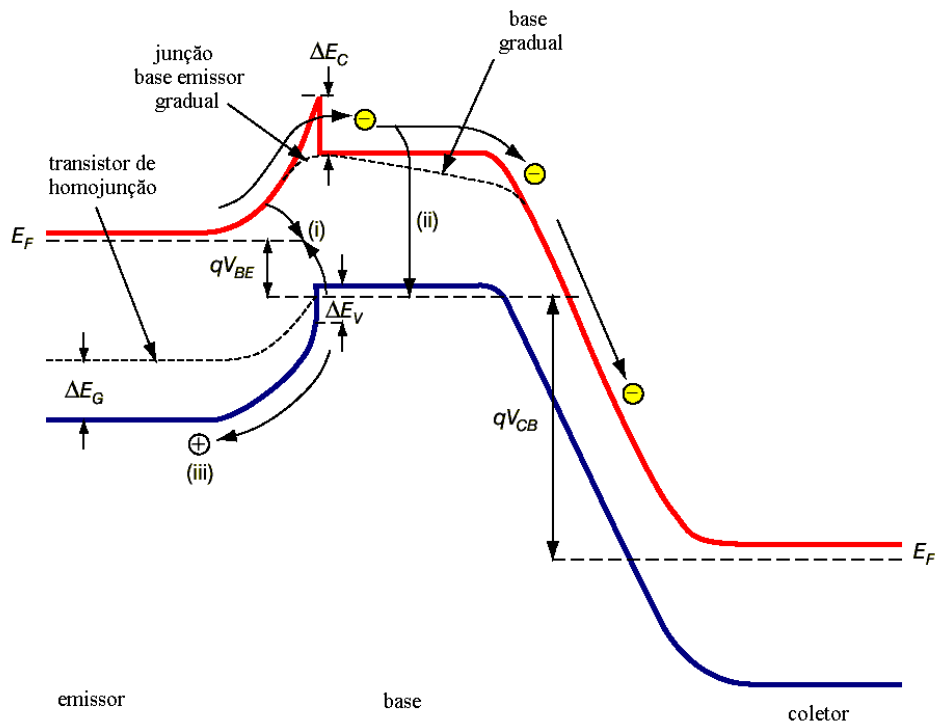


FIGURA 2.12 – DIAGRAMA DE BANDAS DE UM HBT [26]

Elétrons são injetados da junção base/emissor, diretamente polarizada, em direção à base, onde eles difundem e são capturados pelo campo elétrico da junção base/coletor reversamente polarizada, fazendo, assim, com que a corrente de coletor surja. O ganho aparece porque pequenas mudanças na tensão de entrada na junção base/emissor induzem grandes mudanças na corrente de coletor, devido à dependência exponencial da corrente injetada pela tensão de entrada.

Os mecanismos que tendem a diminuir o ganho de corrente são:

- Recombinação dos elétrons com as lacunas, ou na região de carga espacial base/emissor (indicado por (i) na Figura 2.12) ou na base dopada tipo p (indicado por (ii) na Figura 2.12);
- Injeção reversa de lacunas da base em direção ao emissor (indicado por (iii) na Figura 2.12).

Quando se compara os fluxos de elétrons e lacunas na junção base/emissor, nota-se a diferença na altura da barreira de potencial. O alinhamento das bandas de valência e condução na heterojunção base/emissor é tal que a barreira de potencial é maior para o fluxo de lacunas do que para o fluxo de elétrons. Comparando-se com uma homojunção com similar

densidade de dopagem, tempo de vida dos portadores minoritários e mobilidade, a razão entre o fluxo de lacunas e elétrons através da heterojunção base/emissor é dado pela relação [26]:

$$\left(\frac{I_l}{I_e} \right)_{het} = \left(\frac{I_l}{I_e} \right)_{hom o} \cdot \exp \left[\frac{-(\Delta E_G - \Delta E_C)}{K \cdot T} \right] \quad (2.34)$$

Onde o termo antes da exponencial é a razão de corrente entre lacuna e elétron para uma homojunção, ΔE_C é a descontinuidade na banda de condução e ΔE_G é a diferença na região de banda proibida através da junção, κ é a constante de *Boltzmann* e T é a temperatura absoluta.

Desde que $\Delta E_C < \Delta E_G$ ($\Delta E_C \sim 0$ para uma junção composta gradualmente [27]), a barreira extra para a lacuna pode limitar a corrente de lacuna, de forma que a eficiência de injeção no emissor (razão da corrente de elétrons injetados em relação à corrente total da junção) é perto de 1, mantendo os níveis relativos de dopagem do emissor e da base. Em adição, a reduzida injeção de lacunas diminui as cargas minoritárias armazenadas no emissor neutro, melhorando a velocidade. Deste modo, o HBT pode ser projetado para operar em alta frequência (base com alta dopagem e emissor com baixa dopagem) sem comprometer a eficiência de injeção de elétrons.

Para uma junção abrupta [27], ΔE_C apresenta uma barreira extra para os elétrons, que diminui um pouco a seletividade mencionada acima. Entretanto, em alguns sistemas de materiais, tais como AlGaAs/GaAs, é possível fazer uma composição gradual do emissor próximo à interface, fazendo com que esta barreira seja eliminada (Figura 2.12).

Modernos métodos de crescimento epitaxial, tais como MOVPE [14] (*Metal Organic Vapor Phase Epitaxy*), MBE [14] (*Molecular Beam Epitaxy*) e suas variantes, são capazes de produzir heterojunções de alta qualidade, com um mínimo de defeitos cristalinos. Conseqüentemente, o fator limitante que controla o ganho em HBTs de alto desempenho é, geralmente, focado na recombinação elétrons e lacunas com a base altamente dopada. Isto é determinado pela espessura e nível de dopagem da base [28], em que ambos afetam a frequência de operação do dispositivo. A alta dopagem da base reduz a condutância de saída, devido ao efeito *Early*. A reduzida dopagem do emissor é também possível, com conseqüente aprimoramento da velocidade do transistor, como resultado da redução da capacidade de depleção entre base e emissor.

2.5.2. FIGURAS DE MÉRITO DO HBT

Por se tratar de um dispositivo que trabalhará em altas frequências, estes são geralmente caracterizados por dois tipos de frequências, F_T e $F_{MÁX}$. F_T é definida como a frequência onde o ganho de corrente na configuração emissor comum cai a um.

Deste modo, F_T reflete a capacidade do dispositivo em operar em altas frequências, e seu valor é dado por [15,26]:

$$F_T = \frac{1}{2 \cdot \pi \cdot \tau_{EC}} = \frac{1}{2 \cdot \pi \cdot (\tau_{EB} + \tau_{BC} + \tau_B + \tau_C)}, \quad (2.35)$$

onde: τ_{EC} é o tempo de trânsito do emissor ao coletor;
 τ_{EB} é o tempo de carga da capacitância da junção base/emissor;
 τ_{BC} é o tempo de carga da capacitância da junção base/coletor;
 τ_B é o tempo de trânsito da região de depleção da base;
 τ_C é o tempo de trânsito da região de depleção do coletor.

Por sua vez, τ_{EB} , τ_{BC} , τ_B e τ_C são definidos como [26]:

$$\tau_{EB} = C_{BE} \cdot \frac{\kappa \cdot T}{q \cdot I_C} \quad \tau_{BC} = C_{BC} \cdot \left(\frac{\kappa \cdot T}{q \cdot I_C} + r_E + r_C \right) \quad (2.36)$$

$$\tau_B = \frac{W_B^2}{2 \cdot D_e} \quad \tau_C = \frac{W_C}{2 \cdot v_s}$$

C_{BE} e C_{BC} são, respectivamente, as capacitâncias das regiões de depleção formadas pelas junções base/emissor e base/coletor, κ é a constante de *Boltzmann*, q é a carga eletrônica, T é a temperatura absoluta, I_C é a corrente de coletor, r_E e r_C são, respectivamente, as resistências parasitas do emissor e coletor, W_B e W_C são as espessuras da região de depleção da base e coletor, respectivamente, D_e é o coeficiente de difusão dos elétrons na base e v_s é a velocidade de saturação na região de depleção do coletor.

Já $F_{MÁX}$, é a máxima frequência de oscilação, ou a frequência quando o ganho em potência chega a um. O cálculo de $F_{MÁX}$ nesta dissertação foi feito utilizando-se o ganho máximo unilateral, $G_{U,MÁX}$, que é mostrado no Capítulo 5. Uma expressão aproximada, frequentemente utilizada para obter o valor de $F_{MÁX}$, é [26]:

$$F_{MÁX} = \sqrt{\frac{F_T}{8 \cdot \pi \cdot r_B \cdot C_{BC}}} \quad (2.37)$$

Em (2.37), r_B é a resistência lateral da base, desde o contato da base até a região ativa do dispositivo. O aumento de $F_{MÁX}$ pode ser conseguido com a diminuição no valor de r_B , que é conseguido com a redução na largura do emissor e diminuição no espaçamento entre os contatos base/emissor. Aumentando-se o nível de dopagem na base diminui-se o valor de r_B , porém um aumento excessivo na dopagem poderá ter um efeito negativo sobre o ganho [15]. Esse efeito pode ser compensando fazendo-se a base gradual [26], que cria um campo quase elétrico, causando a deriva dos elétrons através da base mais rápida do que no caso de uma difusão normal. Este efeito reduz r_B (uma base mais fina, ou mais dopada, é permitida) e diminui o tempo de trânsito (aumento de F_T e do ganho). Já C_{BC} pode ser minimizada reduzindo-se a área base/coletor ou aumentando-se a espessura da depleção do coletor (este aumento, porém implicará num aumento de τ_C e redução de F_T).

Para tentar verificar o que foi dito com relação à F_T e $F_{MÁX}$, nesta dissertação será proposta a fabricação de dois tipos de HBTs, um não auto-alinhado e outro auto-alinhado.

2.5.3. TRANSISTORES NÃO AUTO-ALINHADOS E AUTO-ALINHADOS

O que diferenciara um transistor auto-alinhado de um não auto-alinhado é a etapa de corrosão, para definir a região de emissor, e a evaporação de metal do contato da base (estas etapas estão detalhadas no Capítulo 4, que apresenta o processo de fabricação).

A Figura 2.13(a) mostra as primeiras etapas de um transistor não auto-alinhado e a Figura 2.13(b) mostra as primeiras etapas de um transistor auto-alinhado.

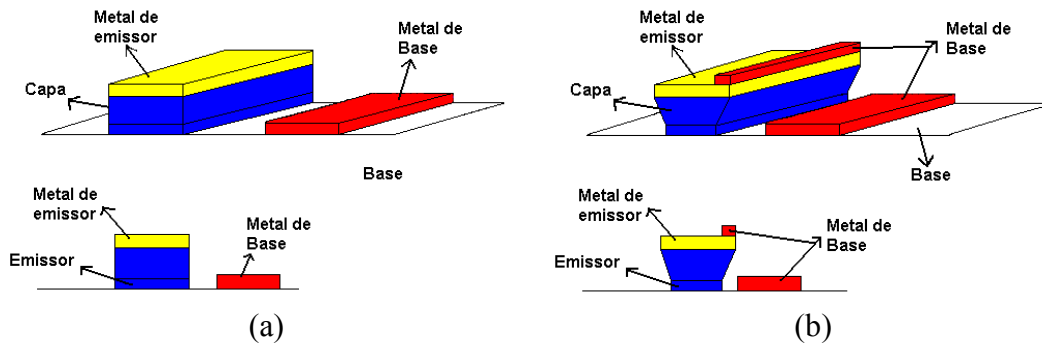


FIGURA 2.13 – TRANSISTOR NÃO AUTO-ALINHADO (A) E AUTO-ALINHADO (B)

As principais diferenças apresentadas nas Figuras 2.13(a) e 2.13(b), com relação a esses tipos de transistores, são:

- O metal de contato da base está mais próximo à região de emissor nos transistores auto-alinhados do que nos transistores não auto-alinhados. Com esta diminuição da distância entre o contato de base e a região de emissor, pretende-se obter uma melhora no valor de $F_{MÁX}$;
- O perfil de corrosão nos transistores auto-alinhados é um perfil anisotrópico. Caso o emissor não possua este perfil, os transistores auto-alinhados podem vir a apresentar problemas, enquanto que nos transistores não auto-alinhados este perfil não é necessário (o Capítulo 4 apresentará como esse perfil poderá ser obtido).

Deste modo, nota-se que a fabricação de um transistor auto-alinhado é um pouco mais complexa que a de um transistor não auto-alinhado. Uma vez fabricados estes dispositivos, faz-se a extração dos parâmetros dos transistores para que eles possam ser representados por seus modelos elétricos, tanto em regime DC quanto em AC, podendo ser utilizados em circuitos para a fabricação de um MMIC.

2.5.4. EXTRAÇÃO DE PARÂMETROS DO TRANSISTOR

Para que um modelo elétrico represente da melhor maneira possível um transistor, os parâmetros que o representam devem ser obtidos com precisão. Os parâmetros utilizados para representar um transistor em regime DC são relativamente mais fáceis de serem obtidos do que os parâmetros utilizados para representar um transistor em regime AC.

2.5.4.1. EXTRAÇÃO DE PARÂMETROS DC

Em geral, os parâmetros DC utilizados para simular um dispositivo real provêm do modelo *Ebers-Moll* ou *Gummel Poon* [29]. A maioria dos parâmetros é determinada, basicamente, através do *Gummel Plot* (gráfico do logaritmo de I_C e I_B em função V_{BE} , sendo que V_{BC} deve ser, aproximadamente, igual a zero).

Pelo *Gummel Plot*, apresentado na Figura 2.14, nota-se três regiões distintas. Na região I predomina a baixa corrente (sendo caracterizada pela predominância da corrente de recombinação de base). Na região II predomina a média corrente, onde a corrente de recombinação de base deixa de ter influência e as resistências parasitárias são desprezíveis. Muitos HBTs apresentam o *Gummel Plot* sem essa região (ausência da região II, onde I_C e I_B são paralelos), isto se deve à corrente de recombinação na base, que aumenta I_B [15].

Na última região (região III), predomina a alta corrente, onde aparecem perdas provocadas pelas resistências parasitárias e efeitos de segunda ordem (alta injeção, efeitos térmicos, etc.). A corrente de coletor é afetada pelas resistências de emissor, base e coletor, e a corrente de base pelas resistências de emissor e base [16].

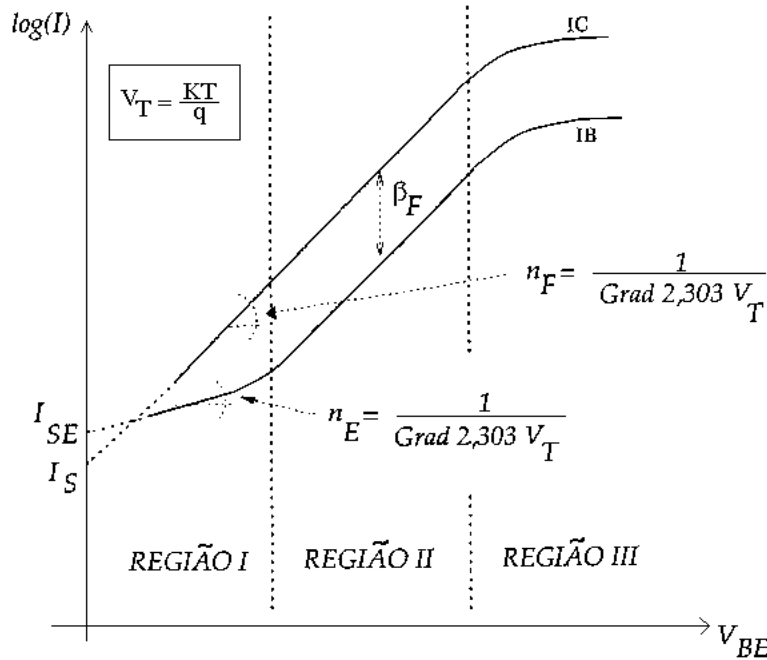


FIGURA 2.14 – GUMMEL PLOT DE UM TRANSISTOR [16]

Através do *Gummel Plot* obtêm-se I_{SE} , β_F , I_S , n_F e n_E . Essas variáveis significam [30]:

I_{SE} é a fuga da corrente de saturação na junção base/emissor;

β_F é o máximo ganho de corrente do transistor;

I_S é a corrente de saturação do transistor;

n_F é o coeficiente de emissão da corrente direta (fator de idealidade do coletor);

n_E é o coeficiente de emissão da corrente de fuga na junção base/emissor.

Através de manipulações algébricas das equações da corrente de coletor (2.38) e base (2.39) [16,29] podemos obter esses valores mencionados acima, que são apresentados a seguir.

$$I_C = I_S \cdot \left(e^{n_F \cdot \frac{q \cdot V_{BE}}{K \cdot T}} - 1 \right) \quad (2.38)$$

$$I_B = \frac{I_S}{\beta_F} \cdot e^{n_F \cdot \frac{q \cdot V_{BE}}{K \cdot T}} + I_{SE} \cdot e^{n_E \cdot \frac{q \cdot V_{BE}}{K \cdot T}} \quad (2.39)$$

Aplicando-se a função logaritmo em (2.38), chegamos à seguinte equação:

$$\log(I_C) = \log(I_S) + \frac{q \cdot V_{BE}}{n_F \cdot K \cdot T \cdot \ln(10)} \quad (2.40)$$

O valor de I_S pode ser obtido extrapolando-se $\log(I_C)$ em V_{BE} igual a zero, onde se tem $\log(I_C) = \log(I_S)$. O valor de n_F é obtido pelo gradiente da Equação (2.40), onde o valor final é:

$$n_F = \frac{1}{\left(\frac{K \cdot T}{q} \right) \cdot \ln(10) \cdot \text{Grad}[\log(I_C)]} \quad (2.41)$$

Para a corrente de base, há a predominância da corrente de recombinação na região I. Desta maneira, a corrente de base passa a ser a própria corrente de recombinação e, portanto, os valores de I_{SE} e n_E são obtidos da mesma forma que I_S e n_F foram obtidos. Como em V_{BE} igual a zero $\log(I_C) = \log(I_{SE})$, o valor de n_E é dado por:

$$n_E = \frac{1}{\left(\frac{K \cdot T}{q} \right) \cdot \ln(10) \cdot \text{Grad}[\log(I_B)]} \quad (2.42)$$

Quando a corrente de recombinação torna-se desprezível, β_F pode ser determinado como:

$$\log(I_B) = \log\left(\frac{I_C}{\beta_F}\right) \Leftrightarrow \log(\beta_F) = \log(I_C) - \log(I_B) \quad (2.43)$$

Como já foi mencionado anteriormente, pode ocorrer que o HBT não apresente a região II, sendo difícil a determinação de I_{SE} , n_E e β_F . Sendo assim, os valores de I_{SE} e n_E são, aproximadamente, obtidos através do *Gummel Plot* e β_F através da Equação (2.39). Como esses valores obtidos são valores aproximados, é necessário fazer a correção dos valores ajustando-se os valores medidos com os valores teóricos.

Esta corrente de recombinação na base, que faz com que o *Gummel Plot* não apresente a região II, pode ser incluída aos modelos utilizados por simuladores como SPICE, através do acréscimo de diodos entre base e coletor e entre base e emissor [31].

Os valores das resistências de contato, como resistência de coletor e emissor, podem ser obtidos através de uma medida relativamente simples [29]. O valor da resistência de emissor pode ser obtido pelo gráfico da corrente de base como função da tensão entre emissor e coletor, para um transistor com o coletor em aberto. A Figura 2.15 ilustra o esquema de medição e o gráfico que é obtido com essa medição.

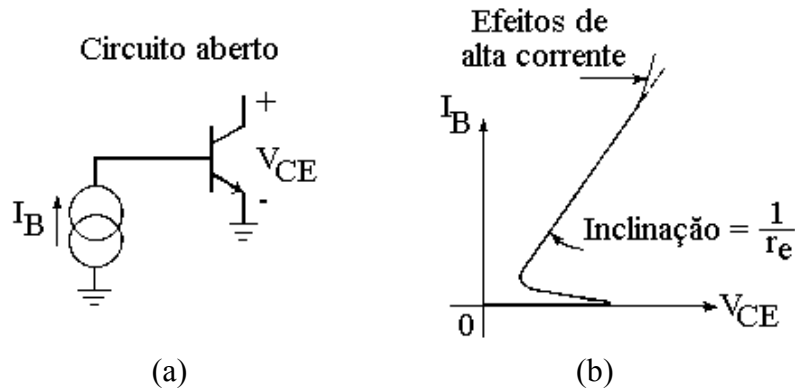


FIGURA 2.15 – ESQUEMA DE MEDIÇÃO (A) E CURVA OBTIDA (B) [29]

O gráfico da Figura 2.15(b) apresenta um efeito denominado *flyback* que é causado pela diminuição do beta reverso em baixas correntes. A obtenção da resistência de emissor (inverso da inclinação da reta obtida), deve ser feita próxima à região que apresenta esse efeito.

A medida da resistência de coletor é uma extensão da medida de resistência de emissor. A medida é feita adicionando-se, ao esquema da Figura 2.15(a), uma fonte de corrente no coletor. A medida é feita variando-se esta fonte de corrente, obtendo-se, assim, um gráfico semelhante ao apresentado na Figura 2.16(b).

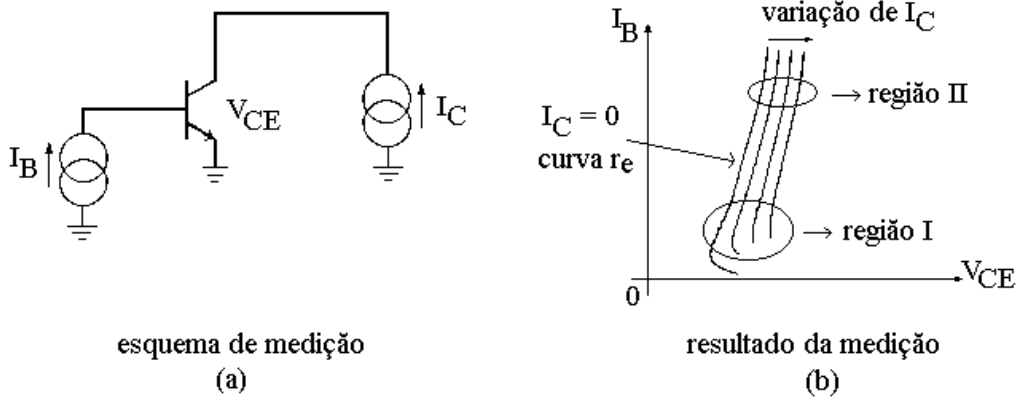


FIGURA 2.16 – OBTENÇÃO DO VALOR DA RESISTÊNCIA DE COLETOR [29]

O gráfico apresentado na Figura 2.16(b) apresenta duas regiões distintas. A região I está associada à resistência de coletor próxima da região ativa e a região II está associada à resistência de coletor na região de saturação. Nos modelos, a resistência de coletor é considerada constante; no entanto, na realidade ela é função da polarização. Temos, então, que escolher um valor de resistência de coletor que seja adequada à região na qual o transistor será polarizado.

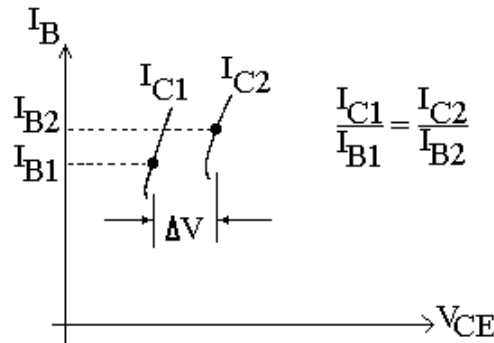


FIGURA 2.17 – PONTOS PARA DETERMINAÇÃO DE ΔV [29]

O valor da resistência de coletor pode ser obtido considerando-se dois pontos onde $I_{C1}/I_{B1} = I_{C2}/I_{B2}$ (como mostra a Figura 2.17). De [29], tem-se que a dependência de V_{CE} com o ponto de polarização é a seguinte:

$$V_{CE} = \frac{K \cdot T}{q} \cdot \ln \left[\frac{1 + \frac{I_C}{I_B} \cdot (1 - \alpha_R)}{\alpha_R \cdot \left(1 - \frac{I_C}{\beta_F \cdot I_B} \right)} \right] + I_E \cdot r_E + I_C \cdot r_C, \quad (2.44)$$

onde α_R é a porção da corrente total que passa através da junção base/coletor e que é coletada na junção base/emissor, em polarização reversa. A diferença de potencial, mostrada na Figura 2.17, é dada por:

$$V_{CE2} - V_{CE1} = (I_{C2} - I_{C1}) \cdot r_C + (I_{C2} + I_{B2} - I_{C1} - I_{B1}) \cdot r_E \quad (2.45)$$

Utilizando-se da relação $I_C = \beta \cdot I_B$ e substituindo em (2.45), chega-se ao seguinte valor para r_C :

$$r_C \approx \frac{\Delta V_{CE}}{I_{C2} - I_{C1}} - r_E \cdot \frac{\beta + 1}{\beta} \quad (2.46)$$

Este método deve ser aplicado para transistores que possuam um valor baixo de resistência de emissor (r_E na ordem de alguns *ohms*) e valores mais elevados para a resistência de coletor (r_C na ordem de dezenas de *ohms*); caso contrário, o método torna-se impreciso devido ao erro que se tem ao medir a resistência de emissor.

Já o valor da resistência de base é um parâmetro de difícil medida, pois essa resistência varia com a condição de operação; porém, no modelo *Ebers-Molls 2* [29] ela é tomada como um valor constante.

Para a medida da resistência de base será utilizada a medida dos parâmetros de rede, que é mostrado na próxima seção.

2.5.4.2. EXTRAÇÃO DOS PARÂMETROS DE PEQUENOS SINAIS

O procedimento para extração dos parâmetros de pequenos sinais do HBT foi feito com base em [32]. A determinação destes parâmetros permitirá simular os transistores em circuitos que operem em frequências elevadas. A Figura 2.18, mostra a geometria do HBT, em corte transversal, junto com um circuito equivalente de elementos de pequeno sinal.

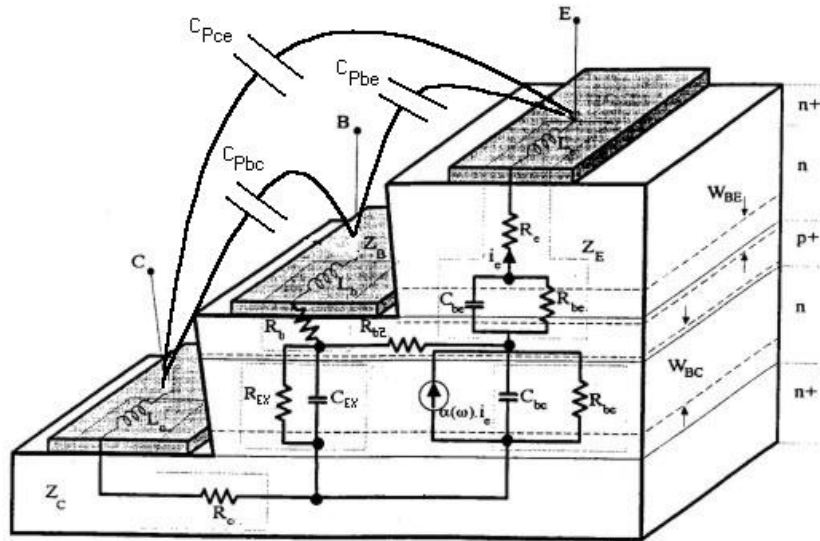


FIGURA 2.18 – CORTE DE UM HBT COM O CIRCUITO EQUIVALENTE [33]

O circuito mostrado na Figura 2.18 é mostrado, sozinho, na Figura 2.19. Os parâmetros apresentados são extraídos através dos parâmetros de rede (parâmetros S) [34].

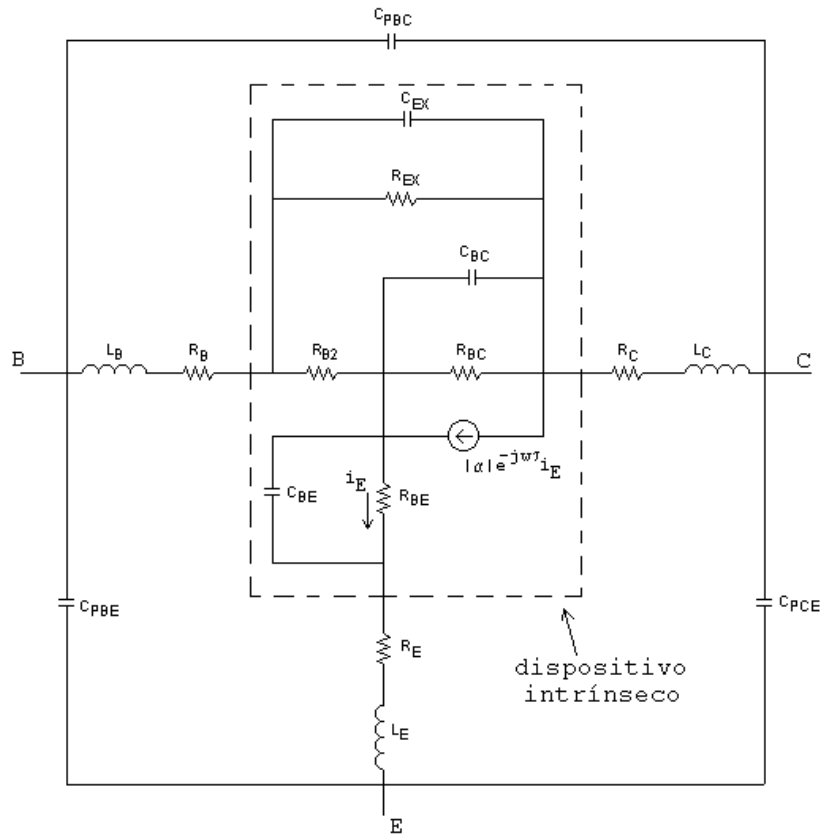


FIGURA 2.19 – MODELO ELÉTRICO DO HBT

Pela figura do circuito equivalente (Figura 2.19), e pelo corte transversal do HBT (Figura 2.18), percebe-se que o circuito possui um modelo de dispositivo intrínseco, que se refere à estrutura interna do HBT, e uma extrínseca, que se refere aos contatos e *pads*.

A parte extrínseca é formada pelos seguintes elementos:

- Base: L_B e R_B ;
- Emissor: L_E e R_E ;
- Coletor: L_C e R_C ;
- *Pads*: C_{PBE} , C_{PBC} e C_{PCE} .

A parte intrínseca é formada pelos demais elementos.

Nota-se, também, na Figura 2.19, as impedâncias presentes, onde:

- Z_{BC} é a impedância interna base/coletor (R_{BC} em paralelo com C_{BC});
- Z_{EX} é a impedância externa base/coletor (R_{EX} em paralelo com C_{EX});
- R_{B2} é a resistência de base intrínseca;
- Z_B é a impedância extrínseca da base (R_B em série com L_B);
- Z_{BE} é a impedância da junção base/emissor (R_{BE} em paralelo com C_{BE});
- Z_C é a impedância extrínseca do coletor (R_C em série com L_C);
- Z_E é a impedância extrínseca do emissor (R_E em série com L_E).

Os valores destas impedâncias são:

$$\begin{aligned}
 Z_{BC} &= \frac{R_{BC}}{1 + j \cdot \omega \cdot C_{BC} \cdot R_{BC}} & Z_{EX} &= \frac{R_{EX}}{1 + j \cdot \omega \cdot C_{EX} \cdot R_{EX}} \\
 Z_{BE} &= \frac{R_{BE}}{1 + j \cdot \omega \cdot C_{BE} \cdot R_{BE}} & Z_B &= R_B + j \cdot \omega \cdot L_B \\
 Z_C &= R_C + j \cdot \omega \cdot L_C & Z_E &= R_E + j \cdot \omega \cdot L_E
 \end{aligned} \tag{2.47}$$

Resumidamente, o processo de extração dos parâmetros é o seguinte:

Caso nenhuma estrutura de teste esteja disponível para extração de parasitas, a capacitâncias dos *pads* podem ser estimadas dos HBTs no corte [35].

As capacitâncias podem ser diretamente calculadas por:

$$\begin{aligned}
 C_{PBE} + C_{BE} &= \frac{\text{Im}(Y_{11}) + \text{Im}(Y_{12})}{\omega} \\
 C_{PCE} &= \frac{\text{Im}(Y_{22}) + \text{Im}(Y_{12})}{\omega}
 \end{aligned} \tag{2.48}$$

$$C_{PBC} + C_{EX} + C_{BC} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (2.48) \text{ (cont.)}$$

Nas equações acima, as capacitâncias C_{PBE} , C_{PBC} , C_{PCE} e C_{EX} são consideradas independentes da polarização e C_{BE} e C_{BC} são elementos dependentes da polarização. C_{BE} , que é a capacitância de junção base/emissor, pode ser descrita por:

$$C_{BE} = \frac{C_{jbe0}}{\left(1 + V_{EB}/V_{jbe}\right)^{M_{jbe}}} \quad (2.49)$$

A extração de C_{PBE} pode ser feita pela curva da soma de $(C_{PBE} + C_{BE})$ em diferentes tensões de base/emissor reversas ou usando o método de interação, em que diferentes valores de V_{jbe} , M_{jbe} e C_{jbe0} são estimados até o gráfico de $(C_{PBE} + C_{BE})$ por $(1 + V_{EB}/V_{jbe})^{-M_{jbe}}$ ser uma reta.

Similarmente, $(C_{EX} + C_{PBC})$ pode ser extraído pela curva da soma $(C_{EX} + C_{PBC} + C_{BC})$ pela expressão da capacitância da junção em diferentes tensões de base/coletor.

Com as capacitâncias dos *pads* determinadas, faz-se a retirada das mesmas do transistor (desacoplamento). Este procedimento é feito com base em [36]. Feita a retirada das capacitâncias dos *pads*, começa-se a extração dos demais elementos do modelo. Os elementos extrínsecos (Z_B , Z_C e Z_E) são extraídos através dos parâmetros S, com o HBT na condição de “coletor aberto”, onde as junções base/coletor (BC) e base/emissor (BE) estão em condução direta e a corrente de coletor I_C é, aproximadamente, zero.

Com essa configuração, os parâmetros S são medidos em baixa frequência.

Após a obtenção dos parâmetros S, estes são convertidos para os parâmetros Z, por serem manipulados mais facilmente quando comparados aos parâmetros S.

Os parâmetros Z_{11} , Z_{12} , Z_{21} e Z_{22} , em função dos elementos do circuito equivalente, são:

$$\begin{aligned} Z_{11} &= \frac{[(1-\alpha) \cdot Z_{BC} + Z_{EX}] \cdot R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_B + Z_E \\ Z_{12} &= \frac{(1-\alpha) \cdot Z_{BC} \cdot R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_E \\ Z_{21} &= \frac{[-\alpha \cdot Z_{EX} + (1-\alpha) \cdot R_{B2}] \cdot Z_{BC}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_E \\ Z_{22} &= \frac{(1-\alpha) \cdot Z_{BC} \cdot (Z_{EX} + R_{B2})}{Z_{BC} + Z_{EX} + R_{B2}} + Z_{BE} + Z_C + Z_E \end{aligned} \quad (2.50)$$

As resistências extrínsecas podem ser obtidas fazendo-se o gráfico da parte real em baixa frequência de: $Z_{11} - Z_{12}$ (para obter R_B), Z_{12} (para obter R_E) e $Z_{22} - Z_{21}$ (para obter R_C) e extrapolando as suas intersecções para $I_B = \infty$, isto é, faz-se um gráfico da parte real dos parâmetros Z pelo inverso da corrente de base; ao extrapolar esses valores para $1/I_B = 0$, obtém-se R_B , R_E e R_C .

As indutâncias extrínsecas L_B , L_E e L_C são similarmente obtidas da parte imaginária de: $Z_{11} - Z_{12}$, Z_{12} e $Z_{22} - Z_{21}$ em altas frequências. Porém, ao invés de se fazer à intersecção em $I_B = \infty$, determinam-se as indutâncias através da inclinação das curvas (essas inclinações devem ser tomadas em regiões onde a frequência é alta), isto é, faz-se um gráfico da parte imaginária dos parâmetros Z pela frequência e determina-se a inclinação das retas numa região onde a frequência seja alta.

Deste modo, determinamos as resistências e indutâncias extrínsecas do nosso dispositivo.

O próximo passo será determinar os parâmetros associados com a base distribuída. Pelas equações $Z_{11} - Z_{12}$, Z_{12} , $Z_{12} - Z_{21}$ e $Z_{22} - Z_{21}$, nota-se que temos uma incógnita a mais (são quatro equações e cinco incógnitas). Para resolver isto, uma condição adicional é requerida. Isto é resolvido encontrando a razão:

$$\gamma = \frac{C_{EX}}{(C_{BC} + C_{EX})} \quad (2.51)$$

Esta razão é principalmente determinada pela geometria e independe da frequência (essa suposição é utilizada para facilitar os cálculos, pois γ sofre uma pequena variação com a frequência). Para os HBTs, com alta tensão de *Early* e alta frequência de operação, Z_{BC} e Z_{EX} são dominados por C_{BC} e C_{EX} . Assim, passa-se a ter:

$$\gamma \approx -\frac{\text{Re}(Z_{22} - Z_{21} - Z_C)}{\text{Re}(Z_{11} - Z_{12} - Z_B)} \quad (2.52)$$

Por questão de conveniência e após algumas manipulações, define-se uma variável δ que é dada por:

$$\delta = R_{B2} \cdot \omega \cdot C_{BC} = \text{Im} \left(\frac{Z_{11} - Z_{12} - Z_B}{Z_{22} - Z_{21} - Z_C} \right) \quad (2.53)$$

Chega-se, assim, ao valor de C_{EX} , que é dado por:

$$C_{EX} = \frac{1}{\omega \cdot \gamma \cdot \left(\frac{1}{\gamma^2} + \delta^2 \right) \cdot \text{Im}(Z_C + Z_{21} - Z_{22})} \quad (2.54)$$

Com o valor de C_{EX} e γ , calcula-se C_{BC} , que, por sua vez, junto com δ , nos fornece o valor de R_{B2} .

Com o valor de R_{B2} , pode-se calcular R_{BC} através da equação:

$$\frac{R_{B2}}{R_{BC}} = \operatorname{Re} \left(\frac{Z_{11} - Z_{12} - Z_B}{Z_{22} - Z_{21} - Z_C} \right) \quad (2.55)$$

Calcula-se também R_{EX} , através de R_{B2} e C_{EX} , pela equação:

$$\frac{Z_{EX} \cdot R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} + Z_B = Z_{11} - Z_{12} \quad (2.56)$$

Para finalizar a extração dos parâmetros, falta determinar α e Z_{BE} . Estes dois parâmetros são determinados através das equações:

$$|\alpha| \cdot e^{-j \cdot \omega \cdot \tau} = \frac{Z_{12} - Z_{21}}{Z_{22} - Z_{21} - Z_C} \quad (2.57)$$

α e τ podem ser calculados da amplitude e fase da Equação (2.57).

Já R_{BE} e C_{BE} podem ser calculados através Z_{BE} :

$$Z_{BE} = Z_{12} - Z_E - \frac{(1 - \alpha) \cdot Z_{BC} \cdot R_{B2}}{Z_{BC} + Z_{EX} + R_{B2}} \quad (2.58)$$

Com todos os parâmetros determinados, é possível, agora, fazer simulações de circuitos que empreguem transistores cujas tensões de polarização sejam, aproximadamente, iguais às usadas na extração dos parâmetros.

CAPÍTULO 3

PROJETO DE DISPOSITIVOS DE TESTE DE UM MMIC

3.1. INTRODUÇÃO

Este capítulo apresentará o projeto do conjunto de máscaras que foram geradas para fabricação e caracterização dos dispositivos passivos, ativo e do MMIC. Para facilitar o entendimento deste capítulo, e do seguinte, será ilustrada uma seqüência de fabricação de um MMIC. A ilustração apresentada a seguir será utilizada como modelo para a fabricação de um circuito amplificador e, conseqüentemente, do CI.

3.2. ILUSTRAÇÃO DO PROCESSO DE FABRICAÇÃO DE UM MMIC EM TECNOLOGIA HBT SOBRE GAAS

A fabricação do MMIC partirá de uma lâmina de GaAs semelhante à apresentada na Figura 3.1 (a partir de uma lâmina com suas camadas já crescidas).

CAPA
EMISSOR
BASE
COLETOR
SUBCOLETOR
GaAs Semi-Isolante (Substrato)

FIGURA 3.1 – LÂMINA DE GAAS COM AS CAMADAS HBT CRESCIDAS

Primeiramente, forma-se a região de emissor. Esta região é formada depositando-se metal sobre a lâmina de GaAs e retirando-o das regiões onde não será necessário. Depois que o contato de emissor é definido, a área, onde não tem metal, é removida para que a região de base possa ser alcançada. A Figura 3.2(a) ilustra este processo de deposição e a Figura 3.2(b) mostra a região de emissor formada.

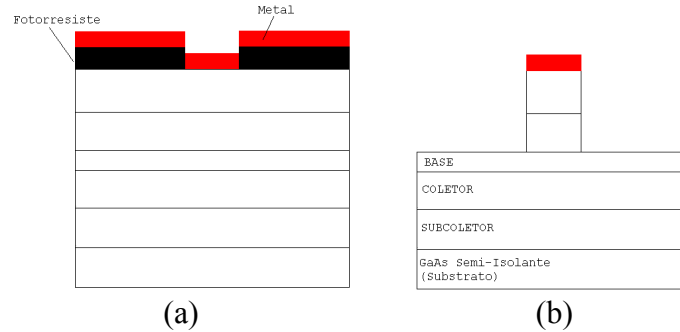


FIGURA 3.2 – DEPOSIÇÃO DE METAL (A). FORMAÇÃO DA REGIÃO DE EMISSOR (B)

A seguir, é depositado o metal de base. A deposição é semelhante à do metal de emissor. Na Figura 3.3(a) temos a amostra, após a deposição do fotorresiste. A Figura 3.3(b) ilustra a amostra, após a fotolitografia e deposição do metal de base. A Figura 3.3(c) ilustra como a amostra ficará ao final desta etapa de processo.

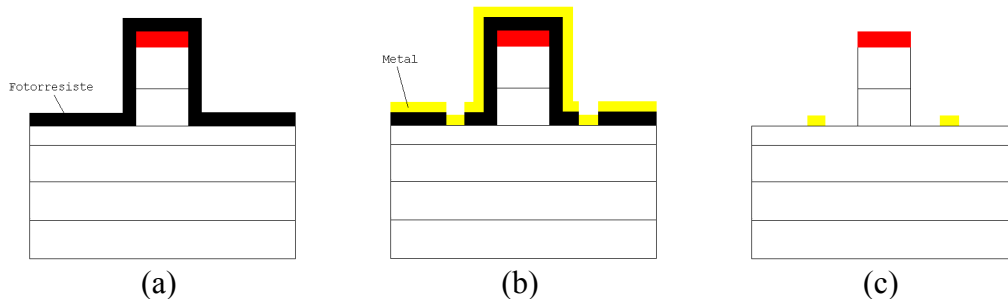


FIGURA 3.3 – ETAPAS PARA DEPOSIÇÃO DO METAL DE BASE

Após a deposição do metal de base, a região de base é definida, da mesma forma que a região de emissor. A Figura 3.4(a) ilustra a amostra, antes da definição da região de base, e a Figura 3.4(b) representa a forma final desta etapa.

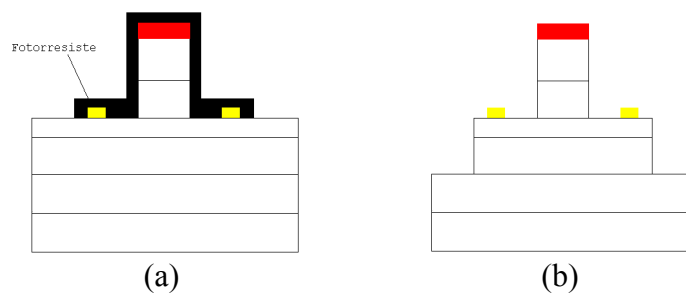


FIGURA 3.4 – ETAPAS PARA DEFINIÇÃO DA REGIÃO DE BASE

Terminada a definição da região de base, é feita a deposição do metal de subcoletor. A deposição é semelhante às deposições anteriores. A Figura 3.5 ilustra esta etapa do processo. A Figura 3.5(a) representa uma amostra, logo após a deposição do metal, e a Figura 3.5(b) representa uma amostra quando essa etapa do processo é terminada.

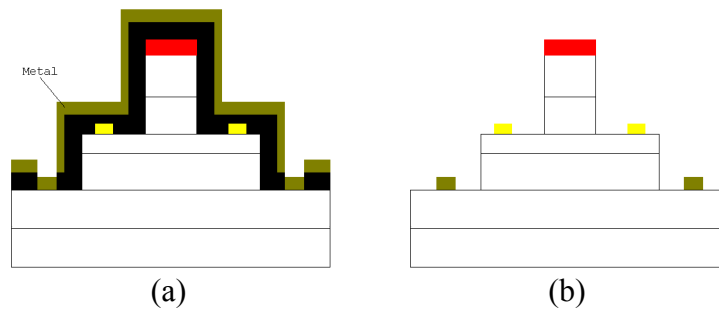


FIGURA 3.5 – DEPOSIÇÃO DO METAL DE SUBCOLETOR

A próxima etapa marca o fim da fabricação dos transistores. Essa etapa tem, por finalidade, formar a região de subcoletor. Ao se formar essa região, os transistores estarão isolados uns dos outros e o substrato semi-isolante de GaAs será alcançado. As regiões dentro dos círculos, na Figura 3.6, representam as regiões que serão removidas.

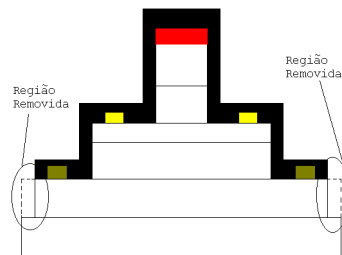


FIGURA 3.6 – FORMAÇÃO DA REGIÃO DE SUBCOLETOR

Com o final da fabricação dos transistores, os outros elementos que fazem parte de um MMIC serão fabricados (a partir desta etapa, os componentes passivos começarão a ser fabricados). Esta etapa tem, por finalidade, a deposição da primeira camada de metal dos indutores e dos capacitores. O metal é depositado de forma igual às outras deposições de metal. A Figura 3.7 ilustra como ficará a amostra ao final desta etapa do processo.

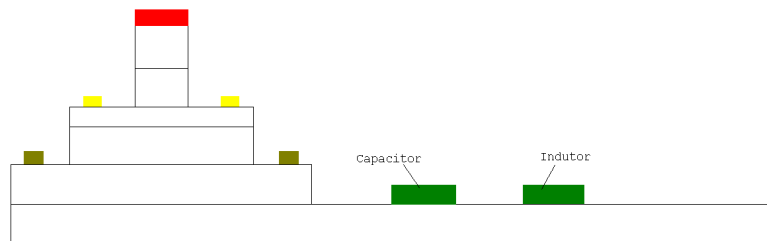


FIGURA 3.7 – DEPOSIÇÃO DA PRIMEIRA CAMADA DE METAL DOS INDUTORES E CAPACITORES

Após esta deposição de metal, todos os dispositivos são isolados por um polímero. Esse polímero é depositado para evitar que as próximas camadas de metais entrem em curto circuito. Dependendo da espessura do polímero que se utiliza, este também terá a função de planarizar a amostra.

Após a deposição do polímero, é feita uma primeira abertura de vias. Essa primeira abertura de vias é para abrir os contatos nos transistores (emissor, base e subcoletor), indutores e capacitores. Nesta primeira abertura de vias, ocorre também a remoção do polímero sobre o primeiro nível de metal dos capacitores e a retirada do polímero das regiões onde os resistores de filme fino serão fabricados. A Figura 3.8(a) ilustra a etapa, após a deposição do polímero, e a Figura 3.8(b) ilustra o final da etapa, que corresponde à primeira abertura de via.

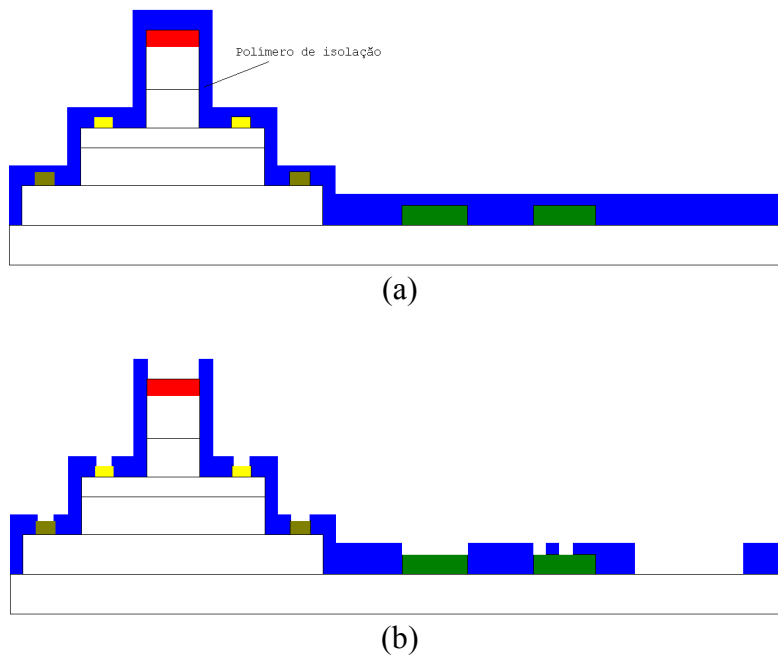


FIGURA 3.8 – DEPOSIÇÃO DE POLÍMERO (A). ABERTURA DA PRIMEIRA VIA (B)

Depois de abertas as vias, ocorre a deposição do material dielétrico dos capacitores, que é ilustrado na Figura 3.9.

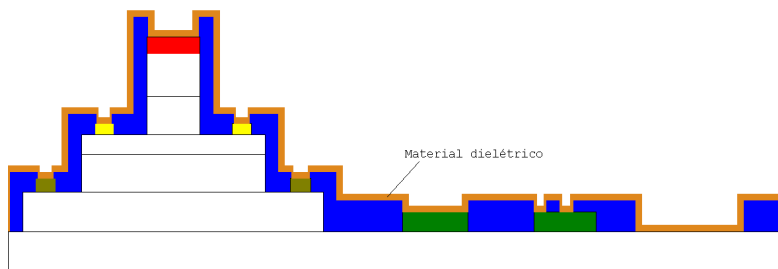


FIGURA 3.9 – DEPOSIÇÃO DO MATERIAL DIELÉTRICO

Após a deposição, mais uma vez, são feitas as aberturas de vias. Desta vez, as aberturas de vias são para remover o material dielétrico sobre os contatos do transistor (emissor, base e subcoletor), indutores e capacitores. Essas vias também são abertas onde os resistores de filme fino serão fabricados. Após a abertura das vias, o resistor de filme fino é depositado sobre o GaAs (dependendo do material, a deposição pode ser feita de maneira seme-

lhante à deposição dos metais). A Figura 3.10(a) mostra esta segunda abertura de via e a Figura 3.10(b) mostra o resistor de filme fino.

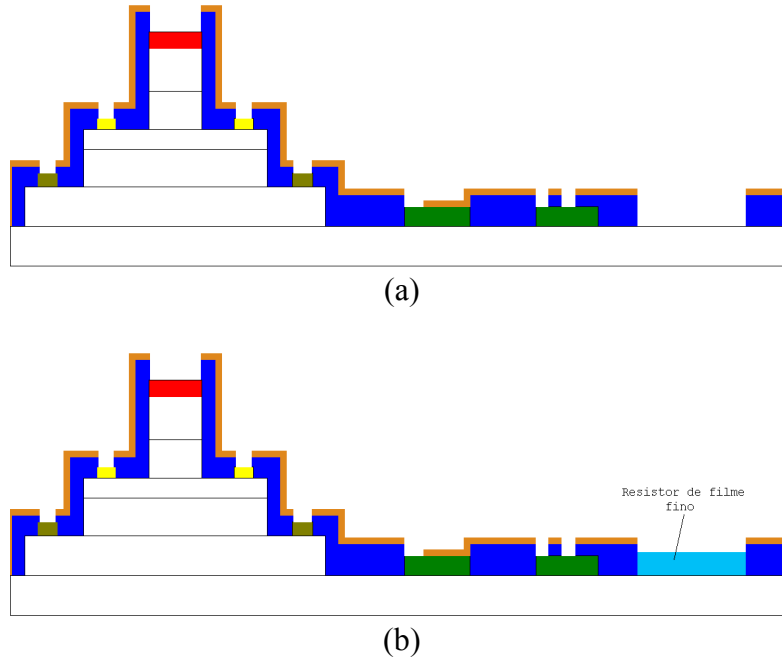


FIGURA 3.10 – SEGUNDA ABERTURA DE VIA (A) E DEPOSIÇÃO DE FILME FINO PARA FORMAR O RESISTOR (B)

A última etapa do processo é a deposição do metal de interconexão, que fará a ligação dos contatos do circuito e dos dispositivos fabricados. Esse metal também será o segundo nível de metal dos indutores e capacitores. Essa última etapa é ilustrada pela Figura 3.11.

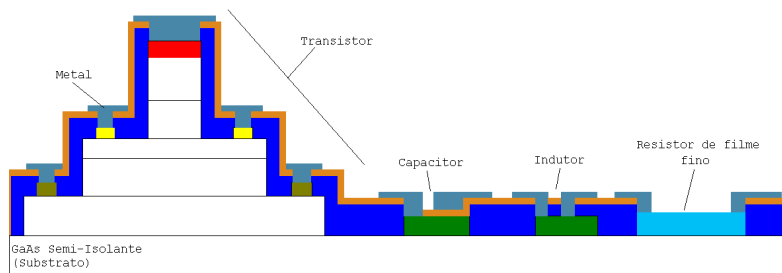


FIGURA 3.11 – CI APÓS ETAPA FINAL (METAL DE INTERCONEXÃO)

Com base neste processo de fabricação, iniciou-se o projeto do CI. O projeto que será descrito foi desenvolvido utilizando-se um *software* de livre acesso (*Magic* versão 6 [15]), que é executado sob o sistema operacional *Unix* ou *Linux*. Para poder desenhar o *layout* do *chip*, neste programa, inicialmente deve-se fornecer ao mesmo, parâmetros mínimos para sua utilização. Estes parâmetros são fornecidos através de um arquivo, denominado “arquivo de tecnologia”. O arquivo utilizado é semelhante ao apresentado em [15], porém sofreu algumas mudanças, pois foram acrescentadas algumas camadas (o arquivo de

tecnologia inicial era apenas para o projeto de HBTs e teve que ser adaptado para poder ser desenhado os elementos passivos). O arquivo de tecnologia utilizado é apresentado no Apêndice A.

Foram definidos, também, os elementos que estariam presentes no CI, chegando-se a uma estrutura final que é apresentada na Figura 3.12.

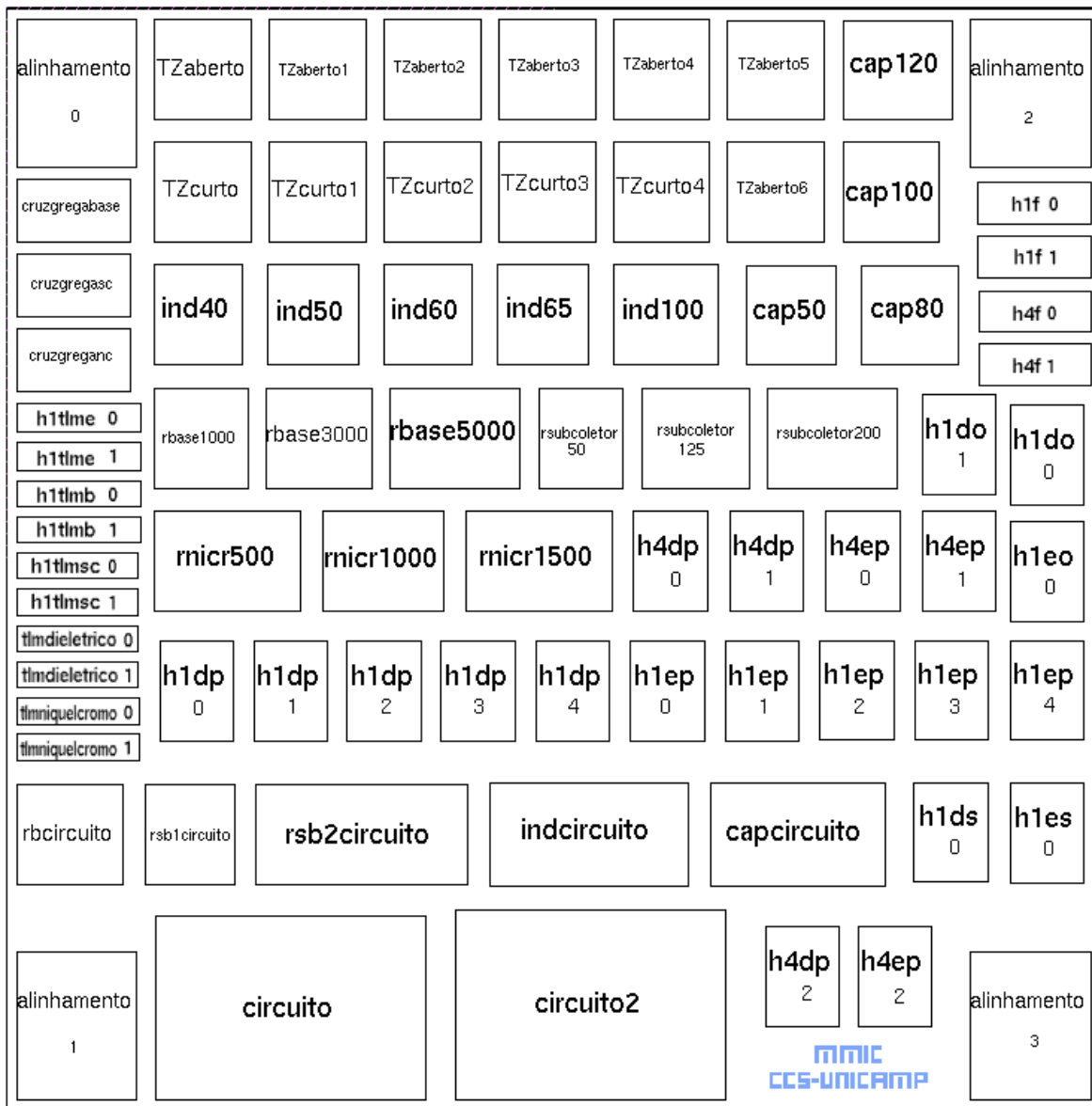


FIGURA 3.12 – ESTRUTURA DO CI PROJETADO

Cada estrutura apresentada na Figura 3.12 representa uma determinada estrutura. A Tabela 3.1 traz o significado de cada uma delas.

TABELA 3.1 – DESCRIÇÃO DAS ESTRUTURAS PRESENTES NO CI

<i>Estrutura</i>	<i>Descrição</i>
Alinhamento	Marcas de alinhamento
Tzaberto[X]	Linhas de transmissão em aberto, com variações
Tzcurto[X]	Linhas de transmissão em curto, com variações
Cap[X]	Capacitores de placas paralelas com 50, 80, 100 e 120 μm de lado
Ind[X]	Indutores com 40, 50, 60, 65 e 100 μm de lado
Rbase[X]	Resistor projetado com a camada de base do HBT (1k Ω , 3k Ω e 5k Ω)
Rsubcoletor[X]	Resistor projetado com a camada de subcoletor do HBT (50 Ω , 125 Ω e 200 Ω)
Rnicr[X]	Resistor projetado para níquel cromo (500 Ω , 1.000 Ω e 1.500 Ω)
H4dp	Transistor HBT 20 x 06 μm^2 auto-alinhado
H4ep	Transistor HBT 20 x 16 μm^2 auto-alinhado
H1do, H1eo	Estrutura para determinar parasitas em RF em aberto
H1ds	Transistor HBT 20 x 06 μm^2 para determinar parasitas em RF em curto
H1es	Transistor HBT 20 x 16 μm^2 para determinar parasitas em RF em curto
H1dp	Transistor HBT 20 x 06 μm^2 não auto-alinhado
H1ep	Transistor HBT 20 x 16 μm^2 não auto-alinhado
H1f	Transistor HBT para teste de processo (não auto-alinhado)
H4f	Transistor HBT para teste de processo (auto-alinhado)
Rbcircuito	Resistor projetado com a camada de base do HBT (resistor de 2.600 Ω)
Rsb1circuito	Resistor projetado com a camada de subcoletor do HBT (resistor de 62,5 Ω)
Rsb2circuito	Resistor projetado com a camada de subcoletor do HBT (resistor de 2.600 Ω)
Indcircuito	Indutor com 296 μm de lado
Capcircuito	Capacitor de placas paralelas com 266 μm de lado
Circuito	Circuito amplificador com resistor feito da camada de base do HBT
Circuito2	Circuito amplificador com resistor feito da camada de subcoletor do HBT
Cruzregabase	Cruz grega para a camada de base do transistor
Cruzregasc	Cruz grega para a camada de subcoletor do transistor
Cruzreganc	Cruz grega para o níquel cromo
H1tlme	Estrutura TLM para a camada de emissor do transistor
H1tlmb	Estrutura TLM para a camada de base do transistor
H1tlmsc	Estrutura TLM para a camada de subcoletor do transistor
Tlmdielétrico	Estrutura TLM para o material dielétrico usado nos capacitores
Tlmniquelcromo	Estrutura TLM para o níquel cromo

Cada estrutura apresentada na Tabela 3.1 e Figura 3.12 será detalhada a seguir. Serão apresentados seus *layouts* e suas dimensões, bem como o projeto do MMIC.

3.3. DETALHAMENTO DAS ESTRUTURAS DO CI

3.3.1. MARCAS DE ALINHAMENTO

A finalidade das marcas de alinhamento é auxiliar na fotolitografia, da segunda máscara em diante. Neste CI há dois tipos de marcas de alinhamento. Uma grosseira, que é a moldura do CI e, outra, que se encontra dentro da moldura e está nos quatro cantos do CI (Figura 3.12). Este último tipo de marca de alinhamento possui cruzes e quadrados, que devem ser alinhados de maneira concêntrica.

Além desses tipos de marcas de alinhamento, há também estruturas de teste de processo. Através destas estruturas podemos acompanhar a qualidade dos processos de fotolitografia e revelação. Este tipo de estrutura é chamada estrutura *vernier*, e foram desenhadas com franjas de 2, 4 e 8 μm [15].

As marcas de alinhamento são apresentadas na Figura 3.13, sendo que cada marca representa uma etapa do processo.

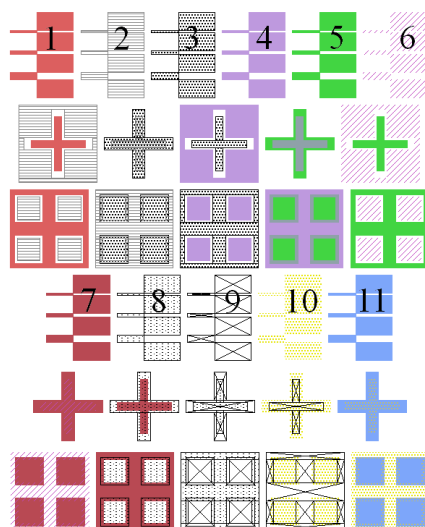


FIGURA 3.13 – MARCAS DE ALINHAMENTO

Resumidamente (pois cada etapa será detalhada no capítulo seguinte), cada marca de alinhamento representa:

1. Evaporação dos metais de emissor (estes metais também servem de máscara para os transistores auto-alinhados);
2. Definição da região (mesa) de emissor;
3. Evaporação dos metais de base;
4. Definição da mesa de base;
5. Evaporação dos metais de subcoletor;
6. Definição da mesa de subcoletor e chegada ao substrato semi-isolante;
7. Evaporação da primeira camada de metais para os indutores e capacitores;
8. Abertura de vias para retirada do polímero planarizador;

9. Abertura de vias para retirada do material dielétrico;
10. Evaporação do material utilizado para fabricação de resistores de filme fino (o processamento, ou não, desta máscara não prejudicará o MMIC, pois este não foi projetado com resistores de filme fino);
11. Evaporação dos metais de interconexão.

3.3.2. LINHAS DE TRANSMISSÃO

As linhas de transmissão apresentadas aqui, tanto em aberto quanto em curto, tem por finalidade a determinação das características das linhas de metal que serão utilizadas na interconexão, principalmente quando há uma variação de frequência.

As linhas de transmissão foram desenhadas variando-se a largura do metal e distância entre as linhas de terra e sinal. Quase todas as estruturas desenhadas no CI possuem *pads* para medidas em RF, e a distância entre os centros dos *pads* é 150 μm devido ao equipamento que faz as medidas em RF (*Network Analyzer*) [37].

A Figura 3.14 apresenta o *layout* de uma linha de transmissão em aberto e, outra, em curto.

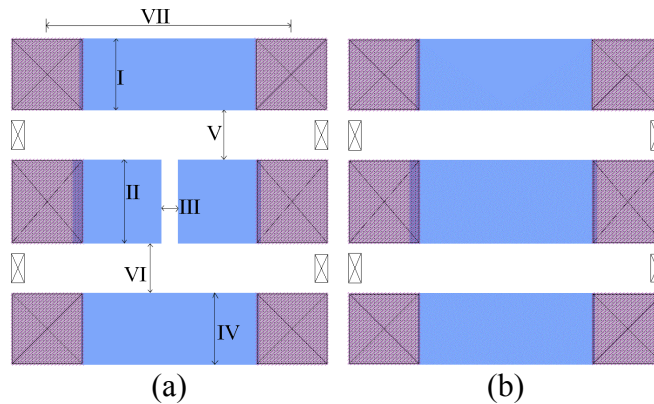


FIGURA 3.14 – LINHAS DE TRANSMISSÃO EM ABERTO (A) E CURTO (B)

Os números romanos, apresentados na Figura 3.14(a), representam:

- I. Largura de metal (metal ligado ao *pad* de terra superior);
- II. Largura de metal (metal ligado ao *pad* de sinal – *pad* central);
- III. Espaçamento entre metais (somente nas linhas de transmissão em aberto);
- IV. Largura de metal (metal ligado ao *pad* de terra inferior);
- V. Distância entre metal superior e metal central;
- VI. Distância entre metal central e metal inferior;
- VII. Distância entre os centros dos *pads* esquerdo e direito.

Com base nos dois *layouts* da Figura 3.14, as dimensões de todas as linhas de transmissão presentes no CI são as seguintes:

TABELA 3.2 – DIMENSÕES DAS LINHAS DE TRANSMISSÃO

Estrutura	I (μm)	II (μm)	III (μm)	IV (μm)	V (μm)	VI (μm)	VII (μm)
Tzaberto	84	98	20	84	59	59	287
Tzaberto1	10	10	20	10	140	140	287
Tzaberto2	30	10	20	30	130	130	287
Tzaberto3	10	10	20	10	53	53	287
Tzaberto4	10	30	20	10	43	43	287
Tzaberto5	84	98	40	84	59	59	287
Tzaberto6	84	98	60	84	59	59	287
Tzcurto	84	98	-	84	59	59	287
Tzcurto1	10	10	-	10	140	140	287
Tzcurto2	30	10	-	30	130	130	287
Tzcurto3	10	10	-	10	53	53	287
Tzcurto4	10	30	-	10	43	43	287

3.3.3. ELEMENTOS PASSIVOS

Como todo MMIC apresenta algum tipo de dispositivo passivo (seja ele um indutor, capacitor ou resistor), deve-se conhecer bem seu comportamento para poder determinar um modelo elétrico preciso que represente seu comportamento, seja em regime DC ou AC. A seguir, será descrito os componentes passivos que estarão presentes no CI.

3.3.3.1. INDUTORES

Os indutores foram projetados com o auxílio de uma ferramenta computacional denominada ASITIC (descrito no Capítulo 2). A Figura 3.15(a) traz o *layout* de um indutor.

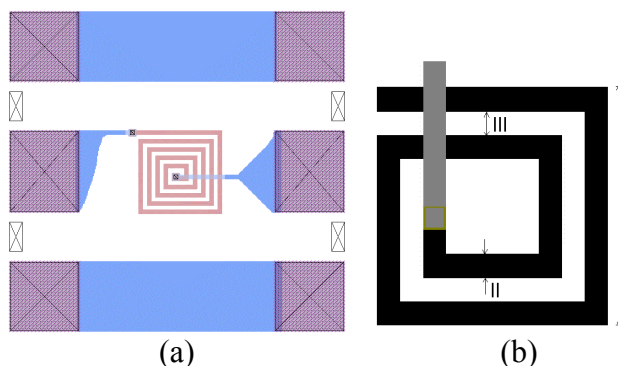


FIGURA 3.15 – LAYOUT DE UM INDUTOR (A). ELEMENTOS QUE SOFRERAM ALTERAÇÕES (B)

Com base na Figura 3.15(b), as dimensões apresentadas significam:

- I. Comprimento maior de metal do indutor;
- II. Largura de metal do indutor;
- III. Espaçamento entre os metais do indutor.

Os indutores foram projetados variando-se I, II e III, como pode ser visto pela Tabela 3.3.

TABELA 3.3 – DIMENSÕES DOS INDUTORES

<i>Estrutura</i>	<i>I (μm)</i>	<i>II (μm)</i>	<i>III (μm)</i>	<i>Número de voltas (#)</i>	<i>Indutância em 45 MHz (nH)</i>
Ind40	40	5	5	2,25	0,13
Ind50	50	5	5	2,25	0,22
Ind60	60	10	5	2,00	0,23
Ind65	65	5	10	2,50	0,27
Ind100	100	5	5	5,25	1,35
Indcircuito	296	12	5	8,25	10,04

Os valores das indutâncias, apresentados na Tabela 3.3, estão desconsiderando todos os efeitos capacitivos. A Figura 3.16 apresenta os resultados obtidos levando-se em consideração estas capacitâncias. Os gráficos apresentados na Figura 3.16 representam as impedâncias dos indutores através dos parâmetros de rede (parâmetros S). Pelos gráficos, pode-se notar a variação da impedância com o aumento da frequência. O valor da impedância, apresentada nos gráficos, representa a impedância do circuito elétrico equivalente, apresentando no Capítulo 2.

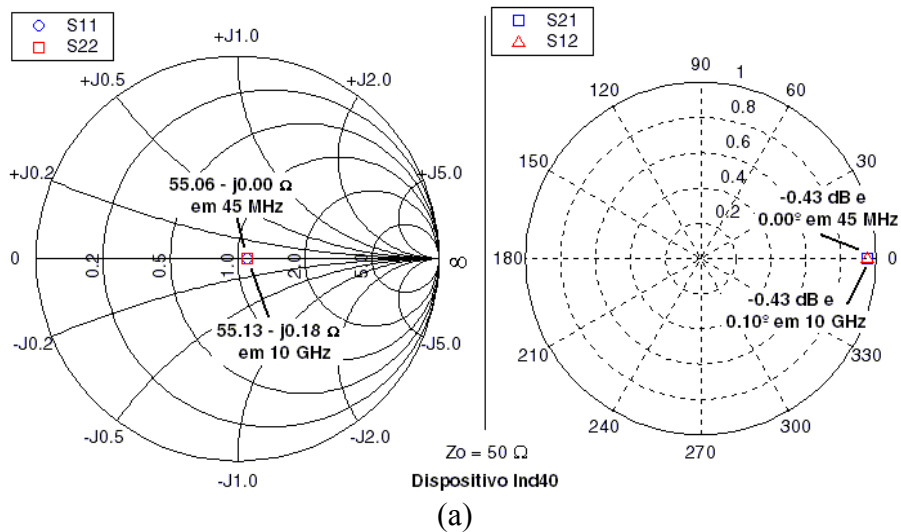


FIGURA 3.16 – RESULTADO DE SIMULAÇÕES FEITAS PELO SOFTWARE ASITIC

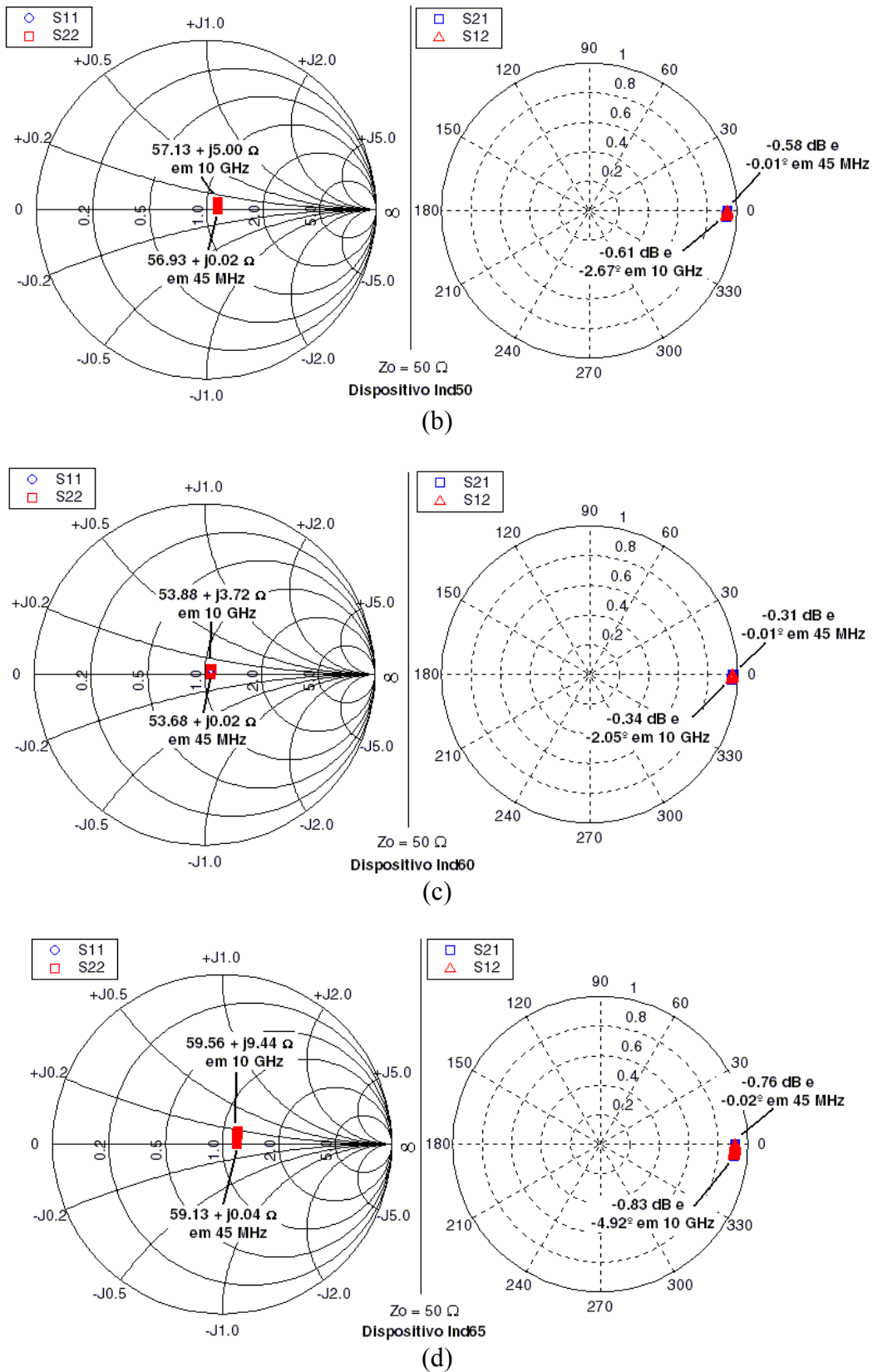


FIGURA 3.16 - RESULTADO DE SIMULAÇÕES FEITAS PELO SOFTWARE ASITIC (CONT.)

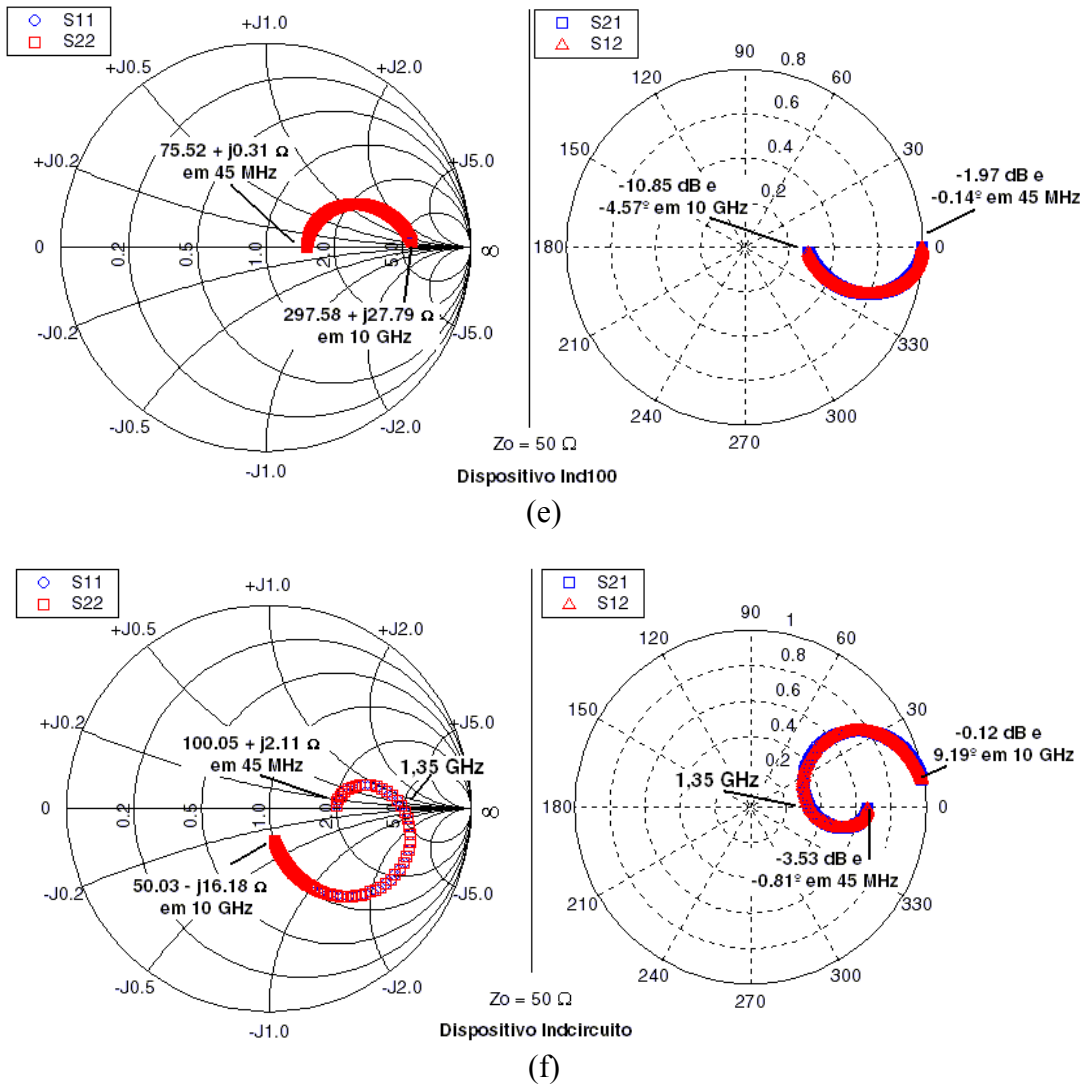


FIGURA 3.16 - RESULTADO DE SIMULAÇÕES FEITAS PELO SOFTWARE ASITIC (CONT.)

Pelos resultados apresentados na Figura 3.16, nota-se que, quando o efeito das capacitâncias é incluído, o comportamento do indutor muda. Se a indutância do indutor for pequena e as capacitâncias parasitas forem maiores, o indutor passa a se comportar como um capacitor, como pode ser visto pelo dispositivo ind40 (Figura 3.16(a)). Pelos resultados apresentados nas Figuras 3.16(b), 3.16(c), 3.16(d) e 3.16(e), os indutores apresentam a predominância do comportamento indutivo em toda a frequência simulada, que foi de 45 MHz a 10 GHz (este comportamento pode ser observado pelos parâmetros S_{11} e S_{22}). Já o dispositivo “indcircuito” (Figura 3.16(f)) apresenta um comportamento indutivo e capacitivo no intervalo de frequência de 45 MHz a 10 GHz. Até a frequência de, aproximadamente, 1,35 GHz o indutor tem o comportamento indutivo; em 1,35 GHz este dispositivo entra em ressonância, isto é, ele passa a ter um comportamento capacitivo.

3.3.3.2. CAPACITORES

Os capacitores presentes neste CI são do tipo capacitores de placas planas paralelas. Eles utilizarão, como dielétrico, o nitreto de silício cuja permissividade relativa (ϵ_R) é 7, aproximadamente [38], e possuirá uma espessura de, aproximadamente, 1460 *angstroms* (a expressão para a determinação da espessura está descrita no Capítulo 2). O que determinou a espessura do nitreto de silício, a ser depositado, foi a capacitância do capacitor presente no circuito amplificador (30 pF), que será também descrito a seguir. A Figura 3.17 ilustra o *layout* de um capacitor.

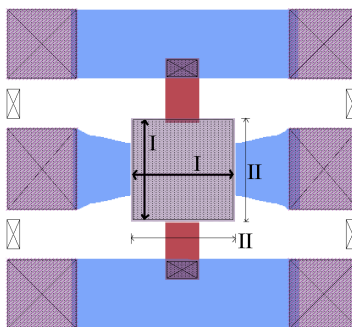


FIGURA 3.17 – *LAYOUT* DO CAPACITOR

Da Figura 3.17, temos:

- I. Representa as dimensões do capacitor;
- II. Representa as dimensões de metal depositado, tanto na placa inferior quanto superior.

Os capacitores foram projetados com os metais, superior e inferior, um pouco maior que as dimensões do capacitor, para que se possa ter uma margem de segurança durante o alinhamento, sendo esta margem de 4 μm . A Tabela 3.4 descreve cada estrutura, com suas dimensões e os valores calculados que são esperados para as capacitâncias.

TABELA 3.4 – DIMENSÕES E CAPACITÂNCIA DOS CAPACITORES

<i>Estrutura</i>	<i>I x I</i> (μm^2)	<i>II x II</i> (μm^2)	<i>Capacitância</i> <i>calculada (pF)</i>
Cap50	50 x 50	54 x 54	1,06
Cap80	80 x 80	84 x 84	2,72
Cap100	100 x 100	104 x 104	4,25
Cap120	120 x 120	124 x 124	6,11
Capcircuito	266 x 266	270 x 270	30

3.3.3.3. RESISTORES

Por fim, serão descritos, nesta última parte sobre elementos passivos, os resistores presentes no CI. O CI apresentará três tipos de resistores, sendo um feito com material de filme fino (será mostrado neste capítulo o cálculo feito para o resistor de níquel cromo) e dois com as camadas que são utilizadas na fabricação dos transistores (camadas de base e subcoletor). A Figura 3.18 apresenta o *layout* destes três tipos de resistores.

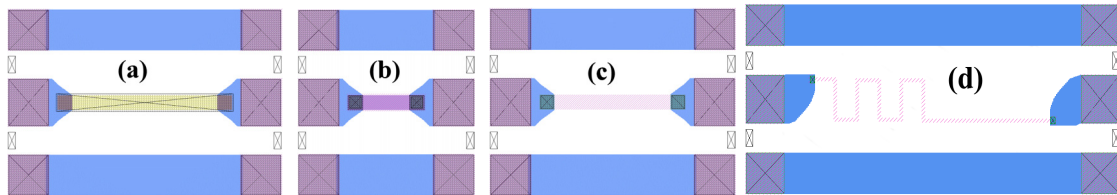


FIGURA 3.18 – *LAYOUT* DOS RESISTORES. FILME FINO (A), CAMADA DE BASE (B) E CAMADA DE SUBCOLETOR (C, D)

A Figura 3.18(a) mostra o *layout* de um resistor de filme fino (por exemplo, o níquel cromo), a Figura 3.18(b) apresenta o *layout* de um resistor feito com a camada de base, e as Figuras 3.18(c) e 3.18(d) mostram os *layouts* de um resistor feito com a camada de subcoletor. Ao todo, foram projetados doze tipos de resistores, sendo três para filme fino, três para camada de base, três para camada de subcoletor e três que farão parte do MMIC (um feito com a camada de base e dois feitos com a camada de subcoletor). Estes resistores apresentam os seguintes valores de resistência e dimensões:

TABELA 3.5 – RESISTÊNCIA E DIMENSÕES DOS RESISTORES

<i>Estrutura</i>	<i>Comprimento</i> (μm)	<i>Largura</i> (μm)	<i>Resistência</i> (Ω)
Rbase1000	96	30	1.000
Rbase3000	144	15	3.000
Rbase5000	240	15	5.000
Rsubcoletor50	60	30	50
Rsubcoletor125	150	30	125
Rsubcoletor200	240	30	200
Rnicr500	300	30	500
Rnicr1000	200	10	1.000
Rnicr1500	300	10	1.500
Rbcircuito	133	16	2.601,8
Rsb1circuito	50	18	69,4
Rsb2circuito	875,8	8	2.736,9

Os valores de resistência, da Tabela 3.5, foram obtidos pela multiplicação da resistência de folha pela relação entre o comprimento e a largura, ou seja, $R_{SH} \cdot \frac{L}{W}$ (os detalhes estão escritos no Capítulo 2). Os valores de resistência de folha (R_{SH}) foram obtidos de estruturas TLMs (o processo de obtenção está escrito no Capítulo 2). O valor da resistência de folha da camada de base utilizada foi de, aproximadamente, $313 \Omega/\square$, o valor da resistência de folha para a camada de subcoletor foi de, aproximadamente, $25 \Omega/\square$ e o valor da resistência de folha para o filme de níquel cromo foi, aproximadamente, $50 \Omega/\square$. Os resistores que farão parte do circuito não possuem seus valores exatamente iguais aos simulados no circuito, pois durante o processo de fabricação, ocorrem pequenas variações nas medidas especificadas devido à fotolitografia (Capítulo 2). Geralmente, estas variações tendem a diminuir um pouco as medidas projetadas. Sendo assim, as medidas foram feitas um pouco maior para tentar evitar ou minimizar este problema (para que o valor da resistência não ficasse muito abaixo do esperado).

Para o resistor de filme fino (níquel cromo) será necessário saber a espessura total a ser depositada. A espessura (t) é proporcional à resistividade do material (ρ) e inversamente proporcional à sua resistência de folha (R_{SH}), $t = \frac{\rho}{R_{SH}}$. Porém, a resistividade é função da proporção de cada material presente no filme que será utilizado como resistor. A Figura 3.19 apresenta um gráfico da resistividade em função da proporção de cada material (no caso, proporção de níquel e cromo).

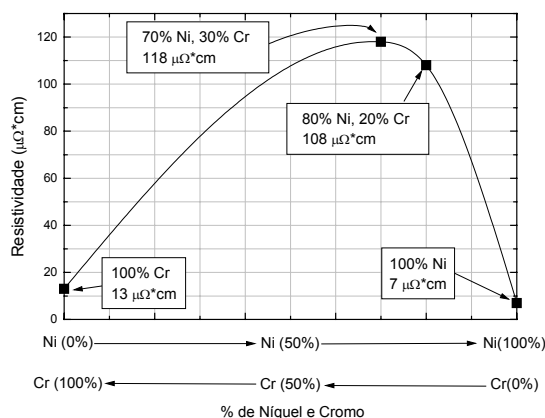


FIGURA 3.19 – RESISTIVIDADE EM FUNÇÃO DA PROPORÇÃO DE MATERIAIS [39,40,41]

A proporção que será utilizada para a fabricação do resistor de filme fino será 80% de níquel e 20% de cromo. Esta proporção fornece uma resistividade de $108 \mu\Omega \cdot \text{cm}$, que por sua vez resulta numa espessura (t) de $2,16 \cdot 10^{-6} \text{ cm}$ (216 *angstroms*) para o resistor projetado.

3.3.4. ELEMENTO ATIVO (TRANSISTOR BIPOLAR DE HETEROJUNÇÃO – HBT)

O *layout* de um HBT é mostrado em detalhe na Figura 3.20. Este é o dispositivo mais complexo de se fabricar (será o dispositivo que utilizará o maior número de etapas e máscaras). Neste CI, estão presentes transistores HBTs com áreas de emissor de $20 \times 16 \mu\text{m}^2$ e $20 \times 06 \mu\text{m}^2$ (estruturas H1dp, H1ep, H4dp e H4ep) sendo que dez transistores não são auto-alinhados e seis auto-alinhados.

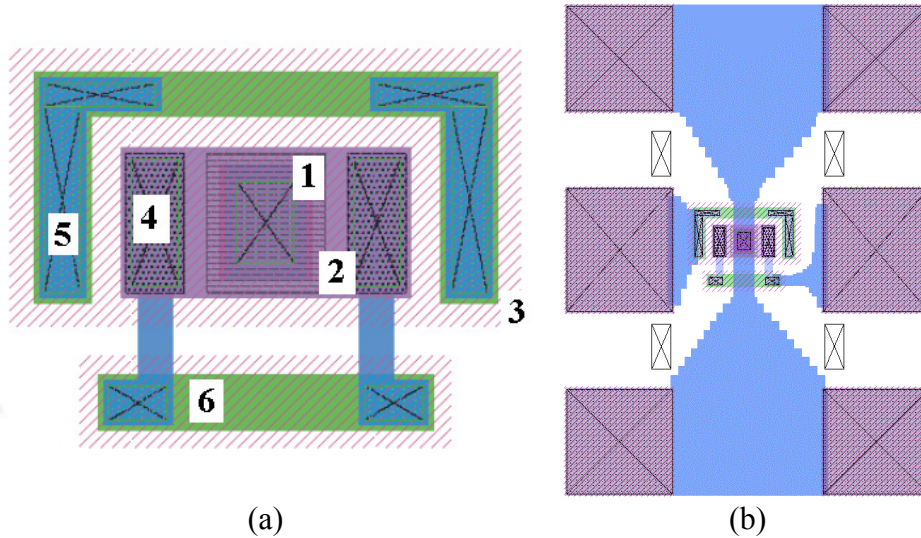


FIGURA 3.20 – *LAYOUT* DE UM TRANSISTOR HBT

A Figura 3.20(a) apresenta as regiões que formam o HBT, sendo que cada número indica:

- 1 – Região de emissor;
- 2 – Região de base;
- 3 – Área ativa do transistor;
- 4 – Contato da camada de base;
- 5 – Contato da camada de subcoletor;
- 6 – Interligação dos contatos de base, feita com o metal de subcoletor.

A Figura 3.20(b) apresenta o *layout* final do transistor. Os transistores mais os *pads* apresentados na Figura 3.20 são transistores não auto-alinhados. No caso de um transistor auto-alinhado, o contato da camada de base (número 4, da Figura 3.20(a)) não se limita, apenas, às extremidades da região de base (número 2, da Figura 3.20(a)). Este contato cobre toda a região de base, passando por cima da região de emissor.

O *layout* apresentado na Figura 3.20 é semelhante ao apresentado em [15], com algumas alterações. O objetivo destas mudanças visa a diminuição de capacitâncias e resistências intrínsecas e parasitárias, referentes ao transistor, procurando melhorar seu desempenho. As Figuras 3.21 e 3.22 apresentam o *layout* antigo e o novo, com as alterações.

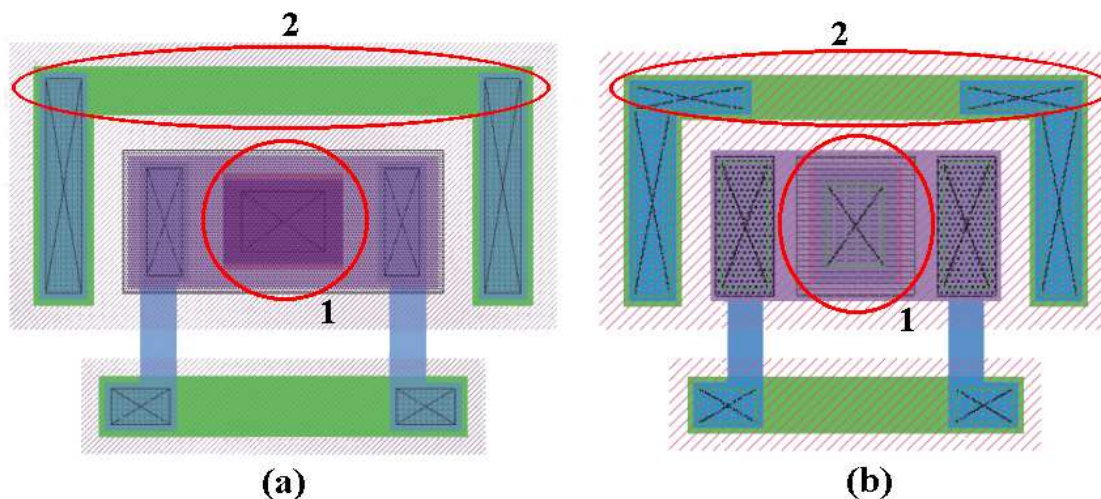


FIGURA 3.21 – ALTERAÇÕES FEITAS NO HBT. *LAYOUT* ANTIGO (A) E *LAYOUT* NOVO (B)

A Figura 3.21(a) é o *layout* antigo e a Figura 3.21(b) é o *layout* novo. As diferenças podem ser vistas nos números 1 e 2, indicados nas Figuras 3.21(a) e 3.21(b). Em 1, é apresentada a mudança que a parte de emissor sofreu, isto é, o emissor foi rotacionado de 90 graus, para diminuir a área total do transistor e diminuir também a resistência de base. Em 2, está a mudança sofrida pela camada de subcoletor. Aqui, foi aumentada a região de metal depositado na interconexão, para que a resistência fosse diminuída. Já a Figura 3.22, mostra as mudanças que o metal de interconexão sofreu.

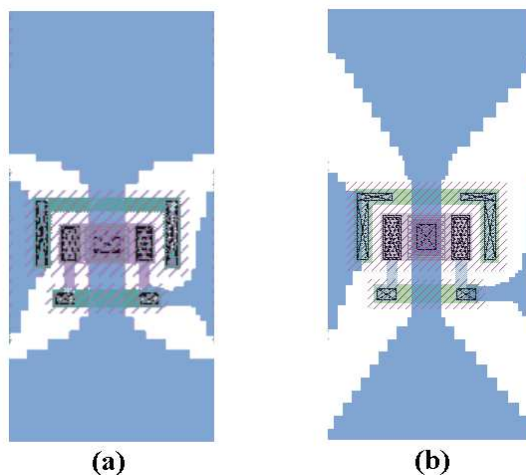


FIGURA 3.22 – ALTERAÇÕES FEITAS NO METAL DE INTERCONEXÃO. *LAYOUT* ANTIGO (A) E *LAYOUT* NOVO (B)

A Figura 3.22(a) é o *layout* final antigo de um HBT com o metal de interconexão, e a figura 3.22(b) é o *layout* final novo. A mudança feita basicamente no metal de interconexão foi afastá-lo do HBT para que a capacitâncias parasitárias fossem diminuídas. Com estas mudanças, espera-se que o desempenho do HBT melhore, tanto em regime DC quanto em altas frequências.

Todos os transistores projetados possuem *pads* para medidas RF (ver Figura 3.20(b)). Além destes transistores, foram incluídos, no CI, transistores para teste de processo (estruturas H1f e H4f). Estes transistores possuem uma área de emissor relativamente grande ($120 \times 120 \mu\text{m}^2$) que permite a realização de medidas antes da finalização do processo. As medidas podem ser feitas após a evaporação dos metais do subcoletor (o processo de evaporação será descrito no capítulo seguinte). A Figura 3.23 apresenta o *layout* destes transistores.

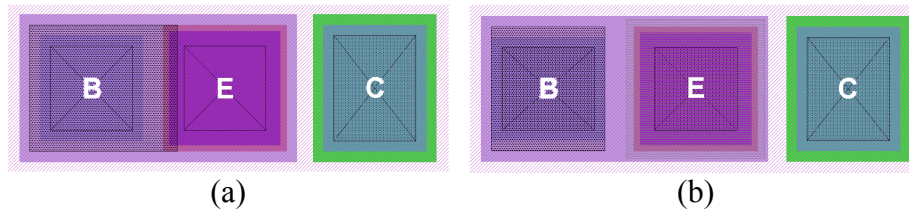


FIGURA 3.23 – LAYOUT DE UM HBT PARA TESTE DE PROCESSO. HBT AUTO-ALINHADO (A) E HBT NÃO AUTO-ALINHADO (B)

A Figura 3.23(a) é o *layout* de um HBT auto-alinhado e a Figura 3.23(b) é o *layout* de um HBT não auto-alinhado.

3.3.5. ESTRUTURAS PARA EXTRAÇÃO DE PARASITAS EM RF

Outras estruturas presentes são as estruturas para extração de parasitas em RF. Esta extração pode ser feita após a calibração do aparelho, ou após as medições dos transistores. Estas estruturas podem ser usadas para que as capacitâncias e indutâncias parasitárias dos *pads* possam ser determinadas. Estas estruturas são transistores em aberto (estruturas H1do e H1eo) e transistores em curto (H1ds e H1es). Os *layouts* da Figura 3.24 ilustram essas estruturas.

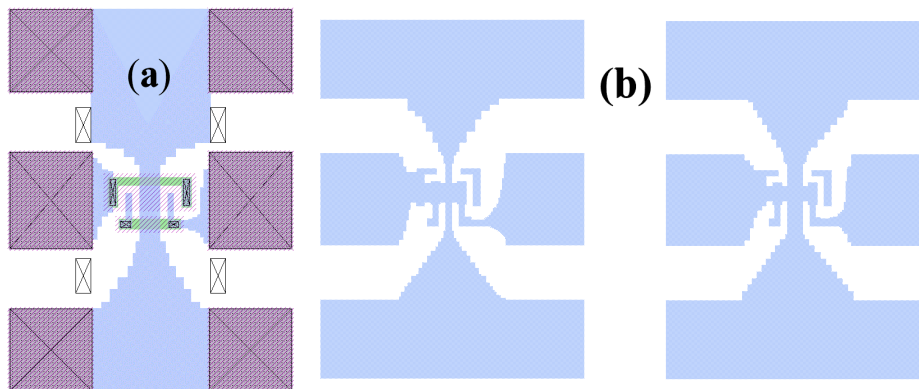


FIGURA 3.24 – ESTRUTURAS PARA EXTRAÇÃO DE PARASITAS EM RF EM ABERTO (A) E CURTO (B)

A Figura 3.24(a) mostra um transistor em aberto; isto quer dizer que as camadas de emissor e base serão removidas nestes transistores. A finalidade dessa estrutura é determinar as capacitâncias extrínsecas do transistor (capacitâncias dos *pads*). Já a Figura 3.24(b)

apresenta o *layout* do metal de interconexão do transistor (são os transistores em curto). Esses transistores são fabricados com todas as regiões; entretanto, o metal de interconexão nestas estruturas curto circuita as regiões de emissor, base e subcoletor do transistor. A finalidade destas estruturas é determinar as indutâncias e resistências extrínsecas do transistor.

3.3.6. OUTRAS ESTRUTURAS DE TESTE

Foram incluídas, ainda, estruturas que permitem testes DC que fornecem resistência de folha das camadas, condutividade, resistência de contato, etc. Estas estruturas são os TLMs e as cruzes gregas. As dimensões dos TLMs utilizados foram mostrados no Capítulo 2.

Foram desenhados TLMs para as camadas de emissor, base, subcoletor, material dielétrico dos capacitores e para o resistor de filme fino. A Figura 3.25 traz o *layout* destas estruturas.

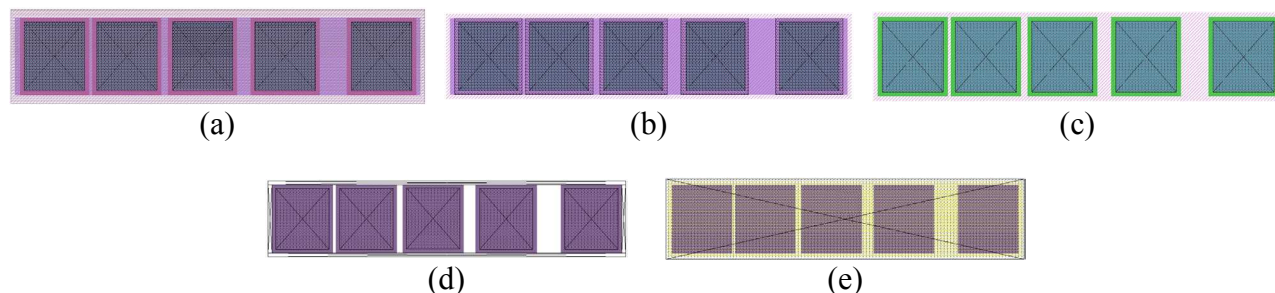


FIGURA 3.25 – ESTRUTURAS TLMs

A Figura 3.25(a) mostra uma estrutura TLM para a camada de emissor, sendo que as Figuras 3.25(b), 3.25(c), 3.25(d) e 3.25(e) respectivamente, mostram as camadas de base, subcoletor, material dielétrico dos capacitores e para o resistor de filme fino. O motivo de se incluir um TLM, para o material dielétrico, é para verificar se houve, ou não, incorporação de algum tipo de material condutor durante seu processo de deposição.

Já as cruzes gregas foram feitas para as camadas de base, subcoletor e para o resistor de filme fino. A Figura 3.26 traz os *layouts* destas estruturas. As Figuras 3.26(a), 3.26(b) e 3.26(c) são, respectivamente, cruzes gregas para as camadas de base, subcoletor e para o resistor de filme fino.

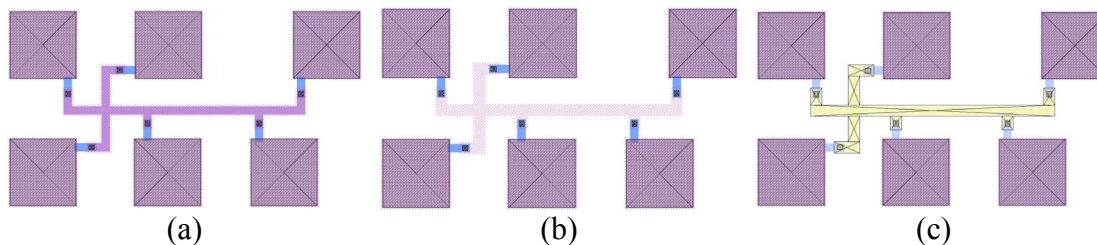


FIGURA 3.26 – ESTRUTURA CRUZ GREGA

3.3.7. CIRCUITO AMPLIFICADOR

Por fim, o CI apresentará um MMIC cuja finalidade é testar a integração de fabricação dos elementos passivos com o componente ativo, testar modelos, validar e complementar um conjunto de regras de projeto e obter experiência em MMIC (Capítulo 1). Para isto, será proposta a fabricação de um circuito amplificador na configuração emissor comum. A Figura 3.27 traz o esquemático deste circuito amplificador. Para simulação deste circuito em microondas, utilizou-se um *software* de microondas, denominado LIBRA.

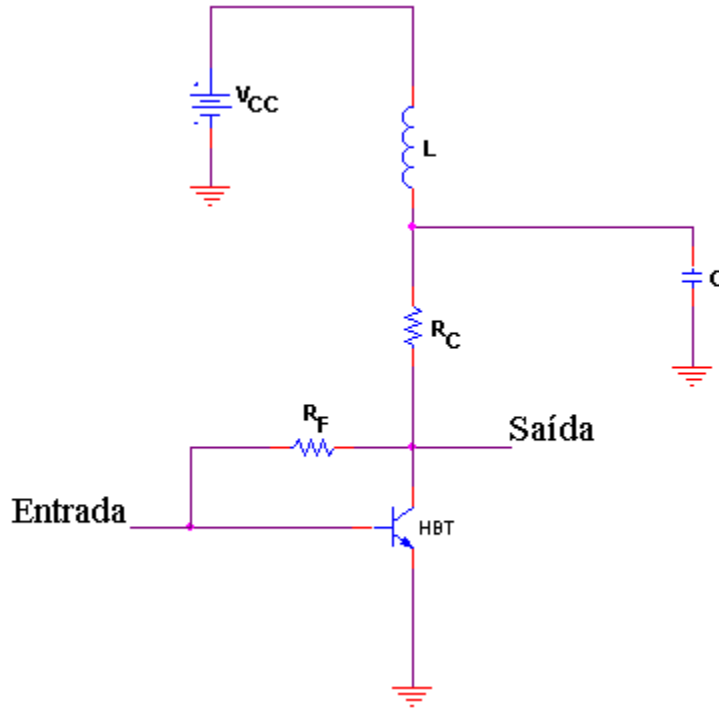


FIGURA 3.27 – MMIC QUE SERÁ FABRICADO

O circuito apresentado na Figura 3.27 é um circuito com um arranjo de polarização simples, porém apropriado para os amplificadores na configuração emissor comum. A estabilidade da polarização neste circuito é obtida pela ação da realimentação negativa (ou degenerativa), introduzida pelo resistor R_F . Esta realimentação negativa utilizada é uma realimentação paralelo-paralelo [42].

Este tipo de realimentação pode ser representado, esquematicamente, da seguinte forma:

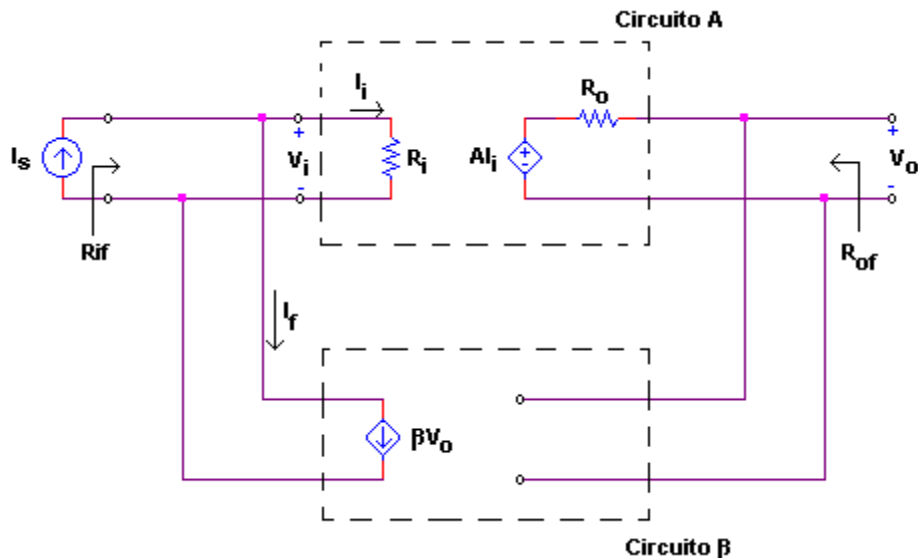


FIGURA 3.28 – ESTRUTURA DE UM AMPLIFICADOR COM REALIMENTAÇÃO PARALELO – PARALELO [42]

A Figura 3.28 mostra a estrutura ideal para um amplificador com realimentação paralelo-paralelo. Neste caso, o circuito A tem uma resistência de entrada R_i , uma transresistância A e uma resistência de saída R_o . O circuito β é uma fonte de corrente controlada por tensão e β é uma transcondutância. O ganho em malha, A_f , é definido como:

$$A_f \equiv \frac{V_o}{I_s} = \frac{A}{1 + A \cdot \beta} \quad (3.1)$$

A resistência de entrada, com realimentação, é dada por:

$$R_{if} = \frac{R_i}{1 + A \cdot \beta} \quad (3.2)$$

A resistência de saída, com realimentação, é dada por:

$$R_{of} = \frac{R_o}{1 + A \cdot \beta} \quad (3.3)$$

A seguir, serão mostrados os cálculos e simulações realizadas no circuito.

3.3.7.1. DETERMINAÇÃO DOS ELEMENTOS, PONTO DE POLARIZAÇÃO E SIMULAÇÕES

Os primeiros elementos determinados no circuito foram o indutor e o capacitor. A função destes dois elementos é fazer o desacoplamento do sinal final de RF da fonte DC,

evitando que o sinal de RF vá para a fonte DC. Os elementos foram determinados tentando-se estabelecer um compromisso entre área ocupada e frequência de corte do filtro. A Figura 3.29(a) apresenta o esquema utilizado para a simulação do filtro, e a Figura 3.29(b) apresenta a resposta em frequência do filtro, com uma capacitância de 30 pF e uma indutância de 10 nH.

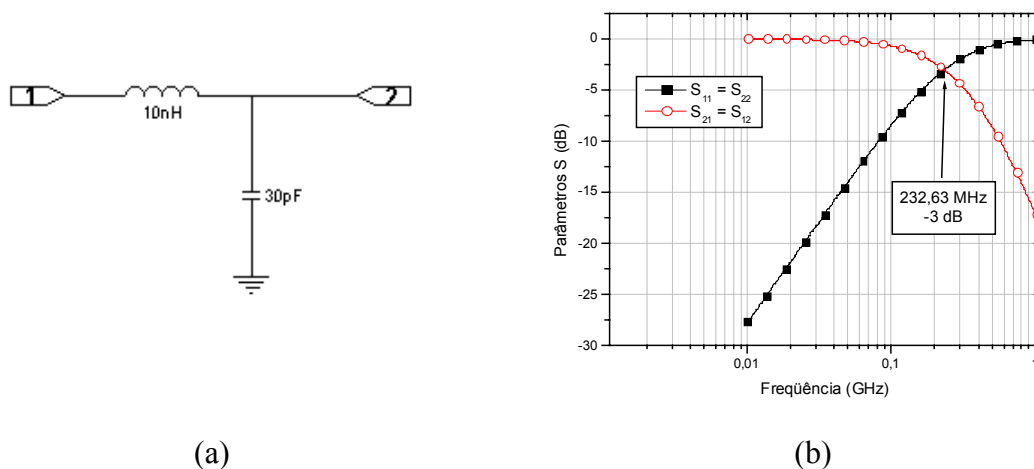


FIGURA 3.29 – (A) ESQUEMA PARA SIMULAÇÃO.

(B) RESPOSTA EM FREQUÊNCIA DO FILTRO DO CIRCUITO COM $C = 30$ pF E $L = 10$ nH

Pelo gráfico apresentado na Figura 3.29(b), a frequência de corte do filtro é de, aproximadamente, 232,63 MHz. Para obter um filtro com uma frequência de corte mais baixa, seria necessário fabricar dispositivos maiores e isto ocuparia uma área ainda maior no CI. Por ocupar uma maior área, as chances de defeitos superficiais virem a danificar o funcionamento do dispositivo também seriam mais elevadas. Sendo assim, optou-se por um indutor com 10 nH de indutância e um capacitor com uma capacitância de 30 pF.

O transistor utilizado neste amplificador foi um HBT com área de emissor igual a $20 \times 16 \mu\text{m}^2$ não auto-alinhado (opção conservadora, por ser um primeiro circuito). A Tabela 3.7 traz os parâmetros DC deste transistor.

TABELA 3.7 – PARÂMETROS DC DO TRANSISTOR UTILIZADO NAS SIMULAÇÕES

Parâmetro	Valor	Parâmetro	Valor
I_S	$1 \cdot 10^{-23}$ A	X_{TI}	3
β_F	60	V_{JC}	1,5 V
N_F	1,04	I_{SC}	$5 \cdot 10^{-14}$ A
E_G	1,42 eV	M_{JE}	0,5
V_{AF}	150 V	V_{JE}	1,5 V
N_E	6	N_C	5
I_{SE}	$1 \cdot 10^{-10}$ A	R_B	3,87 Ω
R_C	4,11 Ω	R_E	6,2 Ω

HBTs na configuração de emissor comum apresentam alto ganho de corrente, ganho de tensão moderado, uma moderada tensão de ruptura, uma impedância de entrada média, uma alta isolamento e uma boa estabilidade [43].

Os resistores do circuito, R_C e R_F , foram escolhidos de tal forma que polarizassem o HBT num ponto bem próximo ao que o modelo de pequenos sinais foi extraído (para simulações de altas frequências). Inicialmente, calculou-se um valor aproximado para os valores de resistência de R_C e R_F . Em seguida, utilizou-se o SPICE para ajustar os valores das resistências, para obter o ponto de polarização do circuito. Os valores de resistência encontrados para os resistores foram $62,5 \Omega$, para R_C , e 2.600Ω , para R_F .

A Figura 3.30 mostra o resultado da simulação no ponto de polarização, com as correspondentes correntes e tensões do circuito. Para polarizar o circuito, utilizou-se uma fonte DC de 5 V.

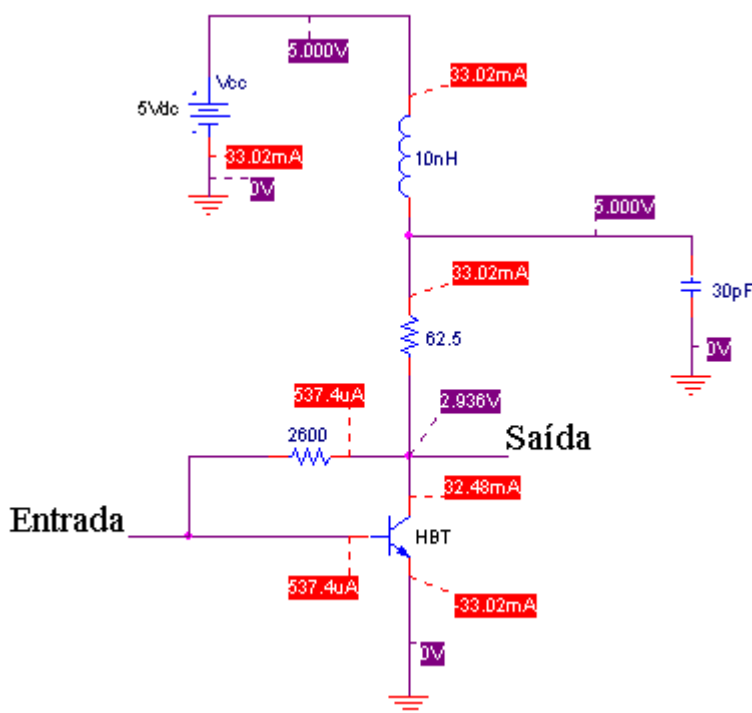


FIGURA 3.30 – SIMULAÇÃO DA POLARIZAÇÃO DC DO CIRCUITO

Pela Figura 3.30, observa-se que o circuito operará com uma tensão V_{CE} de 2,94 V, aproximadamente, e com uma corrente de base de $537,4 \mu A$. O valor da corrente de base pode parecer elevado, mas, pelos resultados apresentados em [14], estes transistores podem operar com corrente de base mais elevada.

Com base nas Equações (3.1), (3.2) e (3.3), apresentadas anteriormente, e o modelo pi do transistor, calculou-se o valor das resistências de entrada e de saída, com realimentação. A Figura 3.31 ilustra o circuito redesenhado com o modelo pi, para melhor ilustrar o cálculo das resistências de entrada e de saída, com realimentação. A Figura 3.31(a) ilustra o circuito A e a Figura 3.31(b) ilustra o circuito β .

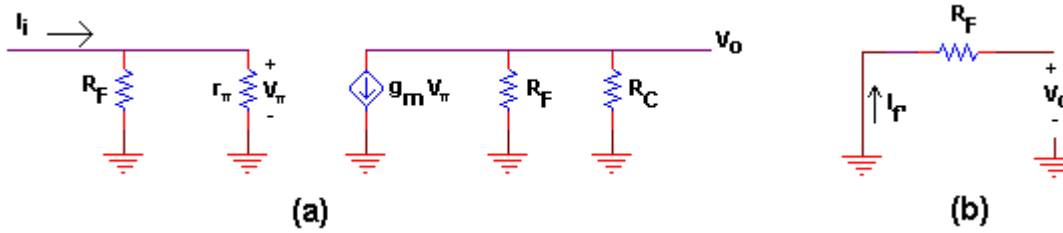


FIGURA 3.31 – CIRCUITOS PARA DETERMINAÇÃO DAS RESISTÊNCIAS DE ENTRADA E SAÍDA DO CIRCUITO

O valor de R_i é definido pela resistência de realimentação em paralelo com r_π . O valor de r_π , simulado pelo SPICE, foi 50,1 Ω . Como o valor da resistência de realimentação é de 2.600 Ω , tem-se que o valor de R_i é 49,15 Ω .

O valor de A é definido por:

$$V_\pi = I_i \cdot (R_F // r_\pi)$$

$$V_o = -g_m \cdot V_\pi \cdot (R_F // R_C) \quad (3.4)$$

$$A = \frac{V_o}{I_i} = -g_m \cdot (R_F // R_C) \cdot (R_F // r_\pi)$$

O valor da transcondutância, g_m , simulado pelo SPICE, foi de 1,21 S. Deste modo, tem-se que o valor de A é -3.629,93 Ω . Por fim, o valor de β é definido como:

$$\beta = \frac{I_f}{V_o} = -\frac{1}{R_F} \quad (3.5)$$

Assim, pela Equação (3.5), tem-se que β é igual a $-3,85 \cdot 10^{-4} \Omega^{-1}$.

Desta maneira, substituindo-se os valores encontrados na Equação (3.2) tem-se um valor da resistência de entrada, com realimentação, igual a 20,51 Ω .

O valor de R_o é definido como uma associação em paralelo das resistências de realimentação (R_F) e a resistência conectada ao coletor (R_C). Substituindo-se os valores encontrados na Equação (3.3) tem-se um valor da resistência de saída, com realimentação, igual a 25,47 Ω . Após a determinação do ponto de polarização e das resistências de entrada e saída, foram feitas simulações em alta frequência, pois esta será a aplicação deste circuito.

Para as simulações em alta frequência, utilizou-se o modelo de pequenos sinais apresentado no capítulo anterior. Utilizando-se o procedimento de extração dos parâmetros de pequenos sinais do capítulo anterior, extraiu-se o modelo de pequenos sinais para um HBT não auto-alinhado, com área de emissor de $20 \times 16 \mu\text{m}^2$. A Tabela 3.8 traz os valores destes parâmetros.

O indutor foi substituído por um conjunto de dados (parâmetros S) gerados pelo *software* ASITIC, que corresponde ao circuito elétrico equivalente de um indutor (Capítulo 2).

TABELA 3.8 – PARÂMETROS PARA MODELO DE PEQUENOS SINAIS DO HBT

<i>Parâmetro</i>	<i>Valor</i>	<i>Parâmetro</i>	<i>Valor</i>
C_{BEP}	4,45 fF	C_{EX}	115 fF
C_{BCP}	-	C_{BC}	50 fF
C_{CEP}	100 fF	R_{BB}	230 Ω
R_E	6,2 Ω	R_{BC}	6.000 Ω
R_B	3,87 Ω	R_{EX}	-
R_C	4,11 Ω	α_0	0,9836
L_E	0,2 nH	τ	4,2 ps
L_B	0,27 nH	R_{BE}	0,61 Ω
L_C	-	C_{BE}	7,6 pF

Na Tabela 3.8, o valor do capacitor C_{BCP} foi assumido zero e seu efeito embutido na capacitância externa entre base e coletor. O valor do indutor L_C não fez sentido físico (apresentou valor negativo durante a extração) e foi, portanto, ignorado. O resistor R_{EX} tem valor muito elevado e pode resultar em desvios no cálculo de outros parâmetros; portanto, este resistor foi considerado infinito.

No *software* LIBRA, fez-se simulações de ganho do circuito, testes de estabilidade e obtenção das perdas de retorno na entrada e saída [44]. Os parâmetros S que serão utilizados são S_{11} , S_{21} , S_{12} e S_{22} , pois o circuito é um sistema com duas “portas” (uma entrada e uma saída).

A primeira simulação feita foi a do ganho do circuito, que é mostrada na Figura 3.32.

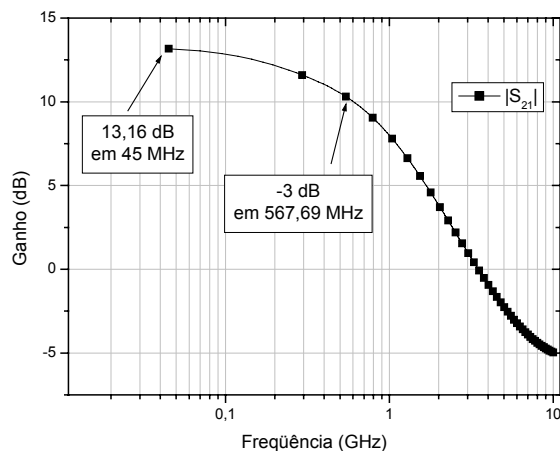


FIGURA 3.32 – GANHO DO MMIC SIMULADO

Pelo resultado da simulação, apresentado na Figura 3.32, nota-se que o circuito em baixas frequências apresenta um ganho de, aproximadamente, 13,16 dB. A frequência de corte (-3 dB), simulada pelo LIBRA, foi de, aproximadamente, 567,69 MHz. Estes valores foram determinados para, depois, serem comparados com os valores medidos. Esta comparação servirá para a validação, ou não, dos modelos utilizados.

Outra característica observada no circuito foi sua estabilidade, em função da frequência. Os fatores de estabilidade levados em consideração para verificar se um circuito é estável, ou não, foram: K que deve apresentar um valor maior que 1 e B₁, que deve apresentar um valor maior que 0 [44]. Estes fatores utilizados são funções dos parâmetros S e são definidos por:

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2 \cdot |S_{12} \cdot S_{21}|} > 1 \quad (3.6)$$

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0 \quad (3.7)$$

$$\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21} \quad (3.8)$$

Pelo gráfico apresentado na Figura 3.33, que traz os gráficos dos fatores de estabilidade do circuito (K e B₁), vemos que o circuito é incondicionavelmente estável, pois ambas as condições acima foram satisfeitas.

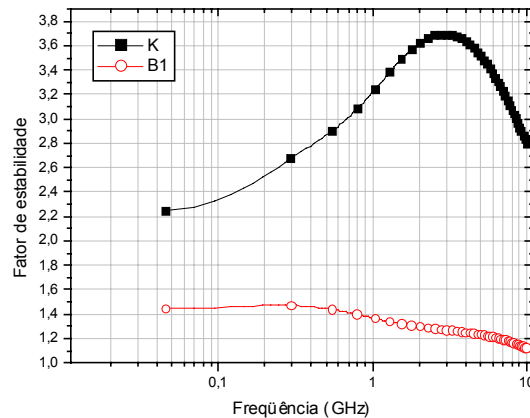


FIGURA 3.33 – FATORES DE ESTABILIDADE DO CIRCUITO

Por fim, foi realizada a simulação das perdas de retorno na entrada e na saída do circuito. Na Figura 3.34, são mostrados os resultados destas simulações.

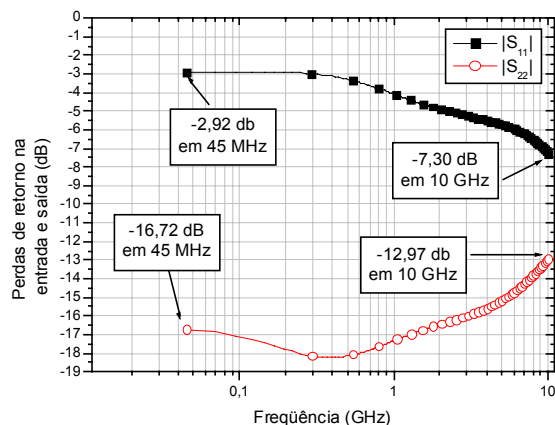


FIGURA 3.34 – PERDAS DE RETORNO NA ENTRADA (S_{11}) E SAÍDA (S_{22})

A perda de retorno na entrada é proporcional a $|S_{11}|$ e a perda de retorno na saída é proporcional a $|S_{22}|$. Estes dois parâmetros são as perdas de retorno na entrada e na saída, quando há casamento de impedância entre o circuito e o aparelho que faz as medições. Pela Figura 3.34, nota-se que o valor de $|S_{11}|$ é $-2,92$ dB, em 45 MHz, e diminui com o aumento da frequência, atingindo um valor de $-7,30$ dB, em 10 GHz. O valor de $|S_{22}|$, entretanto, em 45 MHz, é de $-16,72$ dB e aumenta com o aumento da frequência, atingindo um valor de $-12,97$ dB, em 10 GHz. A perda de retorno na entrada não é tão baixa quanto à perda de retorno na saída, pela falta de um sistema de casamento de impedância no circuito, que não foi incluído nesta primeira etapa de fabricação do MMIC. Geralmente, circuitos de microondas são projetados para perdas de retorno, tanto na entrada quanto na saída, inferiores a -10 dB.

Feito os testes de simulação, o *layout* do circuito foi desenhado, sendo este apresentado na Figura 3.35.

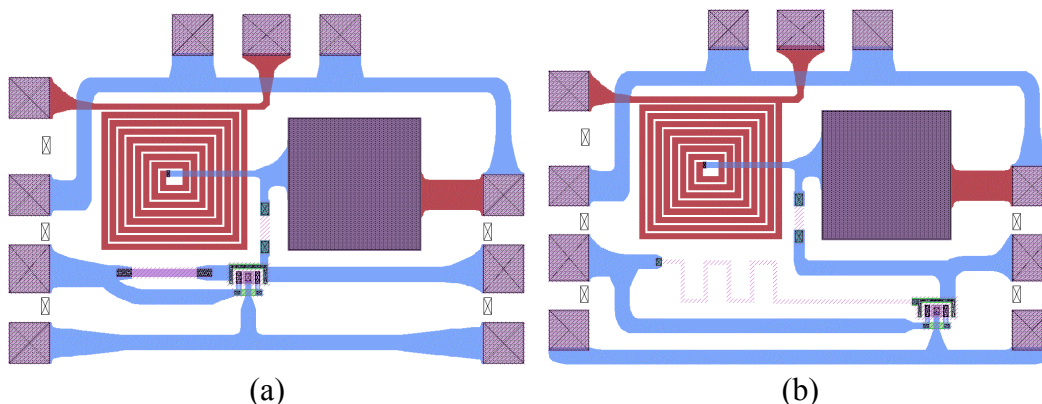


FIGURA 3.35 – LAYOUT DO MMIC. RESISTOR DE REALIMENTAÇÃO DO MMIC FEITO COM A CAMADA DE BASE (A) E CAMADA DE SUBCOLETOR (B)

Os circuitos apresentados na Figura 3.35 são semelhantes, sendo o que difere um do outro é o material do qual o resistor de realimentação foi feito. Em um, o resistor foi feito com a camada de base do transistor (Figura 3.35(a)), e, em outro, com a camada de subcoletor (Figura 3.35(b)). O objetivo de ter feito dois circuitos com a mesma característica, porém com resistores de materiais diferentes, foi verificar o quanto o amplificador é influenciado, dependendo do tipo de resistor que se usa na realimentação.

Após o projeto de todos os componentes que estarão presentes no CI, chegou-se ao *layout* final, que é mostrado na Figura 3.36. O *layout* final possui aproximadamente 4,3 mm x 4,2 mm.

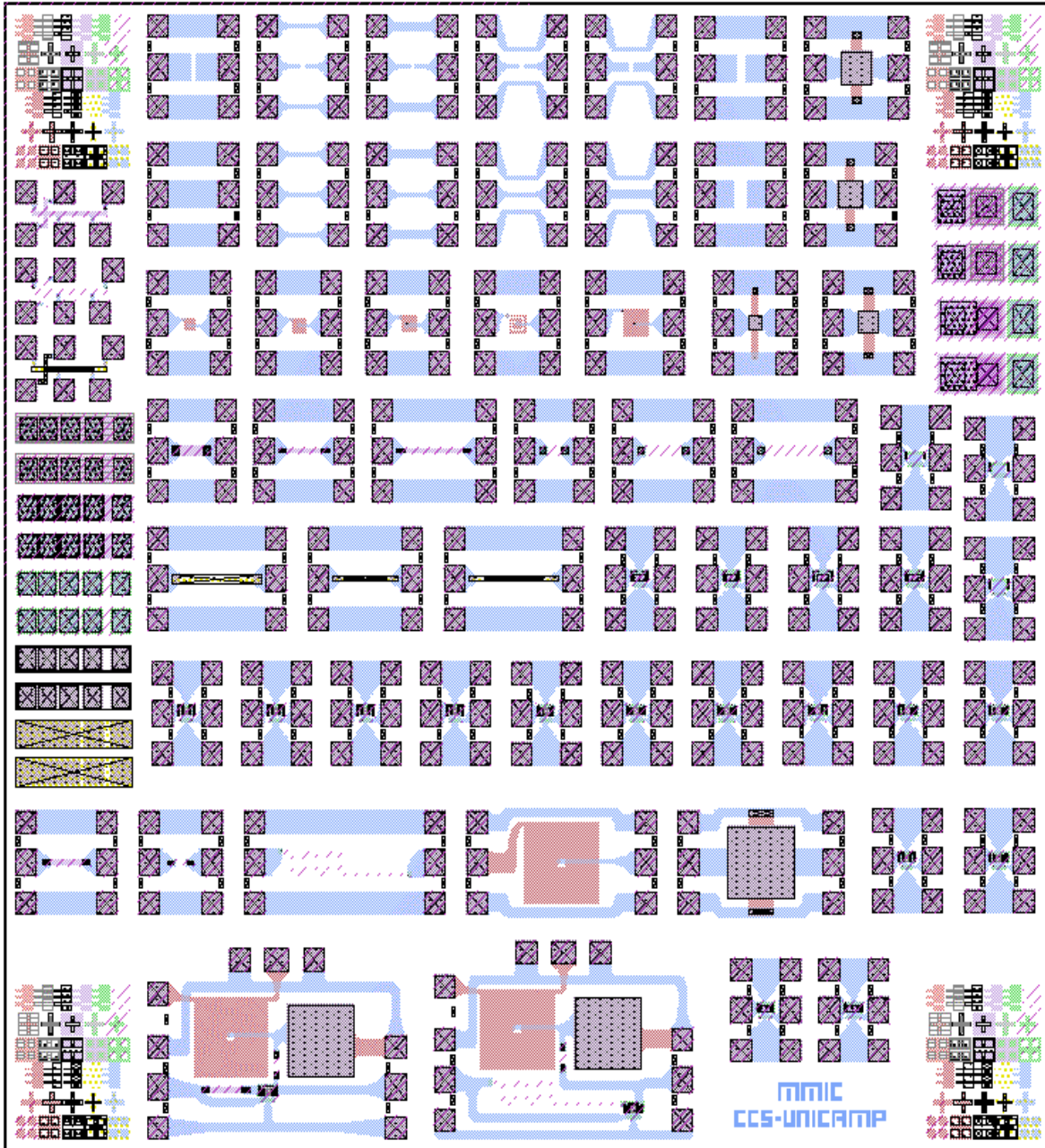


FIGURA 3.36 – LAYOUT FINAL DO CI

Após o término do *layout*, foi necessário gerar um arquivo para que as máscaras pudessem ser fabricadas. O arquivo gerado foi um arquivo tipo CIF (*Caltech Intermediate Format*). Este arquivo contém informações sobre o *layout*, permitindo que o mesmo possa ser visualizado em outro microcomputador e em outros programas de geração de *layouts*. Este arquivo posteriormente é convertido para um formato de dados tal que o equipamento gerador de máscaras o entenda.

3.4. MÁSCARAS GERADAS

Com o projeto terminado, na parte que se refere ao desenho do CI, o próximo passo foi a geração das máscaras (as máscaras foram geradas no CenPRA). Para poder gerar as máscaras, foi necessário fornecer algumas informações ao fabricante das máscaras como, por exemplo, o tipo de campo da máscara (se a máscara é campo escuro ou campo claro), as distâncias entre os *dies* (repetições do CI dentro da máscara), etc. A Tabela 3.9 traz o nome de cada máscara gerada, uma rápida descrição de sua finalidade e o tipo de campo da máscara (pois esta informação é a mais importante para a geração das máscaras).

TABELA 3.9 – CAMPO DAS MÁSCARAS GERADAS

<i>Layer utilizada pelo MAGIC</i>	<i>Layer gerada pelo arquivo CIF</i>	<i>Descrição da máscara</i>	<i>Tipo de campo da máscara</i>
<i>emesa</i>	<i>EMESA</i>	Metal de emissor	Escuro
<i>brecess</i>	<i>BRCES</i>	Mesa de emissor	Claro
<i>bmetal</i>	<i>BAMET</i>	Metal de base	Escuro
<i>bmesa</i>	<i>BMESA</i>	Mesa de base	Claro
<i>ecmetal</i>	<i>ECMET</i>	Metal de subcoletor	Escuro
<i>deviso</i>	<i>DEVIS</i>	Isolação do dispositivo Mesa de subcoletor	Claro
<i>icmetal</i>	<i>ICMET</i>	Primeira camada de metal dos indutores e capacitores	Escuro
<i>colvia</i>	<i>COLVI</i>	Vias para remoção do polímero planarizador	Escuro
<i>cvia</i>	<i>CVIA</i>	Vias para remoção do material dielétrico	Escuro
<i>ncmetal</i>	<i>NICR</i>	Resistor de filme fino	Escuro
<i>metal</i>	<i>METAL</i>	Metal de interconexão	Escuro

A Figura 3.37 apresenta os desenhos das máscaras que foram geradas.

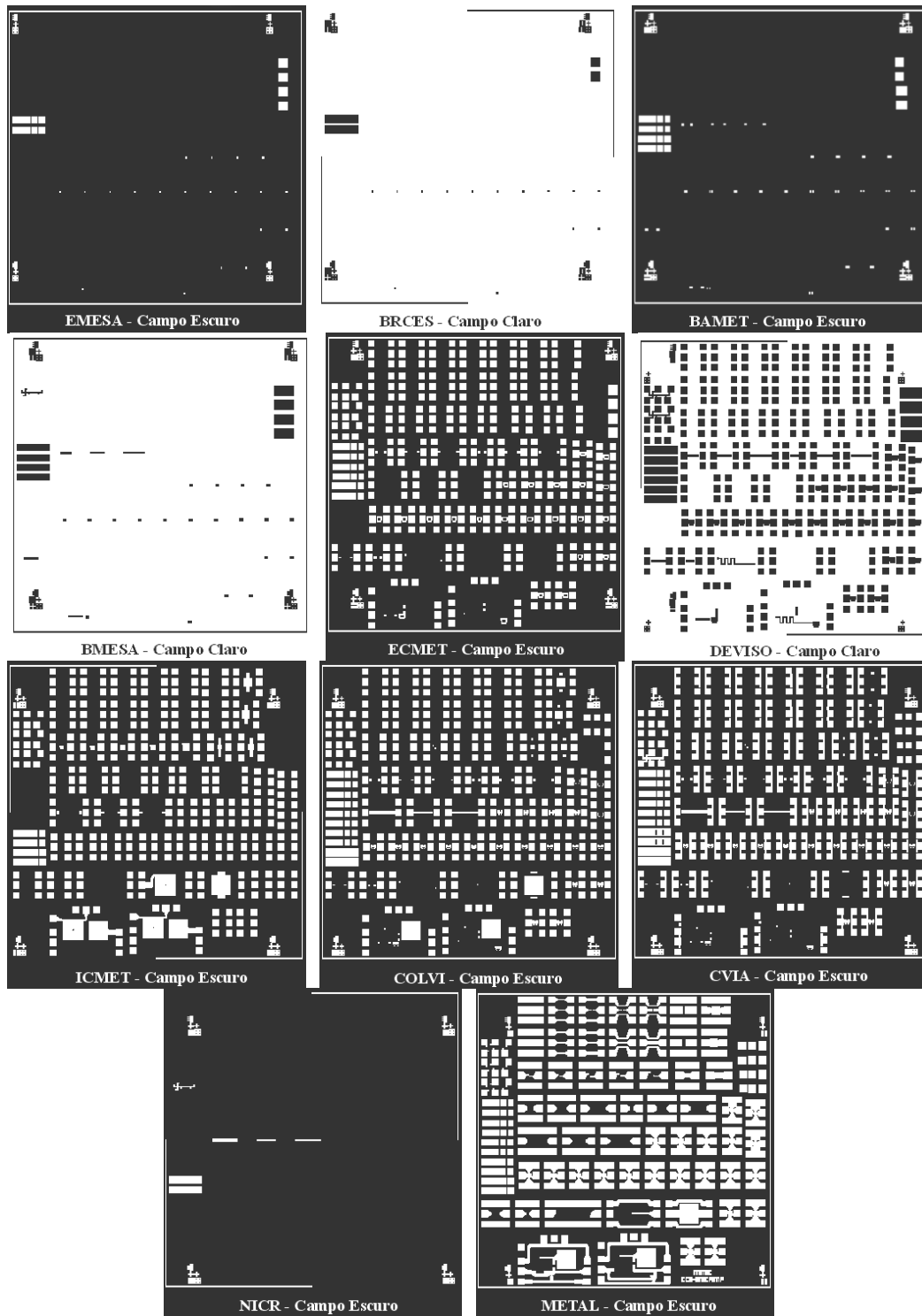


FIGURA 3.37 – MÁSCARAS GERADAS

Na Figura 3.37, a parte escura significa a região onde há cromo e a luz UV (ultravioleta) não será capaz de atravessar. Já a parte clara é a região onde existe apenas o material do qual a máscara é feita, sendo, portanto atravessada pela luz UV. Com as máscaras prontas, a próxima etapa foi o processamento do CI, que será descrito no próximo capítulo.

CAPÍTULO 4

DESCRIÇÃO DO PROCESSO DE FABRICAÇÃO DO CI

4.1. INTRODUÇÃO

Este capítulo descreverá o processo utilizado para a fabricação do CI projetado no capítulo anterior. O processo de fabricação do CI foi desenvolvido na UNICAMP nos laboratórios do *DSIF-FEEC* (Departamento de Semicondutores, Instrumentos e Fotônica, da Faculdade de Engenharia Elétrica e de Computação) e do *LPD-IFGW* (Laboratório de Pesquisa em Dispositivos, do Instituto de Física *Gleb Wataghin*).

4.2. CARACTERÍSTICA DA LÂMINA UTILIZADA

Para a fabricação do CI projetado, utilizou-se uma lâmina de arseneto de gálio (GaAs) com orientação [100] e sete camadas epitaxiais crescidas por MOCVD (*Metalorganic Chemical Vapor Deposition*). Estas lâminas foram processadas pela *KOPIN* [45] e apresentavam as seguintes características quanto à composição, espessura e dopagem de cada camada:

TABELA 4.1 – ESPECIFICAÇÕES DAS CAMADAS EPITAXIAIS

Camada	Material	Espessura (<i>angstroms</i>)	Dopagem (cm^{-3})
CAPA	$\text{In}_y\text{Ga}_{1-y}\text{As}$ ($y = 0,5$)	500	$> 1,0 \cdot 10^{19}$ (n^+)
CAPA	$\text{In}_y\text{Ga}_{1-y}\text{As}$ ($y = 0$ a $0,5$)	500	$> 1,0 \cdot 10^{19}$ (n^+)
CAPA	GaAs (Si)	1.000	$5,0 \cdot 10^{18}$ (n^+)
EMISSOR	$\text{In}_y\text{Ga}_{1-y}\text{P}$ ($y = 0,5$) (Si)	500	$5,0 \cdot 10^{17}$ (n)
BASE	GaAs (C)	800	$4,0 \cdot 10^{19}$ (p^+)
COLETOR	GaAs (Si)	5.000	$4,0 \cdot 10^{16}$ (n)
SUBCOLETOR	GaAs (Si)	5.000	$5,0 \cdot 10^{18}$ (n^+)

A Tabela 4.1 apresenta os dados das sete camadas epitaxiais. As três primeiras camadas (CAPA) têm a finalidade de melhorar o contato ôhmico entre o metal e o emissor, sendo que a camada central de CAPA tem a função de variar gradualmente o parâmetro de rede e da faixa de energia proibida entre as duas outras camadas de CAPA. A quarta camada (EMISSOR) será a região de emissor do HBT, com formação de heterojunção. As demais camadas são, respectivamente, as regiões de base, coletor e subcoletor do HBT. As especificações das camadas a serem crescidas foram obtidas através de simulações computacionais, visando a otimização do desempenho dos HBTs a serem processados [14].

4.3. FABRICAÇÃO DO CI

Antes de iniciar a fabricação do CI, fez-se a limpeza da amostra que seria processada. Esta limpeza é uma limpeza orgânica denominada *soxlet* [14] e seu objetivo é a retirada de material orgânico que possa estar presente sobre a superfície da amostra. Esta limpeza consiste em colocar a amostra na posição vertical dentro de um recipiente (*becker*) contendo tricloroetileno. O conjunto é colocado, então, sobre uma placa quente (*hot plate*) e aquecido até o ponto de ebulição durante, aproximadamente, 15 minutos. O mesmo procedimento é repetido substituindo o tricloroetileno por acetona e, depois, por isopropanol. Após esta limpeza, o recipiente é retirado da placa quente e deixado sobre uma folha de alumínio para voltar a temperatura ambiente (evitando assim que a amostra trinque, pois o GaAs é muito frágil). Quando o recipiente estiver na temperatura ambiente, a amostra é retirada do isopropanol e, então, passa por uma lavagem em água deionizada (água DI) e é seca em nitrogênio. Segue-se um tratamento térmico, a 120°C, durante 20 minutos para garantir que a amostra fique totalmente seca.

Terminada a limpeza, inicia-se o processo de fabricação. A primeira etapa consiste na fotolitografia e evaporação dos metais de emissor.

4.3.1. FOTOLITOGRAFIA E EVAPORAÇÃO DOS METAIS DE EMISSOR

A primeira fotolitografia foi feita com a máscara EMESA e teve, por finalidade, a formação dos contatos de emissor dos transistores (tanto auto-alinhados como não auto-alinhados). Para a primeira fotolitografia utilizou-se o fotorresiste AZ 5214 [46]. O processo para a utilização desse fotorresiste foi o seguinte:

1. Depositou-se o fotorresiste sobre a amostra que ficou no *spinner*, durante 30 segundos, a uma rotação de 4.000 rpm (a umidade da sala onde o fotorresiste é aplicado deve estar em, aproximadamente, 50%);
2. Fez-se uma cura (na placa quente) a uma temperatura de 90°C, durante 4 minutos;
3. Exposição durante 0,8 segundo à luz UV (ultravioleta) da fotoalinhadora (procedimento é feito sem máscara), utilizando-se o modo CI (controle de intensidade) do aparelho;
4. Fez-se uma outra cura (também na placa quente) a uma temperatura de 118°C, durante 1 minuto e 45 segundos;

5. Exposição durante 60 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), onde também se utilizou o modo CI;
6. Por fim, revelação feita com AZ400K e água DI, numa proporção de 1:3,5, durante 1 minuto e 20 segundos.

Neste processo de fotolitografia é feita uma dupla exposição, para ocorrer a inversão do gradiente de solubilidade por meio de um tratamento térmico. Neste caso, as moléculas do fotorresiste exposto estabelecem ligações (*crosslink*), formando um composto menos solúvel. A região que recebeu mais exposição será, agora, a região de maior dificuldade de remoção. Assim, para obter uma estrutura adequada para o processo de metalização por *lift-off* (será este o processo utilizado em todas as metalizações), deve-se realizar uma leve exposição, do tipo *flood*, para sensibilizar a camada superior do fotorresiste. A seguir, faz-se um tratamento térmico que diminui a solubilidade desta fina camada. Durante a exposição com máscara, esta região e a camada de fotorresiste sob ela terão suas solubilidades aumentadas [15]. Ao revelar, obtém-se uma estrutura com perfil negativo, conforme representado a seguir:

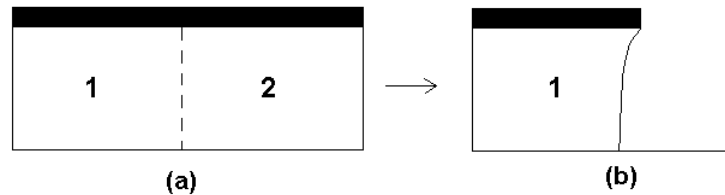


FIGURA 4.1 – PERFIL DE REVELAÇÃO PARA O PROCESSO *LIFT-OFF* [15]

A Figura 4.1(a) ilustra um pedaço da amostra após o primeiro tratamento térmico e exposição. A região 1 será a região protegida pela máscara, no segundo processo de exposição, e a região 2 será a região exposta. A camada escura representa a fina camada de fotorresiste que teve sua solubilidade diminuída. Na Figura 4.1(b) está representado o perfil final obtido.

Caso a amostra utilizada seja de dimensões reduzidas (como foi o caso da amostra processada), recomenda-se fazer a retirada do fotorresiste que fica nas extremidades da amostra (bordas). Isto é feito porque o fotorresiste das bordas é mais espesso e pode atrapalhar no processo de fotolitografia. A retirada é feita colocando-se uma outra amostra (de dimensões menores) sobre a que será utilizada para a fotolitografia e expondo tudo à luz UV da fotoalinhadora, por um período de 3 a 4 minutos (este procedimento foi feito após o item 4), e, em seguida, fazendo-se a revelação para a retirada das bordas (a revelação foi igual ao item 6, durante 1 minuto, aproximadamente).

O próximo passo foi fazer um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo de gás de 50 sccm. O objetivo deste plasma foi limpar as regiões abertas pela fotolitografia, pois pode restar uma fina camada de fotorresiste que prejudica a seqüência do processo. Basicamente, o fotorresiste é retirado por corrosão química (plasma barril). O plasma se forma por descargas de RF, fazendo surgir radicais de O_2 que chegam à superfície da amostra, promovendo o ataque químico do fotorresiste [47]. Após o plasma, fez-se a evaporação dos metais que farão o contato do emissor.

Antes da evaporação dos metais de emissor, deve-se retirar o óxido nativo superficial que se forma nas áreas onde o fotorresiste foi retirado. O óxido é retirado fazendo-se uma

imersão (*deep*) em solução de ácido clorídrico (HCl) com água DI na proporção 1:10 por, aproximadamente, 10 segundos. Decorrido este tempo, seca-se a amostra com nitrogênio e coloca-a no suporte da evaporadora para que esta segunda etapa do processo possa ser concluída. A Tabela 4.2 apresenta os metais que foram utilizados para o emissor:

TABELA 4.2 - METAIS UTILIZADOS NO EMISSOR [14]

<i>Metal</i>	<i>Espessura (angstroms)</i>
Níquel	50
Germânio	500
Ouro	1.000
Níquel	300
Ouro	1.000

Os metais evaporados foram removidos por *lift-off*. O *lift-off* foi feito colocando-se a amostra em um *becker* cheio de acetona, para que o fotorresiste, sob os metais, se dissolva por completo. Depois, lava-se a amostra em acetona para que os metais saiam, ficando apenas nos locais onde não havia fotorresiste. Após a retirada total desses metais, lava-se a amostra com isopropanol, água DI e seca-se com nitrogênio.

Após o *lift-off* pode restar fotorresiste sobre a amostra. Para retirar esta possível sobra, utilizou-se plasma de O₂, durante 10 minutos, com uma potência de RF de 200 W, com pressão de 200 mTorr e fluxo de gás de 50 sccm.

Finalizando esta etapa de evaporação, deve-se fazer um recozimento (*sintering*) em atmosfera de nitrogênio, a 300°C durante 3,5 minutos, em forno convencional. Este recozimento é feito para melhorar a aderência do metal no substrato.

A próxima etapa foi a fotolitografia para a definição da mesa (região) de emissor.

4.3.2. FOTOLITOGRAFIA PARA DEFINIÇÃO DA MESA DE EMISSOR

Esta segunda máscara (máscara BRCEs) é para a definição da mesa de emissor, para os transistores não auto-alinhados. Para os transistores auto-alinhados, o próprio metal de emissor será utilizado como máscara.

Antes de iniciar o processo de fotolitografia, mede-se a curva IxV da camada de CAPA da amostra (de preferência, utiliza-se uma amostra teste para não correr o risco de danificar a amostra na qual o CI será fabricado). Esta medida é feita entre duas pontas de prova e a camada semicondutora. O objetivo de realizar esta medida é para posterior comparação com as demais que serão medidas no decorrer do processo e ter certeza de que a corrosão chegou até a camada desejada [15]. Neste tipo de medida, é obtida a tensão de ruptura *Schottky* de uma das pontas (da ponta polarizada reversamente). Esta tensão de ruptura cai com o aumento da dopagem [48].

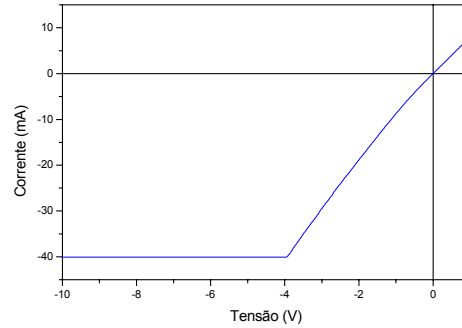


FIGURA 4.2 – CURVA I X V DA CAMADA DE CAPA

Pela curva apresentada na Figura 4.2, conclui-se que a camada de CAPA praticamente não apresenta ruptura *Schottky*, possuindo um comportamento ôhmico que é explicada pela sua alta dopagem ($> 1,0 \cdot 10^{19} \text{ cm}^{-3}$). Após a obtenção desta curva, foi feita a fotolitografia para a definição, por corrosão, da mesa de emissor.

Por se tratar de uma corrosão úmida (corrosão feita por ácidos), utilizou-se um outro fotorresiste para esta segunda fotolitografia (optou-se pelo AZ 1518 [49]). O processo para a utilização deste fotorresiste foi o seguinte:

1. Depositou-se o fotorresiste sobre a amostra que fica no *spinner*, durante 40 segundos, a uma rotação de 7.000 rpm (a umidade da sala onde o fotorresiste é aplicado deve estar em, aproximadamente, 50%);
2. Fez-se uma cura (em estufa) a uma temperatura de 92°C durante 30 minutos. Caso não haja estufa, esta cura pode ser feita a 100°C, durante 30 segundos, em uma placa quente;
3. Expô-se a amostra durante 25 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), onde se utilizou o modo CP (controle de potência) do aparelho;
4. Revelou-se com AZ400K e água DI, numa proporção de 1:3,5, durante, aproximadamente, 35 segundos;
5. Por fim, realizou-se uma pós-cura a uma temperatura de 120°C, durante 30 minutos, na estufa.

Caso seja necessário retirar a borda do fotorresiste depositado sobre a amostra, isto é feito da mesma maneira que a descrita na fotolitografia do metal de emissor. Aqui, a retirada da borda foi feita após o item 2, sendo o tempo de exposição 2 minutos (em modo CP) e o tempo para a retirada da borda 30 segundos, aproximadamente (o procedimento para a revelação, na retirada da borda, é o mesmo que está descrito no item 4), porém o tempo é de, aproximadamente, 25 segundos.

Após a fotolitografia, foi feito um plasma de O_2 (igual ao plasma feito após a primeira fotolitografia). Após este plasma, fez-se a corrosão para definição da mesa de emissor, onde foi utilizada uma solução de ácido sulfúrico (H_2SO_4).

4.3.2.1. CORROSÃO COM SOLUÇÃO DE H₂SO₄

Nesta corrosão, foram retiradas as três camadas de CAPA, chegando-se até a camada de EMISSOR. Para a corrosão, utilizou-se uma solução de H₂SO₄, H₂O₂ e H₂O, na proporção 1:8:40. Esta solução possui uma taxa de corrosão muito elevada, em torno de 10.000 *angstroms* por minuto [14]. Entretanto, por ser bem seletiva, ela promoverá somente a corrosão das camadas de CAPA, parando quando atingir a camada de EMISSOR.

Escolheu-se a solução de ácido sulfúrico, nesta primeira corrosão, porque ela possui um comportamento anisotrópico, ou seja, dependendo da orientação cristalina do substrato, o perfil da corrosão ou é negativo (Figura 4.3(b)) ou positivo (Figura 4.3(c)). Esses aspectos foram levados em consideração, porque o CI possui estruturas auto-alinhadas, isto é, o CI possui transistores que necessitam de perfis negativos de corrosão, para não ficarem em curto circuito. No caso dos transistores auto-alinhados projetados, é para o metal da camada de EMISSOR (primeira máscara) não entrar em curto circuito com a camada de BASE (próxima máscara). As Figuras 4.3(d) e 4.3(e) mostram duas fotos de amostras que sofreram corrosões com solução de ácido sulfúrico.

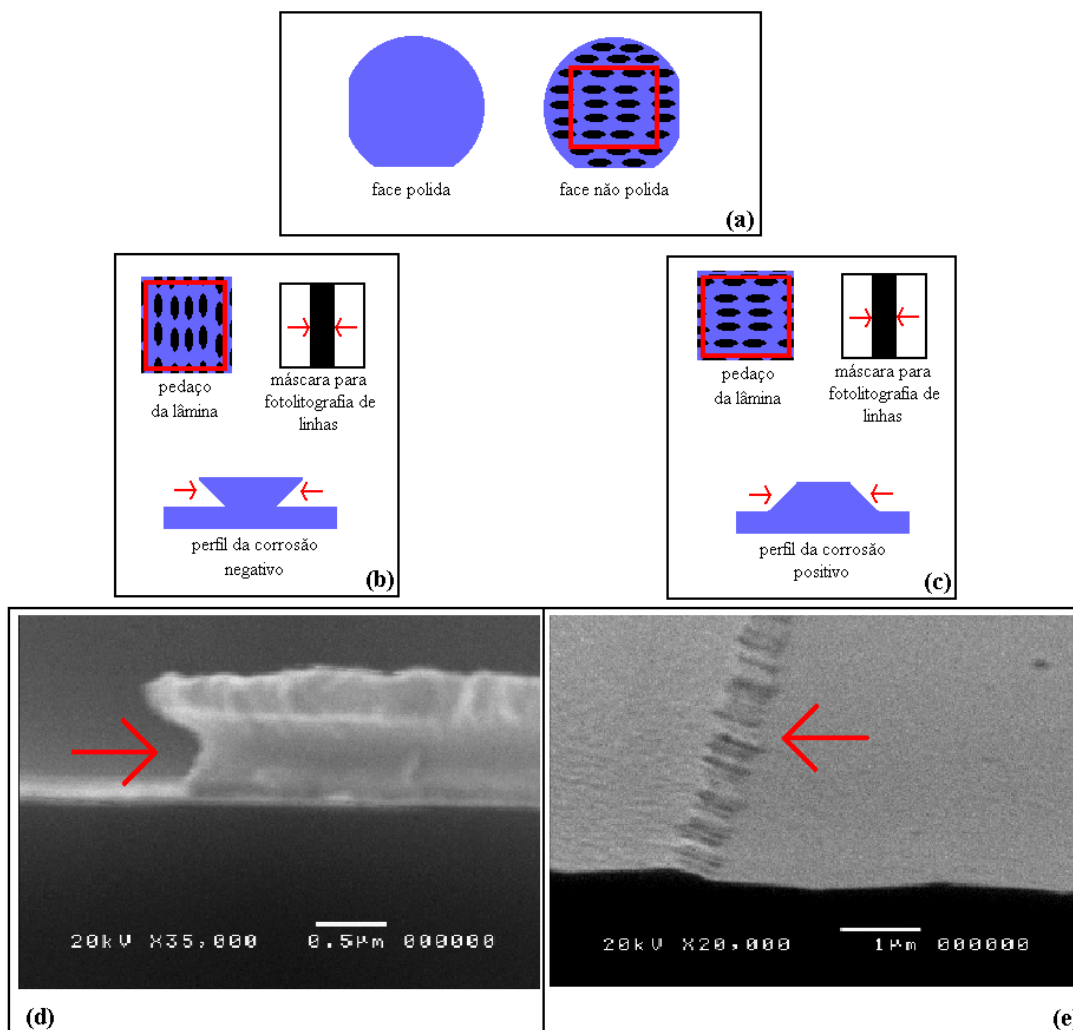


FIGURA 4.3 – PERFIS DE CORROSÃO COM ÁCIDO SULFÚRICO

As fotos das Figuras 4.3(d) e 4.3(e) foram obtidas com a fotolitografia de linhas, em duas orientações diferentes (Figuras 4.3(b) e 4.3(c)). Uma das orientações era paralela ao chanfro maior da lâmina (orientação cristalina $[-1\ 1\ 0]$, Figura 4.3(b)) e ao ter sua face, não polida, vista ao microscópio, apresentava elipses dispostas na formação que pode ser vista na Figura 4.3(a) (essas elipses são reveladas por ataque químico com uma solução de $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$, numa proporção de 1:8:8 ou 1:1:6, por 30 segundos [50]). A outra orientação utilizada foi uma orientação perpendicular ao chanfro maior (orientação cristalina $[1\ 1\ 0]$, Figura 4.3(c)). Pelas fotos apresentadas nas Figuras 4.3(d) e 4.3(e), nota-se que a corrosão em uma foto ficou com o perfil negativo (orientação cristalina $[-1\ 1\ 0]$) e indicado por uma seta na Figura 4.3(d)) e, em outra, com o perfil positivo (orientação cristalina $[1\ 1\ 0]$) e indicado por uma seta na Figura 4.3(e)).

Como se deseja obter transistores auto-alinhados no CI, a amostra foi processada com o maior lado do emissor paralelo ao chanfro maior da lâmina (como aparece na Figura 4.3(b)). Assim o maior lado da mesa de emissor ficará com um perfil negativo em relação ao maior lado do metal de base, evitando, assim, que o metal de base entre em curto circuito com o metal de emissor (como pode ser visto no Capítulo 2, onde é mostrada a diferença entre os transistores auto-alinhados e não auto-alinhados). A escolha desta orientação deve ser feita antes de se fazer a primeira fotolitografia, pois depois de iniciado o processamento em uma determinada orientação não há mais como mudá-la.

Como já foi dito, essa primeira corrosão tem por finalidade chegar até a camada de EMISSOR. O tempo para a retirada das três camadas de CAPA foi de, aproximadamente, 13 segundos, corroendo, aproximadamente, $2.000\ \text{angstroms}$. Ao final dessa primeira corrosão, mediu-se, novamente, a curva I_xV , que pode ser vista na Figura 4.4 [15].

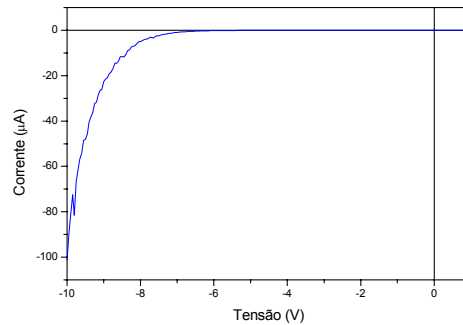


FIGURA 4.4 – CURVA I_xV DA CAMADA DE EMISSOR

Pelas curvas apresentadas nas Figuras 4.4 e 4.2, vê-se que a solução corroeu até a camada de EMISSOR, pois a característica da curva mudou. A curva da Figura 4.4 apresenta uma tensão de ruptura *Schottky* que está entre -7V e -6V . O aparecimento desta tensão de ruptura é explicado pela baixa dopagem da camada ($5 \cdot 10^{17}\ \text{cm}^{-3}$). Para corroer a camada de EMISSOR e chegar à camada de BASE utilizou-se uma solução de ácido clorídrico (HCl) a 32%. O tempo para corroer a camada de EMISSOR foi de, aproximadamente, 20 segundos. Da mesma forma que a solução de ácido sulfúrico, a solução de ácido clorídrico apresenta boa seletividade, isto é, ela irá corroer apenas a camada de EMISSOR. Para ter certeza que a camada de BASE foi alcançada traçou-se, novamente, a curva I_xV , que é apresentada na Figura 4.5 [15].

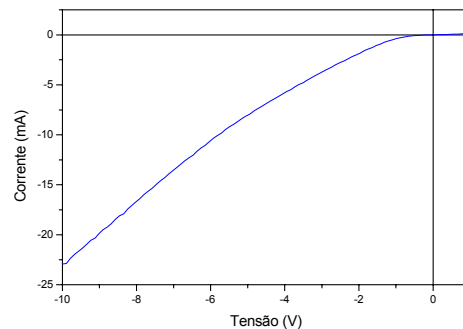


FIGURA 4.5 – CURVA IxV DA CAMADA DE BASE

Pela curva, nota-se que a tensão de ruptura *Schottky* voltou a diminuir (está entre -1V e 0V), o que pode ser explicado, novamente, pelo aumento da dopagem na camada de BASE ($4,0 \cdot 10^{19} \text{ cm}^{-3}$). A curva da Figura 4.2 não é igual à da Figura 4.5 (apesar de apresentarem alta dopagem), pois uma camada é dopada com material do tipo n (CAPA) e, a outra, com material do tipo p (BASE).

Após a corrosão, retirou-se o fotorresiste com acetona, isopropanol e água DI. Finalizando esta etapa, fez-se um plasma de O_2 , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. As etapas seguintes foram a fotolitografia e evaporação dos metais de base.

4.3.3. FOTOLITOGRAFIA E EVAPORAÇÃO DOS METAIS DE BASE

Para a fotolitografia dos metais de base (máscara BAMET), utilizou-se o processo de fotolitografia com AZ 5214, descrito anteriormente. Após a fotolitografia, fez-se um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm, para retirar qualquer sobra de fotorresiste que possa ter ficado da revelação.

Antes de fazer a evaporação dos metais de base, novamente fez-se uma imersão em HCl para retirar o óxido nativo superficial (como já descrito). Os metais utilizados como metais de contato de base foram:

TABELA 4.3 – METAIS UTILIZADOS NA BASE [14]

<i>Metal</i>	<i>Espessura (angstroms)</i>
Titânio	100
Platina	200
Ouro	1.000

Terminada a evaporação dos metais, fez-se o *lift-off*, seguido de um plasma de O_2 , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

Em seguida, foi feita a fotolitografia para que a mesa da base pudesse ser definida.

4.3.4. FOTOLITOGRAFIA PARA DEFINIÇÃO DA MESA DE BASE

O procedimento de fotolitografia utilizado aqui foi o mesmo adotado na fotolitografia para definição da mesa de emissor (AZ 1518). Após a fotolitografia, fez-se um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo de gás de 50 sccm. Para esta segunda corrosão, utilizou-se uma solução de ácido fosfórico (H_3PO_4).

4.3.4.1. CORROSÃO COM SOLUÇÃO DE H_3PO_4

Nesta corrosão foram retiradas as camadas de BASE e COLETOR. Para a corrosão utilizou-se uma solução de H_3PO_4 , H_2O_2 e H_2O , na proporção 3:1:50. Esta solução possui uma taxa de corrosão baixa (se comparada com a de ácido sulfúrico), em torno de 950 *angstroms* por minuto [14].

Ao contrário da solução de ácido sulfúrico, a solução de ácido fosfórico não apresenta corrosão anisotrópica, possuindo um perfil positivo nas orientações que foram utilizadas para teste (mesmas orientações que a solução de ácido sulfúrico). A Figura 4.6 mostra duas fotos desta corrosão, tiradas com o microscópio eletrônico de varredura.

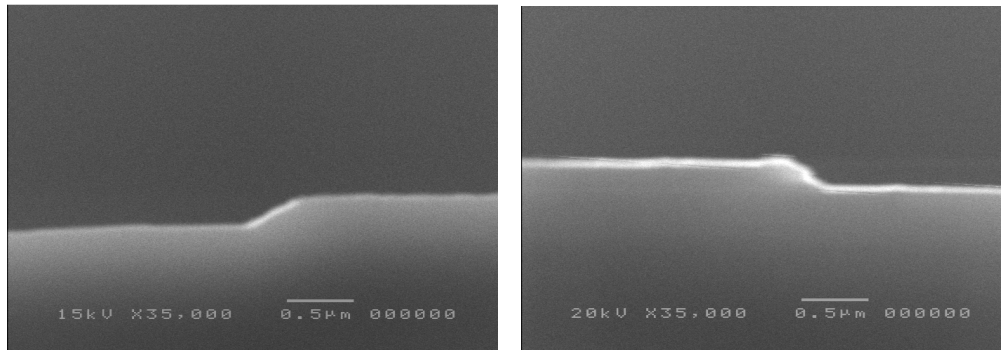


FIGURA 4.6 – PERFIS POSITIVOS DE CORROSÃO COM ÁCIDO FOSFÓRICO

As corrosões foram feitas utilizando-se procedimentos semelhantes aos usados com a solução de ácido sulfúrico (mesma disposição da amostra para fotolitografia das linhas). Pelas fotos apresentadas na Figura 4.6, vê-se que a corrosão em ambas as orientações ficou com o perfil positivo.

A espessura a ser corroída por esta solução foi de, aproximadamente, 6.800 *angstroms*, sendo 800 *angstroms* da base, 5.000 *angstroms* do coletor e 1.000 *angstroms* do subcoletor. Estes 1.000 *angstroms* a mais (subcoletor), foram utilizados como margem de segurança na corrosão; sua única finalidade foi garantir que a camada de subcoletor fosse alcançada. O tempo utilizado para a corrosão foi de, aproximadamente, 9 minutos. A corrosão até a camada de subcoletor foi verificada através de medida elétrica, medindo-se a curva IxV [15], que é apresentada na Figura 4.7.

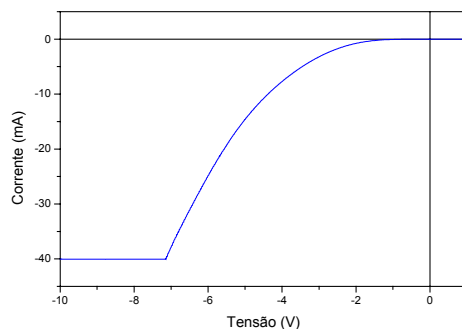


FIGURA 4.7 – CURVA IxV DA CAMADA DE SUBCOLETOR

Pela curva apresentada na Figura 4.7, vê-se que a tensão de ruptura aumentou um pouco (está agora entre $-2V$ e $-1V$), que é explicado pela diminuição da dopagem (a dopagem passou de $4,0 \cdot 10^{19} \text{ cm}^{-3}$, camada de BASE, para $5,0 \cdot 10^{18} \text{ cm}^{-3}$, camada de SUBCOLETOR), indicando que a camada de subcoletor foi alcançada. Não foi realizada a medição intermediária, entre BASE e SUBCOLETOR (medida para a camada de COLETOR), pois em uma amostra teste fez-se a corrosão até atingir o substrato (que será mostrado a seguir) e a curva, apresentada na Figura 4.7, praticamente não apresentou mudanças até atingir o substrato.

Após a corrosão, retirou-se o fotorresiste da amostra com acetona, isopropanol e água DI, seguido de um plasma de O_2 , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Concluída esta etapa, passou-se para a fotolitografia e evaporação dos metais de subcoletor.

4.3.5. FOTOLITOGRAFIA E EVAPORAÇÃO DOS METAIS DE SUBCOLETOR

A fotolitografia desta máscara (máscara ECMET) foi realizada da mesma maneira que as anteriores (fotolitografia com AZ 5214, para evaporação dos metais de emissor e base). Após a fotolitografia novamente fez-se um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm. Antes da evaporação dos metais da camada de subcoletor fez-se, novamente, uma imersão em HCl. Os metais utilizados para a formação do contato de subcoletor foram:

TABELA 4.4 – METAIS UTILIZADOS NO SUBCOLETOR [14]

<i>Metal</i>	<i>Espessura (angstroms)</i>
Níquel	50
Germânio	500
Ouro	1.000
Níquel	300
Ouro	1.000

Terminada a evaporação dos metais de subcoletor fez-se o *lift-off*, seguido de um plasma de O₂, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

A próxima etapa foi um *alloy* a 460°C, durante 3,5 minutos, em ambiente de nitrogênio.

Nesta etapa do processo, foram feitas algumas medidas para verificar se o que foi feito até agora estava dentro do esperado, pois os transistores com áreas grandes, para teste, já estavam prontos. As medidas foram feitas em transistores grandes auto-alinhados e não auto-alinhados (seus *layouts* e tamanhos foram apresentados no capítulo anterior). A Figura 4.8 mostra as curvas características destes transistores.

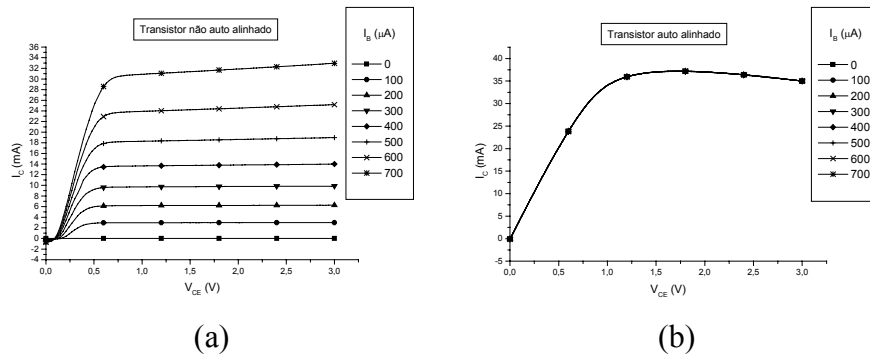


FIGURA 4.8 – CURVA CARACTERÍSTICA DE TRANSISTORES COM ÁREA DE EMISSOR GRANDE

Pelas curvas apresentadas na Figura 4.8(a), percebemos que os transistores não auto-alinhados, com área de emissor pequena, possuem uma grande probabilidade de funcionar, já que os transistores com área de emissor grande funcionaram, indicando que o processo de fabricação para os transistores não auto-alinhados está adequado.

Já pelas curvas apresentadas na Figura 4.8(b), fica claro que os transistores auto-alinhados, com área de emissor grande, apresentam problemas e que a probabilidade dos transistores auto-alinhados, com área de emissor pequena, não funcionarem também é alta. Foi feita, então, a verificação dos perfis de corrosão dos transistores auto-alinhados de área grande, para verificar se os perfis estavam ou não negativos.

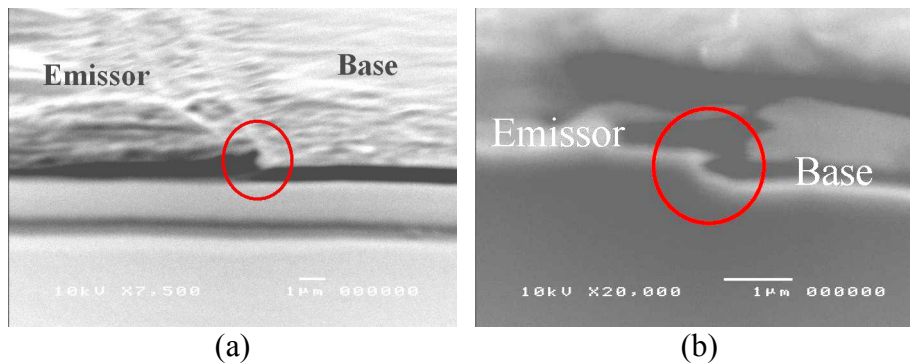


FIGURA 4.9 – FOTOS DE UM TRANSISTOR COM ÁREA DE EMISSOR GRANDE

A Figura 4.9 mostra que o perfil de corrosão ficou negativo (através da figura que se encontra dentro dos círculos). Pela Figura 4.9(b), nota-se, melhor, que há uma separação entre o metal de emissor e de base, indicando que, nesta região, eles não estão em contato. O que pode ter ocorrido é que este perfil não tenha ficado negativo ao longo de toda a largura do transistor, devido ao seu grande tamanho.

Após estes testes iniciais, passou-se para a fotolitografia, que faz a isolamento dos dispositivos.

4.3.6. FOTOLITOGRAFIA PARA ISOLAÇÃO DOS DISPOSITIVOS

Esta fotolitografia (máscara DEVIS) tem o objetivo de isolar os dispositivos, chegando ao substrato de GaAs, que é semi-isolante. A fotolitografia utilizada para isolamento do dispositivo é igual à utilizada para as definições das mesas de emissor e base (utilizou o processo de fotolitografia com AZ 1518). Em seguida, foi feito um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

Para esta última corrosão úmida, utilizou-se, novamente, a solução de ácido fosfórico. A espessura corroída foi de aproximadamente 6.500 *angstroms*. O tempo utilizado para a corrosão foi de 9 minutos, aproximadamente. Para a verificação da corrosão traçou-se a curva IxV, que é mostrada na Figura 4.10 [15].

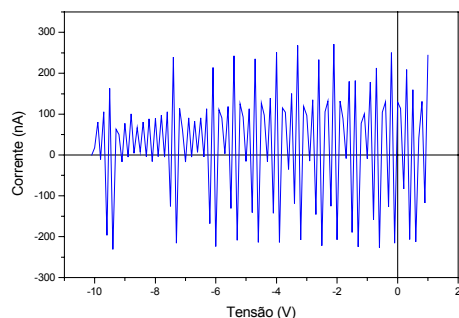


FIGURA 4.10 – CURVA IxV DO SUBSTRATO SEMI-ISOLANTE

Pela curva da Figura 4.10, vê-se que a corrosão alcançou o substrato (que é semi-isolante) e que os dispositivos estão isolados.

O fotorresiste é, então, retirado com acetona, isopropanol e água DI, seguido de um plasma de O_2 , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

O fim desta etapa marca o fim do processamento dos dispositivos ativos. Iniciou-se, então, o processo de fabricação dos dispositivos passivos e das interconexões.

4.3.7. FOTOLITOGRAFIA E EVAPORAÇÃO DOS METAIS PARA O PRIMEIRO NÍVEL DE METAL DOS INDUTORES E CAPACITORES

Esta máscara (ICMET) foi utilizada na evaporação da primeira camada de metal dos indutores e capacitores. A fotolitografia foi a mesma utilizada nas evaporações anteriores (fotolitografia com AZ 5214). Após a fotolitografia foi feito um plasma de O₂, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm, seguido de uma imersão em HCl para, depois, fazer a evaporação da primeira camada de metais dos indutores e capacitores. Os metais utilizados nesta evaporação foram:

TABELA 4.5 – METAIS UTILIZADOS NO PRIMEIRO NÍVEL DE METAL DOS INDUTORES E CAPACITORES

<i>Metal</i>	<i>Espessura (angstroms)</i>
Titânio	100
Ouro	2.000

Após a evaporação foi feito o *lift-off*, seguido de um plasma de O₂, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Foi feito, ainda, um recozimento em forno convencional, para melhorar a aderência do metal ao substrato. Este recozimento foi a 300°C, durante 3,5 minutos, em ambiente de nitrogênio em forno convencional.

A próxima etapa realizada foi a deposição de um polímero, visando planarizar a amostra. O polímero utilizado foi o Benzocyclobutene (BCB - Cyclotone 3022-35), produzido pela *Dow Chemical*.

4.3.8. DEPOSIÇÃO DO POLÍMERO PARA PLANARIZAÇÃO

Como já foi mencionado, utilizou-se o BCB como polímero planarizador. Antes da deposição do BCB, a amostra deve ficar cerca de quinze minutos na placa quente, a uma temperatura de 118 °C, para que seja retirada a umidade. Depois a amostra foi colocada no *spinner* e o polímero foi depositado. Antes de depositar o polímero, a amostra deve ser rotacionada no *spinner* uma vez, para esfriar. O *spinner* foi utilizado na rotação de 4.000 rpm, durante 30 segundos. Em seguida, a amostra foi colocada no forno, para que a cura do BCB pudesse ser feita.

O forno utilizado para a cura do polímero foi um forno convencional. A temperatura utilizada foi de 250°C, durante 1 hora, em ambiente de nitrogênio [51] (com um fluxo aproximado de 2 litros por minutos). Antes de empurrar a amostra para dentro do forno, esta deve ficar cerca de dez minutos na borda do forno para que todo o oxigênio da borda do forno saia e a amostra passe por um pré-aquecimento. Nesta etapa, o fluxo de nitrogênio foi mantido em, aproximadamente, 8 litros por minuto. Decorrido o tempo de dez minutos, o fluxo retorna a 2 litros de nitrogênio por minuto e a amostra é empurrada para o interior do forno. No final do processo de cura, a amostra também deve ficar cerca de dez minutos na

borda do forno para esfriar (o fluxo de nitrogênio utilizado é 8 litros por minuto, aproximadamente).

As vidrarias, utilizadas no processo de deposição do BCB, devem ser limpas com trimethylbenzene 98%, acetona, isopropanol e água DI.

Depois da cura do BCB, o polímero da borda da amostra deve ser raspado (caso a amostra possua dimensões reduzidas). Esta raspagem é feita porque a espessura nas bordas é maior e prejudicará os processos restantes (principalmente na parte referente a fotolitografia). A raspagem é feita de maneira simples, passando-se o estilete nas bordas da amostra.

Após a deposição e cura do BCB, segue-se o processo, com a abertura da primeira via.

4.3.9. FOTOLITOGRAFIA E PRIMEIRA ABERTURA DE VIA

A finalidade desta primeira via (máscara COLVI) foi a retirada do BCB sobre os capacitores (para posterior deposição do dielétrico) e nas regiões onde foram feitos os contatos.

O processo de fotolitografia desta máscara foi feito com o fotorresiste SPR 3012 [52], que suporta melhor o processo de corrosão por plasma. A fotolitografia com SPR 3012 e o processo de corrosão foram os seguintes:

4.3.9.1. FOTOLITOGRAFIA COM SPR 3012 E CORROSÃO POR PLASMA

1. Depositou-se o fotorresiste sobre a amostra, que fica no *spinner* durante 40 segundos, a uma rotação de 3.000 rpm;
2. Fez-se uma cura (na placa quente) a uma temperatura de 90°C, durante 4 minutos;
3. Expôs-se a amostra durante 25 segundos à luz UV da fotoalinhadora (procedimento é feito com máscara), utilizando-se o modo CI (controle de intensidade) do aparelho;
4. Revelou-se o fotorresiste com AZ400K e água DI numa proporção de 1:3,5 durante, aproximadamente, 60 segundos;
5. Por fim, realizou-se uma pós-cura a 110°C, durante 1 minuto.

O procedimento para retirada da borda foi o mesmo utilizado para o AZ 5214; porém, no SPR 3012 este procedimento foi feito após o item 2 e a revelação segue o item 4.

Após a fotolitografia, fez-se um plasma de O₂, durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e fluxo do gás de 50 sccm.

A corrosão do BCB foi feita por plasma no RIE (*Reactive Ion Etching*) [53]. Utilizou-se uma mistura de dois gases, SF₆ e O₂, onde os fluxos foram 10 sccm de SF₆ e 10 sccm de O₂ (tendo um fluxo total de 20 sccm) e a pressão base utilizada foi 0,9 mTorr. O sistema operou com uma potência de RF de 60 W e com pressão de 40 mTorr. O tempo para a abertura das vias foi de, aproximadamente, 10 minutos. A verificação da abertura das vias foi feita através da medida da curva IxV de uma região onde o metal deveria ficar sem o polímero depositado sobre ele. A Figura 4.11 mostra um gráfico desta medida.

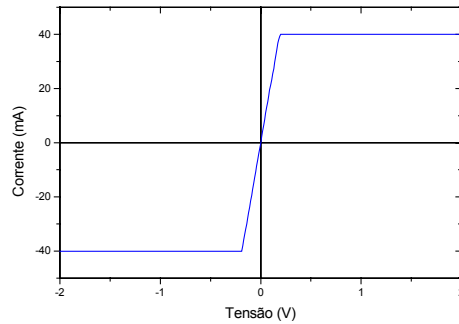


FIGURA 4.11 – CURVA IxV MOSTRANDO A PRIMEIRA ABERTURA DE VIA POR PLASMA

Pelo gráfico da Figura 4.11, nota-se que a resistividade da região medida é baixa (possuindo alta condutividade). Esta baixa resistividade significa que o polímero, que estava sobre esta região do metal, foi removido.

Após a abertura das vias, retirou-se o fotorresiste com acetona, isopropanol e água DI, seguindo-se um plasma de O_2 , durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm.

Após a retirada do fotorresiste, fez-se a deposição de nitreto de silício (Si_3N_4), que foi utilizado como material dielétrico dos capacitores.

4.3.10. DEPOSIÇÃO DE NITRETO DE SILÍCIO

Utilizou-se como dielétrico para os capacitores o nitreto de silício, depositado pelo ECR (*Electron Cyclotron Resonance*) [54]. O nitreto de silício foi depositado a uma pressão de 5,4 mTorr, potência do ECR de 250 W e potência de RF de 4 W. Os gases utilizados foram o nitrogênio (N_2), com um fluxo de 2,5 sccm, argônio (Ar), com um fluxo de 5,0 sccm, e silana (SiH_4), com um fluxo de 125 sccm. A deposição foi feita a uma temperatura de 25°C e com uma pressão base de $1,2 \cdot 10^{-5}$ Torr. O tempo de deposição foi de, aproximadamente, 56 minutos. Com este tempo de deposição, espera-se uma espessura de 1460 *angstroms*. A próxima etapa realizada foi a fotolitografia e a segunda abertura de via.

4.3.11. FOTOLITOGRAFIA E SEGUNDA ABERTURA DE VIA

Esta segunda abertura de via (máscara CVIA) teve, por finalidade, a retirada do nitreto de silício sobre as regiões onde foram feitas as interconexões (regiões de emissor, base e subcoletor, para o transistor, e vias de acesso, nos indutores e capacitores). O processo de fotolitografia foi feito com o AZ 1518 (o procedimento para aplicar o fotorresiste sobre a amostra é o mesmo explicado na corrosão da mesa de emissor, mudando-se a rotação do *spinner* para 6.000 rpm, sendo os demais procedimentos mantidos). Optou-se pelo AZ 1518, e não pelo SPR 3012, porque o processo de corrosão por plasma, que foi utilizado nesta segunda abertura de via, não contém oxigênio; sendo assim, a taxa de corrosão do fo-

torresiste é bem pequena. Depois da fotolitografia, fez-se um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

A corrosão do nitreto de silício foi feita por plasma no RIE. Para a corrosão do nitreto de silício, utilizou-se uma mistura dos seguintes gases: 15 sccm de CF_4 e 10 sccm de H_2 (tendo um fluxo total de 25 sccm). A potência de RF utilizada foi de 75 W, com uma pressão de 40 mTorr. O tempo de corrosão foi de, aproximadamente, 6 minutos. A verificação da abertura das vias foi feita através da medida da curva IxV de uma região onde o metal deveria ficar sem o nitreto de silício em sua superfície. A Figura 4.12 mostra um gráfico desta medida.

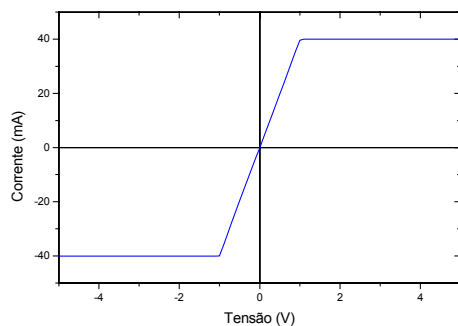


FIGURA 4.12 – CURVA IxV MOSTRANDO A SEGUNDA ABERTURA DE VIA POR PLASMA

Pelo gráfico da Figura 4.12, percebe-se que a resistividade da região medida é baixa (possuindo alta condutividade). Esta baixa resistividade significa que o nitreto de silício, que estava sobre esta região de metal medida, foi removido.

Após a abertura das vias, retirou-se o fotorresiste da mesma maneira que na primeira abertura de vias. A etapa seguinte, após a retirada do fotorresiste, foi a fotolitografia e evaporação dos metais de interconexão e da segunda camada de metais dos indutores e capacitores.

4.3.12. FOTOLITOGRAFIA E EVAPORAÇÃO DOS METAIS DE INTERCONEXÃO E DA SEGUNDA CAMADA DE METAIS DOS INDUTORES E CAPACITORES

A última máscara (máscara METAL), é a máscara de interconexão e, também, do segundo nível de metal dos indutores e capacitores. O processo utilizado é o processo de fotolitografia com AZ 5214. Depois da fotolitografia, fez-se um plasma de O_2 , durante 3 minutos, com uma potência de 100 W, pressão de 100 mTorr e um fluxo de gás de 50 sccm.

Após o plasma, foi feita a evaporação dos metais. Os metais utilizados foram:

TABELA 4.6 – METAIS DE INTERCONEXÃO E DO SEGUNDO NÍVEL DE METAL DOS INDUTORES E CAPACITORES

<i>Metal</i>	<i>Espessura (angstroms)</i>
Titânio	100
Ouro	2.000

Nesta última evaporação não foi necessário fazer a imersão em solução de HCl, pois os metais seriam depositados sobre o ouro. O processo de retirada do metal aonde não interessa, foi feito por *lift-off*, seguido por um plasma de O₂, durante 10 minutos, com uma potência de 200 W, pressão de 200 mTorr e um fluxo de gás de 50 sccm. Finalizando o processo de fabricação do CI, foi feito um recozimento em forno convencional, para melhorar a aderência do metal. Este recozimento é feito a 300°C, durante 3,5 minutos, em ambiente de nitrogênio e em forno convencional.

O processo de fabricação do CI possui, ainda, uma máscara de teste (NICR), cujo objetivo é testar resistores de filme fino, como, por exemplo, o níquel cromo. A máscara foi projetada para deposição do material de filme fino através de evaporação e remoção por *lift-off*. Esta máscara, caso seja utilizada, deve ser processada após a segunda abertura de via (antes da metalização final). Com o fim do processamento das máscaras, o CI passou por medidas elétricas. A seguir, serão apresentadas fotos do CI fabricado, onde:

- 1) A Figura 4.13 é a foto do CI fabricado;
- 2) A Figura 4.14(a) é o detalhe de um HBT 20 x 06 μm^2 não auto-alinhado;
- 3) A Figura 4.14(b) é o detalhe de um HBT 20 x 16 μm^2 não auto-alinhado;
- 4) A Figura 4.15(a) é o detalhe de um HBT 20 x 06 μm^2 auto-alinhado;
- 5) A Figura 4.15(b) é o detalhe de um HBT 20 x 16 μm^2 auto-alinhado;
- 6) A Figura 4.16(a) é o detalhe de um HBT em aberto;
- 7) A Figura 4.16(b) é o detalhe de um HBT em curto;
- 8) A Figura 4.17(a) é o detalhe de um resistor da camada de base;
- 9) A Figura 4.17(b) é o detalhe de um resistor da camada de subcoletor;
- 10) A Figura 4.18(a) é o detalhe de um indutor;
- 11) A Figura 4.18(b) é o detalhe de um capacitor;
- 12) A Figura 4.19(a) é o detalhe de uma linha de transmissão em curto;
- 13) A Figura 4.19(b) é o detalhe de uma linha de transmissão em aberto;
- 14) A Figura 4.20(a) é o detalhe de um transistor de teste não auto-alinhado;
- 15) A Figura 4.20(b) é o detalhe de um transistor de teste auto-alinhado;
- 16) A Figura 4.21(a) é o detalhe de uma estrutura TLM;
- 17) A Figura 4.21(b) é o detalhe de uma cruz grega;
- 18) A Figura 4.21(c) é o detalhe das marcas de alinhamento;
- 19) A Figura 4.22(a) é o MMIC onde o resistor de realimentação foi feito com a camada de base do transistor;
- 20) A Figura 4.22(b) é o MMIC da Figura 4.22(a) ampliado;
- 21) A Figura 4.23(a) é o MMIC onde o resistor de realimentação foi feito com a camada de subcoletor do transistor;
- 22) A Figura 4.23(b) é o MMIC da Figura 4.23(a) ampliado.

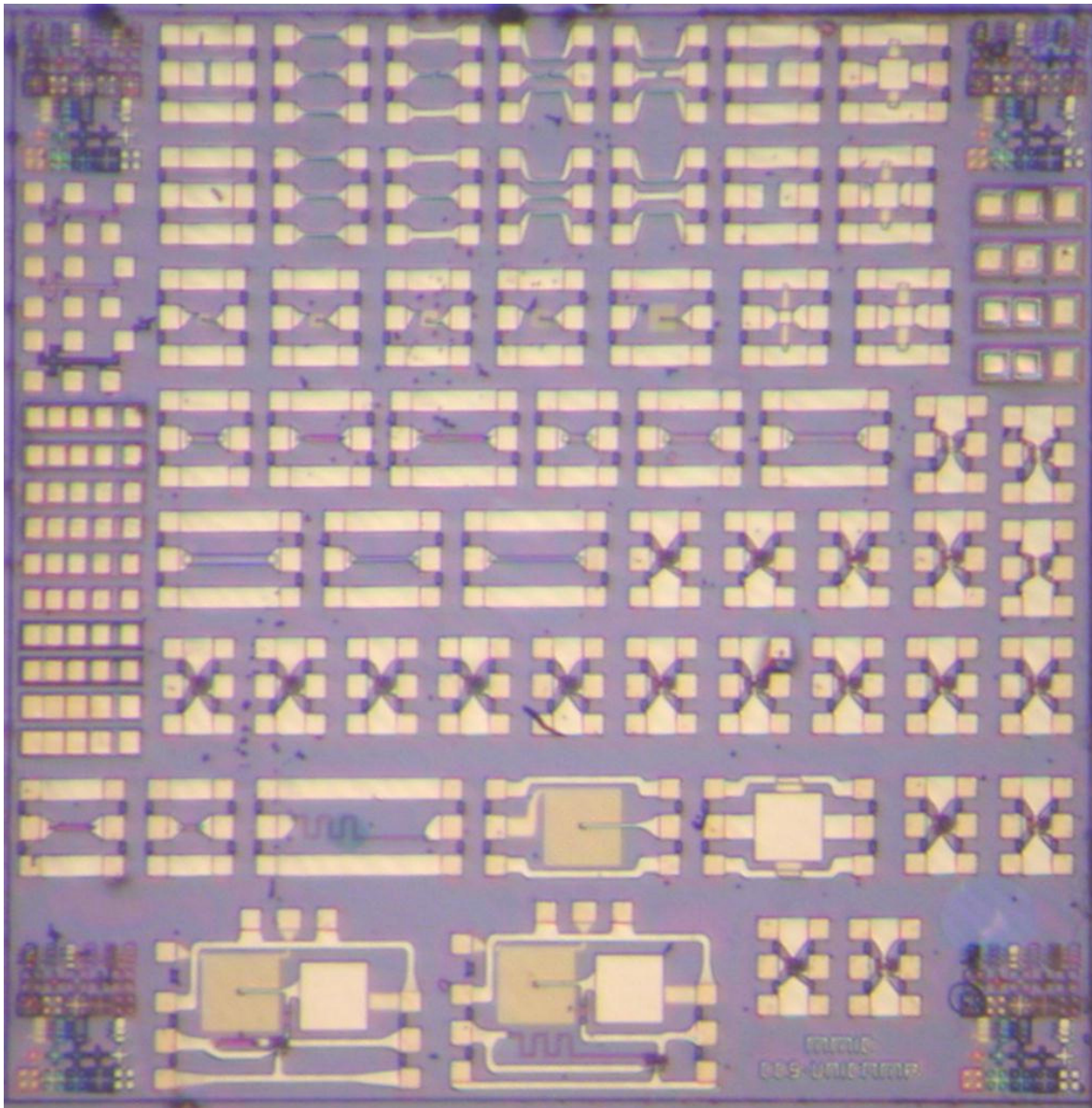


FIGURA 4.13 – FOTO DO CI FABRICADO

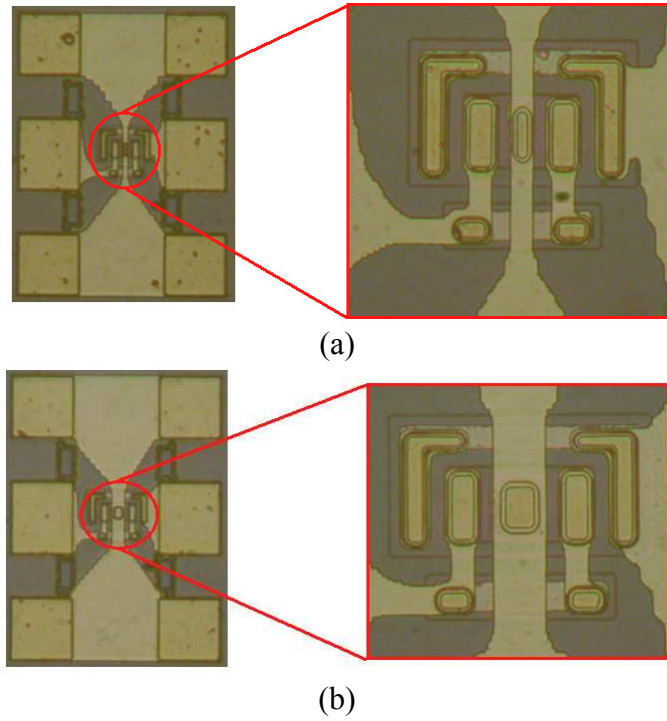


FIGURA 4.14 – DETALHE DOS HBTs NÃO AUTO-ALINHADOS. $20 \times 06 \mu\text{m}^2$ (A) E $20 \times 16 \mu\text{m}^2$ (B)

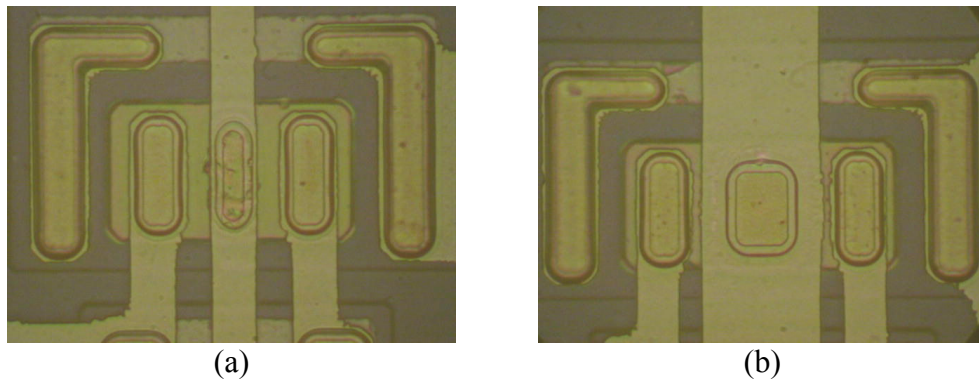


FIGURA 4.15 – DETALHE DOS HBTs AUTO-ALINHADOS. $20 \times 06 \mu\text{m}^2$ (A) E $20 \times 16 \mu\text{m}^2$ (B)

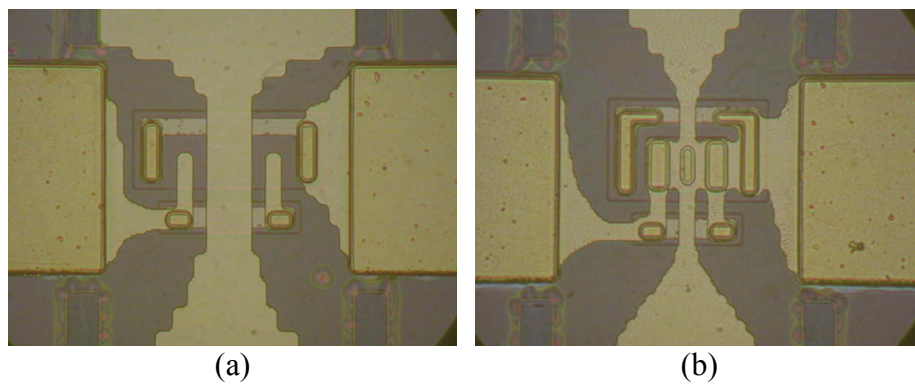


FIGURA 4.16 – DETALHE DE UM HBT EM ABERTO (A) E EM CURTO (B)

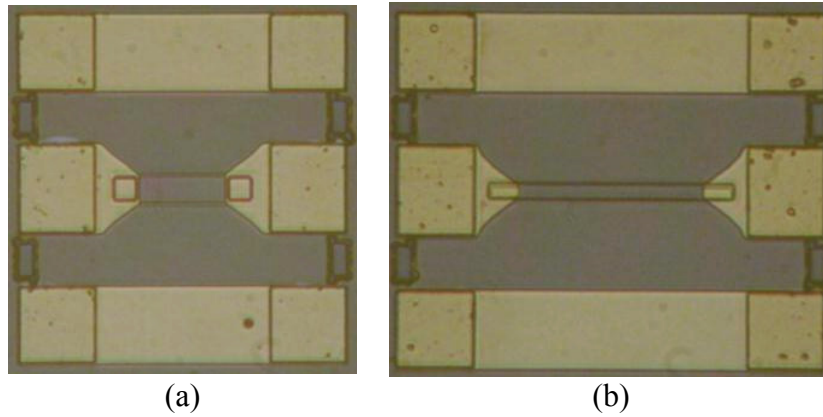


FIGURA 4.17 – DETALHE DO RESISTOR DA CAMADA DE BASE (A) E DA CAMADA DE SUBCOLETOR (B)

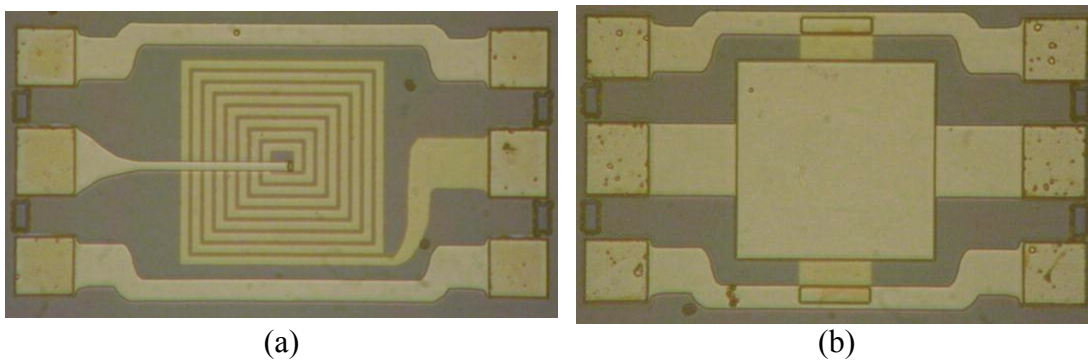


FIGURA 4.18 – DETALHE DE UM INDUTOR (A) E DE UM CAPACITOR (B)

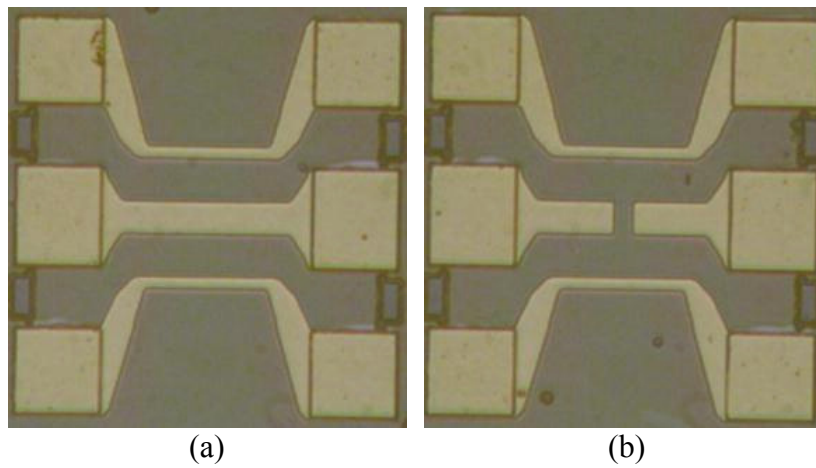


FIGURA 4.19 – DETALHE DE LINHAS DE TRANSMISSÃO. EM CURTO (A) E EM ABERTO (B)

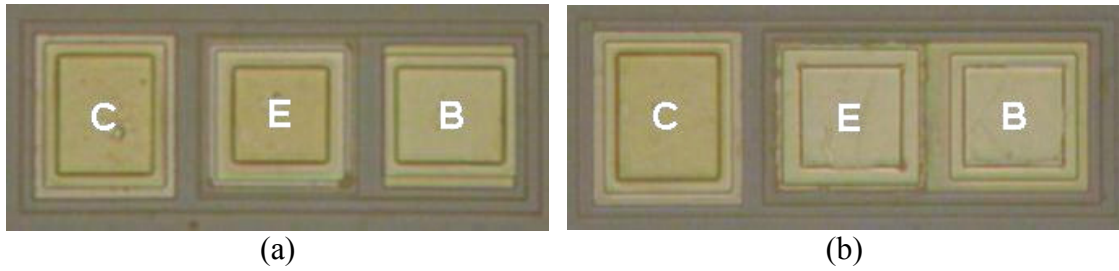
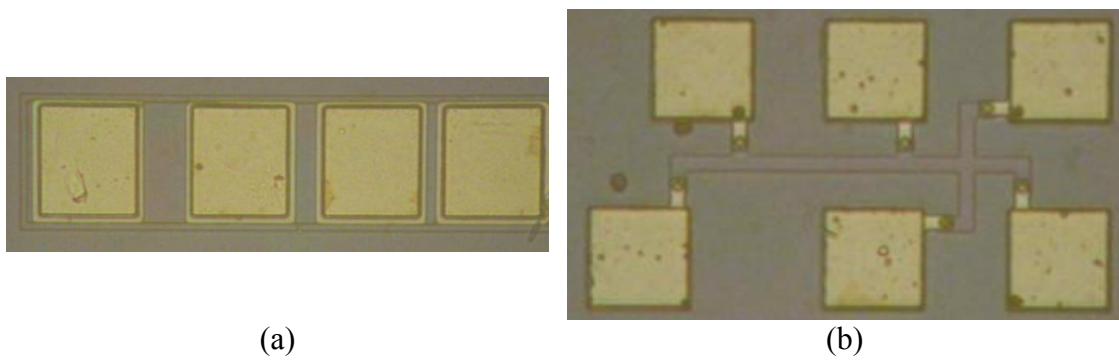
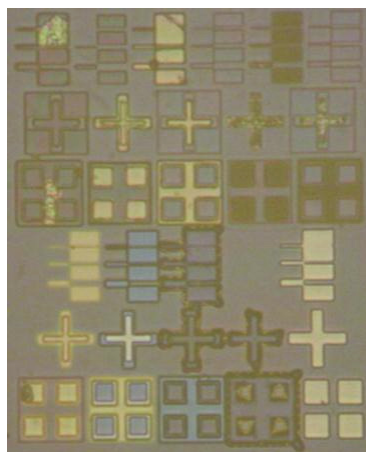


FIGURA 4.20 – HBTs PARA TESTE DE PROCESSO. NÃO AUTO-ALINHADO (A) E AUTO-ALINHADO (B)



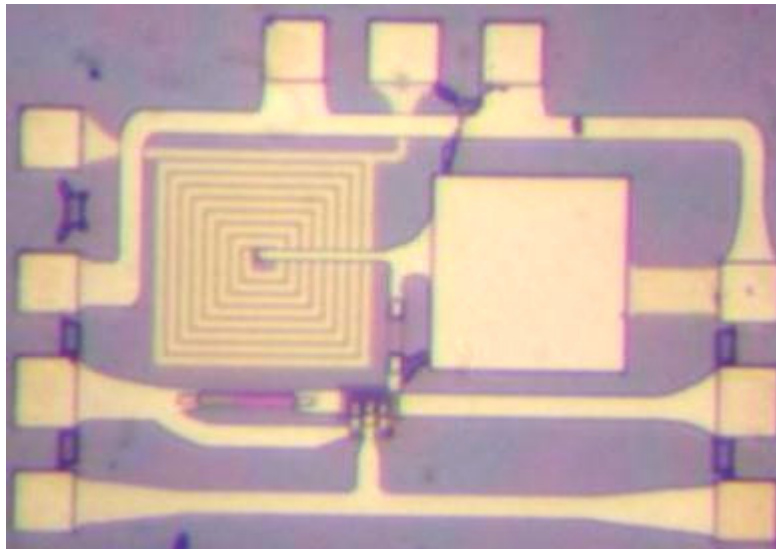
(a)

(b)

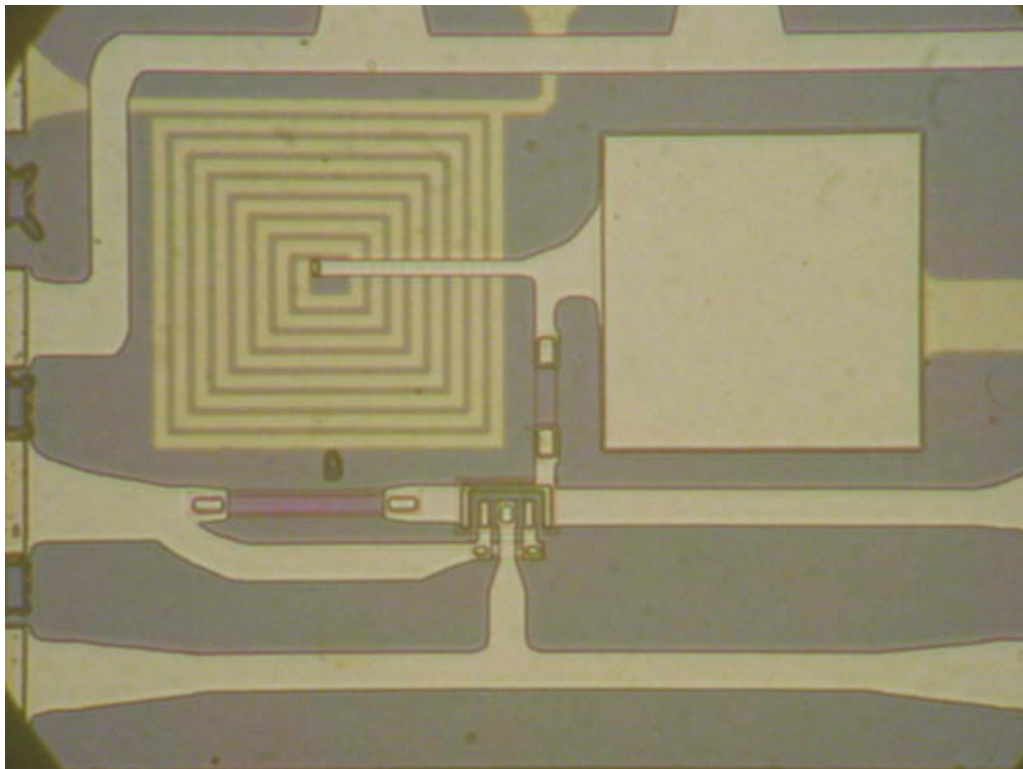


(c)

FIGURA 4.21 – DETALHE DE UMA ESTRUTURA TLM (A), CRUZ GREGA (B) E DAS MARCAS DE ALINHAMENTO (C)

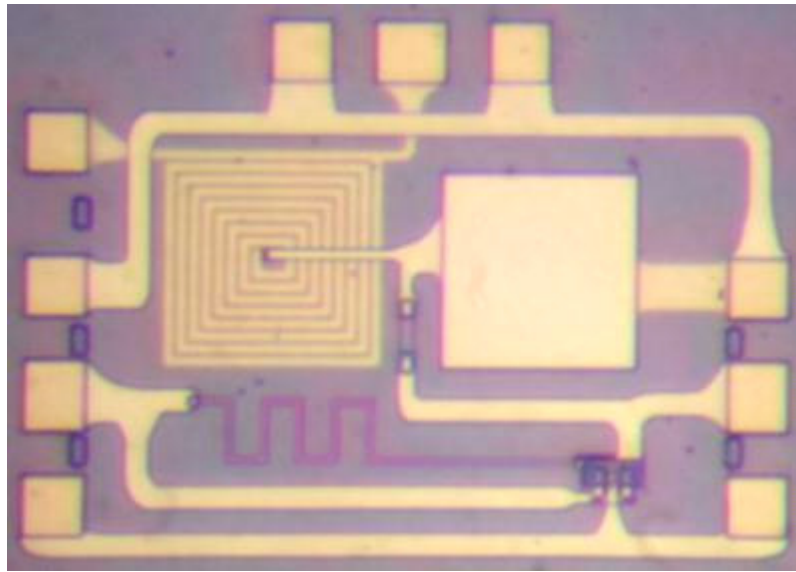


(a)

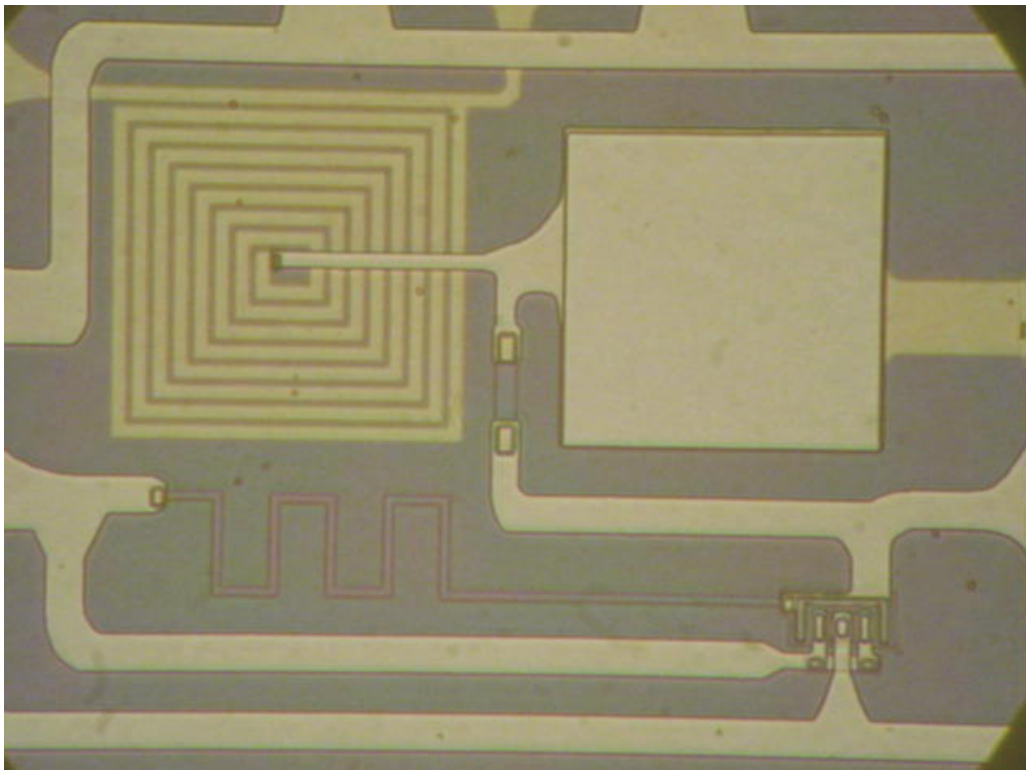


(b)

FIGURA 4.22 – (A) MMIC FABRICADO, ONDE O RESISTOR DE REALIMENTAÇÃO FOI FEITO COM A CAMADA DE BASE DO TRANSISTOR. (B) FOTO AMPLIADA



(a)



(b)

FIGURA 4.23 – (A) MMIC FABRICADO, ONDE O RESISTOR DE REALIMENTAÇÃO FOI FEITO COM A CAMADA DE SUBCOLETOR DO TRANSISTOR. (B) FOTO AMPLIADA

CAPÍTULO 5

RESULTADOS DAS MEDIÇÕES REALIZADAS NO CI

5.1. INTRODUÇÃO

Este capítulo apresentará os resultados das medições realizadas nos dispositivos fabricados e será dividido em duas partes. Em uma primeira parte, serão apresentadas as medidas DC e de capacitância em baixa frequência e, em outra, serão apresentadas as medidas de RF.

As medidas DC e de capacitância foram realizadas em um HP4145B *Semiconductor Parameter Analyzer* e um Keithley 4200 *Semiconductor Characterization System*. As medidas em RF foram feitas com um *Network Analyzer* (HP8510C acoplado a um *Cascade*). O intervalo de frequência utilizado, para as medidas dos elementos passivos, foi de 45 MHz a 10 GHz e de 45 MHz a 20 GHz, para o dispositivo ativo.

Para a realização das medidas de caracterização, foram processadas duas amostras com, aproximadamente, 4 cm² cada. Após o processamento, os dispositivos foram mapeados. Cada dispositivo foi mapeado segundo a amostra, a posição de cada célula na amostra e a posição de cada dispositivo dentro da célula. Definimos uma célula como sendo um *chip* da amostra fabricada. Assim, foi possível a partir das medidas obtidas, observar quais dispositivos sofreram maior variação com o processo realizado.

5.2. RESULTADOS OBTIDOS ATRAVÉS DE MEDIDAS DC E DE CAPACITÂNCIA EM BAIXA FREQUÊNCIA

5.2.1. RESISTORES

Os resistores foram medidos através da monitoração da corrente em função da tensão aplicada. Mediu-se o valor da corrente para valores de tensão variando de -3 V a +3 V. Os valores da resistência dos resistores foram obtidos através do inverso da inclinação da reta $V \times I$. A Figura 5.1 ilustra uma medida realizada.

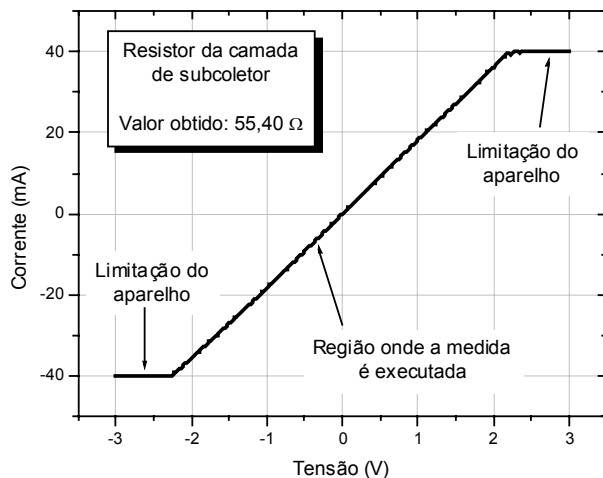


FIGURA 5.1 – RESULTADO OBTIDO DA MEDIÇÃO DE UM RESISTOR

A Figura 5.1 apresenta um dos resultados obtidos durante a medição dos resistores. As regiões constantes (indicadas como limitação do aparelho) são devidas a um limite de proteção, imposto ao equipamento. O valor da resistência do resistor é obtido na região inclinada, indicada na Figura 5.1. Conforme aumenta o valor da resistência, as regiões constantes desaparecem.

O mesmo procedimento, realizado para a obtenção do valor de resistência do resistor, apresentado na Figura 5.1, foi utilizado para os demais resistores. Os significados dos dispositivos medidos, mostrados nas tabelas que se seguem, estão definidos no Capítulo 3.

TABELA 5.1 – RESULTADOS DA AMOSTRA 1 / CÉLULA 1

<i>Amostra 1 / Célula 1</i>				
<i>Dispositivo</i>	<i>Valores Medidos</i>		<i>Valor Projetado (Ω)</i>	<i>Erro (%)</i>
	<i>Inclinação V x I</i>	<i>Resistência (Ω)</i>		
Rbase1000	$8,09038 \cdot 10^{-4}$	1.236,04	1.000,00	23,60
Rbase3000	$2,48215 \cdot 10^{-4}$	4.028,77	3.000,00	34,29
Rbase5000	$1,46667 \cdot 10^{-4}$	6.818,17	5.000,00	36,36
Rsubcoletor50	$1,80500 \cdot 10^{-2}$	55,40	50,00	10,80
Rsubcoletor125	$7,88000 \cdot 10^{-3}$	126,90	125,00	1,52
Rsubcoletor200	$5,21000 \cdot 10^{-3}$	191,94	200,00	-4,03
Rbcircuito	$2,97117 \cdot 10^{-4}$	3.365,68	2.601,80	29,36
Rsb1circuito	$1,49800 \cdot 10^{-2}$	66,76	69,40	-3,81
Rsb2circuito	$4,62243 \cdot 10^{-4}$	2.163,36	2.736,90	-20,96

As medições feitas nesta primeira célula (Tabela 5.1) mostram que os resistores fabricados com a camada de base apresentam um grande erro, enquanto que os resistores fabricados com a camada de subcoletor apresentam um erro menor. Este erro deve-se predominantemente, a uma diferença na resistência de folha usada no cálculo.

Uma outra explicação para esta diferença, mas que não é a mais relevante, pode ser dada através do *alloy* feito durante o processo de fabricação do CI. Ao se colocar a amostra dentro do forno, esta pode ter se mexido e mudado de posição, ficando numa região onde a temperatura é maior (ou menor) que a indicada pelo termopar. O forno utilizado foi um forno de apenas uma zona de aquecimento e, por este motivo, dependendo de onde se encontra o termopar e a amostra, poderá haver variações de temperatura consideráveis. Caso o problema de contato fosse o mais relevante, o erro seria maior para os resistores de comprimento menor. O que ocorreu foi o contrário.

TABELA 5.2 – RESULTADOS DA AMOSTRA 1 / CÉLULA 2

<i>Amostra 1 / Célula 2</i>				
<i>Dispositivo</i>	<i>Valores Medidos</i>		<i>Valor Projetado (Ω)</i>	<i>Erro (%)</i>
	<i>Inclinação $V \times I$</i>	<i>Resistência (Ω)</i>		
Rbase1000	$7,93269 \cdot 10^{-4}$	1.260,61	1.000,00	26,06
Rbase3000	$2,55894 \cdot 10^{-4}$	3.907,87	3.000,00	30,26
Rbase5000	$1,44206 \cdot 10^{-4}$	6.934,52	5.000,00	38,69
Rsubcoletor50	$1,85600 \cdot 10^{-2}$	53,88	50,00	7,76
Rsubcoletor125	$8,34000 \cdot 10^{-3}$	119,90	125,00	-4,08
Rsubcoletor200	$5,78000 \cdot 10^{-3}$	173,01	200,00	-13,49
Rbcircuito	$2,91157 \cdot 10^{-4}$	3.434,57	2.601,80	32,01
Rsb1circuito	$1,37700 \cdot 10^{-2}$	72,62	69,40	4,64
Rsb2circuito	$4,47061 \cdot 10^{-4}$	2.236,83	2.736,90	-18,27

Esta segunda célula, da primeira amostra (Tabela 5.2), apresenta os mesmos problemas que a primeira célula. Porém, algumas estruturas sofreram uma variação absoluta maior que a apresentada na primeira célula. Como estas estruturas estavam separadas por uma distância relativamente grande (quase de extremo a extremo da amostra), a variação de temperatura de um ponto a outro da amostra poderia ter causado esta diferença nas medidas.

Os valores apresentados na Tabela 5.3 apresentam os mesmos problemas discutidos na primeira amostra. Os valores de resistência dos resistores feitos com a camada de base são elevados, e os valores de resistência dos resistores feitos com a camada de subcoletor se encontram mais próximos dos valores projetados (com exceção do dispositivo rsubcoletor50, que apresentou um erro de 33,07% em relação ao valor inicial projetado).

TABELA 5.3 – RESULTADOS DA AMOSTRA 2 / CÉLULA 1

<i>Amostra 2 / Célula 1</i>				
<i>Dispositivo</i>	<i>Valores Medidos</i>		<i>Valor Projetado (Ω)</i>	<i>Erro (%)</i>
	<i>Inclinação $V \times I$</i>	<i>Resistência (Ω)</i>		
Rbase1000	$7,54742 \cdot 10^{-4}$	1.324,96	1.000,00	32,50
Rbase3000	$2,43759 \cdot 10^{-4}$	4.102,41	3.000,00	36,75
Rbase5000	$1,34038 \cdot 10^{-4}$	7.460,57	5.000,00	49,21
Rsubcoletor50	$1,50300 \cdot 10^{-2}$	66,53	50,00	33,07
Rsubcoletor125	$7,34000 \cdot 10^{-3}$	136,24	125,00	8,99
Rsubcoletor200	$4,77000 \cdot 10^{-3}$	209,64	200,00	4,82
Rbcircuito	$3,00932 \cdot 10^{-4}$	3.323,01	2.601,80	27,72
Rsb1circuito	$1,30100 \cdot 10^{-2}$	76,86	69,40	10,75
Rsb2circuito	$3,94462 \cdot 10^{-4}$	2.535,10	2.736,90	-7,37

Para a Tabela 5.4, que é mostrada a seguir, vale a mesma explicação apresentada para as outras células, isto é, os resistores fabricados com a camada de base apresentam um maior erro, em relação aos resistores fabricados com a camada de subcoletor.

TABELA 5.4 – RESULTADOS DA AMOSTRA 2 / CÉLULA 2

<i>Amostra 2 / Célula 2</i>				
<i>Dispositivo</i>	<i>Valores Medidos</i>		<i>Valor Projetado (Ω)</i>	<i>Erro (%)</i>
	<i>Inclinação $V \times I$</i>	<i>Resistência (Ω)</i>		
Rbase1000	$8,04100 \cdot 10^{-4}$	1.243,63	1.000,00	24,36
Rbase3000	$2,35565 \cdot 10^{-4}$	4.245,11	3.000,00	41,50
Rbase5000	$1,50965 \cdot 10^{-4}$	6.624,05	5.000,00	32,48
Rsubcoletor50	$1,70900 \cdot 10^{-2}$	58,51	50,00	17,03
Rsubcoletor125	$9,12000 \cdot 10^{-3}$	109,65	125,00	-12,28
Rsubcoletor200	$5,98000 \cdot 10^{-3}$	167,22	200,00	-16,39
Rbcircuito	$3,10584 \cdot 10^{-4}$	3.219,74	2.601,80	23,75
Rsb1circuito	$1,35300 \cdot 10^{-2}$	73,91	69,40	6,50
Rsb2circuito	$3,86918 \cdot 10^{-4}$	2.584,53	2.736,90	-5,57

Uma outra mudança durante o processo, que poderia causar esta elevação nos valores dos resistores, seria o crescimento de óxido nativo sobre as camadas, antes de se fazer a evaporação dos metais de contato. Esta hipótese foi descartada, pois antes da evaporação

dos metais foi feita a imersão da amostra em solução de HCl 32%, para remoção deste óxido, e o tempo para colocar as amostras dentro da evaporadora foi relativamente curto. Outro motivo, para descartar esta hipótese, é porque, caso houvesse óxido nativo, todas as estruturas deveriam sofrer um acréscimo no valor da resistência e não uma diminuição no valor obtido, como aconteceu com alguns dispositivos (feitos com a camada de subcoletor). Para reforçar a hipótese do problema ter ocorrido durante o processo de *alloy*, fez-se a medição das estruturas TLMs que se encontram no CI, cujos resultados são apresentados na próxima seção.

5.2.1.1. MEDIDA DAS ESTRUTURAS TLMs

A medida das estruturas TLMs foi realizada como está descrito no segundo capítulo. As medidas para cada célula, das duas amostras, forneceram os seguintes resultados:

TABELA 5.5 – RESULTADOS DAS MEDIDAS DAS ESTRUTURAS TLMs

Camada	Amostra	Célula	w (μm)	$tg(\alpha)$	$2 \cdot R_C$ (Ω)	R_{SH} (Ω/\square)	ρ_C ($\Omega \cdot \text{cm}$)
Emissor	1	1	90	0,90	16,59	80,55	$6,92 \cdot 10^{-5}$
	1	2	90	0,67	12,42	60,11	$5,23 \cdot 10^{-5}$
	2	1	90	0,48	15,71	43,46	$1,15 \cdot 10^{-4}$
	2	2	90	0,53	20,14	47,88	$1,72 \cdot 10^{-4}$
Base	1	1	90	4,32	16,40	388,91	$1,40 \cdot 10^{-5}$
	1	2	90	4,85	20,89	436,62	$2,02 \cdot 10^{-5}$
	2	1	90	4,19	23,08	376,92	$2,86 \cdot 10^{-5}$
	2	2	90	4,40	20,73	396,38	$2,20 \cdot 10^{-5}$
Subcoletor	1	1	90	0,26	8,05	23,81	$5,52 \cdot 10^{-5}$
	1	2	90	0,33	18,51	29,62	$2,34 \cdot 10^{-4}$
	2	1	90	0,25	15,31	22,14	$2,14 \cdot 10^{-4}$
	2	2	90	0,26	25,52	23,21	$5,68 \cdot 10^{-4}$

Pelos resultados apresentados na Tabela 5.5, vê-se que os valores de R_{SH} , utilizados para o projeto dos resistores, estão acima dos valores utilizados no Capítulo 3 (no caso dos resistores feitos com a camada de base), ou abaixo (no caso dos resistores feitos com a camada de subcoletor). Os valores encontrados de ρ_C , para a camada de base, ficaram acima dos valores apresentados em [14]. Os valores de R_C , apresentados aqui, indicam um alto valor da resistência de contato. Os resistores foram projetados sem a inclusão desta resistência, pois os valores apresentados em [14] indicavam um valor de R_C reduzido, podendo ser os resistores projetados sem estes valores.

Deste modo, os novos valores para os resistores projetados, bem como o erro entre o projetado e o medido, passam a ser os seguintes:

TABELA 5.6 – RESULTADOS APÓS MEDIDA DOS TLMs

<i>Amostra 1 / Célula 1</i>			
<i>Dispositivo</i>	<i>Resistência Medida (Ω)</i>	<i>Valor Projetado Corrigido (Ω)</i>	<i>Erro (%)</i>
Rbase1000	1.236,04	1.355,78	-8,83
Rbase3000	4.028,77	4.041,78	-0,32
Rbase5000	6.818,17	6.579,47	3,63
Rsubcoletor50	55,40	49,40	12,15
Rsubcoletor125	126,90	123,50	2,76
Rsubcoletor200	191,94	197,60	-2,87
Rbcircuito	3.365,68	3.506,70	-4,02
Rsb1circuito	66,76	68,61	-2,70
Rsb2circuito	2.163,36	2.704,03	-19,99
<i>Amostra 1 / Célula 2</i>			
Rbase1000	1.260,61	1.355,78	-7,02
Rbase3000	3.907,87	4.041,78	-3,31
Rbase5000	6.934,52	6.579,47	5,40
Rsubcoletor50	53,88	49,40	9,07
Rsubcoletor125	119,90	123,50	-2,91
Rsubcoletor200	173,01	197,60	-12,44
Rbcircuito	3.434,57	3.506,70	-2,06
Rsb1circuito	72,62	68,61	5,85
Rsb2circuito	2.236,83	2.704,03	-17,28
<i>Amostra 2 / Célula 1</i>			
Rbase1000	1.324,96	1.355,78	-2,27
Rbase3000	4.102,41	4.041,78	1,50
Rbase5000	7.460,57	6.579,47	13,39
Rsubcoletor50	66,53	49,40	34,68
Rsubcoletor125	136,24	123,50	10,32
Rsubcoletor200	209,64	197,60	6,09
Rbcircuito	3.323,01	3.506,70	-5,24
Rsb1circuito	76,86	68,61	12,03
Rsb2circuito	2.535,10	2.704,03	-6,25

TABELA 5.6 – RESULTADOS APÓS MEDIDA DOS TLMS (CONT.)

<i>Amostra 2 / Célula 2</i>			
Rbase1000	1.243,63	1.355,78	-8,27
Rbase3000	4.245,11	4.041,78	5,03
Rbase5000	6.624,05	6.579,47	0,68
Rsubcoletor50	58,51	49,40	18,45
Rsubcoletor125	109,65	123,50	-11,22
Rsubcoletor200	167,22	197,60	-15,37
Rbcircuito	3.219,74	3.506,70	-8,18
Rsb1circuito	73,91	68,61	7,72
Rsb2circuito	2.584,53	2.704,03	-4,42

Os resultados da Tabela 5.6 foram obtidos utilizando-se um valor médio de $399,71 \Omega/\square$ para a resistência de folha da base e $24,7 \Omega/\square$ para a resistência de folha do subcoletor. Para o cálculo de R_C dos resistores, utilizou-se a Equação (2.4) apresentada no Capítulo 2. O valor de ρ_C utilizado também foi um valor médio. Para os resistores feitos com a camada de subcoletor, os valores encontrados para R_C foram valores muito fora do esperado, pois só o valor de R_C era, aproximadamente, 95Ω , não condizendo com o valor real; por isso ele não foi incluído no cálculo do resistor de subcoletor. De um modo geral, os valores dos resistores, após a utilização desta correção (principalmente da resistência de folha), apresentaram uma diminuição no erro entre os valores medidos e esperados, principalmente os resistores feitos com a camada de base. Esta diferença entre os valores de resistência de folha pode ser explicada por uma diminuição na espessura da camada de base ou, então, pela diminuição da dopagem.

5.2.2. CAPACITORES

A primeira medida da capacitância dos capacitores foi realizada em um Keithley – 4200, acoplado a um Keithley 590 CV *Analyzer*. A frequência utilizada foi de 1 MHz. A Tabela 5.7 traz uma comparação entre os valores medidos e esperados de capacitância.

TABELA 5.7 – COMPARAÇÃO ENTRE OS VALORES MEDIDOS E ESPERADOS

<i>Dispositivo</i>	<i>Capacitância Medida (pF)</i>	<i>Capacitância Calculada (pF)</i>	<i>Erro (%)</i>
Cap50	-	1,06	-
Cap80	3,17	2,72	16,54
Cap100	4,69	4,25	10,35
Cap120	6,62	6,11	8,35
Capcircuito	31,31	30	4,37

O valor do dispositivo cap50 não foi medido, pois o valor esperado era, praticamente, o valor limite de medida do aparelho. Os capacitores ainda passaram por medidas de RF, sendo assim possível determinar os valores das capacitâncias de todos os dispositivos (que serão mostradas em uma próxima seção).

Pelos valores apresentados na Tabela 5.7, vê-se que os valores utilizados para o projeto estão coerentes com os valores medidos. Uma razão para a diferença entre as medidas apresentadas e os valores calculados é, porque a espessura do filme dielétrico é mais fina que a projetada. A princípio, seria depositado um filme dielétrico com espessura de, aproximadamente, 1460 *angstroms*. Através de medida por perfilometria, encontrou-se uma espessura de 1410 *angstroms* nos filmes depositados. Outros dois fatores, que também podem justificar esta diferença encontrada, principalmente com relação à diminuição do erro com o aumento da área, são: a capacitância de borda que não foi considerada no projeto e também as capacitâncias parasitas (tanto dos *pads*, quanto dos fios e do equipamento).

A Figura 5.2 apresenta um gráfico das capacitâncias em função da tensão, sendo a tensão variada de -4 V a $+4\text{ V}$.

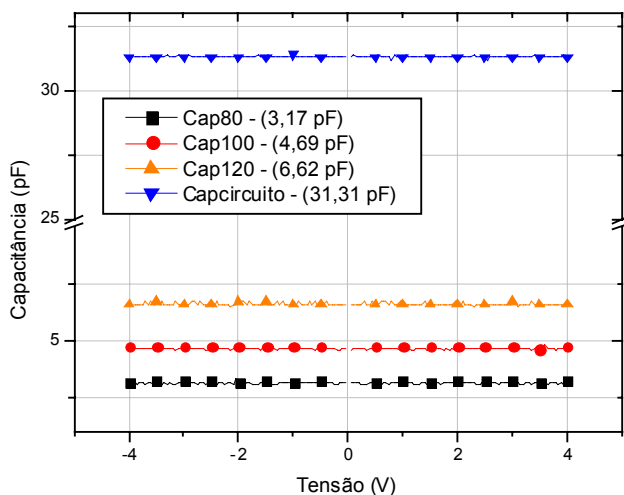


FIGURA 5.2 – VALORES MEDIDOS DOS CAPACITORES

Nestes capacitores, não foram medidos os valores de tensão de ruptura (*breakdown*) dos dielétricos, porque os capacitores passariam, ainda, por medidas de alta frequência.

5.2.3. INDUTORES

As medidas DC, realizadas nos indutores, tinham como objetivo verificar a abertura das vias e obter o valor da resistência das espiras. Para medir a resistência das espiras e verificar a abertura das vias, utilizou-se o mesmo procedimento empregado nos resistores. A Tabela 5.8 apresenta o resultado das medidas.

TABELA 5.8 – MEDIDAS DOS INDUTORES

<i>Amostra 1 / Célula 1</i>			
<i>Dispositivo</i>	<i>Valor Medido (Ω)</i>	<i>Valor Esperado (Ω)</i>	<i>Erro (%)</i>
Ind40	34,13	5,08	571,85
Ind50	38,77	6,95	457,84
Ind60	27,06	3,69	633,33
Ind65	41,88	9,15	357,70
Ind100	58,89	25,54	130,58
Indcircuito	116,55	49,98	133,19
<i>Amostra 1 / Célula 2</i>			
Ind40	26,40	5,08	419,69
Ind50	38,33	6,95	451,51
Ind60	23,35	3,69	532,79
Ind65	36,68	9,15	300,87
Ind100	Via não abriu	25,54	-
Indcircuito	101,52	49,98	103,12
<i>Amostra 2 / Célula 1</i>			
Ind40	24,70	5,08	386,22
Ind50	26,60	6,95	282,73
Ind60	19,28	3,69	422,49
Ind65	33,04	9,15	261,09
Ind100	58,65	25,54	129,64
Indcircuito	97,56	49,98	95,20
<i>Amostra 2 / Célula 2</i>			
Ind40	23,83	5,08	369,09
Ind50	27,57	6,95	296,69
Ind60	24,89	3,69	574,53
Ind65	29,30	9,15	220,22
Ind100	58,86	25,54	130,46
Indcircuito	104,82	49,98	109,72

Pelos valores apresentados na Tabela 5.8, nota-se a grande diferença entre os valores medidos e simulados. Como este tipo de dispositivo não é tão complexo de se construir (pois possui apenas dois níveis de metal e uma abertura de via), a grande diferença entre os valores medidos e simulados se deve às vias abertas. Elas não devem ter ficado com a mesma área que se apresenta na máscara (a área deve ter ficado bem menor), já que a espessura do material isolante a ser removida é, relativamente, grande.

Além da remoção do polímero planarizador (BCB), a remoção do nitreto de silício sobre as vias e erros de fotolitografia (como alinhamento) contribuíram para que a área final da via aberta fosse menor, aumentando ainda mais o valor da resistência de cada via.

No entanto, mesmo com uma resistência elevada, os indutores foram fabricados e tiveram as vias abertas. Apenas um indutor não teve sua via aberta, ficando, portanto, inúti-

lizado. O próximo procedimento a ser realizado nos indutores será a verificação de seu comportamento em alta frequência, que será mostrado mais à frente.

5.2.4. TRANSISTORES BIPOLARES DE HETEROJUNÇÃO

Em uma primeira etapa, as principais medidas DC realizadas nos transistores foram o *Gummel Plot* e a obtenção da curva característica. Os valores de resistência de emissor, base e coletor foram obtidos através da medida em alta frequência. De um modo geral, os transistores tiveram comportamento semelhante nas duas amostras. Os transistores auto-alinhados, com área de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$, funcionaram, porém não do modo previsto. Isto já era esperado, pois os transistores auto-alinhados, para teste de processo, não funcionaram.

A seguir, serão apresentados os resultados obtidos com os HBTs não auto-alinhados e auto-alinhados, com áreas de emissor de $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$.

5.2.4.1. TRANSISTORES NÃO AUTO-ALINHADOS

5.2.4.1.1. HBT $20 \times 06 \mu\text{m}^2$

A Figura 5.3(a) apresenta o resultado da medida do *Gummel Plot*, de um destes transistores. A partir deste gráfico, também foi gerado um outro gráfico: o ganho DC do transistor em função da corrente de coletor. A Figura 5.3(b) ilustra este outro gráfico obtido.

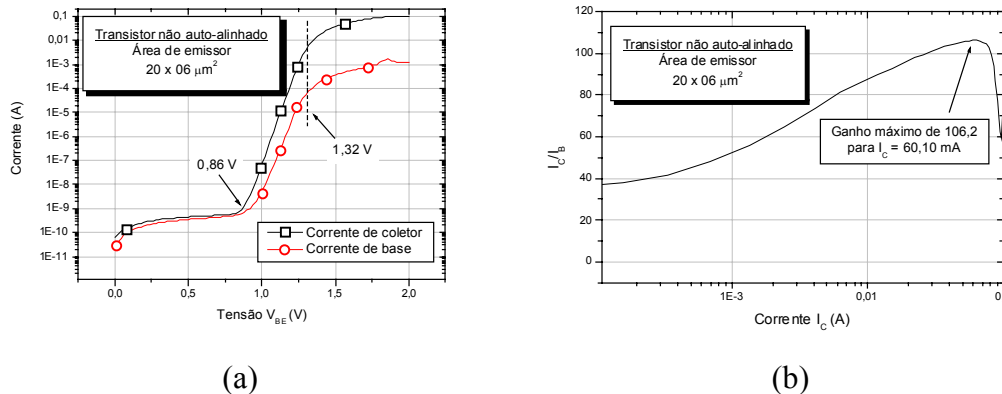


FIGURA 5.3 – GUMMEL PLOT (A). GANHO DC DO TRANSISTOR (B)

Pelo *Gummel Plot*, apresentado na Figura 5.3(a), nota-se que este transistor começou a apresentar um maior ganho de corrente após 0,86 V para V_{BE} . Também por este gráfico, percebe-se que as perdas pelas resistências parasitárias e outros efeitos de segunda ordem, começam a influenciar no comportamento do transistor, após uma tensão de 1,32 V

para V_{BE} . Já pelo gráfico apresentado na Figura 5.3(b) vê-se que o beta máximo do transistor é de 106,2, para uma corrente de coletor igual 60,10 mA.

Deste transistor também foi obtida a curva característica, onde a tensão entre coletor e emissor variou de 0 a 3 V e a corrente de base variou de 0 a 800 μA , com um passo de 100 μA . A Figura 5.4 apresenta as curvas obtidas na medida da curva característica deste transistor.

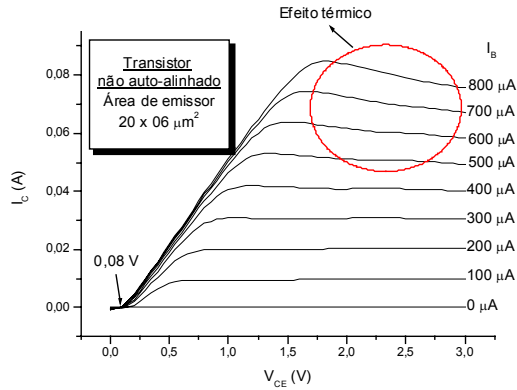


FIGURA 5.4 – CURVA CARACTERÍSTICA DO TRANSISTOR

Pela curva característica apresentada na Figura 5.4, o transistor medido apresenta uma tensão V_{CE_offset} de 0,08 V, aproximadamente. O valor de V_{CE_offset} pode ser obtido por [29].

$$V_{CE_offset} = \frac{K \cdot T}{q} \cdot \ln \left[\frac{1}{\alpha_R} \right] \quad (5.1)$$

A Equação (5.1) é uma simplificação da Equação (2.44), apresentada no Capítulo 2. O comportamento apresentado pela corrente, na região dentro do círculo, é devido ao auto-aquecimento do dispositivo. Este auto-aquecimento ocorre porque o GaAs tem baixa condutividade térmica e, conforme a corrente aumenta, a densidade de potência aumenta também. Este problema é menor nos transistores feitos com silício [55]. Pela Figura 5.4, percebe-se, também, que a transição (joelho) entre a região de saturação e região ativa ocorre para um alto valor de V_{CE} , ou seja, V_{CESAT} muito alto. Isto é devido ao alto valor da resistência de emissor.

Pelos gráficos apresentados nas Figuras 5.3 e 5.4, pode-se extrair vários parâmetros que descrevem o comportamento do dispositivo em regime DC. A Tabela 5.9 apresenta estes parâmetros.

Os valores apresentados na Tabela 5.9 não foram otimizados. Sendo assim, ao se fazer simulações utilizando-se estes parâmetros, ocorrerá um erro entre os valores medidos e calculados. Para que este erro seja reduzido, é necessário fazer a otimização dos parâmetros.

TABELA 5.9 – PARÂMETROS DC DO HBT 20 x 06 μm^2 NÃO AUTO-ALINHADO

Parâmetro	Valor	Parâmetro	Valor
I_S	$2,94 \cdot 10^{-24}$ A	V_{AF}	52,75 V
n_F	1,02	I_{SE}	$1,30 \cdot 10^{-10}$ A
n_C	23,60	n_{FB}	1,19
n_E	21,01	I_{SB}	$4,58 \cdot 10^{-23}$ A
β_F	106,2	-	-

O parâmetro n_{FB} representa o fator de idealidade da corrente de base (semelhante ao parâmetro n_F) e I_{SB} o valor da corrente de base para V_{BE} igual a zero (semelhante ao parâmetro I_S). Caso estes parâmetros sejam utilizados em um simulador, como o SPICE, os parâmetros n_{FB} e I_{SB} serão incluídos ao modelo do transistor na forma de um diodo (Capítulo 2); caso contrário, esses valores são serão utilizados no modelo do transistor.

5.2.4.1.2. HBT 20 x 16 μm^2

A Figura 5.5(a) apresenta o resultado da medida do *Gummel Plot* de um destes transistores. Deste gráfico também foi gerado um outro gráfico, que foi o ganho DC do transistor em função da corrente de coletor. A Figura 5.5(b) ilustra este outro gráfico obtido.

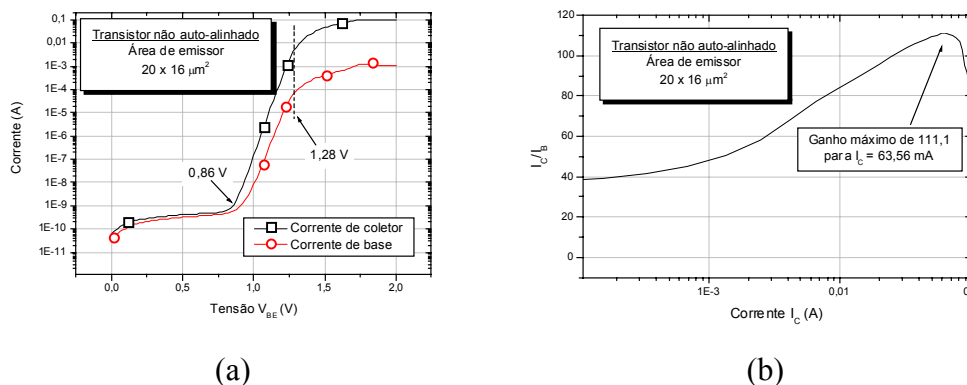
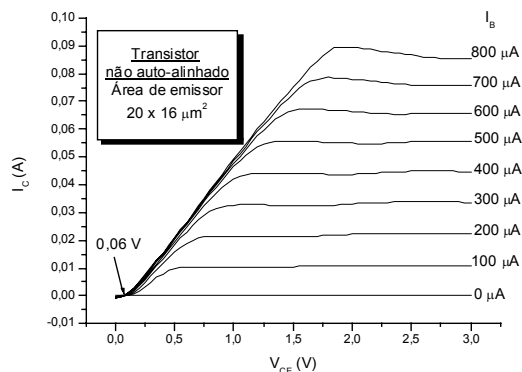


FIGURA 5.5 – GUMMEL PLOT (A). GANHO DC DO TRANSISTOR (B)

Pelo *Gummel Plot* apresentado na Figura 5.5(a), nota-se que este transistor começou a apresentar um maior ganho de corrente após 0,86 V para V_{BE} . Também por este gráfico, percebe-se que as perdas pelas resistências parasitárias e outros efeitos de segunda ordem, começam a influenciar no comportamento do transistor após uma tensão de 1,28 V para V_{BE} . Já pelo gráfico apresentado na Figura 5.5(b) vê-se que o beta máximo do transistor é de 111,1, para uma corrente de coletor igual 63,56 mA.

Deste transistor também foi obtida a curva característica, onde a tensão entre coletor e emissor variou de 0 a 3 V e a corrente de base variou de 0 a 800 μA , com um passo de 100 μA . A Figura 5.6 apresenta as curvas obtidas na medida da curva característica deste transistor.


FIGURA 5.6 – CURVA CARACTERÍSTICA DO TRANSISTOR

Pela curva característica apresentada na Figura 5.6, o transistor medido apresentou uma tensão V_{CE_offset} de 0,06 V. Por apresentar uma maior área, este transistor apresenta um menor efeito de auto-aquecimento (pelo gráfico, começa a haver um pouco).

Pelos gráficos apresentados nas Figuras 5.5 e 5.6, pode-se extrair vários parâmetros que descrevem o comportamento do dispositivo em regime DC (da mesma forma que o transistor anterior). A Tabela 5.10 apresenta estes parâmetros.

TABELA 5.10 – PARÂMETROS DC DO HBT 20 X 16 μm^2 NÃO AUTO-ALINHADO

<i>Parâmetro</i>	<i>Valor</i>	<i>Parâmetro</i>	<i>Valor</i>
I_S	$4,09 \cdot 10^{-24}$ A	V_{AF}	43,03 V
n_F	1,01	I_{SE}	$1,19 \cdot 10^{-10}$ A
n_C	24,11	n_{FB}	1,18
n_E	20,74	I_{SB}	$4,84 \cdot 10^{-23}$ A
β_F	111,1	-	-

Os valores apresentados na Tabela 5.10 não foram otimizados. Sendo assim, ao se fazer simulações utilizando-se estes parâmetros, ocorrerá um erro entre os valores medidos e calculados. Para que este erro seja reduzido, é necessário fazer a otimização dos parâmetros.

5.2.4.2. TRANSISTORES AUTO-ALINHADOS

5.2.4.2.1. HBT 20 X 06 μm^2

A Figura 5.7(a) apresenta o resultado da medida do *Gummel Plot* de um destes transistores. Deste gráfico foi gerado um outro gráfico, que foi o ganho DC do transistor em função da corrente de coletor. A Figura 5.7(b) ilustra este outro gráfico obtido.

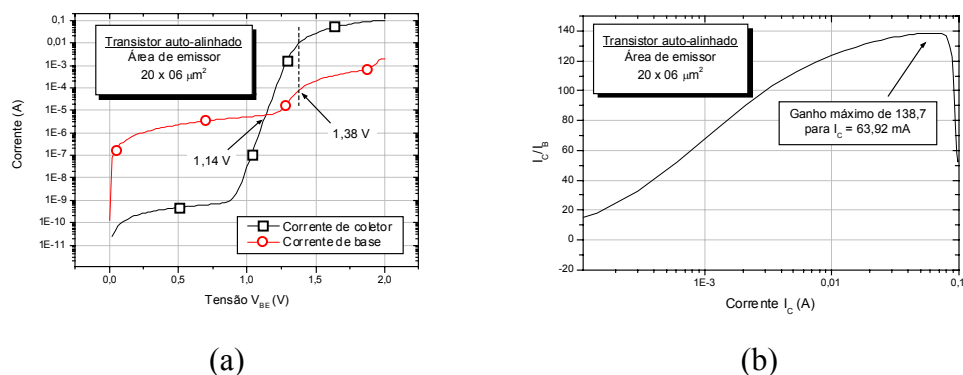


FIGURA 5.7 – GUMMEL PLOT (A). GANHO DC DO TRANSISTOR (B)

Pelo *Gummel Plot* apresentado na Figura 5.7(a), nota-se que este transistor começou a apresentar ganho de corrente após 1,14 V para V_{BE} . Também por este gráfico, percebe-se que as perdas pelas resistências parasitárias e outros efeitos de segunda ordem, começam a influenciar no comportamento do transistor após uma tensão de 1,38 V para V_{BE} , aproximadamente. Pelo *Gummel Plot*, também se nota que o transistor apresenta uma elevada corrente de fuga na base, indicando que o processo de fabricação de um transistor auto-alinhado deve ser revisado, para que esta corrente de fuga na base seja reduzida. No entanto, o ganho DC deste transistor foi bem superior ao transistor de mesma área não auto-alinhado. Pelo gráfico apresentado na Figura 5.7(b) vê-se que o beta máximo do transistor foi de 138,7, para uma corrente de coletor igual 63,92 mA.

Deste transistor também foi obtida a curva característica, onde a tensão entre coletor e emissor variou de 0 a 3 V e a corrente de base variou de 0 a 800 μA , com um passo de 100 μA . A Figura 5.8 apresenta as curvas obtidas na medida da curva característica deste transistor.

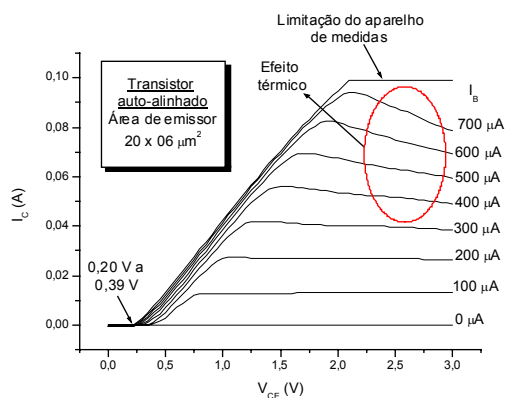


FIGURA 5.8 – CURVA CARACTERÍSTICA DO TRANSISTOR

Pela curva característica apresentada na Figura 5.8, o transistor medido apresenta uma tensão V_{CE_offset} que varia de 0,20 V a 0,30 V, aproximadamente. Esta tensão de V_{CE_offset} é elevada, indicando que apenas uma pequena fração da corrente total que sai da junção base/coletor é coletada pela junção base/emissor.

Do mesmo modo que o transistor não auto-alinhado $20 \times 06 \mu\text{m}^2$, este transistor apresenta o efeito de auto-aquecimento. Como o beta deste transistor é maior, se comparado com o transistor não auto-alinhado $20 \times 06 \mu\text{m}^2$, resulta em I_C maior, ou seja, potência maior, para uma mesma corrente de base dos dois transistores. Isto faz com que o transistor auto-alinhado apresente maior efeito de aquecimento. Eventualmente, a menor área do transistor pode, também, ter algum efeito.

Pelos gráficos apresentados nas Figuras 5.7 e 5.8, pode-se extrair vários parâmetros que descrevem o comportamento do dispositivo em regime DC. A Tabela 5.11 apresenta os valores destes parâmetros.

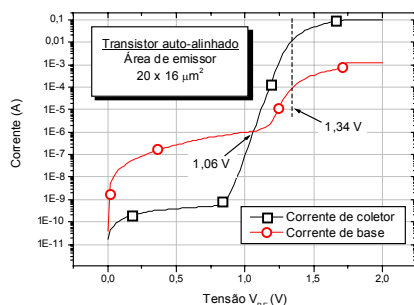
TABELA 5.11 – PARÂMETROS DC DO HBT $20 \times 06 \mu\text{m}^2$ AUTO-ALINHADO

Parâmetro	Valor	Parâmetro	Valor
I_S	$1,10 \cdot 10^{-24}$ A	V_{AF}	41,05 V
n_F	1,02	I_{SE}	$6,81 \cdot 10^{-7}$ A
n_C	18,60	n_{FB}	2,32
n_E	17,62	I_{SB}	$8,73 \cdot 10^{-15}$ A
β_F	138,7	-	-

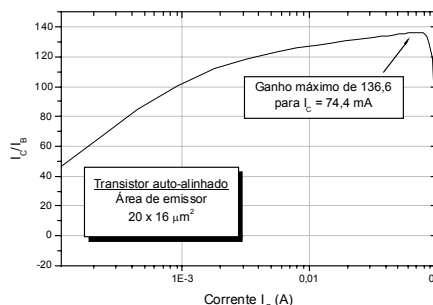
Da mesma forma que os transistores já mostrados, os valores apresentados na Tabela 5.11 não foram otimizados. Sendo assim, ao se fazer simulações utilizando-se estes parâmetros, ocorrerá um erro entre os valores medidos e calculados. Para que este erro seja reduzido, é necessário fazer a otimização dos parâmetros.

5.2.4.2.2. HBT $20 \times 16 \mu\text{m}^2$

Finalizando as medidas DC realizadas no CI, a Figura 5.9(a) apresenta o resultado da medida do *Gummel Plot* realizada em um transistor auto-alinhado, com área de emissor $20 \times 16 \mu\text{m}^2$. Deste gráfico também foi gerado um outro gráfico, que foi o ganho DC do transistor em função da corrente de coletor. A Figura 5.9(b) ilustra este outro gráfico obtido.



(a)



(b)

FIGURA 5.9 – GUMMEL PLOT (A). GANHO DC DO TRANSISTOR (B)

Pelo *Gummel Plot* apresentado na Figura 5.9(a), nota-se que este transistor começou a apresentar ganho de corrente após 1,06 V para V_{BE} . Também por este gráfico, percebe-se que as perdas pelas resistências parasitárias e outros efeitos de segunda ordem, começam a influenciar no comportamento do transistor após uma tensão de 1,34 V para V_{BE} . Através do *Gummel Plot* nota-se, também, que o transistor apresenta uma elevada corrente de fuga na base, reforçando a necessidade de se revisar o processo de fabricação de transistores auto-alinhados, para que esta corrente de fuga na base seja reduzida (uma alternativa para tentar diminuir esta corrente de fuga seria passivar a amostra [14]). Pelo gráfico apresentado na Figura 5.7(b), vê-se que o beta máximo do transistor foi de 136,6, para uma corrente de coletor igual 74,4 mA.

Deste transistor também foi obtida a curva característica, onde a tensão entre coletor e emissor variou de 0 a 3 V e a corrente de base variou de 0 a 800 μA , com um passo de 100 μA . A Figura 5.10 apresenta as curvas obtidas na medida da curva característica deste transistor.

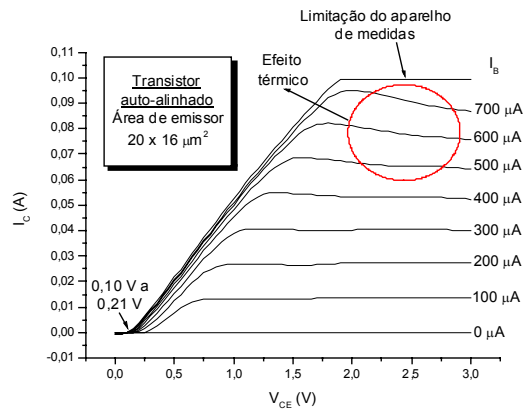


FIGURA 5.10 – CURVA CARACTERÍSTICA DO TRANSISTOR

Pela curva característica apresentada na Figura 5.10, o transistor medido apresenta uma tensão V_{CE_offset} que varia de 0,10 V a 0,21 V, aproximadamente. A explicação para estes altos valores de V_{CE_offset} é semelhante à apresentada para o transistor HBT 20 x 06 μm^2 auto-alinhado. Este transistor também apresenta uma queda na corrente de coletor, causada pelo efeito térmico em altas correntes de base (potência elevada). Porém, este efeito é menor que o causado no transistor auto-alinhado 20 x 06 μm^2 .

Pelos gráficos apresentados nas Figuras 5.9 e 5.10, pode-se extrair vários parâmetros que descrevem o comportamento do dispositivo em regime DC. Estes parâmetros são apresentados na Tabela 5.12.

Novamente, os valores apresentados na Tabela 5.12 não foram otimizados. Sendo assim, ao se fazer simulações utilizando estes parâmetros, ocorrerá um erro entre os valores medidos e calculados. Para que este erro seja reduzido, é necessário fazer a otimização dos parâmetros.

TABELA 5.11 – PARÂMETROS DC DO HBT 20 X 16 μm^2 AUTO-ALINHADO

Parâmetro	Valor	Parâmetro	Valor
I_S	$3,59 \cdot 10^{-24}$ A	V_{AF}	38,28 V
n_F	1,02	I_{SE}	$4,61 \cdot 10^{-8}$ A
n_C	21,84	n_{FB}	1,48
n_E	11,88	I_{SB}	$7,43 \cdot 10^{-20}$ A
β_F	136,6	-	-

5.3. RESULTADOS OBTIDOS ATRAVÉS DE MEDIDAS EM RF

Após verificar o comportamento dos dispositivos em regime DC, fez-se medidas de RF. As medidas foram realizadas em um HP8510C, no qual os dispositivos passivos tiveram uma variação de frequência de 45 MHz a 10 GHz, e o transistor de 45 MHz a 20 GHz. Este tipo de medida de RF utiliza um sistema de impedância padrão de 50 Ω e uma ponta de prova com três terminais, sendo dois de terra (externos) e um de sinal (central). Este tipo de ponta utilizada é uma ponta do tipo GSG. A partir dos parâmetros S, obtidos nas medidas dos dispositivos passivos, calculou-se as impedâncias dos mesmos, para que os resultados pudessem ser mostrados através da carta de *Smith* e do diagrama polar.

5.3.1. RESISTORES

A Figura 5.11 apresenta o resultado obtido com a medida do dispositivo rbase1000.

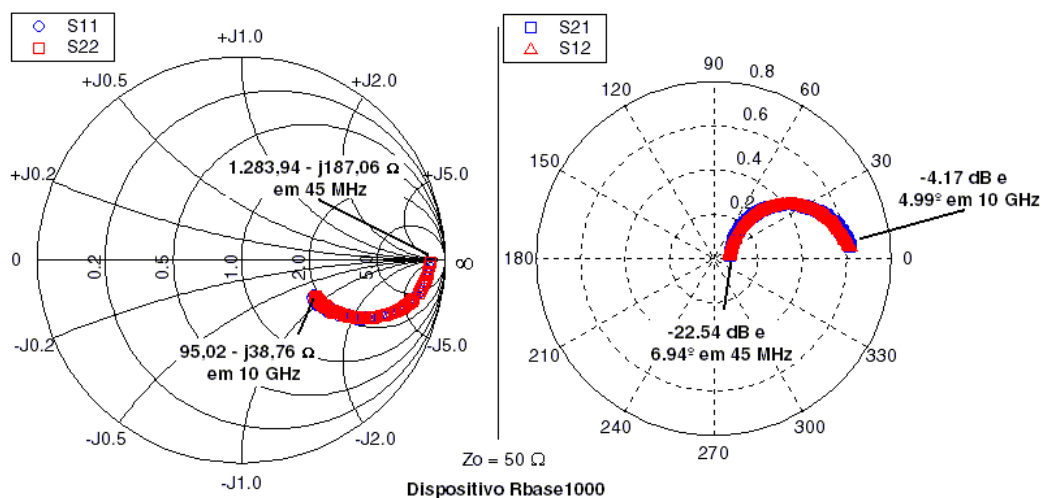


FIGURA 5.11 – MEDIDA RF NO DISPOSITIVO RBASE1000

O dispositivo apresentado na Figura 5.11 mostra um comportamento capacitivo, pois os parâmetros que indicam a impedância “vista” pelo equipamento (S_{11} e S_{22}), se encontram na região de impedância negativa da carta de *Smith*. Este dispositivo, em 45 MHz,

apresenta uma impedância de $(1.283,9 - j187,06) \Omega$ e decai para $(92,03 - j38,76) \Omega$, em 10 GHz. Esta grande variação indica a grande instabilidade deste resistor ao operar em elevadas frequências. Neste tipo de medida realizada, o valor da impedância total apresentada é acrescida da impedância da ponta de prova oposta à ponta que está gerando o sinal. A impedância obtida é a impedância da qual se deseja fazer a medida, em série com a impedância da ponta de prova oposta à ponta de prova que está gerando o sinal (no caso de um sistema bem calibrado, essas impedâncias são de 50Ω). Como todas as impedâncias estão em série, para se obter o valor da impedância que está sendo medida, basta subtrair 50Ω .

Os parâmetros S_{12} e S_{21} , em 45 MHz, possuem módulo de $-22,54$ dB e fase de $6,94^\circ$ e, em 10 GHz, possuem módulo de $-4,17$ dB e fase de $4,99^\circ$. Por apresentarem fases positivas, os parâmetros S_{12} e S_{21} apresentam um comportamento indutivo.

A Figura 5.12 apresenta o comportamento do dispositivo rbase3000.

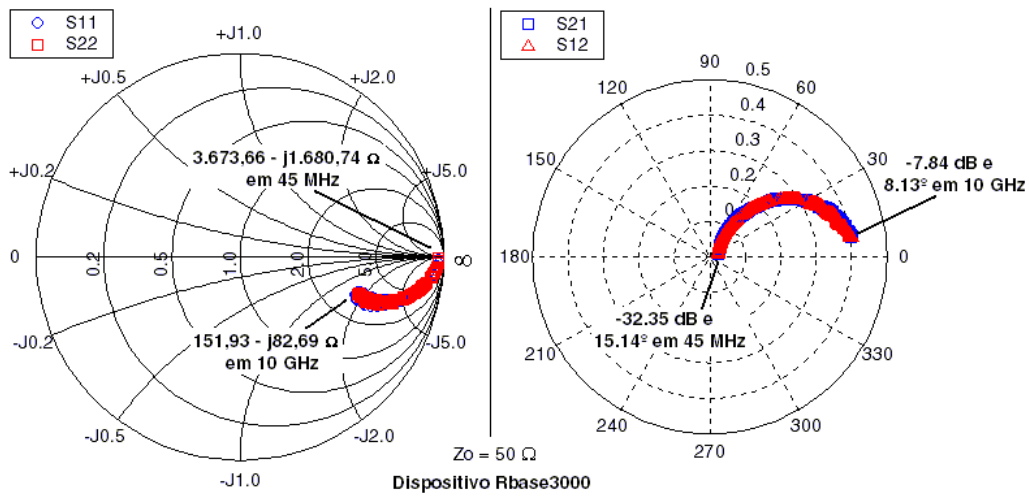


FIGURA 5.12 - MEDIDA RF NO DISPOSITIVO RBASE3000

O dispositivo rbase3000 apresenta um comportamento muito semelhante ao primeiro, já que foram fabricados com o mesmo material (camada de base do transistor). Para este dispositivo, os parâmetros S_{11} e S_{22} apresentam uma impedância de $(3.673,7 - j1.680,7) \Omega$, em 45 MHz, e $(151,93 - j82,70) \Omega$, para 10 GHz. Para os parâmetros S_{12} e S_{21} , em 45 MHz, o módulo é de $-32,35$ dB e a fase de $15,14^\circ$ e, em 10 GHz, o valor do módulo é de $-7,84$ dB e da fase $8,13^\circ$.

Um outro dispositivo, rbcircuito, apresentou um comportamento bem semelhante ao apresentado na Figura 5.12. Seus valores de impedância (S_{11} e S_{22}) foram de $(3.379,32 - j1.154,89) \Omega$, em 45 MHz, e $(135,94 - j88,80) \Omega$, em 10 GHz. Para os parâmetros S_{21} e S_{12} , os valores de módulo e fase obtidos foram, respectivamente, de $-30,89$ dB e $14,09^\circ$, para 45 MHz, e $-7,57$ dB e $11,39^\circ$, para 10 GHz.

O resultado da medida de um outro resistor, também feito com a camada de base, é apresentado na Figura 5.13 (dispositivo rbase5000).

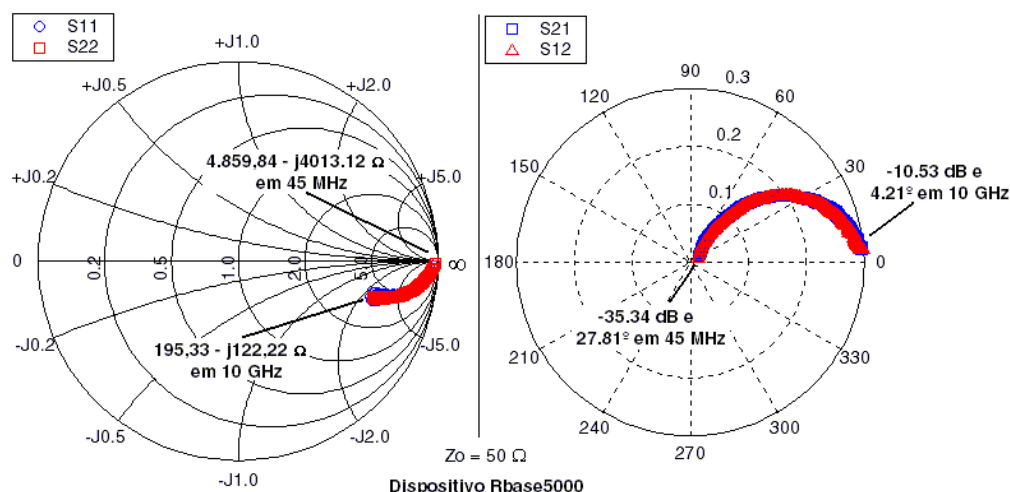


FIGURA 5.13 – MEDIDA RF NO DISPOSITIVO RBASE5000

Os resultados das medidas apresentadas na Figura 5.13 mostram o mesmo comportamento que os demais, ou seja, um comportamento capacitivo. Em 45 MHz, a impedância deste dispositivo (parâmetros S_{11} e S_{22}) é $(4.859,8 - j4.013,1) \Omega$, decaindo bastante seu valor com o aumento da frequência, atingindo um valor de $(195,33 - j122,22) \Omega$, em 10 GHz. Com relação aos parâmetros S_{12} e S_{21} , seus valores de módulo e fase são, aproximadamente, $-35,34 \text{ dB}$ e $27,81^\circ$, em 45 MHz, e $-10,53 \text{ dB}$ e $4,21^\circ$, em 10 GHz.

Finalizando a medida destes dispositivos, serão apresentados outros cinco resistores, porém feitos com a camada de subcoletor do transistor. A Figura 5.14 apresenta a medida do dispositivo rsubcoletor50.

Os dispositivos fabricados com a camada de subcoletor foram os que apresentaram um melhor comportamento, com relação ao aumento de frequência, isto é, não apresentaram grandes variações de comportamento e apresentaram um comportamento capacitivo e indutivo pequeno (em relação aos resistores fabricados com a camada de base).

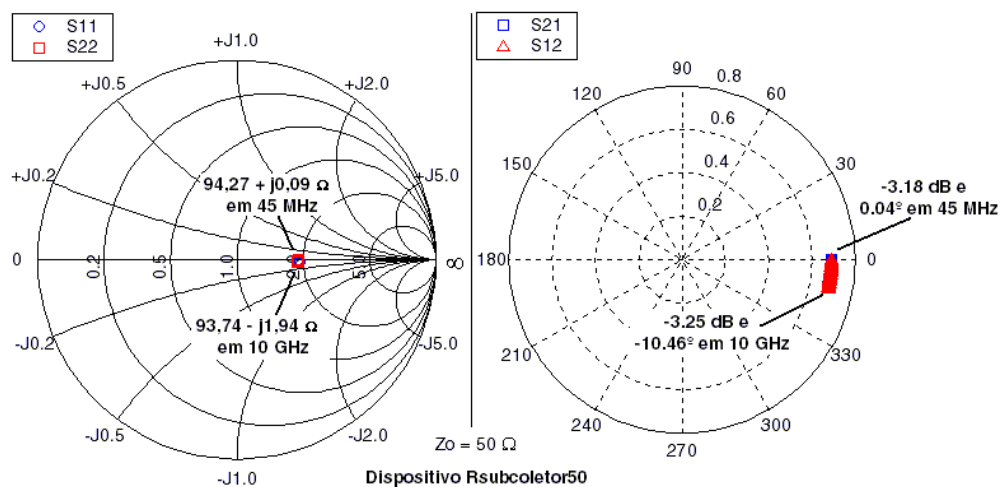


FIGURA 5.14 - MEDIDA RF DO DISPOSITIVO Rsubcoletor50

O resultado apresentado pelo dispositivo rsubcoletor50, na Figura 5.14, mostrou uma pequena variação de impedância em relação à frequência, pois os parâmetros S_{11} e S_{22} apresentaram valores de $(94,27 + j0,09) \Omega$, em 45 MHz, e $(93,74 - j1,94) \Omega$, em 10 GHz. No entanto, a variação dos parâmetros S_{12} e S_{21} foi maior, sendo $-3,18$ dB de módulo e $0,04^\circ$ de fase, em 45 MHz, e $-3,25$ dB de módulo e $-10,46^\circ$ de fase, em 10 GHz. A dimensão reduzida deste dispositivo também contribuiu para que houvesse poucas variações com a frequência.

Outro dispositivo que apresentou um comportamento bem semelhante ao apresentado na Figura 5.14 foi o dispositivo rsb1circuito. Os valores de S_{11} e S_{22} obtidos apresentaram uma impedância de $(111,79 + j0,24) \Omega$, em 45 MHz, e $(110,48 - j5,38) \Omega$, em 10 GHz. Já os parâmetros S_{12} e S_{21} apresentaram valores de módulo e fase de $-4,19$ dB e $-0,06^\circ$, em 45 MHz, e $-4,23$ dB e $-10,30^\circ$, em 10 GHz.

A Figura 5.15 apresenta os resultados obtidos com o dispositivo rsubcoletor125. Este dispositivo apresentou um comportamento particular onde S_{11} , S_{21} , S_{12} e S_{22} , foram aproximadamente, iguais. Pelas equações apresentadas em [44], os valores de $S_{11} = S_{22}$ e $S_{21} = S_{12}$ são definidos como:

$$S_{11} = S_{22} = \frac{Z}{Z + 2 \cdot Z_0} \quad e \quad S_{21} = S_{12} = \frac{2 \cdot Z_0}{Z + 2 \cdot Z_0}, \quad (5.2)$$

onde Z é a impedância que está sendo medida. Portanto, todos os parâmetros S serão iguais, quando Z for igual a $2 \cdot Z_0$.

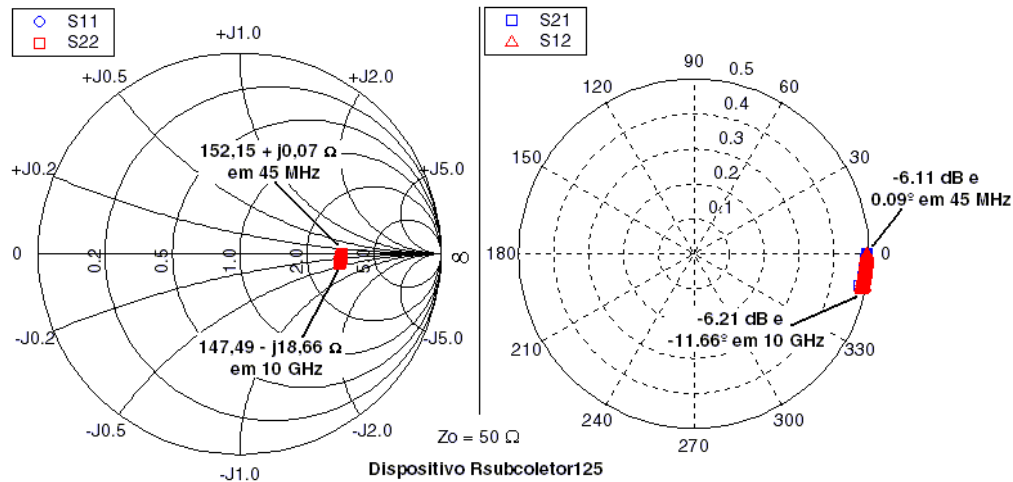


FIGURA 5.15 – MEDIDA RF DO DISPOSITIVO RSUBCOLETOR125

A Figura 5.15 apresenta para valores de S_{11} e S_{22} , impedâncias de $(152,15 + j0,07) \Omega$, em 45 MHz, e $(147,49 - j18,66) \Omega$, em 10 GHz. Já para S_{12} e S_{21} os valores de módulo e fase são, aproximadamente, $-6,11$ dB e $0,09^\circ$, em 45 MHz, e $-6,21$ dB e $-11,66^\circ$, em 10 GHz.

Os outros dois resistores fabricados com a camada de subcoletor foram os que apresentaram uma maior variação de impedância com a frequência. A Figura 5.16 mostra o comportamento do dispositivo rsubcoletor200.

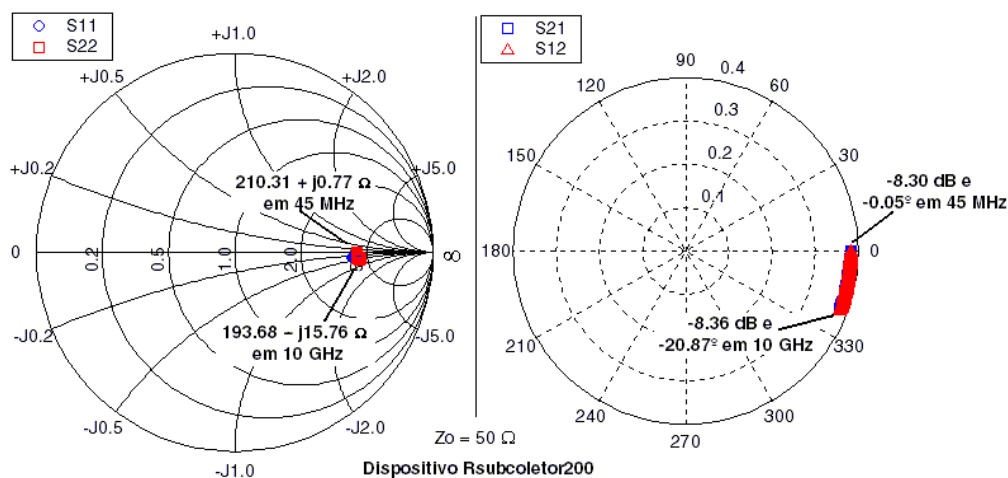


FIGURA 5.16 – MEDIDA RF DO DISPOSITIVO Rsubcoletor200

O dispositivo rsubcoletor200 apresentou impedâncias calculadas dos parâmetros S_{11} e S_{22} de $(210,31 + j0,77) \Omega$, em 45 MHz, e $(198,68 - j15,76) \Omega$, em 10 GHz. Para os parâmetros S_{12} e S_{21} , os valores de módulo e fase foram $-8,30$ dB e $-0,05^\circ$, em 45 MHz, e $-8,36$ dB e $-20,87^\circ$, em 10 GHz.

O último resistor a ser apresentado, foi o que apresentou uma maior variação no seu comportamento (em relação aos parâmetros S_{11} e S_{22}). Isto ocorreu devido ao seu tamanho (este resistor apresenta um comprimento efetivo de $875,8 \mu\text{m}$ e largura de $8 \mu\text{m}$) e sua forma (este resistor se apresenta em forma de serpentina). Neste resistor, as indutâncias e capacitâncias parasitárias, devido à sua forma e tamanho, deram-lhe a característica de uma linha de transmissão com perdas elevadas. A Figura 5.17 mostra os resultados obtidos com este resistor.

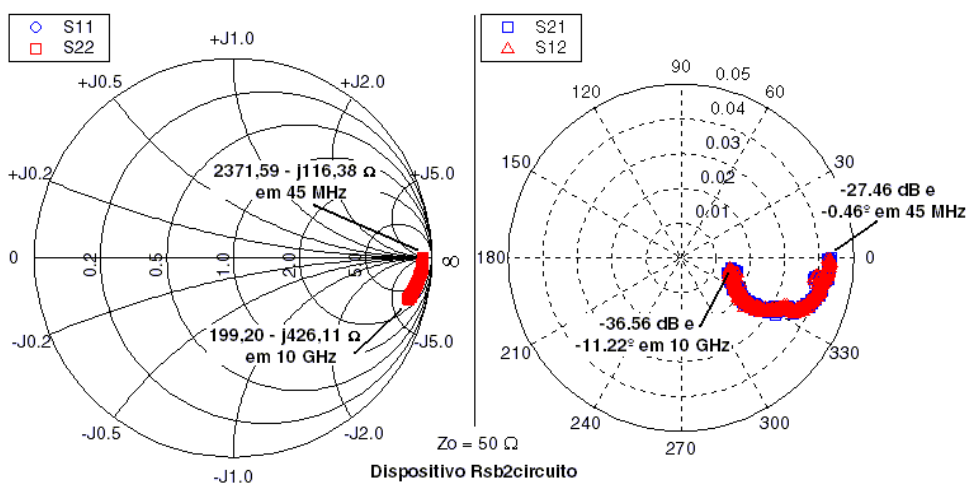


FIGURA 5.17 – MEDIDA RF DO DISPOSITIVO Rsb2circuito

Os resultados apresentados pelo dispositivo rsb2circuito, na Figura 5.17, apresentam impedâncias calculadas dos parâmetros S_{11} e S_{22} de $(2.371,6 - j116,38) \Omega$, em 45 MHz, e $(199,2 - j426,11) \Omega$, em 10 GHz. Já para os parâmetros S_{12} e S_{21} os valores para o módulo

e a fase, foram respectivamente, -27,46 dB e -0,46°, em 45 MHz, e -36,56 dB e -11,22°, em 10 GHz.

Resumidamente, a Tabela 5.12 apresenta os valores obtidos na medida destes resistores e seus comportamentos.

Para os resistores fabricados com a camada de base, as impedâncias calculadas dos parâmetros S_{11} e S_{22} apresentaram um comportamento capacitivo e uma grande variação de impedância com a frequência. Os valores dos módulos e fases calculados, através dos parâmetros S_{12} e S_{21} , apresentaram um comportamento indutivo, pois a fase é positiva.

Já para os resistores fabricados com a camada de subcoletor, as impedâncias calculadas, dos parâmetros S_{11} e S_{22} , apresentaram um comportamento capacitivo e uma pequena variação de impedância com a frequência. Os valores dos módulos e fases calculados através dos parâmetros S_{12} e S_{21} apresentaram, também, um comportamento capacitivo, pois a fase destes dispositivos é negativa.

Para estes dois tipos de resistores o que se pode notar é que, quanto maior for a dimensão do resistor, mais sujeito ele estará à ação de indutâncias e capacitâncias parasitas, comprometendo o funcionamento do dispositivo.

TABELA 5.12 – RESUMO DAS MEDIDAS DOS RESISTORES

<i>Dispositivo</i>	<i>Impedância para S_{11} e S_{22} (Ω)</i>			<i>Módulo e Fase para S_{12} e S_{21}</i>		
	<i>45 MHz</i>	<i>10 GHz</i>	<i>Compor- tamento</i>	<i>45 MHz</i>	<i>10 GHz</i>	<i>Compor- tamento</i>
Rbase1000	1.283,9 + -j187,06	92,03 + -j38,76	Capacitivo	-22,54 dB e 6,94°	-4,17 dB e 4,99°	Indutivo
Rbase3000	3.673,7 + -j1.680,7	151,93 + -j82,70	Capacitivo	-32,35 dB e 15,14°	-7,84 dB e 8,13°	Indutivo
Rbase5000	4.859,8 + -j4.013,1	195,33 + -j122,22	Capacitivo	-35,34 dB e 27,81°	-10,53 dB e 4,21°	Indutivo
Rbcircuito	3.379,3 + -j1.154,9	135,94 + -j88,80	Capacitivo	-30,89 dB e 14,09°	-7,57 dB e 11,39°	Indutivo
Rsubcoletor50	94,27 + j0,09	93,74 + -j1,94	Capacitivo	-3,18 dB e 0,04°	-3,25 dB e -10,46°	Capacitivo
Rsb1circuito	111,79 + j0,24	110,48 + -j5,38	Capacitivo	-4,19 dB e -0,06°	-4,23 dB e -10,30°	Capacitivo
Rsubcoletor125	152,15 + j0,07	147,49 + -j18,66	Capacitivo	-6,11 dB e 0,09°	-6,21 dB e -11,66°	Capacitivo
Rsubcoletor200	210,31 + j0,77	198,68 + -j15,76	Capacitivo	-8,30 dB e -0,05°	-8,36 dB e -20,87°	Capacitivo
Rsb2circuito	2.371,6 + -j116,38	199,2 + -j426,11	Capacitivo	-27,46 dB e -0,46°	-36,56 dB e -11,22°	Capacitivo

5.3.2. CAPACITORES

As medidas realizadas nos capacitores foram semelhantes às feitas nos resistores. No caso dos capacitores, porém, em vez do capacitor estar em série com a impedância das pontas de prova, o capacitor estava em paralelo com as mesmas. Deste modo, as impedâncias apresentadas na carta de *Smith*, são as impedâncias resultantes da associação em paralelo do capacitor e da impedância da ponta de prova.

A Figura 5.18 apresenta as medidas realizadas no dispositivo cap50.

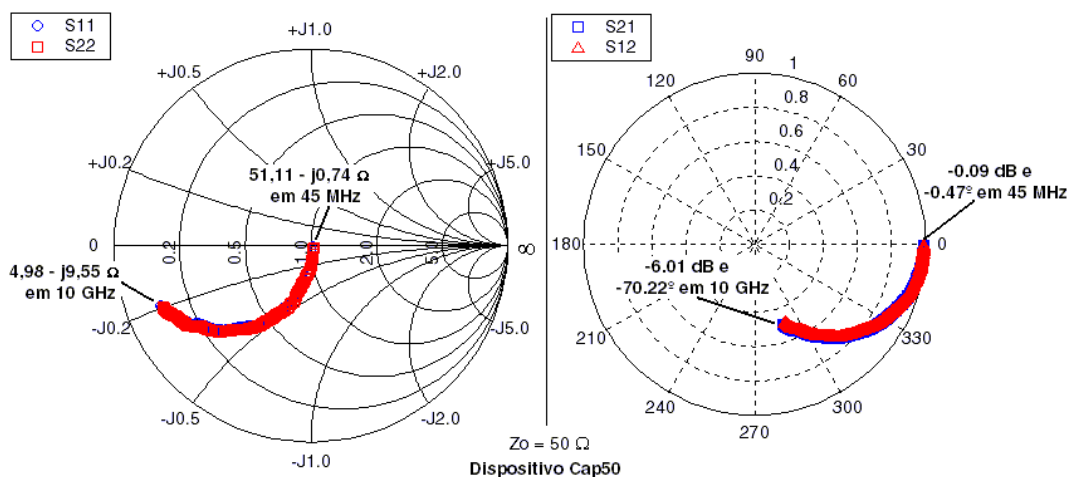


FIGURA 5.18 – MEDIDA RF DO DISPOSITIVO CAP50

A medida do capacitor, apresentada na Figura 5.18, mostra uma impedância calculada dos parâmetros S_{11} e S_{22} de $(51,11 - j0,74) \Omega$, em 45 MHz, e $(4,98 - j9,55) \Omega$, em 10 GHz. Para os parâmetros S_{12} e S_{21} os valores de módulo e fase são, aproximadamente, $-0,09$ dB e $-0,47^\circ$, em 45 MHz, e $-6,01$ dB e $-70,22^\circ$, em 10 GHz. Pela característica da impedância apresentada na Figura 5.18, o capacitor não apresenta ressonância até a frequência de 10 GHz.

O resultado da medida de um outro capacitor, cap80, é mostrado na Figura 5.19.

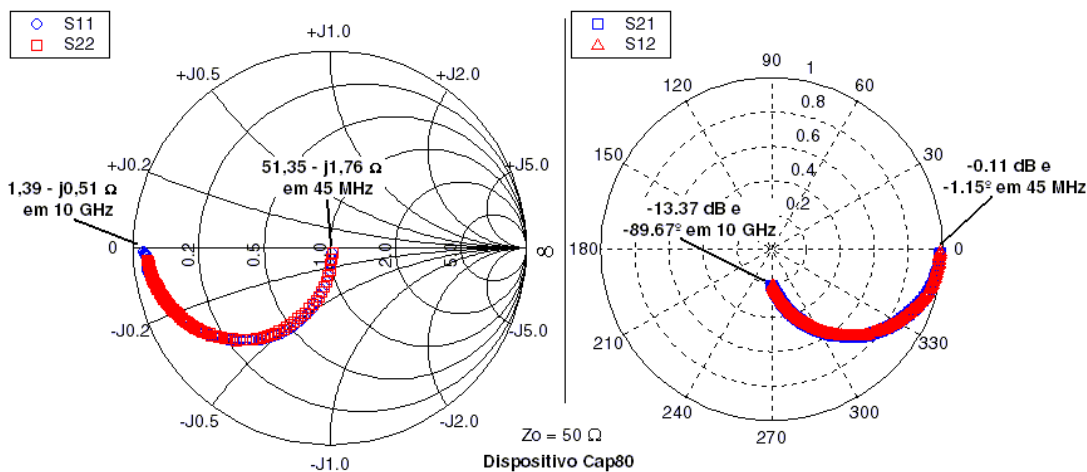


FIGURA 5.19 – MEDIDA RF DO DISPOSITIVO CAP80

O dispositivo cap80 (mostrado na Figura 5.19) apresenta, para os parâmetros S_{11} e S_{22} , impedâncias calculadas de $(51,35 - j1,76) \Omega$, em 45 MHz, e $(1,39 - j0,51) \Omega$, em 10 GHz. Para os parâmetros S_{12} e S_{21} , os valores do módulo e fase são, respectivamente, $-0,11$ dB e $-1,15^\circ$, em 45 MHz, e $-13,37$ dB e $-89,67^\circ$, em 10 GHz. Do mesmo modo que o dispositivo cap50, este dispositivo não apresenta ressonância até 10 GHz. Estes dois últimos capacitores (cap50 e cap80) foram os únicos que não entraram em ressonância. Os outros dispositivos medidos, por apresentarem uma maior área, começaram a mostrar um comportamento indutivo (entraram em ressonância). O resultado da medida do dispositivo cap100 é apresentado na Figura 5.20.

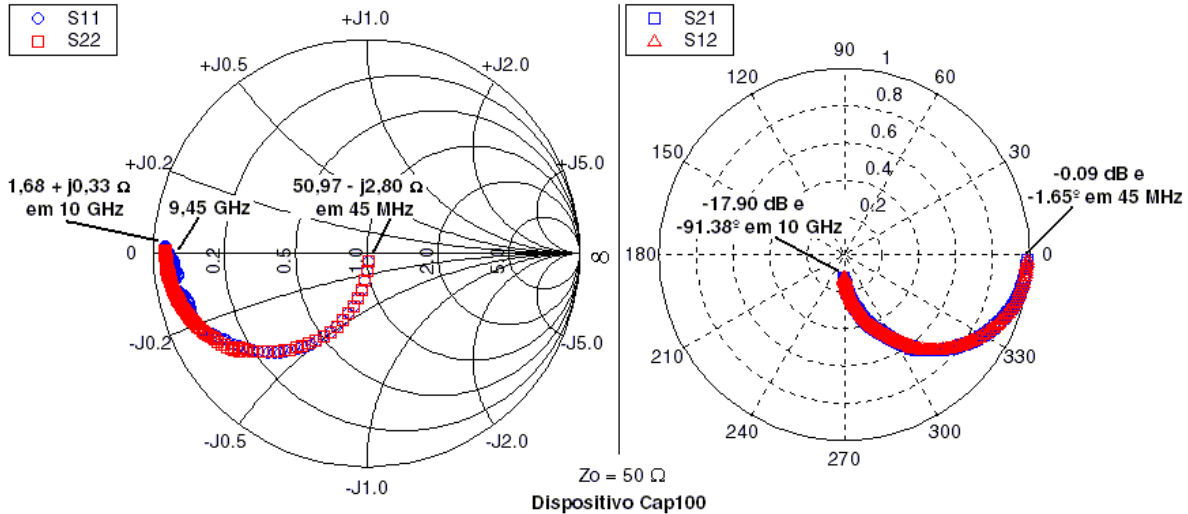


FIGURA 5.20 – MEDIDA RF DO DISPOSITIVO CAP100

Este dispositivo apresenta impedância de $(50,97 - j2,80) \Omega$, em 45 MHz, e $(1,69 + j0,33) \Omega$, em 10 GHz (para os parâmetros S_{11} e S_{22}). Até, aproximadamente, 9,47 GHz este dispositivo apresenta um comportamento capacitivo, sendo que, após esta frequência, o seu comportamento passa a ser indutivo. Já para os parâmetros S_{12} e S_{21} , os valores de módulo e fase são, respectivamente, de $-0,09$ dB e $-1,65^\circ$, em 45 MHz, e $-17,90$ dB e $-91,38^\circ$, em 10 GHz.

A medida de um outro dispositivo é mostrada na Figura 5.21. Este dispositivo apresenta impedâncias (para os parâmetros S_{11} e S_{22}) de $(50,99 - j3,94) \Omega$, em 45 MHz, e $(1,46 + j0,96) \Omega$, em 10 GHz. A partir de, aproximadamente, 6,49 GHz este dispositivo passa a se comportar como um indutor, pois os valores de impedância, a partir desta frequência, passam a se localizar na região de impedância positiva da carta de *Smith*.

Os valores de módulo e fase calculados, através dos parâmetros S_{12} e S_{21} , apresentam valores de $-0,12$ dB e $-2,44^\circ$, em 45 MHz, e $-21,15$ dB e $-95,61^\circ$, em 10 GHz.

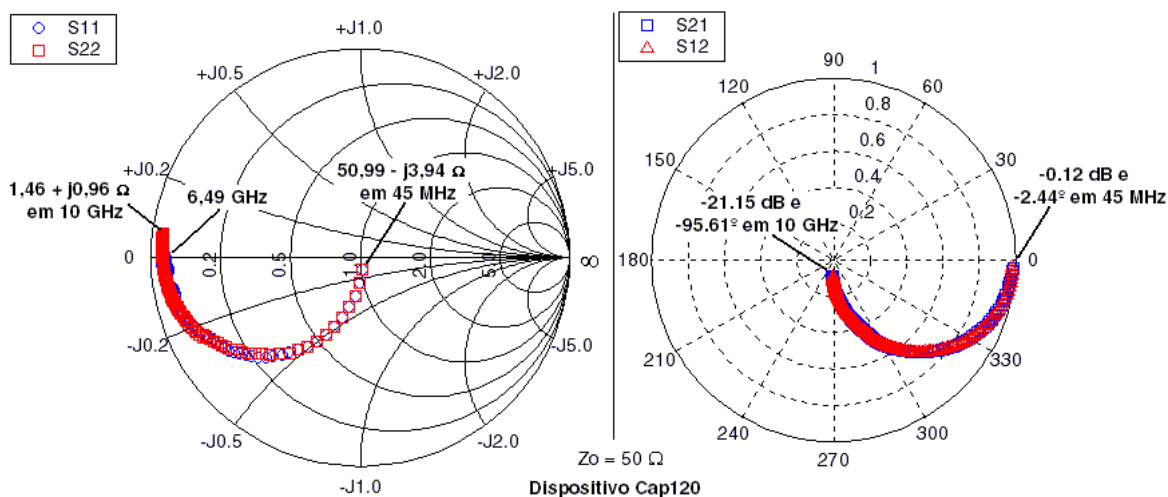


FIGURA 5.21 – MEDIDA RF DO DISPOSITIVO CAP120

O último dispositivo medido foi o capcircuito, onde a Figura 5.22 apresenta o resultado da medição.

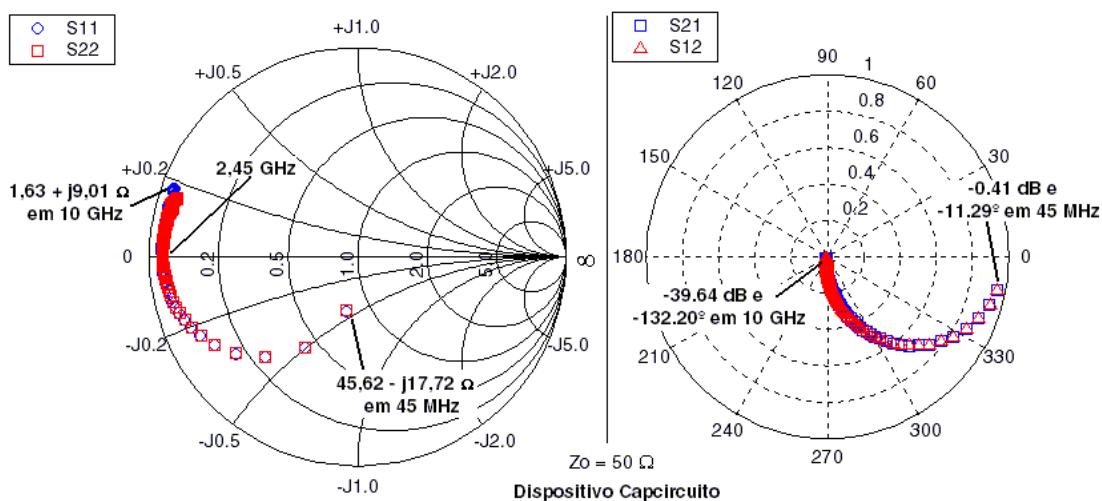


FIGURA 5.22 – MEDIDA RF DO DISPOSITIVO CAPCIRCUITO

As impedâncias calculadas, através dos parâmetros S_{11} e S_{22} do dispositivo, apresentado na Figura 5.22, são $(45,62 - j17,72) \Omega$, em 45 MHz, e $(1,63 + j9) \Omega$, em 10 GHz. Este capacitor, dentre os capacitores, é o que apresenta a maior área. Por este motivo, este capacitor apresenta uma frequência de ressonância de 2,45 GHz. Para os valores de módulo e fase, calculados através dos parâmetros S_{12} e S_{21} , os valores encontrados foram de $-0,41$ dB e $-11,29^\circ$, em 45 MHz, e $-39,64$ dB e $-132,20^\circ$, em 10 GHz.

Resumidamente, a Tabela 5.13 apresenta os valores encontrados através das medições dos capacitores. A Tabela 5.13 apresenta os valores na forma de impedância, módulo, e fase, pois os valores apresentados incluem as capacitâncias e indutâncias parasitas. Caso o valor da capacitância seja calculado, este cálculo deve ser feito para frequências não muito elevadas, pois em frequências mais baixas as indutâncias parasitárias possuem uma reatân-

cia baixa (exercem baixa influência nos dispositivos). No entanto, para poder determinar com maior precisão o valor da capacitância, o CI deveria possuir estruturas que permitissem medir as indutâncias e capacitâncias dos *pads* (com estruturas semelhantes às estruturas utilizadas nos transistores). Este valor mais preciso da capacitância também poderia ser obtido extraindo-se os parâmetros do capacitor.

TABELA 5.13 – RESUMO DAS MEDIDAS DOS CAPACITORES

Dispositivo	Impedância para S_{11} e S_{22} (Ω)		Módulo e Fase para S_{12} e S_{21}	
	45 MHz	10 GHz	45 MHz	10 GHz
Cap50	51,11 - j0,74	4,98 - j9,55	-0,09 dB e $-0,47^\circ$	-6,01 dB e $-70,22^\circ$
Cap80	51,35 - j1,76	1,39 - j0,51	-0,11 dB e $-1,15^\circ$	-13,37 dB e $-89,67^\circ$
Cap100	50,97 - j2,80	1,69 + j0,33	-0,09 dB e $-1,65^\circ$	-17,90 dB e $-91,38^\circ$
Cap120	50,99 - j3,94	1,46 + j0,96	-0,12 dB e $-2,44^\circ$	-21,15 dB e $-95,61^\circ$
Capcircuito	45,62 - j17,72	1,63 + j9	-0,41 dB e $-11,29^\circ$	-39,64 dB e $-132,20^\circ$

5.3.2. INDUTORES

Para os indutores, serão apresentadas duas cartas de *Smith*, onde uma delas é o resultado das medidas obtidas e, a outra, é uma comparação entre os valores simulados pelo ASITIC e os valores medidos.

A Figura 5.23(a) apresenta o resultado do dispositivo ind40 medido, e a Figura 5.23(b) compara os valores medidos e simulados. Os valores de impedâncias apresentados na Figura 5.23(a), para os parâmetros S_{11} e S_{22} , são $(64,15 + j0,12) \Omega$, em 45 MHz, e $(64,80 + j10,72) \Omega$, em 10 GHz. Para os valores de módulo e fase calculados dos parâmetros S_{12} e S_{21} , os valores obtidos foram $-1,13$ dB e $-0,15^\circ$, em 45 MHz, e $-1,28$ dB e $-12,74^\circ$, em 10 GHz.

Pelas comparações apresentadas na Figura 5.23(b), percebe-se que há uma grande diferença entre os valores medidos e simulados. Essas diferenças já eram esperadas, quando foi realizada a medida da resistência dos fios dos indutores e verificou-se que havia uma grande diferença entre o medido e o simulado.

Nas simulações feitas pelo ASITIC, também não foram consideradas as indutâncias e capacitâncias parasitárias dos *pads*, contribuindo, também, para a diferença entre os valores medidos e simulados. Em todas as simulações dos indutores, as capacitâncias e indutâncias parasitas dos *pads* não foram incluídas.

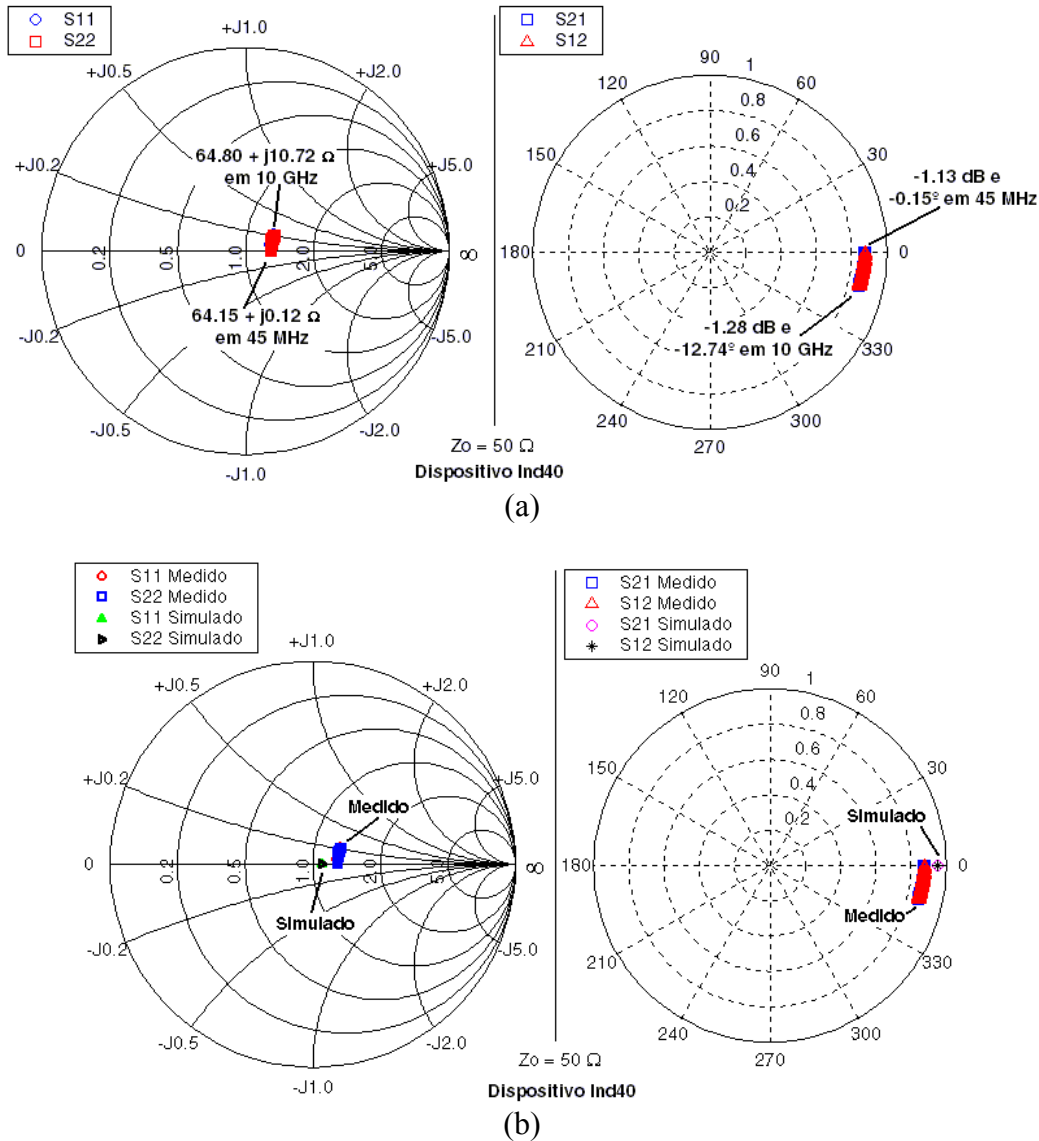


FIGURA 5.23 - INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

A Figura 5.24 apresenta o resultado de um outro dispositivo, ind50. Os valores de impedâncias apresentados na Figura 5.24(a), para os parâmetros S_{11} e S_{22} , são $(68,21 + j0,14) \Omega$, em 45 MHz, e $(69,66 + j15,79) \Omega$, em 10 GHz. Para os valores de módulo e fase calculados dos parâmetros S_{12} e S_{21} , os valores obtidos foram $-1,45 \text{ dB}$ e $-0,13^\circ$, em 45 MHz, e $-1,65 \text{ dB}$ e $-15,49^\circ$, em 10 GHz.

Pela mesma razão já discutida anteriormente, percebe-se uma diferença entre os valores medidos e simulados (Figura 5.24(b)).

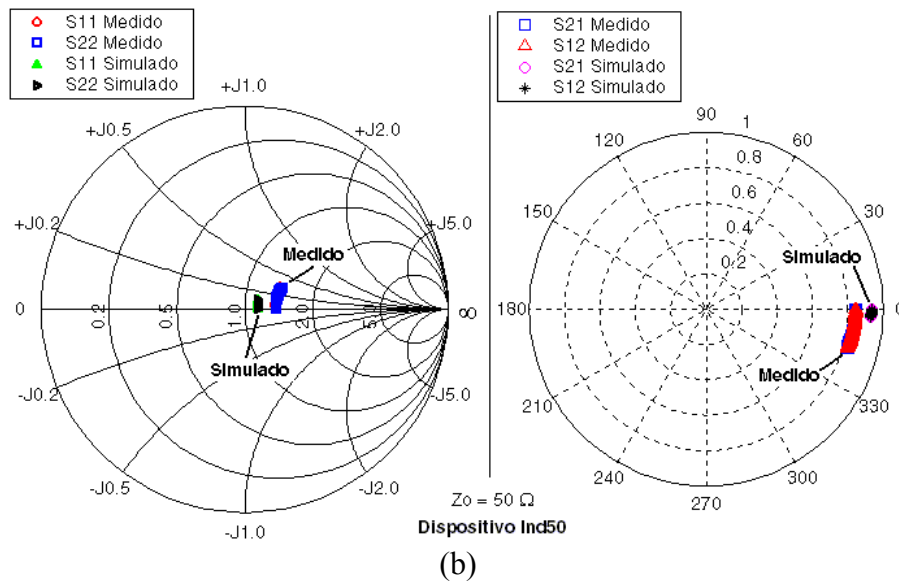
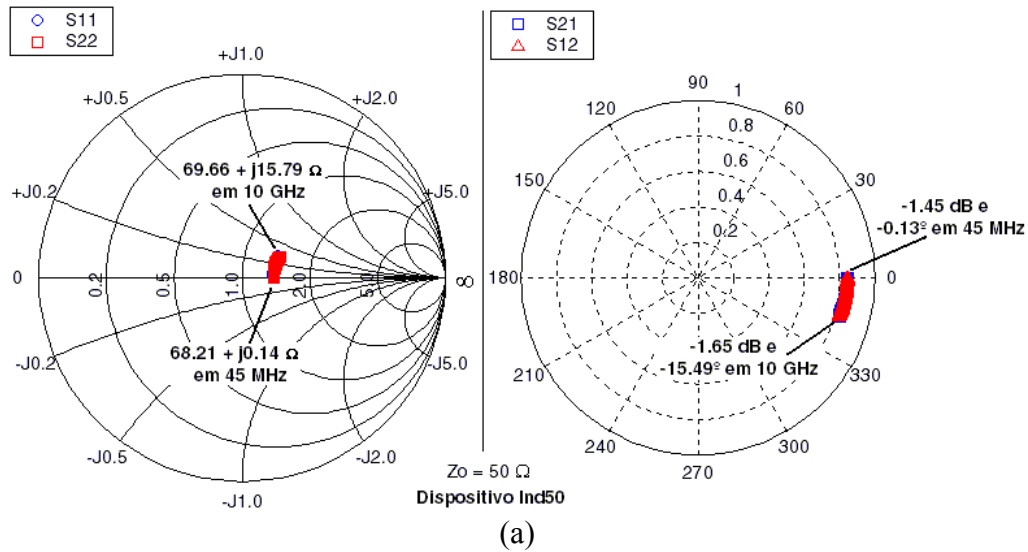


FIGURA 5.24 – INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

A Figura 5.25 apresenta o dispositivo ind60. Os valores de impedâncias apresentados na Figura 5.25(a), para os parâmetros S_{11} e S_{22} , são $(59,20 + j0,07) \Omega$, em 45 MHz, e $(61,28 + j14,52) \Omega$, em 10 GHz. Para os valores de módulo e fase calculados dos parâmetros S_{12} e S_{21} os valores obtidos foram $-0,75 \text{ dB}$ e $-0,15^\circ$, em 45 MHz, e $-0,89 \text{ dB}$ e $-17,53^\circ$, em 10 GHz. A Figura 5.25(b) apresenta uma comparação entre os valores medidos e simulados.

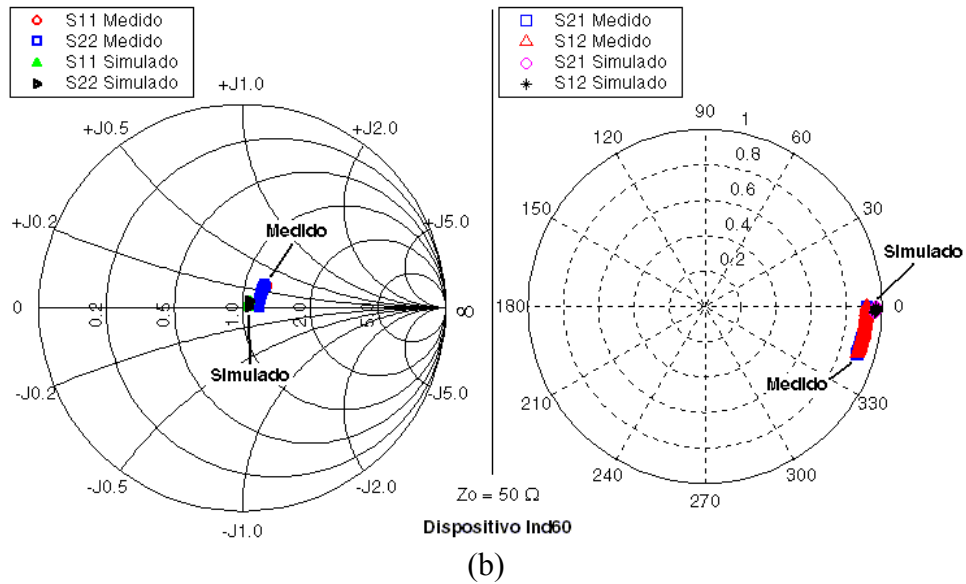
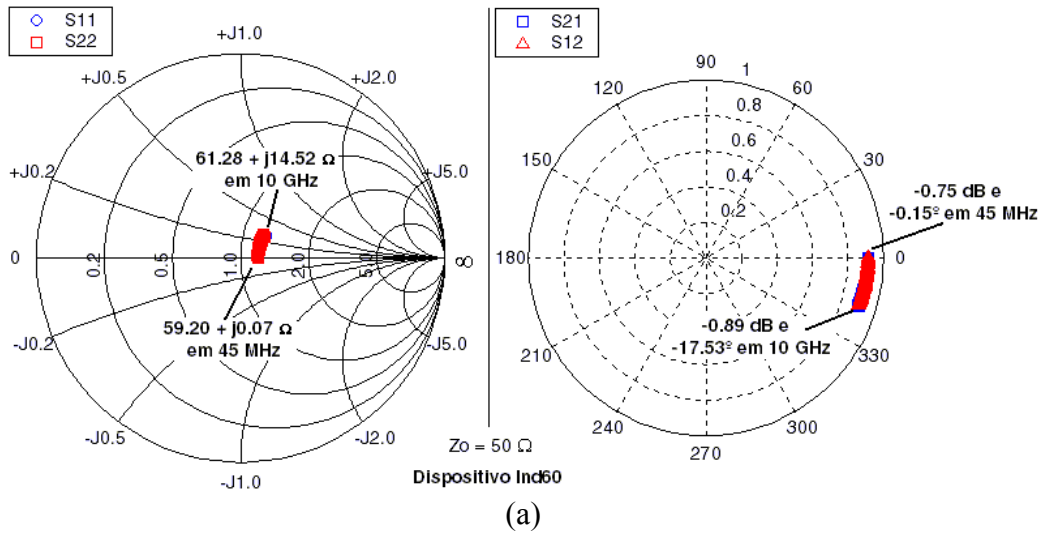


FIGURA 5.25 – INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

A Figura 5.26 apresenta o dispositivo ind65. Os valores de impedâncias apresentados na Figura 5.26(a) para os parâmetros S_{11} e S_{22} , são $(70,75 + j0,06) \Omega$, em 45 MHz, e $(73,36 + j19,37) \Omega$, em 10 GHz. Para os valores de módulo e fase calculados dos parâmetros S_{12} e S_{21} , os valores obtidos foram $-1,64 \text{ dB}$ e $-0,30^\circ$, em 45 MHz, e $-1,91 \text{ dB}$ e $-18,04^\circ$, em 10 GHz. A Figura 5.26(b) apresenta uma comparação entre os valores medidos e simulados.

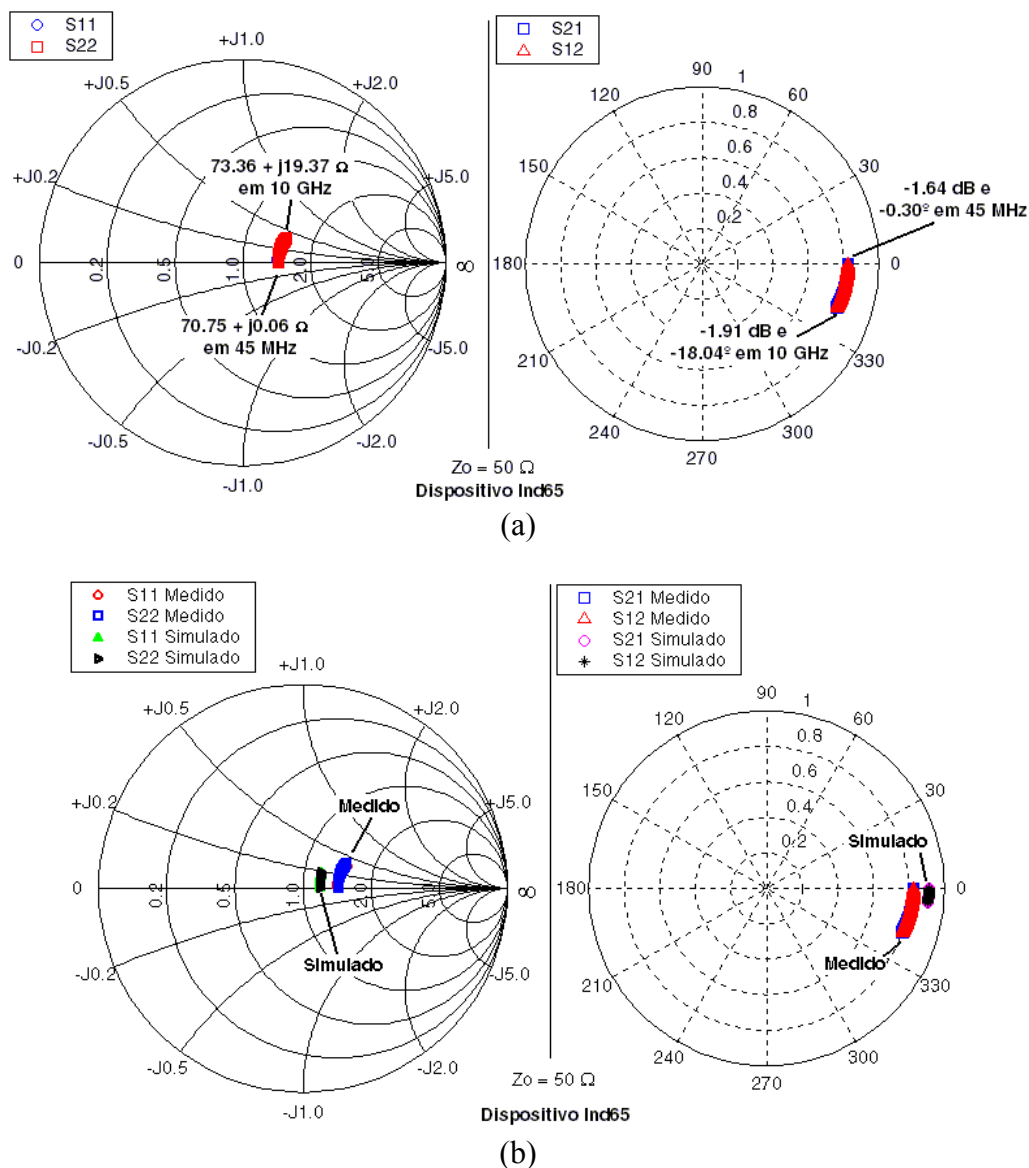


FIGURA 5.26 – INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

A Figura 5.27(a) apresenta o resultado do dispositivo ind100 medido, e a Figura 5.27(b) compara os valores medidos e simulados. Os valores de impedâncias apresentados na Figura 5.27(a), para os parâmetros S₁₁ e S₂₂, são (98,37 + j0,43) Ω, em 45 MHz, e (138,21 + j82,66) Ω, em 10 GHz. Para os valores de módulo e fase calculados dos parâmetros S₁₂ e S₂₁, os valores obtidos foram -3,44 dB e -0,31°, em 45 MHz, e -5,24 dB e -41,33°, em 10 GHz.

Pela mesma razão já discutida anteriormente, percebe-se uma diferença entre os valores medidos e simulados (Figura 5.27(b)).

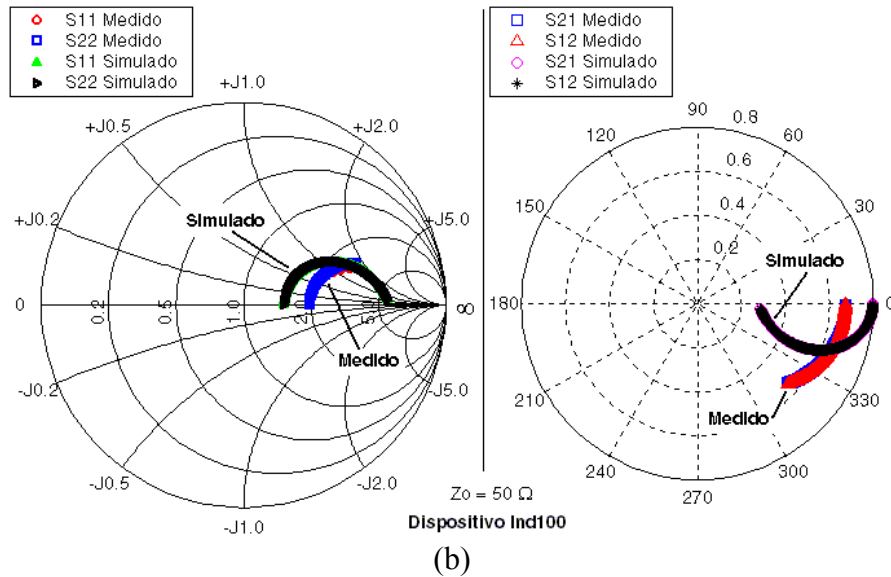
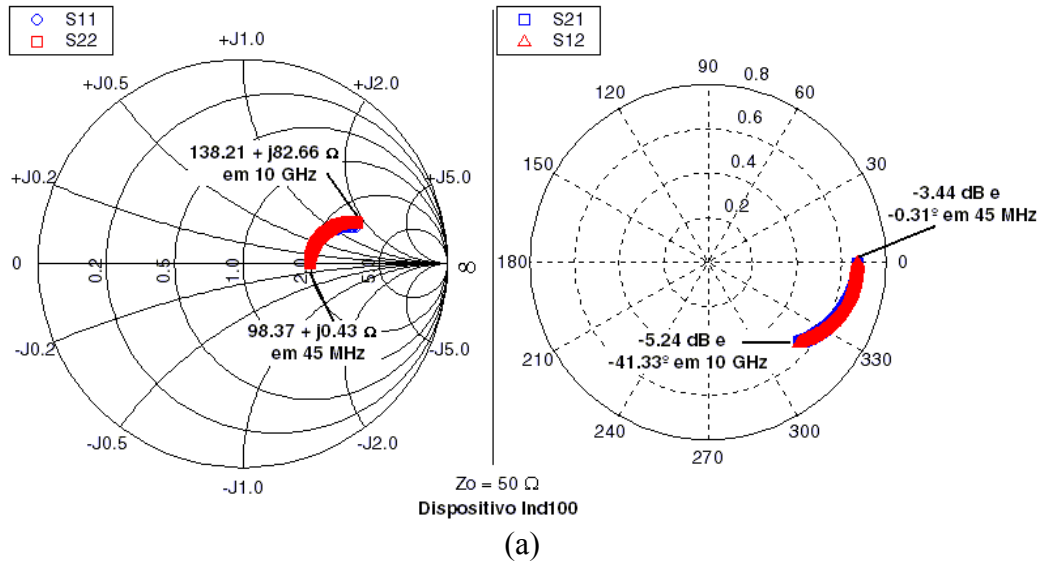


FIGURA 5.27 – INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

O último dispositivo medido foi o indcircuito, onde os resultados são apresentados na Figura 5.28. Os valores de impedâncias apresentados na Figura 5.28(a), para os parâmetros S_{11} e S_{22} , são $(146,97 + j3,00) \Omega$, em 45 MHz, e $(23,04 - j143,33) \Omega$, em 10 GHz, para a impedância calculada através do parâmetro S_{11} e $(57,15 - j271,89) \Omega$, em 10 GHz, para a impedância calculada através do parâmetro S_{22} . Para os valores de módulo e fase calculados dos parâmetros S_{12} e S_{21} , os valores obtidos foram $-5,89$ dB e $-1,33^\circ$, em 45 MHz, e $-29,68$ dB e $53,87^\circ$, em 10 GHz. A Figura 5.28(b) apresenta uma comparação entre os valores medidos e simulados.

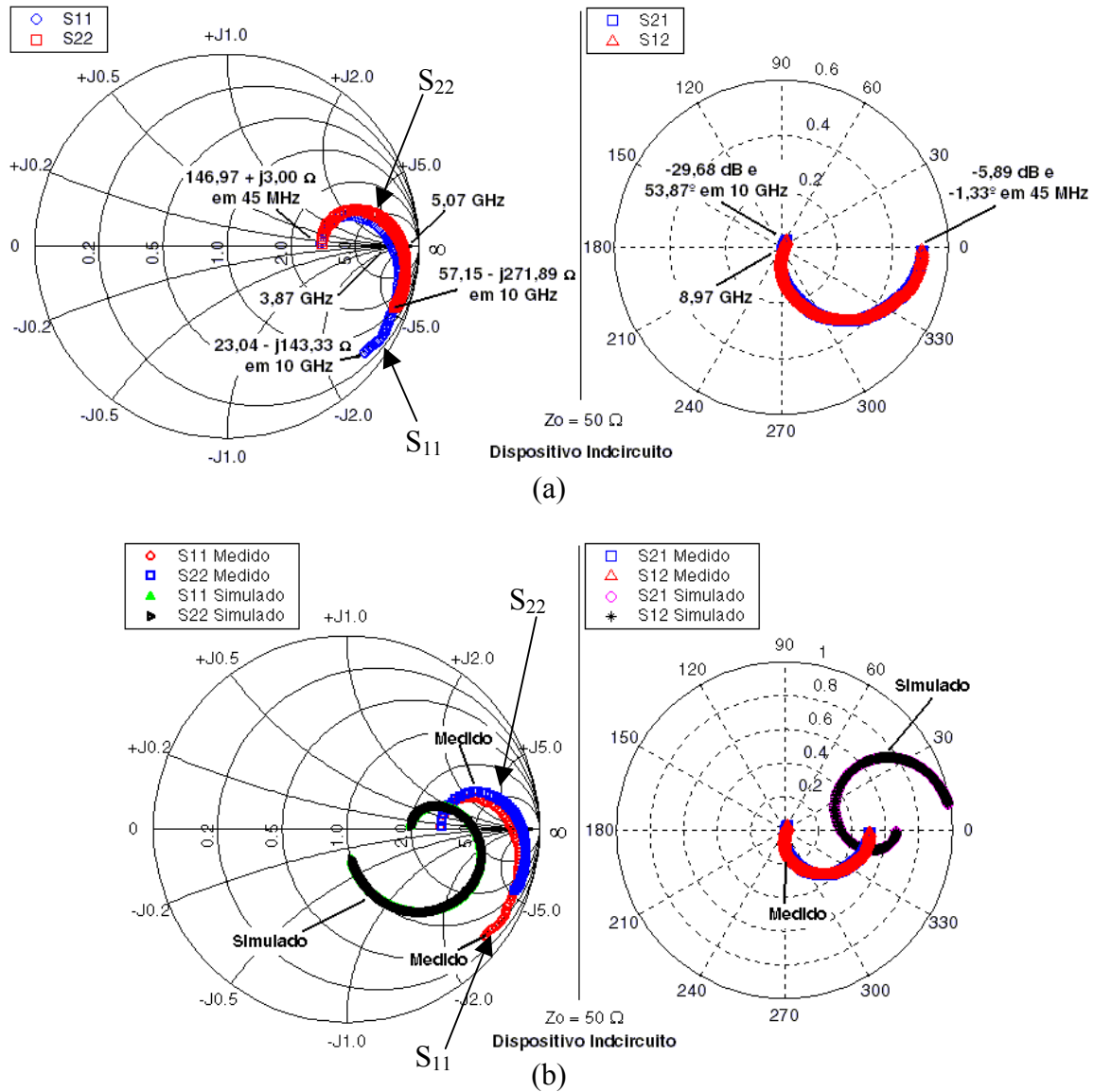


FIGURA 5.28 – INDUTOR MEDIDO (A) E COMPARAÇÃO ENTRE MEDIDO E SIMULADO (B)

Também, como pode ser visto na Figura 5.28(a), este indutor apresenta alteração no seu comportamento, isto é, ele deixa de se comportar como indutor e passa a se comportar como um capacitor (o dispositivo entra em ressonância). Isto acontece em 3,87 GHz, quando a medida é feita pelo parâmetro S₁₁, e 5,07 GHz, quando a medida é feita pelo parâmetro S₂₂. Resumidamente, a Tabela 5.14 apresenta os valores das impedâncias calculadas para os indutores.

Pelos valores apresentados na Tabela 5.14, nota-se que há uma certa seqüência nos valores apresentados, isto é, os valores das impedâncias aumentam (ou diminuem) com as variações sofridas pelos dispositivos, exceto para o dispositivo ind60. Com estes resultados, poder-se-ia agora fazer novas simulações com os indutores, incluindo-se as resistências parasitárias. Esta nova simulação não foi realizada neste trabalho, por uma questão de tempo.

TABELA 5.14 – RESUMO DAS MEDIDAS DOS INDUTORES

Dispositivo	Impedância para S_{11} e S_{22} (Ω)		Módulo e Fase para S_{12} e S_{21}	
	45 MHz	10 GHz	45 MHz	10 GHz
Ind40	64,15 + j0,12	64,80 + j10,72	-1,13 dB e -0,15°	-1,28 dB e -12,74°
Ind50	68,21 + j0,14	69,66 + j15,79	-1,45 dB e -0,13°	-1,65 dB e -15,49°
Ind60	59,20 + j0,07	61,28 + j14,52	-0,75 dB e -0,15°	-0,89 dB e -17,53°
Ind65	70,75 + j0,06	73,36 + j19,37	-1,64 dB e -0,30°	-1,91 dB e -18,04°
Ind100	98,37 + j0,43	138,21 + j82,66	-3,44 dB e -0,31°	-5,24 dB e -41,33°
Indcircuito	146,97 + j3,00	23,04 - j143,33 para S_{11} e 57,15 - j271,89 para S_{22}	-5,89 dB e -1,33°	-29,68 dB e 53,87°

5.3.3. TRANSISTORES BIPOLARES DE HETEROJUNÇÃO

Como já foi mencionado, as medidas realizadas nos transistores foram realizadas numa faixa de frequência de 45 MHz a 20 GHz. Os resultados a seguir serão apresentados de duas formas. Para os parâmetros S_{21} e S_{12} serão mostrados os seus módulos (dB) e suas respectivas fases (graus). Já para os parâmetros S_{11} e S_{22} , os resultados serão apresentados na forma de impedâncias, através da carta de *Smith*. Serão apresentados resultados para os transistores com área de emissor de 20 x 06 μm^2 (auto-alinhado e não auto-alinhado) e 20 x 16 μm^2 (auto-alinhado e não auto-alinhado).

5.3.3.1. TRANSISTORES NÃO AUTO-ALINHADOS

Para os transistores não auto-alinhados, os parâmetros S foram obtidos para vários pontos de polarização. No entanto, para não se estender muito, será mostrado o gráfico para apenas um ponto de polarização. No final desta seção serão mostrados os valores das figuras de mérito destes transistores (F_T e $F_{MÁX}$) para os vários pontos de polarização e o ganho do transistor obtido, em 45 MHz.

5.3.3.1.1. HBT 20 x 06 μm^2

Os resultados apresentados na Figura 5.29(a) e 5.29(b), foram obtidos com uma tensão V_{BE} de 1,26 V, V_{CE} de 1,30 V, I_C de 2,72 mA e I_B de 0,032 mA.

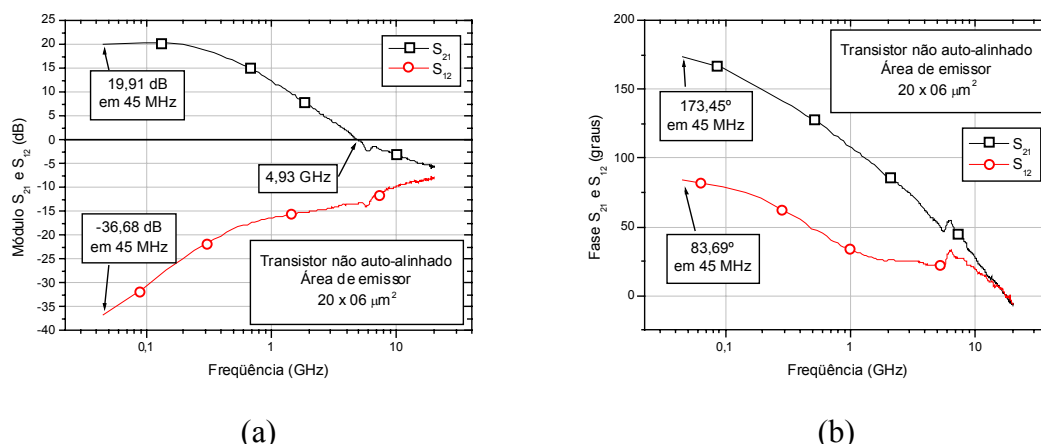


FIGURA 5.29 – MÓDULO DE S_{21} E S_{12} (A). FASE DE S_{21} E S_{12} (B)

A Figura 5.29(a) apresenta o módulo dos parâmetros S_{21} e S_{12} e a Figura 5.29(b) apresenta a fase dos parâmetros S_{21} e S_{12} . Os módulos apresentados na Figura 5.29(a) foram calculados através da expressão $20 \cdot \log(|S_{21}|)$, representando, assim, o ganho de potência do transistor, para um sistema de 50Ω . Já a fase foi obtida através da divisão da parte imaginária pela parte real de seus respectivos parâmetros.

Para o transistor apresentado na Figura 5.29, os valores dos módulos de S_{21} e S_{12} são, respectivamente, 19,91 dB e $-36,68$ dB, em 45 MHz. Conforme se aumenta a frequência, o valor de $|S_{21}|$ decai numa taxa de, aproximadamente, 20 dB/dec, apresentando um ganho de 0 dB (ganho unitário) em 4,93 GHz. Este transistor apresenta, em 45 MHz, fases de $173,45^\circ$, para o parâmetro S_{21} , e $83,69^\circ$ para o parâmetro S_{12} (Figura 5.29(b)), vindo ambas as fases a decaírem com o aumento da frequência. Em quase todas as frequências nas quais foram realizadas as medidas, o transistor apresentou um comportamento indutivo para os parâmetros S_{21} e S_{12} . Somente em, aproximadamente, 20 GHz ele passa a ter um comportamento capacitivo.

A Figura 5.30 ilustra os parâmetros S_{11} e S_{22} . O parâmetro S_{11} representa a reflexão na entrada do transistor, que é a base, e o parâmetro S_{22} representa a reflexão na saída do transistor, que é o coletor.

Este transistor apresenta (para o parâmetro S_{11}), em 45 MHz, uma impedância de $(356,39 - j420,17) \Omega$ que, com o aumento da frequência, decai para $(20,76 - j5,28) \Omega$, em 5,03 GHz. Com relação ao parâmetro S_{22} , em 45 MHz o valor da impedância é $(98,04 - j1,083) \Omega$ que, também, decai com o aumento da frequência, atingindo um valor de $(32,30 - j17,13) \Omega$, em 5,03 GHz.

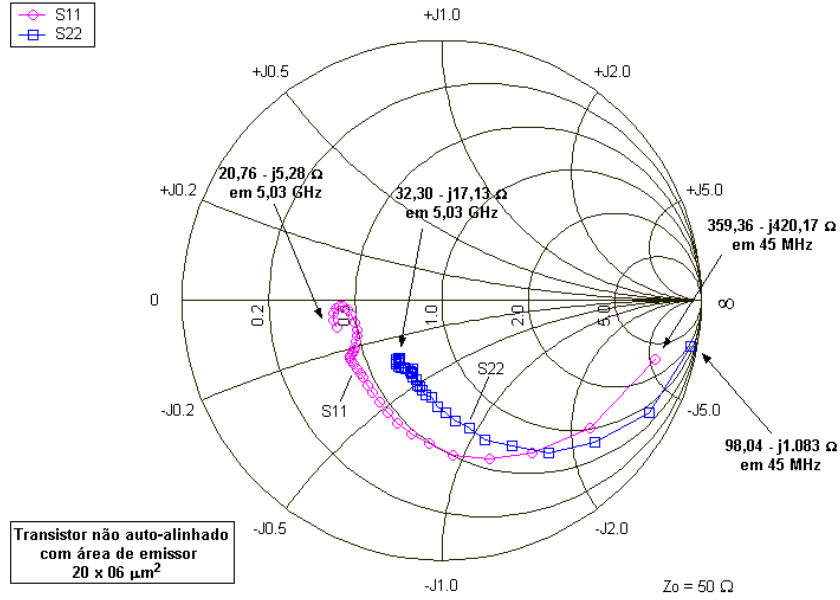


FIGURA 5.30 – CARTA DE SMITH PARA OS PARÂMETROS S_{11} E S_{22}

5.3.3.1.2. HBT $20 \times 16 \mu\text{m}^2$

Para este transistor, os resultados apresentados na Figura 5.31(a) e 5.31(b), foram obtidos com uma tensão V_{BE} de 1,26 V, V_{CE} de 2,20 V, I_C de 5,53 mA e I_B de 0,056 mA.

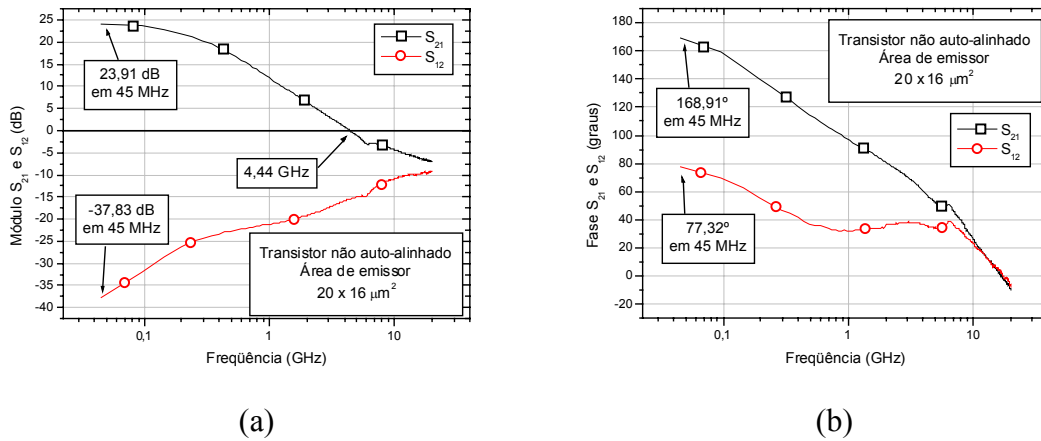


FIGURA 5.31 – MÓDULO DE S_{21} E S_{12} (A). FASE DE S_{21} E S_{12} (B)

A Figura 5.31(a) apresenta o módulo dos parâmetros S_{21} e S_{12} e a Figura 5.31(b) a fase dos parâmetros S_{21} e S_{12} . Os módulos e as fases, apresentados na Figura 5.31, foram calculados da mesma maneira que para o transistor anterior.

Para o transistor apresentado na Figura 5.31(a), os valores dos módulos de S_{21} e S_{12} são, respectivamente, 23,91 dB e -37,83 dB, em 45 MHz. Conforme se aumenta a frequência, o valor de $|S_{21}|$ decai numa taxa de, aproximadamente, 20 dB/dec, apresentando um ganho de 0 dB (ganho unitário) em 4,44 GHz. Este transistor apresenta, em 45 MHz, fases de $168,91^\circ$ para o parâmetro S_{21} e $77,32^\circ$ para o parâmetro S_{12} (Figura 5.31(b)), vindo ambas as fases a decaírem com o aumento da frequência. Da mesma forma que o transistor anterior, este apresenta em quase todo o intervalo de frequência, na qual foram realizadas as medidas, um comportamento indutivo para os parâmetros S_{21} e S_{12} (somente em, aproximadamente, 20 GHz a fase torna-se negativa, indicando um comportamento capacitivo).

A Figura 5.32 apresenta as impedâncias calculadas através dos parâmetros S_{11} e S_{22} . Este transistor possui (para o parâmetro S_{11}), em 45 MHz, uma impedância de $(229,03 - j238,16) \Omega$ que, com o aumento da frequência, decai para $(29,3 - j7,29) \Omega$, em 5,03 GHz. Com relação ao parâmetro S_{22} , em 45 MHz o valor da impedância é $(69,32 - j512,13) \Omega$, que também decai com o aumento da frequência, atingindo um valor de $(31,35 - j14,24) \Omega$, em 5,03 GHz.

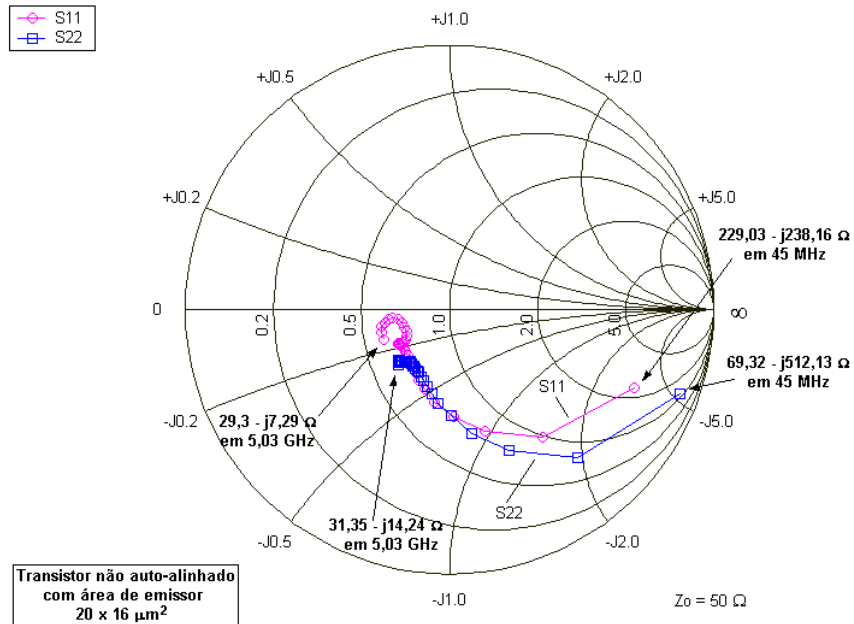


FIGURA 5.32 – CARTA DE SMITH PARA OS PARÂMETROS S_{11} E S_{22}

5.3.3.1.3. FIGURAS DE MÉRITO DOS TRANSISTORES

Como foram realizadas várias medidas nos transistores em diferentes pontos de polarização, a Tabela 5.15, mostrada a seguir, traz um resumo de todas as medidas realizadas nos transistores não auto-alinhados, com área de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$. Nesta tabela são apresentados os pontos de polarização dos transistores e os valores obtidos para F_T , $F_{MÁX}$ e o ganho ($|S_{21}|^2$), para 45 MHz.

TABELA 5.15 – RESULTADO DAS POLARIZAÇÕES DOS TRANSISTORES NÃO AUTO-ALINHADOS

Transistor (área de emissor)	V_{BE} (V)	I_B (mA)	I_C (mA)	V_{CE} (V)	$ S_{21} ^2$ (dB) em 45 MHz	$F_{MÁX}$ (GHz)	F_T (GHz)
20 x 06 μm^2	1,402	0,726	60,6	1,998	30,2	9,4	24,4
	1,261	0,032	2,822	2,499	19,6	6,4	9,0
	1,325	0,249	23,6	2,499	28,6	9,4	21,9
20 x 16 μm^2	1,248	0,037	3,342	1,998	21,4	4,1	6,0
	1,260	0,056	5,527	2,204	23,9	4,8	9,0
	1,401	0,881	88,5	1,998	31,6	6,3	21,2
	1,248	0,036	3,639	1,998	21,8	4,3	6,0
	1,505	0,258	18,96	2,897	29,3	5,5	16,6
	1,234	0,021	2,195	2,499	18,8	3,9	5,0

Pelos resultados apresentados na Tabela 5.15, nota-se que houve pontos de polarização onde foi obtido um valor de F_T superior a 20 GHz. Porém, de uma maneira geral, os valores de F_T ficaram abaixo de 9 GHz. Para os valores de $F_{MÁX}$, os valores encontrados ficaram entre 3,9 e 9,4 GHz.

O valor de F_T foi obtido através do parâmetro H_{21} , pois ambos possuem a mesma definição. H_{21} é o parâmetro híbrido definido para qualquer quadripolo elétrico e que pode ser obtido através dos parâmetros S, através da fórmula [44]:

$$H_{21} = \frac{-2 \cdot S_{21}}{(1 - S_{11}) \cdot (1 + S_{22}) + S_{12} \cdot S_{21}} \quad (5.3)$$

A frequência F_T é obtida extrapolando-se a curva de decaimento de $|H_{21}|^2$, seguindo uma inclinação de 20 dB/década.

O valor de $F_{MÁX}$ foi obtido de maneira semelhante à obtenção de F_T , utilizando-se o ganho máximo unilateral, $G_{U,MÁX}$ [14]. Neste tipo de ganho, está-se supondo devidamente casadas a entrada e a saída do transistor. Além disso, considera-se o quadripolo unilateral (S_{12} tendendo a zero). O valor de $G_{U,MÁX}$ pode ser calculado através dos parâmetros S, utilizando a fórmula [34]:

$$G_{U,MÁX} = \frac{|S_{21}|^2}{(1 - |S_{11}|^2) \cdot (1 - |S_{22}|^2)} \quad (5.4)$$

5.3.3.2. TRANSISTORES AUTO-ALINHADOS

As mesmas medidas realizadas nos transistores não auto-alinhados foram feitas para os transistores auto-alinhados, isto é, obteve-se os parâmetros S para vários pontos de pola-

rização. De maneira semelhante aos transistores não auto-alinhados, a seguir serão apresentados os resultados obtidos com estes transistores. Ao final dessa seção serão mostrados os valores das figuras de mérito destes transistores (F_T e $F_{MÁX}$), para os vários pontos de polarização, e o ganho do transistor obtido em 45 MHz.

5.3.3.2.1. HBT 20 x 06 μM^2

Os resultados apresentados na Figura 5.33 foram obtidos com uma tensão V_{BE} de 1,30 V, V_{CE} de 3,00 V, I_C de 4,47 mA e I_B de 0,035 mA.

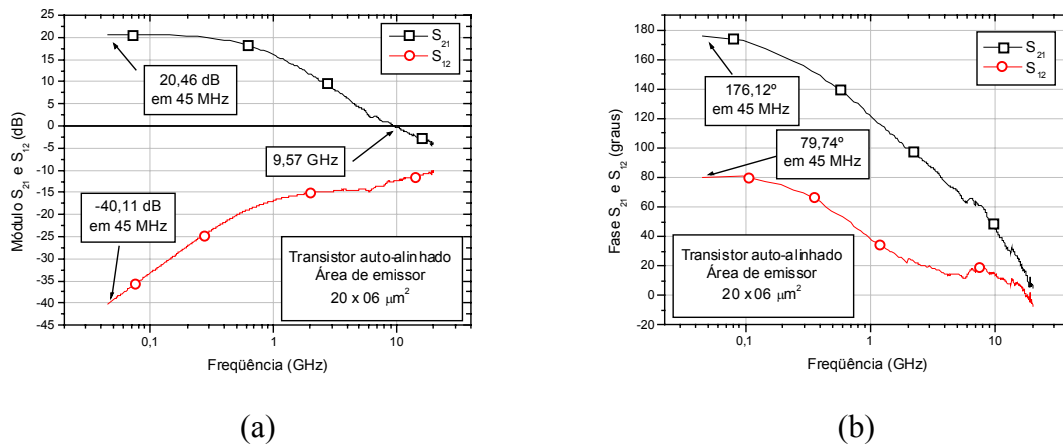


FIGURA 5.33 – MÓDULO DE S_{21} E S_{12} (A). FASE DE S_{21} E S_{12} (B)

A Figura 5.33(a) apresenta o módulo dos parâmetros S_{21} e S_{12} e a Figura 5.33(b) a fase dos parâmetros S_{21} e S_{12} . Para o transistor apresentado na Figura 5.33(a), os valores dos módulos de S_{21} e S_{12} são, respectivamente, 20,46 dB e -40,11 dB, em 45 MHz. Conforme se aumenta a frequência, o valor de $|S_{21}|$ decai numa taxa de, aproximadamente, 20 dB/dec, apresentando um ganho de 0 dB (ganho unitário) em 9,57 GHz. Este transistor apresenta, em 45 MHz, fases de 176,12° para o parâmetro S_{21} e 79,74° para o parâmetro S_{12} (Figura 5.33(b)), vindo ambas as fases a decaírem com o aumento da frequência. Dentro da faixa de frequência medida, este transistor apresenta um comportamento da fase indutiva para o parâmetro S_{11} . Já para o parâmetro S_{22} , em, aproximadamente, 20 GHz há uma inversão na fase, mudando seu comportamento de indutivo para capacitivo. A Figura 5.34 apresenta as impedâncias calculadas através dos parâmetros S_{11} e S_{22} .

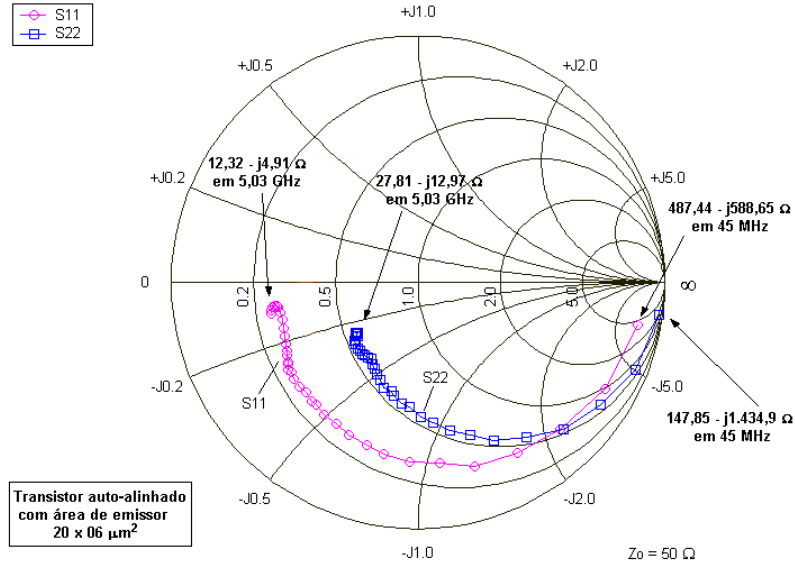


FIGURA 5.34 – CARTA DE SMITH PARA OS PARÂMETROS S_{11} E S_{22}

Este transistor apresenta (para o parâmetro S_{11}), em 45 MHz, uma impedância de $(487,44 - j588,65) \Omega$ que, com o aumento da frequência, decai para $(12,32 - j4,91) \Omega$, em 5,03 GHz. Com relação ao parâmetro S_{22} , em 45 MHz o valor da impedância é $(147,85 - j1.434,9) \Omega$ que, também, decai com o aumento da frequência, atingindo um valor de $(27,81 - j12,97) \Omega$ em 5,03 GHz.

5.3.3.2.2. HBT 20 x 16 μm^2

Para este último tipo de transistor fabricado, os resultados apresentados na Figura 5.35, foram obtidos com uma tensão V_{BE} de 1,29 V, V_{CE} de 1,30 V, I_C de 7,61 mA e I_B de 0,115 mA.

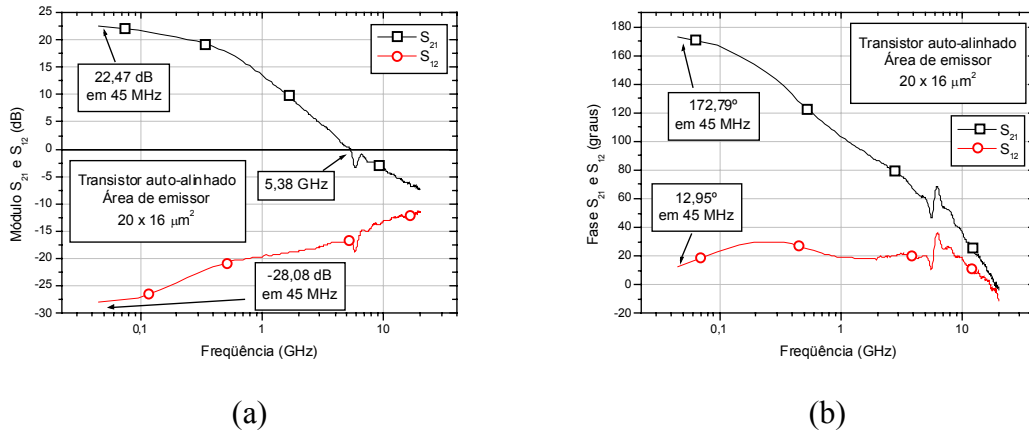


FIGURA 5.35 – MÓDULO DE S_{21} E S_{12} (A). FASE DE S_{21} E S_{12} (B)

A Figura 5.35(a) apresenta o módulo dos parâmetros S_{21} e S_{12} e a Figura 5.35(b) a fase dos parâmetros S_{21} e S_{12} . Os valores do módulo de S_{21} e S_{12} , apresentados na Figura 5.35(a), são, respectivamente, 22,47 dB e -28,08 dB, em 45 MHz. Conforme se aumenta a frequência o valor de $|S_{21}|$ decai, apresentando um ganho de 0 dB (ganho unitário) em 5,38 GHz. Este transistor apresenta, em 45 MHz, fases de $172,79^\circ$ para o parâmetro S_{21} e $12,95^\circ$ para o parâmetro S_{12} (Figura 5.35(b)).

A Figura 5.36 apresenta as impedâncias calculadas através dos parâmetros S_{11} e S_{22} . Este último transistor apresenta (para o parâmetro S_{11}), em 45 MHz, uma impedância de $(107,36 - j30,34) \Omega$ que, com o aumento da frequência, decai para $(12,83 - j1,17) \Omega$, em 5,03 GHz. Com relação ao parâmetro S_{22} , em 45 MHz o valor da impedância é $(157,81 - j53,01) \Omega$ que, também, decai com o aumento da frequência, atingindo um valor de $(21,29 - j4,16) \Omega$ em 5,03 GHz.

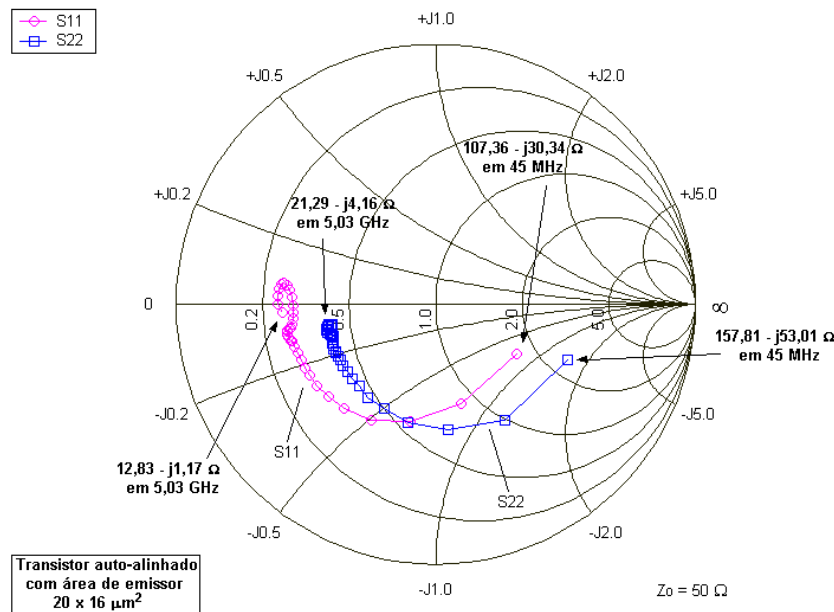


FIGURA 5.36 – CARTA DE SMITH PARA OS PARÂMETROS S_{11} E S_{22}

5.3.3.2.3. FIGURAS DE MÉRITO DOS TRANSISTORES

A Tabela 5.16, mostrada a seguir, traz um resumo de todas as medidas realizadas nos transistores auto-alinhados com área de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$. Nesta tabela são apresentados os pontos de polarização dos transistores e os valores obtidos para F_T , $F_{MÁX}$ e o ganho ($|S_{21}|^2$) para 45 MHz.

Para os transistores auto-alinhados, principalmente para os com área de emissor de $20 \times 06 \mu\text{m}^2$, o valor de F_T ficou acima dos 12 GHz (Tabela 5.16), atingindo um valor máximo de 16,3 GHz. Para o transistor com área de emissor $20 \times 16 \mu\text{m}^2$, o valor máximo obtido foi de 18,1 GHz. Com relação a $F_{MÁX}$, os valores mais elevados não ultrapassaram 12,4 GHz e a maioria dos valores encontrados ficaram abaixo de 9,1 GHz. Os locais, na Tabela 5.16, onde aparece “-“ (corrente I_B) não puderam ser lidos pelo amperímetro da fonte.

TABELA 5.16 – RESULTADO DAS POLARIZAÇÕES DOS TRANSISTORES AUTO-ALINHADOS

<i>Transistor (área de emissor)</i>	V_{BE} (V)	I_B (mA)	I_C (mA)	V_{CE} (V)	$ S_{21} ^2$ (dB) em 45 MHz	$F_{MÁX}$ (GHz)	F_T (GHz)
20 x 06 μm^2	1,325	0,064	8,798	2,499	23,3	11,8	16,3
	1,299	0,035	4,470	3,000	20,5	11,0	13,0
	1,299	0,039	5,197	3,936	21,3	12,4	14,1
	1,299	0,031	4,132	2,562	20,1	11,0	12,7
	1,312	0,040	5,065	1,304	21,0	9,1	12,5
	1,222	0,005	0,251	1,214	2,37	4,1	2,3
	1,299	0,032	4,278	2,832	20,3	10,8	13,2
20 x 16 μm^2	1,248	0,042	2,3	2,499	19,2	5,6	6,0
	1,299	0,179	19,6	3,000	29,2	10,5	18,1
	1,248	-	3,968	3,936	18,7	6,2	7,0
	1,248	-	2,768	2,562	18,3	6,0	6,0
	1,286	0,115	7,608	1,304	22,5	6,9	11,3
	1,222	0,043	0,802	1,214	10,3	3,4	2,7
	1,248	-	2,996	2,832	18,4	6,6	6,0

Mesmo com os transistores auto-alinhados apresentando problemas com altas correntes de fuga, comparando-se os resultados das Tabelas 5.15 e 5.16, percebe-se que os transistores não auto-alinhados apresentaram melhores resultados para F_T , ao passo que os melhores resultados de $F_{MÁX}$ foram obtidos com os transistores auto-alinhados. Os resultados obtidos com os parâmetros S_{21} e S_{12} demonstram a validade do argumento usado para a utilização do ganho máximo unilateral. A transmissão da porta 2 para 1, S_{12} , está mais de 20 dB abaixo de S_{21} , resultado típico de transistores de microondas. Pelo fato do transistor auto-alinhado ter uma estrutura literalmente igual ao não auto-alinhado, o primeiro tipo de transistor deveria apresentar melhores valores também para F_T . Isto, porém, não pode ser observado nestes dispositivos, pois os transistores auto-alinhados apresentaram problemas durante a sua fabricação.

5.3.4. CIRCUITO AMPLIFICADOR

Encerrando as medidas realizadas no CI, serão mostradas, nesta seção, as medidas de ganho, estabilidade e perdas de retorno na entrada e saída do MMIC fabricado. Dentre os tipos de circuitos fabricados (variando-se o tipo de resistor utilizado na realimentação), somente os fabricados com a camada de subcoletor funcionaram. Os circuitos fabricados com a camada de base não funcionaram, porque o capacitor utilizado para o desacoplamento do sinal DC do sinal de RF apresentou rompimento, fazendo com que o circuito não fosse polarizado. As medidas do circuito foram realizadas variando a frequência, de 45 MHz a 10 GHz. Para uma tensão de, aproximadamente, 5 V a corrente fornecida pela fonte de ali-

mentação do circuito foi de 22,2 mA. Esta primeira diferença que aparece é devida ao fato da resistência do indutor ser maior que a esperada.

Pelo gráfico apresentado na Figura 5.37, o ganho do circuito passou para, aproximadamente, 21,98 dB em 45 MHz, e a frequência de corte passou para, aproximadamente, 244 MHz.

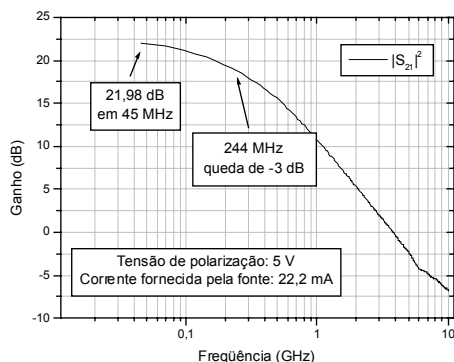


FIGURA 5.37 – GANHO DO CIRCUITO MEDIDO

Este circuito medido apresentou uma perda de retorno de $-5,79$ dB, em 45 MHz, na entrada, que foi diminuindo com o aumento da frequência. Já a perda de retorno na saída foi de $-13,35$ dB, em 45 MHz, e, com o aumento da frequência, esta perda foi sofrendo um acréscimo, passando a apresentar valores próximos a -6 dB a partir de 1 GHz. Estes valores, bem como o comportamento das perdas de retorno na entrada e saída, podem ser observados na Figura 5.38.

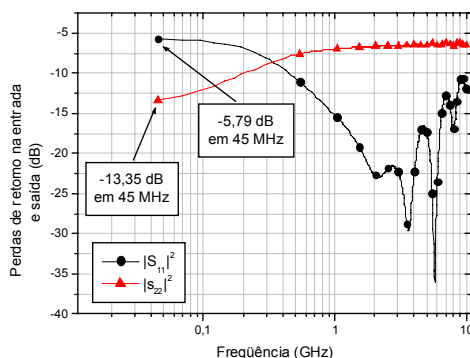


FIGURA 5.38 – PERDAS DE RETORNO NA ENTRADA E SAÍDA

Outra análise feita neste circuito foi a verificação de sua estabilidade no intervalo de frequência no qual foram realizadas as medidas. Como pode ser visto na Figura 5.39, o circuito apresentou-se incondicionavelmente estável. Os índices de estabilidade observados, K e B1, apresentaram resultados que satisfazem esta condição, isto é, K deve ser maior que 1 e B1 deve ser maior que 0.

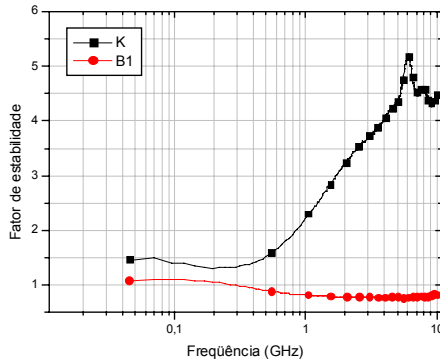


FIGURA 5.39 – FATORES DE ESTABILIDADE DO CIRCUITO

As diferenças entre os valores medidos e simulados, apresentadas no Capítulo 3, devem-se predominantemente às resistências parasitárias dos contatos do HBT e do indutor. No início dos trabalhos, não haviam resistores fabricados com a camada de base e subcoletor, sendo difícil prever seu comportamento e quais modelos elétricos os representariam com uma certa precisão, permitindo a sua utilização em simulação. O mesmo aconteceu com os capacitores. Os capacitores fabricados anteriormente eram processados isoladamente, e não estavam integrados à tecnologia de fabricação do HBT. Os dispositivos passivos e circuitos não foram fabricados em máscaras separadas, por questões econômicas e tempo. A partir de agora se pretende estabelecer modelos elétricos mais próximos da realidade, fazendo com que estas diferenças entre modelos utilizados e as medidas diminuam.

Como os dispositivos do circuito foram fabricados isoladamente, também foi possível simular, novamente, o circuito com os novos parâmetros obtidos através de medidas de RF. Para esta nova simulação, o modelo do indutor e os valores utilizados, são os que aparecem na Figura 5.40(a). O modelo utilizado para o capacitor, bem como os valores utilizados, aparecem na Figura 5.40(b). Os modelos utilizados para os resistores (linhas de transmissão com perdas elevadas), não estavam representando de maneira satisfatória o dispositivo real; por isso, as novas simulações utilizaram os dados extraídos das medidas de RF. Em [56] é proposto um modelo para resistores a partir de blocos básicos, que pode ser empregado para tentar modelar os resistores fabricados.

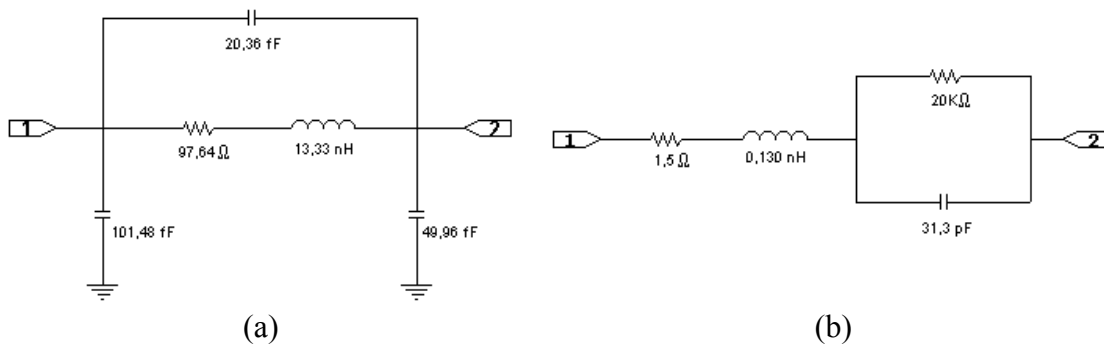


FIGURA 5.40 – MODELO UTILIZADO PARA O INDUTOR (A). MODELO UTILIZADO PARA O CAPACITOR (B)

Para o HBT, os novos valores para o modelo de pequenos sinais são apresentados na Tabela 5.17. Dentre as medidas RF realizadas nos transistores $20 \times 16 \mu\text{m}^2$ não auto-alinhados, o ponto de polarização que se aproxima do ponto de polarização do circuito “re-simulado” (a simulação do novo ponto de polarização foi feita no SPICE, de maneira semelhante à apresenta no Capítulo 3, que se refere ao projeto das máscaras) foi a polarização cujo valor de V_{CE} é 2,8 V e V_{BE} é 1,5 V. Com os parâmetros S do transistor, neste ponto de polarização, extraiu-se os parâmetros intrínsecos do HBT, seguindo o método de extração apresentado no Capítulo 2. As capacitâncias dos *pads* foram determinadas através de estruturas que estão descritas no Capítulo 3. Para a determinação dos parâmetros extrínsecos, obteve-se os parâmetros S do transistor para várias correntes de base, mas sempre mantendo a corrente de coletor igual a zero (método também descrito no Capítulo 2).

TABELA 5.17 – PARÂMETROS PARA MODELO DE PEQUENOS SINAIS DO HBT

<i>Parâmetro</i>	<i>Valor</i>	<i>Parâmetro</i>	<i>Valor</i>
C_{BEP}	59 fF	C_{EX}	0,3 pF
C_{BCP}	34 fF	C_{BC}	0,4 pF
C_{CEP}	33 fF	R_{B2}	44,98 Ω
R_E	2,7 Ω	R_{BC}	5.430 Ω
R_B	2,9 Ω	R_{EX}	17.000 Ω
R_C	3,13 Ω	α_0	0,994
L_E	0,047 nH	τ	6,6 ps
L_B	0,089 nH	R_{BE}	0,07 Ω
L_C	0,052 nH	C_{BE}	7,6 pF

Com estes novos valores para os parâmetros do transistor e dos elementos passivos, o gráfico do ganho (comparado com o circuito medido) é apresentado na Figura 5.41.

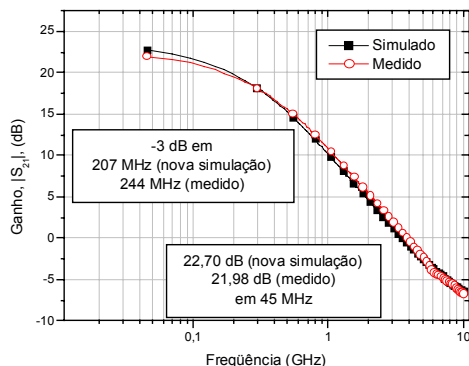


FIGURA 5.41 – COMPARAÇÃO ENTRE O GANHO MEDIDO E SIMULADO

Pelo gráfico apresentado na Figura 5.41, percebe-se uma boa concordância entre os valores “resimulados” e medidos. As demais características que o circuito apresenta (perdas de retorno na entrada e na saída e fatores de estabilidade), são apresentados na Figura 5.42.

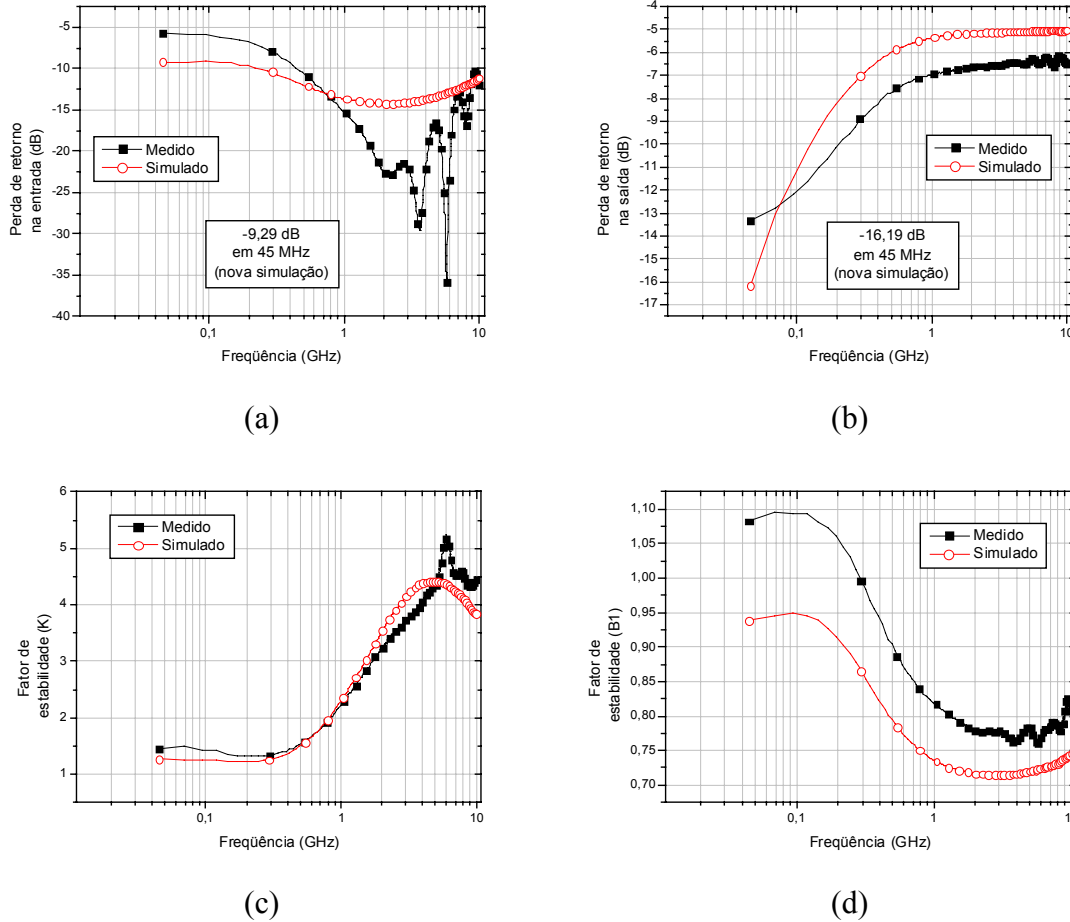


FIGURA 5.42 – COMPARAÇÃO DAS DEMAIS CARACTERÍSTICAS DO CIRCUITO: PERDA DE RETORNO NA ENTRADA (A) E SAÍDA (B) E FATORES DE ESTABILIDADE K (C) E B1 (D)

Por estes outros gráficos, apresentados na Figura 5.42, observa-se um erro um pouco maior entre os valores simulados e medidos (mas não tão grandes quanto aos simulados da primeira vez). Estes erros foram ocasionados, devido ao fato de o transistor utilizado não estar na exata polarização do circuito. O novo valor de polarização foi obtido através de simulação e, no circuito, não havia como medir o ponto de polarização do transistor, e, também, porque os parâmetros obtidos para a “resimulação” não passaram por nenhum processo de otimização, visando diminuir o erro entre os valores medidos e calculados (apenas o transistor passou por um pequeno ajuste de valores). Entretanto, estes novos valores apresentaram uma melhor resposta, em comparação aos valores utilizados no início deste trabalho, indicando, desta forma, que eles necessitam de alguns ajustes para melhor representarem os dispositivos reais.

CAPÍTULO 6

CONCLUSÕES E PERSPECTIVAS

Neste trabalho, foi feita a integração dos processos de fabricação de dispositivos passivos e ativos para circuitos integrados monolíticos de microondas. Para isto, foi elaborado um conjunto de máscaras que possuíam os elementos passivos e ativos, além de um circuito amplificador emissor comum, para testar a integração do processo. A tecnologia de fabricação utilizada foi a de transistores bipolares de heterojunção, processados a partir de camadas de InGaP/GaAs. Dentre todas as etapas de processo utilizadas, as únicas que não foram realizadas na UNICAMP foram o crescimento epitaxial das lâminas de arseneto de gálio e a fabricação do conjunto de máscaras.

Como resultados obtidos, podemos destacar:

- 1) Conseguiu-se fabricar um MMIC com a tecnologia de transistores bipolares de heterojunção;
- 2) Os problemas apresentados na fabricação dos elementos passivos, principalmente com relação aos indutores e capacitores, foram identificados e algumas soluções para melhorias serão apresentadas a seguir;
- 3) Os valores esperados por cálculo e obtidos através da medida da capacitância, em baixa frequência, dos capacitores ficaram bem próximos;
- 4) Os HBTs não auto-alinhados, com áreas de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$, apresentaram ganhos de corrente DC superiores a 100 e fator de idealidade de, aproximadamente, 1 para o coletor e 1,19 para a base;
- 5) Os HBTs auto-alinhados, com áreas de emissor $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$, mesmo apresentando problemas durante o processo de fabricação, apresentaram ganhos de corrente DC superiores a 136 e fator de idealidade de, aproximadamente, 1,02 para o coletor e de, aproximadamente, 1,48 para a base, no melhor valor obtido (HBT $20 \times 16 \mu\text{m}^2$), e de, aproximadamente, 2,32 para a base, no pior caso (HBT $20 \times 06 \mu\text{m}^2$);
- 6) Com relação às medidas de RF realizadas nos transistores, podemos destacar HBTs com F_T superior a 20 GHz (para transistores não auto-alinhados com áreas de emissor de $20 \times 06 \mu\text{m}^2$ e $20 \times 16 \mu\text{m}^2$). Já com relação a $F_{M\text{AX}}$, os melhores valores obtidos foram com os transistores auto-alinhados, onde o melhor resultado obtido foi 12,4 GHz (valor este conseguido em um transistor com área de emissor de $20 \times 06 \mu\text{m}^2$). Isto significa que, mesmo com transistores de área relativamente grande, é possível obter um bom desempenho;

- 7) O circuito fabricado apresentou uma frequência de corte de, aproximadamente, 244 MHz e ganho em baixa frequência de 21,98 dB. Os valores obtidos numa segunda simulação (utilizando os parâmetros do CI fabricado) foram: uma frequência de corte de, aproximadamente, 207 MHz e ganho em baixa frequência de 22,70 dB. Estes resultados foram satisfatórios no sentido de validar os modelos utilizados. Este baixo valor da frequência de corte deve-se, predominantemente, aos elevados valores das resistências parasitárias dos contatos do HBT e do indutor.

Neste trabalho também foi constatado que a utilização de resistores, feitos a partir de material semicondutor, não é aconselhável, caso sua aplicação final seja para operação em altas frequências, pois estes passam a apresentar um comportamento capacitivo. Este comportamento foi observado, principalmente, nos resistores fabricados com a camada de base e nos resistores de grandes dimensões e forma não-retilínea, fabricados com as camadas de subcoletor. Já nos resistores fabricados com a camada de subcoletor e de dimensões reduzidas, o comportamento capacitivo foi menor.

O projeto, como um todo, demonstrou, após o processo de fabricação e realização das medidas de caracterização elétrica, a necessidade de alterações para obter-se resultados melhores no futuro. Os aprimoramentos que podem ser feitos vão desde o projeto das máscaras até a fabricação do CI.

No que se refere ao projeto das máscaras, viu-se a necessidade de se incluir novas estruturas. Estas novas estruturas seriam estruturas para poder medir os elementos parasitas dos *pads* dos elementos passivos (da mesma forma que foi feita para os transistores). As estruturas passivas, contidas nesta primeira máscara, foram feitas para medidas de duas “portas”. Um outro tipo de estrutura, que poderia ser incluído, seria estruturas para medida de uma “porta”, onde um dos lados da estrutura passiva estaria ligada diretamente ao terra do sistema de medidas.

No que se refere ao processo de fabricação, as corrosões úmidas poderiam ser substituídas por corrosões por plasma, pois no plasma é possível um maior controle da anisotropia das corrosões. O *alloy* feito em forno convencional também poderia ser substituído pelo RTP, onde o tempo de *alloy* seria reduzido bastante e a temperatura é mais uniforme. Para tentar diminuir a corrente de fuga apresentada nos transistores auto-alinhados, poder-se-ia utilizar processos de passivação.

O sistema de abertura de vias poderia ser realizado em mais etapas, como por exemplo, em uma primeira etapa abrir-se-iam as regiões de emissor e base e, em uma segunda etapa, as regiões de subcoletor e demais estruturas. Isto seria uma tentativa de obter-se as vias com as mesmas dimensões da máscara, diminuindo os valores das resistências das vias. Assim, o problema, encontrado com a abertura de vias dos indutores, estaria resolvido. Uma outra alternativa, para tentar resolver o problema encontrado nos indutores, sem mexer na abertura das vias, seria aumentar a espessura do primeiro nível de metal dos indutores, diminuindo, desta forma, também a resistividade.

Com relação ao circuito completo, viu-se a necessidade de se incluir um número maior, pois dois circuitos mostraram-se insuficientes. O processo de fabricação é um tanto longo e a possibilidade de erros, durante o processo, virem a prejudicar o funcionamento do circuito é relativamente alta. Além de aumentar o número de circuitos, poder-se-ia incluir, também, circuitos com *pads* extras, cuja finalidade seria obter as tensões e correntes de polarização DC do circuito em diferentes pontos, podendo-se, assim, saber o valor exato da

polarização de um determinado ponto do circuito, tendo assim, um maior controle durante as simulações. O circuito poderia ainda ser melhorado quanto ao desempenho, fazendo-se o casamento de impedância na entrada e saída.

Poder-se-ia também, fazer um circuito sem o sistema de desacoplamento do sinal de RF do sinal DC, isto é, sem os indutores e capacitores, deixando essas funções para o equipamento de medida. Dessa forma, o circuito seria testado sem os parasitas dos elementos passivos, a não ser o resistor de realimentação.

As mudanças propostas, em especial as referentes ao processo de fabricação, visam melhorar os dispositivos como um todo, principalmente o que se mostrou mais sensível às variações que podem ocorrer durante o processo, que foi o transistor auto-alinhado.

Na parte que se refere à modelagem dos dispositivos, sejam eles passivos ou ativos, seria interessante desenvolver ferramentas computacionais que fizessem a extração e otimização dos parâmetros dos modelos elétricos utilizados. Desta forma, desenvolver-se-ia um método automático para a determinação dos parâmetros dos modelos elétricos utilizados, proporcionando simulações mais realistas.

Por fim, como estes dispositivos são utilizados em telecomunicações, poder-se-ia fazer testes nestes quanto à sua resistência à radiação [57].

BIBLIOGRAFIA

[1] S. J. Harrold, “An introduction to GaAs IC Design”, *Prentice Hall International (UK) Ltd.*, 1993;

[2] Página Internet: <http://canopus.icu.ac.kr/~CoSMIC/lecture/micro/CH-1.PDF>;

[3] T. Iwai *et al.*, “High-efficiency and high linearity InGaP/GaAs HBT power amplifiers: matching techniques of source and load impedance to improve phase distortion and linearity”, *IEEE Trans. on Electron Devices*, Vol.45, No.6, pp.1196-1200, Jun.1998;

[4] M. Mokhtari *et al.*, “1.7Volt, DC to 15 GHz differential amplifier with constant group delay in InP-HBT technology”, *Analog Integrated Circuits and Signal Processing*, 15, 109-121, 1997;

[5] A. Huber *et al.*, “Lumped DC-50 GHz amplifier using InP/InGaAs HBTs”, *Electronic Letters*, Vol.35, No.1, pp.53-55, Jan-1999;

[6] K. W. Kobayashi *et al.*, “A 44-GHz high IP3 InP-HBT amplifier with practical current reuse biasing”, *IEEE Trans. on Microwave Theory and Techniques*, Vol.46, No.12, pp.2541-2552, Dec.1999;

[7] Y. Suzuki *et al.*, “A 40-Gb/s preamplifier using AlGaAs/InGaAs HBT’s with re-grown base contacts”, *IEEE Journal of Solid-State Circuits*, Vol.34, No.2, pp.143-147, Feb. 1999;

[8] K. Runge *et al.*, “AlGaAs/GaAs HBT IC’s for high speed lightwave transmission systems”, *IEEE Journal of Solid-State Circuits*, Vol.27, No.10, pp.1332-1339, Oct. 1992;

[9] R. T. Yoshioka, L. B. Zoccal, M. A. Goes, L. E. M. de Barros Jr., M. B. Zakia and J. W. Swart, “Development of a HBT MMIC Technology”, *XVI International Conference on Microelectronics and Packaging, SBMicro 2001*, pp. 122-127, Pirenópolis, GO, 10-14 September, 2001;

[10] R. T. Yoshioka, L. E. M. de Barros, Jr., J. W. Swart, J. Bettini, M.G.M. de Carvalho, A.C. Redolfi e A.S. Lujan, “Tuning of HBT fabrication process on III-V compounds”, *Journal of Solid-State Devices and Circuits*, Vol.07, No.1, pp.01-06, Fev.1999;

[11] J. C. Bueno, “Modelamento, Projeto, Fabricação e Caracterização de Microdispositivos Semicondutores”, LPD-IFGW-UNICAMP, Julho de 2000;

- [12] Página Internet: <http://www.ohmega.com/DesignResistor.html>;
- [13] Dieter K. Schroder, “Semiconductor material and device characterization”, *Wiley-Interscience*, 1990;
- [14] R. T. Yoshioka, “Processo de Fabricação de HBT em Camadas de In-GaP/GaAs”, *Tese de Doutorado*, DSIF-FEEC-UNICAMP, Dezembro de 2001;
- [15] A. C. Redolfi, “Projeto e Fabricação de HBTs”, *Tese de Doutorado*, DSIF-FEEC-UNICAMP, Abril de 1999;
- [16] E. Martins, “Modelamento de Transistores Bipolares de Heterojunção”, *Tese de Mestrado*, LPD-IFGW-UNICAMP, Novembro de 1994;
- [17] A. M. Jorge, “Física e modelos de componentes bipolares”, *Editora da UNICAMP*, 1999;
- [18] M. H. Cordaro, “Projeto e Construção de Amplificador Monolítico de Microondas em Arseneto de Gálio”, *Tese de Mestrado*, USP, 1989;
- [19] A. S. Lujan, “Projeto de um Conjunto de Máscaras para Desenvolvimento de um Processo de Vias em Multi-níveis”, LPD-IFGW/DSIF-FEEC – UNICAMP, Novembro de 1995;
- [20] H. M. Greenhouse, “Design of Planar Rectangular Microelectronic Inductors”, *IEEE Transactions on Parts, Hybrids and Packaging*, Vol. PHP-10, No. 2, pp. 101-109, June 1974;
- [21] T. Yeung, “Analysis and Design of On-chip Spiral Inductors and Transformers for Silicon RF Integrated Circuits”, *The Hong Kong University of Science and Technology*, Master of Philosophy in Electrical and Electronic Engineering Thesis, December 1998;
- [22] C. P. Yue, S. S. Wong, “On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC’s”, *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 5, pp. 743-752, May 1998;
- [23] A. M. Niknejad, R. G. Meyer, “Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC’s”, *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 10, pp. 1470-1481, October 1998;
- [24] M. M. Hershenson, S. S. Mohan, S. P. Boyd, T. H. Lee, “Optimization of Inductor Circuits via Geometric Programming”, *Electrical Engineering Department*, Stanford University, Stanford, Stanford CA 94305;
- [25] Página Internet: <http://formosa.EECS.Berkeley.EDU/~niknejad>;

[26] P. A. Houston, "Semiconductor Devices 4: High-frequency heterojunction bipolar transistor device design and technology", *Electrons & Communication Engineering Journal*, October 2000;

[27] H. Kroemer, "Heterostructure Bipolar Transistors and Integrated Circuits", *Proceedings of the IEEE*, Vol.70, No. 1, January 1982;

[28] M. Hafizi, R. A. Metzger, and W. E. Stanchina, "Dependence of DC Current Gain and f_{\max} of AlInAs/GaInAs HBT's on Base Sheet Resistance", *IEEE Electron Device Letters*, Vol. 14, No. 7, pp. 323-325, July 1993;

[29] I. Getreu, "Modeling the Bipolar Transistor", *Tektronix, Inc.*, 1976;

[30] P. W. Tuinenga, "SPICE: A Guide to Circuit Simulation and Analysis Using PSpice[®]", *Prentice Hall Inc.*, Second Edition, 1992;

[31] J. J. X. Feng, D. L. Pulfrey, J. Sitch, and R. Surridge, "A Physics-Based HBT SPICE Model for Large-Signal Applications", *IEEE Transactions on Electron Devices*, Vol. 42, No. 1, pp. 8-14, January 1995;

[32] Ce-Jun Wei, and J. C. M. Hwang, "Direct Extraction of Equivalent Circuit Parameters for Heterojunction Bipolar Transistors", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 43, No. 9, pp. 2035-2040, September 1995;

[33] M. Sotoodeh, L. Sozzi, A. Vinay, A. H. Khalid, Z. Hu, A. A. Rezazadeh, and R. Menozzi, "Stepping Toward Standard Methods of Small-Signal Parameter Extraction for HBT's", *IEEE Transactions on Electron Devices*, Vol. 47, No. 6, pp. 1139-1151, June 2000;

[34] G. D. Vendelin, "Design of Amplifiers and Oscillators by the S-Parameter Method", *John Wiley & Sons Inc.*, 1982;

[35] B. Li, S. Prasad, Li-Wu Yang, and S. C. Wang, "A Semianalytical Parameter-Extraction Procedure for HBT Equivalent Circuit", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 46, No. 10, pp. 1427-1435, October 1998;

[36] Página Internet:
http://www.kingshonor.com/Science/Tutorial/Modeling/Session03_Deembedding/;

[37] Cascade Microtech, "Layout Rules for GHz-Probing: A guide to device layout, for the best possible GHz-probing results", *Application Note*;

[38] S. A. Moshkalyov, J. A. Diniz, P. J. Tatsch, J. W. Swart, "Deposition of Silicon Nitride by Low-Pressure ECR-CVD in $N_2/Ar/SiH_4$ ", *Journal of Vacuum Science & Technology B.*, v.15, n.6, pp. 2682, 1997;

[39] Página Internet: <http://www.webelements.com>;

- [40] Página Internet:
<http://www.aircraftmaterialsuk.com/data/electronic/alnicr.html>;
- [41] Página Internet:
<http://www.resistancewire.com/Html/Technical/AlloyDataTables/PDF's/ADT2001.12.17.N7.ENG.PDF>;
- [42] A. S. Sedra, K. C. Smith, “Microeletrônica – Quarta Edição”, *Makron Books do Brasil Editora Ltda.*, 2000;
- [43] B. Bayraktaroglu, “HBT Power Devices and Circuits”, *Pergamon Solid-State Electronics*, Vol. 41, No. 10, pp. 1657-1665, 1997;
- [44] G. Gonzalez, “Microwave Transistor Amplifiers: Analysis and Design”, *Prentice-Hall Inc.*, 1984;
- [45] Página Internet: <http://www.kopin.com>
- [46] Hoeschst High Chem, “AZ[®] 5214 Positive Photoresists for Semiconductors and Microelectronics”, October 1985;
- [47] A. Grill, “Cold Plasma in Materials Fabrication From Fundamentals to Applications”, *IEEE Press*, New York;
- [48] S. M. Sze, “Physics of Semiconductor Devices”, 2nd Ed. *New York Wiley*, 1981;
- [49] Hoeschst High Chem, “AZ[®] 1500 Series Positive Photoresists for Semiconductors and Microelectronics”, February 1987;
- [50] S. Ina, *Journal Electrochem. Soc.* 118, pp. 768, 1971;
- [51] Dow Chemical, “Processing Procedures for Dry-Etch CYCLOTENE Advanced Electronics Resins (Dry-Etch BCB)”, *Processing Procedures*, November 1997;
- [52] Página Internet: <http://www.chestech.co.uk/spr3000flyer.pdf>;
- [53] A. S. Lujan, A. C. S. Ramos, J. W. Swart, and P. M. Enquist, “Dry Etch Characteristics of BCB for Application in a Multilevel Interconnection”, *X Congress of the Brazilian Microelectronics Society, I Ibero American Microelectronics Conference*, pp. 597-605, 1995;
- [54] R. R. Neli, “Desenvolvimento de Micro-Estruturas Mecânicas Sobre o Silício Através da Corrosão do Substrato pela Superfície”, *Tese de Mestrado*, FEEC-DMCSI-UNICAMP, Abril de 2002;

[55] P. C. Grossman, and J. Choma, "Large Signal Modeling of HBT's Including Self-Heating and Transit Time Effects", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 49, No. 3, pp. 449-464, March 1992;

[56] R. Poddar, E. M. Moon, M. A. Brooke and N. M. Jokerst, "Accurate, Rapid, High Frequency Empirically Based Predictive Modeling of Arbitrary Geometry Planar Resistive Passive Devices", *IEEE Transactions on Components, Packaging, and Manufacturing Technology – Part B*, Vol. 21, No. 2, pp. 177-183, May 1998;

[57] B. Luo, J. W. Johnson, F. Ren, K. K. Allums, C. R. Abernathy, S. J. Pearton, R. Dwivedi, T. N. Fogarty, R. Wilkins, and D. Schoenfeld, "Proton and Gamma-Ray Irradiation Effects on InGaP/GaAs Heterojunction Bipolar Transistors", *Journal of The Electrochemical Society*, 149 (4) G213-G217, 2002;

APÊNDICE A

ARQUIVO DE TECNOLOGIA UTILIZADO PARA O DESENHO DO CONJUNTO DE MÁSCARAS

Este apêndice mostrará a listagem do arquivo de tecnologia utilizado no desenho das máscaras (arquivo *hbt0.tech26*).

tech		styles	
hbt0		styletype	mos
end		emesa	1
		bmetal	33
planes		bmesa	21
emitter		cvia	32
ecc		deviso	40
bcc		icmetal	8
base		ncmetal	14
vias		metal	20
isol, niquelcromo		ecmetal	2
interc		colvia	36
cllvias		brecess	34
baserecess, indcapmetal		end	
end		contact	
		end	
types		compose	
emitter	emesa	end	
ecc	ecmetal		
bcc	bmetal	connect	
base	bmesa	end	
vias	cvia		
isol	deviso	cifoutput	
indcapmetal	icmetal	style hbt0cif	
niquelcromo	ncmetal	scalefactor 100	
interc	metal	layer EMESA emesa	
cllvias	colvia	calma 1 1	
baserecess	brecess	layer ECMET ecmetal	
end		calma 2 1	
contact		layer BAMET bmetal	
end		calma 3 1	

<pre> layer BMESA bmesa calma 4 1 layer CVIA cvia calma 5 1 layer DEVIS deviso calma 6 1 layer ICMET icmetal calma 7 1 layer NICR ncmetal calma 8 1 layer METAL metal calma 9 1 layer COLVI colvia calma 10 1 layer BRCES brecess calma 11 1 end cifinput style hbt0cif scalefactor 100 layer emesa EMESA layer ecmetal ECMET layer bmetal BAMET layer bmesa BMESA layer cvia CVIA layer deviso DEVIS layer icmetal ICMET layer ncmetal NICR layer metal METAL layer colvia COLVI layer brecess BRCES calma EMESA 1 *</pre>	<pre> calma ECMET 2 * calma BAMET 3 * calma BMESA 4 * calma CVIA 5 * calma DEVIS 6 * calma ICMET 7 * calma NICR 8 * calma METAL 9 * calma COLVI 10 * calma BRCES 11 * end mzrouter end drc end extract end wiring end router end plowing end plot end</pre>
--	--