

Universidade Estadual de Campinas - UNICAMP

Faculdade de Engenharia Elétrica - FEE

Departamento de Microeletrônica

**Projeto, Simulações e Análises de
Comparadores de Corrente MOS**

Ximena Charry Sierra

Engenheira Eletricista, UNESP Guaratinguetá, 1993

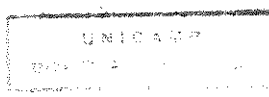
Orientador: Prof. Dr. Alberto Martins Jorge

DEMIC / FEE - UNICAMP

Dissertação apresentada à Faculdade de Engenharia Elétrica da Universidade Estadual de Campinas - FEE / UNICAMP - como requisito parcial à obtenção do título de **Mestre em Engenharia Elétrica**

Campinas, maio de 1996

Este exemplar corresponde à versão final da tese defendida por *Ximena Charry Sierra* e aprovada pela Comissão Julgadora em *11/05/96* pelo orientador *Alberto Martins Jorge*



DATA:	80
CHAMADA:	UNICAMP
	C384p
ANO DEY:	28 457
NO:	667196
	<input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/>
VALOR:	79611,00
DATA:	04/09/96
CPD:	011000911523-1

FICHA CATALOGRÁFICA ELABORADA PELA

BIBLIOTECA DA ÁREA DE ENGENHARIA - BAE - UNICAMP

C384p Charry Sierra, Ximena
 Projeto, simulações e análises de comparadores de corrente MOS. / Ximena Charry Sierra. Campinas, S.P.: [s.n.], 1996.

Orientador: Alberto Martins Jorge.

Dissertação (mestrado) - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica.

1. Circuitos Integrados. 2. Transistores. 3. Conversores analógicos-digitais.

*I. Charry Sierra, Ximena. II. Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica. III. Título.

* Jorge Alberto Martins

.....

.....

Dedico este trabalho ...

Ao meu pai, Edgar Charry Rodriguez, inesgotável pesquisador e mestre, e ao meu companheiro Luiz Antônio Razera Jr. , que traz em si a atitude criativa do pesquisador.

AGRADECIMENTOS

Ao *Prof. Dr. Alberto Martins Jorge*, pela orientação e apoio no desenvolvimento deste trabalho.

Ao *Prof. Dr. Edgar Charry Rodriguez*, pelas sábias opiniões, pelo constante incentivo e pelo grande carinho recebido.

Ao *Eng. Luiz Antônio Razera Jr.*, pelas frutíferas discussões, pela compreensão e paciência e, sobretudo, pelo constante estímulo.

Aos *Engenheiros Luciano Szezerbatty e Ricardo Ito*, pelo excelente companheirismo e pela troca de experiências.

Ao *Prof. Luiz Antônio Razera*, pela cuidadosa revisão do texto final e constante motivação.

Gostaria de agradecer a todas as pessoas que, de uma maneira ou de outra, colaboraram no processo de elaboração deste trabalho.

Por último, gostaria de agradecer à **Vida** por ter-me dado a oportunidade de realizar este trabalho.

ÍNDICE

DEDICATÓRIA	I
AGRADECIMENTOS	II
ÍNDICE	III
RESUMO	V
ABSTRACT	VI
INTRODUÇÃO	1
PROCESSAMENTO DE SINAL ANALÓGICO EM MODO CORRENTE	3
1.1. <i>Introdução</i>	3
1.2. <i>Processamento em Modo Corrente</i>	4
1.3. <i>Comparadores de Sinais Analógicos</i>	4
COMPARADOR DE CORRENTE COM EFEITO DE MODULAÇÃO DE CANAL	6
2.1. <i>Princípios de Funcionamento</i>	6
2.2. <i>Desempenho do Circuito Comparador</i>	8
2.3. <i>Projeto do Comparador de Corrente</i>	8
2.3.1. <i>Projeto do Inversor</i>	9
2.3.2. <i>Projeto das Chaves Analógicas</i>	10
2.4. <i>Desempenho DC</i>	13
2.5. <i>Resposta Transiente</i>	15
2.6. <i>Projeto do "Buffer" de Saída</i>	26
2.7. <i>Comparador de Corrente com "Buffer" de Saída</i>	27

COMPARADOR DE CORRENTE COM REALIMENTAÇÃO POSITIVA	29
3.1. <i>Princípios de Funcionamento</i>	29
3.2. <i>Especificações do Circuito Comparador</i>	30
3.3. <i>Funcionamento Detalhado do Circuito Comparador</i>	30
3.4. <i>Projeto do Comparador de Corrente com Realimentação Positiva</i>	33
3.5. <i>Desempenho do Comparador</i>	34
3.5.1. <i>Resposta Transiente</i>	36
3.6. <i>Comparador de Corrente com "Buffer" de Saída</i>	44
APLICAÇÃO DO COMPARADOR DE CORRENTE EM UM CONVERSOR A/D	46
4.1. <i>Introdução</i>	46
4.2. <i>Conversor A/D Algorítmico em Modo Corrente</i>	46
4.3. <i>Implementação do Conversor A/D Algorítmico</i>	49
4.4. <i>Resultados de Simulação do Conversor A/D</i>	52
CONCLUSÕES GERAIS	57
REFERÊNCIAS BIBLIOGRÁFICAS	58
APÊNDICE A	60
<i>O Transistor MOS em Regime de Saturação</i>	60
A.1 <i>Introdução</i>	60
A.2 <i>Transistor MOS Canal N</i>	60
A.3 <i>Transistor MOS Canal P</i>	61
A.4 <i>Parâmetros de Simulação</i>	62
APÊNDICE B	64
<i>Arquivos de Simulação</i>	64
B.1 <i>Comparador de Corrente com Efeito de Modulação de Canal</i>	64
B.2 <i>Comparador de Corrente com Realimentação Positiva</i>	66
B.3 <i>Conversor A/D utilizando o Comparador de Corrente c/ Realimentação Positiva</i>	70
	70

RESUMO

Este trabalho tem por objetivo o estudo de dois comparadores de corrente, conhecidos como Comparador de Corrente com Efeito de Modulação de Canal e Comparador de Corrente com Realimentação Positiva. Foi realizado o projeto dos comparadores de corrente, bem como as simulações e análises DC e transiente para avaliar o desempenho dos mesmos.

Como resultados obtidos, tem-se que o comparador de corrente com efeito de modulação de canal obteve uma resolução de 8 bits para uma faixa dinâmica entre 10 μA e 100 μA . Para diferenças entre as correntes de entrada e de referência acima dos 10 μA , a frequência de operação se manteve acima de 100 MHz, para uma capacitância de carga interna de 0.1 pF. O comparador de corrente com realimentação positiva obteve alta resolução (maior que 10 bits). Porém, a frequência de operação do circuito permaneceu entre 50 a 60 MHz para diferenças de correntes maiores que 12 μA , utilizando a mesma carga capacitiva.

Como aplicação dos comparadores de corrente foi escolhido um conversor A/D algorítmico em modo corrente. De acordo com os resultados apresentados anteriormente, conclui-se que o comparador de corrente com efeito de modulação de canal obteve maior frequência de operação, enquanto o comparador de corrente com realimentação positiva teve um melhor desempenho, no que se refere à resolução. Dado que o conversor A/D algorítmico se caracteriza pela baixa taxa de conversão, para sua implementação foi escolhido o comparador de corrente com realimentação positiva.

No conversor A/D projetado, a resolução alcançada foi de 10 bits, para uma frequência de operação de 40 KHz. Houve a necessidade de se utilizar espelhos de corrente do tipo cascode regulado modificado. Porém, erros associados aos espelhos de corrente comprometeram o melhor desempenho do conversor A/D. Como já se previa, o comparador de corrente com realimentação positiva apresentou um excelente desempenho ao atuar no conversor A/D, tanto na frequência de operação como na resolução.

ABSTRACT

The main objective of this work is the study of two current comparators, known as Channel Length Modulation Current Comparator and Positive Feedback Current Comparator. The design of the comparators were done, as well as simulations, DC and transient analysis to verify their performance.

As final results, the channel length modulation current comparator had an 8 bit resolution, with a dynamic range between $10\ \mu\text{A}$ and $100\ \mu\text{A}$. When the difference between the reference current and the input current was higher than $10\ \mu\text{A}$, the operation frequency kept higher than 100 MHz, for a load capacitance of 0.1 pF. The positive feedback current comparator had higher precision (more than 10 bits). Nevertheless, the operation frequency kept between 50 and 60 MHz for current differences higher than $12\ \mu\text{A}$, with the same capacitive load.

A current mode algorithmic A/D converter was chosen as an application of the current comparators. With the results above presented, it can be seen that the channel length modulation current comparator had higher operation frequency, and the positive feedback current comparator had a better performance, when taking into account precision. As the algorithmic A/D converter is characterized by a low conversion rate, the comparator chosen was the positive feedback one.

On the A/D converter designed, a 10 bits precision was reached, for an operation frequency of 40 KHz. It was necessary to use modified regulated cascode current mirrors. Although, small errors associated to the current mirrors compromised a better performance of the converter. As it was foreseen, the positive feedback current comparator presented an excellent performance inside the A/D converter, in frequency and precision.

INTRODUÇÃO

Devido às propriedades dos circuitos digitais, ao desenvolvimento da tecnologia de fabricação de circuitos integrados e às ferramentas de CAD ("Computer Aided Design"), houve uma explosão científica e industrial na área de microeletrônica. As vantagens e avanços destas condições foram observados tanto na qualidade de projeto como no custo do mesmo. O tempo de projeto, as facilidades do projetista, o bom aproveitamento da área de silício e a chance de se obter um circuito integrado fiel à função proposta marcaram uma etapa definitiva no desenvolvimento dos circuitos integrados. Porém, o mundo analógico necessita ser implementado para suprir as necessidades externas. Deste modo, pesquisadores têm-se dedicado ao estudo de novas tecnologias de fabricação ou técnicas de projeto na conquista de um espaço para o desenvolvimento dos circuitos analógicos. Além disso, a tendência de se realizarem circuitos mistos, ou seja, integrar circuitos digitais e circuitos analógicos, tem sido cada vez mais presente ao se falar sobre VLSI ("Very Large Scale Integration").

Algumas tecnologias de fabricação têm alcançado resultados bastante satisfatórios na implementação de circuitos analógicos, tais como a tecnologia bipolar e, mais recentemente, BICMOS. Projetos utilizando capacitores chaveados têm sido utilizados na implementação de circuitos analógicos utilizando a tecnologia de fabricação MOS ("Metal Oxide Semiconductor"). Porém, algumas desvantagens associadas ao uso de capacitores não-lineares e incompatibilidades com a tecnologia CMOS ("Complementary Metal Oxide Semiconductor") têm levado à substituição de idéias clássicas na concepção do projeto em circuitos analógicos. Uma nova linha de pesquisa está sendo consolidada no meio acadêmico e comercial, atendendo à necessidade de menores níveis de tensão nos circuitos digitais, de baixo consumo de potência e de redução de área através da implementação de projetos de maneira mais simples. A literatura acadêmica tem intitulado esta linha como circuitos em "modo corrente".

O processamento do sinal analógico em modo corrente vem ganhando bastante espaço em relação ao modo tensão. Deste modo, circuitos que se encarregam do processamento do sinal analógico da corrente em forma amostrada (corrente chaveada), ou em forma contínua, são chamados de circuitos em modo corrente. É importante esclarecer que, em qualquer circuito que manipule sinais de corrente, ocorrem excursões de tensão internas. Nesta área têm sido desenvolvidas as mais diversas aplicações [5]. Como exemplo, tem-se o projeto intitulado, "Projeto de um Conversor Análogo-Digital em Corrente Chaveada (SI)", realizado recentemente.

Para realização do processamento do sinal analógico, alguns blocos básicos são necessários para o sucesso do mesmo. Os conversores A/D desempenham um importante papel ao transformar um sinal analógico em corrente em uma palavra digital. Porém, ao se realizar esta conversão, é necessário que se garanta uma resolução aceitável na informação que está sendo processada, e que o tempo de conversão seja o menor possível. Para satisfazer estas condições, os blocos que conformam o conversor A/D, tais como, espelhos de corrente e comparadores de corrente, devem possuir um alto desempenho para garantir tanto a resolução como a velocidade de conversão idealizadas.

¹ Ricardo Ito, "PROJETO DE UM CONVERSOR ANÁLOGO-DIGITAL EM CORRENTE CHAVEADA (SI)", tese apresentada como dissertação de tese de mestrado, Unicamp, 1993.

Introdução

Este trabalho tem por objetivo o estudo de circuitos comparadores em modo corrente. Para a realização deste estudo, foi selecionada a tecnologia CMOS utilizada pela Foundry AMS ("Austrian Mikro Systeme International"), processo 1.2 μ m, e o simulador PSPICE versão 4.05 da Microsim Corporation [2]. Como ponto de partida, foram escolhidos dois circuitos comparadores em modo corrente, já citados na literatura [8]. Estes circuitos foram projetados neste trabalho e, mediante simulações exaustivas, foi avaliado o desempenho alcançado pelos mesmos. Como exemplo da aplicação do comparador de corrente, aquele que apresentou o melhor desempenho foi escolhido para fazer parte de um conversor análogo-digital em modo corrente [13].

Portanto, a dissertação de tese apresentada se desenvolve em quatro capítulos. Inicia-se pela recapitulação geral do desenvolvimento dos circuitos integrados, passando pelo processamento do sinal analógico e, finalmente, descrevendo de forma breve a evolução dos comparadores. No capítulo II, aborda-se o primeiro circuito comparador de corrente, intitulado "Comparador de Corrente com Efeito de Modulação de Canal". Neste capítulo, realiza-se um estudo sobre o funcionamento do mesmo e analisa-se o comportamento DC e transiente do circuito. No capítulo III, realiza-se um estudo sobre o "Comparador de Corrente com Realimentação Positiva". Da mesma forma que no capítulo anterior, através de simulações, estuda-se o funcionamento e desempenho do mesmo. Como aplicação do comparador de corrente, apresenta-se no capítulo IV, um conversor análogo-digital em modo corrente, utilizando o comparador de corrente com realimentação positiva. Na conclusão, relacionaram-se os tópicos finais considerados mais importantes sobre este estudo.

CAPÍTULO I

PROCESSAMENTO DE SINAL ANALÓGICO EM MODO CORRENTE

1.1. Introdução

Recentemente tem-se realizado um grande esforço na integração de circuitos mistos em uma única pastilha de silício, proporcionando um melhor acoplamento entre as funções analógicas e digitais. Este pensamento tem sido desenvolvido para satisfazer as necessidades de qualquer sistema atual. Sabe-se que, para um sistema digital interagir com o mundo inerentemente analógico, circuitos de interface e condicionamento do sinal analógico devem ser criados.

Inicialmente ocorreu um grande avanço nas áreas de comunicações e de computação, proporcionando um grande crescimento na pesquisa voltada para a integração de circuitos complexos. Devido a limitações nos processos de fabricação, que ainda hoje oferecem dificuldades ao projeto de circuitos analógicos, e de acordo com as propriedades dos circuitos digitais, tais como flexibilidade, funcionalidade, ciclos de operação curtos, geram-se circuitos digitais cada vez mais complexos. Deste modo, o mundo digital teve por objetivo condensar o maior número de funções possíveis sem auxílio de soluções analógicas.

No surgimento dos circuitos integrados, várias tecnologias de fabricação tem sido desenvolvidas, atendendo à necessidade de componentes cada vez menores e mais rápidos. Porém, dentre as tecnologias de fabricação de circuitos integrados, a tecnologia CMOS tem permitido a implementação da maioria dos circuitos digitais e analógicos na atualidade. Com o avanço do processo digital, o nível de integração evoluiu enormemente, sendo possível a integração de milhões de transistores em um único chip. Portanto, circuitos digitais como microprocessadores, microcontroladores e processadores digitais de sinais têm sido integrados numa pastilha de silício de dimensões bastante reduzidas, de alguns milímetros quadrados.

Para se realizar a interface com o mundo externo, circuitos analógicos são imprescindíveis neste tipo de aplicação, tais como amplificadores, filtros, conversores, etc. Sendo assim, surge no mercado o desenvolvimento de circuitos analógicos com transistores MOS. Para se aumentar tanto a funcionalidade como o desempenho e reduzir o custo total do circuito integrado, aparece claramente a preocupação de se integrar circuitos digitais e analógicos em um único chip, chamado também de integração em modo misto.

Através do rápido desenvolvimento de amplificadores operacionais MOS, as dificuldades apresentadas pela técnica de capacitores chaveados e o desenvolvimento de outras técnicas em modo tensão, cujo objetivo tem sido o acompanhamento do avanço do processamento e da tecnologia digital, têm acelerado o interesse em técnicas em *modo corrente*. Além disso, a técnica de modo corrente para circuitos analógicos tem proporcionado mais eficiência e precisão nas técnicas de processamento de sinal, em comparação às técnicas de modo tensão. Nos circuitos digitais, a tendência de realizar circuitos cada vez mais complexos tem aumentado o consumo de potência. Conseqüentemente, a solução tem sido diminuir os níveis de tensão (5V ou 3.3 V). Desta forma, os circuitos analógicos têm se adaptado às novas condições, ou seja, implementar funções analógicas em níveis de tensão reduzidos. Pesquisadores têm proposto a realização das aplica-

ções do processamento de sinais analógicos em *modo corrente* utilizando as vantagens do processo digital MOS.

1.2. Processamento em Modo Corrente

Nos últimos anos, o processamento do sinal analógico em modo corrente tem sido definido como a realização de circuitos em que os sinais de entrada e saída são correntes e os níveis de tensão não determinam o desempenho dos mesmos.

O processamento em modo corrente tem apresentado algumas vantagens em relação ao modo tensão, tais como aumento da banda de frequências, menor consumo de potência, redução de área e uso apropriado para sistemas em baixa tensão, uma vez que, sendo o sinal em forma de corrente, não é necessário o uso de grandes variações de tensão. Ao se utilizar a corrente, a excursão do sinal de tensão requerida pode ser reduzida devido à relação não-linear inerente entre a tensão e a corrente.

No processamento em modo corrente, componentes que possuam dimensões elevadas, tais como condensadores e resistências, foram eliminados para evitar possíveis problemas na implementação dos mesmos na tecnologia de processo digital. Devido à natureza dos transistores MOS, fontes de corrente controladas por tensão, tem havido uma excelente adaptação a este tipo de processamento e implementação de funções analógicas em circuitos mistos. Em decorrência disso, projetos mais simples e com menor consumo de potência reduzem a área de silício, proporcionando diminuição nos custos de produção.

Geralmente existem duas formas do processamento do sinal analógico em modo corrente. A primeira utiliza circuitos de amostragem e retenção para manter e comutar correntes, conhecidos por circuitos implementados na técnica Corrente Chaveada ("Switched-Current"). A outra forma de processamento realiza o processamento contínuo da corrente, sem a utilização de circuitos de memorização da mesma.

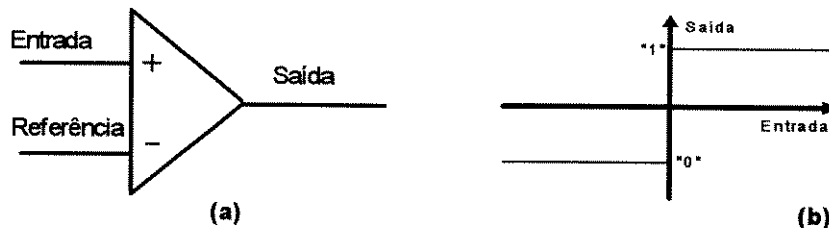
Devido às vantagens apresentadas anteriormente, o projeto de circuitos analógicos utilizando o processo digital está recebendo um grande impulso do processamento de sinal analógico em modo corrente. Algumas aplicações se encontram no campo dos filtros em tempo contínuo, amplificadores, transportadores de corrente, conversores A/D e D/A, transdutores, etc.

1.3. Comparadores de Sinais Analógicos

Considerando a proposta de se realizarem circuitos para o processamento de sinais analógicos e definindo conversores A/D como circuitos de altíssima importância na interface entre o mundo externo e os sistemas digitais, os esforços foram concentrados no estudo dos comparadores de sinais analógicos, bloco fundamental na conversão A/D.

Circuitos comparadores de sinais analógicos são aqueles que verificam se um sinal de entrada, sob a forma de tensão ou corrente, é maior ou menor que um outro dado sinal (chamado sinal de referência). Deste modo, o sinal de saída do comparador pode assumir níveis lógicos, "0" ou "1", dependendo se o sinal de entrada é menor ou maior que o sinal de referência. Quando o sinal de entrada é igual ao sinal de referência, a saída do comparador, idealmente, deveria assumir uma tensão ou corrente entre os níveis "0"

e "1" lógicos. Em situações práticas, no entanto, existe um "offset" ou erro associado ao circuito de modo que, em tensões ou correntes muito próximas ao nível de referência, a saída do comparador pode assumir um valor qualquer, "0" ou "1". É importante ressaltar que o fato de um comparador ser caracterizado como comparador de tensão ou comparador de corrente leva em conta apenas os sinais de entrada. O sinal de saída pode ser uma corrente ou uma tensão. A figura 1.1 representa o esquema genérico de um comparador, juntamente com sua curva de transferência ideal.



**Figura 1.1 - (a) - Esquema Genérico do Circuito Comparador
(b) - Curva de Transferência do Circuito Comparador**

De acordo com a figura 1.1, a saída do comparador assume um nível lógico "1" quando o sinal de entrada é maior que o nível de referência, e "0" quando é menor. Um circuito que realizasse o contrário, ou seja, cuja saída fosse "0" quando o sinal de entrada fosse maior que a referência e "1" no caso contrário, também é um comparador.

Os comparadores de corrente também possuem um histórico dentro da literatura científica. Inicialmente são implementados através de dois componentes: resistência não-linear e amplificador constituído por um simples inversor CMOS. O sinal da corrente de entrada é convertido em um sinal de tensão através da resistência e, então amplificado, gerando uma saída digital. Porém, o tempo de conversão é demasiado lento para aplicações de conversão de dezenas de MHz [9].

A segunda geração de comparadores de corrente substitui a resistência não-linear por um capacitor. O sinal da corrente de entrada é integrada, produzindo uma tensão amplificada para obter a saída digital correspondente. Ainda que a taxa de conversão seja maior que na primeira geração de comparadores de corrente, não possui um desempenho satisfatório para aplicações de alta frequência. Além disso, existe uma grande variação da tensão de entrada quando a corrente varia e dificuldade em manter a corrente de entrada ou de referência constante. Algumas soluções foram propostas para estabilizar a tensão de entrada deste tipo de circuito [14].

Para solucionar os problemas de velocidade e compatibilizar a tecnologia empregada, comparadores de corrente operando em modo corrente são hoje frequentemente pesquisados [15,16,17]. Neste trabalho foram estudados dois comparadores de corrente [8] operando em modo corrente, apropriados para integração em circuitos mistos de baixa tensão. Além disso, um conversor A/D foi projetado, utilizando um dos comparadores avaliados.

CAPÍTULO II

COMPARADOR DE CORRENTE COM EFEITO DE MODULAÇÃO DE CANAL

2.1. Princípios de Funcionamento

A figura 2.1 mostra o diagrama elétrico de um comparador de corrente que funciona através do efeito de modulação de canal. Este primeiro comparador [8] é constituído por dois espelhos de corrente. A corrente de referência é copiada através do espelho formado pelos transistores M_1 e M_2 e, por sua vez, a corrente de entrada é copiada através do espelho formado pelos transistores M_3 e M_4 . Além dos espelhos o circuito possui 3 chaves. A chave S_1 é conectada entre VDD e a saída do espelho de corrente de I_{in} ; a chave S_3 é conectada entre o terra e a saída do espelho de corrente de I_{ref} . Ambas estas chaves operam com a mesma fase (F). A chave S_2 é conectada entre os terminais de saída dos espelhos de corrente de I_{ref} e I_{in} , e opera de acordo com a fase inversa (F'). A figura 2.1 abaixo mostra o circuito a ser estudado e a figura 2.2 mostra as formas de onda de chaveamento (F e F').

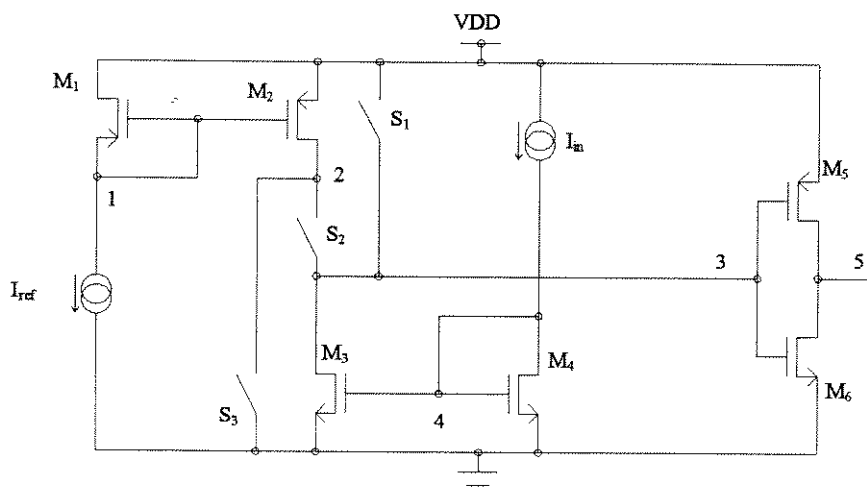


Figura 2.1 - Diagrama Elétrico do Circuito Comparador

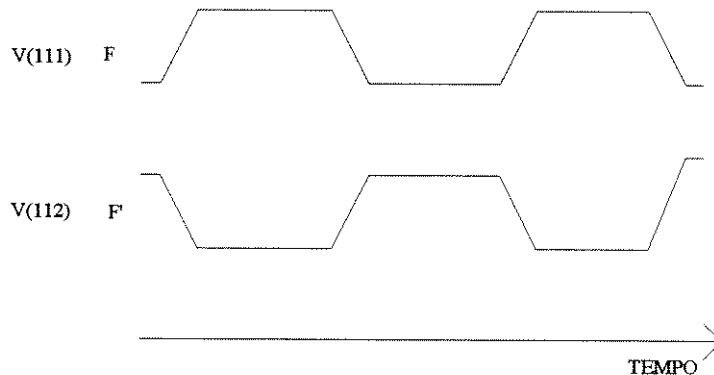


Figura 2.2 - Formas de Onda do Chaveamento

Comparador de Corrente com Efeito de Modulação de Canal

Na fase ativa de F' (nível lógico "1"), as chaves S_1 e S_3 se fecham e S_2 se abre, fazendo com que a tensão entre dreno e fonte dos transistores M_2 e M_3 seja $|V_{DS}|=V_{DD}$. É importante entender que, neste momento, ocorre a leitura e o espelhamento das correntes de referência e de entrada nos respectivos transistores M_2 e M_3 . Na fase ativa de F, a chave S_2 se fecha e as chaves S_1 e S_3 se abrem. A corrente de referência I_{ref} , que já foi espelhada para o transistor M_2 e, por sua vez, a corrente de entrada, que já foi espelhada para o transistor M_3 , forçam o circuito a obter uma única corrente transitando pelo ramo da chave S_2 . Esta corrente gera um nível de tensão na saída, $v(3)$, entre 0 e 5 volts que, por sua vez, será entrada de um inversor dando origem a um nível lógico digital de saída "1" ou "0".

Observa-se na figura 2.3 que os transistores M_2 e M_3 têm suas próprias curvas características, devido às características do próprio modelo utilizado, às relações W/L dos transistores e ao parâmetro λ (lambda). Dessa forma, estas duas curvas se cruzam em algum ponto de forma a atender os dois transistores. Isto quer dizer que a comparação gera um ponto formado pela corrente que passa pelo ramo de comparação e a tensão de saída requerida para as condições fornecidas. A curva do transistor M_2 é fixa pois I_{ref} não varia. Porém a curva do transistor M_3 varia de acordo com I_{in} .

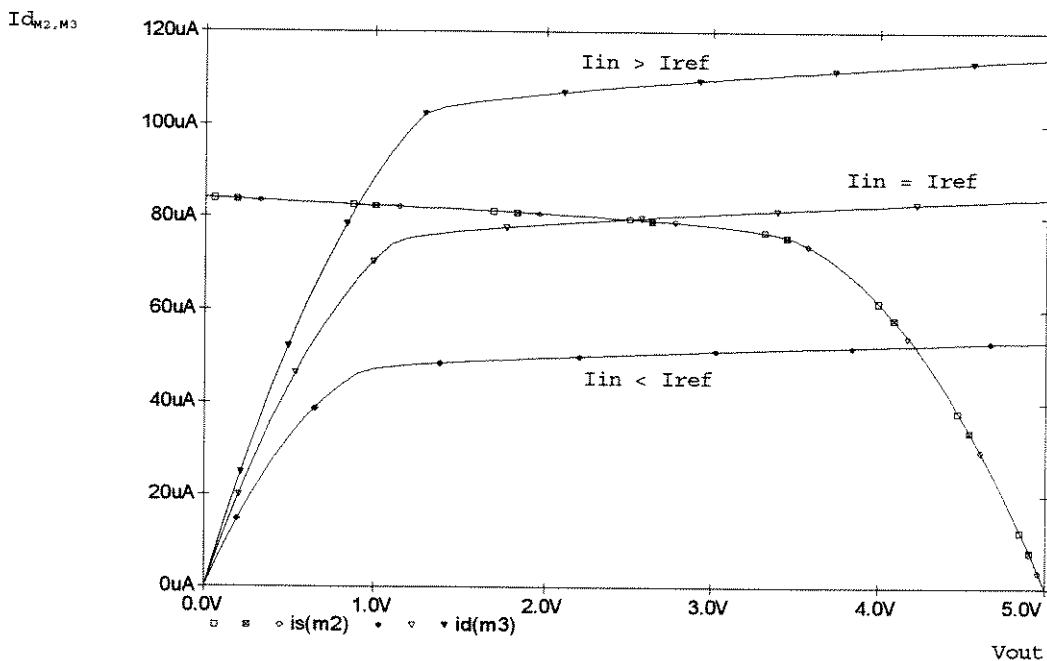


Figura 2.3 - Característica de Saída dos Transistores M_2 e M_3

Pode-se observar através da figura acima que o ponto de comparação das duas curvas varia de acordo com a corrente de entrada. Se $I_{in} > I_{ref}$, o ponto de comparação tende ao terra; se $I_{in} < I_{ref}$, o ponto de comparação desloca-se a V_{DD} . Portanto, é possível concluir que, se $I_{in} = I_{ref}$, o limiar da comparação deve ser, idealmente, 2.5 volts.

2.2. Desempenho do Circuito Comparador

Para a realização do projeto do circuito foram adotados alguns critérios de forma a especificar qual deve ser o desempenho do circuito final que se deseja obter. Em linhas gerais o circuito está projetado visando a:

- Menor área possível;
- Baixo consumo de potência (da ordem de miliwatts);
- Frequências de chaveamento acima de 100 MHz (altas velocidades);
- Faixa dinâmica entre 10 μA e 100 μA para correntes de entrada;
- Alta resolução (erro $\leq 0.1\%$).

Desta forma, o circuito projetado utiliza transistores pequenos devido aos baixos níveis de corrente de referência e entrada em que se deseja trabalhar [9]. Portanto, a área a ser utilizada é bastante reduzida, reafirmando uma das características do processamento do sinal em modo corrente.

O projeto do circuito foi inteiramente realizado com a ajuda do programa de simulação PSpice versão 4.05 [2] e os parâmetros de simulação utilizados foram os fornecidos pela Foundry AMS para a tecnologia de 1.2 μm [1]. O projeto deste comparador foi realizado através dos seguintes passos:

- Projetar o circuito comparador (utilizando chaves analógicas ideais);
- Projetar um inversor de dimensões mínimas para anexar ao circuito comparador;
- Projetar as chaves analógicas;
- Estudar o tempo de resposta do circuito para diferenças entre as correntes de entrada e referência;
- Projetar o "buffer" de saída do circuito para uma carga de 8 pF (simulando uma ponta de prova);

2.3. Projeto do Comparador de Corrente

Para alcançar uma resposta com precisão no sinal de saída $v(3)$, foi necessário estudar o comportamento das curvas características dos transistores M_2 e M_3 para diferentes valores de W e L do transistor tipo P e valores fixos de geometria para o transistor tipo N. Foi observada a derivada destas curvas em função da tensão dreno-fonte, de forma a encontrar um certo L para o transistor tipo P que coincidissem exatamente com a derivada da curva do transistor tipo N, em 2.5 volts. Desta forma, o λ (parâmetro lambda está definido no apêndice A juntamente com a definição da corrente de dreno do transistor MOS) dos dois transistores será exatamente o mesmo, igualando-se o efeito de modulação de canal e definindo-se com maior precisão o limiar da comparação. Observa-se claramente na figura 2.4 que as curvas características têm quase a mesma inclinação e se cruzam num valor de tensão 2.50 volts e uma corrente de 79.6 μA .

O parâmetro W do transistor tipo P foi ajustado para que o sinal de tensão $v(3)$ ou $V_{ds}(M_3)$ estivesse próximo a 2.5 volts quando $I_{ref} = I_{in} = 80 \mu\text{A}$.

A seguir são apresentadas as dimensões obtidas, utilizadas nas simulações.

TRANSISTOR	W(μm)	L(μm)
M ₁ - Canal P	9.2	3.0
M ₂ - Canal P	9.2	3.0
M ₃ - Canal N	2.0	1.6
M ₄ - Canal N	2.0	1.6

Tabela 2.1 - Dimensões dos Transistores do Circuito Comparador

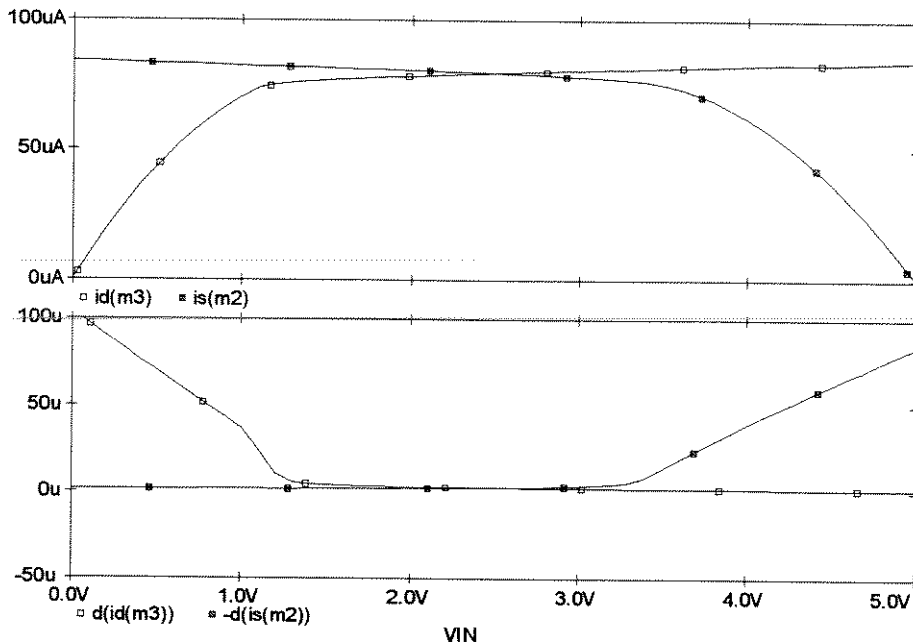


Figura 2.4 - Curva Característica dos Transistores M₂ e M₃
 (a) - Curva Característica de Saída
 (b) - Derivada das Curvas Características

2.3.1. Projeto do Inversor

Ao se realizar o projeto do inversor, as dimensões utilizadas foram as menores possíveis. Portanto, uma vez fixados os valores W e L do transistor tipo N e o L do transistor tipo P, foi possível se obter, através do equacionamento realizado, um valor aproximado de W para o transistor tipo P.

A corrente que passa pelos transistores que formam o inversor, quando existe uma transição no sinal de entrada, pode ser expressa pela corrente de saturação do transistor MOS. Deste modo, utilizando o modelo simplificado do transistor nesta condição, e assumindo que $I_n = I_p$ (situação DC), tem-se a seguinte equação.

$$K_n (V_{gs} - V_{t_n})^2 = K_p (V_{sg} - |V_{t_p}|)^2 \quad (2.1)$$

onde

Comparador de Corrente com Efeito de Modulação de Canal

$$K_n = \left[\frac{K_{p_n}(W - 2Wd)}{2(L - 2Ld)} \right]_N \quad K_p = \left[\frac{K_{p_p}(W - 2Wd)}{2(L - 2Ld)} \right]_P \quad (2.2)$$

(os parâmetros acima estão descritos no apêndice A)

Para que o limiar de funcionamento do inversor se dê em torno de 2.5V, ambas as tensões porta-fonte e fonte-porta dos transistores canal N e P devem ser iguais a 2.5 V. Deste modo, tem-se:

$$K_p = K_n \frac{(2.5 - V_{t_n})^2}{(2.5 - |V_{t_p}|)^2} \quad (2.3)$$

Substituindo os valores de V_{t_n} e V_{t_p} descritos no apêndice A, segundo os parâmetros de simulação utilizados [1], tem-se que $K_p = 1.017 K_n$. Assumindo que são conhecidas as geometrias de W_N , W_P e L_N (Wd_N , Ld_N , Wd_P e Ld_P são parâmetros fornecidos pela foundry), tem-se o valor de W_P , dado pela seguinte equação:

$$W_P = \frac{K_{p_n}(W_N - 2Wd_N)(L_P - 2Ld_P)}{K_{p_p}(L_N - 2Ld_N)} \cdot 1.017 + 2Wd_P \quad (2.4)$$

A expressão 2.4 fornece um valor de W (5.5 μm) que deve ser utilizado como ponto inicial para a simulação. A partir daí, uma otimização é necessária, devido ao fato de se terem desprezado na análise fatores de segunda ordem, tais como variação da mobilidade com o campo elétrico gerado pelas tensões porta-fonte dos transistores, efeitos de modulação de canal, entre outros.

Deste modo, na tabela 2.2 estão relacionadas as dimensões dos transistores M_5 e M_6 .

TRANSISTOR	W(μm)	L(μm)
M_5 - Canal P	5.0	1.2
M_6 - Canal N	2.6	1.2

Tabela 2.2 - Dimensões dos Transistores do Circuito Inversor

Através da figura 2.5 é possível observar o sinal de saída, $v(5)$, em função do sinal de entrada, $v(3)$. Para um sinal de entrada de 2.50 volts o circuito inversor responde com 2.48 volts.

2.3.2. Projeto das Chaves Analógicas

O circuito apresentado na figura 2.1, como já foi dito anteriormente, é constituído por 3 chaves S_1 , S_2 e S_3 , implementadas no projeto por dois transistores, um canal P e outro canal N, ligados em paralelo, na configuração do esquema da figura 2.6. As fases (F e F') são o sinal de "clock" que ligam ou desligam as chaves. Através do conhecimento do funcionamento do transistor MOS [5,6] sabe-se que, ao se colocar uma tensão de 0 volt

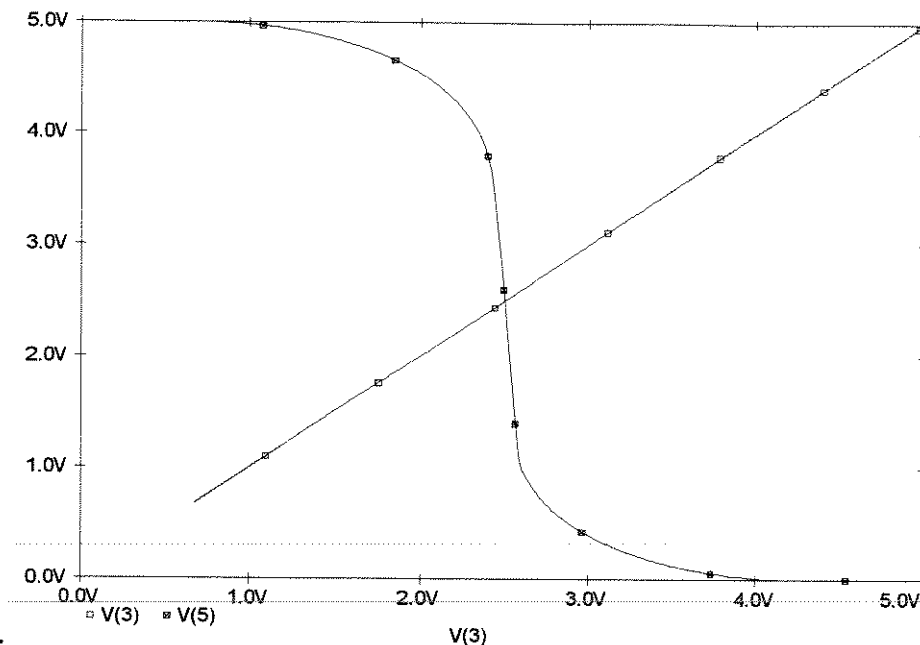


Figura 2.5 - Característica Estática do Inversor

na porta do transistor tipo P e, portanto, 5 volts na porta do transistor tipo N (de acordo as fases F e F'), existe passagem de corrente (chave ligada). Caso contrário, os transistores estão cortados, impedindo o fluxo da corrente (chave desligada). Deste modo, a configuração apresentada desempenha a função de chave analógica.

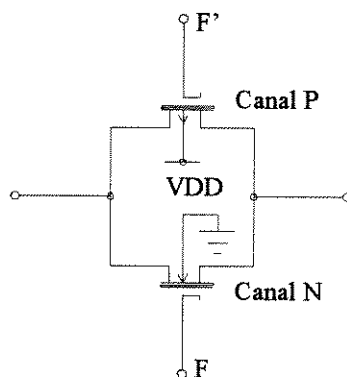


Figura 2.6 - Chave Analógica CMOS

Ao se realizar o projeto das chaves analógicas foi adotado o mesmo procedimento do projeto do inversor. Deste modo, as dimensões utilizadas são as apresentadas na tabela 2.2.

Alguns parâmetros definem as chaves analógicas tais como R_{ON} (resistência quando a chave está ligada) e R_{OFF} (resistência quando a chave está desligada). Realizou-se, inicialmente, um estudo do comportamento destes parâmetros em função da variação da tensão dreno-fonte. Foram observados os valores de resistência para uma chave ligada e para uma chave desligada (figura 2.7) em função da tensão dreno-fonte.

Comparador de Corrente com Efeito de Modulação de Canal

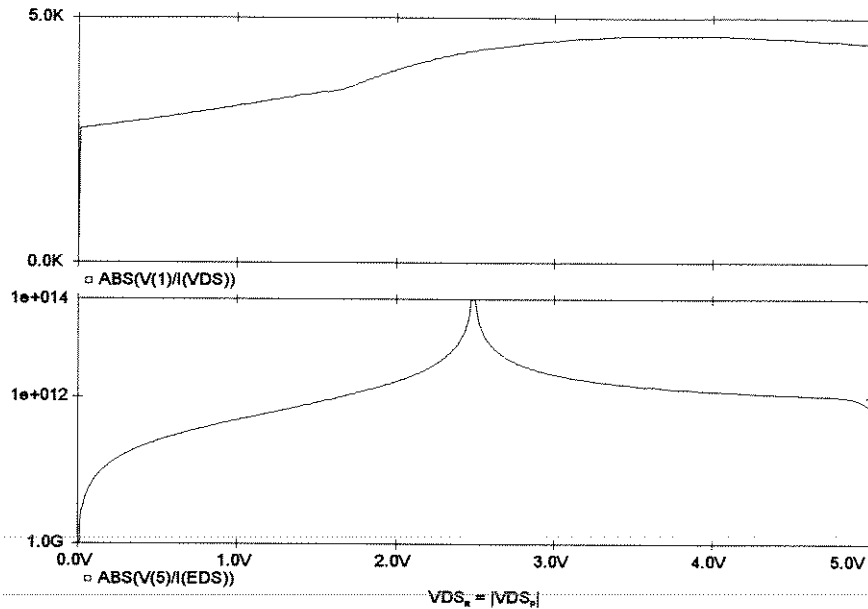


Figura 2.7 - (a) - $R_{ON} \times V_{ds}$
(b) - $R_{OFF} \times V_{ds}$

Verifica-se que a resistência “on” varia entre $2.7K\Omega$ e $4.5K\Omega$ e a resistência “off” varia em torno de $10^{12} \Omega$, de acordo às dimensões apresentadas na tabela 2.2. No caso da resistência “off”, a corrente que flui pela fonte de tensão V_{ds} é devido às correntes de saturação (I_s) das junções de dreno e fonte dos transistores N e P, respectivamente. Até 2.5 volts, a corrente de saturação proveniente do transistor N é menor que a do transistor P, fazendo com que exista uma corrente total fluindo da chave para a fonte V_{ds} . A partir de 2.5 V, ocorre o contrário, havendo uma corrente da fonte V_{ds} para a chave. Em 2.5 V, as correntes de saturação são iguais, fazendo com que a corrente que flui pela fonte V_{ds} seja zero, havendo uma descontinuidade na função de resistência, como se observa na figura 2.7.

Um outro tipo de análise foi realizado variando-se a tensão de porta dos transistores da chave. No transistor N, esta foi de 0 a 5 V, enquanto, no tipo P, a mesma variou simultaneamente de 5 a 0 V, havendo uma passagem da situação “off” para a situação “on”. As curvas da figura 2.8 mostram a variação da resistência da chave para tensões V_{ds} de 1 mV, 10 mV, 100 mV e 1 V. De acordo com o observado, para estes valores de V_{ds} , a resistência aumentou, principalmente no caso “off”.

A partir de um valor aproximado da tensão de porta de 0.7 V (situação onde a tensão porta-fonte de ambos os transistores atingem a tensão de limiar V_T), a chave passa a conduzir correntes bem superiores às anteriores, e a resistência cai para a faixa de $K\Omega$, situação em que os transistores já estão ligados.

Cabe ressaltar que o circuito da figura 2.1, numa fase inicial, foi inteiramente realizado com chaves ideais com valores iniciais de $R_{ON}=1 \Omega$ e $R_{OFF}=1 M\Omega$. Com este valor de R_{OFF} , observou-se fluxo de corrente pela chave, o que alterava o desempenho do circuito. Isto se deve ao fato de a resistência ser relativamente pequena, fazendo com que alguns microamperes fluíssem pela chave. Aumentando R_{OFF} para $1 G\Omega$, o problema

desapareceu. Substituindo então as chaves ideais por chaves reais, o comportamento do circuito

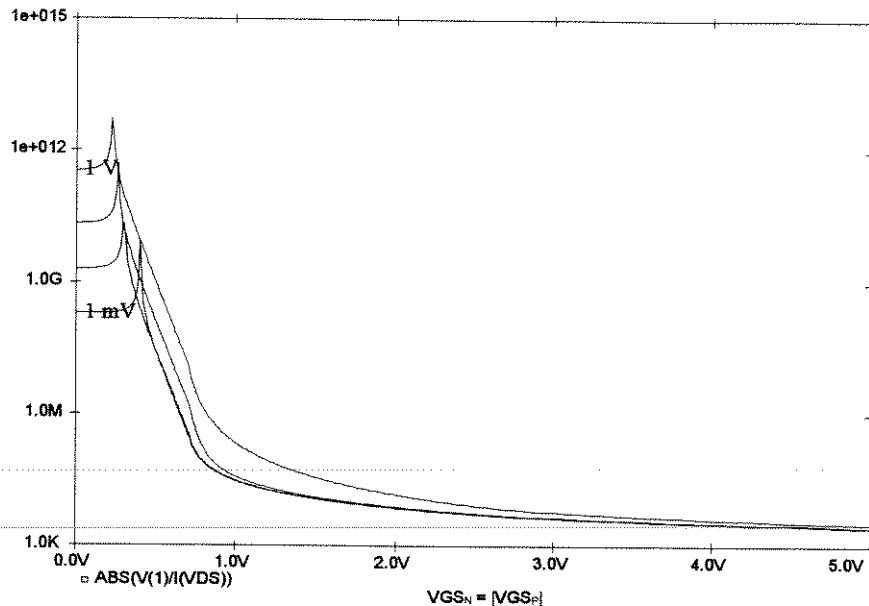


Figura 2.8 - Resistência x Vg

se manteve inalterado. Embora a resistência “on” das chaves analógicas fosse muito maior que $1\ \Omega$, este fato não apresentou significativa importância, devido aos níveis de corrente utilizados, fazendo com que a queda de tensão V_{ds} da chave fosse de poucos milivolts, não alterando substancialmente os níveis de tensão obtidos.

2.4. Desempenho DC

Com a figura 2.9 é possível verificar o desempenho do circuito projetado para uma corrente de entrada que varia de 0 a $160\ \mu A$, com uma corrente de referência de $80\ \mu A$. O sinal $v(3)$ se altera de acordo com a corrente de entrada. Observa-se que os níveis de tensão no nó 3 são “altos” quando $I_{in} < I_{ref}$ (acima de 2.5 volts) e “baixos” quando $I_{in} > I_{ref}$. Porém, este resultado é o sinal de entrada do inversor. Assim, a resposta do inversor, $v(5)$, permanece em “0” para $I_{in} < I_{ref}$ e em “1” para $I_{in} > I_{ref}$. É possível observar também que o sinal $v(5)$ não apresenta nenhum “offset” em relação à corrente de referência.

O comparador, formado pelo bloco fundamental e um inversor, foi projetado com um nível de comparação igual a 2.5 volts ($V_{DD}/2$), para que a variação da tensão de entrada do comparador no nó 3 fosse máxima. Assim, se $v(3) > 2.5$ volts, $v(5) = 0$ volt; caso contrário, $v(5) = 5$ volts. Portanto, para captar esta variação foi realizado o projeto de um “buffer” de saída, composto de dois inversores, para melhorar os níveis de tensão do circuito comparador e, desta forma, diminuir o erro de limiar do circuito. Além disso, o “buffer” de saída foi projetado para uma carga capacitiva de $8\ pF$, simulando na ponta de prova. Desta forma, pode-se observar o tempo de resposta do circuito em uma situação em que o mesmo fosse medido. O projeto do “buffer” de saída e os resultados obtidos são mostrados no decorrer do trabalho.

Comparador de Corrente com Efeito de Modulação de Canal

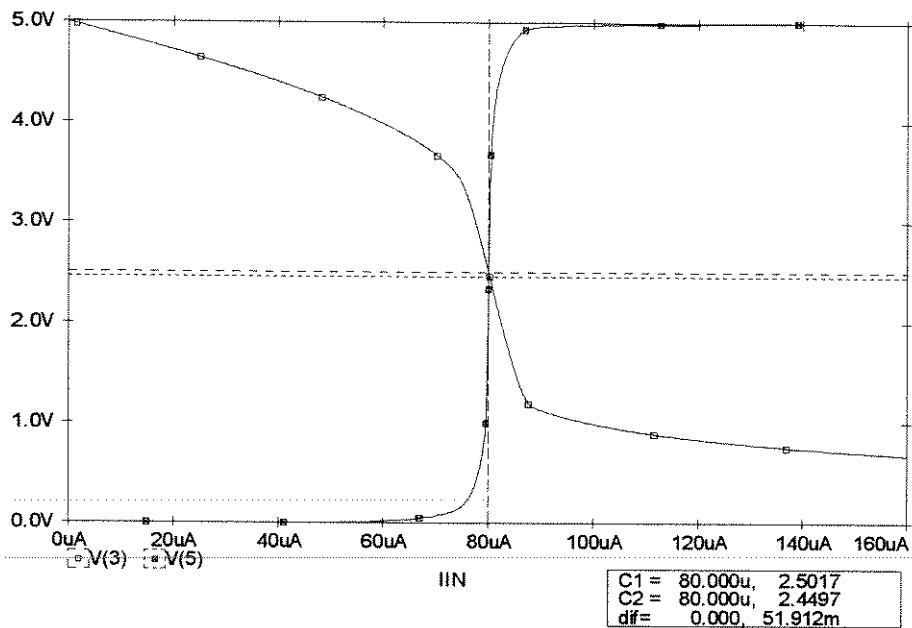


Figura 2.9 - Resposta DC do Circuito Comparador

Ainda realizando um estudo do desempenho do circuito comparador, a figura 2.10 mostra a resposta do circuito, $v(3)$, para diferentes correntes de referência, entre $10 \mu A$ e $100 \mu A$, variando-se a corrente de entrada. Por exemplo, para $I_{ref} = 80 \mu A$ e I_{in} variando entre $0 \mu A$ e $160 \mu A$ tem-se, em 2.5 volts, uma corrente de praticamente $80 \mu A$. Deste modo conclui-se que o circuito está bem projetado.

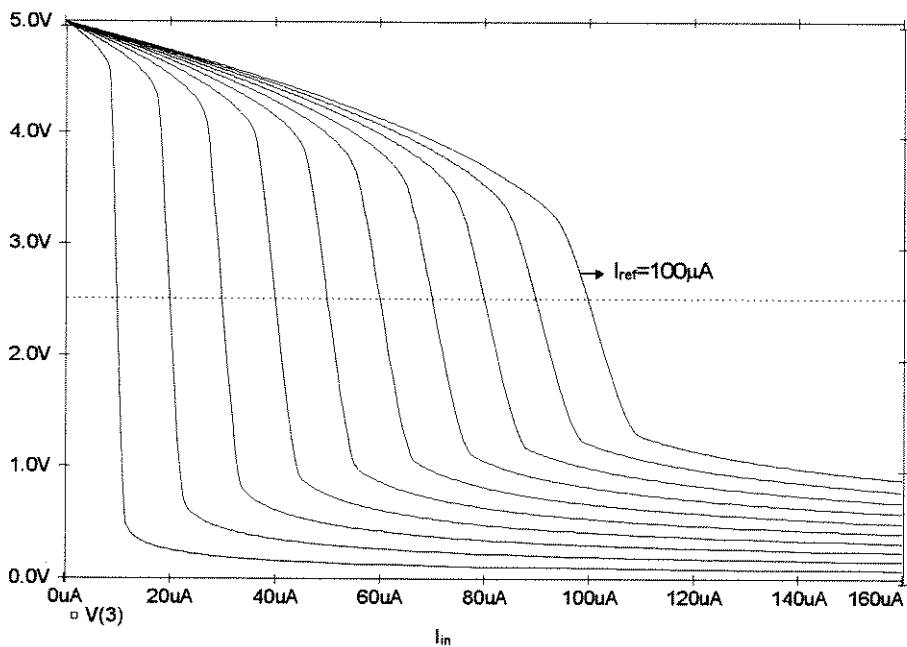


Figura 2.10 - Características $V_{out} \times I_{in}$ para várias Correntes de Referência I_{ref}

Assim, foram realizadas diversas simulações, e foi possível concluir que o circuito apresenta uma resolução (ver definição no item 2.5 - equações 2.5 a 2.7) acima de 8 bits (figura 2.11) para correntes de referência entre 20 μA e 110 μA . Valores de referência aquém ou além desta faixa apresentam distorções que comprometem o bom funcionamento do circuito quando se requer alta resolução. Caso contrário, em aplicações onde a resolução não é um fator decisivo, o circuito pode operar com uma maior faixa dinâmica. Por exemplo, se são requeridos 4 bits de resolução, a faixa se estende entre 0.8 μA a 200 μA .

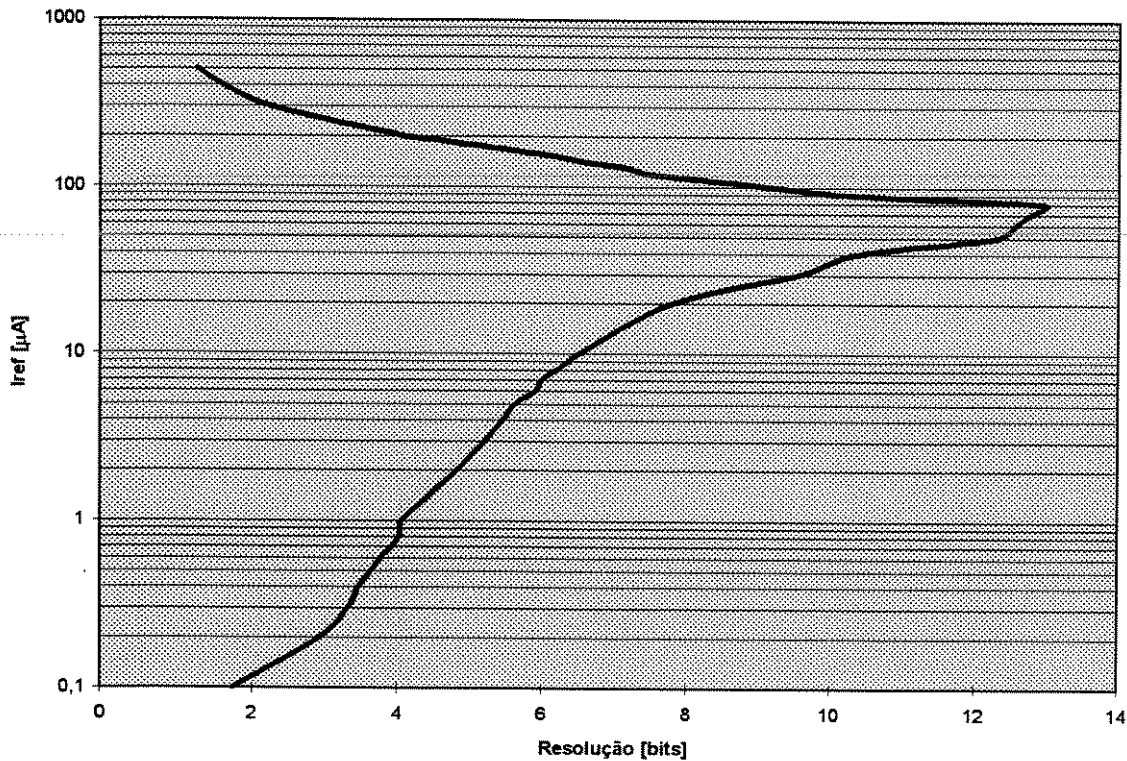


Figura 2.11 - Resolução do Circuito em função da Corrente de Referência

2.5. Resposta Transiente

Ao se realizar a análise transiente do circuito, pôde-se observar o comportamento do mesmo no tempo. Constatou-se que na fase de não-comparação (F' ativa), efetivamente o VDS dos transistores M_2 e M_3 é igual a VDD e, na fase de comparação (F ativa), o nível de tensão $v(3)$ é alto para uma corrente $I_{in} < I_{ref}$ e baixo para $I_{in} > I_{ref}$. Desta forma, o nível de tensão $v(5)$ corresponde a "0" para $I_{in} < I_{ref}$ e "1" para $I_{in} > I_{ref}$. Também foi verificado que os resultados já constatados através da análise DC são fiéis aos resultados observados na análise da resposta transiente. A figura 2.12 mostra claramente o comportamento do circuito para $I_{in} = 81 \mu\text{A}$ e $I_{ref} = 80 \mu\text{A}$ (a), e $I_{in} = 78 \mu\text{A}$ e $I_{ref} = 80 \mu\text{A}$ (b).

Comparador de Corrente com Efeito de Modulação de Canal

Observando a figura 2.13 é importante esclarecer que, para diferenças entre a corrente de entrada e referência maiores que $1.4 \mu\text{A}$, o nível de tensão na saída, $v(5)$, é um nível lógico digital bem definido "0" (corresponde a 0 volt) para $I_{in} < I_{ref}$ e "1" (corresponde a 5 volts) para $I_{in} > I_{ref}$. No caso de diferenças entre a corrente de entrada e referência menores que $1.4 \mu\text{A}$, o nível de tensão, $v(5)$, não corresponde aos valores clássicos ("0" lógico diferente 0 volt e "1" lógico diferente de 5 volts). Portanto, para interpretar os sinais de tensão de saída do comparador é necessário estabelecer que se a tensão de saída do inversor, $v(5)$, é menor que 2.5 volts conclui-se que $I_{in} < I_{ref}$. Em caso contrário, se a tensão de saída do inversor, $v(5)$, é uma tensão maior que 2.5 volts, $I_{in} > I_{ref}$.

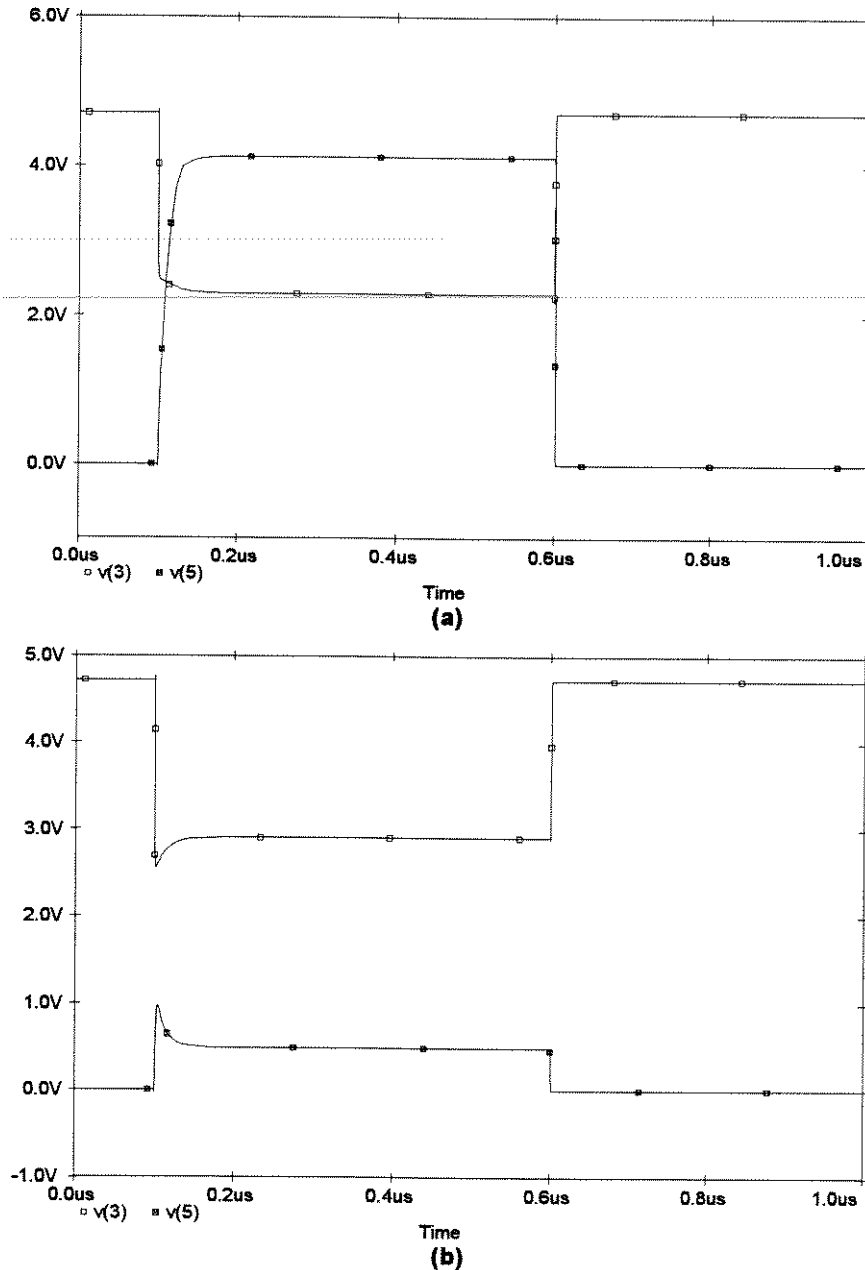


Figura 2.12 - Resposta Transiente do Circuito Comparador

(a) $I_{ref} = 80 \mu\text{A}$ e $I_{in} = 81 \mu\text{A}$

(b) $I_{ref} = 80 \mu\text{A}$ e $I_{in} = 78 \mu\text{A}$

Comparador de Corrente com Efeito de Modulação de Canal

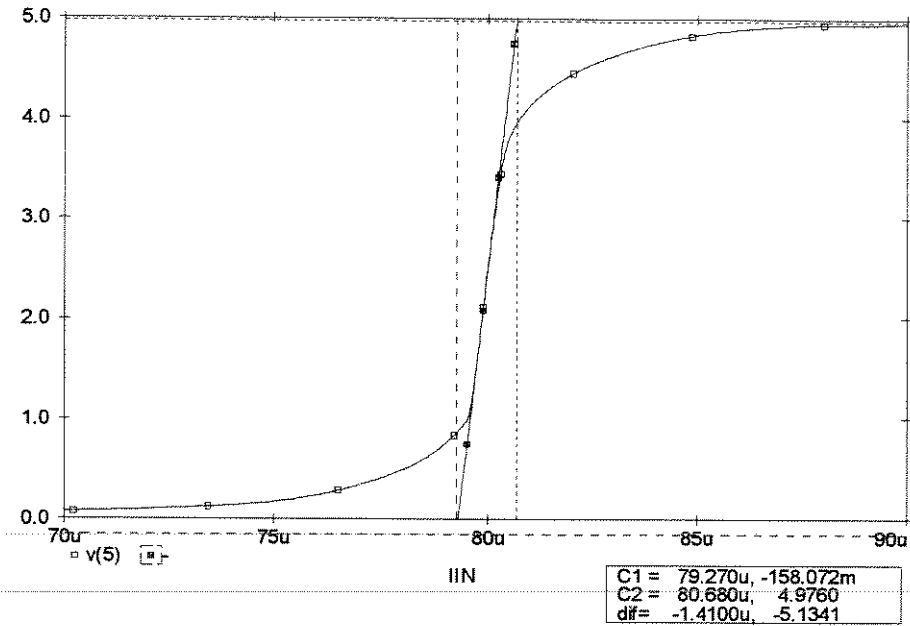


Figura 2.13 - Resposta DC do Circuito Comparador - escala ampliada

Como já foi anteriormente esclarecido, o projeto de um "buffer" de saída, constituído de dois inversores, deverá melhorar os níveis de tensão de saída do comparador, ou seja, o sinal de saída do comparador terá níveis de tensão lógicos bem definidos "0" para $I_{in} < I_{ref}$ e "1" para $I_{in} > I_{ref}$. Estes resultados serão mostrados no decorrer do trabalho.

Deste modo, os resultados obtidos pelo comparador, mostrados através das figuras 2.12-(a) e 2.12-(b), estão corretos. No caso de $I_{in} = 81 \mu A$ e $I_{ref} = 80 \mu A$ pode-se observar que $v(5)$ é 4.12 volts indicando que $I_{in} > I_{ref}$. Para o caso da figura 2.12-(b), $I_{in} = 78 \mu A$ e $I_{ref} = 80 \mu A$, o nível de tensão, $v(5)$, é 0.48 volt comprovando que $I_{in} < I_{ref}$.

Ao se realizar um estudo da resolução do circuito, comprovou-se que o comparador obtém uma resposta correta para uma diferença de correntes maior que $0.1 \mu A$. O projeto foi realizado inteiramente para uma corrente de referência de $80 \mu A$. A figura 2.14 mostra a resposta do comparador, $v(5)$, para uma corrente de entrada de $79.9 \mu A$ e $80.1 \mu A$. Na figura 2.14-(a) o nível de tensão da saída do inversor, $v(5)$, é de 2.80 volts e no caso da figura 2.14-(b) o nível de tensão, $v(5)$, é de 2.08 volts.

Deste modo, o erro do comparador é menor que 0.13% de acordo a seguinte equação:

$$erro(\%) = \frac{\Delta I_{in}}{I_{ref}} \cdot 100 \tag{2.5}$$

A resolução do comparador pode ser medida em "bits", de acordo com a expressão abaixo, onde "n" corresponde ao número de "bits".

$$erro = \frac{1}{2^n} \tag{2.6}$$

ou

$$n = -\log_2 erro \tag{2.7}$$

Comparador de Corrente com Efeito de Modulação de Canal

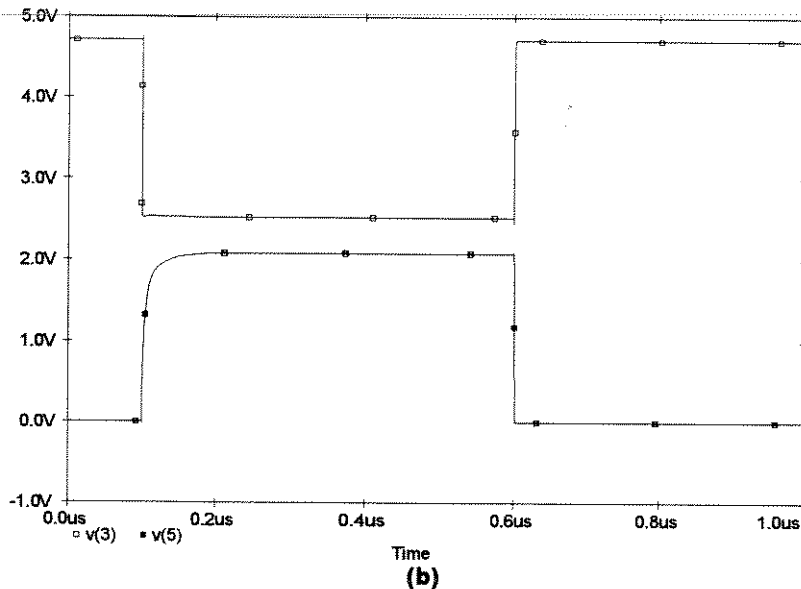
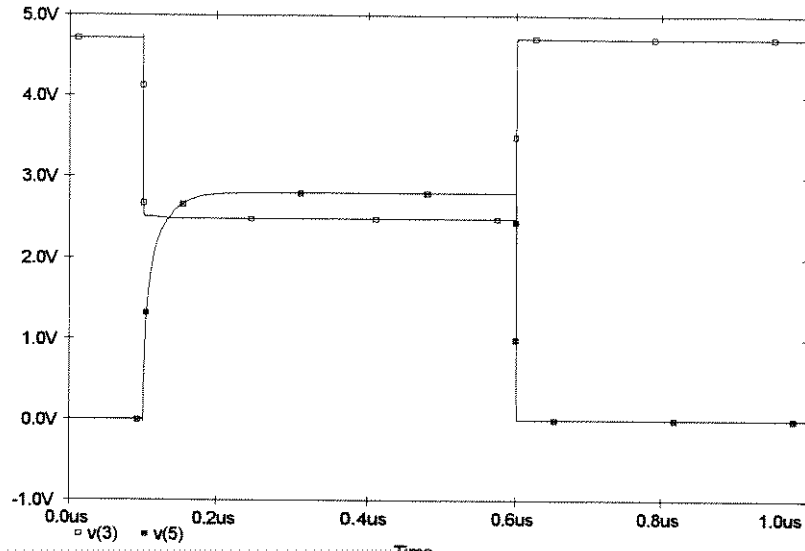


Figura 2.14 - Resposta Transiente do Comparador para uma diferença de $0.1\mu\text{A}$

(a) $I_{in} = 80.1\mu\text{A}$ e $I_{ref} = 80\mu\text{A}$

(b) $I_{in} = 79.9\mu\text{A}$ e $I_{ref} = 80\mu\text{A}$

De acordo com o erro reportado de 0.13 %, a resolução obtida deste comparador foi de 9 bits. É importante ressaltar que a metodologia de projeto utilizada fez com que houvesse uma melhora de 1 bit na resolução do circuito, o que corresponde a um erro menor que a metade do erro reportado pela referência [8], onde se conseguiu um comparador com resolução de 8 bits.

Conforme o desempenho especificado para o comparador, as dimensões dos transistores foram reduzidas de forma a não influenciar o tempo de resposta do circuito com o aumento de capacitâncias parasitas. O mesmo cuidado foi tomado ao se projetar o circuito inversor. Na realização da resposta transiente, a capacitância de carga associada na saída foi de 0.1 pF, simulando uma situação de operação do circuito em aplicações reais, "in chip". Desta forma, o tempo de resposta foi o tempo que o circuito gasta para

realizar a comparação se estivesse sendo utilizado em alguma aplicação qualquer.

O tempo de resposta do circuito varia de acordo com a diferença entre as correntes de entrada e de referência. Através da figura 2.15 é possível observar que o tempo de resposta é maior quando a diferença entre as correntes é menor. Na mesma figura observa-se um tempo de resposta de 5.13 ns para uma diferença entre correntes de 4 μA e de 35.65 ns para uma diferença de 0.1 μA . Esta diferença no tempo de resposta do circuito é devido ao tempo de carga do capacitor intrínseco (associado principalmente às capacitâncias porta-fonte dos transistores M5 e M6) no nó 3 do circuito comparador da figura 2.1. Quando existe uma grande diferença entre as correntes, o capacitor intrínseco se carrega mais rapidamente devido ao excedente de corrente ser maior, dado pela diferença entre as correntes de entrada e referência.

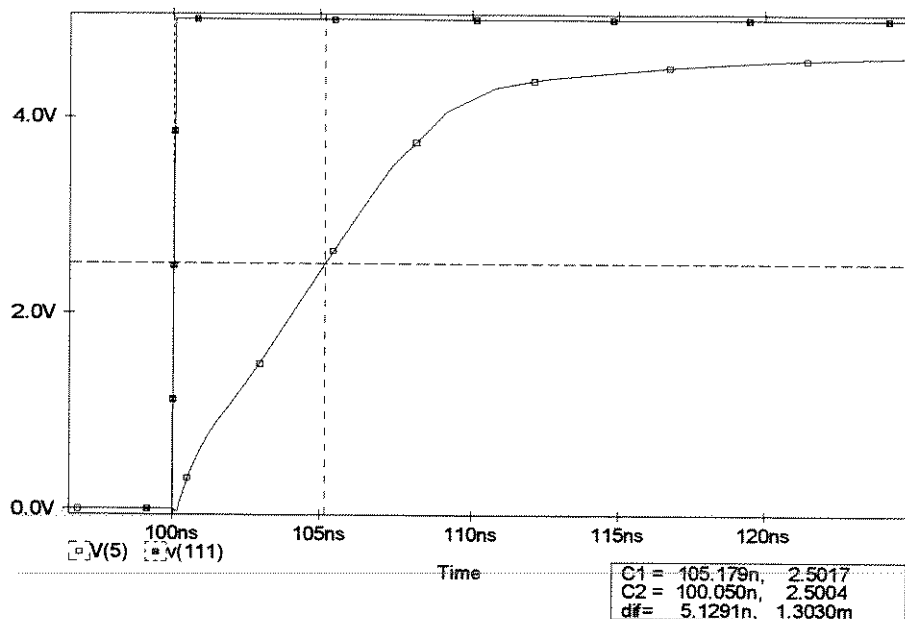
Ainda realizando um estudo sobre tempos de resposta do circuito, é necessário entender que o mesmo, no momento em que vai realizar uma nova leitura da corrente de entrada, ou seja, quando ocorre um "novo" chaveamento, não responde imediatamente. A este pequeno atraso temporal é dado o nome de *tempo de recuperação* do circuito. A figura 2.16 mostra o tempo de recuperação do circuito para $I_{ref} = 80 \mu\text{A}$ e $I_{in} = 84 \mu\text{A}$ e $80.1 \mu\text{A}$.

De acordo com o observado, foram realizadas várias medidas para diversas diferenças entre as correntes de referência e de entrada ($I_{in} - I_{ref}$). A tabela 2.3 mostra estes resultados.

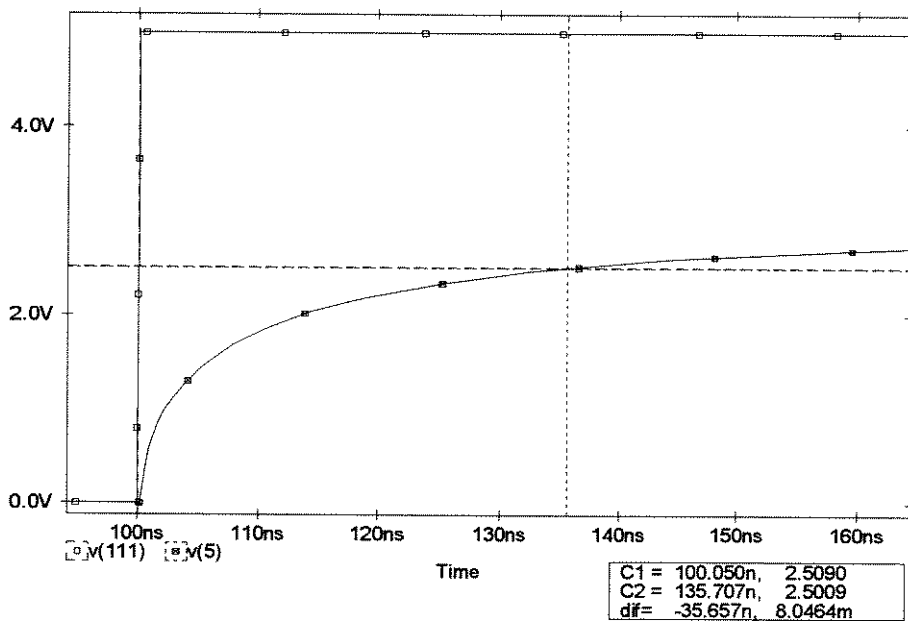
I_{in} [μA]	I_{ref} [μA]	$(I_{in} - I_{ref})$ [μA]	Tempo de Atraso [ns]	Tempo de Recuperação [ns]
40	80	40	1.58	1.86
44	80	36	1.73	1.65
48	80	32	1.94	1.48
52	80	28	2.09	1.03
56	80	24	2.42	0.77
60	80	20	2.63	0.61
64	80	16	3.17	0.51
68	80	12	3.84	0.45
72	80	8	5.19	0.4
76	80	4	7.89	0.38
79	80	1	9.82	0.38
79.9	80	0.1	36.27	0.38
80.1	80	0.1	35.65	0.514
81	80	1	7.35	0.664
84	80	4	5.13	0.757
88	80	8	3.68	0.829
92	80	12	3.03	0.840
96	80	16	2.66	0.848
100	80	20	2.39	0.857
104	80	24	2.19	0.863
108	80	28	2.04	0.869
112	80	32	1.91	0.875
116	80	36	1.80	0.879
120	80	40	1.71	0.885

**Tabela 2.3 - Tempo de Resposta x $(I_{in} - I_{ref})$ e
Tempo de Recuperação x $(I_{in} - I_{ref})$
(sem "buffer" de saída)**

Comparador de Corrente com Efeito de Modulação de Canal



(a)



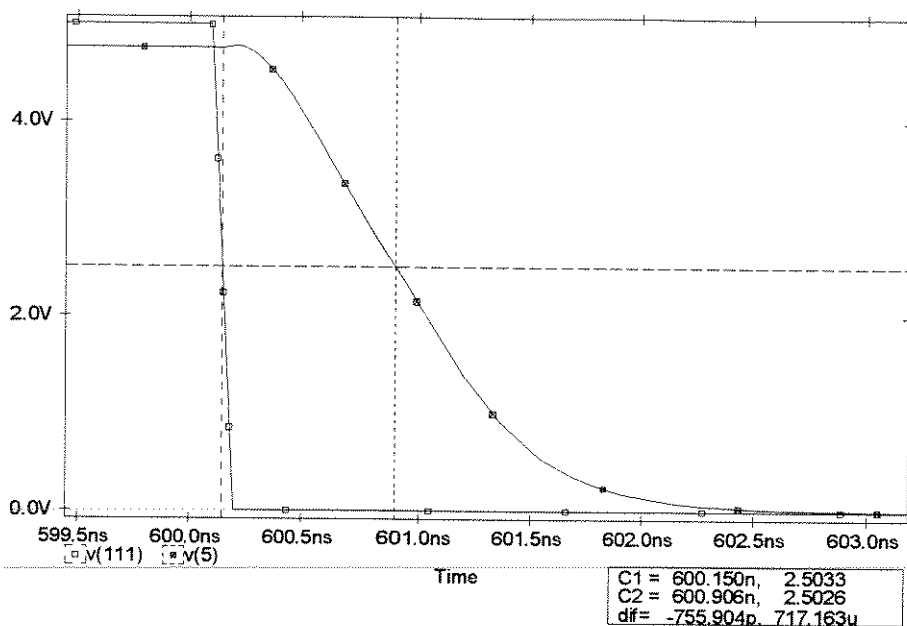
(b)

Figura 2.15 - Tempo de Resposta do Circuito

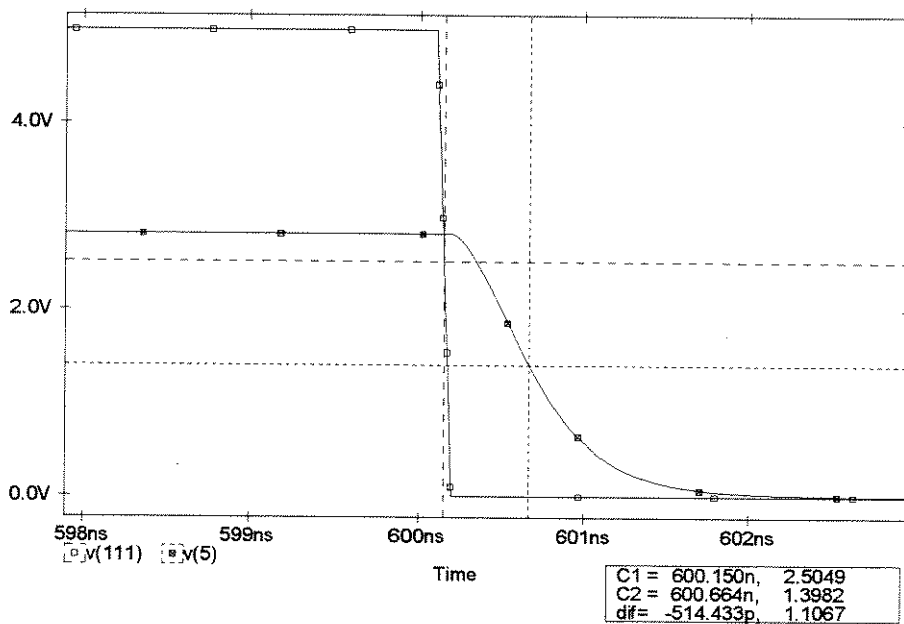
(a) $I_{ref} = 80 \mu A$ e $I_{in} = 84 \mu A$

(b) $I_{ref} = 80 \mu A$ e $I_{in} = 80.1 \mu A$

Comparador de Corrente com Efeito de Modulação de Canal



(a)



(b)

Figura 2.16 - Tempo de Recuperação

(a) - $I_{ref} = 80 \mu A$ e $I_{in} = 84 \mu A$

(b) - $I_{ref} = 80 \mu A$ e $I_{in} = 80.1 \mu A$

Comparador de Corrente com Efeito de Modulação de Canal

Deste modo, através dos dados compilados na tabela 2.3, foi possível obter os gráficos que exprimem o desempenho do circuito comparador em função do tempo de resposta e o tempo de recuperação, para diferenças entre I_{in} e I_{ref} de $0.1 \mu A$ a $40 \mu A$. A figura 2.17 mostra, claramente, que para diferenças maiores que $8 \mu A$ o tempo de atraso se mantém praticamente constante, abaixo de 5 ns . Porém, para diferenças menores, o tempo de resposta aumenta consideravelmente. Na figura 2.18 nota-se que o tempo de recuperação se mantém aproximadamente constante para diferenças maiores que $8 \mu A$.

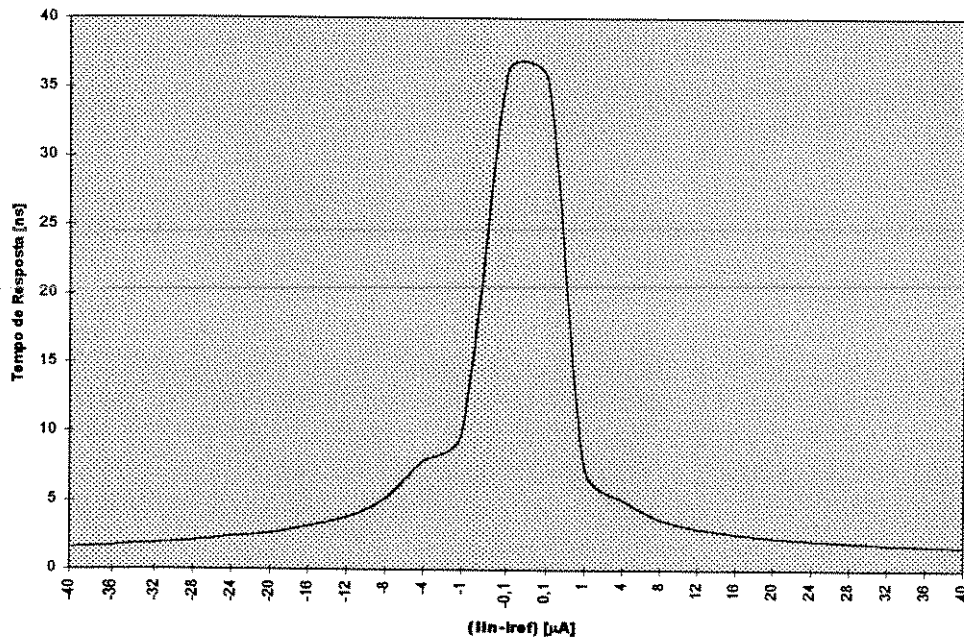


Figura 2.17 - Tempo de Resposta x $(I_{in} - I_{ref})$

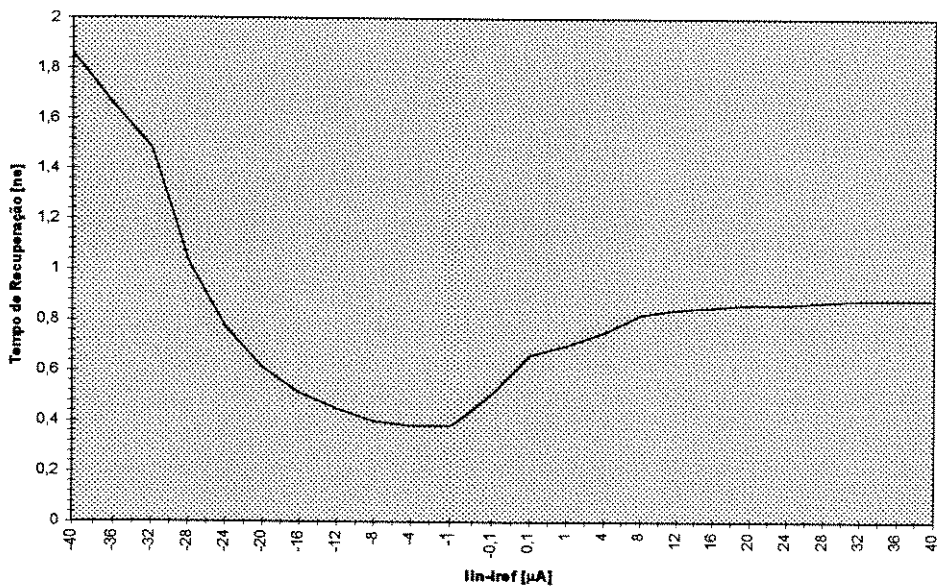


Figura 2.18 - Tempo de Recuperação x $(I_{in} - I_{ref})$

Após coletar todos os dados anteriormente expostos foram verificadas as frequências máximas de operação do circuito. É fácil notar que estas dependem da diferença entre a corrente de entrada e a corrente de referência. A frequência de operação do circuito pode ser expressa de acordo com as equações 2.8 e 2.9:

$$f = \frac{1}{T} \quad (2.8)$$

$$T = 2D + 2t_r \quad (2.9)$$

onde f é a frequência máxima de operação;

T é o período;

D é o tempo de resposta ou atraso;

t_r é o tempo de recuperação.

A expressão 2.9 é resultado da seguinte análise. O tempo de atraso (D) mede o tempo necessário para que a tensão de saída chegue a 2.5 V, em relação ao sinal de entrada. Considerando agora que é necessário que esta tensão chegue a um nível lógico definido, o tempo deve ser de aproximadamente $2D$. O mesmo raciocínio pode ser aplicado ao tempo de recuperação, resultando num período mínimo descrito pela expressão 2.9. Pelas tabelas anteriores, vê-se que o tempo de atraso é muito superior ao tempo de recuperação. Desta forma, o tempo $2D$ é muito maior que $2t_r$, e a onda de chaveamento resultante é não-simétrica, com um ciclo de ocupação ("duty cycle") acima de 80%. A figura 2.19 mostra o sinal de chaveamento a 150 MHz para uma corrente de entrada de $100 \mu\text{A}$.

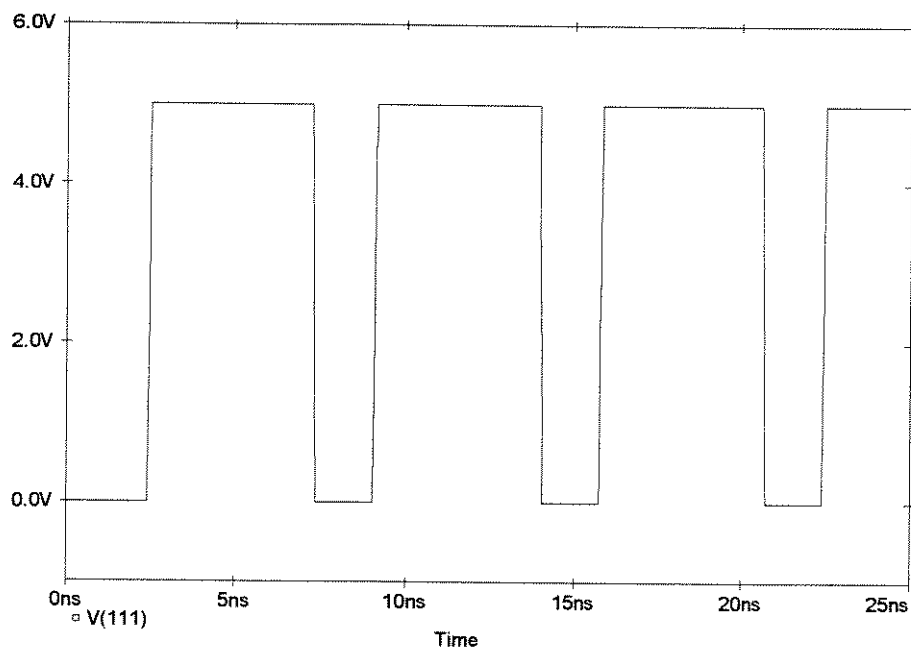


Figura 2.19 - Onda de Chaveamento do Circuito para $I_{in} = 100 \mu\text{A}$, $I_{ref} = 80 \mu\text{A}$ e $F_{max} = 150 \text{ MHz}$

Comparador de Corrente com Efeito de Modulação de Canal

Deste modo, foi estudado o comportamento do circuito para várias diferenças entre a corrente de entrada e a corrente de referência. A tabela 2.4 e o gráfico da figura 2.20 mostram o desempenho alcançado pelo circuito comparador com efeito de modulação de canal.

I_{in} [μA]	I_{ref} [μA]	$(I_{in} - I_{ref})$ [μA]	Frequência [MHz]
40	80	40	145.34
44	80	36	147.92
48	80	32	146.19
52	80	28	160.25
56	80	24	156.73
60	80	20	154.32
64	80	16	135.86
68	80	12	116.55
72	80	8	89.44
76	80	4	60.45
79	80	1	49.01
79.9	80	0.1	13.59
80.1	80	0.1	13.77
81	80	1	62.11
84	80	4	85.03
88	80	8	111.11
92	80	12	129.19
96	80	16	142.45
100	80	20	153.84
104	80	24	163.93
108	80	28	171.82
112	80	32	179.21
116	80	36	186.56
120	80	40	193.05

Tabela 2.4 - Frequência de Operação x $(I_{in} - I_{ref})$
(sem "buffer" de saída)

Através da análise do gráfico da figura 2.20, pode-se observar que, para diferenças de correntes acima de 10 μA , frequências de operação acima de 100 MHz são obtidas. Para confirmar esta afirmação, a figura 2.21 mostra o resultado da simulação do comparador com uma diferença de correntes de 20 μA e frequência de chaveamento de 150 MHz.

Comparador de Corrente com Efeito de Modulação de Canal

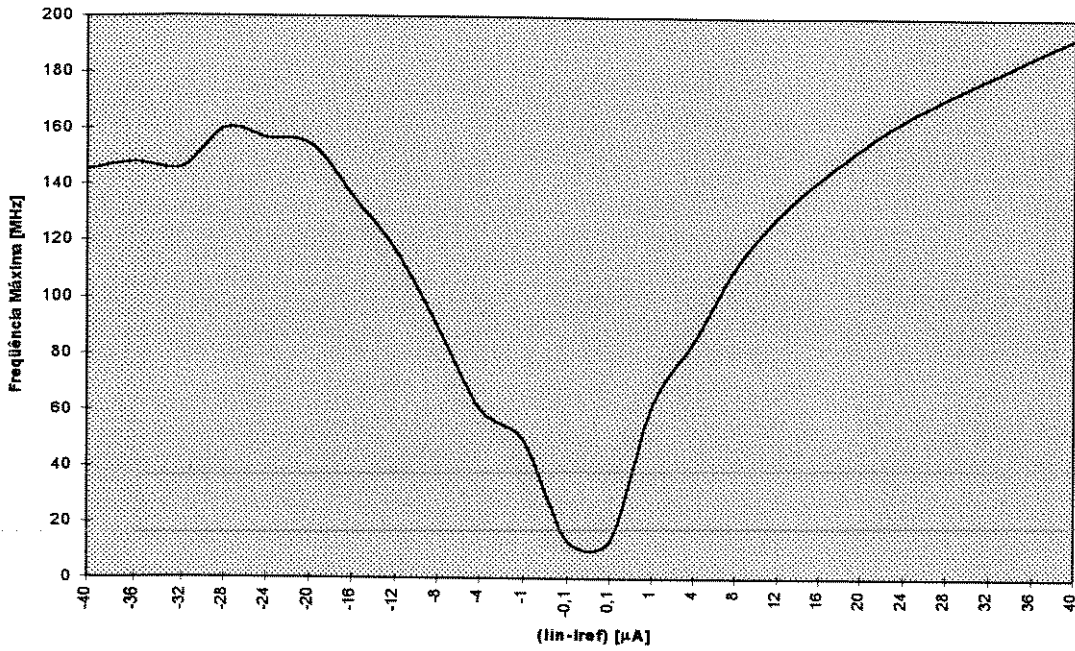


Figura 2.20 - Frequência x $(I_{in} - I_{ref})$

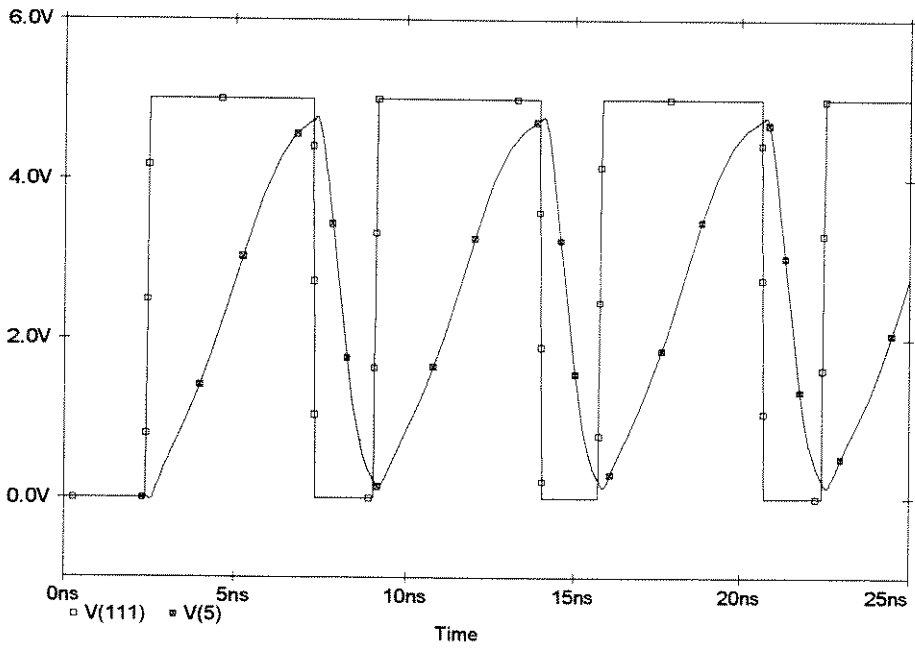


Figura 2.21 - Desempenho do Circuito para $I_{ref} = 80 \mu A$, $I_{in} = 100 \mu A$ e $F_{max} = 150$ MHz

2.6. Projeto do "Buffer" de Saída

Como já foi explicado anteriormente, houve a necessidade de realizar o projeto de um "buffer" para melhorar os níveis de tensão de saída do comparador e delimitar o erro de limiar da comparação. Além disso, ao introduzir este "buffer" o circuito teria a capacidade de suportar uma carga de 8 pF, simulando uma ponta de prova, caso fosse medido.

O buffer de saída do circuito comparador foi projetado de acordo com a referência [10]. Os autores propõem a seguinte relação (β) entre as dimensões dos transistores que constituem o "buffer" de saída:

$$\left(\frac{W}{L}\right)_{k+1} = \beta \left(\frac{W}{L}\right)_k \quad (2.10)$$

Para realizar o cálculo do número de estágios do "buffer", n , os autores propõem a seguinte relação:

$$n = \left\lceil \frac{\ln\left(\frac{CL}{C_i}\right)}{\ln(\beta)} \right\rceil \quad (2.11)$$

onde n é o número de estágios que constituem o "buffer" de saída, CL a capacitância de carga do circuito e C_i a capacitância intrínseca. De acordo com o estudo realizado pelos autores, o β otimizado encontrado foi $e = 2.72$. Deste modo, o número de estágios necessários são 4 para uma $CL = 8$ pF (simulando a capacitância associada a uma ponta de prova) e $C_i = 0.1$ pF. É importante lembrar que o estudo realizado sobre o circuito da figura 2.1 (comparador de corrente) foi simulado para uma capacitância de 0.1pF. E os resultados obtidos sobre a frequência máxima de operação incluem o efeito da capacitância de carga de 0.1 pF. Pode-se verificar que a capacitância de carga (C_i) vista no nó 5 é da ordem de 0.02 pF, ao se incluir um estágio do "buffer". Com isto, o valor da C_i seria de 0.02 pF e o número de estágios aumentaria para 6. Para validar as condições já pré-determinadas no estudo da resposta transiente do circuito foi mantido o valor de $C_i = 0.1$ pF.

As dimensões já relacionadas na tabela 2.2 foram o ponto de partida para o projeto do "buffer" constituído de 4 inversores cujas dimensões são relacionadas na tabela 2.5.

TRANSISTOR	W(μ m)	L(μ m)
M71 - CANAL P	13.6	1.2
M81 - CANAL N	7	1.2
M92 - CANAL P	37	1.2
M102 - CANAL N	19.2	1.2
M113 - CANAL P	100.6	1.2
M123 - CANAL N	52.4	1.2
M134 - CANAL P	273.6	1.2
M144 - CANAL N	142.2	1.2

Tabela 2.5 - Dimensões dos Transistores do "Buffer" de Saída

Comparador de Corrente com Efeito de Modulação de Canal

Observa-se na tabela 2.5 que as dimensões alcançadas determinam transistores grandes. Porém, a implementação destes transistores seria realizada somente no caso de efetuar as medidas e validar os resultados no circuito integrado.

2.7. Comparador de Corrente com “Buffer” de Saída

O circuito da figura 2.1, após realizar o projeto do “buffer” de saída, será alterado anexando quatro inversores como dito anteriormente (figura 2.22). Deste modo, será realizada um breve análise dos resultados alcançados.

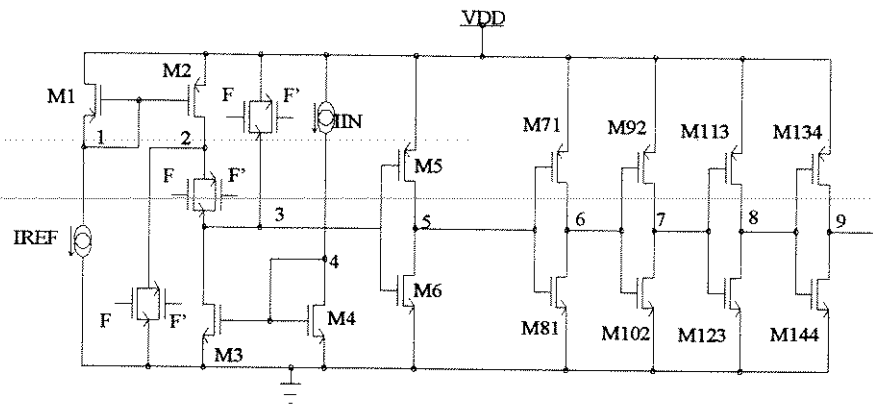


Figura 2.22 - Diagrama Elétrico Total do Circuito Comparador de Corrente

Como já se previa anteriormente, ao se colocar o “buffer” de saída os níveis lógicos digitais aparecem muito bem definidos. Para diferenças de correntes maiores que $0.1 \mu\text{A}$ os níveis lógicos digitais são “0” para $I_{in} < I_{ref}$ e “1” para $I_{in} > I_{ref}$ como mostra a figura 2.23.

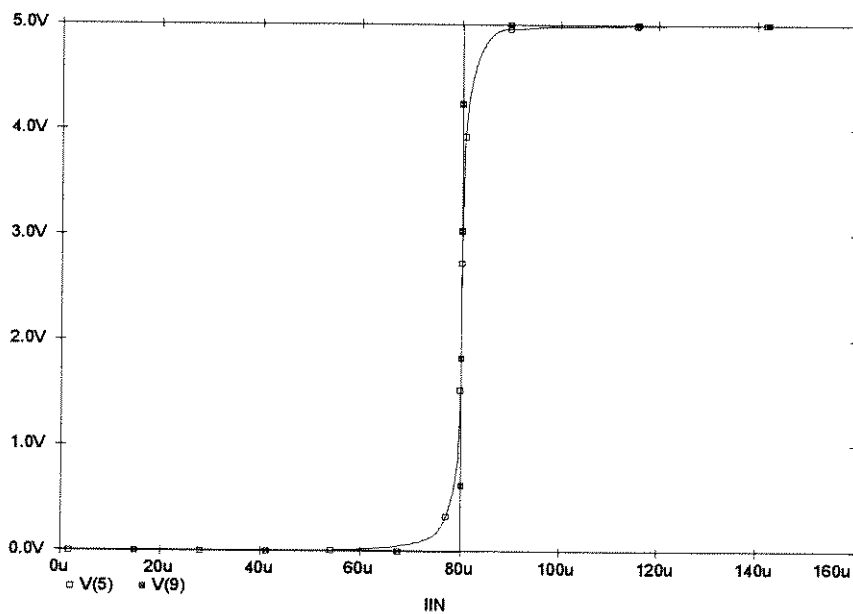


Figura 2.23 - Resposta DC do Comparador de Corrente com “Buffer”

Comparador de Corrente com Efeito de Modulação de Canal

Pode-se comprovar que, no que se refere à resolução do circuito, não houve nenhuma alteração. A figura 2.23 mostra o sinal de saída do último inversor, $v(9)$, para uma variação da corrente de entrada de 0 a $160\mu\text{A}$ e corrente de referência de $80\mu\text{A}$. É possível observar a diferença introduzida comparando os sinais de saída $v(5)$ e $v(9)$. Conclui-se claramente que o sinal de saída, $v(9)$, se aproxima muito mais à característica estática de um comparador de corrente ideal.

Para o estudo do desempenho do “buffer”, foi colocada uma capacitância de carga de 8 pF e observado se o sinal de saída do “buffer” projetado responde corretamente, ou seja, atinge níveis digitais lógicos, na frequência de clock ditada pelo chaveamento das fases F e F’ já obtidas em cada caso na tabela 2.4. A figura 2.24 mostra claramente este resultado para $I_{in} = 100\mu\text{A}$.

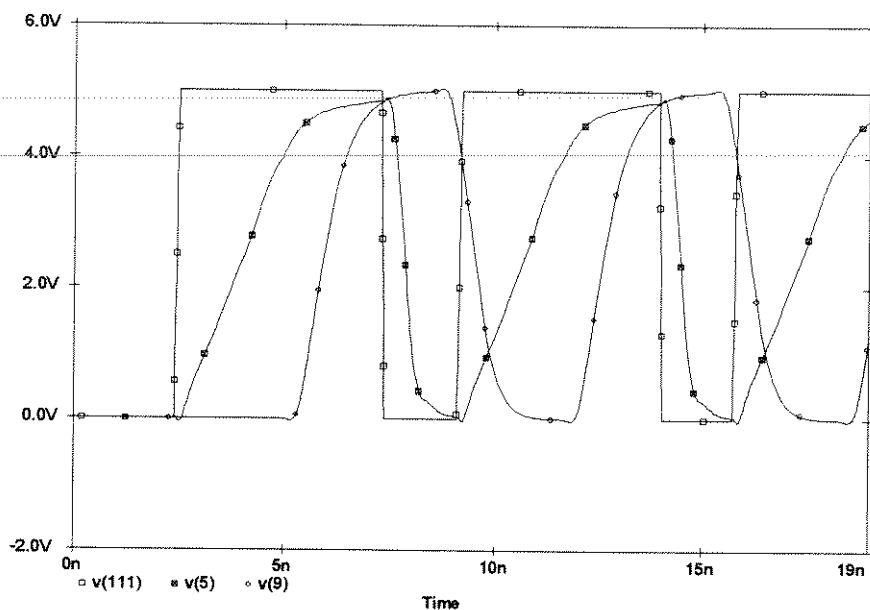


Figura 2.24 - Resposta Transiente do Circuito Comparador com “buffer” para $F_{m\acute{a}x} = 150\text{ MHz}$, $I_{ref} = 80\mu\text{A}$ e $I_{in} = 100\mu\text{A}$

A frequência de operação máxima obtida para $I_{ref} = 80\mu\text{A}$ e $I_{in} = 100\mu\text{A}$ foi de 153 MHz, segundo a tabela 2.4. Desta forma, o clock do circuito está chaveando a 150 MHz e é observado o sinal de saída do “buffer”, $v(9)$. O sinal de saída do circuito responde com nível digital lógico “1”, como era previsto.

CAPÍTULO III

COMPARADOR DE CORRENTE COM REALIMENTAÇÃO POSITIVA

3.1. Princípios de Funcionamento

O comparador de corrente com realimentação positiva proposto em [8] é o objeto de estudo deste capítulo. A figura 3.1 mostra o diagrama elétrico do circuito, constituído por dois espelhos de corrente, 5 chaves analógicas, um "latch" e um amplificador e "latch". A figura 3.2 mostra as formas de onda de chaveamento do circuito.

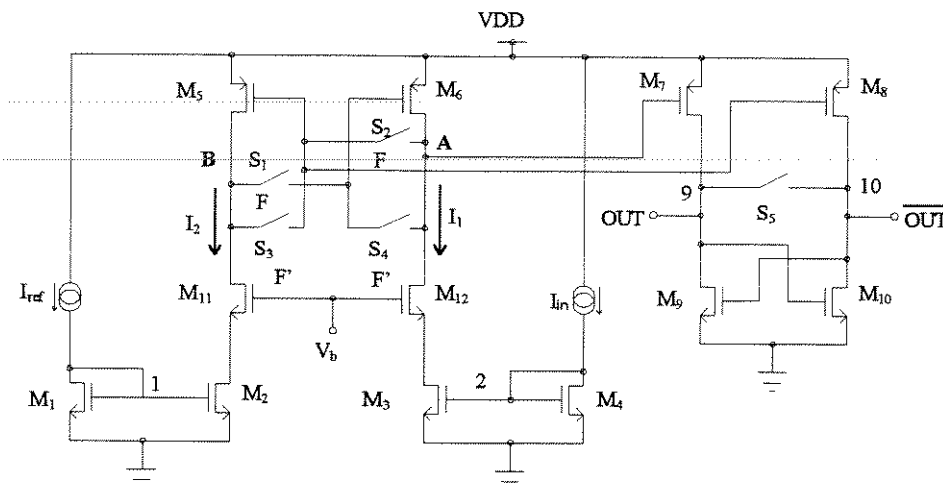


Figura 3.1 - Diagrama Elétrico do Circuito Comparador com Realimentação Positiva

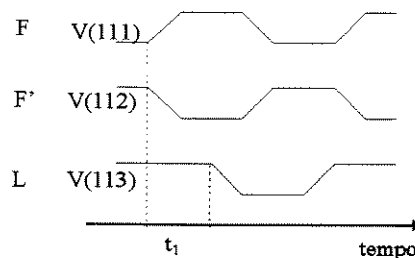


Figura 3.2 - Formas de Onda do Chaveamento

Os espelhos de correntes são constituídos pelos transistores M_1 e M_2 , para a corrente de entrada, e M_3 e M_4 , para a corrente de referência. As chaves S_1 e S_2 estão ligadas na fase ativa de F (nível lógico "1"). A chave S_1 é conectada entre porta do transistor M_5 e dreno do transistor M_6 e a chave S_2 , entre a porta de M_6 e o dreno de M_5 . Já as chaves S_3 e S_4 estão ligadas na fase ativa de F' (nível lógico "1"). Quando ligadas estão conectadas entre porta e dreno do mesmo transistor, ou seja, a chave S_3 está conectada entre porta e dreno do transistor M_5 e a chave S_4 entre porta e dreno do transistor M_6 . Os transistores M_5 e M_6 realizam o papel de "latch". Os resultados são armazenados no amplificador e "latch" formado pelos transistores M_7 a M_{10} , com auxílio da chave S_5 que está conectada entre os drenos dos transistores M_9 e M_{10} . Os transistores M_{11} e M_{12} são necessários para evitar que o nível de tensão na porta dos transistores M_2 e M_3 sofra gran-

des alterações, devido às grandes variações de tensão que possam ser produzidas nos nós A e B.

Na fase de não-comparação (F' ativa), as chaves S_3 e S_4 estão ligadas, e os transistores M_5 e M_6 atuam como cargas ativas. Na fase de comparação (F ativa), as chaves S_1 e S_2 estão ligadas. A corrente de referência, I_{ref} , é espelhada através dos transistores M_1 e M_2 , e a corrente de entrada, I_{in} , é copiada através do espelho simples constituído pelos transistores M_3 e M_4 , originando as correntes I_1 e I_2 . Assumindo que I_{in} é maior que I_{ref} , tem-se que I_1 é maior que I_2 , o que implica o aumento de $|V_{ds5}| = |V_{gs6}|$ e a diminuição de $|V_{ds6}| = |V_{gs5}|$. Esta diminuição provoca um novo aumento de $|V_{ds5}|$, completando a realimentação positiva. Esta mudança da tensão nos nós A e B ocorre quando as chaves S_1 e S_2 estão ligadas. Porém, é necessário esclarecer que, durante o intervalo de tempo t_1 , as tensões nos nós A e B estão começando a divergir e a chave S_5 está ligada, fazendo com que os transistores M_9 e M_{10} atuem como cargas ativas. Após t_1 , a diferença das tensões nos nós A e B torna-se significativa, provocando uma grande diferença entre as correntes que passam pelos transistores M_7 e M_8 . A chave S_5 , após o tempo t_1 , é desligada e, rapidamente, ocorre uma nova comparação devido à grande diferença entre as correntes. O circuito formado pelos transistores M_7 , M_8 , M_9 e M_{10} realiza a função de obter o resultado final da comparação e guardar seu resultado.

3.2. Especificações do Circuito Comparador

O projeto do circuito comparador de corrente com realimentação positiva foi especificado visando a:

- Menor área possível;
- Consumo de potência da ordem de miliwatts;
- Frequência de Operação acima de 100 MHz;
- Ampla faixa dinâmica (1 μ A e 400 μ A) da corrente de entrada;
- Alta Resolução.

As condições de projeto são as mesmas utilizadas para o circuito comparador com efeito de modulação de canal [1,2]. As etapas para a realização do projeto estão relacionadas a seguir:

- Projeto do circuito comparador (utilizando chaves análogicas);
- Estudo da resolução do circuito;
- Estudo do tempo de resposta do circuito comparador;
- Estudo do tempo de resposta do circuito com "buffer" de saída.

3.3. Funcionamento Detalhado do Circuito Comparador

Para entender claramente o princípio de funcionamento do circuito da figura 3.1 são apresentadas, a seguir, as etapas do ciclo de comparação e o processo da realimentação positiva, detalhadamente.

Comparador de Corrente com Realimentação Positiva

Para visualizar com clareza o circuito que está sendo analisado são apresentadas as duas etapas do ciclo, de acordo com o chaveamento. A figura 3.3 mostra o circuito comparador na fase de não-comparação e a figura 3.4 mostra as condições em que se determina a comparação das correntes de entrada e referência.

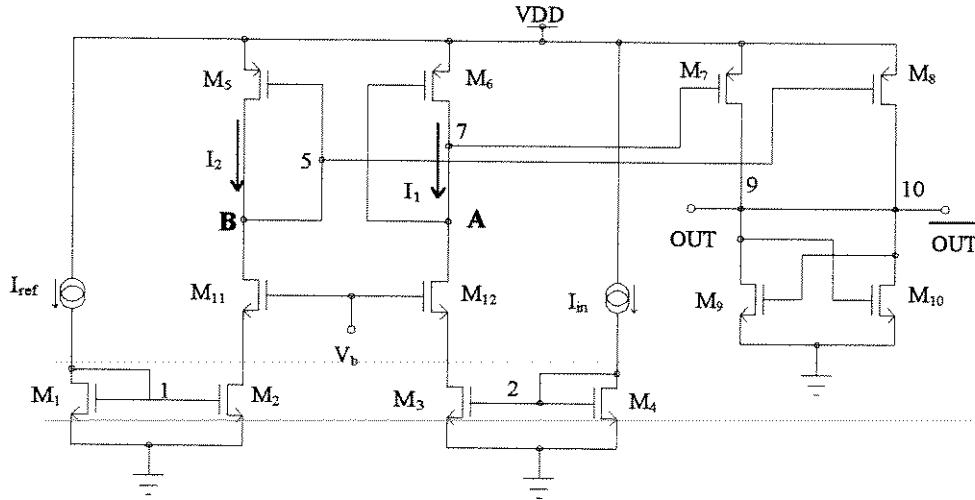


Figura 3.3 - Diagrama Elétrico na Fase de Não-Comparação

Supondo que $I_{in} > I_{ref}$, na fase de não-comparação (F' ativa), as correntes de entrada e referência são copiadas para os transistores M_2 e M_3 , respectivamente, porém diminuídas de acordo com a atenuação existente através das dimensões do espelho de corrente. Assim, I_1 é a corrente que passa por M_6 e I_2 é a corrente que passa pelo transistor M_5 . De acordo com a condição inicial, tem-se que $|V_{gs6}| > |V_{gs5}|$, ou $|V_{ds6}| > |V_{ds5}|$ e, deste modo, tem-se que a tensão no nó A, V_A , é menor que a tensão no nó B, V_B . Pode-se observar que os transistores M_7 e M_6 constituem um espelho de corrente, da mesma forma que os transistores M_8 e M_5 . Ao estar ligada a chave S_5 , os transistores M_9 e M_{10} atuam como cargas ativas dos espelhos de corrente citados. Note que as tensões nos nós 9 e 10, neste momento, são praticamente as mesmas.

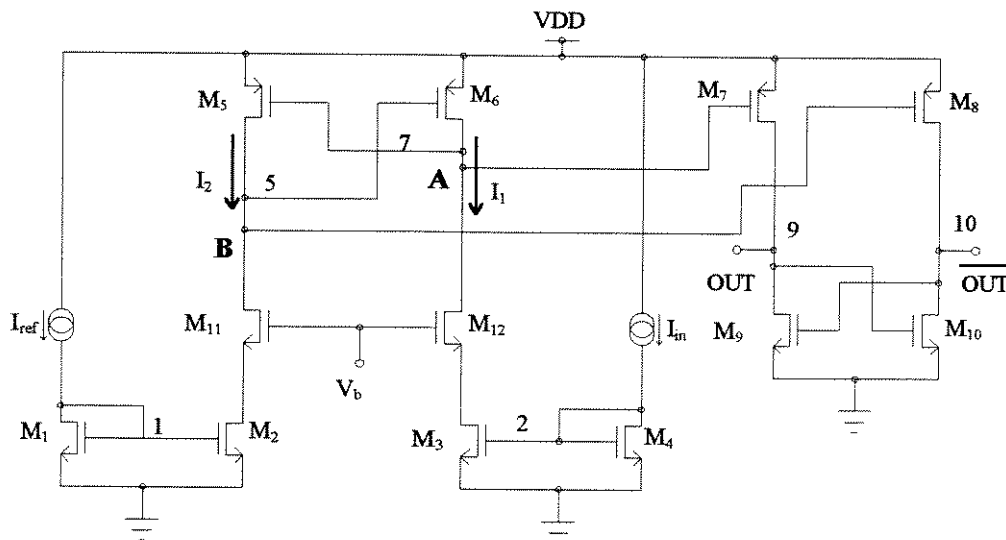


Figura 3.4 - Diagrama Elétrico na Fase de Comparação

Comparador de Corrente com Realimentação Positiva

Na fase de comparação, tem-se que $|V_{ds5}| = |V_{gs6}|$ e $|V_{ds6}| = |V_{gs5}|$. Durante o tempo t_1 , V_A tende a aumentar, pois pelo transistor M_5 tende a passar a corrente I_2 , menor que I_1 . E V_B tende a diminuir, pois pelo transistor M_6 tende a passar a corrente I_1 maior que I_2 . Isto ocorre até que $V_A = V_B$, onde os transistores M_5 e M_6 conduzem a mesma corrente intermediária I ($I_2 < I < I_1$). O circuito formado pelos transistores M_3 e M_{12} tende a aumentar a corrente que passa por M_6 , devido à condição que $I_1 > I$. Porém, como a tensão de porta (V_B) é controlada pelo outro ramo, ou seja, o V_{gs} do transistor M_6 , a única alternativa é aumentar o V_{ds} do transistor M_6 fazendo que V_A diminua. Deste modo, o V_{gs} do transistor M_5 aumenta, provocando um aumento da corrente que passa pelo transistor M_5 . Mas os transistores M_2 e M_{11} forçam uma diminuição da corrente ($I_2 < I$) e, novamente, a alternativa que se apresenta é a diminuição da V_{ds} do transistor M_5 , produzindo um aumento de V_B . Deste modo, ocorre uma nova queda de tensão V_{gs} do transistor M_6 , originando uma diminuição da corrente que passa pelo mesmo e, mais uma vez, uma queda de tensão no nó A. Nota-se claramente que existe uma realimentação positiva de forma que V_A tende cada vez mais ao nível de tensão 0 volt e V_B ao nível de tensão 5 volts provocando o corte do transistor M_6 e a saturação do transistor M_5 .

Os níveis de tensão V_A e V_B provocam a saturação do transistor M_7 e o corte do transistor M_8 . Ocorre, então, a abertura da chave S_5 , após t_1 . Verifica-se que existe uma grande diferença entre as correntes que passam pelos transistores M_7 e M_8 . Deste modo, com a abertura da chave S_5 , a corrente que antes fluía por M_9 e M_{10} passa a fluir apenas pelo transistor M_9 , fazendo com que haja um aumento em sua corrente. Como sua porta está conectada ao outro ramo do circuito (dreno de M_{10}), a única alternativa é aumentar seu V_{ds} , fazendo com que a tensão no nó 9 aumente. Isto provoca um aumento da tensão V_{gs} de M_{10} . Como em M_{10} não há passagem de corrente, sua tensão V_{ds} tende a zero, diminuindo ainda mais a tensão V_{gs} de M_9 , o que diminui sua corrente. Deste modo, a tensão no nó 9 tende a aumentar novamente, tendendo a 5 V, e a tensão no nó 10 tende a zero, estabelecendo os níveis lógicos da comparação.

As etapas do ciclo de comparação podem ser observadas através das figuras 3.5 e 3.6 para $I_{in} = 200 \mu A$ e $I_{ref} = 100 \mu A$, onde o intervalo de tempo t_1 foi de 1 ns.

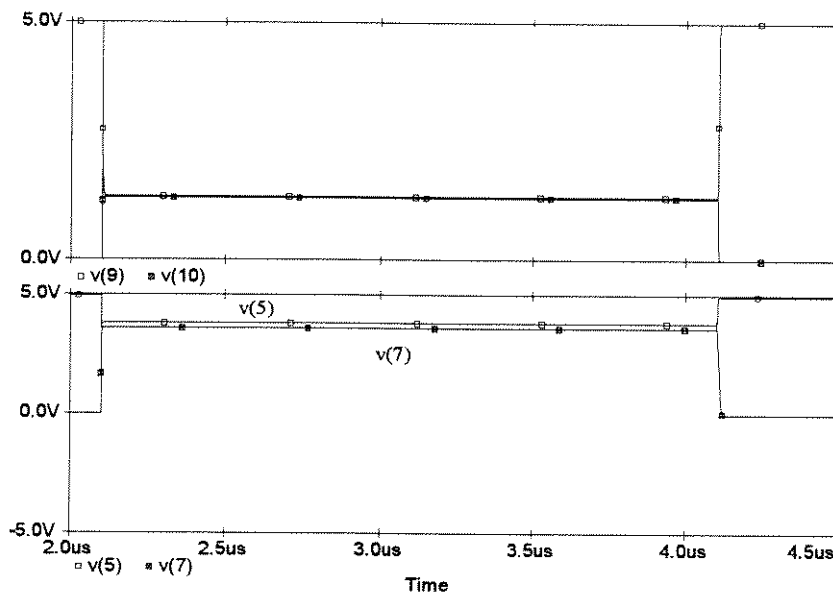


Figura 3.5 - Fase de Não-Comparação do Circuito

Comparador de Corrente com Realimentação Positiva

Observa-se que na fase de não-comparação os níveis de tensão V_A e V_B ($v(7)$ e $v(5)$) são praticamente constantes. Como já se previa anteriormente, V_A é menor que V_B devido aos níveis de corrente de entrada e referência ($I_{in} > I_{ref}$). As tensões nos nós 9 e 10 se mantêm constantes, e são praticamente as mesmas, devido ao efeito da chave analógica S_5 .

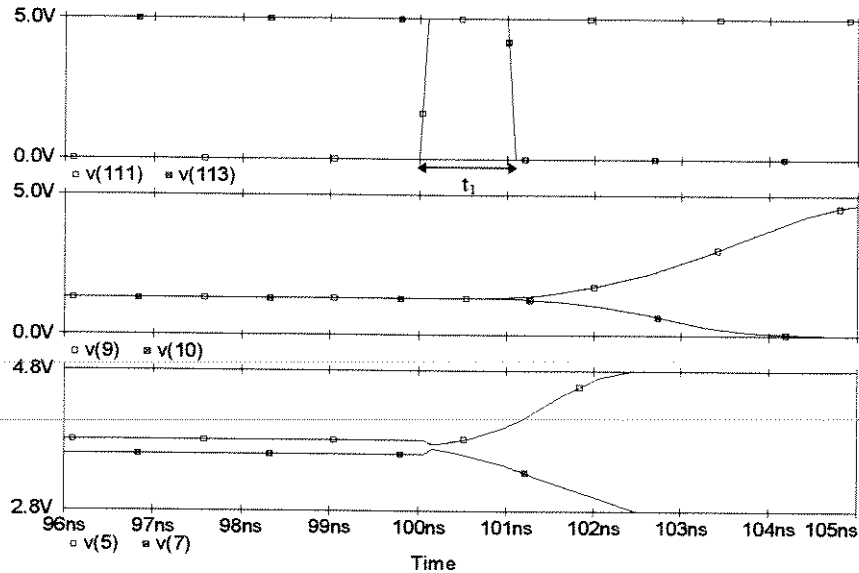


Figura 3.6 - Fase de Comparação do Circuito

Na fase de comparação, observa-se claramente que, durante o intervalo de tempo t_1 , as tensões nos nós A ($v(7)$) e B ($v(5)$) sofrem as alterações já explicadas anteriormente e, finalmente, divergem cada vez mais, devido à realimentação positiva, o que, conseqüentemente, provoca alterações nas tensões de dreno e fonte dos transistores M_5 e M_6 . Do mesmo modo, pode-se visualizar o comportamento dos nós 9 e 10 ao se desligar a chave S_5 (final do intervalo de tempo t_1). As tensões nestes nós alcançam o resultado final da comparação, onde $v(9)$ tende a 5 volts, indicando que a corrente de entrada é maior que a corrente de referência, e, $v(10)$ tende a 0 volt, reafirmando o resultado final ($v(10)$ é o sinal negado de $v(9)$). Uma característica importante de ser esclarecida é que, ao se obter uma grande diferença nos níveis de tensão A e B, provoca-se uma grande diferença das correntes, e isso faz com que a velocidade e resolução do circuito aumentem consideravelmente.

3.4. Projeto do Comparador de Corrente com Realimentação Positiva

Para realizar o projeto do circuito comparador de corrente da figura 3.1 foram adotados os critérios apresentados em [9]. O dimensionamento dos espelhos de corrente foi realizado para uma corrente de $100\mu A$. O autor sugere uma atenuação da corrente de entrada e de referência, devido à grande resolução [9] do circuito comparador. Desta forma, as correntes de comparação (I_1 e I_2) podem diminuir e, da mesma maneira, o consumo de potência e área de implementação. Para tanto, o fator de atenuação adotado foi de 7. Para o circuito formado pelos transistores M_7 a M_{10} , foram adotadas as dimensões obtidas no projeto do circuito inversor explicitado no item 2.3.1. Os transistores M_5 e M_6 foram projetados de acordo com o nível de tensão necessário para garantir a saturação dos transistores M_{11} e M_{12} na fase de não-comparação. No que se refere ao dimensionamento dos transistores M_{11} e M_{12} adotou-se um V_b de 2.5 volts visando a obtenção de

Comparador de Corrente com Realimentação Positiva

maior estabilidade possível nos nós A e B, para não comprometer alterações nas tensões de porta e dreno, quando da ocorrência de chaveamentos.

Deste modo, o dimensionamento dos transistores que constituem o circuito da figura 3.1 estão relacionados na tabela 3.1, a seguir:

TRANSISTOR	W(μm)	L(μm)
M ₁ - CANAL N	28	1.6
M ₂ - CANAL N	4	1.6
M ₃ - CANAL N	4	1.6
M ₄ - CANAL N	28	1.6
M ₅ - CANAL P	8	1.6
M ₆ - CANAL P	8	1.6
M ₇ - CANAL P	5	1.2
M ₈ - CANAL P	5	1.2
M ₉ - CANAL N	2.6	1.2
M ₁₀ - CANAL N	2.6	1.2
M ₁₁ - CANAL N	8	1.6
M ₁₂ - CANAL N	8	1.6

Tabela 3.1 - Dimensões dos Transistores do Circuito Comparador

É importante esclarecer que os resultados obtidos para o circuito da figura 3.1 foram obtidos utilizando-se as chaves analógicas já explicadas no item 2.3.2.

3.5. Desempenho do Comparador

Devido ao chaveamento e ao comportamento dinâmico, princípios de funcionamento do circuito comparador da figura 3.1, tem-se que não é possível obter-se a característica DC do mesmo. Deste modo, a análise do circuito foi realizada inteiramente através da análise transiente.

Para o estudo do desempenho do comparador foram realizadas diversas simulações para alcançar uma definição sobre a resolução do circuito da figura 3.1. Observou-se claramente, nas simulações, que o circuito apresenta uma resolução bastante elevada, devido à realimentação positiva. Para qualquer diferença entre as correntes de entrada e de referência, o comparador obtém um sinal lógico de saída "1" ou "0", conforme a situação inicial das correntes de referência e entrada. Por exemplo, tem-se a figura 3.7 que mostra o desempenho do comparador para uma corrente de referência de 100 μA e corrente de entrada variando entre 99.995 μA e 100.005 μA , ou seja, com diferenças de corrente da ordem de 0.001 μA (1 nA).

É importante esclarecer que, para a obtenção destes resultados de simulação, houve a necessidade de se alterarem certos parâmetros de simulação de seu valor "default" para obter a convergência da simulação [12]. O apêndice B mostra as condições de simulação do circuito.

Comparador de Corrente com Realimentação Positiva

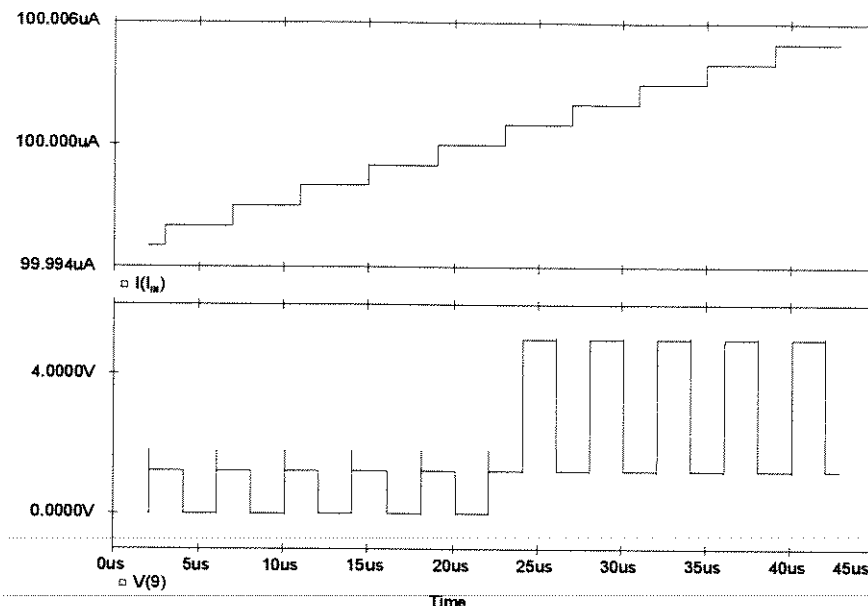


Figura 3.7 - Desempenho do Comparador para $|I_{ref}-I_{in}| = 0.001 \mu A$

Na simulação apresentada na figura 3.7, cada corrente de entrada é alterada durante o fase de não-comparação e, portanto, o sinal de saída $v(9)$ fornece o resultado na etapa seguinte. Uma informação adicional é que foi colocado um capacitor de 0.1 pF nas saídas dos comparadores, $v(9)$ e $v(10)$, simulando uma situação em que o circuito alimentasse algumas portas lógicas.

Realizando uma análise do gráfico acima pode-se observar que o comparador oferece resultados bem definidos sobre o resultado da comparação. Nota-se que os níveis de tensão de saída, $v(9)$, correspondem aos níveis lógicos digitais “1” e “0”. É necessário acrescentar que o mecanismo de simulação, para alcançar precisões elevadas como mostra a figura 3.6, foi realizado diminuindo-se cada vez mais a diferença entre as correntes de referência e de entrada até chegar a uma diferença de $0.001 \mu A$ (1 nA).

Para continuar o estudo sobre a resolução do circuito foi desenvolvido o mesmo trabalho para outras correntes de referência, a fim de definir a faixa dinâmica do comparador. Observou-se que a resolução não muda para correntes entre $10 \mu A$ e $400 \mu A$. O comparador responde corretamente para diferenças entre as corrente de 1 nA nas mesmas condições de simulação já mencionadas para $I_{ref} = 100 \mu A$. Nota-se que os níveis de tensão de saída, $v(9)$, permanecem bem definidos, e a resolução do circuito não sofre alterações devido à grande simetria do mesmo. Qualquer diferença entre as dimensões dos transistores, ou seja, imprecisão na relação de geometria dos mesmos, é desprezível, devido à simetria de toda as estruturas que constituem o comparador.

As propriedades do circuito da figura 3.1 se baseiam na simetria das estruturas utilizadas e realimentação positiva, que garantem a resolução. Ocorre também uma compensação dos possíveis erros, provocados pelos efeitos da injeção de carga e “clockfeedthrough” [4], bem como pelo efeito de modulação de canal dos espelhos de corrente, devido à simetria do circuito. Devido à realimentação positiva, o sinal de saída, $v(9)$, sempre permanecerá em um nível lógico digital “1” ou “0”, em acordo com as condições iniciais da comparação.

Deste modo, seria possível concluir que a resolução do circuito foi de 16 bits. Ainda que seja possível explicar teoricamente e comprovar o funcionamento e desempenho do circuito utilizando os recursos de simulação, sabe-se que a realidade sobre os componentes no processo de fabricação não estima tal simetria entre componentes e, o ruído dos sinais induzem o circuito a condições de comparação, provocando erros não possíveis de se constatar através de processos de simulação.

Desta forma, as propriedades do circuito que garantem a resolução (simetria das estruturas e realimentação positiva) são comprometidas. O processo de fabricação dos componentes não garante perfeita simetria entre estruturas, provocando descasamentos entre transistores, alterando os níveis de corrente e tensão, devido à influência dos efeitos citados anteriormente, o que gera uma compensação ineficiente para se eliminarem erros inerentes da utilização de espelhos de corrente e técnicas de chaveamento. No caso do ruído introduzido, que existe em qualquer sistema, ao se utilizar o mecanismo de realimentação positiva erros serão provocados. Se a diferença entre as correntes de entrada e referência for da ordem de grandeza do ruído, ocorrerão situações em que a corrente de entrada será maior ou menor que a referência, devido ao próprio ruído. Em determinadas condições, este fato pode ocasionar um nível de tensão de saída que oscila entre "1" e "0", provocando resultados errôneos. Deste modo, a precisão do circuito pode ser definida a partir da faixa de correntes onde o comparador "não se decide".

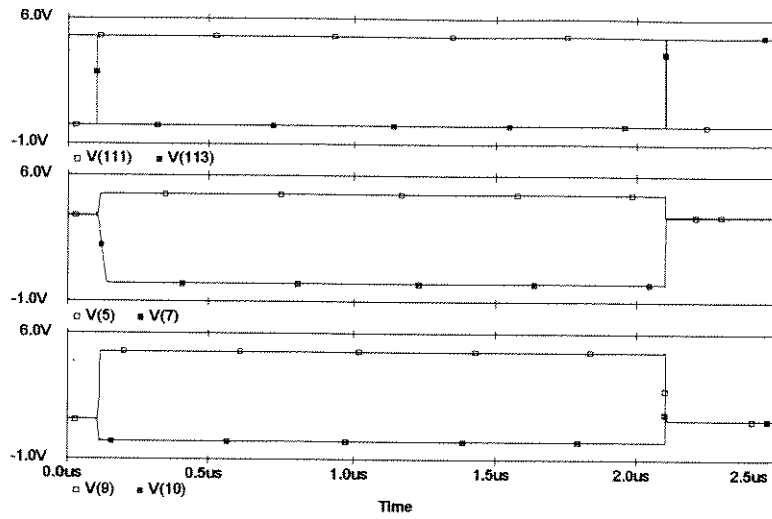
3.5.1. Resposta Transiente

Para o estudo do comportamento do circuito no tempo, foi observado o nível de tensão na saída do circuito, $v(9)$, para diferentes condições iniciais de comparação, bem como a confirmação da realimentação positiva através dos níveis de tensão $v(5)$ e $v(7)$, que determinam as condições dos nós de saída, $v(9)$ e $v(10)$. As figuras 3.8 e 3.9 mostram detalhadamente como responde o circuito para diferentes condições de I_{in} em relação à corrente de referência. No caso da figura 3.8, $I_{ref} = 100 \mu A$ e $I_{in} = 104 \mu A$ e, para a figura 3.9, $I_{ref} = 100 \mu A$ e $I_{in} = 92 \mu A$. Para ambos os casos, tem-se um gráfico sobre o comportamento geral do circuito entre 0 e 2.5 μs (a), dois gráficos ampliados no início do chaveamento (b) e no fim do chaveamento (c). Em todos os gráficos, em ambos casos (I_{in} maior e menor que I_{ref}), tem-se o comportamento dos diferentes níveis de tensão $v(111)$, $v(113)$, $v(5)$ e $v(7)$, que correspondem V_B , V_A , $v(9)$ e $v(10)$.

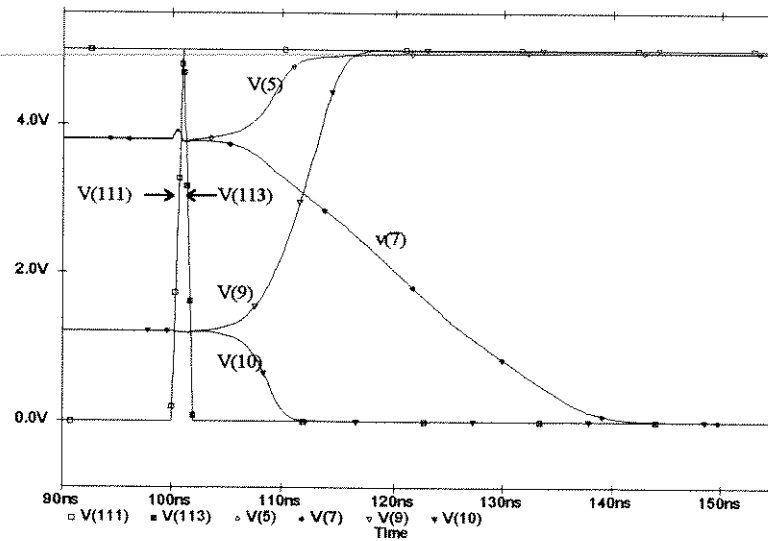
Observa-se que os níveis de tensão $v(5)$, $v(7)$, $v(9)$ e $v(10)$ são bastante definidos, ou seja, níveis lógicos digitais "1" ou "0" para ambas as condições iniciais da comparação. Nota-se através da figura 3.7 que na fase de não-comparação, existe uma pequena diferença entre os níveis de tensão $v(5)$ e $v(7)$, embora não seja possível observá-la através das figuras. A tensão no nó 5 permanece constante em 3.8002 volts, enquanto a tensão no nó 7 permanece em 3.7909 volts até que ocorre o chaveamento no sinal de "clock", $v(111)$, comprovando que a tensão no nó A é menor que a tensão no nó B.

A partir deste instante, os níveis de tensão $v(5)$ e $v(7)$ começam a divergir, $v(5)$ tende a 5 volts e $v(7)$ tende a 0 volt. Quando ocorre o chaveamento no sinal de "clock", $v(113)$, os níveis de tensão $v(9)$ e $v(10)$, que se mantinham constantes em 1.2141 volts e 1.2132 volts, respectivamente, começam também a se deslocar e alcançam os níveis de tensão

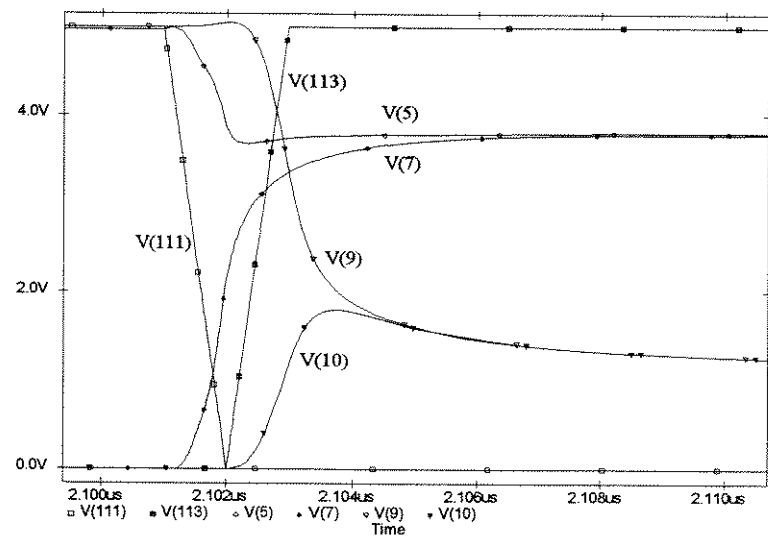
Comparador de Corrente com Realimentação Positiva



(a)



(b)



©

Figura 3.8 - Resposta Transiente do Circuito Comparador - $I_{ref} = 100 \mu A$ e $I_{in} = 104 \mu A$

Comparador de Corrente com Realimentação Positiva

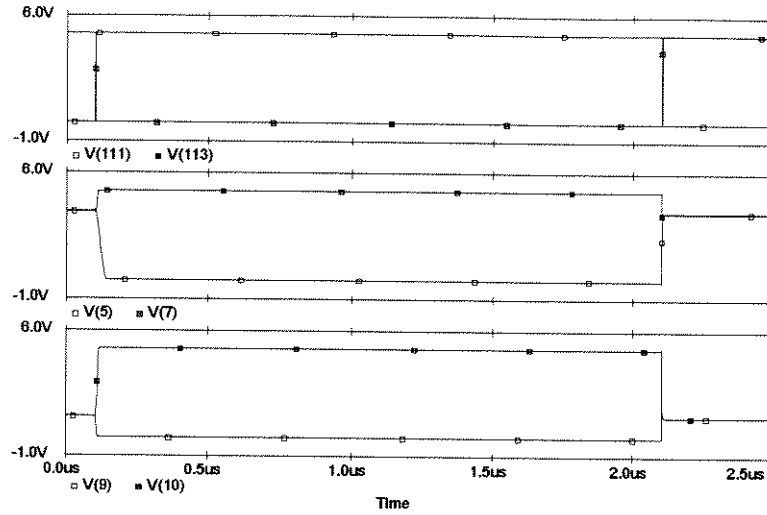
5 volts e 0 volt ($v(9)$ e $v(10)$) de acordo as condições iniciais da comparação. Na figura 3.8-(c) observa-se como os níveis de tensão $v(5)$, $v(7)$, $v(9)$ e $v(10)$ tendem a convergir para os respectivos níveis de tensão da fase de não-comparação, já relacionados anteriormente.

No caso da figura 3.9, as condições da comparação fazem com que a tensão no nó 5 permaneça em 3.8002 volts e no nó 7 em 3.8190 volts, na fase de não-comparação, constatando mais uma vez que a tensão V_A é maior que V_B . Os níveis de tensão $v(9)$ e $v(10)$ permanecem constantes em 1.1980 volt e 1.1998 volt, respectivamente. O mecanismo da comparação é exatamente o mesmo. É importante ressaltar que, neste caso, os níveis de tensão ($v(5)$, $v(7)$, $v(9)$, $v(10)$) divergem conforme as condições iniciais.

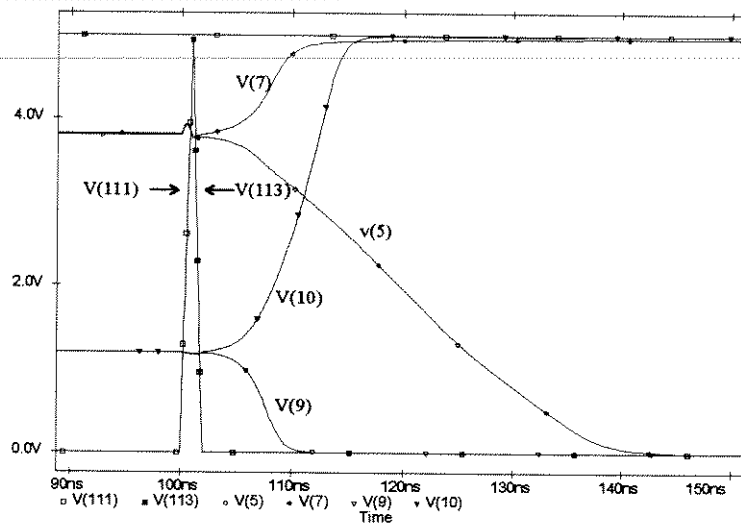
Para realizar um estudo sobre a frequência de operação máxima em que opera o circuito foram observados os tempo de resposta e de recuperação que o circuito necessita para que ocorra o chaveamento e obtenha o resultado da comparação. Foi observado que o tempo de resposta é maior à medida em que a diferença entre as correntes de entrada e referência diminui. No entanto, no caso do tempo de recuperação tem-se que o mesmo permanece aproximadamente constante. Para exemplificar, as figuras 3.10 e 3.11 mostram como variam estes tempos em função de diferenças entre as correntes de entrada e referência. Para ambas as figuras, tem-se $I_{ref} = 100 \mu A$ e $I_{in} = 80 \mu A, 96 \mu A, 104 \mu A, 120 \mu A$. Na figura 3.10, está sendo mostrado o tempo de resposta do circuito e, na figura 3.11, o tempo de recuperação. Para realizar este estudo foi colocada uma capacitância de 0.1 pF nas saídas do circuito, nos nós 9 e 10. Nota-se que, na figura 3.10, o nível de tensão $v(9)$ desloca-se para 0 volt no caso das correntes de entrada $80 \mu A$ e $96 \mu A$. Porém, no caso das correntes $104 \mu A$ e $120 \mu A$, desloca-se para 5 volts. A figura 3.11 apresenta o sinal de saída, $v(9)$, coincidente no caso das correntes de entrada $80 \mu A$ e $96 \mu A$, e, $104 \mu A$ e $120 \mu A$.

De acordo com o procedimento adotado para o circuito da figura 3.1, no que se refere à frequência de operação, foram realizadas diferenças entre as correntes de entrada e referência e coletados os dados de tempos de resposta e recuperação. Portanto, os gráficos das figuras 3.12 e 3.13 mostram as variações existentes. Os tempos medidos sempre foram realizados entre o nível tensão de saída, $v(9)$, e o chaveamento do sinal de "clock", $v(111)$. Cabe ressaltar que a capacitância de carga é de 0.1pF, conforme o procedimento adotado anteriormente, embora se saiba que a capacitância de carga no caso de um inversor seja da ordem de 0.02pF. Esta observação é de suma importância pois, ao alterar a capacitância de carga de 0.1pF para 0.02pF, tem-se uma notável diferença nos tempos de resposta e de recuperação. Este fato influencia diretamente a frequência de operação do circuito de acordo com a discussão já feita no item 2.6. (equações 2.8 e 2.9). Foi adotado o valor de capacitância de 0.1 pF para confrontar os resultados entre os dois comparadores em estudo neste trabalho. Além disso, será utilizado o "buffer" de saída, já projetado no item 2.6, para uma capacitância intrínseca de 0.1 pF, composto de 4 estágios, como já foi concluído anteriormente.

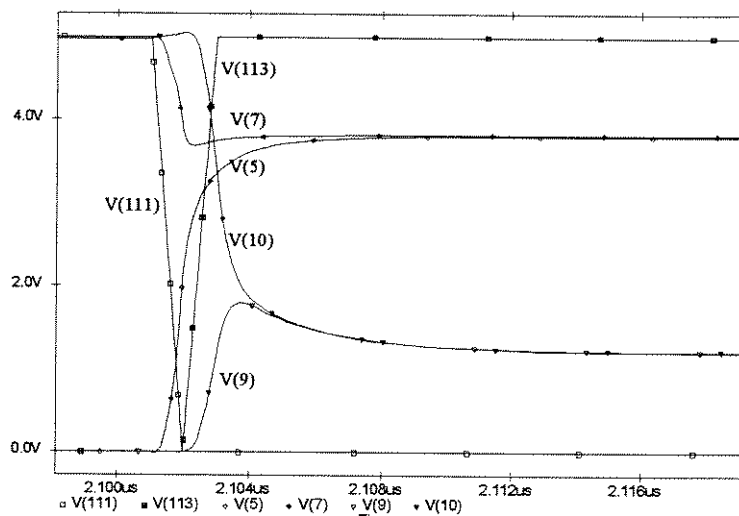
Comparador de Corrente com Realimentação Positiva



(a)



(b)



(c)

Figura 3.9 Resposta Transiente do Circuito Comparador - $I_{ref} = 100 \mu A$ e $I_{in} = 92 \mu A$

Comparador de Corrente com Realimentação Positiva

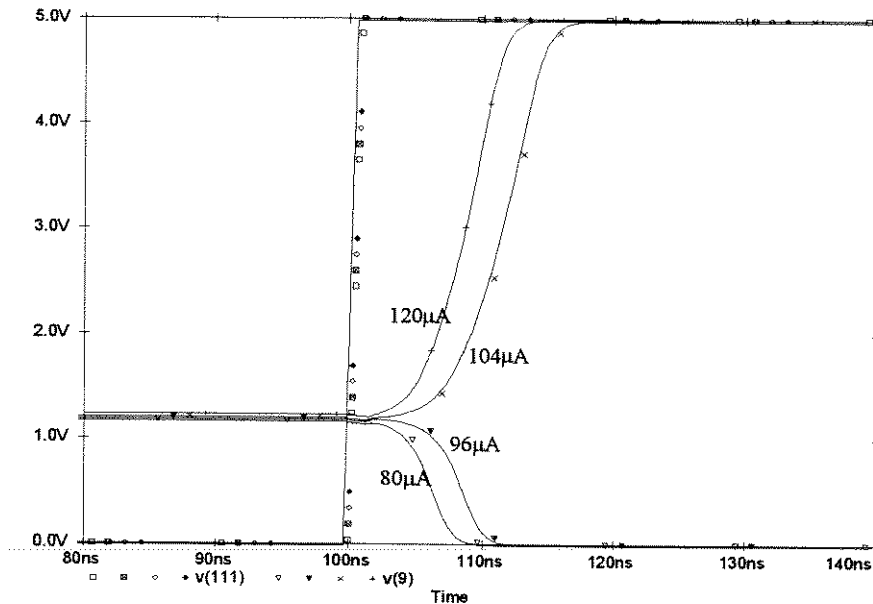


Figura 3.10 - Tempo de Resposta para $I_{in} = 80 \mu A, 96 \mu A, 104 \mu A, 120 \mu A$

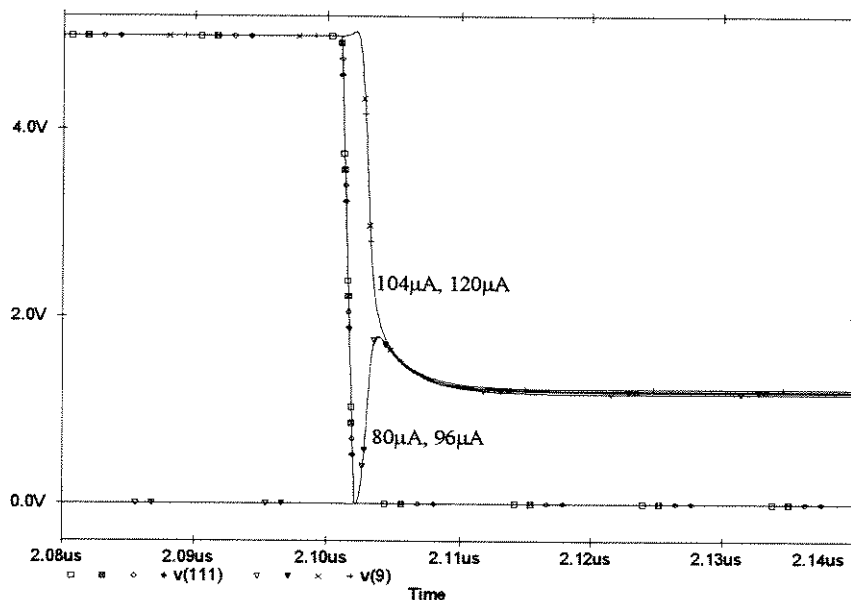


Figura 3.11 - Tempo de Recuperação para $I_{in} = 80 \mu A, 96 \mu A, 104 \mu A, 120 \mu A$

No caso do tempo de resposta pode-se constatar que este varia de acordo com a diferença entre as correntes e se mantém aproximadamente constante para diferenças entre correntes maiores que $8 \mu A$. Porém, o tempo de recuperação se mantém constante tanto para diferenças “negativas” de corrente como “positivas”, embora este tempo seja diferenciado em cada caso. A tabela 3.2 e as figuras 3.12 e 3.13 ilustram com clareza as variações anteriormente afirmadas.

Comparador de Corrente com Realimentação Positiva

$I_{in}-I_{ref}$ [μA]	Tempo de Resposta [ns]	Tempo de Recuperação [ns]
-40	5.11	3.55
-36	5.22	3.55
-32	5.33	3.55
-28	5.46	3.55
-24	5.63	3.55
-20	5.84	3.55
-16	6.11	3.55
-12	6.45	3.55
-8	7.03	3.55
-4	8.05	3.55
-1	10.34	3.25
-0.1	14.32	3.25
0.1	17.05	1.823
1	12.79	1.823
4	10.22	1.828
8	8.91	1.828
12	8.14	1.828
16	7.60	1.828
20	7.18	1.828
24	6.83	1.828
28	6.54	1.828
32	6.29	1.828
36	6.05	1.828
40	5.85	1.828

**Tabela 3.2- Tempo de Resposta x $|I_{in}-I_{ref}|$
Tempo de Recuperação x $|I_{in}-I_{ref}|$
(sem "buffer" de saída)**

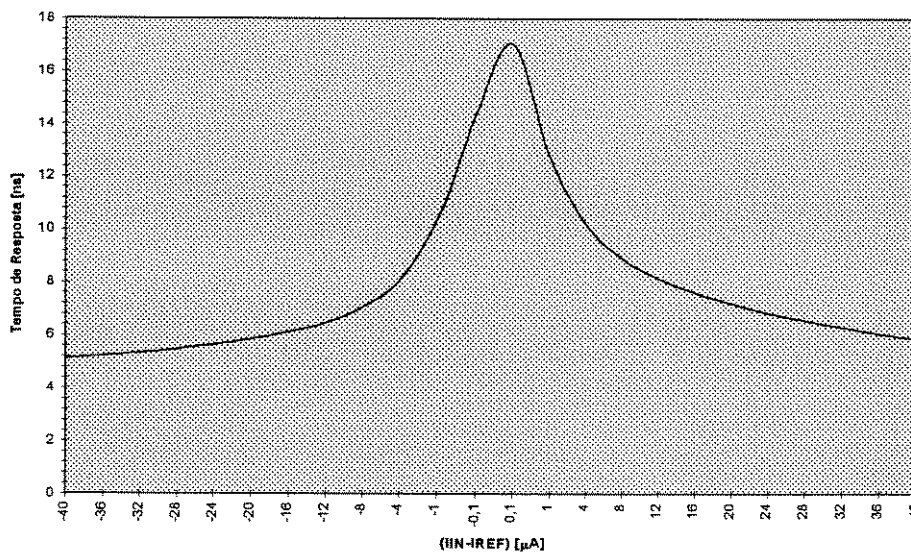


Figura 3.12 - Tempo de Resposta x $(I_{in}-I_{ref})$

Comparador de Corrente com Realimentação Positiva

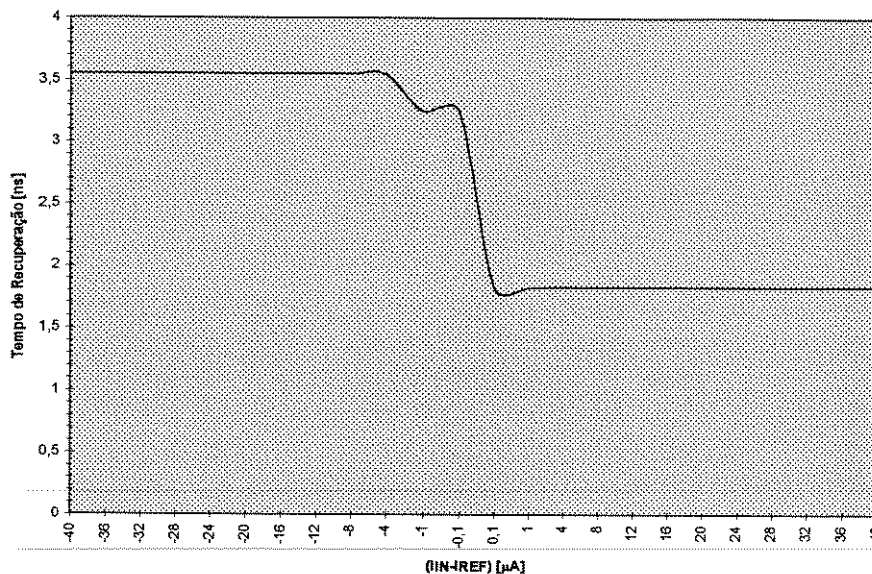


Figura 3.13 - Tempo de Recuperação x (I_{in}-I_{ref})

O desempenho do circuito, em termos de frequência, permanece entre 50 a 60 MHz para uma diferença entre a corrente de entrada e referência superior a 12 µA. Para diferenças abaixo deste valor a frequência cai consideravelmente. Nota-se claramente que o desempenho deste comparador possui um compromisso entre a resolução e a velocidade de operação para uma carga de 0.1 pF.

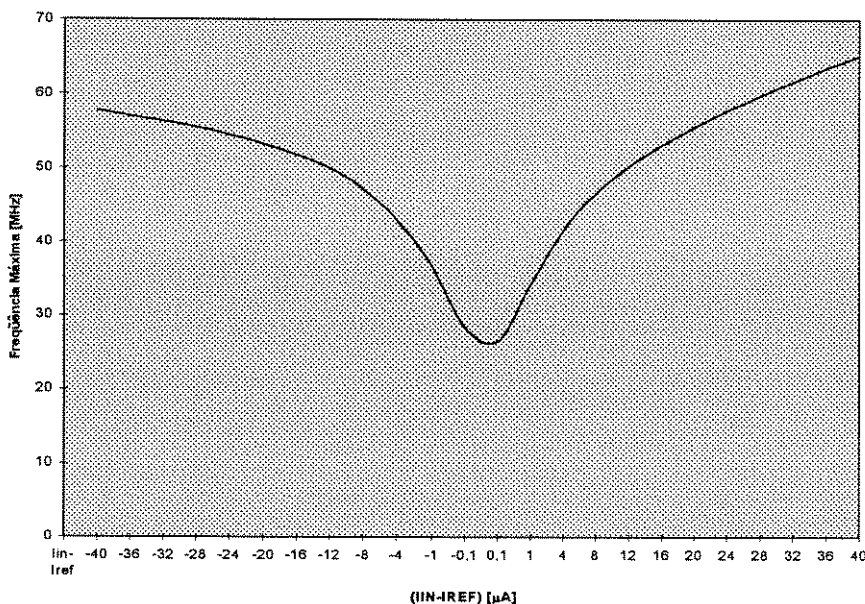
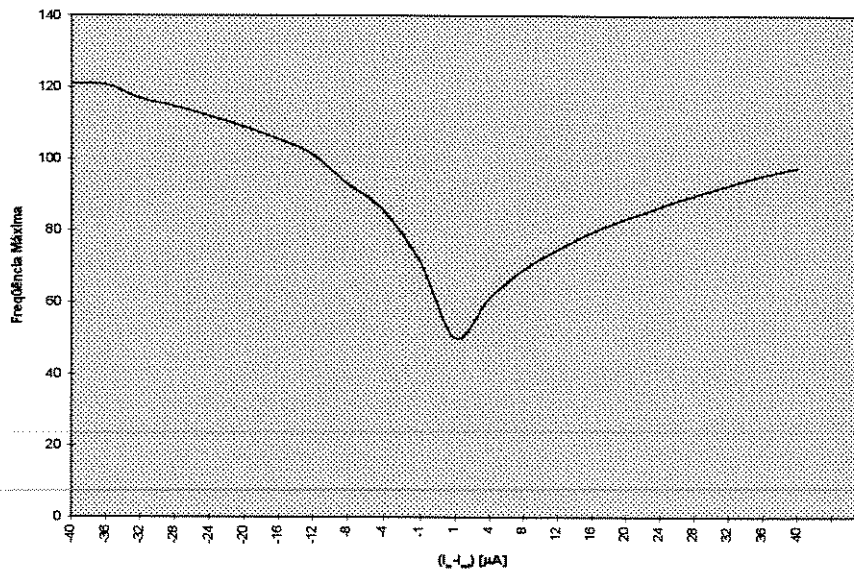


Figura 3.14 - Frequência Máxima de Operação x I_{in}-I_{ref}
Capacitância de Carga 0.1 pF

Para esclarecer o efeito que a capacitância de carga produz no desempenho do comparador foram coletados dados sobre tempos de resposta e recuperação para uma capacitância de 0.02 pF. Desta forma, a frequência de operação máxima, obtida através das

Comparador de Corrente com Realimentação Positiva

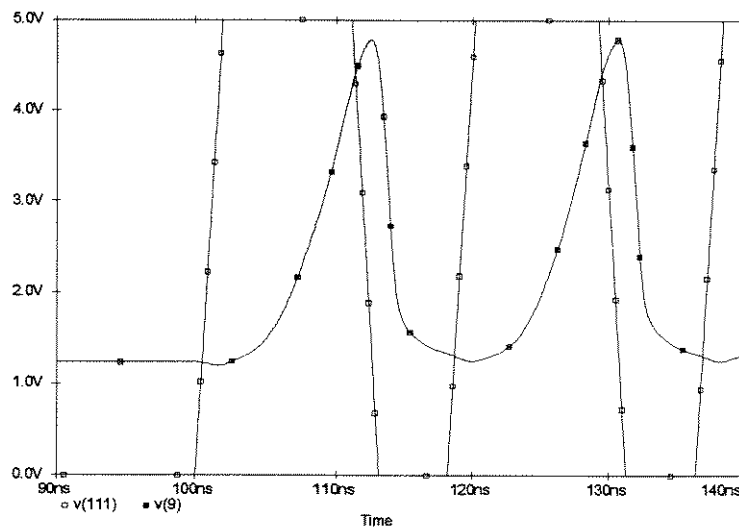
equações 2.8 e 2.9, aumenta notoriamente, como ilustra a figura 3.15. Para diferenças de corrente superiores a $8 \mu\text{A}$, tem-se frequências entre 80 MHz e 100 MHz, confirmando a influência decisiva no desempenho do mesmo.



**Figura 3.15 - Frequência Máxima de Operação x $I_{in} - I_{ref}$
Capacitância de Carga 0.02pF**

Neste trabalho serão comparados os desempenhos dos comparadores das figuras 2.1 e 3.1 para capacitâncias de carga de 0.1 pF. Pretende-se confrontar resultados obtidos nas mesmas condições (tecnologia, capacitância de carga, “buffer de saída”) para avaliar a relação de desempenho dos comparadores em termos de resolução x velocidade de operação, bem como faixa dinâmica.

Para confirmar o funcionamento do circuito, a figura 3.16 mostra o resultado da simulação do comparador para $I_{ref} = 100 \mu\text{A}$, $I_{in} = 120 \mu\text{A}$ e frequência de operação de 55 MHz (capacitância de carga de 0.1 pF). Observa-se que o nível atingido pelo sinal de saída, $v(9)$, alcança 4.78 volts considerado nível lógico digital “1”.

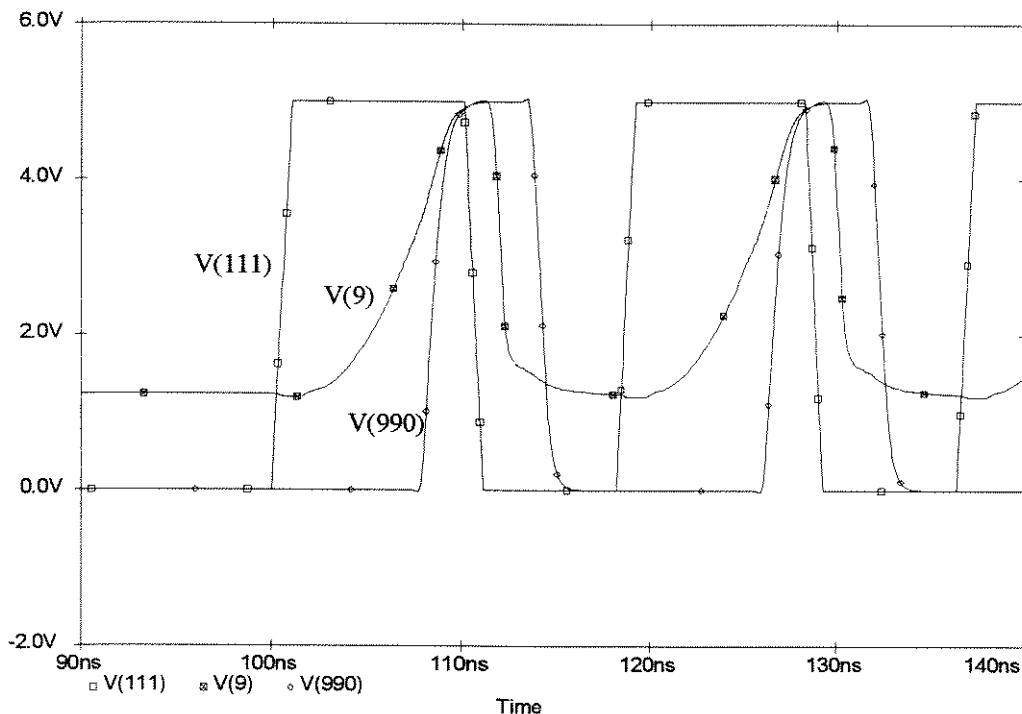


**Figura 3.16 - Desempenho do Circuito para $I_{ref} = 100 \mu\text{A}$ e $I_{in} = 120 \mu\text{A}$
Frequência de Operação Máxima de 55 MHz**

3.6. Comparador de Corrente com “Buffer” de Saída

Dando continuidade ao estudo do comparador com realimentação positiva, foi comprovado o comportamento do mesmo ao ser adicionado o “buffer” de saída, já especificado e estudado no item 2.6, tanto no nó 9 como no nó 10. Como já se sabe, este “buffer” de saída é constituído por 4 estágios, para uma capacitância intrínseca de 0.1 pF e capacitância de carga de 8 pF. É importante lembrar que, ao se colocar este “buffer”, tem-se a intenção de mostrar que, caso o circuito fosse medido, haveria a necessidade do mesmo para suportar a capacitância intrínseca da ponta de prova de um osciloscópio (8 pF). Para validar as condições já pré-determinadas no estudo da resposta transiente, foi mantido o valor de $C_i = 0.1$ pF, embora se saiba que a capacitância que o “buffer” de saída introduz é da ordem de 0.02 pF.

Pode-se comprovar que não houve nenhuma alteração na resolução do circuito. A figura 3.17 mostra o sinal de saída do último inversor do “buffer”, $v(990)$, para uma corrente de entrada de $120 \mu\text{A}$ e corrente de referência de $100 \mu\text{A}$. Para o estudo do desempenho do circuito com “buffer”, foram colocadas capacitâncias de 8 pF nas duas saídas, e foi observado que o sinal de saída do “buffer” projetado responde corretamente, ou seja, atinge níveis digitais bem definidos, na frequência de chaveamento ditada pelas fases F, F' e L, de 55 MHz. Nota-se claramente que o circuito atinge o nível lógico “1” no caso de $I_{in} > I_{ref}$. É possível observar a diferença entre $v(9)$ (saída do circuito comparador) e $v(990)$ (saída do “buffer”). Além do atraso, devido ao “buffer”, a saída do mesmo se aproxima muito mais à característica dinâmica ideal de um comparador de corrente.

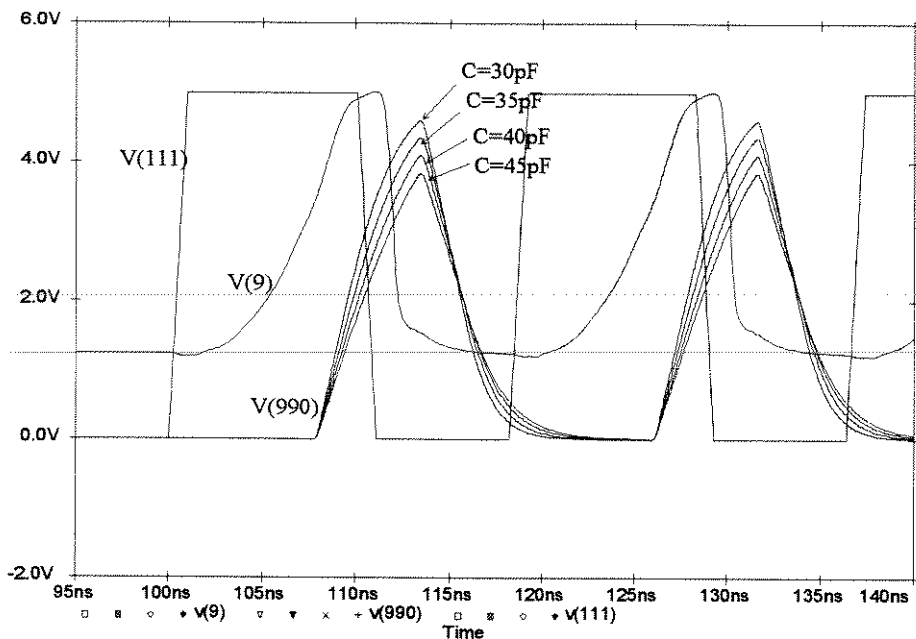


**Figura 3.17 - Desempenho do Circuito para $I_{ref} = 100 \mu\text{A}$ e $I_{in} = 120 \mu\text{A}$
Frequência de Operação Máxima de 55 MHz com “buffer” de saída**

Para finalizar, foi realizado um estudo em relação ao desempenho do circuito caso a capacitância de carga fosse aumentada. Através dos estudos realizados, pode-se obser-

Comparador de Corrente com Realimentação Positiva

var que o circuito com “buffer” não suporta capacitâncias de carga maiores que 35 pF. A figura 3.18 mostra claramente a resposta do circuito para as mesmas condições de correntes de entrada e referência, frequência de operação de 55 MHz e capacitância de carga variando de 30 a 45 pF, em passos de 5 pF. Claramente se observa que o circuito não atinge nível lógico digital “1” (sinal de saída menor que 4 volts) na saída do “buffer” para capacitâncias de 40 e 45 pF.



**Figura 3.18 - Desempenho do Circuito para $I_{ref} = 100 \mu A$ e $I_{in} = 120 \mu A$
Frequência de Operação de 55 MHz com “buffer” de saída e capacitância de carga de 30 a 45 pF**

CAPÍTULO IV

APLICAÇÃO DO COMPARADOR DE CORRENTE EM UM CONVERSOR A/D

4.1. Introdução

Comparadores de Corrente são geralmente utilizados como blocos básicos em circuitos de grande complexidade, tais como conversores A/D e D/A, operando em modo corrente. Deste modo, foi escolhido como aplicação para o comparador de corrente um conversor A/D algorítmico [13] que utiliza correntes de entrada e referência para realizar a conversão do sinal analógico em uma palavra digital. A realização desta aplicação tem por objetivo mostrar o desempenho do comparador de corrente no que se refere à resolução, frequência de operação e potência consumida no conversor A/D.

Para realização da aplicação foram definidos tanto o tipo de comparador de corrente a ser utilizado como o tipo de conversor A/D. Através dos resultados obtidos nos capítulos 2 e 3, pôde-se concluir, claramente, que o comparador de corrente com realimentação positiva obteve um bom desempenho na resolução e frequência de operação. Além disso, o mesmo apresenta uma configuração topológica interessante em nível de circuito. Desta forma, o comparador de corrente com realimentação positiva, aplicado ao conversor A/D algorítmico, será o enfoque deste capítulo.

Os critérios utilizados na escolha do conversor A/D algorítmico baseiam-se no conceito de uso de circuitos em modo corrente, visando menor área de silício e alta resolução de conversão, ainda que sacrificando a taxa de conversão.

É importante esclarecer que, dado que o objetivo deste capítulo seja observar e estudar o comportamento do comparador de corrente com realimentação positiva com aplicação no conversor A/D algorítmico, qualquer limitação existente devido à configuração estrutural do conversor A/D não estará sendo levada em consideração. Ou seja, o enfoque deste capítulo será especialmente voltado ao funcionamento do comparador de corrente sem tentar realizar soluções extraordinárias aos possíveis limites do conversor A/D.

4.2. Conversor A/D Algorítmico em Modo Corrente

De acordo com os sistemas em que se trabalha no mundo dos circuitos integrados, existe a necessidade de se utilizarem conversores A/D específicos para cada caso. Deste modo, existem vários tipos de conversores A/D, atendendo às condições requeridas por estes sistemas. Em alguns casos, por exemplo, será necessário utilizar circuitos que se preocupam com a velocidade na taxa de conversão ainda que a resolução e a área estejam comprometidas.

No estudo que está sendo proposto, conversores A/D algorítmicos em modo corrente podem ser uma das aplicações para utilizar o comparador de corrente com realimentação positiva estudado. Estes tipos de conversores estão normalmente associados à alta resolução, pequena área de silício. Porém, sua velocidade de conversão é baixa.

Aplicação do Comparador de Corrente em um Conversor A/D

O algoritmo de conversão está baseado no fluxograma mostrado na figura 4.1 a seguir. A implementação deste algoritmo pode ser realizada tanto em tensão como em corrente. Neste estudo, a implementação foi realizada em corrente atendendo os sinais de entrada do comparador de corrente. Portanto, ao se descrever o funcionamento do algoritmo tem-se por variáveis sinais de corrente.

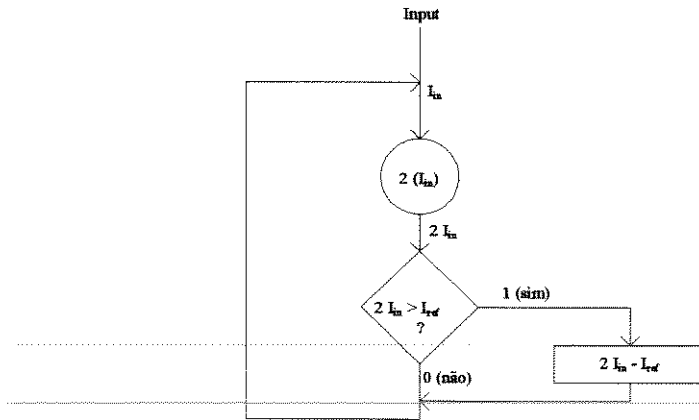


Figura 4.1 - Algoritmo do Conversor A/D

O sinal de entrada, I_{in} , deve possuir um valor entre 0 e o valor da corrente de referência, I_{ref} . Este sinal de entrada é duplicado e comparado com o sinal de referência. Se $2 I_{in}$ é menor que o sinal de referência I_{ref} , a saída digital é "0" e o sinal da corrente de entrada da próxima célula será $2 I_{in}$. Porém, se $2 I_{in}$ é maior que o sinal de referência, I_{ref} , a saída digital é "1" e o sinal de corrente de entrada da próxima célula será a diferença entre $2 I_{in}$ e I_{ref} . Este procedimento se realiza dentro de cada célula para cada bit de resolução.

Como o algoritmo de conversão é bastante simples, a implementação do mesmo sugere uma solução da mesma índole. A figura 4.2 mostra a implementação alcançada em nível de transistores [12]:

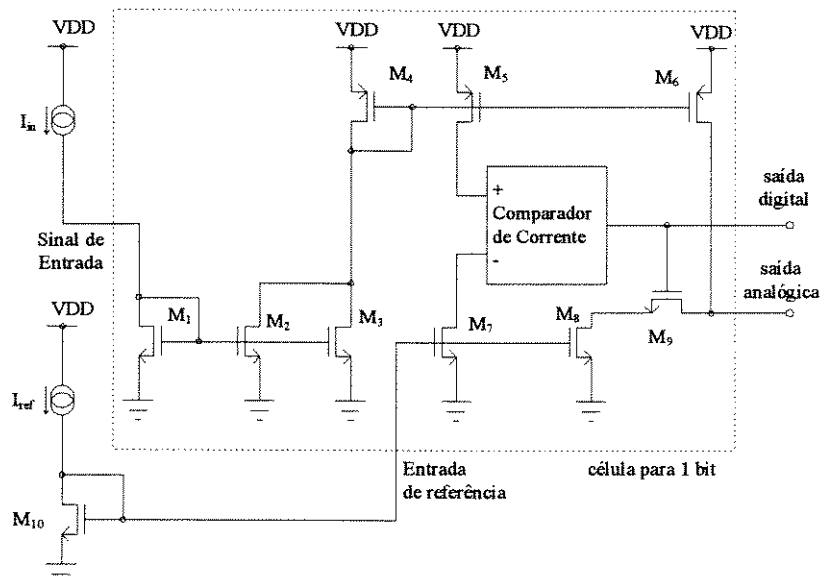


Figura 4.2 - Célula para 1 Bit

A célula que realiza a conversão de um bit está constituída por 9 transistores que constituem os espelhos de corrente, uma chave analógica e um comparador de corrente. Através dos transistores M_1 , M_2 e M_3 ocorre o espelhamento da corrente de entrada e a duplicação da mesma. Esta corrente duplicada, por sua vez é copiada para o transistor M_4 . Através do espelho constituído por M_4 , M_5 e M_6 tem-se que a corrente de entrada duplicada também foi espelhada para os transistores M_5 e M_6 . A corrente que passa pelo transistor M_5 é o sinal da corrente de entrada do comparador de corrente. A corrente de referência é copiada através do espelho de corrente formado pelos transistores M_{10} , M_7 e M_8 . Portanto, a corrente de referência do conversor A/D é o sinal de corrente de referência do comparador de corrente. Deste modo, o comparador de corrente realiza sua função, obtendo na saída os níveis lógicos digitais "0" ou "1" de acordo com as condições de entrada. Se a corrente de entrada duplicada for menor que a corrente de referência, o transistor M_9 , que funciona como chave analógica, é desligado, e o sinal de corrente de entrada duplicado será o novo valor da corrente de entrada para a próxima célula. Caso contrário, o transistor M_9 é ligado e ocorre uma subtração da corrente duplicada que passa pelo transistor M_6 e a corrente de referência que passa pelo transistor M_8 , originando o novo sinal de corrente de entrada da próxima célula. É importante lembrar que a corrente de entrada sempre deverá ser um valor entre 0 e o valor da corrente de referência, ou seja, não deve ser maior que a corrente de referência.

Para realizar uma conversão de N bits são necessárias N células cascadeadas, conectando-se a saída analógica de uma célula na entrada analógica da seguinte. O sinal da corrente de referência é o mesmo para todo o conversor, utilizando um único transistor M_{10} para todo o circuito de conversão. O resultado da conversão é dado de forma seqüencial sempre do bit mais significativo para o menos significativo. A figura 4.3 mostra claramente o esquema geral do circuito de conversão A/D:

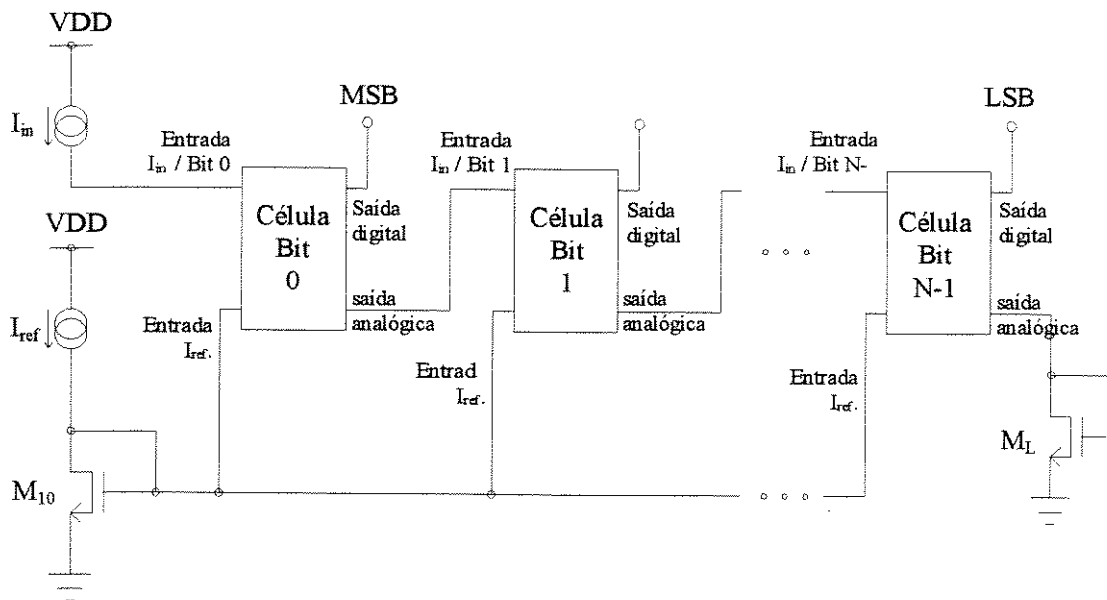


Figura 4.3 - Esquema Geral do Circuito de Conversão para N bits

4.3. Implementação do Conversor A/D Algorítmico

Para se realizar o estudo do desempenho do comparador foi necessário realizar algumas modificações na implementação do algoritmo. Ao se observar a implementação proposta [12], nota-se que a resolução do conversor está intimamente ligada à precisão tanto dos espelhos de corrente como a do comparador de corrente. Devido ao estudo realizado no capítulo 3 sabe-se que o comparador de corrente apresenta alta resolução. Portanto, cria-se a necessidade de utilizar espelhos de corrente que apresentem maior resolução, mesmo que o tempo de estabelecimento seja menor.

Deste modo, consultando a literatura [9], sabe-se que espelhos de corrente são classificados em passivos e ativos. Dentre os espelhos de corrente passivos temos, por exemplo, os espelhos de corrente simples. O parâmetro que avalia o desempenho de um espelho de corrente é a resistência de saída. No caso dos espelhos de corrente simples, a resistência de saída é pequena produzindo erros consideráveis no espelhamento. Para eliminar as desvantagens dos espelhos de corrente passivos [9] foram utilizados os espelhos de corrente do tipo cascode regulado modificado. Estes espelhos de corrente utilizam circuitos de polarização para aumentar consideravelmente a resistência de saída. Portanto, apresentam extrema precisão na cópia da corrente e respondem rapidamente às variações da corrente de entrada. Deste modo, adotou-se este tipo de espelho para a realização do conversor A/D. A figura 4.4 mostra o espelho de corrente cascode regulado modificado tanto tipo N como tipo P.

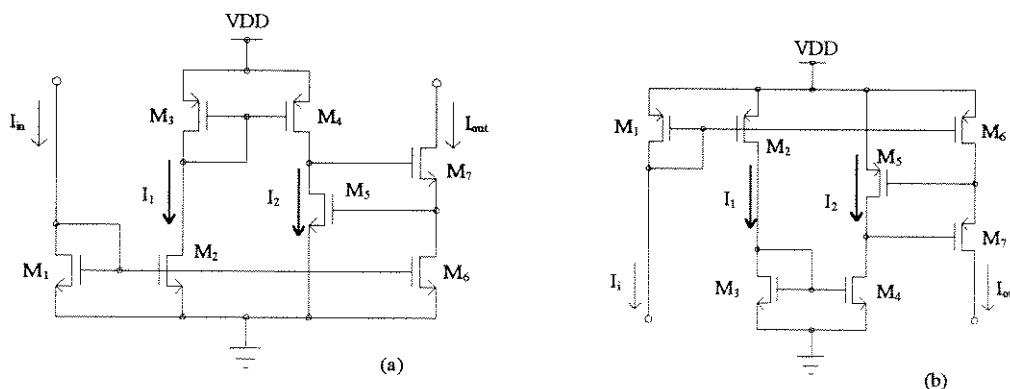


Figura 4.4 - (a) Espelho de Corrente Cascode Regulado Modificado Tipo N
(b) Espelho de Corrente Cascode Regulado Modificado Tipo P

No espelho de corrente do tipo cascode regulado modificado tipo N a corrente de entrada I_{in} é espelhada através dos transistores M_1 e M_2 . A corrente que passa por M_2 , I_1 , é copiada através do espelho de corrente formado pelos transistores M_3 e M_4 gerando I_2 . Portanto, as correntes I_1 e I_2 são aproximadamente iguais. Dado que os transistores M_2 e M_5 possuem as mesmas dimensões e as correntes que passam pelos transistores são parecidas, tem-se que o V_{gs} do transistor M_5 é muito similar ao V_{gs} dos transistores M_1 e M_2 (que é igual ao V_{ds} de M_1). Conseqüentemente, o transistor M_6 apresenta praticamente as mesmas tensões que o transistor M_1 . Deste modo, I_{out} é aproximadamente igual a I_{in} . O funcionamento do espelho de corrente do tipo cascode regulado modificado tipo P ocorre da mesma forma.

Aplicação do Comparador de Corrente em um Conversor A/D

Para se adaptar o conversor A/D ao comparador de corrente com realimentação positiva foi aproveitada a própria corrente de referência do conversor como entrada do comparador. A figura 4.2 mostra o esquema do comparador de corrente. Pode-se observar que a função realizada pelos transistores M_1 e M_2 é a mesma dos transistores M_{10} e M_7 da figura 4.2. Deste modo, o bloco do comparador não deve possuir o transistor M_1 , uma vez que M_{10} realiza a função. Da mesma maneira, M_7 (figura 4.2) já é o próprio transistor M_2 da figura abaixo.

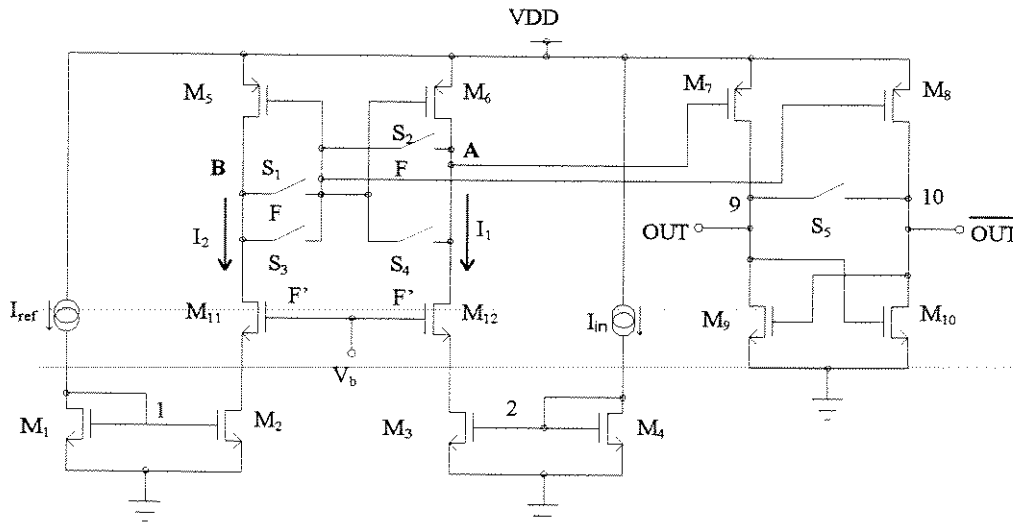


Figura 4.5 - Comparador de Corrente com Realimentação Positiva

O ramo de saída do espelho de corrente formado pelo transistor M_8 da figura 4.2 foi substituído pelo respectivo ramo de saída do espelho de corrente do tipo cascode regulado modificado tipo N.

A figura 4.6 mostra a implementação do circuito conversor A/D baseada na célula apresentada na figura 4.2 com as alterações necessárias para garantir um melhor desempenho, bem como adaptação do comparador de corrente com realimentação positiva.

Portanto, os espelhos de corrente simples foram substituídos pelos espelhos de corrente do tipo cascode regulado modificado. Assim, os espelhos de corrente formados pelos transistores M_1 , M_2 e M_3 da figura 4.2 foram substituídos pelos blocos E_1 -IN, E_1 -OUT₁ e E_1 -OUT₂. Por sua vez, os espelhos de corrente formados pelos transistores M_4 , M_5 e M_6 (figura 4.2) foram implementados através dos blocos E_2 -IN, E_2 -OUT₁ e E_2 -OUT₂. Como já se havia dito anteriormente, o ramo de saída do espelho de corrente formado pelo transistor M_8 foi substituído pelo bloco E_3 -OUT.

Para aproveitar as duas saídas digitais (OUT e OUT') do comparador de corrente bem como utilizar os estudos sobre chaves analógicas do capítulo 2, o transistor M_9 foi implementado através de dois transistores conectados em paralelo. O controle da tensão de porta para ligar ou desligar a chave analógica será realizado diretamente das saídas digitais após se efetuar a comparação.

Aplicação do Comparador de Corrente em um Conversor A/D

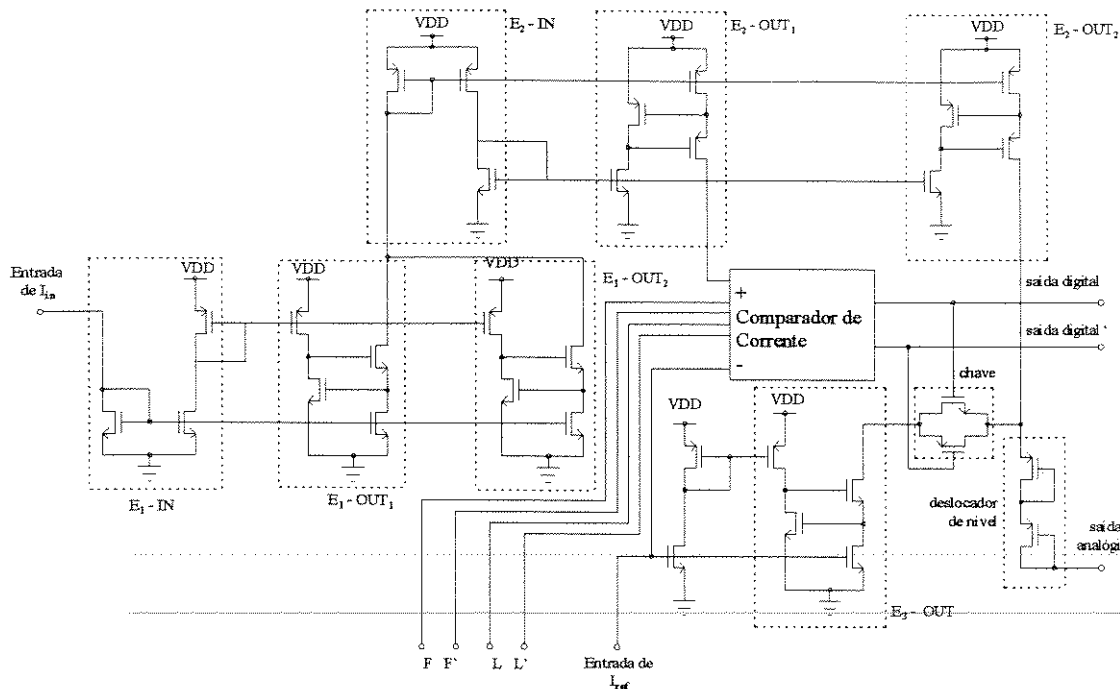


Figura 4.6 - Célula Modificada para cada Bit

Ao se utilizarem espelhos de corrente do tipo cascode regulado modificado, foi necessário introduzir um deslocador de nível para elevar o nível de tensão da saída analógica. Deste modo, foi garantido que tanto o transistor de entrada da próxima célula como os transistores de saída do bloco E₃-OUT operam na região de saturação não prejudicando o desempenho do espelho de corrente.

Ao se utilizar o comparador de corrente com realimentação positiva, tem-se que as fases (F, F', L e L') das chaves analógicas também devem ser sinais de entrada da célula de conversão para cada bit. Porém, como o resultado da conversão se realiza bit a bit, deve existir um atraso entre as fases de cada célula de conversão para garantir que somente após realizada a conversão do primeiro bit, o comparador da célula seguinte poderá realizar a comparação dos sinais de entrada e gerar o resultado da conversão do segundo bit. A figura 4.7 mostra o esquema geral do circuito de conversão A/D para N bits.

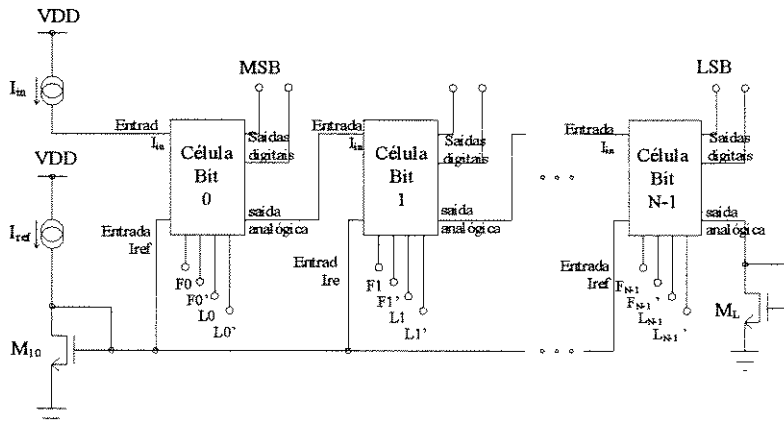


Figura 4.7 - Esquema Geral do Circuito de Conversão para N bits

4.4. - Resultados de Simulação do Conversor A/D

No estudo realizado sobre o conversor A/D foi observado que o mesmo possui uma boa resolução, porém a frequência de operação do circuito é baixa. O conversor obteve uma resolução máxima de 10 bits, com frequência de operação da ordem de 40KHz. Para avaliar o desempenho do conversor A/D foram realizadas várias simulações variando a resolução do conversor e, desta forma, comprovando o resultado da conversão.

A janela de quantização, I_q , de um conversor de N bits é dada por:

$$I_q = \frac{I_{ref}}{2^N} \quad (4.1)$$

O ponto mais crítico da conversão é a mudança da palavra digital 10000...000 para 10000...001, onde, segundo o algoritmo de conversão, a diferença entre o dobro da corrente de entrada ($2 I_{in}$) e a corrente de referência (I_{ref}) deve ser propagada até a última célula de bit. O fato de o conversor ser serial faz com que os erros associados aos espelhos sejam cumulativos, sendo este o fator limitante da resolução do conversor.

Para o caso de 8 bits, I_q é aproximadamente $0.4 \mu A$. Desta forma, a corrente de entrada mínima para o caso acima descrito deve estar entre $50.4 \mu A$ e $50.8 \mu A$, para uma corrente de referência de $100 \mu A$. A figura 4.8 abaixo mostra a conversão A/D para uma corrente de entrada de $50.4 \mu A$.

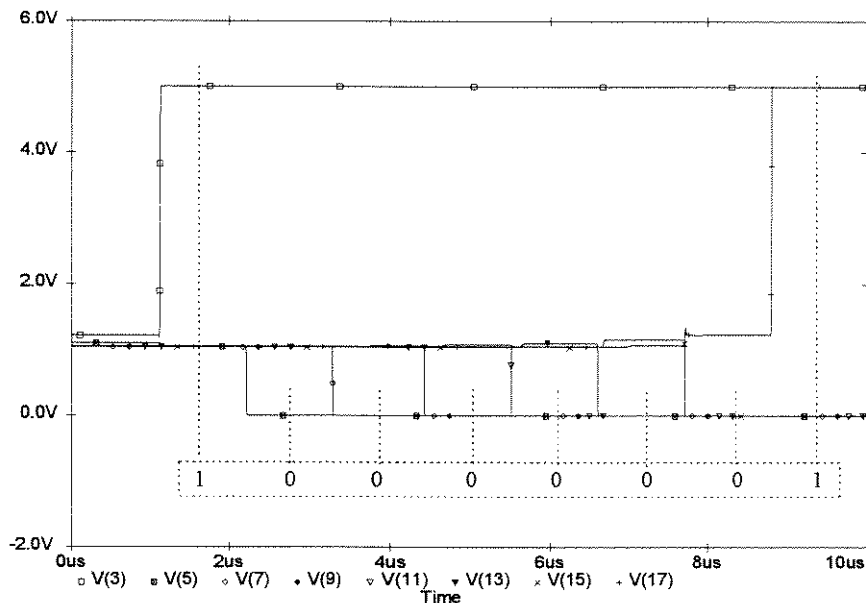


Figura 4.8 - Saída digital do Conversor de 8 bits

Para um melhor entendimento dos níveis de tensão acima conseguidos, verificou-se a corrente de entrada em cada célula de bit, para comprovar a eficiência do algoritmo de conversão e do conversor A/D. A figura 4.9 mostra, em escala logarítmica, as correntes de entrada das células do conversor.

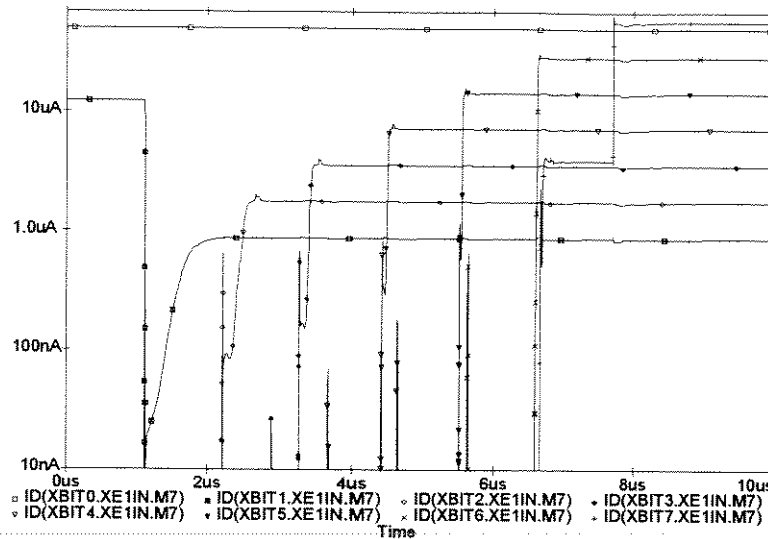


Figura 4.9 - Correntes de Entrada das Células de Bit do ADC.

Com a corrente de entrada de $50.4 \mu\text{A}$, o conversor algorítmico funciona da seguinte maneira: a corrente de entrada é dobrada, $100.8 \mu\text{A}$, e comparada com a corrente de referência ($100 \mu\text{A}$). O resultado da comparação é “1”, o que corresponde ao primeiro e mais significativo bit. Isto faz com que a chave se feche, fazendo com que, para a próxima célula, vá $0.8 \mu\text{A}$ ($100.8 \mu\text{A} - 100 \mu\text{A}$). Este resultado é dobrado ($1.6 \mu\text{A}$) e comparado com a referência, resultando em um “0”. A chave permanece aberta, não havendo subtração de correntes, portanto a corrente de entrada da célula 2 é $1.6 \mu\text{A}$. Esta é novamente dobrada ($3.2 \mu\text{A}$) e comparada com a referência. O resultado é “0” e a corrente de entrada da próxima célula é $3.2 \mu\text{A}$. Este valor é dobrado ($6.4 \mu\text{A}$) e comparado com a referência, resultando um “0”. O valor da corrente de entrada da próxima célula é, então, $6.4 \mu\text{A}$. Este é dobrado ($12.8 \mu\text{A}$) e comparado com $100 \mu\text{A}$, resultando um novo “0”. A corrente $12.8 \mu\text{A}$ entra na célula seguinte, sendo dobrado ($25.6 \mu\text{A}$) e, comparada com a referência, resultando um “0”. Novamente, os $25.6 \mu\text{A}$ se tornam corrente de entrada da célula 6, sendo dobrado ($51.2 \mu\text{A}$) e comparado com a referência, resultando o último “0”. Ao ser novamente duplicada pela célula 7 ($102.4 \mu\text{A}$), o resultado da comparação é, agora, “1”.

Devido aos erros inerentes aos espelhos de correntes, verificamos os valores reais obtidos das correntes de entrada, juntamente com o erro absoluto e o erro relativo em relação aos valores “ideais” acima descritos. Os resultados estão relacionados na tabela 4.1, abaixo:

$I_{\text{ideal}} (\mu\text{A})$	$I_{\text{real}} (\mu\text{A})$	Erro Absoluto (μA)	Erro Relativo
50.400	50.400	0.000	0.00%
0.800	0.877	0.077	9.62%
1.600	1.760	0.160	10.00%
3.200	3.560	0.360	11.25%
6.400	7.180	0.780	12.19%
12.800	14.400	1.600	12.50%
25.600	28.950	3.350	13.09%
51.200	58.020	6.820	13.32%

Tabela 4.1 - Comparação das Correntes de Entrada Reais e Ideais do ADC.

Aplicação do Comparador de Corrente em um Conversor A/D

Como se pode observar, para diferenças entre correntes bastante pequenas ($0.8 \mu\text{A}$), existe um erro absoluto de 77 nA . Este erro é propagado através das células, resultando em erros relativos da ordem de 12% nas correntes de entrada das próximas células.

Analogamente, foram realizadas as simulações para a conversão de 10 e 11 bits. Em ambas as situações, o conversor A/D apresentou resultados corretos de conversão na saída digital. De acordo com a equação 4.1, tem-se que a corrente de quantização é de aproximadamente $0.1 \mu\text{A}$ para 10 bits de resolução. Portanto, a palavra digital 1000000001 corresponde a uma corrente de entrada entre $50.1 \mu\text{A}$ e $50.2 \mu\text{A}$, para uma corrente de referência de $100 \mu\text{A}$. Para comprovar este resultado apresenta-se, na figura 4.10, os níveis de tensão resultantes na saída digital de cada célula de bit.

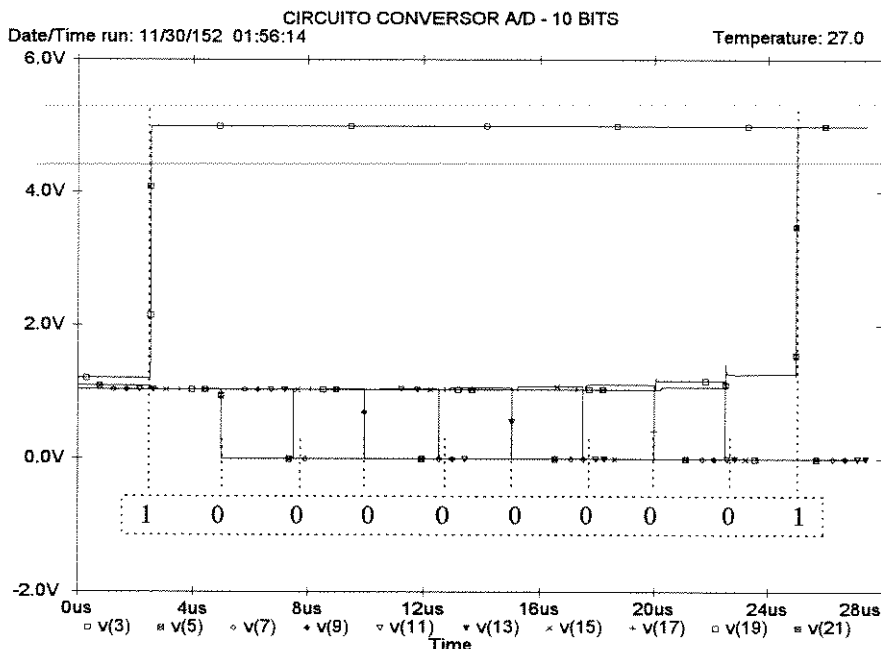


Figura 4.9 - Saída digital do Conversor de 10 bits

O algoritmo de conversão já discutido para o caso de 8 bits também se aplica aqui, não sendo necessário repeti-lo.

Na discussão sobre a frequência de operação do circuito, é necessário compreender que, ao aumentar o número de bits, a corrente de estabilização diminui e o tempo de estabilização da mesma aumenta consideravelmente. Deste modo, o tempo de estabilização da corrente de entrada da célula de cada bit deve ser analisado no caso da mínima diferença entre a corrente de entrada duplicada e a corrente de referência. Isto ocorre quando a corrente de entrada é dada pela metade da corrente de referência somada com a corrente de quantização, I_q , e a célula de bit realiza a subtração obtendo como resultado I_q . Esta corrente de entrada da próxima célula deve carregar as capacitâncias associadas aos transistores desta célula como dos deslocadores de nível, ou seja, esta corrente deve se estabilizar nestes transistores. A corrente de quantização pode ser da ordem de nanoamperes, aumentando demasiadamente o tempo de estabilização. Como não se sabe em que célula de bit esta situação pode ocorrer, o tempo de conversão para cada célula deve ser, no mínimo, igual ao tempo do pior caso, ou seja, ao tempo em que $2 I_q$ carrega o estágio de entrada de uma célula. Desta

Aplicação do Comparador de Corrente em um Conversor A/D

maneira, um conversor de, por exemplo, 8 bits, deve possuir um tempo de conversão de 8 vezes o pior tempo. De forma geral, a frequência de operação do conversor está comprometida.

A figura 4.10 mostra o tempo de estabilização quando a corrente de entrada é a metade da corrente de referência somada com a corrente de quantização de acordo com o número de bits do conversor (conversores de 4 a 10 bits). Deste modo, por exemplo, no conversor de 10 bits a corrente de entrada é de $50.1 \mu\text{A}$ e a corrente de entrada da próxima célula de bit é de $0.2 \mu\text{A}$. O tempo de estabilização desta corrente é de $2.5 \mu\text{s}$. Porém, a tempo total da conversão é de $25 \mu\text{s}$, obtendo uma frequência de operação de 40KHz .

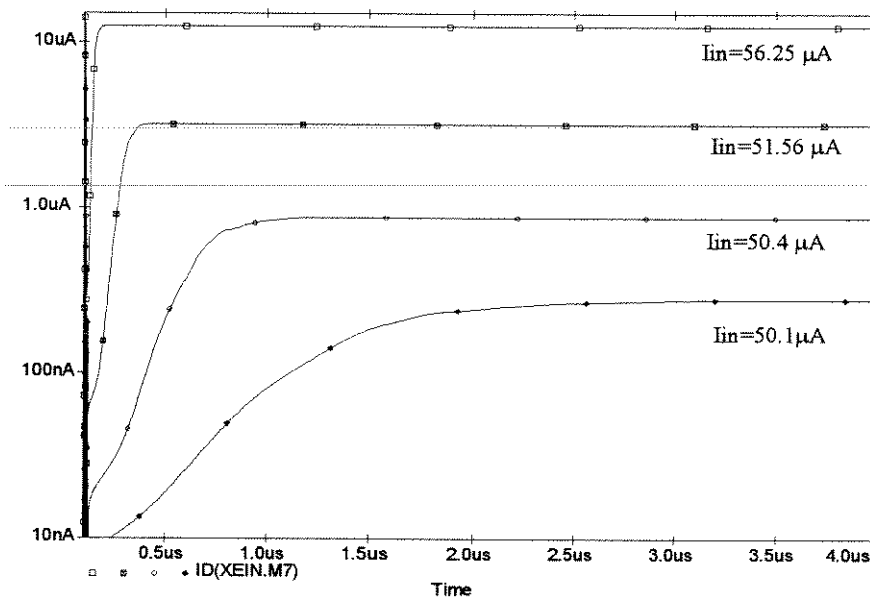


Figura 4.10 - Tempo de Estabilização: $I_{in} = 56.25 \mu\text{A}$ - 4 bits, $I_{in} = 51.56 \mu\text{A}$ - 6 bits, $I_{in} = 50.40 \mu\text{A}$ - 8 bits, $I_{in} = 50.10 \mu\text{A}$ - 10 bits.

A tabela 4.2 mostra a frequência de operação alcançada pelo conversor A/D para diferentes resoluções.

Resolução [Bits]	Frequência de Operação
4	2.5 MHz
6	555 KHz
8	113 KHz
10	40 KHz

Tabela 4.2 - Frequências de Operação do Conversor A/D

Como era de se esperar, pela topologia serial do conversor e pelos níveis de corrente anteriormente descritos, o conversor funciona em baixas frequências, apropriadas para aplicações de áudio.

Com relação à resolução do comparador pode-se comprovar que, no caso crítico, o conversor comporta-se adequadamente para até 11 bits. Com 12 bits, ocorre um erro na conversão causado pelos erros introduzidos na cópia, duplicação e subtração das correntes de entrada e referência. Este erro é maior que I_q , fazendo com que o resultado na conversão seja errôneo. Como o conversor é serial, este erro é propagado e, cada vez mais, aumentado, devido à duplicação da corrente de entrada de cada célula de bit e aos novos erros introduzidos. Desta maneira, o erro absoluto, da ordem de nano amperes, em células mais avançadas da conversão se tornam da ordem de microamperes, o que pode ocasionar erros de conversão.

Cabem aqui algumas considerações a respeito dos espelhos utilizados e do comparador empregado no conversor. Quanto aos espelhos, estes são a principal limitação do comparador, quanto à resolução do mesmo. Embora o erro seja baixo, por serem espelhos do tipo cascode regulado modificado, este não é nulo. Além disso, a arquitetura do conversor faz com que este erro seja propagado e aumentado, conforme já explicado. Quanto ao comparador de corrente, a única desvantagem do mesmo são as diversos sinais de controle, F , F' , L e L' que o mesmo apresenta. Além disso, o comparador deve possuir tantos conjuntos de controle quantas forem as células de bit, e cada conjunto deve estar atrasado do anterior do pior tempo para conversão de uma célula, conforme já discutido. No estudo realizado no capítulo 3, concluiu-se que este comparador possui resolução elevadíssima, devido à sua realimentação positiva. Quanto à resposta em frequência, considerações de dimensões dos transistores e layout do circuito devem ser levadas em consideração para diminuir as capacitâncias parasitas dos circuitos de entrada das células de bit.

CONCLUSÕES GERAIS

De maneira geral, o estudo proposto foi inteiramente realizado. Foram estudados, analisados, projetados e simulados dois circuitos comparadores de corrente, um operando segundo o efeito de modulação de canal dos transistores MOS, e outro com uma realimentação positiva que amplifica as mínimas diferenças de corrente, resultando em alto desempenho.

O funcionamento de ambos os circuitos foi estudado de maneira bastante profunda, nos quais, após, análises DC, transientes e de frequência foram realizadas para os dois comparadores.

Foi verificada, também, a importância de um bloco analógico de grande simplicidade, como é o caso dos comparadores em questão, na implementação de sistemas mais complexos, como conversores A/D, por exemplo.

Como exemplo de aplicação dos comparadores de corrente, escolheu-se uma das aplicações mais difundidas no meio dos circuitos analógicos e digitais, o conversor A/D. Foi realizada a análise, projeto e simulação de um conversor A/D algorítmico, onde se conseguiu uma resolução de 11 bits com uma corrente de referência de 100 μ A. Isto corresponde a aproximadamente 50 nA de janela de quantização. Esta alta resolução alcançada se deve ao fato de se terem utilizado espelhos de corrente de baixo erro (espelhos cascode regulado modificado), associado ao fato de o comparador escolhido, por operar com realimentação positiva, sempre fornecer o resultado correto na comparação. Cabe aqui ressaltar uma das contribuições deste trabalho, na mudança da topologia do conversor, com a introdução de deslocadores de nível DC e dos espelhos cascode regulados modificados, o que melhorou consideravelmente o desempenho do conversor, em comparação com os resultados apresentados na literatura.

Como propostas para trabalhos futuros, devem-se destacar:

- *realização experimental dos circuitos projetados para verificação dos resultados teóricos esperados;*
- *realização de um estudo mais detalhado sobre a resolução dos comparadores de corrente. Para alcançar este objetivo propõe-se simulações utilizando os parâmetros de simulação lentos e rápidos fornecidos pela foundry, bem como, variações com a temperatura e descasamentos na geometria dos transistores;*
- *estudo mais aprofundado de novas topologias de espelhos de corrente, ativos e passivos, para o aumento da resistência de saída e diminuição dos erros associados;*
- *aplicações dos circuitos comparadores de correntes estudados em circuitos de mais alta frequência;*
- *estudo de novas topologias de comparadores de corrente, de maneira a sempre buscar melhor resolução e velocidade;*

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Austria Mikro Systeme International, "1.2 μ m CMOS Process Parameters", Revision C, Julho 1993.
- [2] "Pspice - Reference Manual", version 4.05, Microsim Corporation.
- [3] "Sspice - Circuit Analyzer and Approximator", version 1.0, Michigan State University, Fevereiro 1991.
- [4] S.T.Dupuie, M.Ismail, "High Frequency CMOS Transconductors" chapter 5 in, "Analogue IC Design: the current-mode approach", C.Toumazou, F.J.Lidgey, D.G.Haigh (ed), Peter Peregrinus Ltd, London, 1990.
- [5] P.E. Gray, C.L. Searle, "Electronic Principles / Physics, Models and Circuits", John Wiley & Sons Inc, New York, 1969.
- [6] Allen P.E., Holberg D.R., "CMOS Analog Circuit Design", Holt, Rinehart and Winston Inc., New York, 1987.
- [7] E.Profumo, "The MOS Transistor" chapter 4 in "Semiconductor Device Modeling with SPICE", P.Antognetti, G.Massabrio (ed.) pp.143-207, McGraw Hill, 1988.
- [8] J.P.A.Carreira, J.E. Franca, "High-Speed CMOS Current Comparators", Proceedings of the 1994 International Symposium on Circuits and Systems, Vol. 5, pp.731-734, 1994.
- [9] J.P.A.Carreira, "Circuitos com Processamento de Corrente para Conversão Analógica-Digital e Digital-Analógica de Sinais de Alta Freqüência", Tese de Mestrado - Universidade Técnica de Lisboa - Agosto 1993.
- [10] N. C. Li, Gene L. Haviland, A.A. Tuszynski, "CMOS Tapered Buffer", IEEE, Vol. 25, No. 4, Agosto 1990.
- [11] S. R. Vemuru, A. R. Thorbjornsen, "Variable-Taper CMOS Buffer", IEEE, Vol.26, No.9, Setembro 1991.
- [12] David G. Nairn, "Current-Mode Algorithmic Analog-To-Digital Converters", "Tese de Doutorado - Universidade de Toronto - Julho 1989.
- [13] Alan B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design", John Wiley & Sons Inc., California, 1984.
- [14] R. Dominguez-Castro, A. Rodriguez-Vázquez, F. Medeiro and J.L.Huertas, "High Resolution CMOS Current Comparators", ESSCIRC'92 Eighteenth European Solid State Circuits Conference, Copenhagen Denmark, pp 242-245, Setembro 1992.
- [15] A. T. K. Tang, C. Toumazou, "High Performance CMOS Current Comparator", Electronic Letters, Vol. 30, No. 1, pp 5-6, Janeiro 1994.

Referências Bibliográficas

- [16] G. Palmisano, G. Palumbo, S. Pennisi, " *A High-Accuracy High-Speed CMOS Current Comparator*", Proceedings of the 1994 International Symposium on Circuits and Systems, Vol. 5, pp 739-742, 1994.
- [17] H. Träff, "Novel Approach to High Speed CMOS Current Comparators", Electronic Letters, Vol. 28, No. 3, pp 310-312, Janeiro 1992.
- [18] E. Säckinger, W. Guggenbühl, "A High-Swing, High-Impedance MOS Cascode Circuit", IEEE, Vol. 25, No. 1, pp 289-298, Fevereiro 1990.

APÊNDICE A

O Transistor MOS em Regime de Saturação

A.1 Introdução

Muito embora modelos matemáticos extremamente complexos do transistor MOS estejam disponíveis, estes são inviáveis para uma análise de primeira ordem, realizada manualmente, onde se deseja ter uma idéia básica do funcionamento de qualquer circuito. Os programas de simulação implementam, hoje em dia, uma grande variedade de modelos propostos pela literatura, sendo que estes são utilizados para prever o comportamento do transistor da forma mais realista possível. Este apêndice tem o objetivo de mostrar o modelo de saturação de primeira ordem do transistor MOS.

A.2 Transistor MOS Canal N

A figura abaixo mostra a representação elétrica de um transistor MOS canal N, onde os D, G, S e B representam, respectivamente, os terminais de dreno, porta, fonte e substrato.

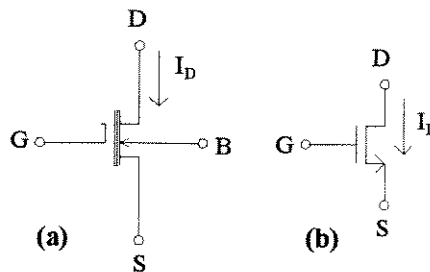


Figura A.1 - Transistor MOS canal N
(a) - Representação completa
(b) - Representação Simplificada

A equação simplificada que rege o comportamento da corrente de dreno I_D é dada por:

$$I_D = K_N (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS}) \quad (\text{A.1})$$

em que V_{GS} é a diferença de potencial entre os terminais de porta e fonte, V_{DS} é a diferença de potencial entre os terminais de dreno e fonte, λ é o parâmetro do efeito de modulação de canal, e os outros parâmetros são dados por:

$$K_N = \frac{\mu_N C_{OX} W_{eff}}{2 L_{eff}} \quad (\text{A.2})$$

$$V_{TN} = V_{TN0} + \gamma_N \left(\sqrt{2\phi_P - V_{BS}} - \sqrt{2\phi_P} \right)$$

em que V_{BS} é a tensão entre o substrato e a fonte. Os parâmetros não definidos acima são:

Apêndice A - O Transistor MOS em Regime de Saturação

- μ_N = mobilidade efetiva dos elétrons;
- C_{OX} = capacitância de porta por unidade de área;
- W_{eff} = largura efetiva do canal ;
- L_{eff} = comprimento efetivo do canal;
- V_{TNO} = tensão de limiar em polarização nula;
- γ_N = parâmetro de efeito de corpo;
- $2\phi_P$ = potencial de inversão de superfície do substrato tipo P.

Os parâmetros largura e comprimento efetivos do canal, são dados por:

$$W_{eff} = W - 2W_D \quad L_{eff} = L - 2L_D \quad (A.3)$$

onde

- W = largura projetada do canal;
- W_D = difusão lateral;
- L = comprimento projetado do canal;
- L_D = difusão lateral.

O parâmetro λ , segundo [6], é dado por:

$$\lambda = \frac{1}{L_{eff} V_{DS}} \left(\frac{2\epsilon_{si}}{qN_{SUB}} \right)^{1/2} \left\{ \frac{V_{DS} - V_{DS(SAT)}}{4} + \left[1 + \left(\frac{V_{DS} - V_{DS(SAT)}}{4} \right)^2 \right]^{1/2} \right\} \quad (A.4)$$

onde

- q = carga elementar;
- N_{SUB} = dopagem do substrato;
- ϵ_{si} = permissividade elétrica do silício.

A.3 Transistor MOS Canal P

No caso de o transistor possuir um canal do tipo P, a figura abaixo mostra sua representação esquemática completa e simplificada

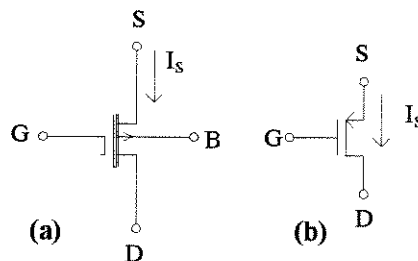


Figura A.2 - Transistor MOS canal P
(a) - Representação completa
(b) - Representação Simplificada

Da mesma forma que o transistor MOS canal N, a equação simplificada que rege o comportamento da corrente de fonte I_S é dada por:

Apêndice A - O Transistor MOS em Regime de Saturação

$$I_s = K_p (V_{SG} - |V_{TP}|)^2 (1 + \lambda V_{SD}) \quad (\text{A.5})$$

em que V_{SG} é a diferença de potencial entre os terminais de fonte e porta, V_{SD} é a diferença de potencial entre os terminais de fonte e dreno, I é o parâmetro de modulação de canal, descrito em A.4, e os outros parâmetros são dados por:

$$K_p = \frac{\mu_p C_{OX} W_{eff}}{2 L_{eff}} \quad (\text{A.6})$$
$$V_{TP} = V_{TP0} - \gamma_p \left(\sqrt{2|\phi_N| - V_{SB}} - \sqrt{2|\phi_N|} \right)$$

em que V_{SB} é a tensão entre a fonte e o substrato. Os parâmetros não definidos acima são:

- ☞ μ_p = mobilidade efetiva das lacunas;
- ☞ V_{TP0} = tensão de limiar em polarização nula;
- ☞ γ_p = parâmetro de efeito de corpo;
- ☞ $2|\phi_N|$ = potencial de inversão de superfície do substrato tipo N.

As equações acima representam um modelamento de primeira ordem do transistor MOS, sem levar em conta efeitos como a variação da mobilidade dos portadores pelo campo elétrico gerado pela tensão porta-fonte, variação da tensão de limiar dos transistores em função da geometria empregada e velocidade limite dos portadores, entre outros. Um equacionamento mais detalhado para os níveis 2 e 3 de modelamento do transistor MOS do Spice pode ser encontrado na referência [9].

A.4 Parâmetros de Simulação

As simulações realizadas utilizaram modelos do nível 2. Segundo [4], os parâmetros típicos dos modelos de nível 2 são dados pela seguinte descrição Spice:

```
*-----  
***** AMS SIMULATION PARAMETERS *****  
*-----  
  
.MODEL MODN NMOS LEVEL=2  
+ CGSO=0.290E-09 CGDO=0.290E-09 CGBO=0.170E-09 CJ=0.360E-03 MJ=0.430E+00  
+ CJSW=0.250E-09 MJSW=0.190E+00 JS=0.010E-03 PB=0.960E+00 RSH=25.50E+00  
+ TOX=23.80E-09 XJ=0.175E-06 LD=-0.050E-06 WD=0.398E-06 VTO=0.736E+00  
+ NSUB=33.30E+15 NFS=0.452E+12 NEFF=5.250E+00 UO=515.0E+00 UCRIT=28.70E+04  
+ UEXP=0.251E+00 UTRA=0.000E+00 VMAX=77.30E+03 DELTA=0.000E+00 KF=0.101E-25  
+ AF=1.330E+00  
  
.MODEL MODP PMOS LEVEL=2  
+ CGSO=0.290E-09 CGDO=0.290E-09 CGBO=0.170E-09 CJ=0.340E-03 MJ=0.530E+00  
+ CJSW=0.220E-09 MJSW=0.200E+00 JS=0.020E-03 PB=0.970E+00 RSH=46.00E+00  
+ TOX=23.80E-09 XJ=0.056E-06 LD=0.043E-06 WD=0.448E-06 VTO=-0.751E+00  
+ NSUB=18.00E+15 NFS=1.300E+12 NEFF=3.090E+00 UO=175.0E+00 UCRIT=21.60E+04
```

Apêndice A - O Transistor MOS em Regime de Saturação

+ UEXP=0.268E+00 UTRA=0.000E+00 VMAX=54.00E+03 DELTA=0.798E+00 KF=0.390E-27
+ AF=1.290E+00

APÊNDICE B

Arquivos de Simulação

B.1 Comparador de Corrente com Efeito de Modulação de Canal

```
*****  
*Circuito Comparador de Corrente*  
*****
```

```
M1 1 1 100 100 MODP W=9.2U L=3.0U  
+ NRD=.22 NRS=.22 AD=18.4P AS=18.4P PD=22.4U PS=22.4U  
M2 2 1 100 100 MODP W=9.2U L=3.0U  
+ NRD=.22 NRS=.22 AD=18.4P AS=18.4P PD=22.4U PS=22.4U  
M3 3 4 0 0 MODN W=2.0U L=1.6U  
+ NRD=1 NRS=1 AD=4P AS=4P PD=8U PS=8U  
M4 4 4 0 0 MODN W=2.0U L=1.6U  
+ NRD=1 NRS=1 AD=4P AS=4P PD=8U PS=8U
```

```
*****  
*Inversor*  
*****
```

```
M5 5 3 100 100 MODP W=5.0U L=1.2U  
+ NRD=.4 NRS=.4 AD=10P AS=10P PD=14U PS=14U  
M6 5 3 0 0 MODN W=2.6U L=1.2U  
+ NRD=.77 NRS=.769 AD=5.2P AS=5.2P PD=9.2U PS=9.2U
```

```
*****  
*Chaves Ideais*  
*****
```

```
*S1 3 100 112 0 SMOF  
*S2 3 2 111 0 SMOF  
*S3 0 2 112 0 SMOF
```

```
*****  
*chave S1*  
*****
```

```
M55 3 112 100 100 MODP W=5U L=1.2U  
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4  
M56 100 111 3 0 MODN W=2.6U L=1.2U  
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
```


Apêndice B - Arquivos de Simulação

chave S2

M57 3 112 2 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M58 2 111 3 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

chave S3

M59 0 111 2 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M60 2 112 0 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

Buffer de Saida

M71 6 5 100 100 MODP W=13.6U L=1.2U
+ NRD=.15 NRS=.08 AD=27.2P AS=27.2P PD=31.2U PS=31.2U
M81 6 5 0 0 MODN W=7U L=1.2U
+ NRD=.28 NRS=.28 AD=14P AS=14P PD=18U PS=18U

M92 7 6 100 100 MODP W=37U L=1.2U
+ NRD=.05 NRS=.05 AD=74P AS=74P PD=78U PS=78U
M102 7 6 0 0 MODN W=19.2U L=1.2U
+ NRD=.1 NRS=.1 AD=38.4P AS=38.4P PD=42.4U PS=42.4U

M113 8 7 100 100 MODP W=100.6U L=1.2U
+ NRD=.02 NRS=.02 AD=201.2P AS=201.2P PD=205.2U PS=205.2U
M123 8 7 0 0 MODN W=52.4U L=1.2U
+ NRD=.04 NRS=.04 AD=104.8P AS=104.8P PD=108.8U PS=108.8U

M134 9 8 100 100 MODP W=273.6U L=1.2U
+ NRD=0.007 NRS=0.007 AD=547.2P AS=547.2P PD=551.2U PS=551.2U
M144 9 8 0 0 MODN W=142.2U L=1.2U
+ NRD=.014 NRS=.014 AD=284.4P AS=284.4P PD=288.4U PS=288.4U

Capacitância de Carga

CL 5 0 .01PF

Apêndice B - Arquivos de Simulação

```
*****
*Corrente de Entrada e Referência*
*****

IREF 1 0 80UA
IIN 100 4 {K}

*****
*Tensão de Alimentação*
*****

VDD 100 0 5V

*****
*Fases F e F'*
*****

V1 111 0 DC 5 PULSE 0 5 100NS .1NS .1NS 500NS 2U
V2 112 0 DC 0 PULSE 5 0 100NS .1NS .1NS 500NS 2U

.OP
.OPTIONS ACCT NOPAGE ITL5=0 LIMPTS=0 RELTOL=0.0001
.LIB AMS2.LIB
.MODEL SMODF VSWITCH(ROFF=500.0 ROFF=50E9 VON=4V VOFF=1V)
*.DC PARAM K 0 160U 0.1U
.TRAN 5NS 1000NS
.PARAM K=80UA
.STEP PARAM K LIST 78U 81U
.END
```

B.2 Comparador de Corrente com Realimentação Positiva

```
*****
*Circuito Comparador de Corrente*
*****

M1 1 1 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
M2 2 1 0 0 MODN W= 4U L=1.6U
+ AD=8P AS=8P PD=12U PS=12U NRD=.5 NRS=.5
M3 3 4 0 0 MODN W= 4U L=1.6U
+ AD=8P AS=8P PD=12U PS=12U NRD=.5 NRS=.5
M4 4 4 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
M5 5 6 100 100 MODP W= 8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M6 7 8 100 100 MODP W= 8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M7 9 7 100 100 MODP W= 5U L=1.2U
```

Apêndice B - Arquivos de Simulação

+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M8 10 5 100 100 MODP W= 5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M9 9 10 0 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
M10 10 9 0 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
M11 5 11 2 0 MODN W=8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M12 7 11 3 0 MODN W=8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25

Chaves Ideais

.....
*S1 5 8 111 0 SMODF
*S2 6 7 111 0 SMODF
*S3 5 6 112 0 SMODF
*S4 8 7 112 0 SMODF
*S5 9 10 113 0 SMODF

chave S1

M55 5 112 8 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M56 8 111 5 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

chave S2

M57 6 112 7 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M58 7 111 6 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

chave S3

M59 5 111 6 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M60 6 112 5 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

Apêndice B - Arquivos de Simulação

chave S4

M61 8 111 7 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M62 7 112 8 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

chave S5

M63 9 114 10 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M64 10 113 9 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77

Buffer de Saida

.SUBCKT BUFFER 5 9 100
M71 6 5 100 100 MODP W=13.6U L=1.2U
+ NRD=.15 NRS=.08 AD=27.2P AS=27.2P PD=31.2U PS=31.2U
M81 6 5 0 0 MODN W=7U L=1.2U
+ NRD=.28 NRS=.28 AD=14P AS=14P PD=18U PS=18U

M92 7 6 100 100 MODP W=37U L=1.2U
+ NRD=.05 NRS=.05 AD=74P AS=74P PD=78U PS=78U
M102 7 6 0 0 MODN W=19.2U L=1.2U
+ NRD=.1 NRS=.1 AD=38.4P AS=38.4P PD=42.4U PS=42.4U

M113 8 7 100 100 MODP W=100.6U L=1.2U
+ NRD=.02 NRS=.02 AD=201.2P AS=201.2P PD=205.2U PS=205.2U
M123 8 7 0 0 MODN W=52.4U L=1.2U
+ NRD=.04 NRS=.04 AD=104.8P AS=104.8P PD=108.8U PS=108.8U

M134 9 8 100 100 MODP W=273.6U L=1.2U
+ NRD=0.007 NRS=0.007 AD=547.2P AS=547.2P PD=551.2U PS=551.2U
M144 9 8 0 0 MODN W=142.2U L=1.2U
+ NRD=.014 NRS=.014 AD=284.4P AS=284.4P PD=288.4U PS=288.4U

*M155 10 9 100 100 MODP W=744.4U L=1.2U
*+ NRD=.002 NRS=.002 AD=1488.8P AS=1488.8P PD=1492.8U PS=1492.8U
*M165 10 9 0 0 MODN W=386U L=1.2U
*+ NRD=.005 NRS=.005 AD=772P AS=772P PD=776U PS=776U

*M176 11 10 100 100 MODP W=2024.8U L=1.2U

Apêndice B - Arquivos de Simulação

```
*+ NRD=.98m NRS=.98m AD=4049.6P AS=4049.6P PD=4053.6U PS=4053.6U
*M186 11 10 0 0 MODN W=1050U L=1.2U
*+ NRD=.002 NRS=.002 AD=2100P AS=2100P PD=2104U PS=2104U
```

.ENDS

```
*****
*Capacitância de Carga*
*****
```

```
*CL 9 0 .1PF
*CL2 10 0 .1PF
```

```
CL9 990 0 8PF
CL10 110 0 8PF
```

```
*****
*Corrente de Entrada e Referência*
*****
```

```
IREF 100 1 100U
IIN 100 4 {K}
```

```
*****
*Tensão de Alimentação*
*****
```

```
VDD 100 0 5V
VDDB 101 0 5V
V11 11 0 2.5V
```

```
*****
*Fases F e F'*
*****
```

```
V1 111 0 PULSE 0 5 100N 1N 1N 2000NS 4000NS
V2 112 0 PULSE 5 0 100N 1N 1N 2000NS 4000NS
V3 113 0 PULSE 5 0 101N 1N 1N 2000NS 4000NS
V4 114 0 PULSE 0 5 101N 1N 1N 2000NS 4000NS
```

```
XB1 9 990 101 BUFFER
XB2 10 110 101 BUFFER
```

```
.OP
.OPTIONS ACCT NOPAGE LIMPTS=0 NUMDGT=8
+ RELTOL=1E-5 ABSTOL=1E-15 VNTOL=1E-10 PIVTOL=1E-20
+ ITL1=200 ITL2=400 ITL4=400 ITL5=0
*.MODEL SMODF VSWITCH(ROFF=4.0K ROFF=1E12 VON=4V VOFF=1V)
```

Apêndice B - Arquivos de Simulação

```
.LIB AMS2.LIB
.TRAN 5NS 4000NS
.PARAM K=120U
.STEP PARAM K LIST 99U 99.9U 100.1U 101U
.PROBE V(111) V(113) I(IIN) V(9) V(5) V(7) V(10) V(990) V(110)
+ I(VDD) I(VDDB)
.PRINT TRAN I(IIN) V(9) V(111) V(113) V(5) V(7)
.WATCH TRAN i(iin) v(9) V(990)
.END
```

B.3 Conversor A/D utilizando o Comparador de Corrente c/ Realimentação

Positiva

```
*****
*CIRCUITO CONVERSOR A/D - 10 BITS*
*****
.SUBCKT CHAVE 1 2 10 20 100

MP 1 20 2 100 MODP W=5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
MN 2 10 1 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
.ENDS

.SUBCKT COMPARADOR 4 1 9 10 111 112 113 114 100
*
* 4 = NO DE ENTRADA (IIN)
* 1 = ENTRADA DA CORRENTE DE REFERENCIA
* 9 = OUT
* 10 = OUT'
* 111, 112, 113, 114 = F, F', L, L'
* 100 = VDD
*
V11 11 0 2.5V

M2 2 1 0 0 MODN W= 4U L=1.6U
+ AD=8P AS=8P PD=12U PS=12U NRD=.5 NRS=.5
M3 3 4 0 0 MODN W= 4U L=1.6U
+ AD=8P AS=8P PD=12U PS=12U NRD=.5 NRS=.5
M4 4 4 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
M5 5 6 100 100 MODP W= 8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M6 7 8 100 100 MODP W= 8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M7 9 7 100 100 MODP W= 5U L=1.2U
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M8 10 5 100 100 MODP W= 5U L=1.2U
```

Apêndice B - Arquivos de Simulação

```
+ AD=10P AS=10P PD=14U PS=14U NRD=.4 NRS=.4
M9 9 10 0 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
M10 10 9 0 0 MODN W=2.6U L=1.2U
+ AD=5.2P AS=5.2P PD=9.2U PS=9.2U NRD=.77 NRS=.77
M11 5 11 2 0 MODN W=8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
M12 7 11 3 0 MODN W=8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=.25 NRS=.25
```

* CHAVES

```
X1 5 8 111 112 100 CHAVE
X2 6 7 111 112 100 CHAVE
X3 5 6 112 111 100 CHAVE
X4 8 7 112 111 100 CHAVE
X5 9 10 113 114 100 CHAVE
.ENDS
```

```
.SUBCKT ESPNIN 1 2 100
```

```
M7 1 1 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
M1 2 1 0 0 MODN W=7U L=1.6U
+ AD=14P AS=14P PD=18U PS=18U NRD=0.28 NRS=0.28
M2 2 2 100 100 MODP W=21U L=1.6U
+ AD=42P AS=42P PD=46U PS=46U NRD=0.09 NRS=0.09
.ENDS
```

```
.SUBCKT ESPNOUT 2 1 5 100
```

```
M3 3 2 100 100 MODP W=21U L=1.6U
+ AD=42P AS=42P PD=46U PS=46U NRD=0.09 NRS=0.09
M4 3 4 0 0 MODN W=7.8U L=1.6U
+ AD=16P AS=16P PD=20U PS=20U NRD=0.25 NRS=0.25
M5 5 3 4 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
M6 4 1 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07
.ENDS
```

```
.SUBCKT ESPPIN 1 2 100
```

```
M7 1 1 100 100 MODP W=84U L=1.6U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02
M1 2 1 100 100 MODP W=21U L=1.6U
+ AD=42P AS=42P PD=46U PS=46U NRD=0.1 NRS=0.1
M2 2 2 0 0 MODN W=7U L=1.6U
+ AD=14P AS=14P PD=18U PS=18U NRD=0.28 NRS=0.28
.ENDS
```

Apêndice B - Arquivos de Simulação

.SUBCKT ESPPOUT 2 1 5 100

M3 3 2 0 0 MODN W=7U L=1.6U
+ AD=14P AS=14P PD=18U PS=18U NRD=0.28 NRS=0.28
M4 3 4 100 100 MODP W=23.6U L=1.6U
+ AD=47P AS=47P PD=51U PS=51U NRD=0.08 NRS=0.08
M5 5 3 4 100 MODP W=84U L=1.6U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02
M6 4 1 100 100 MODP W=84U L=1.6U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02
.ENDS

.SUBCKT BITCELL 1 7 13 6 111 112 113 114 100

*

* 1 = SINAL ENTRADA

* 7 = SAIDA DIGITAL

* 13 = SAIDA ANALOGICA

* 6 = ENTRADA REFERENCIA

* 111, 112, 113, 114 = F, F', L, L'

* 100 = VDD

*

XE1IN 1 2 100 ESPNIN
XE1OUT1 2 1 3 100 ESPNOUT
XE1OUT2 2 1 3 100 ESPNOUT
XE2IN 3 4 100 ESPPIN
XE2OUT1 4 3 5 100 ESPPOUT
XE2OUT2 4 3 9 100 ESPPOUT
XE3OUT 10 6 12 100 ESPNOUT

M1 10 6 0 0 MODN W=7U L=1.6U
+ AD=14P AS=14P PD=18U PS=18U NRD=0.28 NRS=0.28
M2 10 10 100 100 MODP W=21U L=1.6U
+ AD=42P AS=42P PD=46U PS=46U NRD=0.09 NRS=0.09

MCP 12 8 9 100 MODP W=84U L=1.2U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02
MCN 9 7 12 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07

MD1 11 11 9 9 MODP W=84U L=1.6U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02
MD2 13 13 11 11 MODP W=84U L=1.6U
+ AD=168P AS=168P PD=172U PS=172U NRD=0.02 NRS=0.02

XCOMP 5 6 7 8 111 112 113 114 100 COMPARADOR
.ENDS

M10 2 2 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07

Apêndice B - Arquivos de Simulação

ML 22 22 0 0 MODN W=28U L=1.6U
+ AD=56P AS=56P PD=60U PS=60U NRD=0.07 NRS=0.07

IIN 100 1 50.1U
IREF 100 2 100U

XBIT0 1 3 4 2 111 112 113 114 100 BITCELL
XBIT1 4 5 6 2 211 212 213 214 100 BITCELL
XBIT2 6 7 8 2 311 312 313 314 100 BITCELL
XBIT3 8 9 10 2 411 412 413 414 100 BITCELL
XBIT4 10 11 12 2 511 512 513 514 100 BITCELL
XBIT5 12 13 14 2 611 612 613 614 100 BITCELL
XBIT6 14 15 16 2 711 712 713 714 100 BITCELL
XBIT7 16 17 18 2 811 812 813 814 100 BITCELL
XBIT8 18 19 20 2 911 912 913 914 100 BITCELL
XBIT9 20 21 22 2 1011 1012 1013 1014 100 BITCELL

VDD 100 0 5V

V11 111 0 PULSE 0 5 2500N 1N
V12 112 0 PULSE 5 0 2500N 1N
V13 113 0 PULSE 5 0 2501N 1N
V14 114 0 PULSE 0 5 2501N 1N

V21 211 0 PULSE 0 5 5000N 1N
V22 212 0 PULSE 5 0 5000N 1N
V23 213 0 PULSE 5 0 5001N 1N
V24 214 0 PULSE 0 5 5001N 1N

V31 311 0 PULSE 0 5 7500N 1N
V32 312 0 PULSE 5 0 7500N 1N
V33 313 0 PULSE 5 0 7501N 1N
V34 314 0 PULSE 0 5 7501N 1N

V41 411 0 PULSE 0 5 10000N 1N
V42 412 0 PULSE 5 0 10000N 1N
V43 413 0 PULSE 5 0 10001N 1N
V44 414 0 PULSE 0 5 10001N 1N

V51 511 0 PULSE 0 5 12500N 1N
V52 512 0 PULSE 5 0 12500N 1N
V53 513 0 PULSE 5 0 12501N 1N
V54 514 0 PULSE 0 5 12501N 1N

V61 611 0 PULSE 0 5 15000N 1N
V62 612 0 PULSE 5 0 15000N 1N
V63 613 0 PULSE 5 0 15001N 1N
V64 614 0 PULSE 0 5 15001N 1N

V71 711 0 PULSE 0 5 17500N 1N

Apêndice B - Arquivos de Simulação

```
V72 712 0 PULSE 5 0 17500N 1N
V73 713 0 PULSE 5 0 17501N 1N
V74 714 0 PULSE 0 5 17501N 1N

V81 811 0 PULSE 0 5 20000N 1N
V82 812 0 PULSE 5 0 20000N 1N
V83 813 0 PULSE 5 0 20001N 1N
V84 814 0 PULSE 0 5 20001N 1N

V91 911 0 PULSE 0 5 22500N 1N
V92 912 0 PULSE 5 0 22500N 1N
V93 913 0 PULSE 5 0 22501N 1N
V94 914 0 PULSE 0 5 22501N 1N

V101 1011 0 PULSE 0 5 25000N 1N
V102 1012 0 PULSE 5 0 25000N 1N
V103 1013 0 PULSE 5 0 25000N 1N
V104 1014 0 PULSE 0 5 25000N 1N
```

```
.OPTIONS ACCT NOPAGE LIMPTS=0 NUMDGT=8 RELTOL=1E-5 ABSTOL=1E-15
+ VNTOL=1E-10 PIVTOL=1E-20 ITL1=200 ITL2=400 ITL4=400 ITL5=0
.LIB AMS2.LIB
.TRAN 50NS 1000NS
.SAVEBIAS "ADC10.TRN" TRAN
.LOADBIAS "ADC8.TRN"
.PROBE V(3) V(5) V(7) V(9) V(11) V(13) V(15) V(17) v(19) v(21)
+ V(1) V(4) V(6) V(8) V(10) V(12) V(14) V(16) V(18) v(20) v(22)
+ IS(XBIT0.XE2IN.M7) IS(XBIT0.XE2OUT1.M6) IS(XBIT0.XE2OUT2.M6)
+ IS(XBIT1.XE2IN.M7) IS(XBIT1.XE2OUT1.M6) IS(XBIT1.XE2OUT2.M6)
+ IS(XBIT2.XE2IN.M7) IS(XBIT2.XE2OUT1.M6) IS(XBIT2.XE2OUT2.M6)
+ IS(XBIT3.XE2IN.M7) IS(XBIT3.XE2OUT1.M6) IS(XBIT3.XE2OUT2.M6)
+ IS(XBIT4.XE2IN.M7) IS(XBIT4.XE2OUT1.M6) IS(XBIT4.XE2OUT2.M6)
+ IS(XBIT5.XE2IN.M7) IS(XBIT5.XE2OUT1.M6) IS(XBIT5.XE2OUT2.M6)
+ IS(XBIT6.XE2IN.M7) IS(XBIT6.XE2OUT1.M6) IS(XBIT6.XE2OUT2.M6)
+ IS(XBIT7.XE2IN.M7) IS(XBIT7.XE2OUT1.M6) IS(XBIT7.XE2OUT2.M6)
+ IS(XBIT8.XE2IN.M7) IS(XBIT8.XE2OUT1.M6) IS(XBIT8.XE2OUT2.M6)
+ IS(XBIT9.XE2IN.M7) IS(XBIT9.XE2OUT1.M6) IS(XBIT9.XE2OUT2.M6)
+ ID(XBIT0.XE1IN.M7) ID(XBIT0.XE3OUT.M6)
+ ID(XBIT1.XE1IN.M7) ID(XBIT1.XE3OUT.M6)
+ ID(XBIT2.XE1IN.M7) ID(XBIT2.XE3OUT.M6)
+ ID(XBIT3.XE1IN.M7) ID(XBIT3.XE3OUT.M6)
+ ID(XBIT4.XE1IN.M7) ID(XBIT4.XE3OUT.M6)
+ ID(XBIT5.XE1IN.M7) ID(XBIT5.XE3OUT.M6)
+ ID(XBIT6.XE1IN.M7) ID(XBIT6.XE3OUT.M6)
+ ID(XBIT7.XE1IN.M7) ID(XBIT7.XE3OUT.M6)
+ ID(XBIT8.XE1IN.M7) ID(XBIT8.XE3OUT.M6)
+ ID(XBIT9.XE1IN.M7) ID(XBIT9.XE3OUT.M6)
.WATCH TRAN v(3) v(5) V(21)
.END
```